

使用指南

N32G4&N32L4系列ADC使用指南

简介

国民技术微控制器内置最多四个高级 12 位 ADC（取决于产品系列），具有校准功能，用于提高环境条件变化时的 ADC 精度。

本文档旨在帮助用户正确使用 ADC，减少误差，提高 ADC 工作稳定性，主要有：

- ADC 三种时钟正确配置
- ADC 校准
- ADC 多次开关应用
- 内核供电配置
- ADC 常见干扰及误差
- ADC 高阻及小信号采集
- 差分计算公式

1. 目录

1. N32 ADC 简介	1
1.1 SAR 型 ADC	1
1.2 基本工作原理	1
2. N32 ADC 应用注意事项	3
2.1 ADC 时钟配置	3
2.2 ADC 校准	6
2.3 ADC 供电	6
2.4 ADC 状态切换	8
2.5 ADC 误差	9
2.6 小信号/高阻信号测量	11
2.7 差分计算公式	12
3. 历史版本	13
4. 声明	14

2. N32 ADC 简介

1.1 SAR 型 ADC

N32微控制器ADC 都为12 位逐次逼近的模数转换器，支持多种工作模式，能满足大多数模数转换应用场景。N32 ADC有三种时钟，分别为工作时钟、采样时钟和计时时钟，保证ADC采集速率和精度。

外部输入信号采集过程中，会通过MUX连接通道和芯片引脚，对芯片内部采样电容进行充电，等待采样完成MUX断开通道连接，使输入信号保持在采样电容，最后通过转换器逐次比较计算出码值，搬运到ADC数据寄存器中，N32 ADC典型连接如下图：

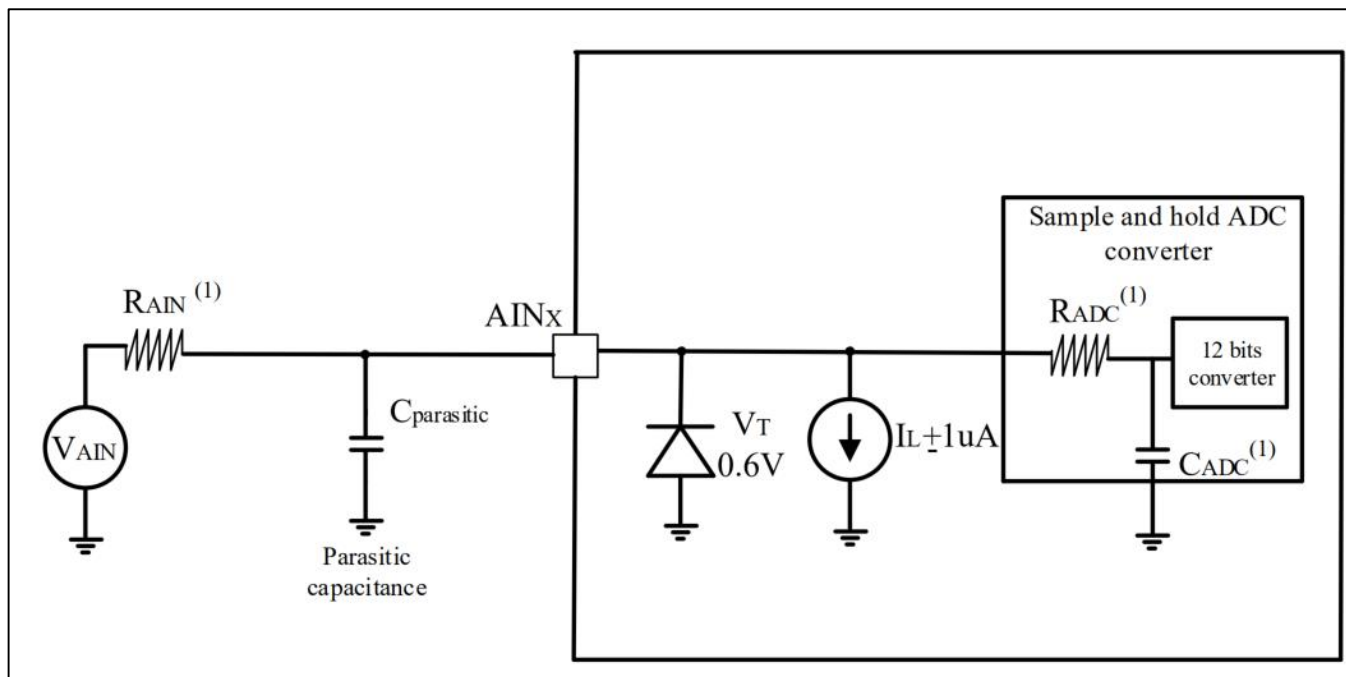


图1.1-1 N32 ADC典型连接图

图中参数标志分别为： V_{AIN} ：输入信号， R_{AIN} ：外部输入阻抗， $C_{parasitic}$ ：PCB与焊盘上的寄生电容， $AINX$ ：信号输入端口， R_{ADC} ：采样开关电阻， C_{ADC} ：内部采样和保持电容。

1.2 基本工作原理

ADC的基本工作原理分为三个过程：采样、保持和量化。采样是将时间上连续变化的模拟量转化为离散的模拟量，保持是将信号存储至下一次采样的过程，量化是将保持的模拟信号转换成数字信号的过程。

如果将N32 ADC内部采样转换电路简化，可以等效三个工作阶段：

- 采样阶段

$S_0 \sim S_{15}$ 根据配置通道选择连接芯片引脚（输入信号源），采样电容为 C_0 至 C_{11} ，此时电容的下级板连接到信号源上，上极板(COMP端)接VCM，进行输入信号采样。

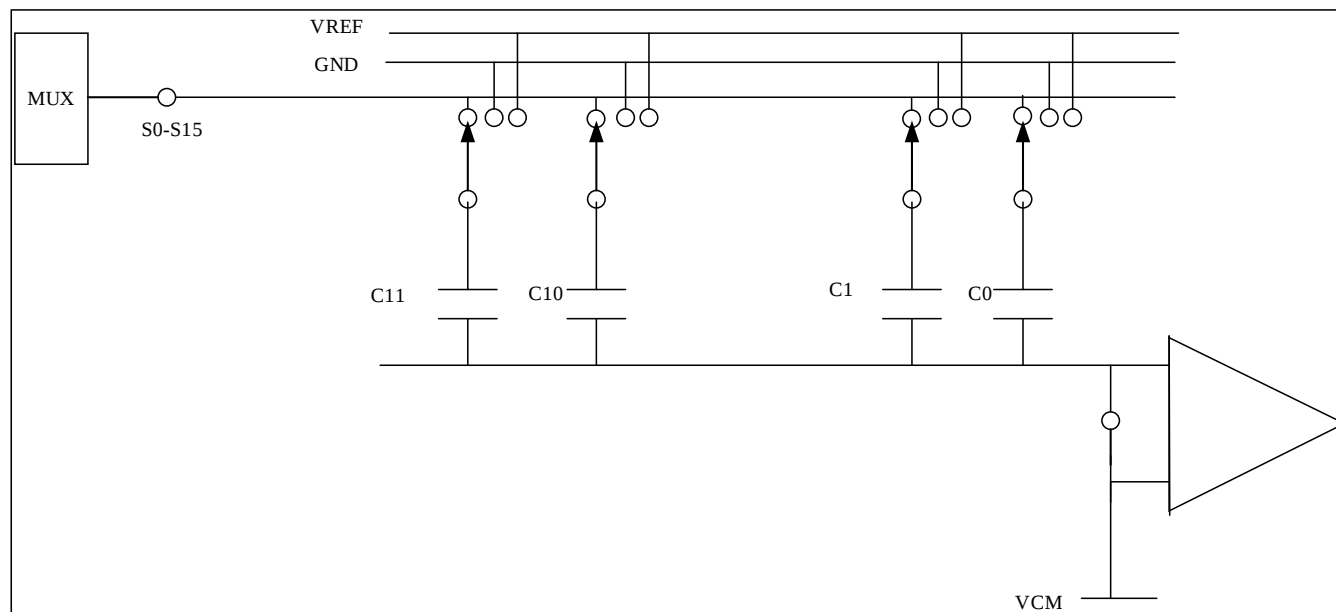


图1.2-1 ADC采样阶段等效电路

➤ 保持阶段

断开 $S_0 \sim S_{15}$ 与输入信号的连接，电容的上极板(COMP端)悬空，下级板接地。

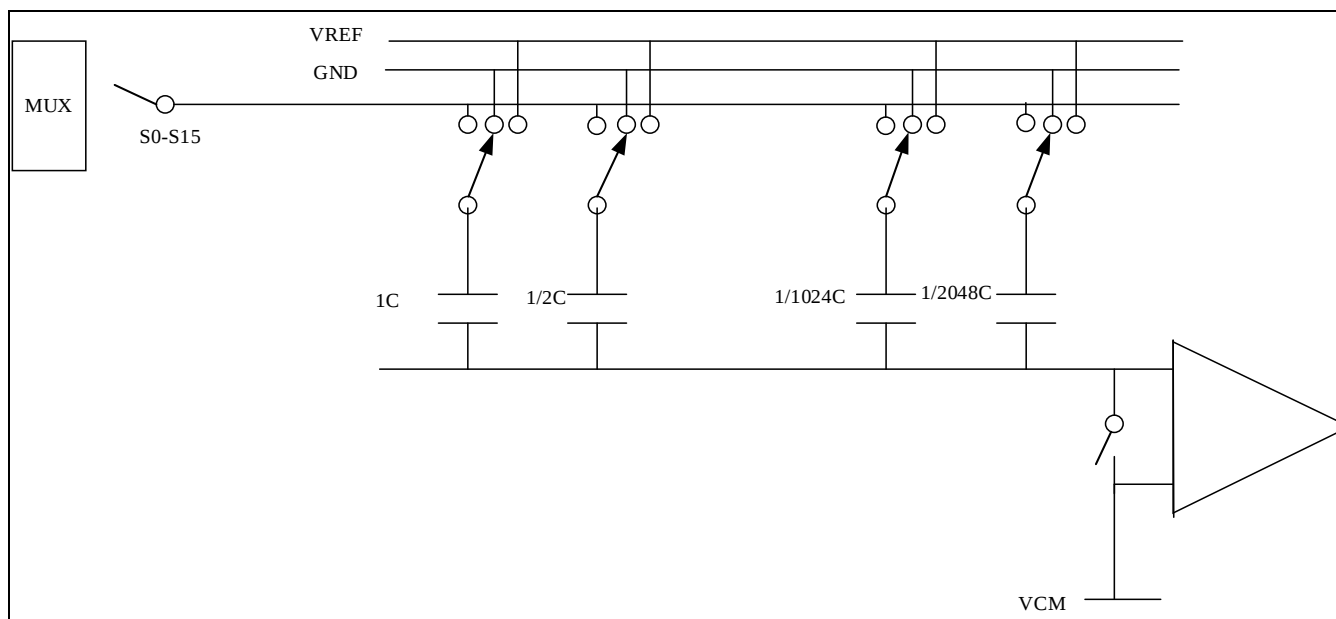


图1.2-2 ADC保持阶段等效电路

➤ 逐次比较阶段

初始阶段，电容下级板从高到低接VREF,GND...GND，从 $C_{11} \sim C_0$ 根据比较器输出结果对电容开关进行裁决：

- MSB: C_{11} 接成VREF，进行比较，如比较器输出高维持接VREF，否则改成接GND；

- (M-1)SB: C_{10} 接成VREF, 进行比较, 比较器输出高则维持该状态, 否则改成接GND;
- 重复上述比较过程
- LSB: C_0 接成VREF, 进行比较, 比较器输出高则维持该状态, 否则改成接GND。
- 转换结束后, 将量化值搬移到数据寄存器中

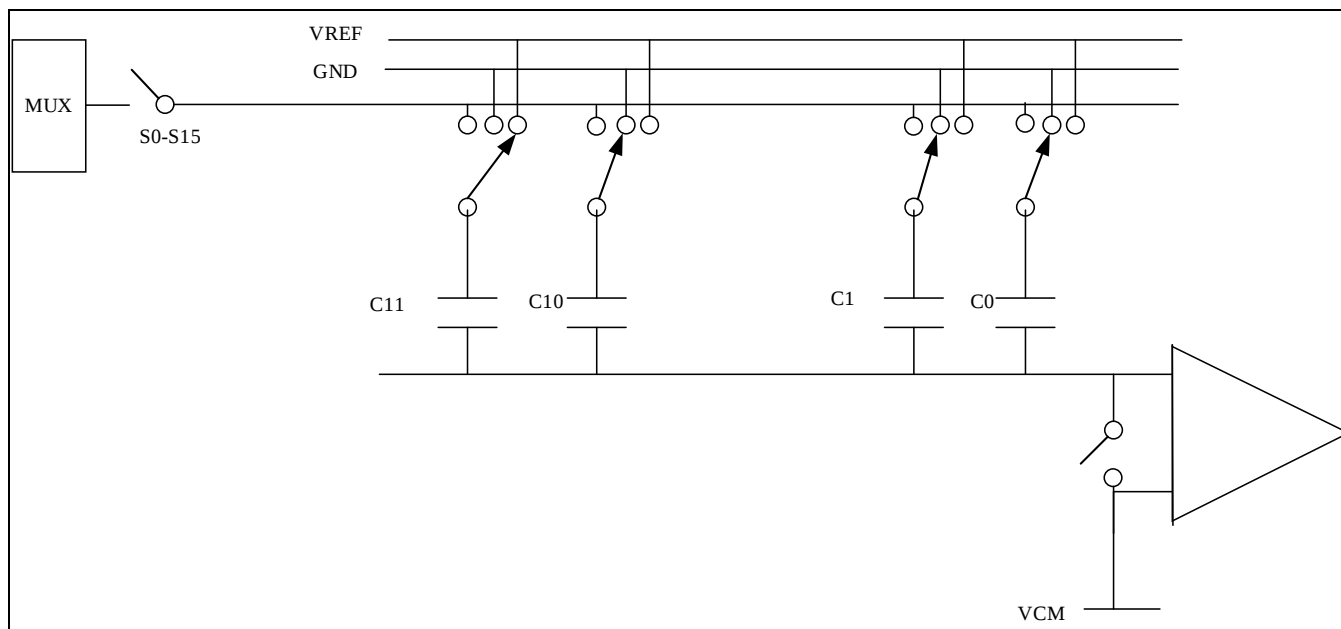


图1.2-3 ADC逐次比较阶段等效电路

3. N32 ADC 应用注意事项

产品很多应用中需要实现采集模拟量计算, 实现一系列功能, 因此 ADC 也是芯片中一个重要外设。高精度 ADC 可以保证输入信号转换值更接近原始信号源, 同时误差便成为 ADC 绕不开的话题, 为了降低采样信号误差, 不仅要对输入信号做噪声滤波处理, 也需要正确配置和使用 ADC。

下面会详细介绍 N32 ADC 的应用注意事项, 减小采集中的误差, 获取高精度采样数据, 发挥 N32 ADC 强大性能。

2.1 ADC 时钟配置

N32 ADC 正常工作需要配置 3 种时钟, 其分别为工作时钟、采样时钟和计时时钟, 不合理的时钟配置, 会影响 ADC 采样精度和工作状态。

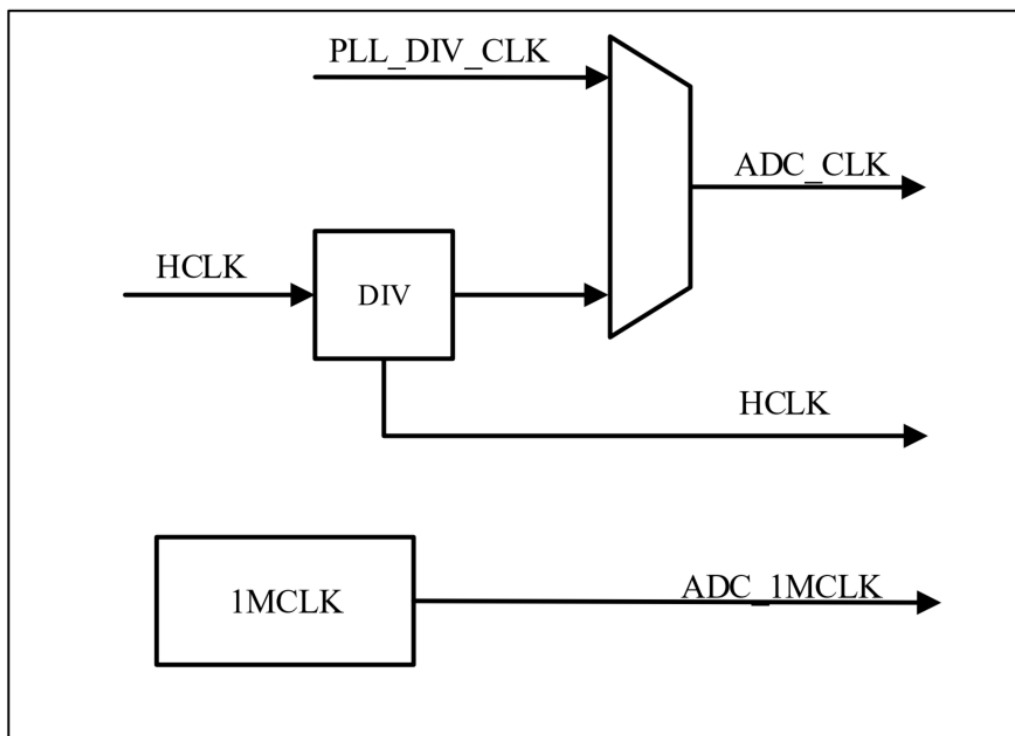


图 2.1-1 ADC 时钟

➤ ADC 工作时钟

工作时钟为 HCLK，主要用于访问寄存器；

各系列库函数配置 ADC 工作时钟示例：

N32G45x:

```
RCC_EnableAHBPeriphClk(RCC_AHB_PERIPH_ADC1 | RCC_AHB_PERIPH_ADC2 | RCC_AHB_PERIPH_ADC3 | RCC_AHB_PERIPH_ADC4, ENABLE);
```

N32G43x/N32L40x/N32L43x:

```
RCC_EnableAHBPeriphClk(RCC_AHB_PERIPH_ADC, ENABLE);
```

➤ ADC 采样时钟

采样时钟 ADC_CLK 有两个源（HCLK 的分频或 PLL 的分频），HCLK 分频与系统是同步时钟，PLL 的分频与系统是异步时钟，用同步时钟的好处是在触发 ADC 响应触发时，没有不确定性，用 PLL 的分频时钟的好处是可以独立处理 ADC 的工作时钟，不会影响到挂在 HCLK 的其他模块；

各系列库函数配置 ADC 采样时钟示例：

- N32G45x: 该系列工作主频最高为 144MHz,可配置 PLL 作为采样时钟源,最高可到 72MHz,支持分频 1,2,4,6,8,10,12,16,32,64,128,256。可配置 AHB_CLK 作为采样时钟源，最高可到 72MHz，支持分频 1,2,4,6,8,10,12,16,32。

当系统主频大于 72MHZ 时，ADC_CLK 至少 2 分频

AHB_CLK 作为采样时钟源：ADC_ConfigClk(ADC_CTRL3_CKMOD_AHB,RCC_ADCHCLK_DIV2);

PLL 作为采样时钟源：ADC_ConfigClk(ADC_CTRL3_CKMOD_PLL,RCC_ADCPLLCLK_DIV2);

- N32G43x/N32L43x: 该系列工作主频最高为 108MHZ，可配置 PLL 作为采样时钟源，最高可到 72MHz，支持分频 1,2,4,6,8,10,12,16,32,64,128,256。可配置 AHB_CLK 作为采样时钟源，最高可到 72MHz,支持分频 1,2,4,6,8,10,12,16,32。

当系统主频大于 72MHZ 时，ADC_CLK 至少 2 分频

AHB_CLK 作为采样时钟源：ADC_ConfigClk(ADC_CTRL3_CKMOD_AHB,RCC_ADCHCLK_DIV2);

PLL 作为采样时钟源：ADC_ConfigClk(ADC_CTRL3_CKMOD_PLL,RCC_ADCPLLCLK_DIV2);

- N32L40x: 该系列工作主频最高为 64MHZ，可配置 PLL 作为采样时钟源，最高可到 64MHz，支持分频 1,2,4,6,8,10,12,16,32,64,128,256。可配置 AHB_CLK 作为采样时钟源，最高可到 64MHz，支持分频 1,2,4,6,8,10,12,16,32。

该系列系统主频最大 64MHZ，当系统时钟 64MHZ 时，ADC_CLK 可以 1 分频

AHB_CLK 作为采样时钟源：ADC_ConfigClk(ADC_CTRL3_CKMOD_AHB,RCC_ADCHCLK_DIV1);

PLL 作为采样时钟源：ADC_ConfigClk(ADC_CTRL3_CKMOD_PLL,RCC_ADCPLLCLK_DIV1);

➤ ADC 计时时钟

计时时钟可以是 HSI 和 HSE，主要用于内部计时，频率大小必须配置成 1MHZ。

各系列库函数配置 ADC 计时时钟示例：

- N32G45X 系列配置 ADC 计时时钟，时钟源可以是 HSI 和 HSE 内部，HSI 为 8MHZ，HSE 支持 4~32MHZ

HSI 为 8MHZ：RCC_ConfigAdc1mClk(RCC_ADC1MCLK_SRC_HSI, RCC_ADC1MCLK_DIV8);

HSE 为 8MHZ 时：RCC_ConfigAdc1mClk(RCC_ADC1MCLK_SRC_HSE, RCC_ADC1MCLK_DIV8);

- N32G43x/N32L43x/N32L40X 系列配置 ADC 计时时钟，时钟源可以是 HSI 和 HSE 内部，HSI 为 16MHZ，HSE 支持 4~32MHZ

HSI 为 8MHZ：RCC_ConfigAdc1mClk(RCC_ADC1MCLK_SRC_HSI, RCC_ADC1MCLK_DIV8);

HSE 为 8MHZ 时：RCC_ConfigAdc1mClk(RCC_ADC1MCLK_SRC_HSE, RCC_ADC1MCLK_DIV8);

2.2 ADC 校准

校准可以增加采样精度，在 ADC 第一次上电和 ADC 从深度睡眠唤醒时，都需要进行校准，保证 ADC 的采样精度。

ADC 数字校准模块用于测量和校正 ADC 的偏移电压，校准过程通过内部连接，对理想的“0”电压进行采样，计算出 offset，在正常工作时就可以去除 offset 电压。

N32G45x 系列，ADC 校准操作，以 ADC1 为例：

```
/* Start ADC1 calibration */  
ADC_StartCalibration(ADC1);  
/* Check the end of ADC1 calibration */  
while (ADC_GetCalibrationStatus(ADC1))
```

N32G43x/N32L40x/N32L43x 系列，ADC 校准操作：

```
/* Start ADC calibration */  
ADC_StartCalibration(ADC);  
/* Check the end of ADC calibration */  
while (ADC_GetCalibrationStatus(ADC));
```

2.3 ADC 供电

芯片供电系统由数字供电和模拟供电组成，VDD 主要为数字模块提供电源，如：CPU、USART、GPIO 等外设，VDDA 主要为模拟模块提供电源，如：OPAMP、ADC、COMP 等外设。建议使用相同的电源为 VDD 和 VDDA 供电，在上电和正常操作期间，VDD 和 VDDA 之间最多允许有 300mV 的差别。

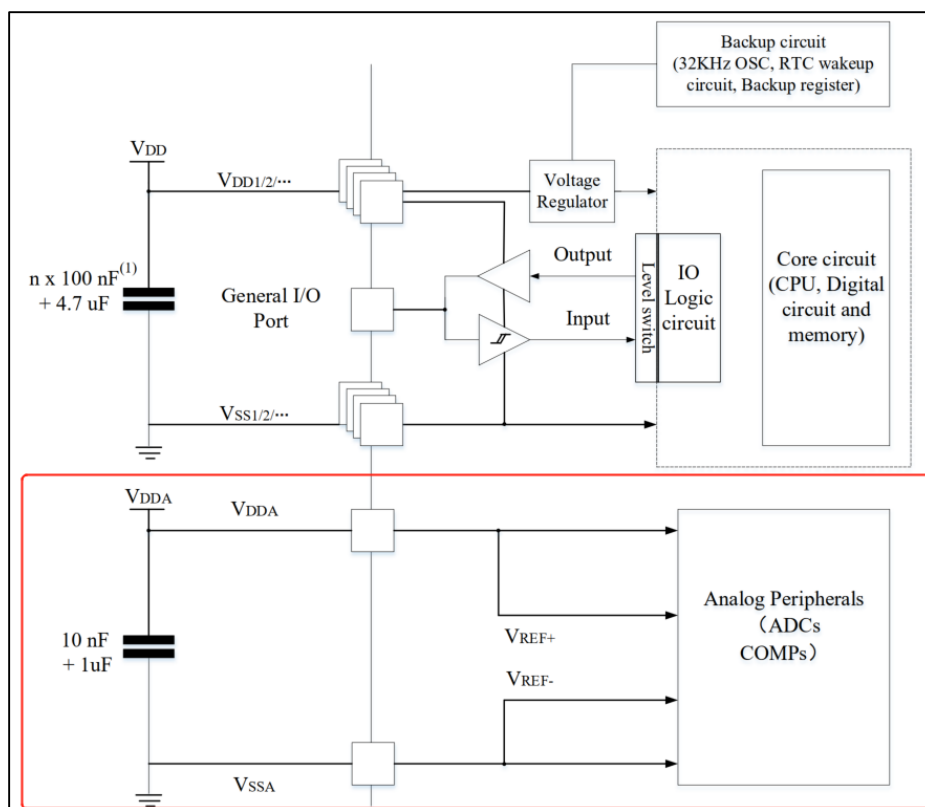


图 2.3-1 芯片供电系统

ADC 模块内核默认由模块内部 LDO 供电，LDO 参考源初始设置为 VDDA，当 VDDA 电压波动时，会影响 ADC 采集精度和工作状态，在严苛工作环境下，会概率出现 ADC 工作异常，表现采集数值异常或停止工作，若多通道采集下使用 DMA 搬移数据还会概率出现搬移数据通道移位现象。

当 ADC 应用中遇到上述类似现象，可以调整 ADC 模块内核供电进行改善，切换 ADC 供电为 MR 供电，不用内部 LDO 供电方式，能有效改善 ADC 工作的稳定性。

➤ N42G45X 系列 MR 电压调节

- 1.定义 MR 操作寄存器：ADCIP_CTRL (*(UINT32_T*)(0x40020800+0x60));
- 2.ADC 寄存器初始化前，切换 ADC 模块数字供电：ADCIP_CTRL = 0x28;
- 3.正常初始化 ADC 寄存器参数

➤ N32G43x/N32L40x/N32L43x 系列，MR 电压调节

- 1.定义 MR 操作寄存器：ADCIP_CTRL (*(UINT32_T*)(0x40020800+0x60));
- 2.ADC 寄存器初始化前，切换 ADC 模块数字供电：ADCIP_CTRL = 0x28;
- 3.正常初始化 ADC 寄存器参数

2.4 ADC 状态切换

在一些应用场景需多次切换 ADC 工作状态，反复开关 ADC，不能仅操作 ON 位 ENABLE 或 DSIABLE，也需要确认 ADC 状态，判断是否 ADC 状态切换完成，才可进行下一步操作。

➤ ADC 上电

ADC 第一次上电时，需等待 PowerUp 过程完成，可以通过查询 ADC_CTRL3 里面的 RDY 位确认是否上电完成，然后进行 ADC 校准。

```
N32G45x 系列，ADC 上电操作，以 ADC1 为列：
/* Enable ADC1 */
ADC_Enable(ADC1, ENABLE);
/*Check ADC Ready*/
while(ADC_GetFlagStatusNew(ADC1,ADC_FLAG_RDY) == RESET);

N32G43x/N32L4xx 系列，ADC 上电操作：
/* Enable ADC */
ADC_Enable(ADC, ENABLE);
/*Check ADC Ready*/
while(ADC_GetFlagStatusNew(ADC,ADC_FLAG_RDY) == RESET);

N32G03X 系列，ADC 上电操作：
/* Enable ADC */
ADC_Enable(ADC, ENABLE);
/*wait ADC is ready to use*/
while(!ADC_GetFlagStatusNew(ADC, ADC_FLAG_RDY)) ;
```

➤ ADC 下电

通过清除 ON 位可以停止转换，并将 ADC 置于断电模式，在这个模式中 ADC 几乎不耗电（仅几 μA ）。ADC 下电时，用户需查询 ADC_CTRL3 里面的 PDRDY 确认是否下电完成，才可进行下一步操作。

在 ADC DISABLE 的时候默认都是 PowerDown 模式，这个模式下只要不断电，不需要重新校正，校正值会在 ADC 自动保持。为了进一步的降低功耗，ADC 有一个深睡眠模式，会在 ADC DISABLE 进入深睡眠模式，ADC 内部的校正值会丢失，需要重新校正。

```
N32G45x 系列，ADC 下电操作，以 ADC1 为列：
/* Disable ADC ADC1 */
ADC_Enable(ADC1, DISABLE);
/*Check ADC Power Down Ready*/
while(ADC_GetFlagStatusNew(ADC1, ADC_FLAG_PD_RDY) == RESET);
```

N32G43x/N32L43x/N32L40x 系列，ADC 下电操作：

```
/* Disable ADC ADC */  
ADC_Enable(ADC, DISABLE);  
/* Check ADC Power Down Ready */  
while(ADC_GetFlagStatusNew(ADC, ADC_FLAG_PD_RDY) == RESET);
```

➤ 低功耗模式下唤醒

当芯片从低功耗模式唤醒后，需要重新复位 ADC 模块时钟，再进行初始化配置，否则会影响 ADC 的采样精度。

N32G45x 系列，低功耗模式下唤醒后，ADC 反初始换配置，以 ADC1 为例：

- 1.反初始化 ADC 时钟：ADC_DeInit(ADC1);
- 2.ADC 初始化配置；
- 3.使能 ADC 进行校准

N32G43x/N32L43x/N32L40x 系列，低功耗模式下唤醒后，ADC 反初始换配置，以 ADC1 为例：

- 1.反初始化 ADC 时钟：ADC_DeInit(ADC1);
- 2.ADC 初始化配置；
- 3.使能 ADC 进行校准

2.5 ADC 误差

理论上 ADC 的精度就是转码最小刻度，但实际信号采集中会叠加各种误差，加上误差干扰后的才是 ADC 真实精度 $V_{ref}/4096 + V_{误差}$ 。

影响 ADC 误差的因素主要有：

- ADC 内部误差，包括偏移误差、增益误差、微分线性误差、积分线性误差等
- 参考电压噪声，模拟信号电压采集是以参考电压为基准，参考电压上的任何噪声都会导致转换后的数字值变化
- 模拟输入信号噪声，电气设备会在模拟信号上产生噪声，导致采集值出现波动
- I/O 引脚串扰，相邻数字端口存在高频翻转信号会在 ADC 的模拟输入信号中产生噪声
- 模拟信号电压超过芯片规格，模拟 I/O 端口输入低于 -0.2V 电压或者高于 VDD 电压，会拉低或者拉高采集值
- 外部信号阻抗会影响采样精度
- 时钟配置不合理，ADC 需要使能三个时钟，其中任何一个时钟没有规范配置都会影响 ADC 精度

为获取 ADC 最佳采样精度，我们可以在以下几个方面做一些措施：

➤ PCB 设计上减小电源噪声

电源端：小容量的电容过滤高频率的噪声，大容量的电容过滤低频率的噪声。建议在靠近模拟电 (VDDA 和 VSSA)管脚的地方放置瓷器电容。这样的电容可以过滤由 PCB 线路引出的噪声。小容值的电容可以响应电流的快速变化，并快速地放电适应快速的电流变化。

靠近芯片端：10nF 瓷器电容+1uF 钽电容/瓷器电容。

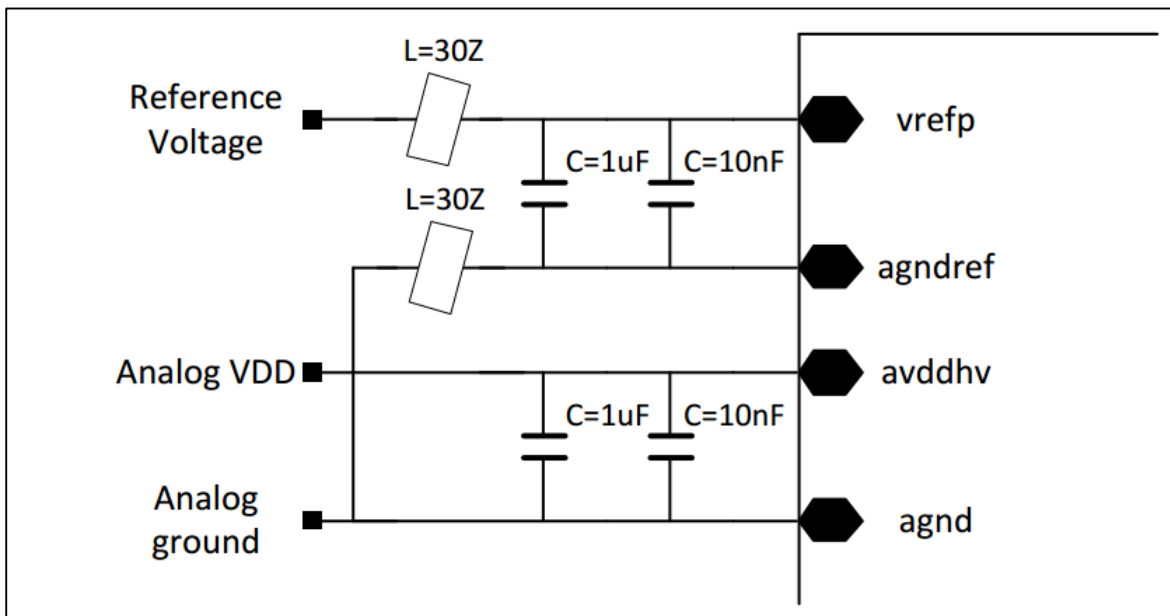
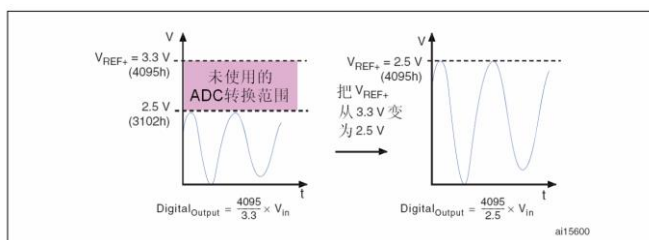


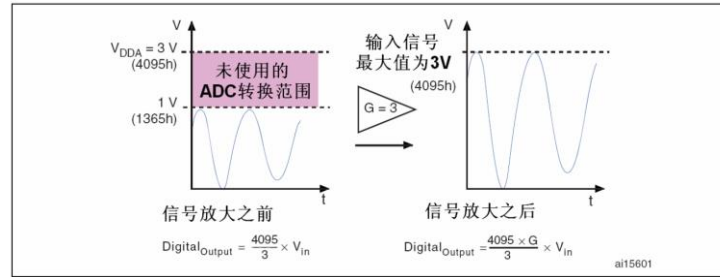
图 2.5-1 电源系统设计

➤ 处理信号源

1. 输入信号采样值进行平均值滤波
2. 使用更加符合输入范围的 VREF



3. 信号输入端增加外部滤波器
4. 增大信号幅度，使其输入更加适配 ADC 量程



➤ 输入信号电压符合芯片规格

在使用某一 ADC 通道时，不能在其它未使用的 ADC 采样通道施加负压（比如-0.2V），如果施加了此负电压，会导致正常采样的 ADC 通道电压被拉低，导致采样的数据不准；

在使用某一 ADC 通道时，不能在其它未使用的 ADC 采样通道施加高压（大于 VDD 电压），如果施加了此高电压，会导致正常采样的 ADC 通道电压被拉高，导致读取的数据不准。

➤ 选择合适的采样周期

ADC 的采样过程中实际可以等效成电容对外部信号源进行采样，在实际电路中 开关本身有阻抗，I/O 通道走线也会有阻抗。

采样周期的设定，需根据外部输入阻抗进行计算，可参考下列公式：

$$R_{AIN} < \frac{T_s}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC} \quad \text{---公式 1}$$

以 N32G45x 系列举例，ADC 采样时钟为 72MHZ，外部模拟信号输入阻抗为 1000Ω，为匹配合适的采样周期，计算：

$$1000 < \frac{T_s}{72000000 \times 5 \times 10^{-12} \times \ln(2^{12+2})} - 70$$

计算出， $T_s > 3.7$ ，软件配置采样周期需要大于 3.7。（公式参数可在芯片数据手册中获取）

➤ 正确配置 ADC 时钟

ADC 需要三个时钟，工作时钟、采样时钟和计数时钟，在进行 ADC 初始化时，三个时钟都需要进行正确配置，否则会影响信号采集转换的数字值。

2.6 小信号/高阻信号测量

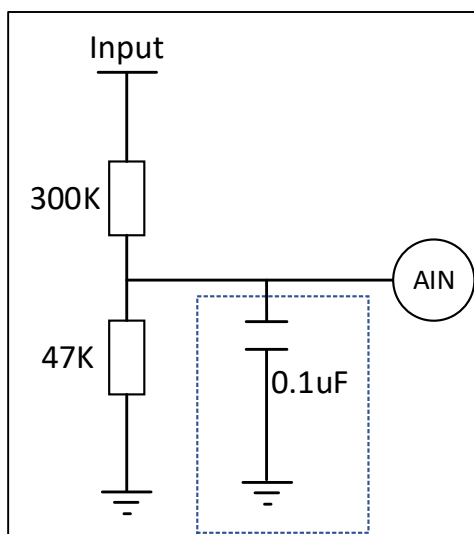
➤ 小信号测量

当需要采集 mv 级输入信号时，可以采用以下几种方式

1. 连接 OPAMP 正向输入引脚，通过 PGA 内部放大后输出 ADC 进行采集；
2. 选择 ADC 快速通道，增加 ADC 采样周期；
3. 输入通道上增加合适参数的电容；
4. 通过软件过采样+软件滤波的方式，筛出符合自己需求的值。

➤ 高阻信号测量

当需要采集高阻信号时，硬件上可以在通道上加载电容，软件上可以增加采样周期。



采集上图输入信号，增加采样和外接电容能明显提高 ADC 采样精度，以 N32G03x 为例：

采样周期	240	72	42	6
接 0.1uf 电容	0.16%	0.74%	-1.69%	0.78%
不接 0.1uf 电容	0.08	0.47	-6.88%	-42.23%

外接电容，可以使用 ADC 快速采样而不需要特意延长 ADC 采样时间，但有滤波作用，适用于 DC 信号和非常慢速的信号。

2.7 差分计算公式

N32 微控制器一些系列的 ADC 支持差分输入，例如：N32G45x/N32G43x/N32L43x/N32L40x。作为差分输入的正反向端需要是相邻 ADC 通道（详见下图 2.7-1 ADC 通道和 PIN 脚关系），可在寄存器 ADC_DIFSEL 配置通道为差分模式。

差分信号输入范围在 0~VREF 之间，输出范围为-VREF~+VREF，共模电压范围为 $\frac{VDD}{2}-0.18 \sim \frac{VDD}{2}+0.18$ ，转换值计算可以换算成： $ADC_DAT = 4095 * (\frac{1}{2} * \frac{Vin}{VREF} + \frac{1}{2})$ ，例：

ADC_DAT	VINP	VINN	VIN	VREF
0	0V	3.3V	-3.3V	3.3V
2048	1.65V	1.65V	0V	3.3V
4095	3.3V	0V	3.3V	3.3V

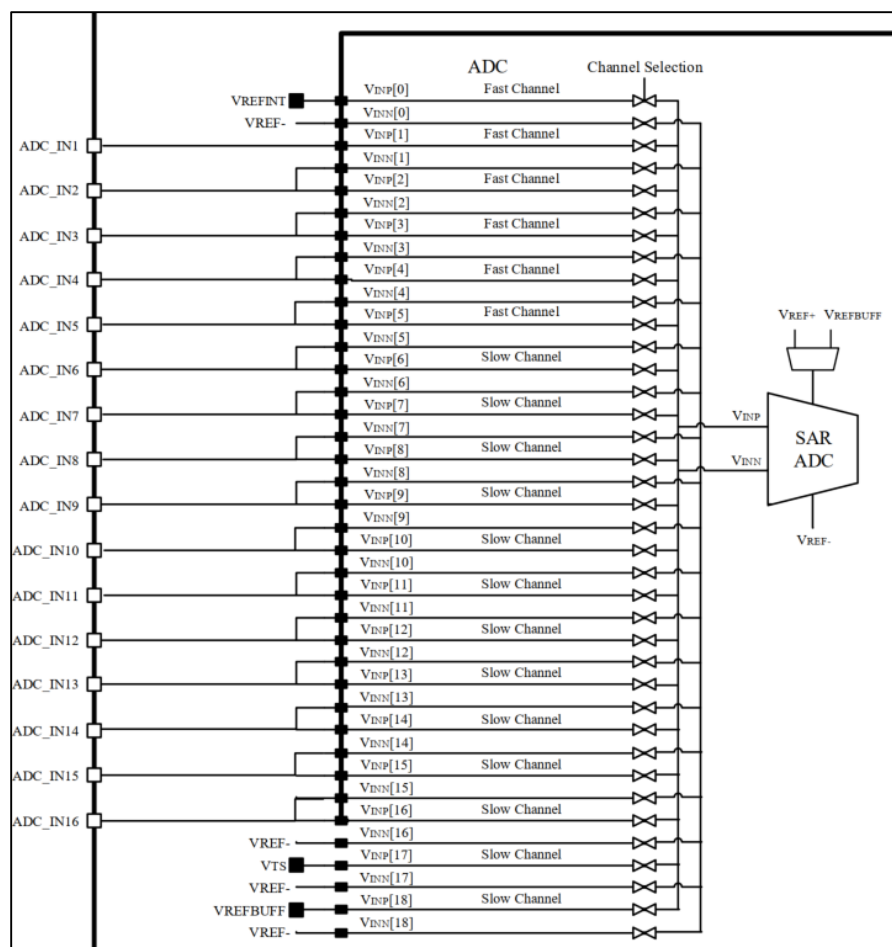


图 2.7-1 ADC 通道和 PIN 脚关系

4. 历史版本

版本	日期	备注
V1.0	2022.10.28	初版
V1.1	2024.11.20	1.修改图 1.2-1, 图 1.2-2, 图 1.2-3

5. 声明

国民技术股份有限公司（下称“国民技术”）对此文档拥有专属产权。依据中华人民共和国的法律、条约以及世界其他法域相适用的管辖，此文档及其中描述的国民技术产品（下称“产品”）为公司所有。

国民技术在此并未授予专利权、著作权、商标权或其他任何知识产权许可。所提到或引用的第三方名称或品牌（如有）仅用作区别之目的。

国民技术保留随时变更、订正、增强、修改和改良此文档的权利，恕不另行通知。请使用者在下单购买前联系国民技术获取此文档的最新版本。

国民技术竭力提供准确可信的资讯，但即便如此，并不推定国民技术对此文档准确性和可靠性承担责任。

使用此文档信息以及生成产品时，使用者应当进行合理的设计、编程并测试其功能性和安全性，国民技术不对任何因使用此文档或本产品而产生的任何直接、间接、意外、特殊、惩罚性或衍生性损害结果承担责任。

国民技术对于产品在系统或设备中的应用效果没有任何故意或保证，如有任何应用在其发生操作不当或故障情况下，有可能致使人员伤亡、人身伤害或严重财产损失，则此类应用被视为“不安全使用”。

不安全使用包括但不限于：外科手术设备、原子能控制仪器、飞机或宇宙飞船仪器、所有类型的安全装置以及其他旨在支持或维持生命的应用。

所有不安全使用的风险应由使用人承担，同时使用人应使国民技术免于因为这类不安全使用而导致被诉、支付费用、发生损害或承担责任时的赔偿。

对于此文档和产品的任何明示、默示之保证，包括但不限于适销性、特定用途适用性和不侵权的保证责任，国民技术可在法律允许范围内进行免责。

未经明确许可，任何人不得以任何理由对此文档的全部或部分进行使用、复制、修改、抄录和传播。