设计指南

N32G05X系列硬件设计指南

简介

本文档详细介绍 N32G05X 系列 MCU 硬件设计检查列表，以便为用户提供硬件设计指导。

国民技术　版权所有

目录

1. N32G05X 系列 MCU 硬件设计检查列表 1
1.1 电源供电简介 1
1.2 供电方案 1
1.3 RTC 复用引脚 1
1.4 外部引脚复位电路 1
1.5 外部时钟电路 1
1.6 启动引脚连接 2
1.7 独立 ADC 转换器 2
1.8 IO 上电脉冲处理 4
1.9 IO 耐压值 6
1.10 防静电设计 6
1.10.1 PCB 设计 6
1.10.2 ESD 防护器件 6
1.11 调试接口 7
1.12 BOOT 串口接口 7
2. 整体设计建议 8
3. 最小系统参考设计原理图 9
3.1.1 QFN64 (带 LED) 9
3.1.2 LQFP64(带 LED) 10
3.1.3 LQFP64(不带 LED) 11
4. PCB LAYOUT 参考 12
5. 历史版本 13
6. 声 明 14

国民技术股份有限公司 Nations Technologies Inc.
地址：深圳市南山区高新北区宝深路 109 号国民技术大厦
电话：+86-755-86309900 传真：+86-755-86169100
邮箱：info@nationstech.com 邮编：518057

1. N32G05X 系列 MCU 硬件设计检查列表

1.1 电源供电简介

N32G05X 系列芯片工作电压（VDD）为 2.0V~5.5V。主要有：VDD/VDDA、VDD_LED 引脚。具体请参考相关数据手册。

1.2 供电方案

VDD 为 MCU 主电源，必须由稳定的外部电源供电。电压范围 2.0V~5.5V， VDD 引脚需就近放置一颗 0.1uF 去耦电容和一颗 4.7uF 去耦电容。去耦电容具体设计请参考第三章节各封装最小系统参考设计原理图；

VDD_LED 为 LED 模块供电电压，VDD_LED 管脚建议就近放置一颗 0.1uF 去耦电容和一颗 220uF 去耦电容。去耦电容具体设计请参考第三章节各封装最小系统参考设计原理图；

当 PB2 复用成 AVREFP[n1]功能时，推荐外接 100nF+1uF 电容。具体描述请参考数据手册。

1.3 RTC 复用引脚

IO 复用为 RTC TAMP 功能时，该引脚需加上/下拉电阻，上/下拉电阻参考范围为 1K~10K。

1.4 外部引脚复位电路

当NRST引脚上出现低电平(外部复位) 将产生系统复位。外部NRST引脚复位参考电路如下。

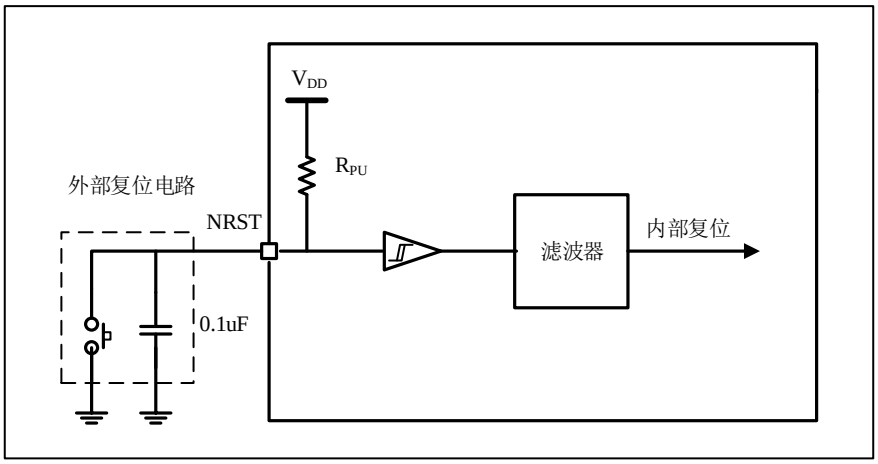

图 1-1 系统复位图

注：复位引脚NRST在设计时建议不悬空，外挂电容0.1uF作为典型参考值给出，若需加快复位时间，NRST引脚可外加上拉，另外用户可根据产品实际需要决定是否增加复位按键。

1.5 外部时钟电路

N32G05X 系列 MCU 包含 1 个外部时钟：外部高速时钟 HSE（8MHz~16MHz）。

国民技术股份有限公司 Nations Technologies Inc.
地址：深圳市南山区高新北区宝深路 109 号国民技术大厦
电话：+86-755-86309900 传真：+86-755-86169100
邮箱：info@nationstech.com 邮编：518057

HSE 根据晶振特性配置相应的负载电容，详细请参考相关数据手册中外部时钟特性描述。

1.6 启动引脚连接

下图显示了 N32G05X 系列芯片选择启动存储器时所需的外部连接。关于启动模式请参考用户手册相关章节。

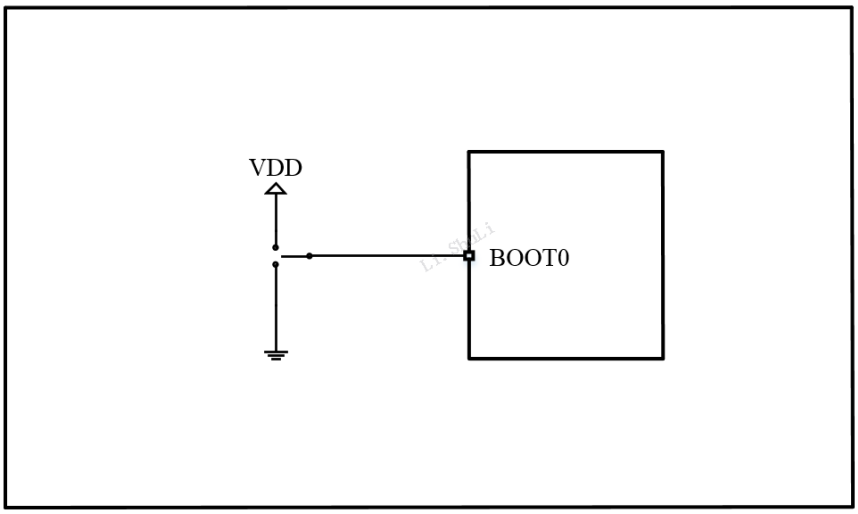

图 1-2 启动模式实现实例

默认模式下，BOOT引脚拉高，芯片复位后从BOOT区启动；BOOT引脚拉低，芯片复位后从用户区启动。

1.7 独立 ADC 转换器

关于 ADC 电路设计，请注意如下几点：

1） 在使用 ADC 采样时，建议缩短 ADC 采样通道的外部走线距离；

2） ADC 的输入信号周边建议远离一些高频翻转信号；

3） 注意采样通道的最高支持速率：

N32G05X 系列在 ADC 输入时钟为 24MHZ 条件下，ADC 采样通道采样率不超过 1Msps；

4） 在 ADC 转换期间，芯片不支持修改 ADC 配置，如需修改配置，需要等待当前转换结束或者关闭 ADC 后，再进行配置；

5） 在使用某一 ADC 通道时，不能在其它未使用的 ADC 采样通道施加负压（比如-0.2V）， 如果施加了此负电压，会导致正常采样的 ADC 通道电压被拉低，导致读取的数据不准；

6） 在使用某一 ADC 通道时，不能在其它未使用的 ADC 采样通道施加高压（大于 VDD 电压），如果施加了此高电压，会导致正常采样的 ADC 通道电压被拉高，导致读取的数据不准；

7） 在使用 ADC 时，R_{AIN} 的最大值不能太大，需要符合如下公式：

国民技术股份有限公司 Nations Technologies Inc.
地址：深圳市南山区高新北区宝深路 109 号国民技术大厦
电话：+86-755-86309900 传真：+86-755-86169100
邮箱：info@nationstech.com 邮编：518057

$$R_{AIN} < \frac{T_S}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

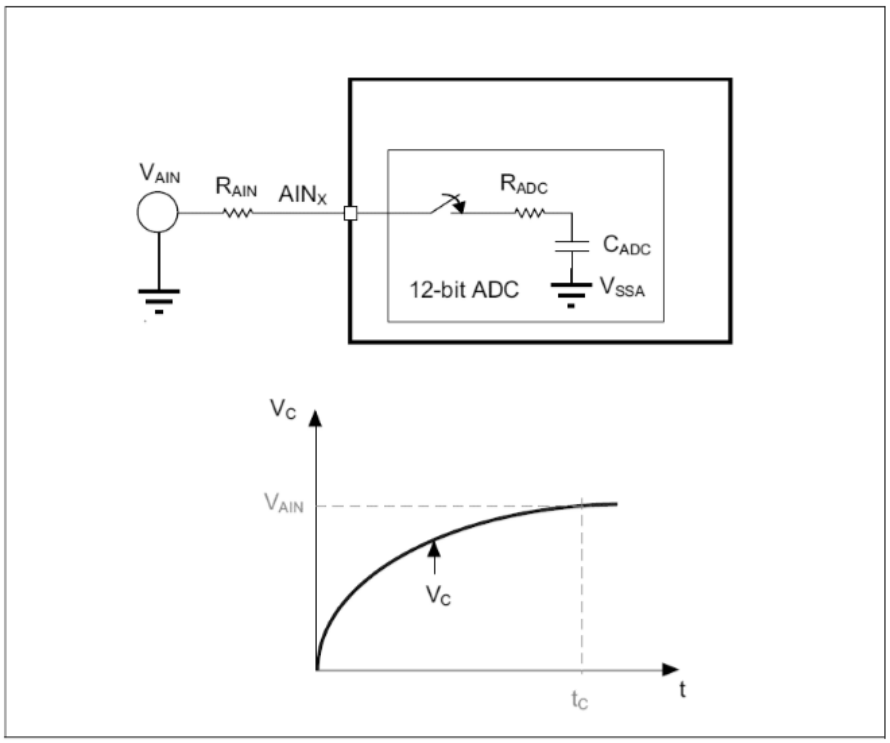

图 1-3　ADC 输入口串联电阻的影响

国民技术股份有限公司 Nations Technologies Inc.
地址：深圳市南山区高新北区宝深路 109 号国民技术大厦
电话：+86-755-86309900 传真：+86-755-86169100
邮箱：info@nationstech.com 邮编：518057

ADC 采样时间表：

分辨率	Rin（kΩ）	最小采样时间（ns）
12-bit	0.9	500
	1.2	583
	2.2	833
	3.8	1250
	8.1	2333
	10.8	3000
	18.7	5000
	28.9	7583
	38.5	10000
	61.6	15833

图 1-4 ADC 采样时间表

注：采样时间需根据输入时钟和ADC寄存器可选的采样周期综合配置，原则上ADC采样周期配置应大于等于表中最小采样周期数。

1.8 IO 上电脉冲处理

上电过程中由于 IO 处于高阻态及内部电路耦合特性，上电瞬间会引起 IO 上出现高电平脉冲（实际的高脉冲电压值请用户实测）。若该脉冲会影响其应用，建议在对应 IO 上挂适当电容（1nF~100nF）或外加适当下拉电阻(10K~100K)处理。

下图为开发板 N32G056RBQ7_STB_V1.0 上电过程中 IO(PB12)波形图：

国民技术股份有限公司 Nations Technologies Inc.
地址：深圳市南山区高新北区宝深路 109 号国民技术大厦
电话：+86-755-86309900 传真：+86-755-86169100
邮箱：info@nationstech.com 邮编：518057

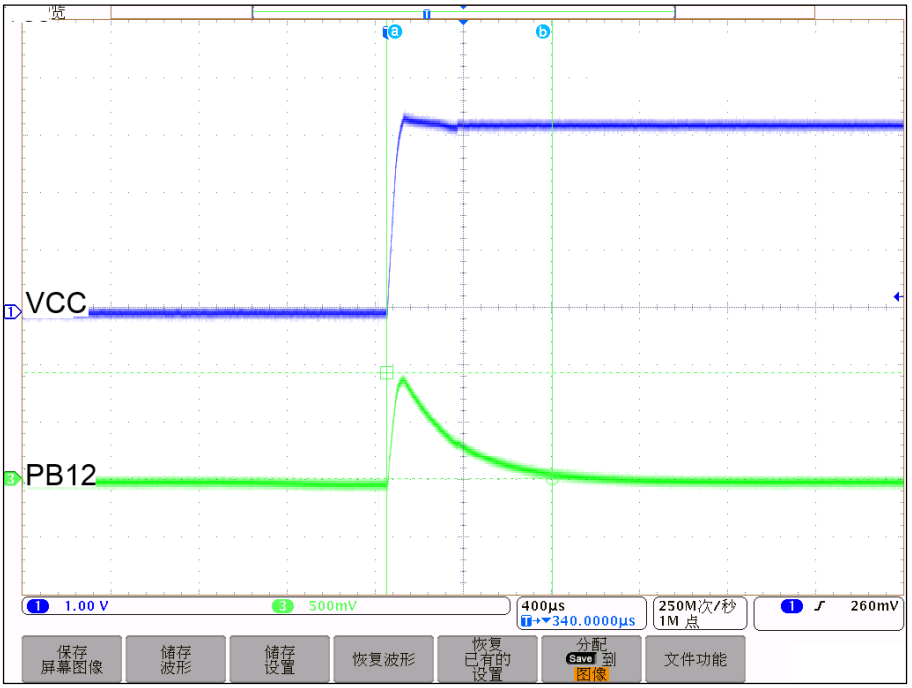

图 1-5 上电过程 IO(PB12)波形

下图为开发板 N32G056RBQ7_STB_V1.0 上电过程中 IO(PB12)外加 10K 下拉电阻后的波形图：

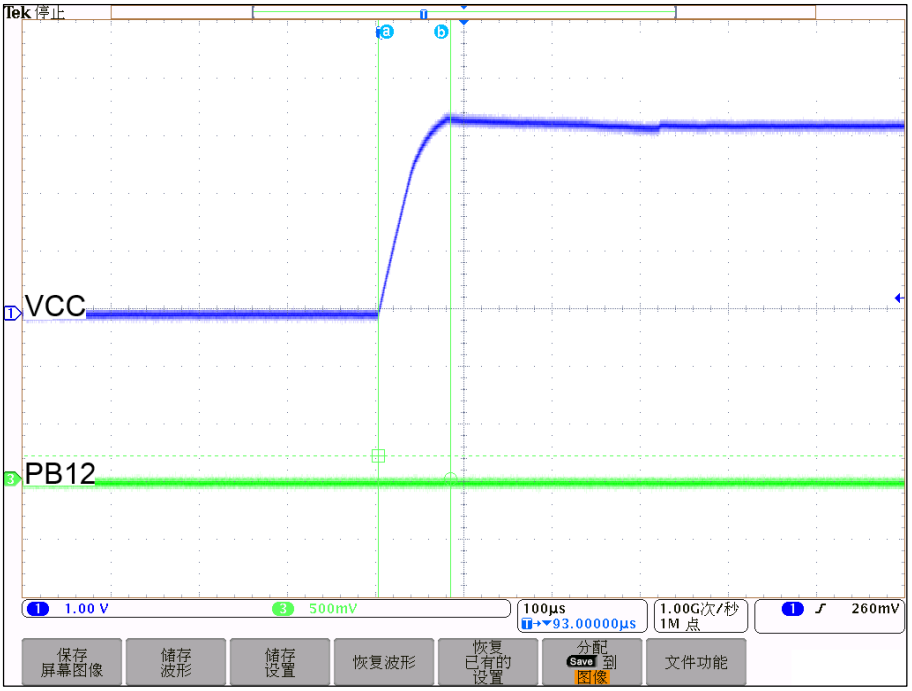

图 1-6 上电过程 IO（PB12）外加下拉电阻处理后波形

国民技术股份有限公司 Nations Technologies Inc.
地址：深圳市南山区高新北区宝深路 109 号国民技术大厦
电话：+86-755-86309900 传真：+86-755-86169100
邮箱：info@nationstech.com 邮编：518057

1.9 IO 耐压值

芯片使用时请注意各 IO 耐压值，在数据手册引脚复用定义的 I/O 结构一栏，标注了 TC：5V standard IO，这类型 IO 在与外部其它不同电压域的 IO 进行通讯时，需要做电平转换。

Package	Pin name (function after reset)	Type(1)	IO(2)	Fail-safe(4)	Alternate functions(3)	
LQFP64 QFN64					Digital	Analog
1	PA7	I/O	TC	N	TIM1_CH1N TIM1_CH2N SPI3_NSS SPI3_MISO UART2_RX EVENTOUT	ADC_IN7 COMP2_OUT
2	PB0	I/O	TC	N	LCD_SEG0 TIM2_CH1 EVENTOUT	ADC_IN8 COMP1_INM
3	PB1	I/O	TC	N	LCD_SEG1	ADC_IN9 COMP1_INP

图 1-7 数据手册引脚复用定义的 I/O 结构

注：TC: 5V standard IO;在使用芯片时需注意 IO 的耐压值。

1.10 防静电设计

1.10.1 PCB 设计

对于普通两层板的 PCB 设计，建议信号线周围做包地处理，PCB 板边也尽量做到铺地环绕。在成本允许的条件下，可以用四层板或多层板设计，在多层 PCB 中地线面作为一个重要的电荷源，可抵消静电放电源上的电荷，这有利于减小静电场带来的问题。PCB 地线面也可作为其对信号线的屏蔽体（当然，地线面的开口越大，其屏蔽效能就越低）。另外，如果发生放电，由于 PCB 板的地平面很大，电荷很容易注入到地线面中，而不是进入到信号线中。这样将有利于对元件进行保护，因为在引起元件损坏前，电荷可以泄放掉。

1.10.2 ESD 防护器件

在实际产品设计中，芯片自身有一定的抗静电能力，N32G05X 系列 MCU ESD（HBM）模式下静电等级为+/-4KV，但如果有更高的 ESD 防护等级要求，且有芯片的管脚需要直接外接作为产品的输出或输入口，此时，芯片的管脚就直接暴露在产品的最外面，不能通过铺地等方式进行隔离。这种条件下，一般需要考虑外加 ESD 防护器件，TVS 管是一种典型的 ESD 保护器件，以下是典型的连接方式示例。

国民技术股份有限公司 Nations Technologies Inc.
地址：深圳市南山区高新北区宝深路 109 号国民技术大厦
电话：+86-755-86309900 传真：+86-755-86169100
邮箱：info@nationstech.com 邮编：518057

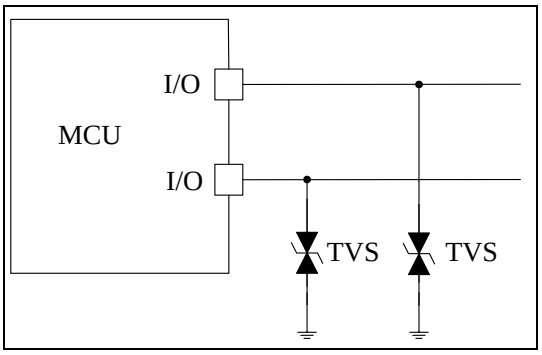

图 1-8 I/O 管脚上 TVS 连接方式

1.11 调试接口

N32G05X 系列芯片支持串行 SWD 调试接口，详细应用请参考相关用户手册。

调试信号	GPIO 引脚
JTMS/SWDIO	PA13
JTCK/SWCLK	PA14

表 1-1 调试接口

1.12 BOOT 串口接口

N32G05X 系列芯片支持 BOOT 串口通讯，串口接口如下表：

BOOT 串口	GPIO 引脚
UART1_TX	PA9
UART1_RX	PA10

表 1-2 串口接口

注：串口接口默认为 PA9、PA10;可通过选项字节更改，具体请见用户手册。

国民技术股份有限公司 Nations Technologies Inc.
地址：深圳市南山区高新北区宝深路 109 号国民技术大厦
电话：+86-755-86309900 传真：+86-755-86169100
邮箱：info@nationstech.com 邮编：518057

2. 整体设计建议

1） 印制电路板

建议使用有专门独立的接地层(VSS)和专门独立的供电层(VDD)的多层印制电路板，从而能提供好的耦合性能和屏蔽效果。在实际应用中，如考虑成本因素不能使用多层印制电路板，那么在设计电路时就需保证一个好的接地和供电的结构。

2） 器件位置

在 PCB 设计时根据各器件对 EMI 影响的不同，需把不同的电路分开布局。比如，大电流电路、低电压电路、以及高频器件等。从而减少 PCB 上的交叉耦合。

3） 接地和供电(VSS, VDD)

各模块(模拟电路、数字电路、敏感度低的电路)都应该单独接地，数字地和模拟地分开,所有的地最终都应在一个点上连到一起。根据印制线路板电流的大小，尽量加粗电源线宽度，减少环路电阻。同时，电源线、地线的走向和电流的方向应尽量一致，且电源应尽量靠近地线，减小回路的区域。这样有助于增强抗噪声能力。PCB 上没有器件的区域，需要填充为地，以提供好的屏蔽效果。

4） 去耦合

所有的电源引脚都需要适当的连接到电源。这些连接，包括焊盘、连线和过孔应该具备尽量小的阻抗。通常采用增加连线宽度的办法，同时每对 VDD 与 VSS 引脚都必须在靠近芯片处放置去耦电容。下图为电源/地引脚的典型布局。

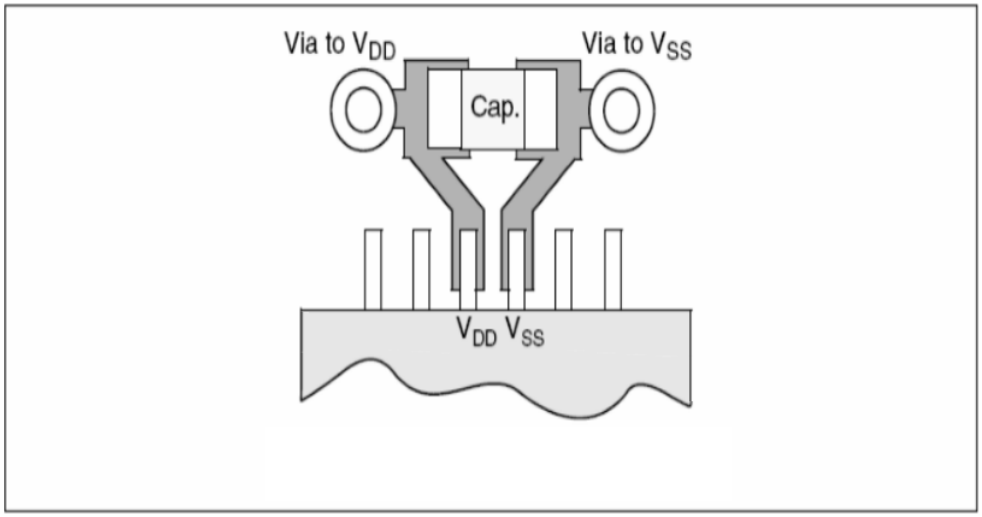

图 2-1 VDD/VSS 引脚的典型布局

国民技术股份有限公司 Nations Technologies Inc.
地址：深圳市南山区高新北区宝深路 109 号国民技术大厦
电话：+86-755-86309900 传真：+86-755-86169100
邮箱：info@nationstech.com 邮编：518057

3. 最小系统参考设计原理图

3.1.1 QFN64 (带 LED)

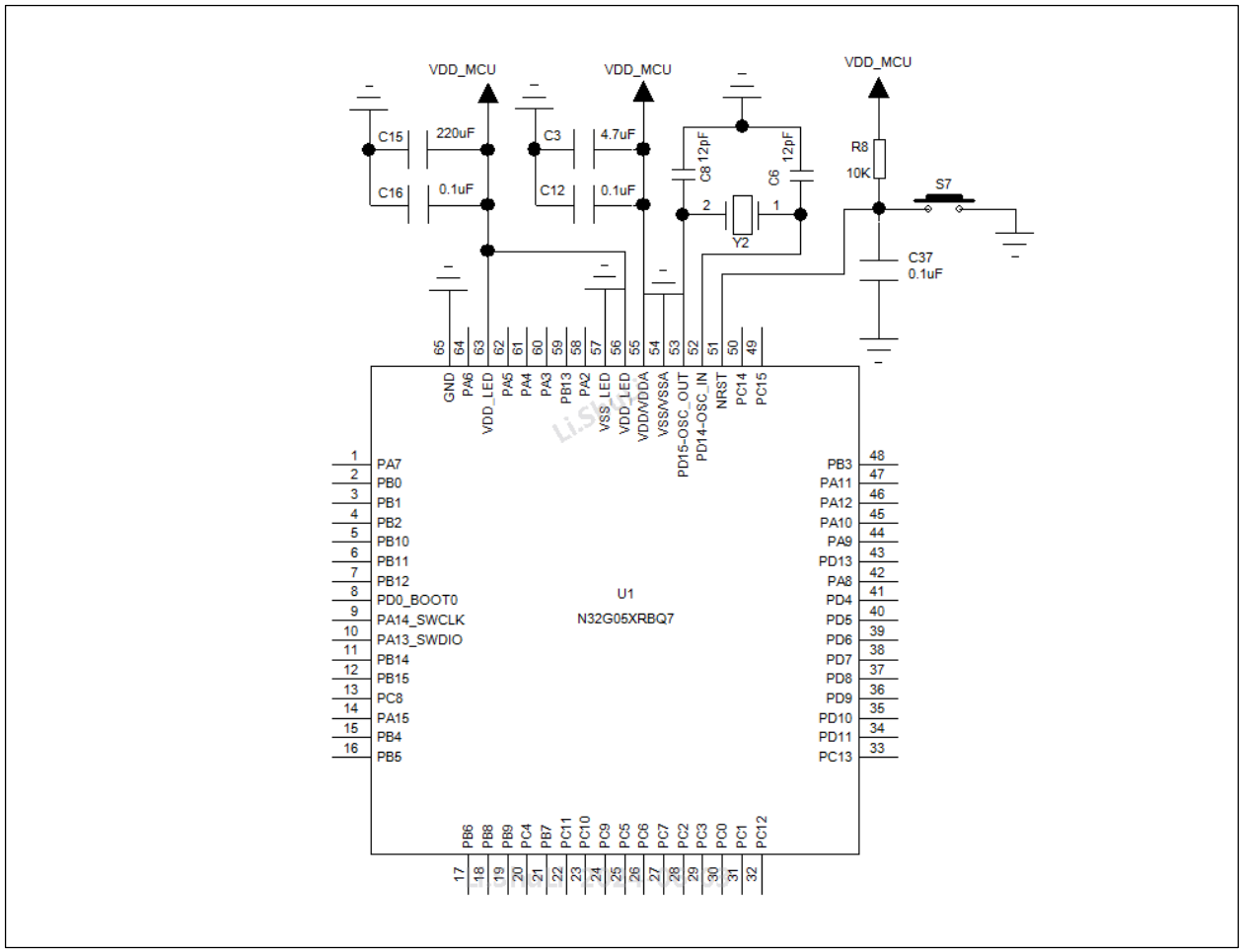

图 3-1 QFN64 封装最小系统参考设计原理图

国民技术股份有限公司 Nations Technologies Inc.
地址：深圳市南山区高新北区宝深路 109 号国民技术大厦
电话：+86-755-86309900 传真：+86-755-86169100
邮箱：info@nationstech.com 邮编：518057

3.1.2 LQFP64(带 LED)

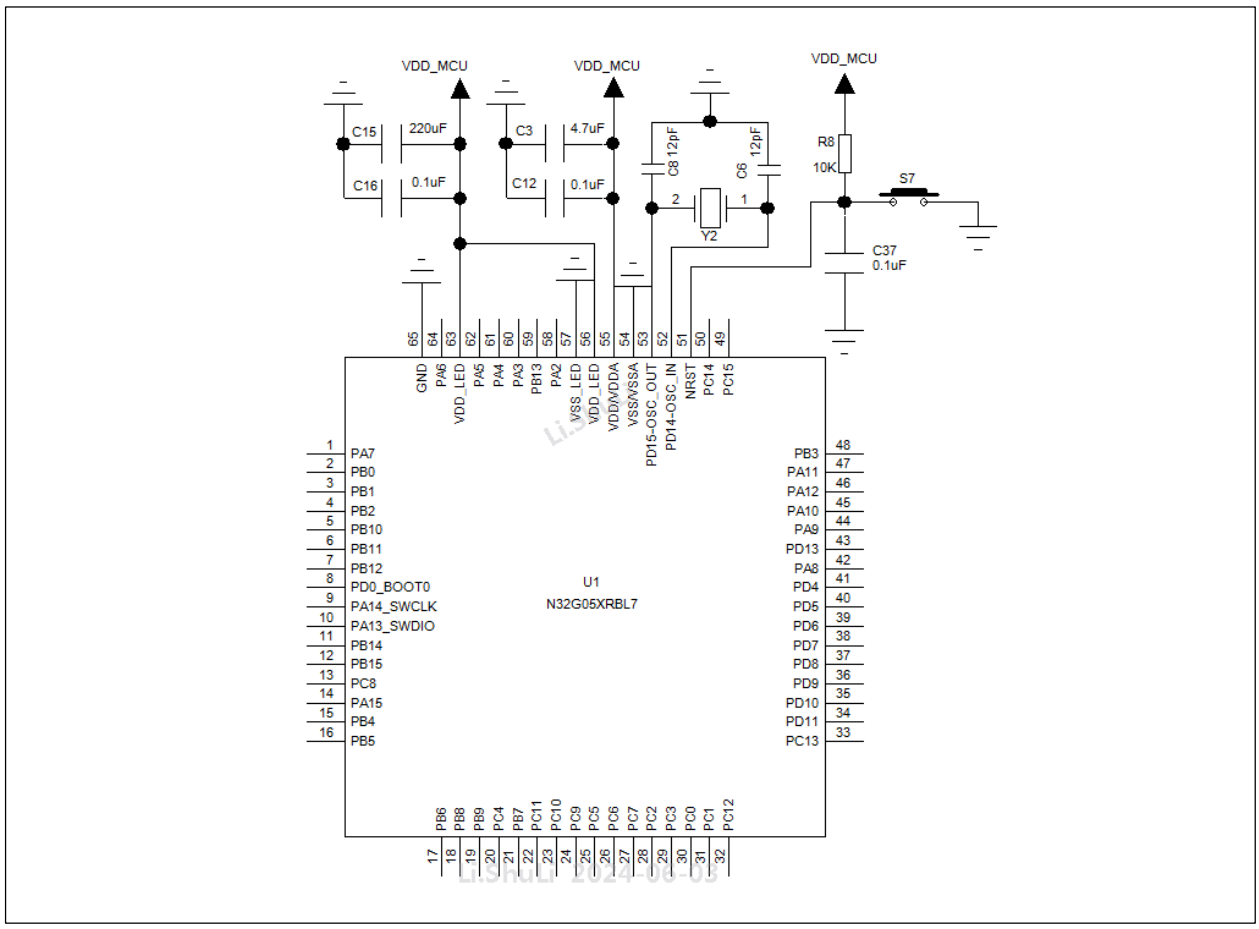

图 3-2 LQFP64 封装最小系统参考设计原理图

国民技术股份有限公司 Nations Technologies Inc.
地址：深圳市南山区高新北区宝深路 109 号国民技术大厦
电话：+86-755-86309900 传真：+86-755-86169100
邮箱：info@nationstech.com 邮编：518057

3.1.3 LQFP64(不带 LED)

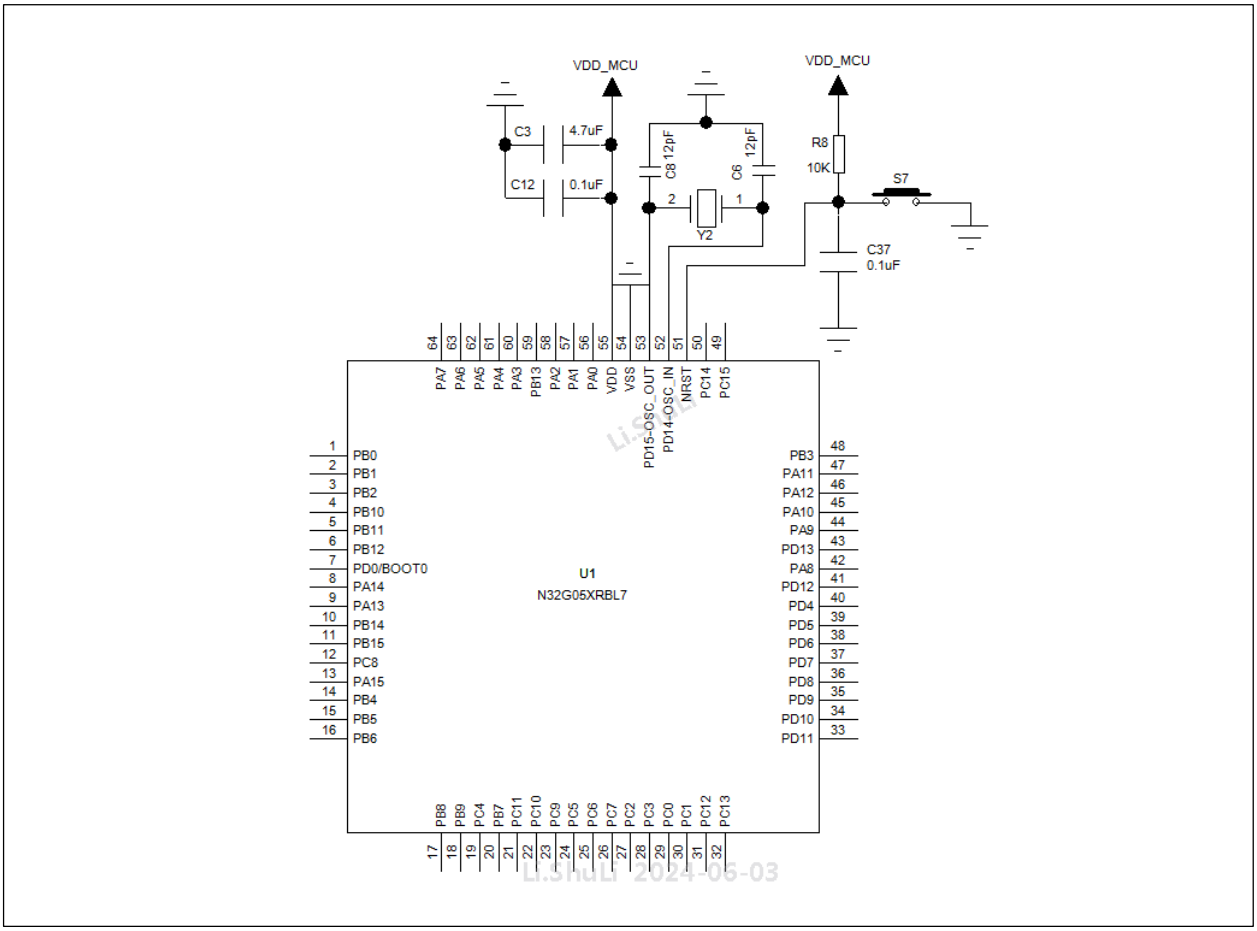

图 3-3 LQFP64 封装最小系统参考设计原理图

错误!未找到引用源。~图 3-3 是 N32G05X 系列各封装最小系统参考设计原理图，主要体现供电电源去耦电容、时钟、复位电路等设计；

时钟电路和备用电池取决于用户设计；

芯片内部支持内部高速和低速时钟可供用户选择。

国民技术股份有限公司 Nations Technologies Inc.
地址：深圳市南山区高新北区宝深路 109 号国民技术大厦
电话：+86-755-86309900 传真：+86-755-86169100
邮箱：info@nationstech.com 邮编：518057

4. PCB LAYOUT 参考

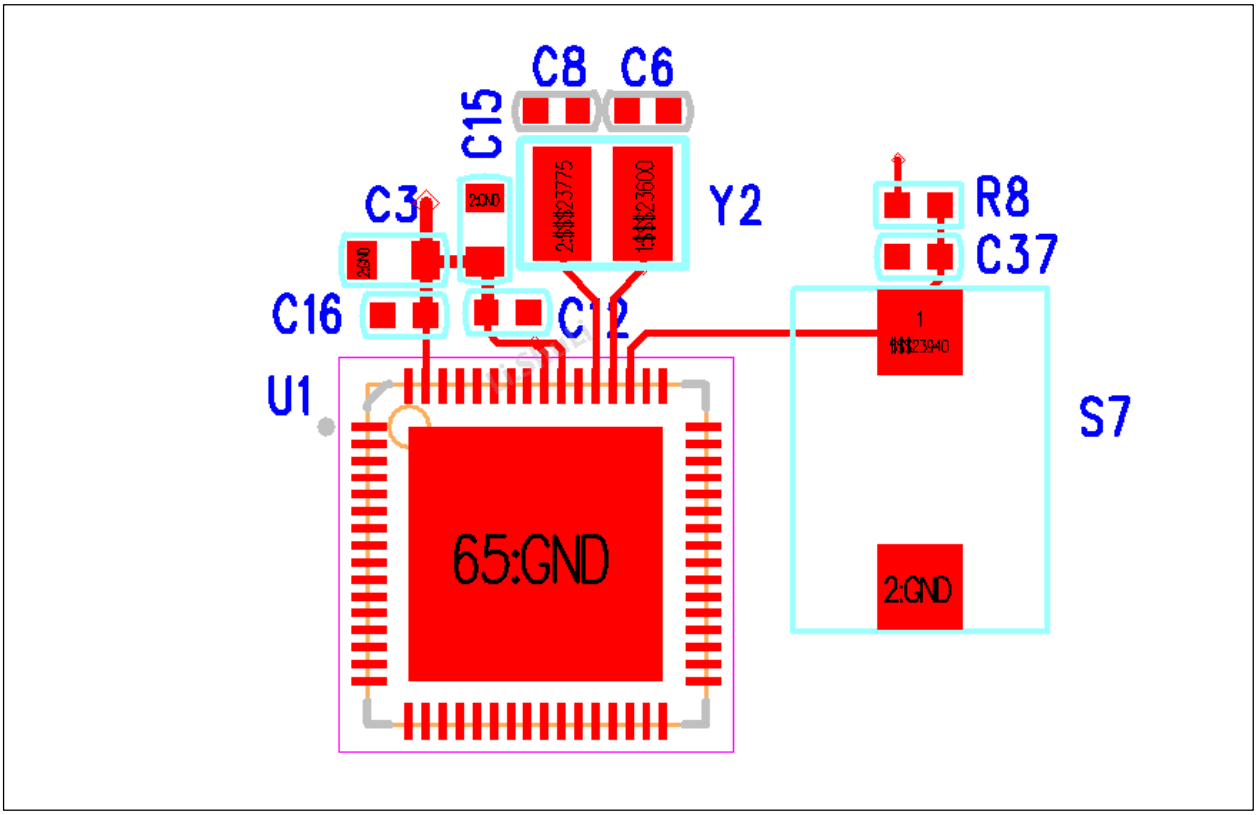

图 4-1 UQFN48 封装 PCB LAYOUT 参考图

注：

1、PCB LAYOUT 设计时，每一个电源管脚都需要就近放置去耦电容;

2、HSE 的外部晶体及走线尽可能在周围做包地处理，晶体下面一层靠近晶体的区域也需要铺地，不能有信号线穿过，防止信号线干扰晶体信号;

3、HSE 用作晶振时，走线不宜过长，避免天线效应。

国民技术股份有限公司 Nations Technologies Inc.
地址：深圳市南山区高新北区宝深路 109 号国民技术大厦
电话：+86-755-86309900 传真：+86-755-86169100
邮箱：info@nationstech.com 邮编：518057

5. 历史版本

版本	日期	备注
V1.0	2024-05-10	创建文档

国民技术股份有限公司 Nations Technologies Inc.
地址：深圳市南山区高新北区宝深路 109 号国民技术大厦
电话：+86-755-86309900 传真：+86-755-86169100
邮箱：info@nationstech.com 邮编：518057

6. 声 明

国民技术股份有限公司（下称“国民技术”）对此文档拥有专属产权。依据中华人民共和国的法律、条约以及世界其他法域相适用的管辖，此文档及其中描述的国民技术产品（下称“产品”）为公司所有。

国民技术在此并未授予专利权、著作权、商标权或其他任何知识产权许可。所提到或引用的第三方名称或品牌（如有）仅用作区别之目的。

国民技术保留随时变更、订正、增强、修改和改良此文档的权利，恕不另行通知。请使用人在下单购买前联系国民技术获取此文档的最新版本。

国民技术竭力提供准确可信的资讯，但即便如此，并不推定国民技术对此文档准确性和可靠性承担责任。

使用此文档信息以及生成产品时，使用者应当进行合理的设计、编程并测试其功能性和安全性，国民技术不对任何因使用此文档或本产品而产生的任何直接、间接、意外、特殊、惩罚性或衍生性损害结果承担责任。

国民技术对于产品在系统或设备中的应用效果没有任何故意或保证，如有任何应用在其发生操作不当或故障情况下，有可能致使人员伤亡、人身伤害或严重财产损失，则此类应用被视为“不安全使用”。

不安全使用包括但不限于：外科手术设备、原子能控制仪器、飞机或宇宙飞船仪器、所有类型的安全装置以及其他旨在支持或维持生命的应用。

所有不安全使用的风险应由使用人承担，同时使用人应使国民技术免于因为这类不安全使用而导致被诉、支付费用、发生损害或承担责任时的赔偿。

对于此文档和产品的任何明示、默示之保证，包括但不限于适销性、特定用途适用性和不侵权的保证责任，国民技术可在法律允许范围内进行免责。

未经明确许可，任何人不得以任何理由对此文档的全部或部分进行使用、复制、修改、抄录和传播。

国民技术股份有限公司 Nations Technologies Inc.
地址：深圳市南山区高新北区宝深路 109 号国民技术大厦
电话：+86-755-86309900 传真：+86-755-86169100
邮箱：info@nationstech.com 邮编：518057

国民技术股份有限公司 Nations Technologies Inc.
地址：深圳市南山区高新北区宝深路 109 号国民技术大厦
电话：+86-755-86309900 传真：+86-755-86169100
邮箱：info@nationstech.com 邮编：518057