

N32G052xx

数据手册

N32G052系列采用 32 bit ARM Cortex-M0内核，最高工作主频64MHz，集成多达128KB嵌入式加密Flash，8KB data Flash，16KB SRAM，集成丰富的高性能模拟器件，内置1个12bit 1Msps ADC，4个支持轨至轨的比较器，1个12bit 1Msps DAC，集成多达256段的Segment LCD驱动，集成多路UART、I2C、SPI、CAN等数字通信接口。

关键特性

- 内核 CPU
 - 32 位 ARM Cortex-M0 内核，单周期硬件乘法指令
 - 最高主频 64MHz
- 存储器
 - 高达 128KByte 片内 Main Flash、8Kbyte 片内 Data Flash，支持加密存储、分区管理及数据保护、硬件 ECC 检查，10 万次擦写次数，10 年数据保持
 - 高达 16KByte 片内 SRAM，STOP 模式下可保持，支持硬件奇偶校验
- 低功耗管理
 - Run 模式：所有外设可配置
 - Sleep 模式：所有外设可配置
 - Stop 模式：TIM6、IWDG、RTC 可配置工作，SRAM 数据保持，所有 IO 状态保持
 - Power Down 模式：支持 NRST、PA0_WKUP0、PA2_WKUP1 唤醒
- 时钟
 - HSE：8~16MHz 外部高速晶体
 - HSI_8M：内部高速 RC OSC 8MHz
 - HSI_24M：内部高速 RC OSC 24MHz，仅可作为 ADC 采样时钟源选择使用
 - LSI：内部低速 RC OSC 32KHz
 - 内置高速 PLL
 - 支持 1 路时钟输出，可配置为 SYSCLK、HSI_8M、HSE、LSI、可分频的 PLL 时钟输出
- 复位
 - 支持上电/掉电/外部引脚复位
 - 支持可编程的低电压检测复位
 - 支持看门狗复位、软件复位
- 通信接口
 - 5 个 UART 接口，支持异步模式、多处理器通信模式、单线半双工模式
 - 3 个 SPI 接口，最大工作速率高达 16MHz
 - 2 个 I2C 接口，速率高达 1MHz，主从模式可配
 - 1 个 CAN 2.0A/B 总线接口，速率高达 1Mbps

- 1 个高速 DMA 控制器，支持 5 通道，通道源地址及目的地址任意可配
- 1 个 RTC 实时时钟，支持闰年万年历，闹钟事件，周期性唤醒，支持内外部时钟校准
- Segment LCD 显示驱动器，最高支持 256 段（8x32）或 144 段（4x36）或 111 段（3x37）
- 模拟接口
 - 1 个 12bits 1Msps 高速 ADC，多达 15 个外部单端输入通道
 - 4 个高速模拟比较器，内置 64 级可调比较基准
 - 1 个 12bit DAC
 - 内部 1.2V 独立参考电压参考源
 - 内部集成低压检查单元
- 最多支持 61 个支持复用功能的 GPIOs.
- 1 个蜂鸣器，最大 16mA 输出驱动能力
- 定时计数器
 - 1 个 16bit 高级定时计数器，支持输入捕获，输出比较功能；每个定时器有 5 个独立的通道，其中 4 个通道支持 8 路互补 PWM 输出
 - 4 个 16bit 通用定时计数器，每个定时器有 4 个独立通道，支持输入捕获/输出比较/PWM 输出/单脉冲模式输出
 - 1 个 16bit 基本定时计数器，支持 STOP 唤醒低功耗模式
 - 1x 24bit SysTick
 - 1x 14bit 窗口看门狗(WWDG)
 - 1x 12bit 独立看门狗(IWDG)
- 编程方式
 - 支持 SWD 在线调试接口
 - 支持 UART Bootloader
- 安全特性
 - CRC16 运算
 - Flash 存储加密，多用户分区管理（MMU）
 - 支持写保护（WRP），多种读保护（RDP）等级（L0/L1/L2）
 - 支持外部时钟失效监测，防拆监测
- 96 位 UID 及 128 位 UCID
- 工作条件
 - 工作电压范围：2.0V~5.5V
 - 工作温度范围：-40°C~105°C
- 封装
 - LQFP64(14mm x14mm,0.8mm pitch)
 - LQFP64(10mm x10mm,0.5mm pitch)

- LQFP64(7mm x7mm,0.4mm pitch)
- LQFP48(7mm x7mm,0.5mm pitch)
- LQFP44-A(10mm x10mm,0.8mm pitch,pinouts 2)
- QFN32(5mm x5mm,0.5mm pitch)

目 录

关键特性.....	1
目 录.....	1
1 产品简介	1
1.1 器件一览.....	2
2 功能简介	4
2.1 处理器内核.....	4
2.2 存储器.....	4
2.2.1 嵌入式闪存存储器.....	4
2.2.2 嵌入式SRAM	5
2.2.3 嵌套的向量式中断控制器(NVIC)	5
2.3 扩展中断/事件控制器(EXTI)	5
2.4 时钟系统.....	5
2.5 启动模式.....	6
2.6 BOOT Swap功能	7
2.7 供电方案.....	7
2.8 可编程电压监测器.....	7
2.9 低功耗模式.....	7
2.10 直接存储器存取(DMA)	7
2.11 实时时钟 (RTC)	8
2.12 定时器和看门狗.....	8
2.12.1 高级定时器(TIM1)	8
2.12.2 通用定时器(TIMx)	9
2.12.3 基本定时器(TIM6)	9
2.12.4 系统时基定时器(Systick).....	10
2.12.5 看门狗定时器(WDG).....	10
2.13 I ² C总线接口.....	10
2.14 通用异步收发器(UART)	11
2.15 串行外设接口(SPI)	12
2.16 控制器局域网 (CAN).....	13
2.17 通用输入输出接口(GPIO).....	14
2.18 模拟/数字转换器(ADC).....	14
2.19 数字/模拟转换 (DAC)	15
2.20 模拟比较器(COMP).....	15
2.21 段式液晶显示驱动(LCD)	16
2.22 温度传感器(TS).....	17
2.23 蜂鸣器(BEEPER)	17
2.24 循环冗余校验计算单元(CRC)	17
2.25 唯一设备序列号(UID)	17
2.26 串行SWD调试口(SWD).....	17
3 引脚定义和描述.....	18
3.1 封装示意图.....	18
3.1.1 LQFP64.....	18
3.1.2 LQFP48.....	19
3.1.3 LQFP44-A	20
3.1.4 QFN32	21
3.2 引脚复用定义.....	22

4	电气特性	30
4.1	测试条件	30
4.1.1	最小和最大数值	30
4.1.2	典型数值	30
4.1.3	典型曲线	30
4.1.4	负载电容	30
4.1.5	引脚输入电压	30
4.1.6	供电方案	31
4.1.7	电流消耗测量	31
4.2	绝对最大额定值	32
4.3	工作条件	33
4.3.1	通用工作条件	33
4.3.2	上电和掉电时的工作条件	33
4.3.3	内嵌复位和电源控制模块特性	33
4.3.4	内置的参考电压	35
4.3.5	供电电流特性	35
4.3.6	外部时钟源特性	39
4.3.7	内部时钟源特性	40
4.3.8	从低功耗模式的唤醒时间	41
4.3.9	PLL特性	41
4.3.10	FLASH存储器特性	42
4.3.11	绝对最大值(电气敏感性)	42
4.3.12	I/O端口特性	43
4.3.13	NRST引脚特性	45
4.3.14	TIM定时器特性	45
4.3.15	IWDG特性	46
4.3.16	WWDG特性	47
4.3.17	I2C接口特性	47
4.3.18	SPI接口特性	48
4.3.19	控制器局域网络(CAN)接口特性	51
4.3.20	12位模数转换器(ADC)电气参数	51
4.3.21	12位数模转换器(DAC)电气参数	53
4.3.22	比较器(COMP)电气参数	55
4.3.23	液晶显示驱动器 (Segment LCD) 特性	55
4.3.24	温度传感器 (TS) 特性	56
5	封装尺寸	58
5.1	LQFP64 (14x14mm)	58
5.2	LQFP64 (10x10mm)	59
5.3	LQFP64 (7x7mm)	60
5.4	LQFP48 (7x7mm)	61
5.5	LQFP44-A (10x10mm)	62
5.6	QFN32 (5x5mm)	63
5.7	丝印说明	64
6	订购信息	65
7	版本历史	66
8	声明	68

表目录

表 1-1 N32G052系列资源配置	2
表 2-1 定时器功能比较	8
表 3-1 管脚定义	22
表 4-1 电压特性 ⁽¹⁾	32
表 4-2 电流特性	32
表 4-3 温度特性	32
表 4-4 通用工作条件 ⁽¹⁾	33
表 4-5 上电和掉电时的工作条件 ⁽¹⁾	33
表 4-6 内嵌复位和电源控制模块特性 ⁽¹⁾	33
表 4-7 内置的参照电压	35
表 4-8 运行模式下的典型电流消耗，数据处理代码从内部闪存中运行	36
表 4-9 睡眠模式下的典型电流消耗	36
表 4-10 运行模式下的典型电流消耗，数据处理代码从内部闪存中运行($T_A=25^{\circ}\text{C}$ 、 $V_{DD}=5.0\text{V}$)	37
表 4-11 运行模式下的典型电流消耗，数据处理代码从内部闪存中运行($T_A=25^{\circ}\text{C}$ 、 $V_{DD}=3.3\text{V}$) ⁽¹⁾	37
表 4-12 睡眠模式下的典型电流消耗($T_A=25^{\circ}\text{C}$ 、 $V_{DD}=5.0\text{V}$)	37
表 4-13 睡眠模式下的典型电流消耗($T_A=25^{\circ}\text{C}$ 、 $V_{DD}=3.3\text{V}$)	38
表 4-14 STOP和PD模式下的典型消耗($T_A=25^{\circ}\text{C}$ 、 $V_{DD}=3.3\text{V}$)	38
表 4-15 STOP和PD模式下的典型消耗($T_A=25^{\circ}\text{C}$ 、 $V_{DD}=5.0\text{V}$)	38
表 4-16 高速外部用户时钟特性 ⁽¹⁾	39
表 4-17 HSE 8~16MHz振荡器特性 ⁽¹⁾⁽²⁾	40
表 4-18 HSI振荡器特性 ⁽¹⁾⁽²⁾	40
表 4-19 LSI振荡器特性 ⁽¹⁾	40
表 4-20 低功耗模式的唤醒时间	41
表 4-21 PLL特性 ⁽¹⁾	41
表 4-22 闪存存储器特性	42
表 4-23 闪存存储器寿命和数据保存期限	42
表 4-24 ESD绝对最大值	42
表 4-25 电气敏感性	43
表 4-26 I/O静态特性	43
表 4-27 输入输出交流特性 ⁽¹⁾	43
表 4-28 NRST引脚特性	45
表 4-29 TIM1特性	46
表 4-30 TIM2/3/4/5特性	46
表 4-31 TIM6特性	46
表 4-32 IWDG 最大和最小计数复位时间 (LSI = 32KHz)	46
表 4-33 WWDG最大和最小计数复位时间(APB1 PCLK1 = 32MHz)	47
表 4-34 I ² C接口特性	47
表 4-35 SPI特性	48
表 4-36 ADC特性 ⁽¹⁾	51
表 4-37 ADC采样时间($V_{DD} = 3.3\text{V}$) ⁽¹⁾	52
表 4-38 ADC采样时间($V_{DD} = 5.0\text{V}$) ⁽¹⁾	52
表 4-39 ADC精度 - 局限的测试条件 ⁽¹⁾	52
表 4-40 DAC特性 ⁽¹⁾	53
表 4-41 COMP特性	55
表 4-42 LCD特性 ⁽¹⁾	55
表 4-43 LCD对比度可调 ⁽¹⁾	56
表 4-44 温度传感器特性	57
表 6-1 N32G052系列订货代码信息	65

图目录

图 1-1 N32G052系列框图	1
图 2-1 存储器映射图	4
图 2-2 时钟树	6
图 3-1 N32G052系列LQFP64引脚分布	18
图 3-2 N32G052系列LQFP48引脚分布	19
图 3-3 N32G052系列LQFP44-A引脚分布2	20
图 3-4 N32G052系列QFN32引脚分布	21
图 4-1 引脚的负载条件	30
图 4-2 引脚输入电压	31
图 4-3 供电方案	31
图 4-4 电流消耗测量方案	32
图 4-5 外部高速时钟源的交流时序图	39
图 4-6 使用8MHz晶体的典型应用	40
图 4-7 输入输出交流特性定义	45
图 4-8 建议的NRST引脚保护	45
图 4-9 I ² C总线交流波形和测量电路 ⁽¹⁾	48
图 4-10 SPI时序图 – 从模式和CPHA=0	49
图 4-11 SPI时序图 – 从模式和CPHA=1 ⁽¹⁾	50
图 4-12 SPI时序图 – 主模式 ⁽¹⁾	50
图 4-13 ADC精度特性	53
图 4-14 使用ADC典型的连接图	53
图 5-1 N32G052RBL7封装尺寸	58
图 5-2 LQFP64(14x14mm)封装焊盘建议 ⁽¹⁾	58
图 5-3 N32G052RBL7B封装尺寸	59
图 5-4 LQFP64(10x10mm)封装焊盘建议 ⁽¹⁾	59
图 5-5 N32G052RBL7C封装尺寸	60
图 5-6 LQFP64(7x7mm)封装焊盘建议 ⁽¹⁾	60
图 5-7 N32G052CBL7封装尺寸	61
图 5-8 LQFP48(7x7mm)封装焊盘建议 ⁽¹⁾	61
图 5-9 N32G052SBL7A封装尺寸	62
图 5-10 LQFP44-A(10x10mm)封装焊盘建议 ⁽¹⁾	62
图 5-11 N32G052KBQ7封装尺寸	63
图 5-12 QFN32(5x5mm)封装焊盘建议 ⁽¹⁾	63
图 5-13 丝印说明图	64
图 6-1 N32G052系列订货代码信息图示	65

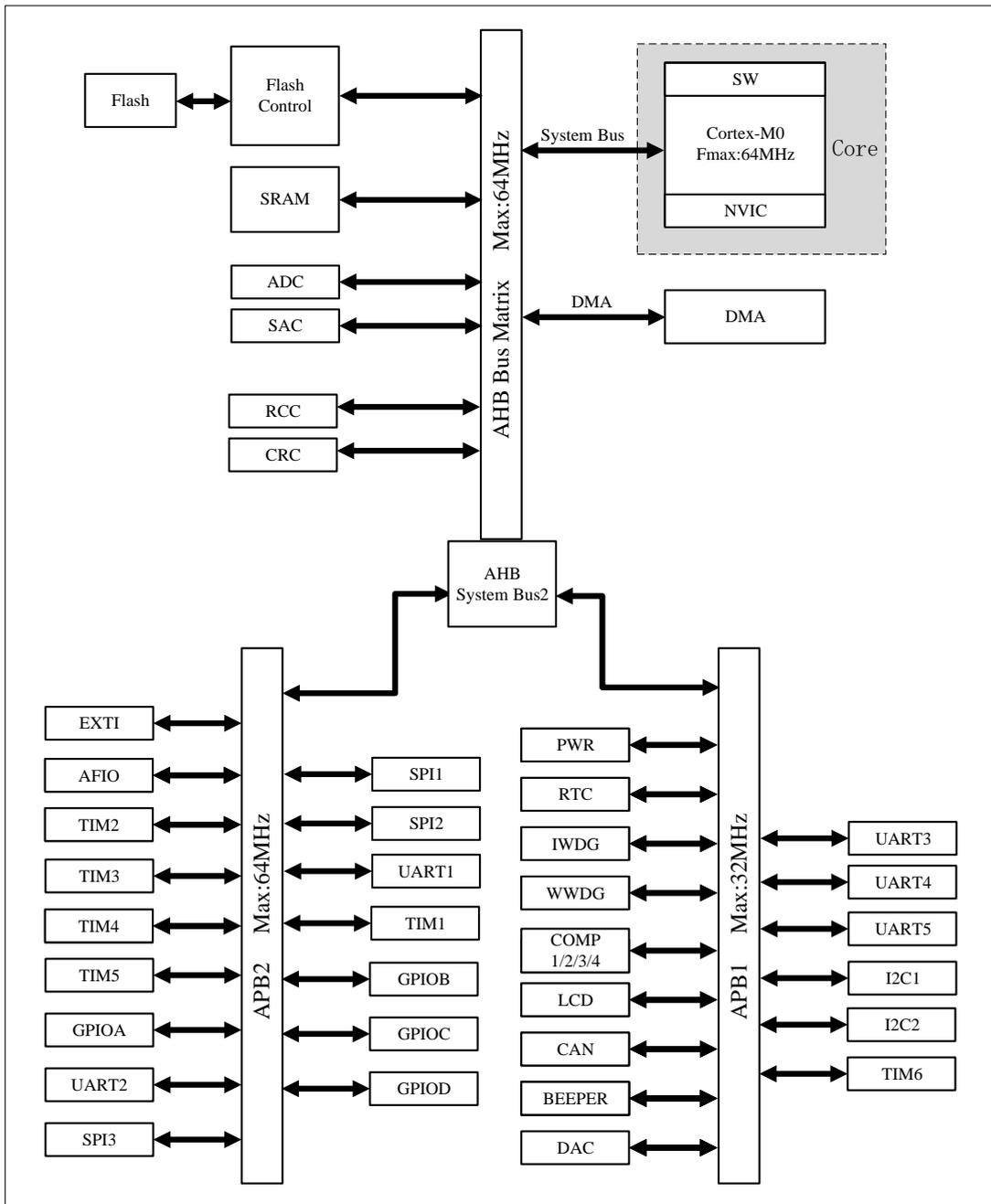
1 产品简介

N32G052 系列微控制器产品采用 32 位 ARM Cortex®-M0 内核，最高工作主频 64MHz，集成高达 128KB 存储 Flash，8KB 的 Data Flash，最大 16KB SRAM；内置一个高速 AHB 总线，2 个低速外设总线 APB 及总线矩阵，最多支持 61 个通用 I/O，提供丰富的高性能模拟接口，包括 1 个 12 位 1Msps ADC，最多支持 15 个外部输入通道，4 个高速比较器，1 个 8/12bit 1Msps DAC，集成多达 256 段的 Segment LCD 驱动，同时提供多种数字通信接口，包括 5 个 UART、2 个 I2C、3 个 SPI、1 个 CAN2.0B。

N32G052 系列产品可稳定工作于 -40℃ 至 +105℃ 的温度范围，供电电压 2.0V 至 5.5V，提供多种功耗模式供用户选择，符合低功耗应用的要求。该系列产品提供 64 脚的不同封装形式。

图 1-1 给出了该系列产品的总线框图。

图 1-1 N32G052 系列框图



1.1 器件一览

表 1-1 N32G052 系列资源配置

器件型号	N32G052RBL7	N32G052RBL7B	N32G052RBL7C	N32G052CBL7	N32G052KBQ7
Flash (KB)	128	128	128	128	128
DATA flash(KB)	8	8	8	8	8
SRAM (KB)	16	16	16	16	16
CPU频率	ARM Cortex-M0 @64MHz	ARM Cortex-M0 @64MHz	ARM Cortex-M0 @64MHz	ARM Cortex-M0 @64MHz	ARM Cortex-M0 @64MHz
工作环境	2.0~5.5V/-40~105°C	2.0~5.5V/-40~105°C	2.0~5.5V/-40~105°C	2.0~5.5V/-40~105°C	2.0~5.5V/-40~105°C
定时器	高级	1	1	1	1
	通用	4	4	4	4
	基本	1	1	1	1
	Beeper	1	1	1	1
通讯接口	SPI	3	3	3	3
	I2C	2	2	2	2
	UART	5	5	5	5
	CAN	1	1	1	1
GPIO	61	61	61	45	29
DMA	1x 5 Channel	1x 5 Channel	1x 5 Channel	1x 5 Channel	1x 5 Channel
RTC	1	1	1	1	1
12bit ADC	1x 15Channel	1x 15Channel	1x 15Channel	1x 12Channel	1x 8Channel
12bit DAC	1x 1Channel	1x 1Channel	1x 1Channel	1x 1Channel	1x 1Channel
COMP	4	4	4	4	3
Segment LCD	8*32/4*36/ 3*37	8*32/4*36/ 3*37	8*32/4*36/ 3*37	8*22/4*26/ 3*27	4*11/2*13
算法支持	CRC16	CRC16	CRC16	CRC16	CRC16
安全保护	读写保护 (RDP/WRP)	读写保护 (RDP/WRP)	读写保护 (RDP/WRP)	读写保护 (RDP/WRP)	读写保护 (RDP/WRP)
封装尺寸	LQFP64(14*14mm, 0.8mm pitch)	LQFP64(10*10mm, 0.5mm pitch)	LQFP64(7*7mm, 0.4mm pitch)	LQFP48(7*7mm, 0.5mm pitch)	QFN32(5*5mm, 0.5mm pitch)

器件型号	N32G052SBL7A	
Flash (KB)	128	
DATA flash(KB)	8	
SRAM (KB)	16	
CPU频率	ARM Cortex-M0 @64MHz	
工作环境	2.0~5.5V/-40~105°C	
定时器	高级	1
	通用	4
	基本	1
	Beeper	1
通讯接口	SPI	3
	I2C	2
	UART	5

	CAN	1
	GPIO	41
	DMA	1x 5 Channel
	RTC	1
	12bit ADC	1x 15Channel
	12bit DAC	1x 1Channel
	COMP	4
	Segment LCD	3*27
	算法支持	CRC16
	安全保护	读写保护 (RDP/WRP)
	封装尺寸	LQFP44-A(10*10mm, 0.8mm pitch, pinouts 2)

2 功能简介

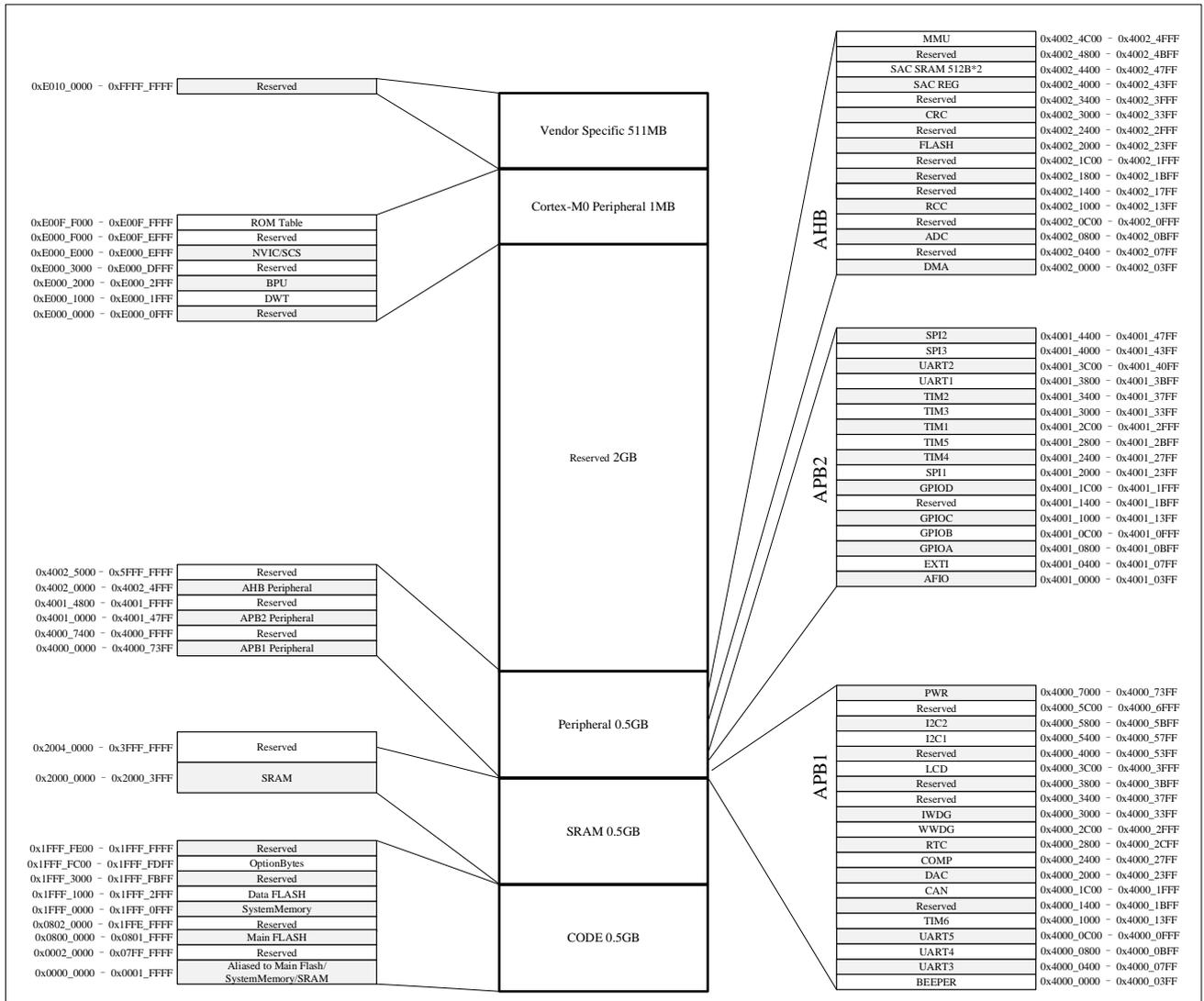
2.1 处理器内核

N32G052系列集成了最新一代嵌入式ARM Cortex®-M0处理器

2.2 存储器

N32G052系列器件包含嵌入式闪存（Flash）存储器、嵌入式SRAM，下图 2-1为存储器地址映射图。

图 2-1 存储器映射图



2.2.1 嵌入式闪存存储器

片内集成 128K 字节主嵌入式闪存（Main Flash），用于存放程序和数据，页面大小 512byte，支持全擦、页擦除、双字写、字读、半字读、字节读操作。

片内集成 8K 字节数据嵌入式闪存（Data Flash），仅用于存放数据，页面大小 512byte，支持页擦除、双字写、字读、半字读、字节读操作。

2.2.2 嵌入式 SRAM

片内集成多达 16K 字节的内置 SRAM，同时在 STOP 低功耗模式下可以保持数据。

2.2.3 嵌套的向量式中断控制器(NVIC)

嵌套向量中断控制器（NVIC）和处理器核的接口紧密相连，可以实现低延迟的中断处理和高效地处理晚到的中断。嵌套向量中断控制器管理着包括内核异常等中断。

- 32 个可屏蔽中断通道（不包含 16 个 Cortex®-M0 的中断线）；
- 4 个可编程的优先等级（使用了 2 位中断优先级）；
- 低延迟的异常和中断处理；
- 电源管理控制；
- 系统控制寄存器的实现；

该模块以最小的中断延迟提供灵活的中断管理功能。

2.3 扩展中断/事件控制器(EXTI)

扩展中断/事件控制器包含 21 个产生中断/事件触发的边沿检测电路。每条输入线可以独立地配置为事件或中断，以及上升沿、下降沿或者双边沿 3 种触发类型，也可以独立地被屏蔽。挂起寄存器保持着状态线的中断请求，可通过在挂起寄存器的对应位写‘1’，清除中断请求。

2.4 时钟系统

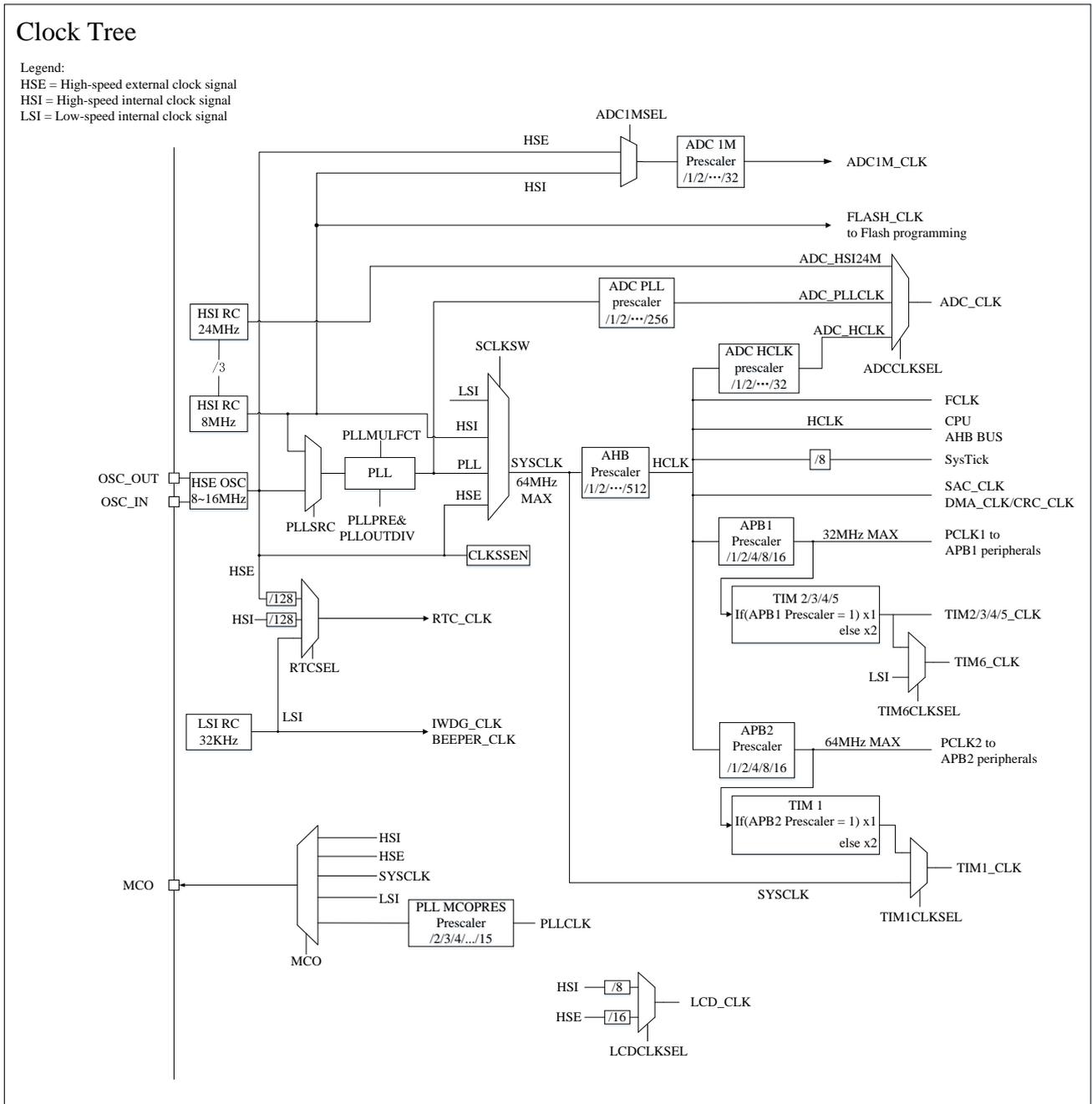
器件提供多种时钟供用户选择，包括内部高速 RC 振荡器 HSI_8M，内部低速时钟 LSI（32KHz），外部高速时钟 HSE（8MHz~16MHz），PLL。

复位时内部 HSI 时钟被默认设置为 CPU 时钟，随后用户可以选择外部具有失效监控功能的 HSE 时钟；当检测到外部时钟失效时，它将被隔离，系统将自动地切换到 HSI，如果使能了中断，软件可以接收到相应的中断。

同样，在需要时可以采取对 PLL 时钟完全的中断管理(如当一个间接使用的外部振荡器失效时)。内置时钟安全系统，当用户选择开启后，可实时检测外部 HSE 是否失效，一旦检测到外部时钟失效，HSE 将自动切换到内部时钟，并产生中断告警。

多个预分频器用于配置 AHB 的频率、高速 APB(APB2)和低速 APB(APB1)区域。AHB 的最高频率是 64MHz，APB2 的最高频率是 64MHz，APB1 的最高频率为 32MHz。图 2-2 为时钟树框图。

图 2-2 时钟树



2.5 启动模式

在启动时，可以通过 BOOT0 引脚和选项字节 BOOT 配置（USER1）来选择在复位后的启动模式：

- 从程序闪存存储器（FLASH Memory）启动
- 从系统存储器（System Memory）启动
- 从内部 SRAM 启动

启动加载程序(Bootloader)存放于系统存储器中，可以通过 UART1 对 FLASH Memory/SRAM 区域进行编程。BOOT 启动使用具体可参见《CN_UG_N32G05x Series BOOT User Guide.pdf》。

2.6 BOOT Swap功能

此功能可以用于更新二级boot，避免直接对二级boot进行更新时因为临时断电或其他原因导致二级boot区代码更新失败，且原二级boot代码丢失导致程序无法正常工作，boot swap功能可以有效的避免这个问题。具体见用户手册2.1.3.4 BOOT SWAP功能章节。

2.7 供电方案

- VDD 区域：电压输入范围为 2.0V~5.5V，主要为 Main Regulator，IO 及时钟复位系统提供电源输入。
- VDDD 区域：电压调节器为 CPU, AHB, APB, SRAM, FLASH 及大部分数字外设接口供电。

PWR 作为整个器件的电源控制模块，主要功能是控制 N32G052 进入不同的电源模式以及可以被其他事件或者中断唤醒。N32G052 支持 RUN、SLEPP、STOP 和 PD 模式。

2.8 可编程电压监测器

内部集成了上电复位(POR)和掉电复位(PDR)电路,这部分电路始终处于工作状态,保证系统在供电超过 2.0V 时工作;当 VDD 低于设定的阈值($V_{POR/PDR}$)时,置器件于复位状态,而不必使用外部复位电路。

器件中还继承了可编程电压监测器(PVD),它监视 V_{DD} 供电并与阈值 V_{PVD} 比较,当 V_{DD} 低于或高于阈值 V_{PVD} 时将产生中断,中断处理程序可以发出警告信息。PVD 功能需要通过程序开启。

器件中还继承了可编程低压复位模块(LVR),它监视 V_{DD} 供电并与阈值 V_{LVR} 比较,当 V_{DD} 低于或高于阈值 V_{LVR} 时将产生复位。LVR 功能需要通过程序开启。

关于 $V_{POR/PDR}$ 和 $V_{PVD/LVR}$ 的值参考表 4-6。

2.9 低功耗模式

N32G052 在系统复位或电源打开复位后处于运行模式。当 CPU 不需要运行时(例如在等待外部事件时),可以使用几种低功耗模式来节省功耗。由用户选择在低功耗、短启动时间和可用的唤醒源之间选择最佳低功耗模式。

N32G052 三种低功耗模式特征:

- SLEEP 模式,只有 CPU 停止,所有外设处于工作状态并可在发生中断/事件时唤醒 CPU
- STOP 模式(大部分时钟被关闭,电压调节器仍运行在低功耗模式)
- PD 模式(VDDD 掉电模式,VDD 保持,2 个 WAKEUP IO 唤醒)
- 此外,运行模式下的功耗可以通过以下方法之一来降低:
 - ◆ 降低系统时钟
 - ◆ 关闭 APB 和 AHB 总线上未被使用的外设时钟

2.10 直接存储器存取(DMA)

集成 1 个灵活的通用 DMA 控制器,支持 5 个 DMA 通道,可以管理存储器到存储器、外设到存储器和存储器到外设的数据传输;DMA 控制器支持环形缓冲区的管理,避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件 DMA 请求逻辑,同时可以由软件触发每个通道。可通过软件单独设置每个通道的

传输的长度、传输的源地址和目标地址。

DMA 可以用于主要的外设：SPI、I2C、UART、TIMx（高级/通用/基本定时器）、DAC、ADC。

2.11 实时时钟 (RTC)

RTC 是一组连续运行的计数器，内置日历时钟模块，可提供万年历功能，还具有闹钟中断和周期性中断（最短 2 个时钟周期）功能。RTC 不会被系统复位而复位，当从 STOP 模式唤醒时，也不会被复位。RTC 的驱动时钟可以选择为内部低功耗 32KHz RC 振荡器、高速的内部时钟经 128 分频或者高速的外部时钟经 128 分频任意一个时钟源。为了补偿时钟偏差，可以通过输出一个 256Hz 的信号对 RTC 的时钟进行校准。RTC 有一个 22 位的预分频器用于时基时钟，它可以产生一个 1 秒长的时间基准。另外 RTC 可以用来触发低功耗状态下唤醒。

2.12 定时器和看门狗

N32G052 支持最多 1 个高级控制定时器、4 个通用定时器、1 个基本定时器，以及 1 个看门狗定时器和 1 个系统嘀嗒定时器。

下表比较了高级控制定时器、通用定时器和基本定时器的功能：

表 2-1 定时器功能比较

定时器	计数器分辨率	计数器类型	预分频系数	捕获/比较通道	互补输出
TIM1	16位	向上， 向下， 向上/下	1~65536之间的任意整数	4/5	有
TIM2~TIM5	16位	向上， 向下， 向上/下	1~65536之间的任意整数	4	没有
TIM6	16位	向上	1~65536之间的任意整数	0	没有

2.12.1 高级定时器(TIM1)

高级控制定时器（TIM1）主要用于以下场合：对输入信号进行计数、测量输入信号的脉冲宽度和产生输出波形等。

高级定时器具有互补输出功能、死区插入和刹车功能。适用于电机控制。

高级定时器的主要功能包括：

- 16 位自动装载计数器。（可实现向上计数、向下计数、向上/下计数）。
- 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）
- 可编程重复计数器
- TIM1 最多 5 个通道
- 4 个捕获/比较通道，工作模式为：PWM 输出、输出比较、单脉冲模式输出、输入捕获
- 如下事件发生时产生中断/DMA：
 - ◆ 更新事件

- ◆ 触发事件
- ◆ 输入捕获
- ◆ 输出比较
- ◆ 刹车信号输入
- 死区时间可编程的互补输出
 - 对于 TIM1, 通道 1、2、3、4 支持此功能
- TIM1_CC5 可用于 COMP 消隐
- 支持 PWM 触发 ADC 采样
- 可通过外部信号控制定时器
- 允许在指定数目的计数器周期之后更新定时器寄存器的重复计数器

2.12.2 通用定时器(TIMx)

通用定时器 (TIM2、TIM3、TIM4 和 TIM5) 主要用于以下场合: 对输入信号进行计数、测量输入信号的脉冲宽度和产生输出波形等。

通用定时器的主要功能包括:

- 16 位自动装载计数器 (可实现向上计数、向下计数、向上/下计数)
- 16 位可编程预分频器 (分频系数可配置为 1 到 65536 之间的任意值)
- TIMx 最多支持 4 个通道
- 通道工作模式: PWM 输出、输出比较、单脉冲模式输出、输入捕获
- 如下事件发生时产生中断:
 - ◆ 更新事件
 - ◆ 触发事件
 - ◆ 输入捕获
 - ◆ 输出比较
- 可通过外部信号控制定时器
- 支持针对定位的增量(正交)编码器和霍尔传感器电路
- TIM2 支持内部捕获 HSE、HSI_8M、LSI
- 输入通道支持数字滤波

2.12.3 基本定时器(TIM6)

基本定时器包含一个 16 位计数器

基本定时器的主要功能如下:

- 16 位自动重载向上计数器
- 16 位可编程预分频器 (分频系数可配置为 1 到 65536 之间的任意值)
- 产生中断的事件如下:
 - ◆ 更新事件
- 支持 STOP 模式唤醒: 时钟源配置为 LSI 时, 可通过更新中断 (联接到 EXTI20) 唤醒 STOP 模式

2.12.4 系统时基定时器(Systick)

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。

它具有下述特性：

- ◆ 24 位的递减计数器
- ◆ 自动重加载功能
- ◆ 当计数器为 0 时能产生一个可屏蔽系统中断
- ◆ 可编程时钟源

2.12.5 看门狗定时器(WDG)

支持两个看门狗独立看门狗(IWDG)和窗口看门狗(WWDG)，两个看门狗提供了更高的安全性、时间的精确性和使用的灵活性。

独立看门狗 (IWDG)

独立看门狗是基于一个 12 位的递减计数器和一个 3 位的预分频器，由独立的的低速 RC 振荡器驱动，即使主时钟发生故障它也仍然有效，可工作在 STOP 模式。IWDG 一旦被激活，如果不在设定的时间内喂狗（清除看门狗计数器），则在计数器计数至 0x000 时产生复位，它可以用于在应用程序发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。复位和低功耗唤醒可配。

窗口看门狗(WWDG)

窗口看门狗通常被用来监测，由外部干扰或不可预见的逻辑条件造成的应用程序背离正常的运行序列而产生的软件故障。除非递减计数器的值在 T6 位变成 0 前被刷新，看门狗电路在达到预置的时间周期时，会产生一个 MCU 复位。在递减计数器达到窗口寄存器数值之前，如果 14 位的递减计数器数值(在控制寄存器中)被刷新，那么也将产生一个 MCU 复位。这表明递减计数器需要在一个有限的时间窗口中被刷新。

主要特点：

- ◆ WWDG 由 APB1 时钟分频后得到的时钟驱动；
- ◆ 可编程的自由运行递减计数器；
- ◆ 条件复位：
 - 当递减计数器的值小于 0x40，(若看门狗被启动)则产生复位；
 - 当递减计数器在窗口外被重新装载，(若看门狗被启动)则产生复位；
- ◆ 如果启动了看门狗并且允许中断，当递减计数器等于 0x40 时产生早期唤醒中断(EWINT)，它可以被用于重装载计数器以避免 WWDG 复位。

2.13 I²C 总线接口

集成最多 2 个独立的 I2C 总线接口，它提供多主机功能，控制所有 I2C 总线特定的时序、协议、仲裁和超时。支持多种通信速率模式(最高支持 1MHz)，支持 DMA 操作，同时与 SMBus 2.0 兼容。I2C 模块有多种用途，包括 CRC 码的生成和校验、SMBus(系统管理总线—System Management Bus)和 PMBus(电源管理总线-Power Management Bus)。

I2C 接口的主要功能描述如下：

- ◆ 该模块既可做主设备也可做从设备；
- ◆ I2C 主设备功能：
 - 产生时钟；

- 产生起始和停止信号;
- ◆ I2C 从设备功能:
 - 可编程的地址检测;
 - I2C 接口支持 7 位或 10 位寻址, 7 位从模式时支持双从地址响应能力;
 - 停止位检测;
- ◆ 产生和检测 7 位/10 位地址和广播呼叫;
- ◆ 支持不同的通讯速度:
 - 标准速度(高达 100 kHz);
 - 快速(高达 400 kHz);
 - 快速+ (高达 1MHz) ;
- ◆ 状态标志:
 - 发送器/接收器模式标志;
 - 字节传输结束标志;
 - I2C 总线忙标志;
- ◆ 错误标志:
 - 主模式时的仲裁丢失;
 - 地址/数据传输后的应答(ACK)错误;
 - 检测到错位的起始或停止条件;
 - 禁止拉长时钟功能时的上溢或下溢;
- ◆ 支持中断向量: 事件中断和错误中断
- ◆ 支持数字滤波及模拟滤波
- ◆ 可选的拉长时钟功能
- ◆ 可配置的 PEC(信息包错误检测)的产生或校验
 - 发送模式中 PEC 值可以作为最后一个字节传输
 - 用于最后一个接收字节的 PEC 错误校验
- ◆ 兼容 SMBus 2.0
 - 25 ms 时钟低超时延时
 - 10 ms 主设备累积时钟低扩展时间
 - 25 ms 从设备累积时钟低扩展时间
 - 带 ACK 控制的硬件 PEC 产生/校验
 - 支持地址解析协议(ARP)
- ◆ 兼容 PMBus

2.14 通用异步收发器(UART)

N32G052 系列产品中, 集成了 5 个通用异步收发器(UART1、UART2、UART3、UART4、UART5)。

UART1、UART2、UART3、UART4 和 UART5 接口支持异步通信模式，多处理器通信模式，单线半双工通信模式。

UART 主要特性如下：

- 支持全双工异步通信
- 支持 NRZ 标准格式
- 支持单线半双工通信
- 波特率可配置，最高波特率可达 4Mbit/s
- 波特率可配置
- 支持 8-bit 或 9-bit 数据帧
- 支持 1-bit 或 2-bit 停止位
- 支持硬件生成校验位及校验位检查
- 支持多处理器通信：如果地址不匹配，则进入静默模式，可通过空闲总线检测或地址标识唤醒
- 支持多种错误检测：数据溢出错误、帧错误、噪声错误、检验错误
- 8 个中断请求：
 - ◇ 发送数据寄存器空
 - ◇ 发送完成
 - ◇ 接收数据寄存器满
 - ◇ 总线空闲
 - ◇ 数据溢出
 - ◇ 帧错误
 - ◇ 噪声错误
 - ◇ 校验错误

模式配置：

UART modes	UART1	UART2	UART3	UART4	UART5
异步模式	支持	支持	支持	支持	支持
多处理器通讯	支持	支持	支持	支持	支持
半双工(单线模式)	支持	支持	支持	支持	支持
IrDA	支持	支持	支持	支持	支持
LIN	支持	支持	支持	支持	支持

2.15 串行外设接口(SPI)

支持 3 个 SPI 接口。SPI 允许芯片与外部设备以半/全双工、同步、串行方式通信。此接口可以被配置成主模式，并为外部从设备提供通信时钟(SCK)。接口还能以多主配置方式工作。它可用于多种用途，包括使用一条双向数据线的双线单工同步传输。

SPI 接口的主要功能如下：

- 3 线全双工同步传输；
- 带或不带第三根双向数据线的双线单工同步传输；

- 8 或 16 位传输帧格式选择;
- 主或从操作;
- 支持多主模式;
- 8 个主模式波特率预分频系数(最大为 $f_{PCLK}/2$);
- 从模式频率 (最大为 $f_{PCLK}/2$);
- 主模式和从模式的快速通信;
- 主模式和从模式下均可以由软件或硬件进行 NSS 管理: 主/从操作模式的动态改变;
- 可编程的时钟极性和相位;
- 可编程的数据顺序, MSB 在前或 LSB 在前;
- 可触发中断的专用发送和接收标志;
- SPI 总线忙状态标志;
- 支持可靠通信的硬件 CRC:
- 在发送模式下, CRC 值可以被作为最后一个字节发送;
- 在全双工模式中对接收到的最后一个字节自动进行 CRC 校验;
- 可触发中断的主模式故障、过载以及 CRC 错误标志
- 支持 DMA 功能的单字节发送和接收缓冲器: 产生发送和接受请求
- 接口最高速度: 16Mbps

2.16 控制器局域网 (CAN)

集成 1 路 CAN 总线接口, 兼容 2.0A 和 2.0B(主动) 规范, 位速率高达 1Mbps。它可以接收和发送 11 位标识符的标准帧, 也可以接收和发送 29 位标识符的扩展帧。

主要特点:

- ◆ 支持 CAN 协议 2.0A 和 2.0B 主动模式;
- ◆ 波特率最高可达 1Mbps;
- ◆ 支持时间触发通信功能
- ◆ 发送
 - 3 个发送邮箱
 - 发送报文的优先级特性可软件配置
 - 记录发送 SOF 时刻的时间戳
- ◆ 接收
 - 3 级深度的 2 个接收 FIFO
 - 可变的过滤器组:
 - 有 14 个过滤器组
 - 标识符列表

- FIFO 溢出处理方式可配置
- 记录接收 SOF 时刻的时间戳
- ◆ 时间触发通信模式
 - 禁止自动重传模式
 - 16 位自由运行定时器
 - 可在最后 2 个数据字节发送时间戳
- ◆ 管理
 - 中断可屏蔽
 - 邮箱占用单独 1 块地址空间，便于提高软件效率

2.17 通用输入输出接口(GPIO)

GPIO (General purpose input/output) 即通用型 I/O, AFIO (Alternate-function input/output) 即复用功能 I/O。芯片最多支持 61 个 GPIO, 共被分为 4 组 (GPIOA/GPIOB/GPIOC/GPIOD), A/B/C/每组 16 个端口,D 组 13 个 IO。GPIO 端口和其他的复用外设共用引脚, 用户可以根据需求灵活配置。每个 GPIO 引脚都可以独立配置成输出、输入或复用的外设功能端口。除了模拟输入引脚外, 其他的 GPIO 引脚都有大电流通过能力。

- 每个 GPIO 口都可以通过软件配置成以下模式:
 - ◆ 输入浮空
 - ◆ 输入上拉
 - ◆ 输入下拉
 - ◆ 模拟功能
 - ◆ 开漏输出, 上拉/下拉可配置
 - ◆ 推挽输出, 上拉/下拉可配置
 - ◆ 推挽复用功能, 上拉/下拉可配置
 - ◆ 开漏复用功能, 上拉/下拉可配置
- 单独的位设置或位清除功能
- 所有 I/O 支持外部中断功能
- 所有 I/O 支持低功耗模式唤醒, 上升沿或下降沿触发可配置
 - ◆ 16 条 EXTI 线可用于 STOP 模式唤醒, 所有 I/O 可复用为 EXTI
 - ◆ NRST/PA0/PA2 三个唤醒 I/O 可用于 PD 模式唤醒, I/O 滤波时间最大为 1us
- 支持软件重新映射 I/O 复用功能
- 支持 GPIO 锁定机制, 复位锁定状态清除

支持 GPIO 锁定机制, 复位方式清除锁定状态每个 I/O 端口位都可以任意编程, 但 I/O 端口寄存器必须以 32 位字访问 (16 位半字或 8 位字节模式是不允许的)。

2.18 模拟/数字转换器(ADC)

12 位 ADC 是使用逐次逼近的高速模数转换器。共有 17 个通道, 可测 15 个外部和 2 个内部信号源。各个通

道的 A/D 转换通道可以在单次、连续、扫描模式下执行。ADC 转换值存储（左对齐/右对齐）在 16 位数据寄存器中。可以通过模拟看门狗检测输入电压是否在用户定义的高/低阈值内，并且 ADC 的输入时钟的最大频率为 24MHz。

ADC 主要特性描述如下：

- 支持 1 个 ADC，支持单端输入，最多可测量 15 个外部和 2 个内部源
- 支持 12 位分辨率，最高采样速率 1MSPS
- ADC 时钟源分为工作时钟源和计时时钟源
 - ◆ HSI、PLL、AHB 作为 ADC_CLK 工作时钟源，最高到 24M
 - ◆ HSI 或 HSE 作为 ADC_1MCLK 计时时钟源，用于内部计时功能，频率必须配置成 1MHz
- 支持定时器触发采样
- 当转换完成或者模拟看门狗事件可触发中断
- 支持 2 种转换模式
 - ◆ 单次转换
 - ◆ 连续转换
 - ◆ 扫描模式
- 扫描模式最大支持任意 5 个通道，每个通道有一个独立的结果数据寄存器
- 所有通道采样间隔可以统一编程
- 可以外部触发规则转换。
- ADC 的工作电压在 2.4V 到 5.5V 之间。
- ADC 支持转换的电压在 0 和 V_{DD} 之间。

2.19 数字/模拟转换 (DAC)

DAC是数字/模拟转换器，主要是数字输入，电压输出。DAC数据有8位或12位两种模式，支持DMA功能。当DAC配置为12bit模式时，DAC数据可以左对齐或者右对齐；当DAC配置为8bit模式时，DAC数据可以右对齐。DAC输出通道有1个，有独立的转换器。AVREFP(PB2)通过引脚输入作为DAC参考电压，使DAC的转换数据精确度更高。

- 1 个独立的 DAC 转换器，对应 1 个输出通道
- 单调输出
- 支持 8 位或 12 位输出，数据在 12 位模式下分右对齐和左对齐两种模式
- 同步更新
- 支持 DMA 功能
- 噪声波、三角波形生成
- 输入参考电压 AVREFP
- 外部事件触发转换

2.20 模拟比较器(COMP)

内嵌 4 个比较器，可以用作单独的设备（比较器所有端口引到 I/O 上），也可以和定时器组合使用，在电机控制场合可以与来自定时器的 PWM 输出配合形成逐周期电流控制。

比较器主要功能如下：

- 共享两个独立的 6bit DAC 的内部参考输入
- 支持滤波时钟，滤波复位
- 输出极性可配置高、低
- 迟滞配置可配置无、低、中、高
- 比较结果可输出到 I/O 端口或触发定时器，用于捕获事件、OCREF_CLR 事件、刹车事件、产生中断
- 输入通道可复选 I/O 端口、专用的 6bit DAC、通用的 12bit DAC 的通道输出
- 可配只读或读写，在锁定的情况下需要复位才能解锁
- 支持消隐（Blanking），可配置产生 Blanking 的消隐源
- COMP1/COMP2、COMP3/COMP4 可以组成窗口比较器
- 可通过产生中断的方式将系统从 Sleep 模式唤醒
- 可配置滤波窗口大小
- 可配置滤波阈值大小
- 可配置用于滤波的采样频率

2.21 段式液晶显示驱动(LCD)

该 LCD 控制器适用于单色无源段式液晶显示器（Segment LCD），最多具有 8 个公共端子（COM）和 32 个区段端子（SEG），具体的端子数量取决于不同封装的引脚，具体可参考数据手册。Segment LCD 由若干区段组成，这些区段均可点亮或熄灭。每个区段都包含一层在两根电极之间对齐的液晶分子。当向液晶施加高于阈值电压的电压时，则对应的区段可见。为了避免液晶中出现电泳效应，区段电压必须为交流。

主要特性：

- 帧速率可配置。
- 占空比可配置：支持静态、1/2、1/3、1/4 和 1/8 占空比。
- 电压偏置可配置：支持静态、1/2、1/3 和 1/4 偏置。
- 双缓冲机制允许用户随时更新显示内存寄存器中的数据（像素活动/非活动信息）。
- LCD 时钟源可选：HSE/16 或 HSI_8M/8
- 两种对比度控制方式：调节帧之间多达 7 个相位周期的死区时间；调节 VLCD 在 VLCDmin~VLCDmax 范围内变化（仅使用内部升压转换器时）。
- 内置电阻网络用来产生 LCD 中间电压，可通过软件配置，以匹配 LCD 面板上的电容性负载。
- 内置电压输出缓冲器
- 内置相位反转，可降低电磁干扰（EMI）和功耗。
- 支持闪烁功能：可配置 1、2、3、4、8 或所有像素在指定的频率（0.5Hz、1Hz、2Hz 或 4Hz）下闪烁
- 用作 SEG 和 COM 功能的管脚应配置为相应的 AFIO。

2.22 温度传感器(TS)

温度传感器产生一个随温度线性变化的电压，转换范围在 $2.4V < VDDA < 5.5V$ 之间。温度传感器在内部被连接到 ADC_IN15 的输入通道上，用于将温度传感器的输出转换到数字数值。

2.23 蜂鸣器(BEEPER)

BEEPER 模块支持互补输出，可以产生周期信号来驱动外部无源蜂鸣器。用于产生提示音或者报警发声。

2.24 循环冗余校验计算单元(CRC)

集成 CRC16 功能，循环冗余校验(CRC)计算单元是根据固定的生成多项式得到任一 CRC 计算结果。在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。

CRC 的主要特性如下：

- ◆ CRC16: 支持多项式 $X^{16}+X^{15}+X^2+X^0$
- ◆ CRC16 计算时间: 1 个 AHB 时钟周期 (HCLK)
- ◆ 循环冗余计算初始值可配置
- ◆ 支持 DMA 模式

2.25 唯一设备序列号(UID)

N32G052 系列产品内置两个不同长度的唯一设备序列号，分别为 96 位的 UID(Unique device ID)和 128 位的 UCID(Unique Customer ID)，这两个设备序列号存放在闪存存储器的系统配置块中，它们所包含的信息在出厂时编写，并保证对 N32G052 系列任意一个微控制器在任何情况下都是唯一的，用户应用程序或外部设备可以通过 CPU 或 SWD 接口读取，不可被修改。

UID 为 96 位，通常用来做为序列号或作为密码，在编写闪存时，将此唯一标识与软件加解密算法相结合，进一步提高代码在闪存存储器内的安全性。

UCID 为 128 位，遵守国民技术芯片序列号定义，它包含芯片生产及版本相关信息。

2.26 串行 SWD 调试口(SWD)

内嵌 ARM 的 SWD 接口。

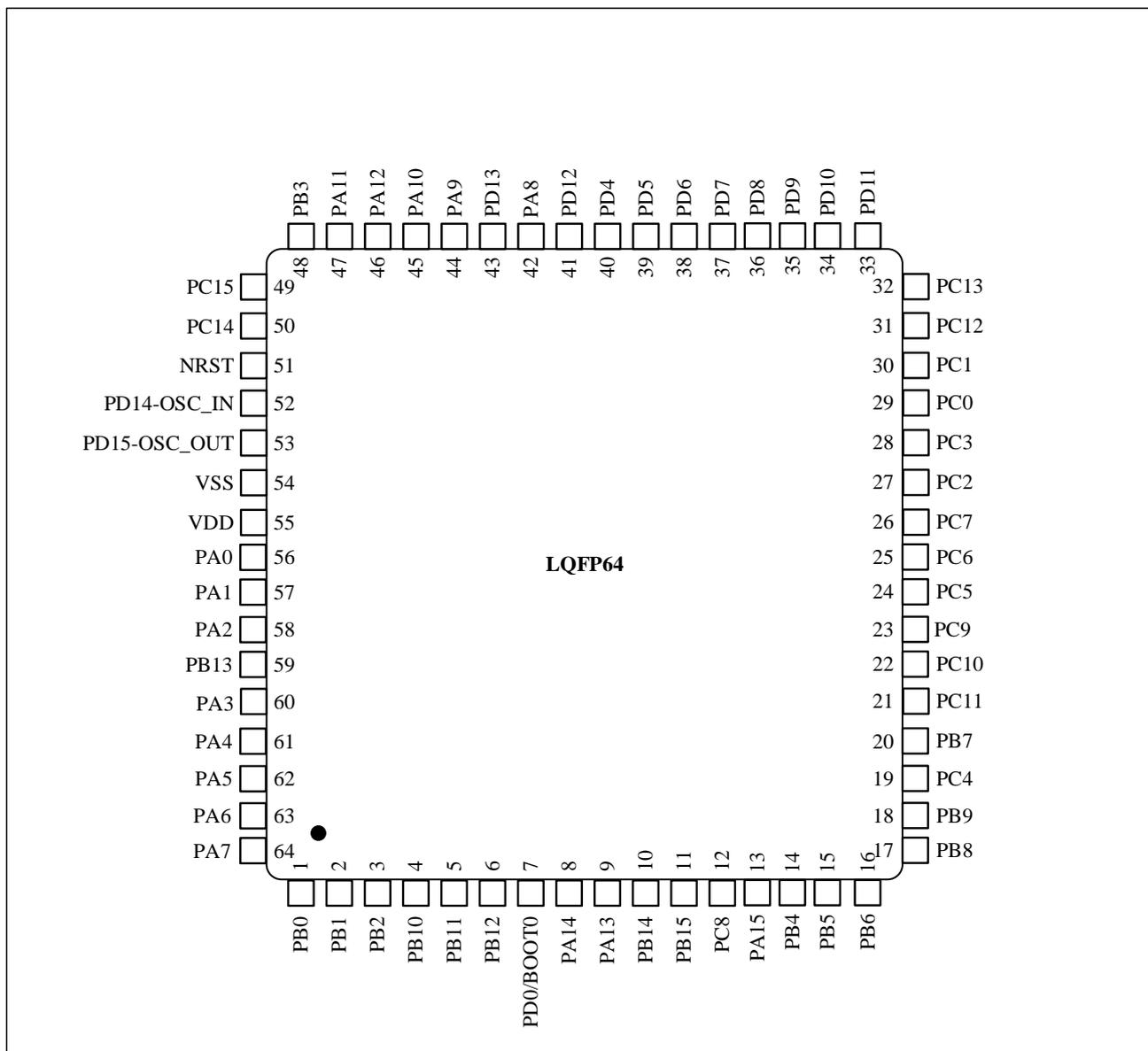
3 引脚定义和描述

3.1 封装示意图

3.1.1 LQFP64

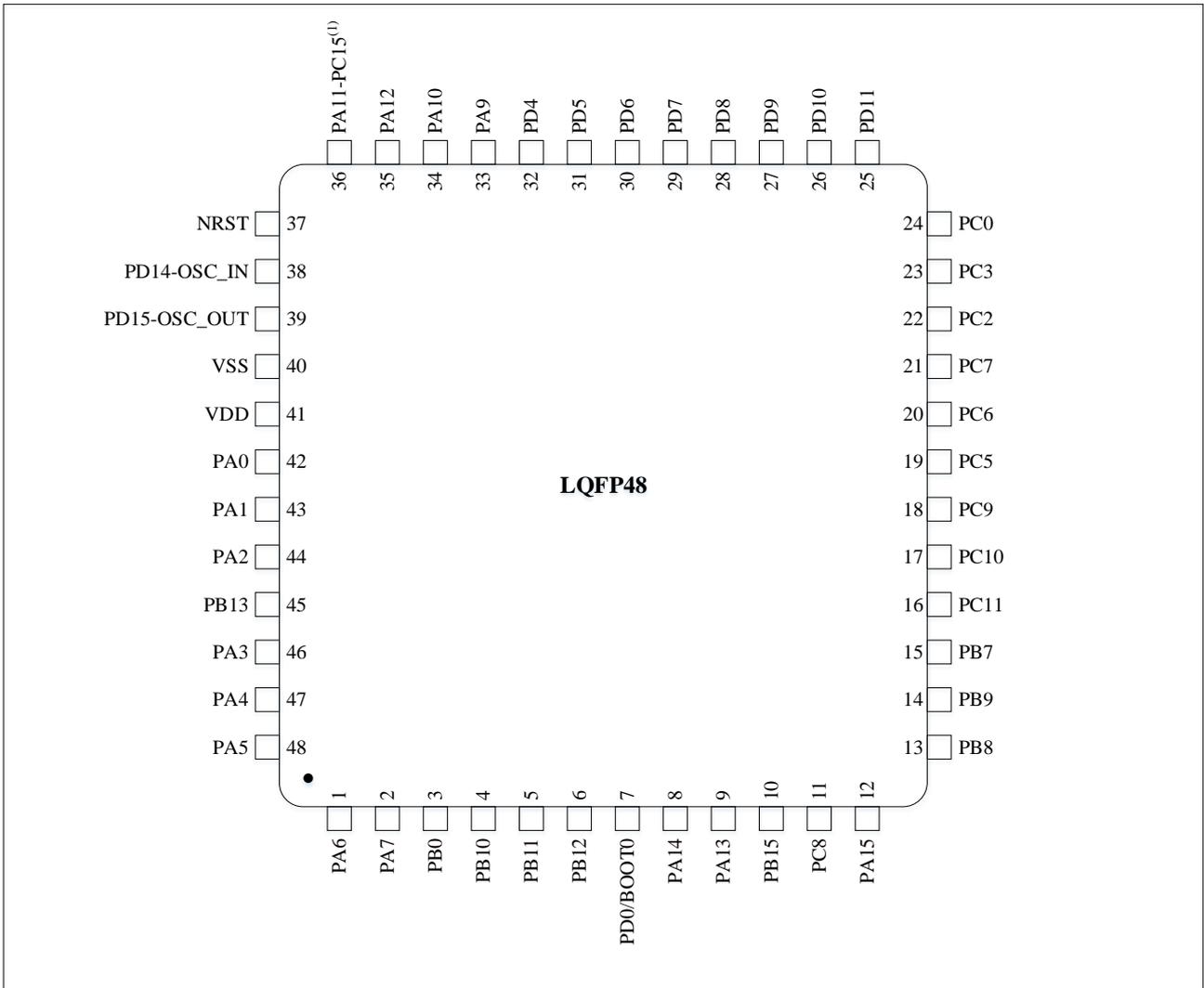
N32G052RBL7/ N32G052RBL7B/ N32G052RBL7C引脚排序一致。

图 3-1 N32G052 系列 LQFP64 引脚分布



3.1.2 LQFP48

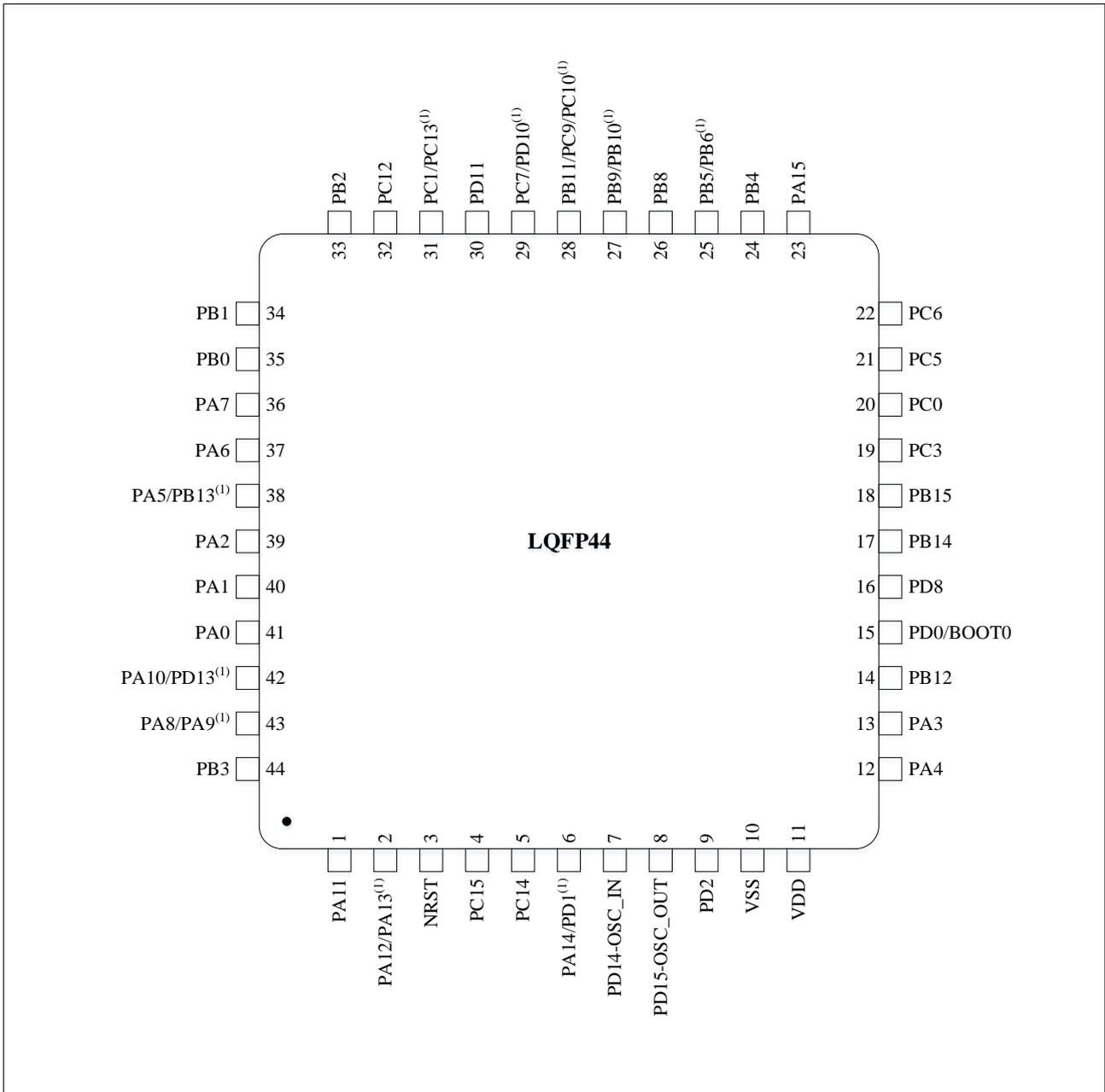
图 3-2 N32G052 系列 LQFP48 引脚分布



1. 36pin 为组合IO，为PA11 和 PC15 组合；只能同时使用其中一个IO 的功能，且在同一 pin 上的其他 IO 必须配置成模拟模式，以免影响正在使用的IO。

3.1.3 LQFP44-A

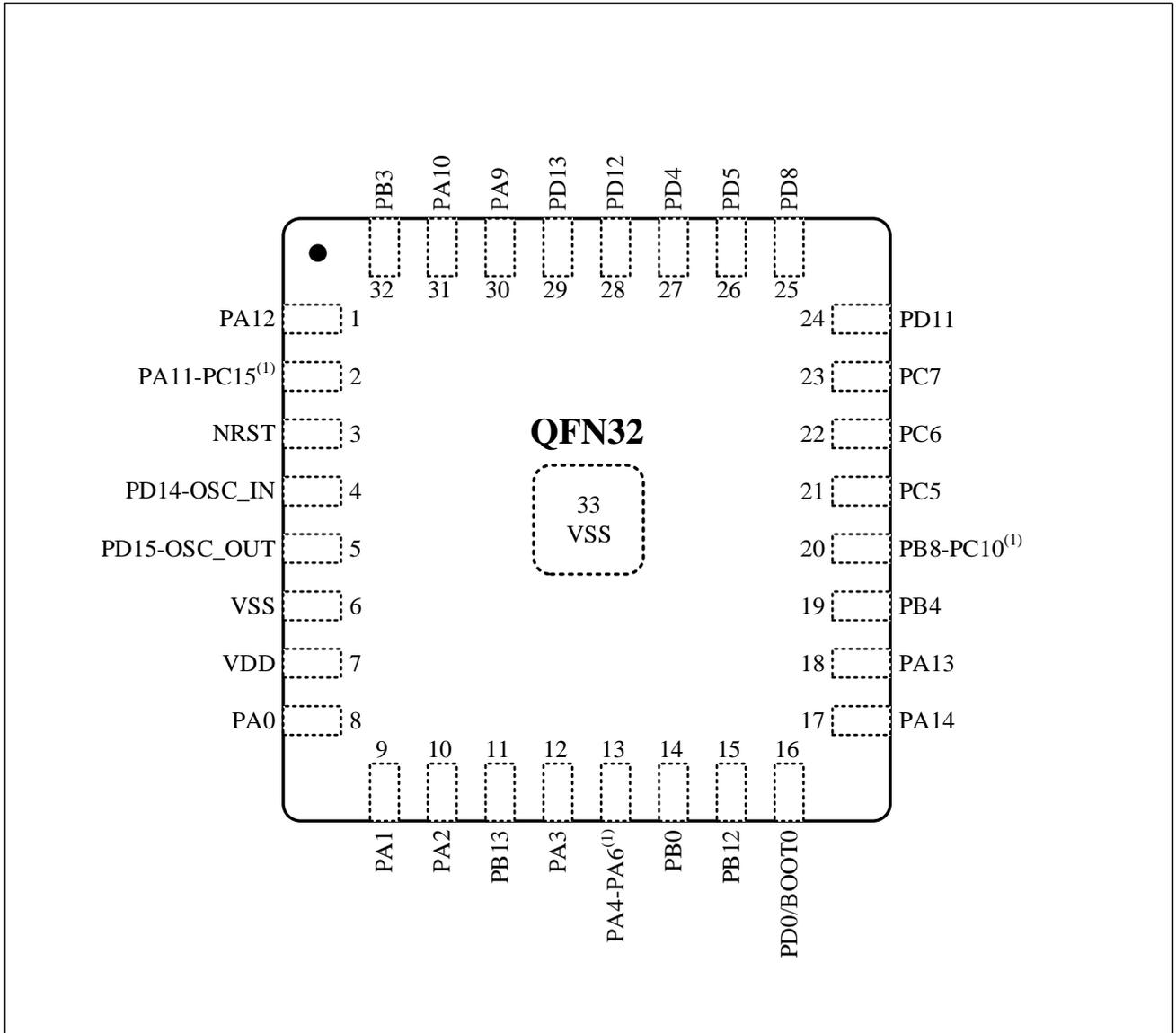
图 3-3 N32G052 系列 LQFP44-A 引脚分布 2



- 2pin、6pin、25pin、27pin、28pin、29pin、31pin、38pin、42pin 和 43pin 为组合IO，其中第2pin 为 PA12 和 PA13 组合，其中第6pin 为 PD1 和 PA14 组合，其中第25pin 为 PB5 和 PB6 组合，其中第27pin 为 PB9 和 PB10 组合，其中第28pin 为 PB11、PC9 和 PC10 组合，其中第29pin 为 PC7 和 PD10 组合，其中第31pin 为 PC1 和 PC13 组合，其中第38pin 为 PA5 和 PB13 组合，其中第42pin 为 PA10 和 PD13 组合，其中第43pin 为 PA8 和 PA9 组合；只能同时使用其中一个IO 的功能，且在同一 pin 上的其他 IO 必须配置成模拟模式，以免影响正在使用的IO。

3.1.4 QFN32

图 3-4 N32G052 系列 QFN32 引脚分布



1. 2pin、13pin 和 20pin 为组合 IO，其中第 2pin 为 PA11 和 PC15 组合，其中第 13pin 为 PA4 和 PA6 组合，其中第 20pin 为 PB8 和 PC10 组合；只能同时使用其中一个 IO 的功能，且在同一 pin 上的其他 IO 必须配置成模拟模式，以免影响正在使用的 IO。

3.2 引脚复用定义

复用功能IO重映射详情请见用户手册“GPIO和AFIO”章节内的“复用功能”章节。

表 3-1 管脚定义

Package				Pin name (function after reset)	Type ⁽¹⁾	IO ⁽²⁾	Fail- safe ⁽⁴⁾	Alternate functions ⁽³⁾	
QFN3 2	LQFP44 -A	LQFP4 8	LQFP6 4					Digital	Analog
14	35	3	1	PB0	I/O	TC	N	LCD_SEG0 TIM2_CH1 EVENTOUT	ADC_IN8 COMP1_INM
-	34	-	2	PB1	I/O	TC	N	LCD_SEG1	ADC_IN9 COMP1_INP
-	33	-	3	PB2	I/O	TC	N	LCD_SEG2	ADC_IN10 COMP2_INM
-	27 ⁽⁵⁾	4	4	PB10	I/O	TC	N	LCD_SEG3 I2C1_SCL I2C2_SCL SPI1_SCK SPI1_MOSI SPI2_SCK SPI3_SCK UART1_TX EVENTOUT	ADC_IN11 COMP2_INP
-	28 ⁽⁵⁾	5	5	PB11	I/O	TC	N	LCD_SEG4 I2C1_SDA I2C2_SDA SPI1_MISO SPI1_MOSI SPI2_MOSI SPI3_MOSI UART1_RX UART2_RX	ADC_IN12
15	14	6	6	PB12	I/O	TC	N	LCD_SEG5 TIM1_CH4N TIM2_CH3 SPI1_SCK SPI1_MISO SPI2_MISO SPI3_MISO UART2_TX EVENTOUT	ADC_IN13
16	15	7	7	PD0	I/O	TC	N	LCD_SEG6 TIM2_CH2 SPI1_NSS BOOT0	-

Package				Pin name (function after reset)	Type ⁽¹⁾	IO ⁽²⁾	Fail- safe ⁽⁴⁾	Alternate functions ⁽³⁾	
QFN3 2	LQFP44 -A	LQFP4 8	LQFP6 4					Digital	Analog
17	6 ⁽⁵⁾	8	8	PA14	I/O	TC	N	LCD_SEG7 TIM1_ETR TIM1_CH4N TIM2_CH1 UART4_TX SWCLK	-
18	2 ⁽⁵⁾	9	9	PA13	I/O	TC	N	LCD_SEG8 TIM1_CH4 TIM2_CH4 I2C2_SMBA UART4_RX SWDIO Beeper_OUT MCO	-
-	17	-	10	PB14	I/O	TC	N	LCD_SEG9 TIM1_CH2N TIM2_CH2 UART5_TX Beeper_OUT MCO	-
-	18	10	11	PB15	I/O	TC	N	LCD_SEG10 TIM1_CH3N UART5_RX	RTC_REFCLKI N
-	-	11	12	PC8	I/O	TC	N	LCD_SEG11 TIM3_CH3 TIM5_ETR TIM5_CH3 TIM5_CH4 I2C2_SMBA	-
-	23	12	13	PA15	I/O	TC	N	LCD_SEG12 TIM1_ETR TIM5_ETR TIM5_CH1 TIM5_CH2 EVENTOUT	-
19	24	-	14	PB4	I/O	TC	N	LCD_SEG13 TIM5_CH4 TIM5_CH3 UART2_TX EVENTOUT COMP3_OUT	-
-	25 ⁽⁵⁾	-	15	PB5	I/O	TC	N	LCD_SEG14 TIM5_CH1 TIM5_CH2 UART2_RX	-
-	25 ⁽⁵⁾	-	16	PB6	I/O	TC	N	LCD_SEG15 TIM2_CH4 TIM4_CH1 COMP1_OUT	-

Package				Pin name (function after reset)	Type ⁽¹⁾	IO ⁽²⁾	Fail- safe ⁽⁴⁾	Alternate functions ⁽³⁾	
QFN3 2	LQFP44 -A	LQFP4 8	LQFP6 4					Digital	Analog
20 ⁽⁵⁾	26	13	17	PB8	I/O	TC	N	LCD_SEG16 TIM4_CH4 TIM4_CH3 I2C1_SCL I2C2_SCL UART3_TX UART5_TX RTC_TAMP3 COMP1_OUT	-
-	27 ⁽⁵⁾	14	18	PB9	I/O	TC	N	LCD_SEG17 TIM2_ETR TIM4_CH4 I2C1_SDA I2C2_SDA SPI1_NSS SPI2_NSS UART3_RX UART5_RX EVENTOUT COMP2_OUT	-
-	-	-	19	PC4	I/O	TC	N	LCD_SEG18 TIM4_ETR I2C1_SMBA SPI2_NSS EVENTOUT	-
-	-	15	20	PB7	I/O	TC	N	LCD_SEG19 TIM4_CH2 TIM4_CH3 I2C1_SMBA	-
-	-	16	21	PC11	I/O	TC	N	LCD_SEG20 TIM3_CH1 TIM3_CH2 I2C2_SDA Beeper_OUT	-
20 ⁽⁵⁾	28 ⁽⁵⁾	17	22	PC10	I/O	TC	N	LCD_SEG21 I2C2_SCL UART3_TX COMP4_OUT	-
-	28 ⁽⁵⁾	18	23	PC9	I/O	TC	N	LCD_SEG22 TIM3_CH4 I2C2_SMBA UART3_RX	-
21	21	19	24	PC5	I/O	TC	N	LCD_SEG23 TIM3_ETR I2C1_SCL I2C2_SCL SPI1_SCK SPI2_SCK SPI3_SCK COMP4_OUT	-

Package				Pin name (function after reset)	Type ⁽¹⁾	IO ⁽²⁾	Fail- safe ⁽⁴⁾	Alternate functions ⁽³⁾	
QFN3 2	LQFP44 -A	LQFP4 8	LQFP6 4					Digital	Analog
22	22	20	25	PC6	I/O	TC	N	LCD_SEG24 TIM3_CH1 I2C1_SCL I2C2_SCL I2C1_SDA I2C2_SDA SPI1_MOSI SPI2_MOSI SPI3_MOSI	-
23	29 ⁽⁵⁾	21	26	PC7	I/O	TC	N	LCD_SEG25 TIM3_CH2 I2C1_SDA I2C2_SDA SPI1_MISO SPI2_MISO SPI3_MISO	-
-	-	22	27	PC2	I/O	TC	N	LCD_SEG26 SPI2_MOSI SPI1_MISO SPI2_MISO SPI3_MISO UART2_TX EVENTOUT	-
-	19	23	28	PC3	I/O	TC	N	LCD_SEG27 I2C1_SDA I2C2_SDA SPI2_MISO SPI1_MOSI SPI2_MOSI SPI3_MOSI UART2_RX EVENTOUT	-
-	20	24	29	PC0	I/O	TC	N	LCD_SEG28 I2C1_SCL I2C2_SCL SPI1_SCK SPI2_SCK SPI3_SCK EVENTOUT	-
-	31 ⁽⁵⁾	-	30	PC1	I/O	TC	N	LCD_SEG29 TIM4_CH1 TIM4_CH2 SPI2_NSS SPI3_NSS EVENTOUT	-

Package				Pin name (function after reset)	Type ⁽¹⁾	IO ⁽²⁾	Fail- safe ⁽⁴⁾	Alternate functions ⁽³⁾	
QFN3 2	LQFP44 -A	LQFP4 8	LQFP6 4					Digital	Analog
-	32	-	31	PC12	I/O	TC	N	LCD_SEG30 TIM1_CH1 TIM1_CH2 TIM4_ETR UART5_TX	-
-	31 ⁽⁵⁾	-	32	PC13	I/O	TC	N	LCD_SEG31 TIM3_ETR I2C1_SCL I2C2_SCL SPI2_SCK RTC_OUT RTC_TAMP1	-
24	30	25	33	PD11	I/O	TC	N	LCD_COM7 LCD_SEG32 TIM4_CH1 I2C1_SDA I2C2_SDA SPI2_MOSI UART1_RX UART4_RX	-
-	29 ⁽⁵⁾	26	34	PD10	I/O	TC	N	LCD_COM6 LCD_SEG33 TIM3_CH1 SPI2_MISO UART1_TX UART4_TX	-
-	-	27	35	PD9	I/O	TC	N	LCD_COM5 LCD_SEG34 TIM1_CH3N UART5_RX CAN_TX	-
25	16	28	36	PD8	I/O	TC	N	LCD_COM4 LCD_SEG35 TIM1_CH3 UART5_TX CAN_RX	-
-	-	29	37	PD7	I/O	TC	N	LCD_COM3 LCD_SEG36 TIM1_CH2N SPI1_NSS	COMP3_INP
-	-	30	38	PD6	I/O	TC	N	LCD_COM2 TIM1_CH2 SPI1_SCK	COMP3_INM

Package				Pin name (function after reset)	Type ⁽¹⁾	IO ⁽²⁾	Fail- safe ⁽⁴⁾	Alternate functions ⁽³⁾	
QFN3 2	LQFP44 -A	LQFP4 8	LQFP6 4					Digital	Analog
26	-	31	39	PD5	I/O	TC	N	LCD_COM1 TIM1_CH1N TIM3_CH3 TIM3_CH4 SPI1_MISO UART4_TX UART5_RX EVENTOUT	COMP4_INP
27	-	32	40	PD4	I/O	TC	N	LCD_COM0 TIM1_CH1 TIM1_CH3 TIM1_CH4 I2C1_SMBA SPI1_MOSI UART4_RX EVENTOUT	COMP4_INM
28	-	-	41	PD12	I/O	TC	N	TIM1_CH4N TIM3_CH3 TIM3_CH4 I2C1_SCL I2C2_SCL SPI3_NSS	-
-	43 ⁽⁵⁾	-	42	PA8	I/O	TC	N	TIM3_CH1 TIM3_CH2 I2C1_SCL I2C2_SCL I2C1_SDA I2C2_SDA SPI3_SCK UART3_RX	-
29	42 ⁽⁵⁾	-	43	PD13	I/O	TC	N	TIM4_CH3 TIM5_CH3 TIM5_CH4 I2C1_SDA I2C2_SDA SPI3_MISO UART3_TX UART3_RX	-
30	43 ⁽⁵⁾	33	44	PA9	I/O	TC	N	TIM1_CH1 TIM1_CH2 TIM1_CH3N SPI1_MISO SPI3_MOSI UART3_TX UART1_TX UART4_TX	COMP3_INM

Package				Pin name (function after reset)	Type ⁽¹⁾	IO ⁽²⁾	Fail- safe ⁽⁴⁾	Alternate functions ⁽³⁾	
QFN3 2	LQFP44 -A	LQFP4 8	LQFP6 4					Digital	Analog
31	42 ⁽⁵⁾	34	45	PA10	I/O	TC	N	TIM1_CH4 TIM2_CH1 TIM4_CH1 TIM4_CH2 I2C1_SDA I2C2_SDA SPI1_MOSI UART1_RX UART4_RX COMP3_OUT	COMP3_INP
1	2	35	46	PA12	I/O	TC	N	TIM1_ETR TIM2_CH3 TIM5_CH1 TIM5_CH2 I2C1_SCL I2C2_SCL SPI1_SCK CAN_RX EVENTOUT	COMP4_INP
2 ⁽⁵⁾	1	36 ⁽⁵⁾	47	PA11	I/O	TC	N	TIM1_BKIN TIM1_CH3 TIM1_CH4N TIM2_CH2 CAN_TX EVENTOUT	COMP4_INM
32	44	-	48	PB3	I/O	TC	N	CAN_TX EVENTOUT MCO	ADC_IN14
2 ⁽⁵⁾	4	36 ⁽⁵⁾	49	PC15	I/O	TC	N	-	-
-	5	-	50	PC14	I/O	TC	N	TIM2_CH3	-
3	3	37	51	NRST	I/O	RS T	N	NRST	-
4	7	38	52	PD14- OSC_IN	I/O	TC	N	TIM2_CH4 TIM4_CH4 I2C1_SDA	OSC_IN
5	8	39	53	PD15- OSC_OUT	I/O	TC	N	I2C1_SCL	OSC_OUT
-	6 ⁽⁵⁾	-	-	PD1	I/O	TC	N	-	-
-	9	-	-	PD2	I/O	TC	N	SPI3_NSS	-
6	10	40	54	VSS	S	TC	-	-	VSS
7	11	41	55	VDD	S	TC	-	-	VDD
8	41	42	56	PA0	I/O	TC	N	TIM5_CH1 SPI3_MOSI RTC_TAMP2 WAKUP0	ADC_IN0

Package				Pin name (function after reset)	Type ⁽¹⁾	IO ⁽²⁾	Fail- safe ⁽⁴⁾	Alternate functions ⁽³⁾	
QFN3 2	LQFP44 -A	LQFP4 8	LQFP6 4					Digital	Analog
9	40	43	57	PA1	I/O	TC	N	TIM1_BKIN TIM5_CH2 SPI3_MISO RTC_REFCLKI N EVENTOUT	ADC_IN1
10	39	44	58	PA2	I/O	TC	N	TIM5_CH3 I2C1_SMBA UART1_TX WAKUP1	ADC_IN2 COMP1_INP COMP1_INM
11	38	45	59	PB13	I/O	TC	N	TIM1_CH1N I2C2_SMBA	DAC_OUT
12	13	46	60	PA3	I/O	TC	N	TIM5_CH4 I2C1_SDA UART1_RX CAN_RX	ADC_IN3 COMP1_INP COMP2_INM
13 ⁽⁵⁾	12	47	61	PA4	I/O	TC	N	TIM1_CH1 TIM1_CH3N I2C1_SCL CAN_TX	ADC_IN4 COMP2_INM
-	38 ⁽⁵⁾	48	62	PA5	I/O	TC	N	TIM1_BKIN TIM1_CH1N TIM2_ETR	ADC_IN5 COMP1_INM COMP2_INP
13 ⁽⁵⁾	37	1	63	PA6	I/O	TC	N	TIM1_CH2 TIM1_CH2N UART2_TX EVENTOUT	ADC_IN6 COMP2_INP
-	36	2	64	PA7	I/O	TC	N	TIM1_CH1N TIM1_CH2N SPI3_NSS SPI3_MISO UART2_RX EVENTOUT COMP2_OUT	ADC_IN7

1. I = 输入, O = 输出, S = 电源, HiZ = 高阻
2. TC: 标准5V I/O, RST: 带嵌入式弱上拉电阻的双向复位引脚
3. 此类复用功能能够由软件配置到其他引脚上(如果相应的封装型号有此引脚), 详细信息请参考N32G05x系列用户手册的复用功能I/O章节和调试设置章节。
4. Fail-safe 指当芯片没有电源输入时, 在 IO 上加输入高电平, 不会存在输入高电平灌入芯片, 从而导致电源上有一定电压, 并消耗电流的现象
5. 组合IO, 只能同时使用其中一个IO功能, 且在同一-pin上的其他IO必须配置成模拟模式, 以免影响正在使用的IO。

4 电气特性

4.1 测试条件

除非特别说明，所有电压的都以 V_{SS} 为基准。

4.1.1 最小和最大数值

除非特别说明，在生产线上通过对 100% 的产品在环境温度 $T_A=25\text{ }^\circ\text{C}$ 下执行的测试，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过特征测试、设计仿真和/或工艺特性得到的数据，不会在生产线上进行测试；在特征测试的基础上，最小和最大值是通过样本测试后，取其平均值再加减三倍的标准分布(平均 $\pm 3\sigma$)得到。

4.1.2 典型数值

除非特别说明，典型数据是基于 $T_A=25\text{ }^\circ\text{C}$ 和 $V_{DD}=3.3\text{V}/5.0\text{V}$ ($2.0\text{V} \leq V_{DD} \leq 5.5\text{V}$ 电压范围)。这些数据仅用于设计指导而未经测试。

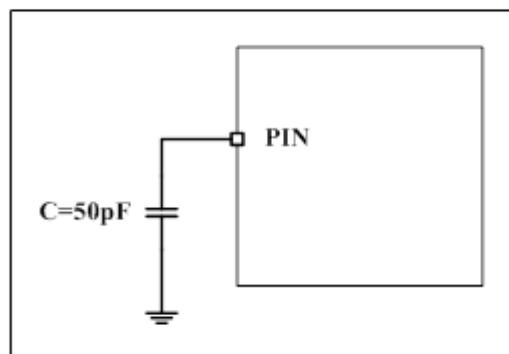
4.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

4.1.4 负载电容

测量引脚参数时的负载条件示于图 4-1 中。

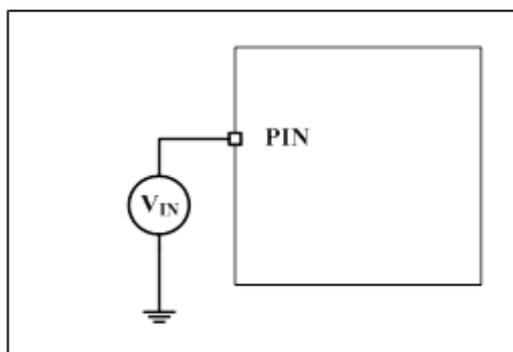
图 4-1 引脚的负载条件



4.1.5 引脚输入电压

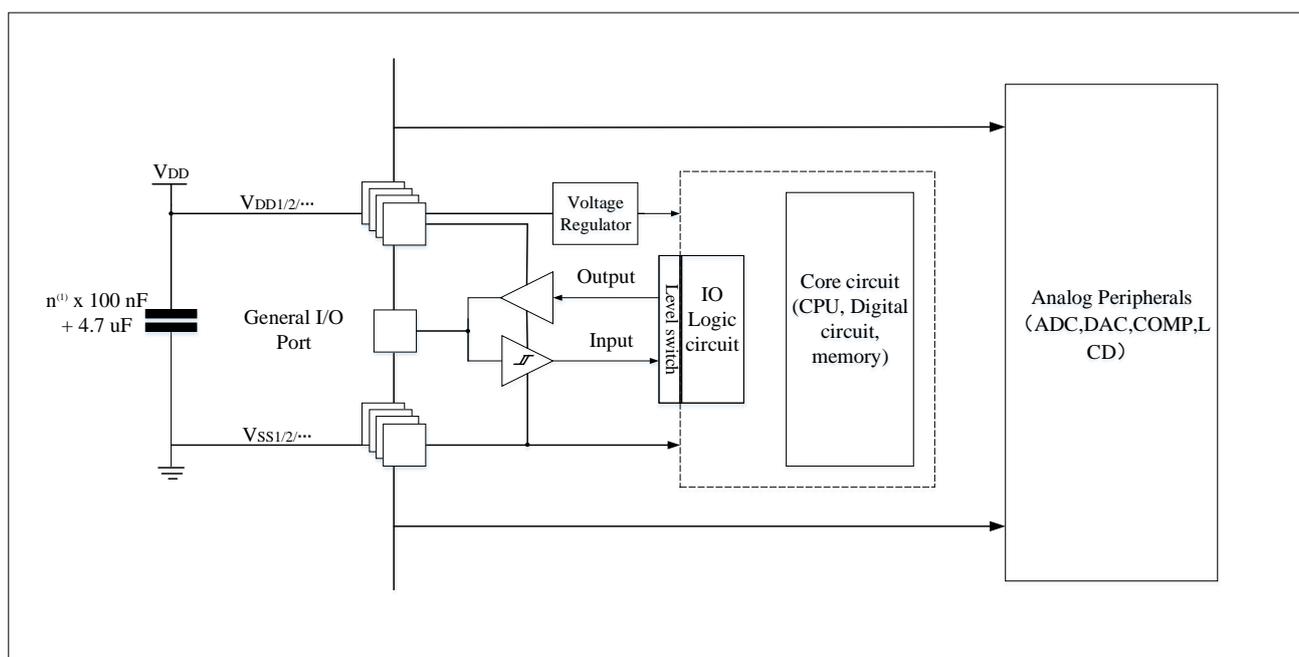
引脚上输入电压的测量方式示于图 4-2 中。

图 4-2 引脚输入电压



4.1.6 供电方案

图 4-3 供电方案

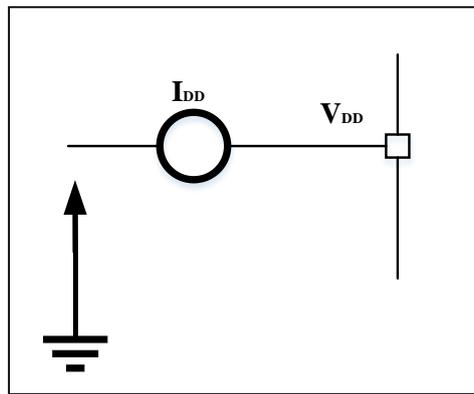


1. n 为 V_{DD} 个数。
2. 当 PB2 复用成 AVREFP 功能时，推荐外接 $100\text{nF}+1\text{uF}$ 电容。

注意：电容连接方式请参考硬件设计指南

4.1.7 电流消耗测量

图 4-4 电流消耗测量方案



4.2 绝对最大额定值

加在器件上的载荷如果超过“绝对最大额定值”列表(表 4-1、表 4-2、表 4-3)中给出的值,可能会导致器件永久性损坏。这里只是给出能承受的最大载荷,并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 4-1 电压特性⁽¹⁾

符号	描述	最小值	最大值	单位
$V_{DD} - V_{SS}$	外部主供电电压(V_{DD}) ⁽¹⁾	-0.3	6.5	V
V_{IN}	任意I/O和控制引脚上的输入电压	-0.3	Min ($V_{DD} + 0.3, 6.5$)	
$ \Delta V_{DDx} $	不同供电引脚之间的电压差	0	50	mV
$ V_{SSx} - V_{SS} $	不同接地引脚之间的电压差	0	50	
$V_{ESD(HBM)}$	ESD静电放电电压(人体模型)	参见第4.3.11节		

- 所有的电源(V_{DD})和地(V_{SS})引脚必须始终连接到外部允许范围内的供电系统上。

表 4-2 电流特性

符号	描述	最大值 ⁽¹⁾	单位
I_{VDD}	经过 V_{DD} 电源线的总电流(供应电流) ⁽¹⁾ 在 $V_{DD}=3.3V$ 时测试	200	mA
I_{VSS}	经过 V_{SS} 地线的总电流(流出电流) ⁽¹⁾ 在 $V_{DD}=3.3V$ 时测试	200	
I_{IO}	任意I/O和控制引脚上的输出灌电流在 $V_{DD}=3.3V$ 时测试	16	
	任意I/O和控制引脚上的输出电流在 $V_{DD}=3.3V$ 时测试	-16	
$I_{IN(PIN)}^{(2)(3)}$	NRST引脚的注入电流在 $V_{DD}=3.3V$ 时测试	0/-5	
	其他引脚的注入电流 ⁽⁴⁾ 在 $V_{DD}=3.3V$ 时测试	+/-5	
$\sum I_{IN(PIN)}^{(2)}$	所有I/O和控制引脚上的总注入电流 ⁽⁴⁾ 在 $V_{DD}=3.3V$ 时测试	+/-25	

- 所有的电源(V_{DD})和地(V_{SS})引脚必须始终连接到外部允许范围内的供电系统上。
- $I_{IN(PIN)}$ 绝对不可以超过它的极限,即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值,也要保证在外部限制 $I_{IN(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{DD}$ 时,有一个正向注入电流;当 $V_{IN} < V_{SS}$ 时,有一个反向注入电流。
- 反向注入电流会干扰器件的模拟性能。参看第4.3.20节。
- 当几个I/O口同时有注入电流时, $\sum I_{IN(PIN)}$ 的最大值为正向注入电流与反向注入电流的即时绝对值之和。

表 4-3 温度特性

符号	描述	数值	单位
T_{STG}	储存温度范围	-65 ~ + 150	°C

T_J	结温度范围	-40 ~ +135	°C
-------	-------	------------	----

4.3 工作条件

4.3.1 通用工作条件

 表 4-4 通用工作条件⁽¹⁾

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部AHB时钟频率	-	0.032	64	MHz
f_{PCLK1}	内部APB1时钟频率	-	0.032	32	
f_{PCLK2}	内部APB2时钟频率	-	0.032	64	
V_{DD}	标准工作电压	-	2.0	5.5	V
	使用ADC、COMP部分时工作电压	-	2.4	5.5	V
	使用DAC部分时工作电压	-	2.97	5.5	V
	使用LCD部分工作电压	-	4.5	5.5	V
T_A	环境温度	后缀版本7	-40	105	°C
T_J	结温度范围	后缀版本7	-40	125	°C

1. 由设计保证，不在生产中测试

4.3.2 上电和掉电时的工作条件

下表中给出的参数是依据表 4-4列出的环境温度下测试得出。

 表 4-5 上电和掉电时的工作条件⁽¹⁾

符号	参数	条件	最小值	最大值	单位
t_{VDD}	V_{DD} 上升速率	从0到 V_{DD}	20	10^6	$\mu\text{s}/\text{V}$
	V_{DD} 下降速率	从 V_{DD} 到0	50	∞	$\mu\text{s}/\text{V}$

1. 由设计保证，不在生产中测试

4.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表 4-4列出的环境温度下和 V_{DD} 供电电压下测试得出。

 表 4-6 内嵌复位和电源控制模块特性⁽¹⁾

符号	参数	条件	Min	Typ	Max	单位
V_{PVD}	Rising	PVD[3:0]=0	Reserve			V
	Falling	PVD[3:0]=0	Reserve			
	Rising	PVD[3:0]=1	2	2.08	2.16	
	Falling	PVD[3:0]=1	1.9	1.98	2.06	
	Rising	PVD[3:0]=2	2.2	2.28	2.36	
	Falling	PVD[3:0]=2	2.1	2.18	2.26	
	Rising	PVD[3:0]=3	2.4	2.48	2.56	
	Falling	PVD[3:0]=3	2.3	2.38	2.46	
	Rising	PVD[3:0]=4	2.6	2.68	2.76	
	Falling	PVD[3:0]=4	2.5	2.58	2.66	
	Rising	PVD[3:0]=5	2.8	2.88	2.96	

	Falling	PVD[3:0]=5	2.7	2.78	2.86	
	Rising	PVD[3:0]=6	3	3.08	3.16	
	Falling	PVD[3:0]=6	2.9	2.98	3.06	
	Rising	PVD[3:0]=7	3.2	3.28	3.36	
	Falling	PVD[3:0]=7	3.1	3.18	3.26	
	Rising	PVD[3:0]=8	3.4	3.48	3.56	
	Falling	PVD[3:0]=8	3.3	3.38	3.46	
	Rising	PVD[3:0]=9	3.6	3.68	3.76	
	Falling	PVD[3:0]=9	3.5	3.58	3.66	
	Rising	PVD[3:0]=10	3.8	3.88	3.96	
	Falling	PVD[3:0]=10	3.7	3.78	3.86	
	Rising	PVD[3:0]=11	4	4.08	4.16	
	Falling	PVD[3:0]=11	3.9	3.98	4.06	
	Rising	PVD[3:0]=12	4.2	4.28	4.36	
	Falling	PVD[3:0]=12	4.1	4.18	4.26	
	Rising	PVD[3:0]=13	4.4	4.48	4.56	
	Falling	PVD[3:0]=13	4.3	4.38	4.46	
	Rising	PVD[3:0]=14	4.6	4.68	4.76	
	Falling	PVD[3:0]=14	4.5	4.58	4.66	
	Rising	PVD[3:0]=15	4.8	4.88	4.96	
	Falling	PVD[3:0]=15	4.7	4.78	4.86	
V _{PVDhyst} ⁽¹⁾	PVD迟滞	-	80	100	125	mV
V _{LVR}	Rising	LVR[3:0]=0	Reserve			V
	Falling	LVR[3:0]=0	Reserve			
	Rising	LVR[3:0]=1	2	2.08	2.16	
	Falling	LVR[3:0]=1	1.9	1.98	2.06	
	Rising	LVR[3:0]=2	2.2	2.28	2.36	
	Falling	LVR[3:0]=2	2.1	2.18	2.26	
	Rising	LVR[3:0]=3	2.4	2.48	2.56	
	Falling	LVR[3:0]=3	2.3	2.38	2.46	
	Rising	LVR[3:0]=4	2.6	2.68	2.76	
	Falling	LVR[3:0]=4	2.5	2.58	2.66	
	Rising	LVR[3:0]=5	2.8	2.88	2.96	
	Falling	LVR[3:0]=5	2.7	2.78	2.86	
	Rising	LVR[3:0]=6	3	3.08	3.16	
	Falling	LVR[3:0]=6	2.9	2.98	3.06	
	Rising	LVR[3:0]=7	3.2	3.28	3.36	
	Falling	LVR[3:0]=7	3.1	3.18	3.26	
	Rising	LVR[3:0]=8	3.4	3.48	3.56	
	Falling	LVR[3:0]=8	3.3	3.38	3.46	
	Rising	LVR[3:0]=9	3.6	3.68	3.76	
	Falling	LVR[3:0]=9	3.5	3.58	3.66	
Rising	LVR[3:0]=10	3.8	3.88	3.96		

	Falling	LVR[3:0]=10	3.7	3.78	3.86	
	Rising	LVR[3:0]=11	4	4.08	4.16	
	Falling	LVR[3:0]=11	3.9	3.98	4.06	
	Rising	LVR[3:0]=12	4.2	4.28	4.36	
	Falling	LVR[3:0]=12	4.1	4.18	4.26	
	Rising	LVR[3:0]=13	4.4	4.48	4.56	
	Falling	LVR[3:0]=13	4.3	4.38	4.46	
	Rising	LVR[3:0]=14	4.6	4.68	4.76	
	Falling	LVR[3:0]=14	4.5	4.58	4.66	
	Rising	LVR[3:0]=15	4.8	4.88	4.96	
	Falling	LVR[3:0]=15	4.7	4.78	4.86	
V _{LVRhyst} ⁽¹⁾	LVR迟滞	-	80	100	125	mV
V _{POR/PDR}	VDD上电/下电复位阈值	Falling edge	1.65	1.7	1.74	V
		Rising edge	1.77	1.8	1.95	V
V _{PDR/PORhyst} ⁽¹⁾	POR/PDR迟滞电压	-	50	100	150	mV
TPVDresp	PVD响应时间	-	-	2	-	us
TRSTTEMPO ⁽¹⁾	复位持续时间	-	76	150	250	us

1. 由设计保证，不在生产中试。

4.3.4 内置的参考电压

下表中给出的参数是依据表 4-4列出的环境温度下和V_{DD}供电电压下测试得出。

表 4-7 内置的参考电压

符号	参数	条件	最小值	典型值	最大值	单位
V _{REFINT}	内置参考电压	-40°C < T _A < +105°C温漂特性 ⁽²⁾	-	-	60	mV
		T _A = 25°C, VDD=5.0V ⁽³⁾	1.14	1.2	1.26	V
T _{S_vrefint} ⁽¹⁾⁽²⁾	当读出内部参考电压时, ADC的采样时间	PLS[2:0]=001 (上升沿), f _{ADC_CLK} =24M	15.8	-	126.7	μs

1. 最短的采样时间是通过应用中的多次循环得到，最小值换算成 ADC 采样周期为 380cycle，最大值换算成 ADC 采样周期为 3040 cycle。

2. 由设计保证，不在生产中测试

3. 生产中测试

4.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

电流消耗的测量方法说明，详见图 4-4。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码。

4.3.5.1 最大电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上——V_{DD} 或 V_{SS}(无负载)。
- 所有的外设都处于关闭状态，除非特别说明。

- 闪存存储器的访问时间调整到 f_{HCLK} 的频率 ($0 < SYSCLK \leq 24MHz$ 时为 0 个等待周期, $24MHz < SYSCLK \leq 48MHz$ 时为 1 个等待周期, 超过 $48MHz < SYSCLK \leq 64MHz$ 时为 2 个等待周期)。
- 指令预取功能开启(提示: 这个参数必须在设置时钟和总线分频之前设置)。
- 当开启外设时: $f_{PCLK1} = f_{HCLK}/2$, $f_{PCLK2} = f_{HCLK}$ 。
- $V_{DD}=5.5V$, 环境温度等于 $105^{\circ}C$ 。

表 4-8 和表 4-9 中给出的参数, 是依据表 4-4 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 4-8 运行模式下的典型电流消耗, 数据处理代码从内部闪存中运行

符号	参数	条件	f_{HCLK}	典型值 ⁽¹⁾	单位
				$V_{DD}=5.5V, T_A = 105^{\circ}C$	
I_{DD}	运行模式下的供应电流	外部时钟, 使能所有外设	64MHz	17.94	mA
			32MHz	9.97	
			16MHz	5.94	
			8MHz	3.57	
		外部时钟, 关闭所有外设	64MHz	11.23	
			32MHz	6.48	
			16MHz	4.09	
			8MHz	2.55	
I_{DD}	运行模式下的供应电流	内部时钟, 使能所有外设	64MHz	16.89	mA
			32MHz	8.99	
			16MHz	4.99	
			8MHz	2.64	
		内部时钟, 关闭所有外设	64MHz	10.24	
			32MHz	5.53	
			16MHz	3.15	
			8MHz	1.62	

1. 由特征测试结果保证, 不在生产中测试。

表 4-9 睡眠模式下的典型电流消耗

符号	参数	条件	f_{HCLK}	典型值 ⁽¹⁾	单位
				$V_{DD}=5.5V, T_A = 105^{\circ}C$	
I_{DD}	睡眠模式下的供应电流	外部时钟, 使能所有外设	64MHz	15.78	mA
			32MHz	8.89	
			16MHz	5.4	
			8MHz	3.31	
		外部时钟, 关闭所有外设	64MHz	8.39	
			32MHz	5.06	
			16MHz	3.38	
			8MHz	2.2	
I_{DD}	睡眠模式下的供应电流	内部时钟, 使能所有外设	64MHz	14.74	mA
			32MHz	7.9	
			16MHz	4.44	
			8MHz	2.37	
		内部时钟, 关闭所有外设	64MHz	7.41	
			32MHz	4.1	

			16MHz	2.44
			8MHz	1.26

1. 由特征测试结果保证，不在生产中测试。

4.3.5.2 典型电流消耗

MCU 处于下述条件下：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上— V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率($0 < SYSCLK \leq 24MHz$ 时为 0 个等待周期， $24MHz < SYSCLK \leq 48MHz$ 时为 1 个等待周期，超过 $48MHz < SYSCLK \leq 64MHz$ 时为 2 个等待周期)。
- 环境温度和 V_{DD} 供电电压条件列于表 4-4。
- 指令预取功能开启(提示：这个参数必须在设置时钟和总线分频之前设置)。
- 当开启外设时： $f_{PCLK1} = f_{HCLK}/2$, $f_{PCLK2} = f_{HCLK}$ 。

表 4-10 运行模式下的典型电流消耗，数据处理代码从内部闪存中运行($T_A=25^\circ C$ 、 $V_{DD}=5.0V$)

符号	参数	条件	f_{HCLK}	典型值 ⁽²⁾		最大值	单位
				使能所有外设	关闭所有外设	关闭所有外设	
I_{DD}	运行模式下的供应电流	外部高速时钟	64MHz	17.79	11.04	-	mA
			32MHz	9.76	6.25	-	
			16MHz	5.71	3.84	-	
			8MHz	3.33	2.29	-	
I_{DD}	运行模式下的供应电流	内部高速时钟	64MHz	17.11	10.32	15 ⁽¹⁾	mA
			32MHz	9.06	5.57	-	
			16MHz	5.02	3.15	-	
			8MHz	2.64	1.6	-	

1. 在生产中测试

2. 由特征测试结果保证，不在生产中测试。

表 4-11 运行模式下的典型电流消耗，数据处理代码从内部闪存中运行($T_A=25^\circ C$ 、 $V_{DD}=3.3V$)⁽¹⁾

符号	参数	条件	f_{HCLK}	典型值		单位
				使能所有外设	关闭所有外设	
I_{DD}	运行模式下的供应电流	外部高速时钟	64MHz	17.56	10.82	mA
			32MHz	9.57	6.08	
			16MHz	5.54	3.68	
			8MHz	3.17	2.14	
I_{DD}	运行模式下的供应电流	内部高速时钟	64MHz	16.96	10.25	mA
			32MHz	9.01	5.51	
			16MHz	4.98	3.13	
			8MHz	2.62	1.59	

1. 由特征测试结果保证，不在生产中测试

表 4-12 睡眠模式下的典型电流消耗($T_A=25^\circ C$ 、 $V_{DD}=5.0V$)

符号	参数	条件	f_{HCLK}	典型值 ⁽¹⁾	最大值	单位
----	----	----	------------	--------------------	-----	----

				使能所有外设	关闭所有外设	关闭所有外设	
I _{DD}	睡眠模式下的供应电流	外部高速时钟	64MHz	15.63	8.16	-	mA
			32MHz	8.67	4.81	-	
			16MHz	5.16	3.12	-	
			8MHz	3.05	1.93	-	
I _{DD}	睡眠模式下的供应电流	内部高速时钟	64MHz	14.93	7.47	10 ⁽²⁾	mA
			32MHz	7.98	4.12	-	
			16MHz	4.47	2.43	-	
			8MHz	2.36	1.24	-	

1. 由特征测试结果保证，不在生产中测试；
2. 在生产中测试

 表 4-13 睡眠模式下的典型电流消耗(T_A=25°C、V_{DD}=3.3V)

符号	参数	条件	f _{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设	关闭所有外设	
I _{DD}	睡眠模式下的供应电流	外部高速时钟	64MHz	15.4	7.98	mA
			32MHz	8.48	4.64	
			16MHz	4.99	2.96	
			8MHz	2.89	1.79	
I _{DD}	睡眠模式下的供应电流	内部高速时钟	64MHz	14.81	7.41	mA
			32MHz	7.91	4.09	
			16MHz	4.43	2.41	
			8MHz	2.34	1.23	

1. 由特征测试结果保证，不在生产中测试；

4.3.5.3 低功耗电流消耗

微控制器处于下列条件：

- 所有的I/O引脚都处于输入模式，并连接到一个静态电平上—V_{DD}或V_{SS}(无负载)。
- 所有的外设都处于关闭状态，除非特别说明。

 表 4-14 STOP 和 PD 模式下的典型消耗(T_A=25°C、V_{DD}=3.3V)

符号	参数	条件	典型值	最大值	单位
I _{DD_STOP}	STOP模式下的电流	SRAM保持，所有I/O状态保持，BS TIM、独立看门狗关闭	3.04	-	uA
I _{DD_PD}	PD模式下的电流	所有电源关闭，仅保留唤醒管脚、NRST 所需电路工作	0.97	-	uA

 表 4-15 STOP 和 PD 模式下的典型消耗(T_A=25°C、V_{DD}=5.0V)

符号	参数	条件	典型值	最大值 ⁽²⁾	单位
I _{DD_STOP}	STOP模式下的电流	SRAM保持，所有I/O状态保持，BS TIM、独立看门狗关闭	4.14	10	uA

I_{DD_PD}	PD模式下的电流	所有电源关闭, 仅保留唤醒管脚、NRST所需电路工作	1.86	3	μA
--------------	----------	----------------------------	------	---	---------

1. 在生产中测试

4.3.6 外部时钟源特性

4.3.6.1 高速外部(HSE)RC振荡器

下表中给出的特性参数是使用环境温度和供电电压符合表 4-4的条件测量得到。

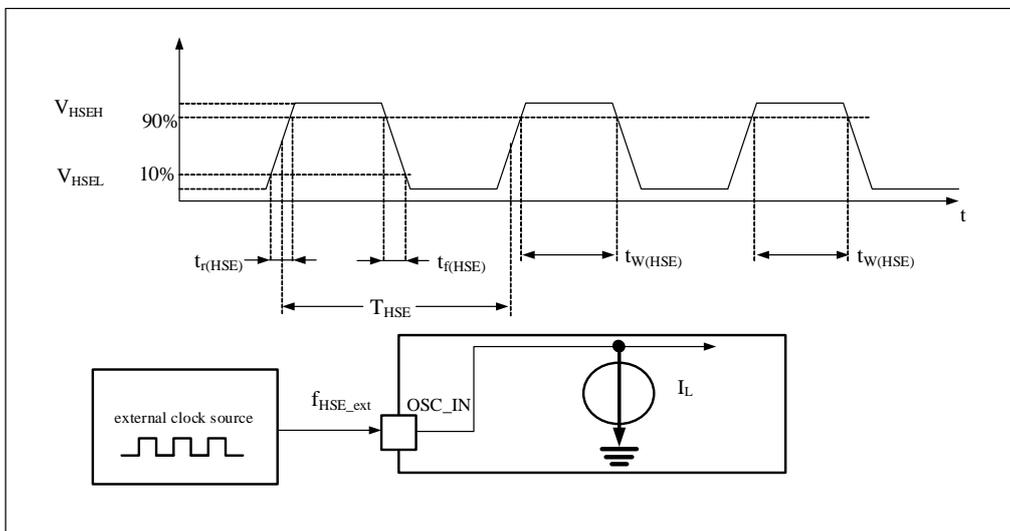
表 4-16 高速外部用户时钟特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟频率 ⁽¹⁾	$T_A=25^{\circ}C$	1	8	16	MHz
V_{HSEH}	OSC_IN 输入引脚高电平电压		$0.7V_{DD}$	-	V_{DD}	V
V_{HSEL}	OSC_IN 输入引脚低电平电压		V_{SS}	-	$0.3V_{DD}$	
$t_{w(HSE)}$	OSC_IN 高或低的时间 ⁽¹⁾		16	-	-	ns
$t_{r(HSE)}$			OSC_IN 上升或下降的时间 ⁽¹⁾	-	-	
$DuCy(HSE)$	占空比			45	-	55
I_L	OSC_IN 输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	± 1	μA

1. 由设计和综合评估保证, 不在生产中测试

2. 在HSE = 16MHz下计算所得

图 4-5 外部高速时钟源的交流时序图



使用一个晶体/陶瓷谐振器产生的高速外部时钟

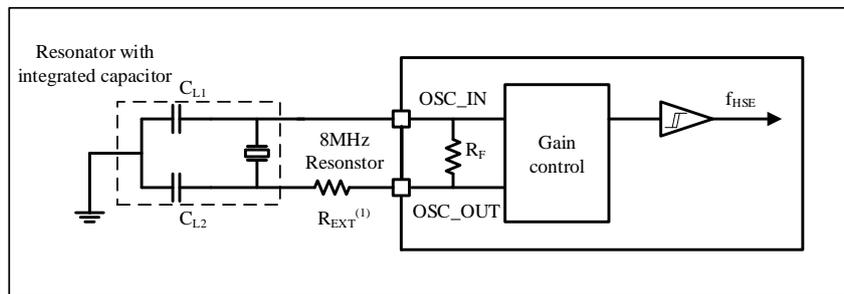
高速外部时钟(HSE)可以使用一个8~16MHz的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件, 通过综合特性评估得到的结果。在应用中, 谐振器和负载电容必须尽可能地靠近振荡器的引脚, 以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等), 请咨询相应的生产厂商。(这里提到的晶体谐振器就是我们通常说的无源晶振)

表 4-17 HSE 8~16MHz振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率	-	8	-	16	MHz
C_{L1} $C_{L2(3)}$	建议的负载电容与对应的晶体串行阻抗(R_{EXT})	$R_{EXT} = 30\Omega$	-	12	25	pF
$t_{SU(HSE)}^{(3)}$	启动时间(8M晶体)	V_{DD} 是稳定的	-	3	-	ms

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
2. 由设计保证，不在生产中测试
3. $t_{SU(HSE)}$ 是启动时间，是从软件使能HSE开始测量，直至得到稳定的8MHz振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

图 4-6 使用8MHz晶体的典型应用



R_{EXT} 数值由晶体的特性决定。

4.3.7 内部时钟源特性

下表中给出的特性参数是使用环境温度 and 供电电压符合表 4-4的条件测量得到。

4.3.7.1 高速内部(HSI)RC振荡器

 表 4-18 HSI 振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI_8M}	频率	$V_{DD}=5.0V$, $T_A = 25^\circ C$, 校准后	7.96 ⁽³⁾	8	8.04 ⁽³⁾	MHz
f_{HSI_24M}	频率	$V_{DD}=5.0V$, $T_A = 25^\circ C$, 校准后	23.88 ⁽³⁾	24	24.12 ⁽³⁾	MHz
ACC _{HSI}	HSI振荡器的温漂 ⁽⁴⁾	$V_{DD}=5.0V$, $T_A = -40\sim 105^\circ C$, 温漂	-2	-	2	%
		$V_{DD}=5.0V$, $T_A = -20\sim 85^\circ C$, 温漂	-1.5	-	1.5	%
		$V_{DD}=5.0V$, $T_A = 0\sim 70^\circ C$, 温漂	-1	-	1	%
$t_{SU(HSI)}$	HSI振荡器启动时间	-	1.5	2.5	4	μs
$I_{DD(HSI)}$	HSI振荡器功耗	-	140	250	330	μA

1. $V_{DD} = 5.0V$, $T_A = -40\sim 105^\circ C$, 除非特别说明。
2. 由设计保证，不在生产中测试。
3. 生产校准精度，未包括焊接影响。焊接带来频率偏差影响范围约 $\pm 1\%$ 。
4. 频率偏差包括焊接带来的影响，数据来自样品测试，不在生产中进行测试。

4.3.7.2 低速内部(LSI)RC振荡器

 表 4-19 LSI 振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSI}	输出频率	$25^\circ C$ 校准, $V_{DD} = 5.0V^{(3)}$	31	32	33	KHz

		VDD =2.0V ~5.5V, TA = -40~105°C 需通过软件根据温度变化实时校准	28.8	32	35.2	KHz
t _{SU(LSI)} ⁽²⁾	LSI振荡器启动时间	-	-	30	80	μs
I _{DD(LSI)} ⁽²⁾	LSI振荡器功耗	-	-	0.3	0.7	μA

1. V_{DD} = 5.0V, T_A = -40~105°C, 除非特别说明。
2. 由设计保证, 不在生产中测试。
3. 在生产中测试。

4.3.8 从低功耗模式的唤醒时间

表4-20列出的唤醒时间是在一个8MHz的HSIRC振荡器的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定:

- STOP/PD模式: 时钟源是RC振荡器
- 睡眠模式: 时钟源是进入睡眠模式时所使用的时钟

所有的时间是使用环境温度和供电电压符合表 4-4的条件测量得到。

表 4-20 低功耗模式的唤醒时间

符号	参数	典型值	最大值	单位
t _{WUSLEEP} ⁽¹⁾	从sleep模式唤醒	-	16	HCLK
t _{WUSTOP} ⁽¹⁾	从STOP模式快速唤醒	31	62	us
	从STOP模式正常唤醒	41	82	
t _{WUPD} ⁽¹⁾	从PD模式唤醒	100	200	us

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令;

4.3.9 PLL特性

下表列出的参数是使用环境温度和供电电压符合表 4-4的条件测量得到。

表 4-21 PLL 特性⁽¹⁾

符号	参数	数值			单位
		最小值	典型值	最大值 ⁽¹⁾	
f _{PLL_IN}	PLL 输入时钟	4	8	16	MHz
	PLL 输入时钟占空比	40	-	60	%
f _{PLL_IN/N}	PLL 输入 N 分频后时钟	4	-	16	MHz
f _{PLL_OUT}	PLL 倍频输出时钟 ⁽²⁾	48	-	72	MHz
t _{LOCK}	PLL Ready 指示信号输出时间	-	-	20	μs
Jitter	TIE RMS Jitter	-	40	121	pS
I _{pll}	Operating Current of PLL @64MHz VCO frequency. ⁽¹⁾	-	300	500	uA

1. 由设计保证, 不在生产中测试。
2. 需要注意使用正确的倍频系数, 从而根据PLL输入时钟频率使得f_{PLL_OUT}处于允许范围内。

4.3.10 FLASH存储器特性

除非特别说明，所有特性参数是在 $T_A = -40\sim 105^\circ\text{C}$ 得到。

表 4-22 闪存存储器特性

符号	参数	条件	最小值 ⁽¹⁾	典型值 ⁽¹⁾	最大值 ⁽¹⁾	单位
t_{PROG}	64位的编程时间	$T_A = -40\sim 105^\circ\text{C}$	144.5	175	185	μs
t_{ERASE}	页(512字节)擦除时间	$T_A = -40\sim 105^\circ\text{C}$	2	-	3	ms
t_{ME}	整片擦除时间	$T_A = -40\sim 105^\circ\text{C}$	30	35	40	ms
I_{DD}	供电电流 ⁽¹⁾	读模式, $f_{\text{HCLK}}=64\text{MHz}$, $V_{\text{DD}}=5.0\text{V}$	-	4.5	6.0	mA
		写模式, $f_{\text{HCLK}}=64\text{MHz}$, $V_{\text{DD}}=5.0\text{V}$	-	-	2	mA
		擦除模式, $f_{\text{HCLK}}=64\text{MHz}$, $V_{\text{DD}}=5.0\text{V}$	-	-	1.5	mA
		PD模式/STOP模式, $V_{\text{DD}}=2.0\sim 5.0\text{V}$	-	0.3	15 ⁽²⁾	μA

1. 由设计保证，不在生产中测试。
2. $T_A = 85^\circ\text{C}$ 下测试得到。

表 4-23 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值 ⁽¹⁾	单位
N_{END}	寿命(注: 擦写次数)	$T_A = -40\sim 105^\circ\text{C}$;	100	千次
t_{RET}	数据保存期限	$T_A = 105^\circ\text{C}$, 1000次擦写 ⁽¹⁾ 之后	10	年

1. 由特征测试得出，不在生产中测试。

4.3.11 绝对最大值(电气敏感性)

基于三个不同的测试(ESD, LU), 使用特定的测量方法, 对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电(ESD)

静电放电(一个正的脉冲然后间隔一秒钟后一个负的脉冲)施加到所有样品的所有引脚上

表 4-24 ESD 绝对最大值

符号	参数	条件	类型	最大值 ⁽¹⁾	单位
$V_{\text{ESD(HBM)}}$	静电放电电压(人体模型)	$T_A = +25^\circ\text{C}$, 符合MIL-STD-883K Method 3015.9	4A	4000	V
$V_{\text{ESD(CDM)}}$	静电放电电压(充电设备模型)	$T_A = +25^\circ\text{C}$, 符合ESDA/JEDEC JS-002-2018	C3	1500	

1. 由特征测试结果保证，不在生产中测试。

静态栓锁

为了评估栓锁性能，需要在6个样品上进行2个互补的静态栓锁测试：

- 为每个电源引脚，提供超过极限的供电电压。
- 在每个输入、输出和可配置的I/O引脚上注入电流。

这个测试符合EIA/JESD78F集成电路栓锁标准。

表 4-25 电气敏感性

符号	参数	条件	类型
LU	静态栓锁类	T _A = +105 °C, 符合JESD78F标准	II类A

4.3.12 I/O端口特性

通用输入/输出特性

除非特别说明, 下表列出的参数是按照表 4-4的条件测量得到。所有的I/O端口都是兼容CMOS和TTL。

表 4-26 I/O 静态特性

符号	参数	VDD	条件	最小值	最大值	单位
V _{IL} ⁽¹⁾	输入低电平电压	5	-	-	0.3×VDD	V
		3.3	-	-	0.8	
		2.0	-	-	0.2×VDD	
V _{IH} ⁽¹⁾	输入高电平电压	5	-	0.7×VDD	-	V
		3.3	-	2.037	-	
		2.0	-	0.8×VDD	-	
V _{hys} ⁽¹⁾	施密特触发器电压迟滞 ⁽¹⁾	5/3.3/2.0	-	0.1×VDD	-	V
I _{lkg} ⁽¹⁾⁽²⁾	输入漏电流I _{IH}	5/3.3/2.0	-	-	1	μA
	输入漏电流I _{IL}	5/3.3/2.0	-	1	-	
V _{OH}	输出高电平电压	5 ⁽³⁾	High driving I _{min} =16mA low driving I _{min} =8mA	VDD-0.7	VDD*1.005	V
		3.3 ⁽¹⁾	High driving I _{min} =8mA low driving I _{min} =4mA	2.4	-	
		2.0 ⁽¹⁾	High driving I _{min} =4mA low driving I _{min} =2mA	VDD-0.45	-	
V _{OL}	输出低电平电压	5 ⁽³⁾	High driving I _{min} =16mA low driving I _{min} =8mA	-0.1	0.4	V
		3.3 ⁽¹⁾	High driving I _{min} =8mA low driving I _{min} =4mA	-	0.45	
		2.0 ⁽¹⁾	High driving I _{min} =4mA low driving I _{min} =2mA	-	0.4	
R _{PU} ⁽³⁾	弱上拉等效电阻	5/3.3/2.0	-	20	120	kΩ
R _{PD} ⁽³⁾	弱下拉等效电阻	5/3.3/2.0	-	20	120	kΩ
C _{IO} ⁽¹⁾	I/O引脚的电容	5/3.3/2.0	-	-	10	pF

1. 施密特触发器开关电平的迟滞电压。由特征测试保证, 不在生产中测试。
2. 如果在相邻引脚有反向电流倒灌, 则漏电流可能高于最大值。
3. 在生产中测试

所有 I/O 端口都是 CMOS 和 TTL 兼容(不需软件配置), 它们的特性考虑了多数严格的 CMOS 工艺或 TTL 参数:

输入输出交流特性

输入输出交流特性的定义和数值在表 4-27 给出。

除非特别说明, 参数是使用环境温度和供电电压符合表 4-4 的条件测量得到。

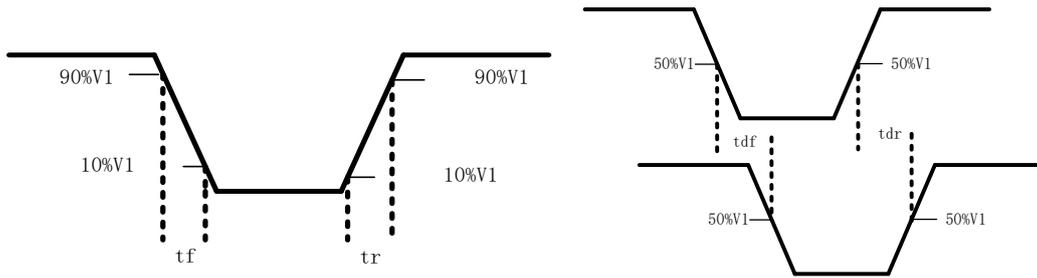
 表 4-27 输入输出交流特性⁽¹⁾

VDD	条件	Rise/Fall Time (ns)	Propagation Delay (ns)
-----	----	---------------------	------------------------

	Driving Strength	Slew Rate Control	CLoading(pf)	Min	Typ	Max	Min	Typ	Max
5V(4.5~5.5)	Low (DR=1)	Slow (SR=1)	25	2.493	3.509	5.393	4.351	6.296	10.13
			50	4.109	5.81	9.086	5.289	7.597	12.11
			100	7.498	10.65	16.63	7.036	10.04	15.83
		Fast (SR=0)	25	2.173	3.062	4.793	3.751	5.486	8.93
			50	3.865	5.427	8.521	4.615	6.698	10.78
			100	7.295	10.34	16.12	6.331	9.1	14.43
	High (DR=0)	Slow (SR=1)	25	1.627	2.276	3.513	3.855	5.623	9.126
			50	2.454	3.442	5.349	4.421	6.405	10.32
			100	4.095	5.779	8.891	5.375	7.728	12.33
		Fast (SR=0)	25	1.344	1.892	2.957	3.356	4.943	8.115
			50	2.157	3.023	4.721	3.825	5.6	9.126
			100	3.833	5.372	8.369	4.698	6.82	10.99
3.3V(2.7~3.6)	Low (DR=1)	Slow (SR=1)	25	3.215	4.727	8.585	5.309	7.923	14.38
			50	5.357	7.964	14.47	6.524	9.695	17.54
			100	9.718	14.47	26.42	8.8	13.03	23.5
		Fast (SR=0)	25	2.819	4.168	7.648	4.522	6.811	12.43
			50	5.008	7.455	13.54	5.646	8.46	15.39
			100	9.49	14.05	25.86	7.875	11.74	21.25
	High (DR=0)	Slow (SR=1)	25	2.095	3.063	5.522	4.67	7.017	12.8
			50	3.176	4.66	8.4	5.403	8.075	14.67
			100	5.311	7.816	14.12	6.636	9.868	17.88
		Fast (SR=0)	25	1.729	2.546	4.659	3.999	6.059	11.12
			50	2.784	4.124	7.503	4.612	6.956	12.73
			100	4.97	7.338	13.33	5.75	8.623	15.73
2V(1.8~2.2)	Low (DR=1)	Slow (SR=1)	25	5.641	9.338	16.84	9.428	15.96	28.85
			50	9.431	15.81	28.57	11.66	19.58	35.32
			100	17.25	28.99	52.5	15.78	26.51	47.71
		Fast (SR=0)	25	5.027	8.341	15.1	8.015	13.6	24.73
			50	8.92	14.98	27.03	10.06	17.03	30.88
			100	16.9	28.5	51.08	14.13	23.89	43.09
	High (DR=0)	Slow (SR=1)	25	3.642	6.019	10.83	8.458	14.31	25.88
			50	5.54	9.139	16.52	9.741	16.42	29.64
			100	9.372	15.49	28.08	11.94	20.07	36.18
		Fast (SR=0)	25	3.044	5.064	9.218	7.162	12.21	22.24
			50	4.941	8.194	14.88	8.272	14.05	25.55
			100	8.829	14.62	26.53	10.34	17.51	31.74

1. 由设计保证，不在生产中测试。

图 4-7 输入输出交流特性定义



4.3.13 NRST引脚特性

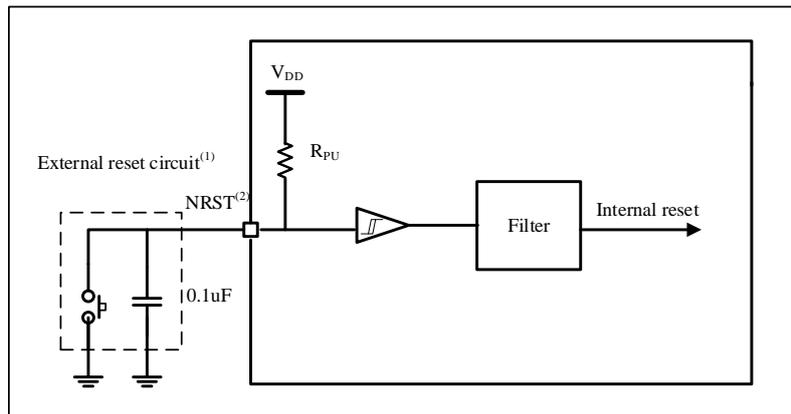
NRST引脚内部集成上拉电阻,除非特别说明,参数是使用环境温度和供电电压符合表 4-4的条件测量得到。

表 4-28 NRST 引脚特性

符号	参数	VDD	最小值	典型值	最大值	单位
$V_{IL(NRST)}^{(1)}$	NRST输入低电平电压	2.0V~5.5V	-	-	0.3VDD	V
$V_{IH(NRST)}^{(1)}$	NRST输入高电平电压	2.0V~5.5V	0.7VDD	-	-	
$V_{hys(NRST)}^{(1)}$	NRST施密特触发器电压迟滞	2.0V~5.5V	115	220	315	mV
$R_{PU}^{(1)}$	弱上拉等效电阻 ⁽²⁾	2.0V~5.5V	30	40	50	kΩ
$V_{F(NRST)}^{(1)}$	NRST输入滤波脉冲	2.0V~2.2V	-	-	196	ns
		3V~3.6V	-	-	115	
		4.5V~5.5V	-	-	81	
$V_{NF(NRST)}^{(1)}$	NRST输入非滤波脉冲	2.0V~2.2V	540	-	-	ns
		3V~3.6V	287	-	-	
		4.5V~5.5V	191	-	-	

1. 由设计保证,不在生产中测试。
2. 上拉电阻是设计为一个真正的电阻串联一个不可开关的PMOS实现。这个PMOS开关的电阻很小(约占10%)。

图 4-8 建议的 NRST 引脚保护



1. 复位网络是为了防止寄生复位。
2. 用户必须保证NRST引脚的电位能够低于最大 $V_{IL(NRST)}$ 以下,否则MCU不能得到复位。

4.3.14 TIM定时器特性

列出的参数由设计保证。

表 4-29 TIM1 特性

符号	参数	条件	最小值	最大值	单位
t _{res} (TIM)	定时器分辨时间	-	1	-	t _{TIMCLK}
		f _{TIMCLK} = 64MHz	15.625	-	ns
f _{EXT}	CH1至CH4的定时器外部时钟频率	-	0	f _{TIMCLK} /2	MHz
		f _{TIMCLK} = 64MHz	0	32	MHz
Re _{TIM}	定时器分辨率	-	-	16	bits
t _{COUNTER}	当选择了内部时钟时, 16位计数器时钟周期	-	1	65536	t _{TIMCLK}
		f _{TIMCLK} = 64MHz	0.015625	1024	μs
t _{MAX_COUNT}	最大可能的计数	-	-	65536x65536	t _{TIMCLK}
		f _{TIMCLK} = 64MHz	-	67.109	s

表 4-30 TIM2/3/4/5 特性

符号	参数	条件	最小值	最大值	单位
t _{res} (TIM)	定时器分辨时间	-	1	-	t _{TIMCLK}
		f _{TIMCLK} = 64MHz	15.625	-	ns
f _{EXT}	CH1至CH4的定时器外部时钟频率	-	0	f _{TIMCLK} /2	MHz
		f _{TIMCLK} = 64MHz	0	32	MHz
Re _{TIM}	定时器分辨率	-	-	16	bits
t _{COUNTER}	当选择了内部时钟时, 16位计数器时钟周期	-	1	65536	t _{TIMCLK}
		f _{TIMCLK} = 64MHz	0.015625	1024	μs
t _{MAX_COUNT}	最大可能的计数	-	-	65536x65536	t _{TIMCLK}
		f _{TIMCLK} = 64MHz	-	67.109	s

表 4-31 TIM6 特性

符号	参数	条件	最小值	最大值	单位
t _{res} (TIM)	定时器分辨时间	-	1	-	t _{TIMCLK}
		f _{TIMCLK} = 64MHz	15.625	-	ns
Re _{TIM}	定时器分辨率	-	-	16	bits
t _{COUNTER}	当选择了内部时钟时, 16位计数器时钟周期	-	1	65536	t _{TIMCLK}
		f _{TIMCLK} = 64MHz	0.015625	1024	μs
t _{MAX_COUNT}	最大可能的计数	-	-	65536x65536	t _{TIMCLK}
		f _{TIMCLK} = 64MHz	-	67.109	s

4.3.15 IWDG特性

表 4-32 IWDG 最大和最小计数复位时间 (LSI = 32KHz)

预分频	IWDG_PREDIV.P D[2:0]	最小值 ⁽¹⁾ IWDG_RELV.REL[11:0]=0	最大值 ⁽¹⁾ IWDG_RELV.REL[11:0]=0xFFF	单位
/4	000	0.125	512	ms
/8	001	0.25	1024	
/16	010	0.5	2048	
/32	011	1	4096	
/64	100	2	8192	
/128	101	4	16384	
/256	11x	8	32768	

1. 由设计保证，不在生产中测试。

4.3.16 WWDG特性

表 4-33 WWDG最大和最小计数复位时间(APB1 PCLK1 = 32MHz)

预分频	WWDG_CFG.TIM ERB[1:0]	最小值 ⁽¹⁾ WWDG_CFG.W[13:0]=0x3F	最大值 ⁽¹⁾ WWDG_CFG.W[13:0]=0x3FFF	单位
/1	00	0.128	2089	ms
/2	01	0.256	4178	
/4	10	0.512	8356	
/8	11	1.024	16712	

1. 由设计保证，不在生产中测试。

4.3.17 I2C接口特性

除非特别说明，参数是使用环境温度， f_{PCLK} 频率和 V_{DD} 供电电压符合表 4-4 的条件测量得到。

N32G05x 产品的 I2C 接口符合标准 I2C 通信协议，但有如下限制：SDA 和 SCL 不是“真”开漏的引脚，当配置为开漏输出时，在引出脚和 VDD 之间的 PMOS 管被关闭，但仍然存在。

I2C 接口特性见下表，有关输入输出复用功能引脚(SDA 和 SCL)的特性详情，参见第 4.3.12 节。

表 4-34 I²C 接口特性

符号	参数	标准模式 ⁽¹⁾⁽²⁾		快速模式 ⁽¹⁾⁽²⁾		快速+模式 ⁽¹⁾⁽²⁾		单位
		最小	最大	最小	最大	最小	最大	
f_{SCL}	I2C 接口频率	0.0	100	0	400	0	1000	KHz
$t_{h(STA)}$	开始条件保持时间	4.0	-	0.6	-	0.26	-	μ s
$t_{w(SCLL)}$	SCL 时钟低时间	4.7	-	1.3	-	0.50	-	μ s
$t_{w(SCLH)}$	SCL 时钟高时间	4.0	-	0.6	-	0.26	-	μ s
$t_{su(STA)}$	重复的开始条件建立时间	4.7	-	0.6	-	0.26	-	μ s
$t_{h(SDA)}$	SDA 数据保持时间	-	3.45	-	0.9	-	0.4	μ s
$t_{su(SDA)}$	SDA 建立时间	250	-	100	-	50	-	ns
$t_{r(SDA)}$ $t_{r(SCL)}$	SDA 和 SCL 上升时间	-	1000	$20+0.1 C_b$	300	-	120	ns
$t_{f(SDA)}$ $t_{f(SCL)}$	SDA 和 SCL 下降时间	-	300	$20+0.1 C_b$	300	-	120	ns
$t_{su(STO)}$	停止条件建立时间	4.0	-	0.6	-	0.26	-	μ s
$t_{w(STO:STA)}$	停止条件至开始条件的时间 (总线空闲)	4.7	-	1.3	-	0.50	-	μ s
C_b	每条总线的容性负载	-	400	-	400	-	550	pf
t_{SP}	标准和快速模式下由模拟滤波器抑制的尖峰脉冲宽度	-	-	0	50	0	50	ns
$t_v(SDA)$	数据有效时间	-	3.45	-	0.9	-	0.45	μ s
$t_v(ACK)$	应答有效时间	-	3.45	-	0.9	-	0.45	

1. 由设计保证，不在生产中测试。

2. 为达到标准模式 I2C 的最大频率， f_{PCLK} 必须大于 2MHz。为达到快速模式 I2C 的最大频率， f_{PCLK} 必须大于 4MHz。

$t_{h(SI)}^{(1)}$		从模式	6	-	
$t_{a(SO)}^{(1)(2)}$	数据输出访问时间	从模式, $f_{PCLK} = 20\text{MHz}$	0	$3t_{PCLK}$	ns
$t_{dis(SO)}^{(1)(3)}$	数据输出禁止时间	从模式	2	10	ns
$t_{v(SO)}^{(1)}$	数据输出有效时间	从模式(使能边沿之后)	-	31	ns
$t_{v(MO)}^{(1)}$		主模式(使能边沿之后)	-	15	
$t_{h(SO)}^{(1)}$	数据输出保持时间	从模式(使能边沿之后)	7	-	ns
$t_{h(MO)}^{(1)}$		主模式(使能边沿之后)	0	-	

1. 在 $V_{DD}=3.3\text{V}/5\text{V}$ 、负载电容 $C=20\text{pF}$ 下仿真测试所得，不在生产中测试。
2. 最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间。
3. 最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间。

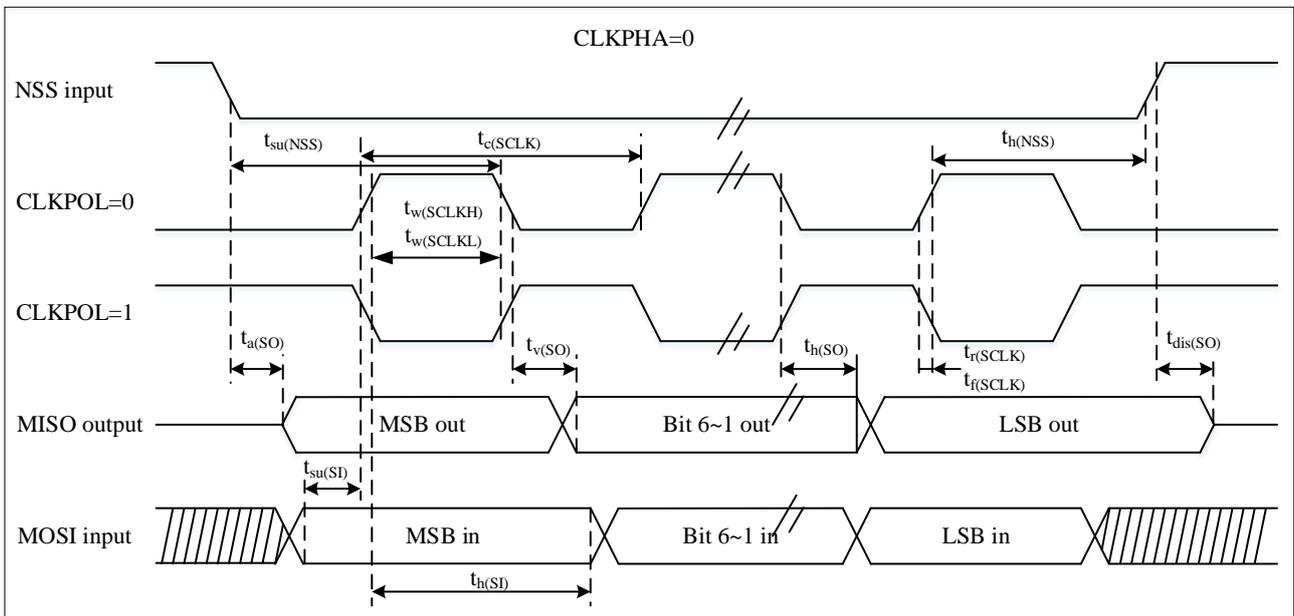
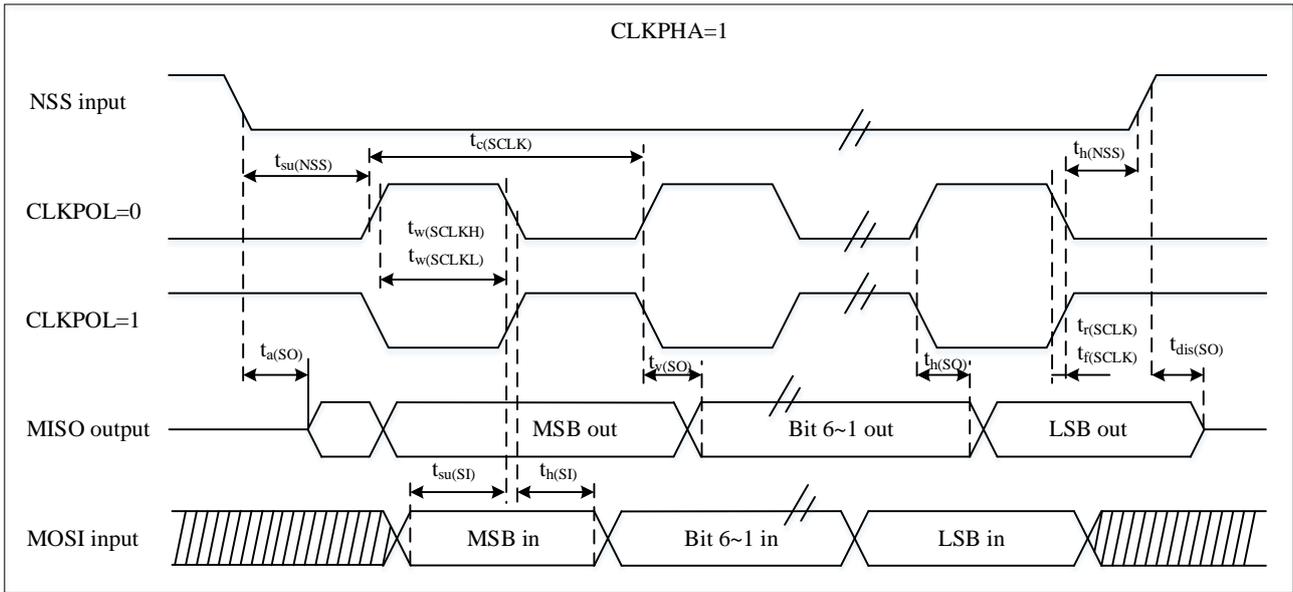
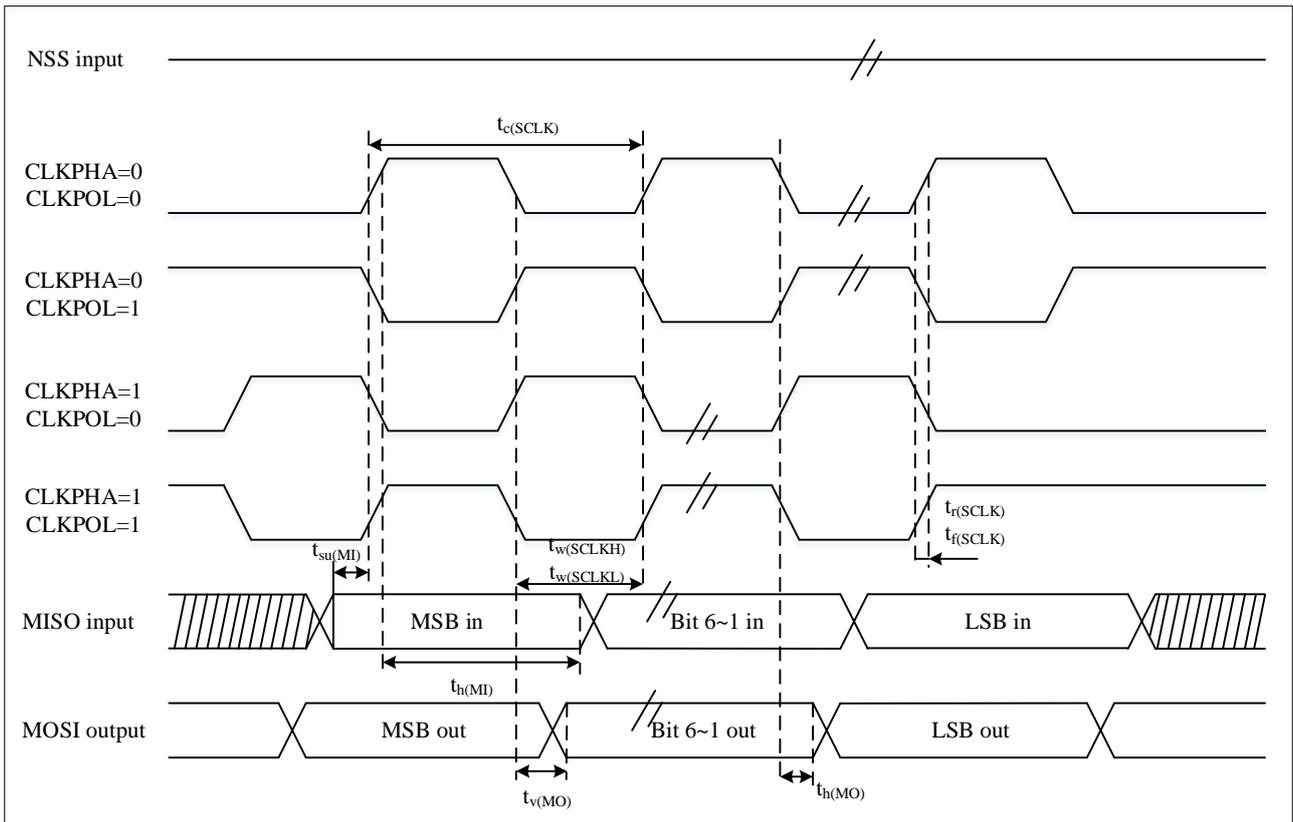
 图 4-10 SPI 时序图 – 从模式和 $CPHA=0$


图 4-11 SPI 时序图 – 从模式和 CPHA=1⁽¹⁾



1. 测量点设置于CMOS电平：0.3V_{DD}和0.7V_{DD}。

图 4-12 SPI 时序图 – 主模式⁽¹⁾



1. 测量点设置于CMOS电平：0.3V_{DD}和0.7V_{DD}。

4.3.19 控制器局域网(CAN)接口特性

有关输入输出复用功能引脚(CAN_TX 和 CAN_RX)的特性详情, 参见第 4.3.12 节。

4.3.20 12位模数转换器(ADC)电气参数

除非特别说明, 表 4-36 参数是使用符合表 4-4 的条件的环境温度、 f_{HCLK} 频率和 V_{DD} 供电电压测量得到。

表 4-36 ADC 特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$V_{DD}^{(1)}$	供电电压	-	2.4 ⁽²⁾	-	5.5	V
V_{REF+}	正参考电压	-	V_{DD}			V
f_{ADC}	ADC时钟频率	-	-	-	24	MHz
$f_s^{(1)}$	采样速率	-	0.03	-	1	Msp/s
V_{AIN}	转换电压范围	-	0 (V_{SSA} 或 V_{REF-} -连接到地)	-	V_{REF+}	V
$R_{AIN}^{(1)}$	外部输入阻抗	-	参见公式1			Ω
$R_{ADC}^{(1)}$	ADC输入电阻	$V_{DD}=3.3V$	600	750	975	Ω
		$V_{DD}=5.0V$	360	450	585	Ω
$C_{ADC}^{(1)}$	内部采样和保持电容	-	22	26	30	pF
SNDR	信噪失真	$V_{DD}=3.3V$	57	58.5	73	dB
		$V_{DD}=5.0V$	57.7	58.9	74	dB
$T_S^{(1)}$	采样周期数	-	6	-	3040	$1/f_{ADC}$
$t_{STAB}^{(1)}$	上电时间	-	48	-	-	$1/f_{ADC}$
$t_{CONV}^{(1)}$	转换时间	-	12			$1/f_{ADC}$
I_{ADC}	ADC的电流消耗	-	-	1.47	5.88	mA

1. 由设计保证, 不在生产中测试。
2. 2.4V 供电时, ADC 性能指标会有所下降

公式 1: 最大 R_{AIN} 公式

$$R_{AIN} < \frac{T_S}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

上述公式(公式 1)用于决定最大的外部阻抗, 使得误差可以小于 1/4 LSB。其中 N=12(表示 12 位分辨率)。

表 4-37 ADC 采样时间(VDD = 3.3V)⁽¹⁾

分辨率	Rin (kΩ)	最小采样时间 (ns)
12-bit	0.9	500
	1.2	583
	2.2	833
	3.8	1250
	8.1	2333
	10.8	3000
	18.7	5000
	28.9	7583
	38.5	10000
	61.6	15833

1. 由设计保证, 不在生产中测试。

 表 4-38 ADC 采样时间(VDD = 5.0V)⁽¹⁾

分辨率	Rin (kΩ)	最小采样时间 (ns)
12-bit	0.6	500
	0.9	583
	1.9	833
	3.5	1250
	7.8	2333
	10.5	3000
	18.4	5000
	28.6	7583
	38.2	10000
	61.3	15833

1. 由设计保证, 不在生产中测试。

 表 4-39 ADC 精度 – 局限的测试条件⁽¹⁾

符号	参数	测试条件	典型值	最大值 ⁽²⁾	单位	
EO	偏移误差	f _{ADC} = 24 MHz, Sample rate=1M sps, V _{DDA} = 3.3V, TA = 25 °C	±2	±5	LSB	
ED	微分线性误差		±0.6	±5		
EL	积分线性误差		±1.5	±2		
EO	偏移误差		f _{ADC} = 24 MHz, Sample rate=1M sps, V _{DDA} = 5.0V, TA = 25 °C	±2		±5
ED	微分线性误差			±0.6		1.5
EL	积分线性误差			±1.5		2.5
ENOB	有效位	f _{HCLK} = 64MHz(时钟源HSI_8M), f _{ADC} = 24 MHz, sample rate=1M sps, TA = 25 °C	9.4	-	Bits	
		f _{HCLK} = 64MHz(时钟源HSE), f _{ADC} = 16 MHz, sample rate=667K sps, TA = 25 °C	10.3	-		

1. ADC 精度与反向注入电流的关系: 需要避免在任何标准的模拟输入引脚上注入反向电流, 因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上, (引脚与地之间) 增加一个肖特基二极管。

2. 由特征测试保证, 不在生产中测试。

图 4-13 ADC精度特性

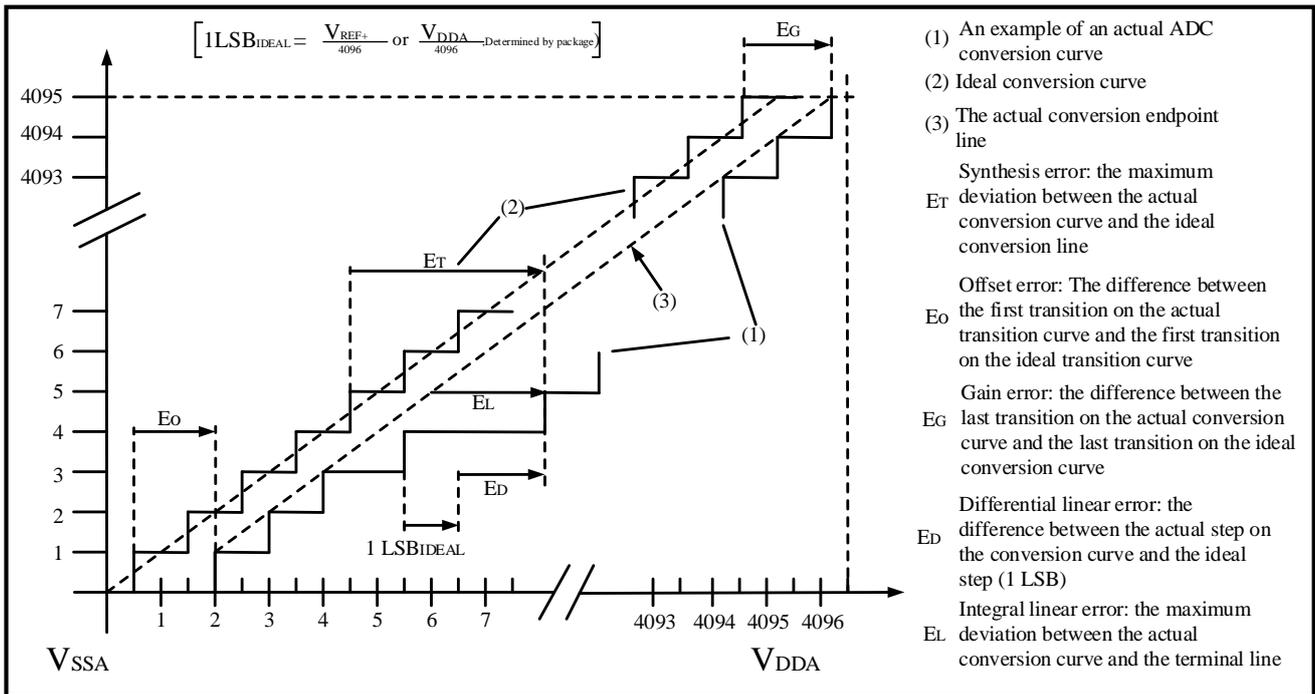
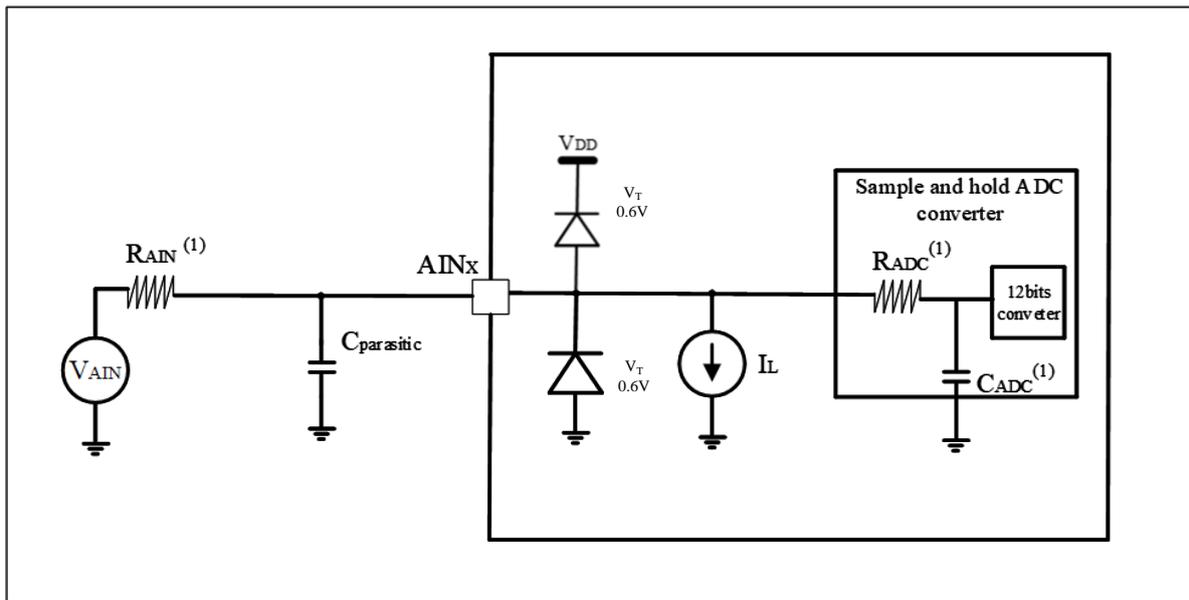


图 4-14 使用 ADC 典型的连接图



1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 的数值，参见表 4-36。
2. $C_{parasitic}$ 表示PCB(与焊接和PCB布局质量相关)与焊盘上的寄生电容(大约7pF)。较大的 $C_{parasitic}$ 数值将降低转换的精度，解决的办法是减小 f_{ADC} 。

4.3.21 12位数模转换器(DAC)电气参数

除非特别说明，表 4-40 DAC特性的参数是使用符合表 4-4的条件的环境温度、 f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。

表 4-40 DAC 特性⁽¹⁾

符号	参数	最小值	典型值	最大值	单位	注释
----	----	-----	-----	-----	----	----

V _{DDA}	模拟供电电压	2.97	-	5.5	V	-
V _{REF+}	参考电压	2.97	-	5.5	V	V _{REF+} 必须始终低于 V _{DDA}
R _L	缓冲器打开时的负载电阻	5	-	-	kΩ	DAC_OUT 和 V _{SSA} 之间的最小负载电阻
C _L	负载电容	-	-	50	pF	在 DAC_OUT 引脚上的最大电容
DAC_OUT 最小	缓冲器打开时的 DAC_OUT 电压	0.2	-	-	V	给出了最大的 DAC 输出跨度
DAC_OUT 最大	缓冲器打开时的 DAC_OUT 电压	-	-	V _{REF+} - 0.2	V	当 V _{REF+} =5.5V 对应于 12 位输入数值 0x095~0xF6B, 当 V _{REF+} =2.97V 对应于 12 位输入数值 0x114~0xEEC。
	缓冲器关闭时的 DAC_OUT 电压	-	-	V _{REF+} - 5LSB		
I _{DD}	在静止模式(待机模式)DAC 直流消耗 (V _{DDD} +V _{DDA} +V _{REF+})	-	900	1500	μA	无负载, 输入中值 0x800
		-	1400	1600		无负载, 当 V _{REF+} =5.5V 时输入最大值
I _{DDQ}	在断电模式 DAC 直流消耗 (V _{DDD} +V _{DDA} +V _{REF+})	-	10	2200	nA	无负载
	在断电模式 DAC 直流消耗(V _{DDA} +V _{REF+})	-	10	2200		
DNL	非线性失真(2个连续代码间的偏差)	-	-	±2.4	LSB	DAC 配置为 10 位(始终是 B1=B0=0)
INL	非线性积累(在代码 i 时测量的数值与代码 0 和代码 4095 之间的连线间的偏差)	-	-	±6	LSB	DAC 配置为 12 位
偏移	偏移误差(代码 0x800 时测量的数值与理想数值 V _{REF+} /2 之间的偏差)	-	-	±12	mV	DAC 配置为 12 位
		-	-	±12	LSB	V _{REF+} =3.3V 时,DAC 配置为 12 位
增益误差	增益误差	-	-	±0.6	%	DAC 配置为 12 位
放大器增益	开环时放大器的增益	50	85	87.5	dB	5kΩ 的负载(最大负载)
t _{SETTLING}	设置时间(全范围: 10 位输入代码从最小值转变为最大值, DAC_OUT 达到其终值的 ±1 LSB)	2	3	4	μs	C _{LOAD} ≤ 50pF R _{LOAD} ≥ 5kΩ
更新速率	当输入代码为较小变化时(从数值 i 变到 i+1LSB), 得到正确 DAC_OUT 的最大频率	-	-	1	MS/s	C _{LOAD} ≤ 50pF R _{LOAD} ≥ 5kΩ

tWAKEUP	从关闭状态唤醒的时间(PDV18 从 1 变到 0)	2	6.5	10	μs	$C_{LOAD} \leq 50pF$, $R_{LOAD} \geq 5k\Omega$ 输入代码介于最小和最大可能数值之间
PSRR+	供电抑制比(相对于 V_{DD33A})(静态直流测量)	-72	-60	-40	dB	没有 R_{LOAD} , $C_{LOAD} \leq 50pF$

1. 由综合评估保证, 不在生产中测试。

4.3.22 比较器(COMP)电气参数

除非特别说明, 参数是使用符合表 4-4 的条件的环境温度、 f_{HCLK} 频率和 V_{DD} 供电电压测量得到。

表 4-41 COMP 特性

符号	参数	条件	最小	典型	最大值	单位
V_{DD}	模拟供电电压	正常模式	2.4	3.3	5.5	V
V_{IN}	输入电压范围	V_{IN}	0	-	V_{DD}	
tSTART ⁽¹⁾	比较器启动建立时间	-	-	-	7	us
t _d	Propagation delay for 200mV step with 100mV overdrive	下降沿	70	110	150	ns
		上升沿	64	102	135	
V_{OFFSET}	比较器输入失调误差	V_{IN}	-	±5	±20	mV
V_{hys}	比较滞后电压	No hysteresis	-	0	-	mV
		Low hysteresis	4.5	7	34	
		Medium hysteresis	15	17	64	
		High hysteresis	17.5	32	94	
IDD	比较器电流消耗	Static	-	167	219	μA
		cmp With 50 kHz ±100 mV overdrive square signal	-	168	220	
		cmp static with 1* 6bit dac on	-	207	416	
		cmp static with 2* 6bit dac on	-	247	483	

1. 由设计保证, 不在生产中测试。

4.3.23 液晶显示驱动器 (Segment LCD) 特性

除非特别说明, 参数是使用符合表 4-4 的条件的环境温度、 f_{HCLK} 频率和 V_{DD} 供电电压测量得到。

表 4-42 LCD 特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V_{LCD}	LCD 外接电压		-	5.0	5.5	V
I_{LCD}	Supply current from V_{DD} at $V_{DD} = 5.0 V$	缓冲关闭+只有高阻开启	-	4.5	6.75	μA
		缓冲关闭+高、低阻都开启	-	24.7	30	μA
I_{VLCD}	Supply current from V_{LCD} ($V_{LCD} = 5.0V$)+高阻开启	缓冲打开 (BUFEN = 1, 1/2 Bias)	-	7.2	10.8	μA
		缓冲打开 (BUFEN = 1, 1/3 Bias)	-	12.86	19.29	

		缓冲打开 (BUFEN = 1, 1/4 Bias)	-	12.86	19.29	
R _{HN}	低驱动电阻网络的总高电阻值		0.75	1	1.25	MΩ
R _{LN}	高驱动电阻网络的总低电阻值		150	200	250	KΩ
V ₄₄	Segment/Common highest level voltage		-	V _{LCD}	-	V
V ₃₄	Segment/Common 3/4 level voltage		2.375 ⁽²⁾	3/4 V _{LCD}	2.575 ⁽²⁾	
V ₂₃	Segment/Common 2/3 level voltage		-	2/3 V _{LCD}	-	
V ₁₂	Segment/Common 1/2 level voltage		1.55 ⁽²⁾	1/2 V _{LCD}	1.75 ⁽²⁾	
V ₁₃	Segment/Common 1/3 level voltage		-	1/3 V _{LCD}	-	
V ₁₄	Segment/Common 1/4 level voltage		0.725 ⁽²⁾	1/4 V _{LCD}	0.925 ⁽²⁾	
V ₀	Segment/Common lowest level voltage		-	0	-	

1. 由设计保证, 不在生产中测试。
2. VDD = 3.3V, 在生产中测试

 表 4-43 LCD 对比度可调⁽¹⁾

档位	VLCD(HR)			VLCD(LR)		
	最小值	典型值	最大值	最小值	典型值	最大值
0	Typ*0.94	1.00 * VCC	Typ*1.06	Typ*0.94	1.00 * VCC	Typ*1.06
1	Typ*0.94	0.97 * VCC	Typ*1.06	Typ*0.94	0.96 * VCC	Typ*1.06
2	Typ*0.94	0.94 * VCC	Typ*1.06	Typ*0.94	0.92 * VCC	Typ*1.06
3	Typ*0.94	0.9 * VCC	Typ*1.06	Typ*0.94	0.88 * VCC	Typ*1.06
4	Typ*0.94	0.87 * VCC	Typ*1.06	Typ*0.94	0.84 * VCC	Typ*1.06
5	Typ*0.94	0.84 * VCC	Typ*1.06	Typ*0.94	0.8 * VCC	Typ*1.06
6	Typ*0.94	0.8 * VCC	Typ*1.06	Typ*0.94	0.76 * VCC	Typ*1.06
7	Typ*0.94	0.77 * VCC	Typ*1.06	Typ*0.94	0.73 * VCC	Typ*1.06
8	Typ*0.94	0.74 * VCC	Typ*1.06	Typ*0.94	0.7 * VCC	Typ*1.06
9	Typ*0.94	0.7 * VCC	Typ*1.06	Typ*0.94	0.66 * VCC	Typ*1.06
10	Typ*0.94	0.67 * VCC	Typ*1.06	Typ*0.94	0.63 * VCC	Typ*1.06
11	Typ*0.94	0.64 * VCC	Typ*1.06	Typ*0.94	0.6 * VCC	Typ*1.06
12	Typ*0.94	0.61 * VCC	Typ*1.06	Typ*0.94	0.57 * VCC	Typ*1.06
13	Typ*0.94	0.58 * VCC	Typ*1.06	Typ*0.94	0.53 * VCC	Typ*1.06
14	Typ*0.94	0.54 * VCC	Typ*1.06	Typ*0.94	0.5 * VCC	Typ*1.06
15	Typ*0.94	0.5 * VCC	Typ*1.06	Typ*0.94	0.47 * VCC	Typ*1.06

1. 由设计保证, 不在生产中测试。

4.3.24 温度传感器 (TS) 特性

除非特别说明, 参数是使用符合表 4-4 的条件的环境温度、f_{HCLK} 频率和 V_{DD} 供电电压测量得到。

表 4-44 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
$T_L^{(1)}$	V_{SENSE} 相对于温度的线性度	-	± 1	± 5	$^{\circ}\text{C}$
Avg_Slope ⁽¹⁾	平均斜率	-3.7	-3.9	-4.3	mV/ $^{\circ}\text{C}$
$V_{25}^{(1)}$	在25 $^{\circ}\text{C}$ 时的电压	1.3	1.32	1.34	V
$t_{START}^{(1)}$	建立时间	4	-	10	μs
$T_{S_temp}^{(2)(3)}$	当读取温度时，ADC采样时间	8.2	-	17.1	μs

1. 由特征测试结果保证，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 最短的采样时间可以由应用程序通过多次循环决定。

5 封装尺寸

5.1 LQFP64 (14x14mm)

图 5-1 N32G052RBL7 封装尺寸

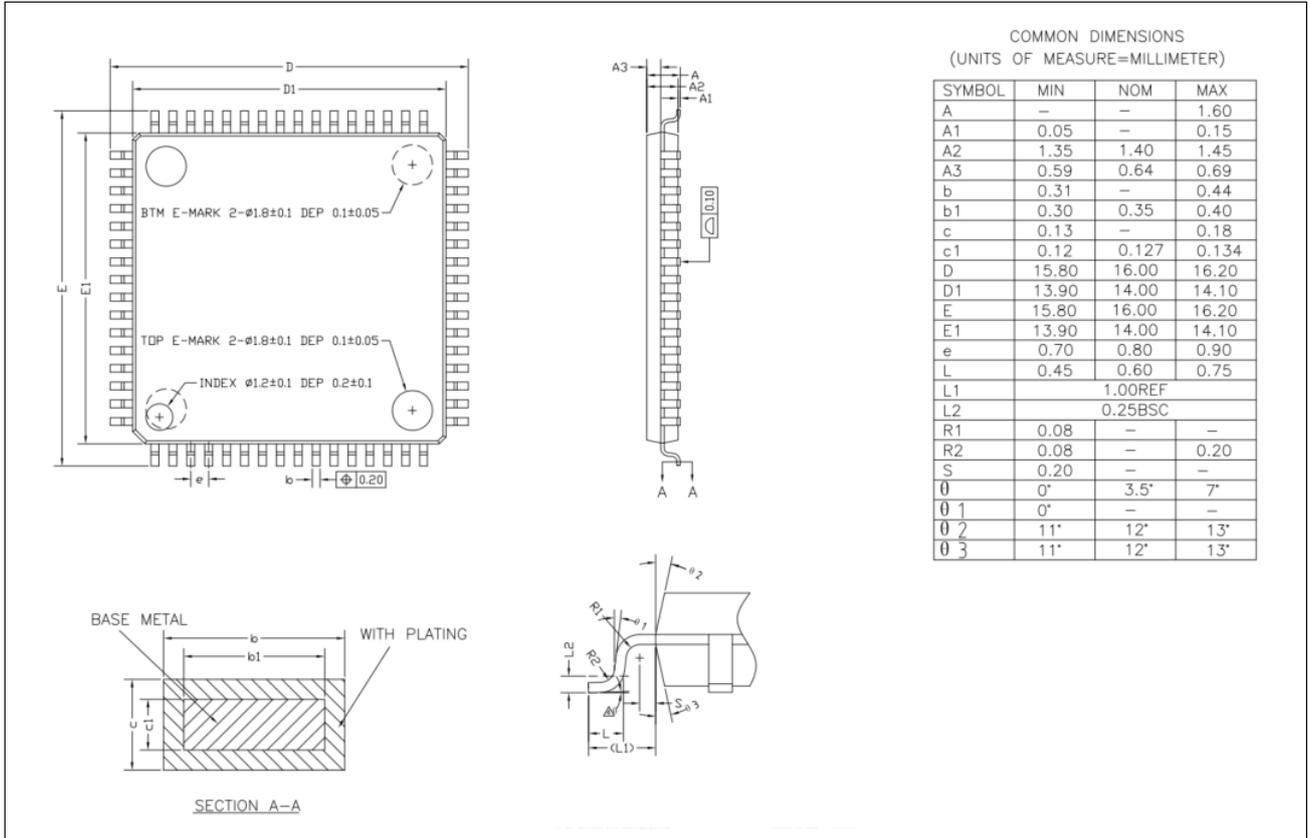
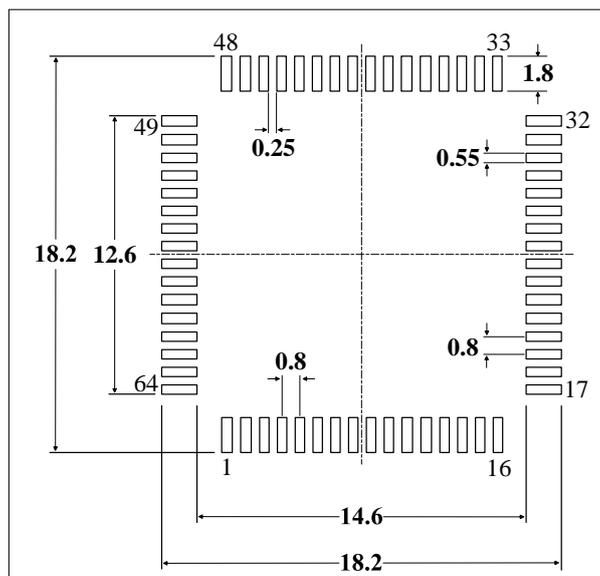


图 5-2 LQFP64(14x14mm)封装焊盘建议⁽¹⁾



1. 尺寸单位为毫米

5.2 LQFP64 (10x10mm)

图 5-3 N32G052RBL7B 封装尺寸

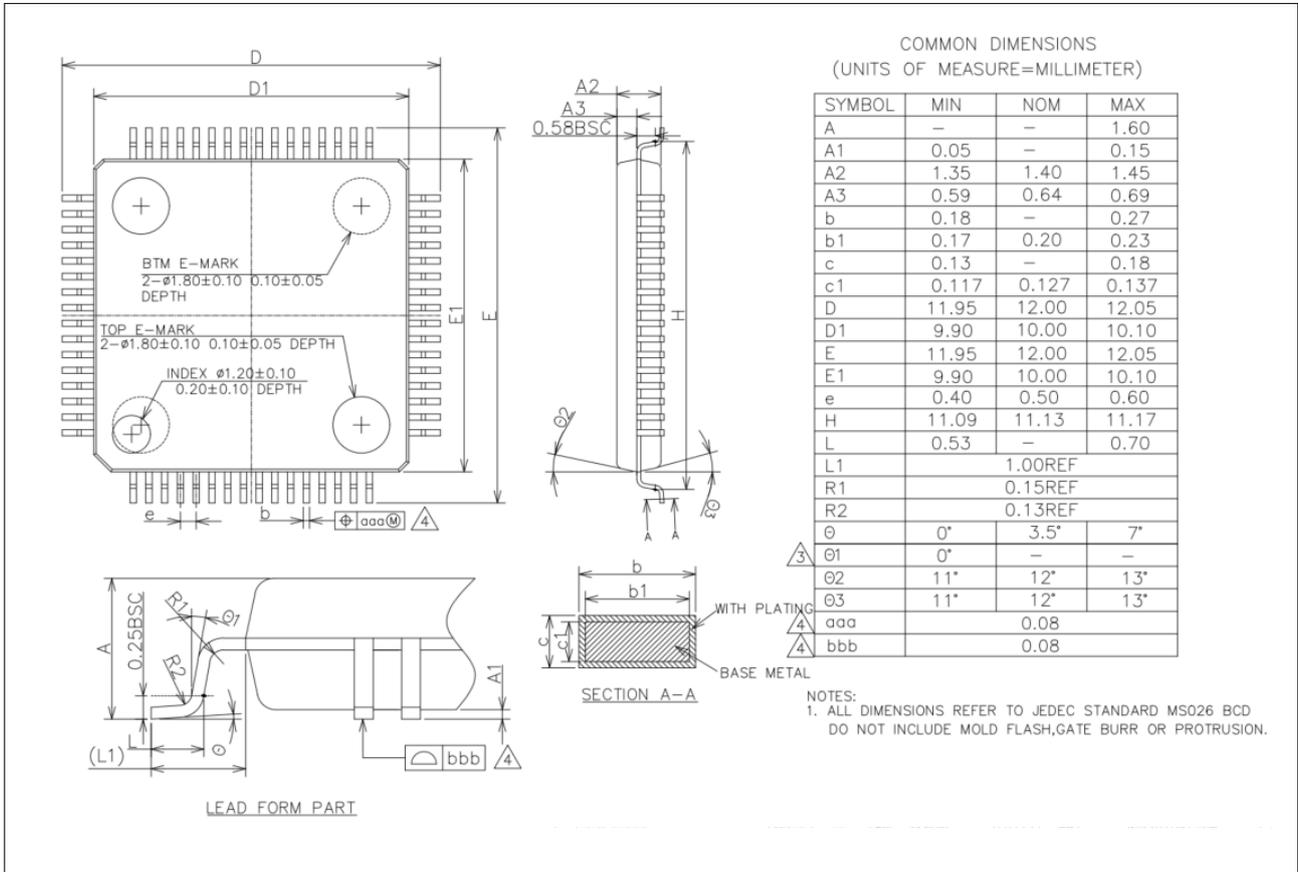
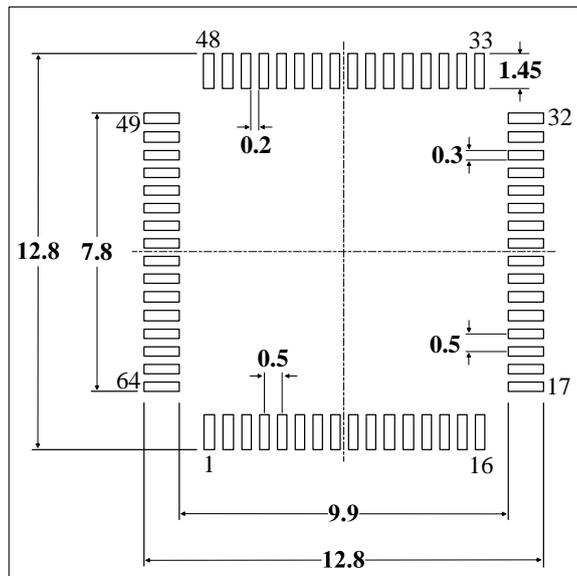


图 5-4 LQFP64(10x10mm)封装焊盘建议⁽¹⁾



1. 尺寸单位为毫米

5.3 LQFP64 (7x7mm)

图 5-5 N32G052RBL7C 封装尺寸

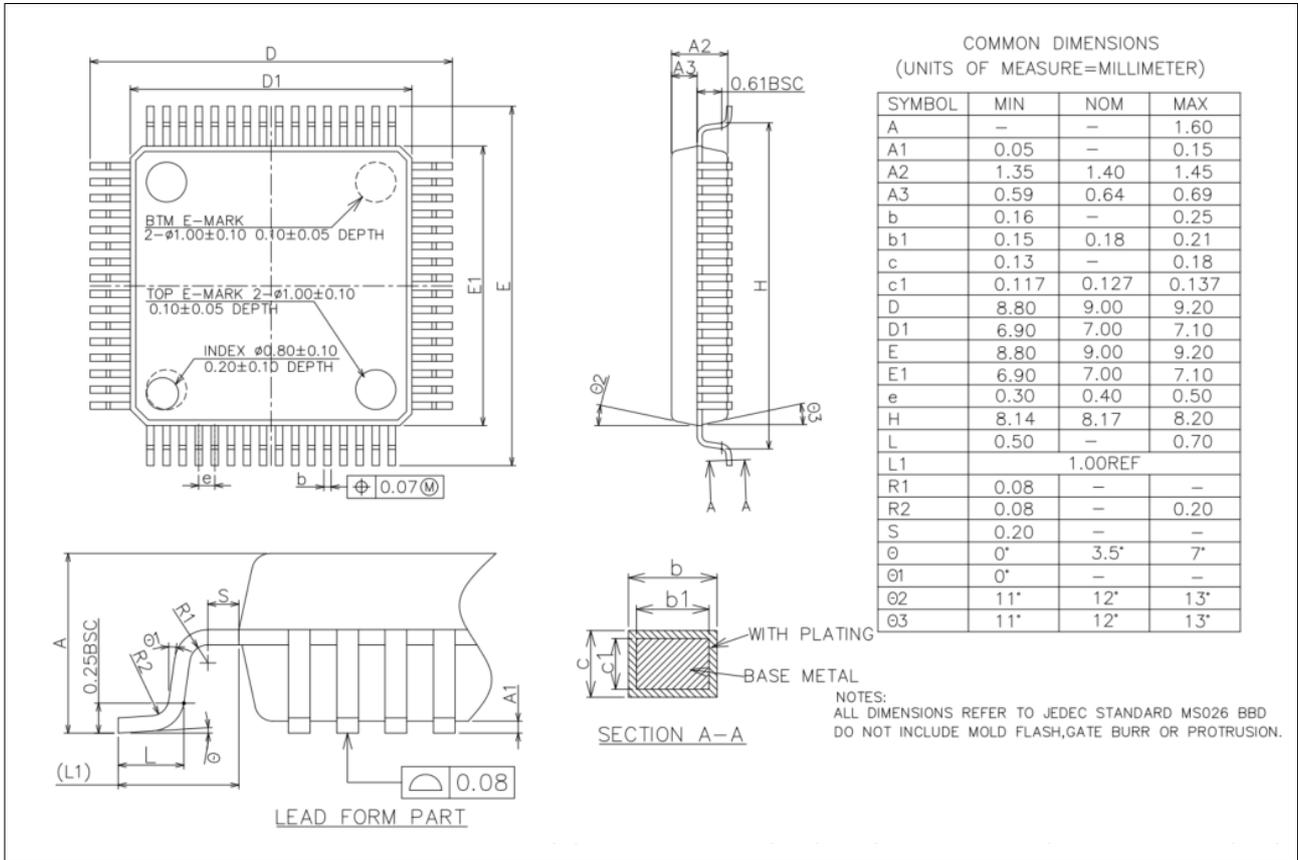
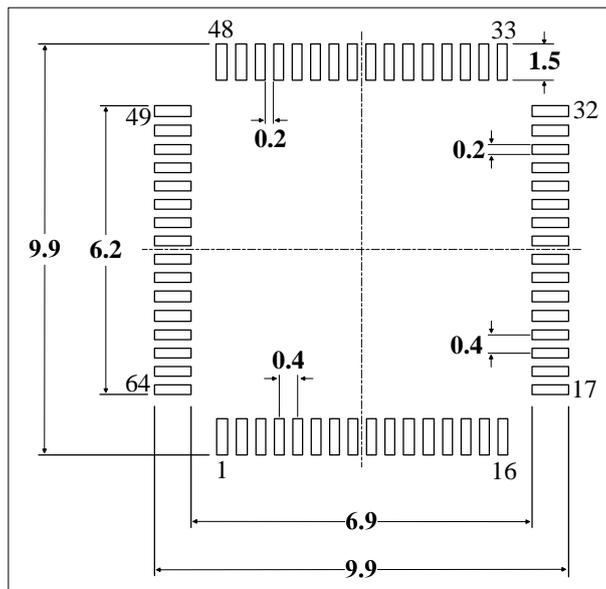


图 5-6 LQFP64(7x7mm)封装焊盘建议⁽¹⁾



1. 尺寸单位为毫米

5.4 LQFP48 (7x7mm)

图 5-7 N32G052CBL7 封装尺寸

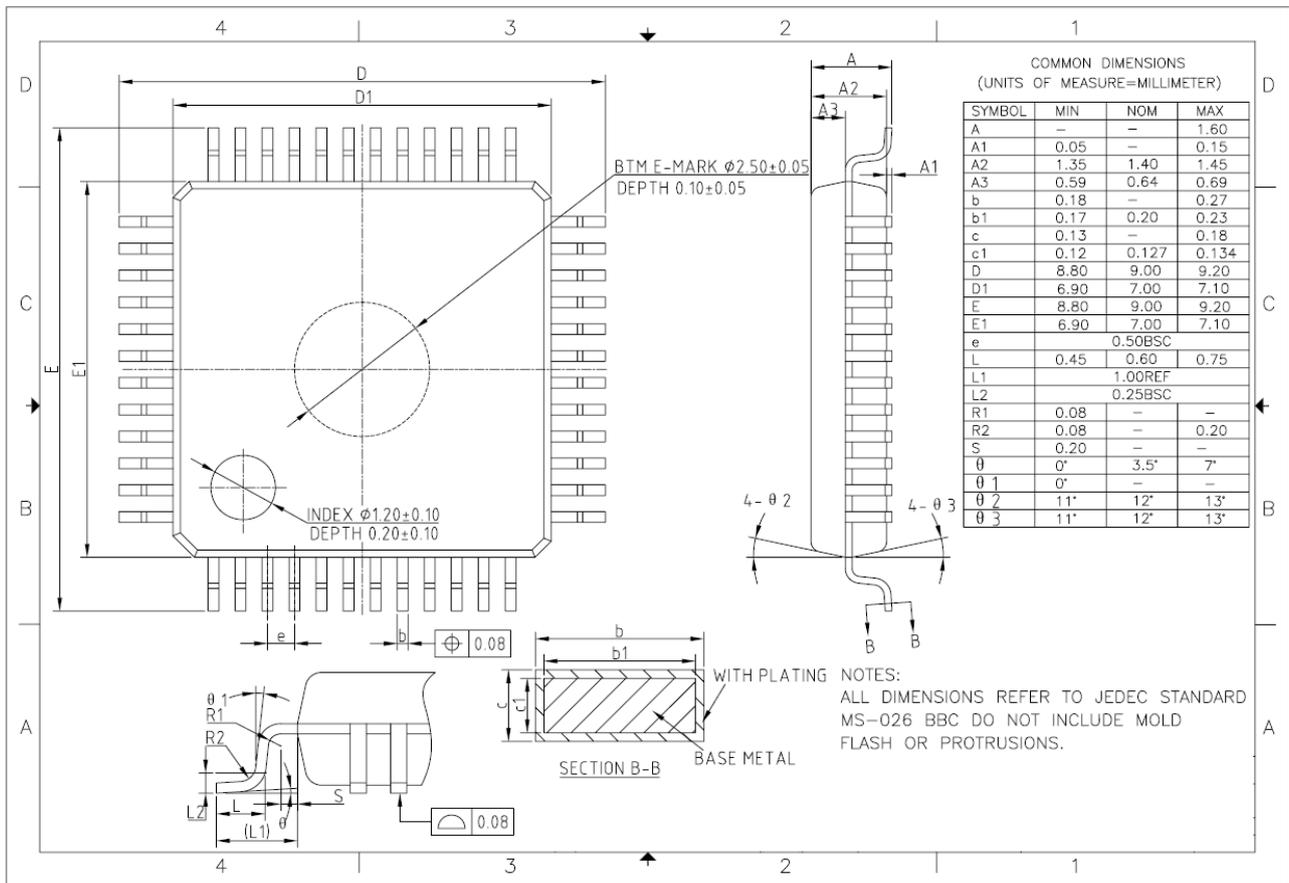
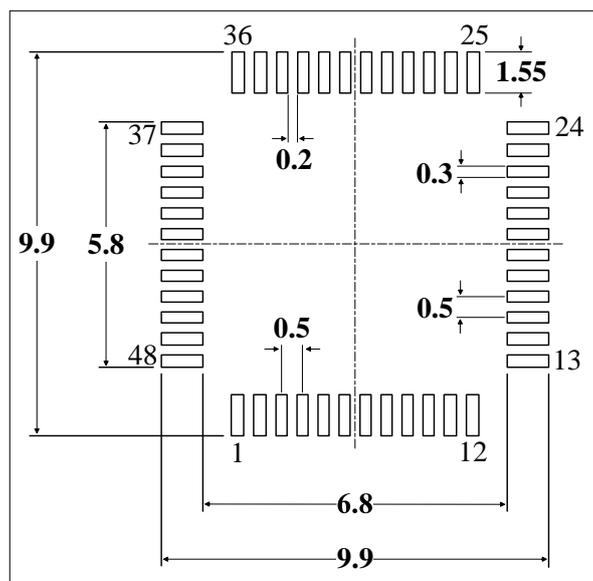


图 5-8 LQFP48(7x7mm)封装焊盘建议⁽¹⁾



1. 尺寸单位为毫米

5.5 LQFP44-A (10x10mm)

图 5-9 N32G052SBL7A 封装尺寸

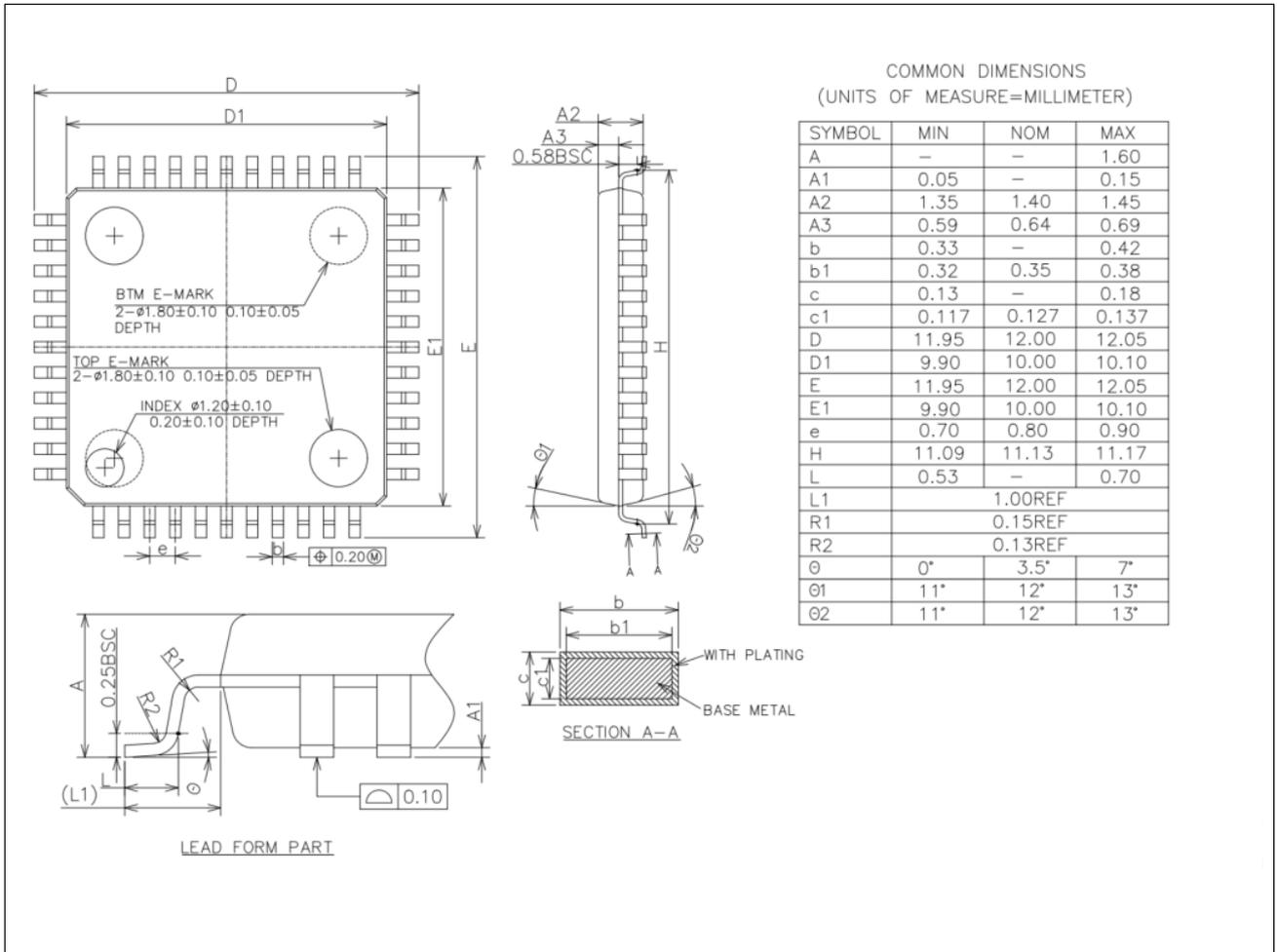
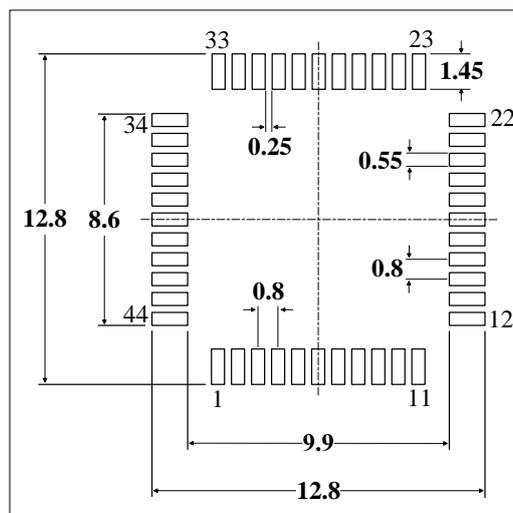


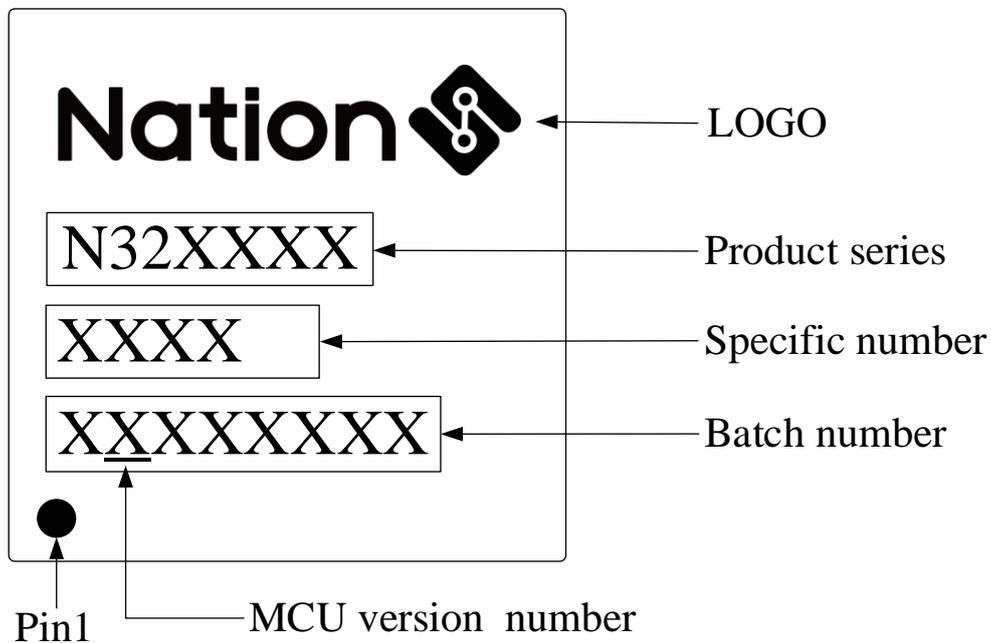
图 5-10 LQFP44-A(10x10mm)封装焊盘建议⁽¹⁾



1. 尺寸单位为毫米

5.7 丝印说明

图 5-13 丝印说明图



6 订购信息

图 6-1 N32G052系列订货代码信息图示

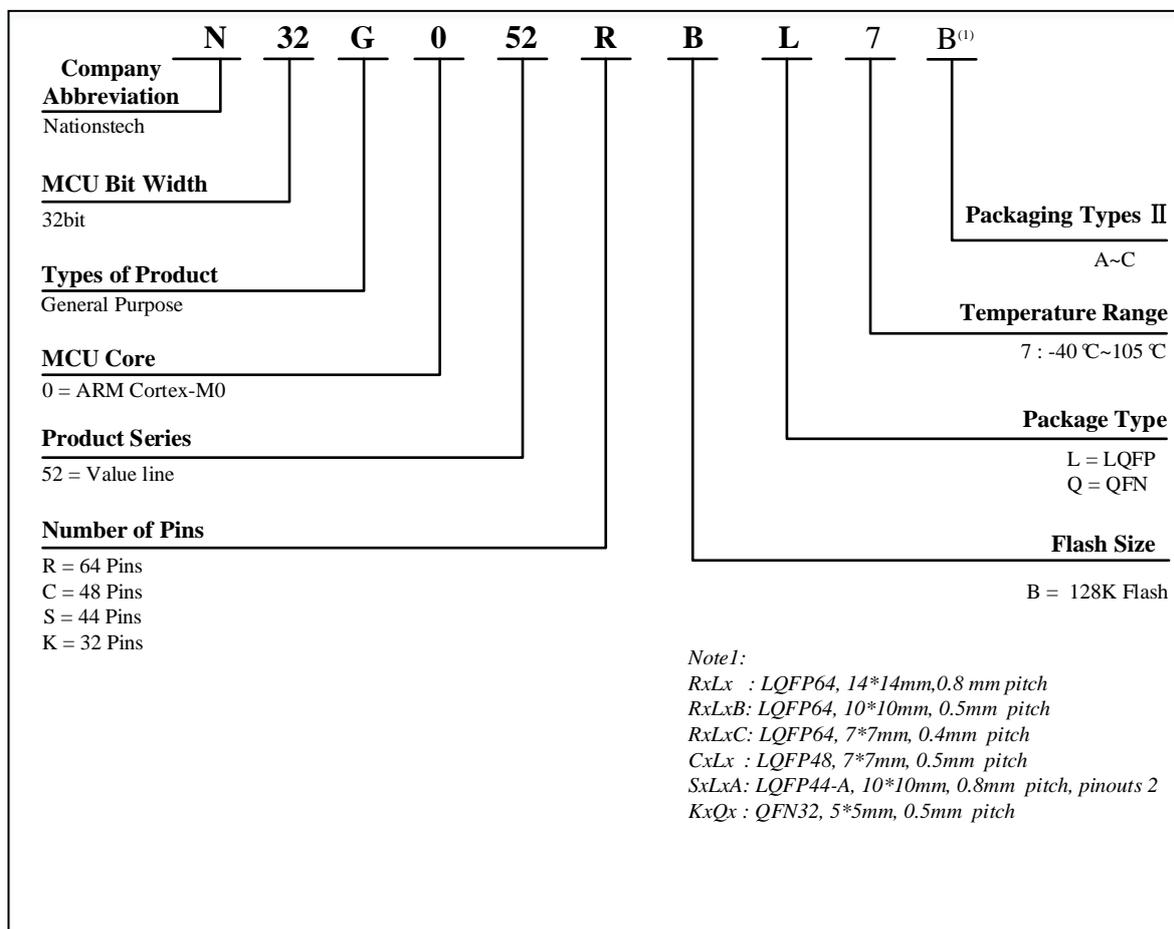


表 6-1 N32G052系列订货代码信息

订购型号 ⁽¹⁾	封装	封装尺寸	包装 ⁽²⁾	SPQ ⁽³⁾	温度范围
N32G052RBL7	LQFP64	14*14mm	Tray	90	-40°C~105°C
N32G052RBL7B	LQFP64	10*10mm	Tray	160	-40°C~105°C
N32G052RBL7C	LQFP64	7*7mm	Tray	250	-40°C~105°C
N32G052CBL7	LQFP48	7*7mm	Tray	250	-40°C~105°C
N32G052SBL7A	LQFP44	10*10mm	Tray	160	-40°C~105°C
N32G052KBQ7	QFN32	5*5mm	Tray	490	-40°C~105°C
			Reel	2500	

1. 最新详细订购信息见选型手册。
2. 此包装为基础包装，如果有其他需求，请联系国民技术
3. 最小包装数量

7 版本历史

日期	版本	修改
2024.5.15	V0.9.0	1. 创建文档
2024.7.15	V1.0.0	1. 新增多个系列型号
2024.12.2	V1.1.0	<ol style="list-style-type: none"> 1. 删除“表 4-20 低功耗模式的唤醒时间”的从 sleep 唤醒时间的典型值； 2. 新增 LQFP44 的两个封装型号 3. 删除 PD 模式下所有电源关闭描述 4. UART 模式配置增加 IrDA&LIN 模式 5. 新增订购信息章节，包含订购信息、原命名规则图 6. 引脚复用关系，新增 I2C2_SCL/I2C1_SDA/COMP1_INM 7. 封装尺寸图添加焊盘建议图 8. 更新丝印说明 9. 删除 VLCD 可选电源描述
2026.1.21	V1.2.0	<ol style="list-style-type: none"> 1. 删除 LQFP44 封装型号 2. LQFP44 pinout 2 统一命名为 LQFP44-A 3. 表 4-1 电压特性参数更新 4. 表 4-2 $\Sigma I_{INJ}(PIN)$ 参数更新 5. 表 4-3 温度特性参数更新 6. 表 4-4 通用工作条件，时钟频率添加最小值 7. 表 4-5 V_{DD} 上升速率最大值更新 8. 表 4-6 $V_{LVRhyst}$、$V_{POR/PDR}$、$V_{PDR/PORhyst}$、$T_{RSTTEMPO}$ 参数添加最大/最小值，添加 $T_{PVDresp}$ 参数 9. 表 4-7 内置的参考电压参数更新 10. 表 4-16 删除 $C_{in}(HSE)$ 参数，更新 $t_{r(HSE)}$ 最大值 11. 表 4-17 f_{OSC_IN} 参数更新 12. 表 4-18 $t_{SU(HSI)}$、$I_{DD(HSI)}$ 参数更新 13. 表 4-19 $I_{DD(LSI)}$ 最大值更新 14. 表 4-21 Jitter 参数更新 15. 表 4-22 t_{PROG}、t_{ERASE}、t_{ME} 添加最大/最小值

	<ol style="list-style-type: none">16. 表 4-26 V_{OH}/V_{OL}、R_{PU}、R_{PD} 参数更新17. 表 4-36 R_{ADC}、C_{ADC}、$SNDR$、T_S、I_{ADC} 添加最大最小值参数18. 新增表 4-38 ADC 5V 下的采样时间19. 表 4-39 EO 添加最大值20. 更新图 4-14 使用 ADC 典型的连接图21. 表 4-40 删除 V_{SSA} 参数，更新偏移、增益误差、$t_{SETTLING}$、t_{WAKEUP}、$PSRR+$ 参数22. 表 4-41 t_d、V_{OFFSET}、V_{hys}、I_{DD} 添加最大最小值23. 表 4-42 LCD 特性添加最大最小值24. 表 4-43 LCD 对比度可调添加最大最小值25. 表 4-44 V_{25} 参数更新26. 更新页眉/页脚
--	---

8 声明

国民技术股份有限公司（下称“国民技术”）对此文档拥有专属产权。依据中华人民共和国的法律、条约以及世界其他法域相适用的管辖，此文档及其中描述的国民技术产品（下称“产品”）为公司所有。

国民技术在此并未授予专利权、著作权、商标权或其他任何知识产权许可。所提到或引用的第三方名称或品牌（如有）仅用作区别之目的。

国民技术保留随时变更、订正、增强、修改和改良此文档的权利，恕不另行通知。请使用人在下单购买前联系国民技术获取此文档的最新版本。

国民技术竭力提供准确可信的资讯，但即便如此，并不推定国民技术对此文档准确性和可靠性承担责任。

使用此文档信息以及生成产品时，使用者应当进行合理的设计、编程并测试其功能性和安全性，国民技术不对任何因使用此文档或本产品而产生的任何直接、间接、意外、特殊、惩罚性或衍生性损害结果承担责任。

国民技术对于产品在系统或设备中的应用效果没有任何故意或保证，如有任何应用在其发生操作不当或故障情况下，有可能致使人员伤亡、人身伤害或严重财产损失，则此类应用被视为“不安全使用”。

不安全使用包括但不限于：外科手术设备、原子能控制仪器、飞机或宇宙飞船仪器、所有类型的安全装置以及其他旨在支持或维持生命的应用。

所有不安全使用的风险应由使用人承担，同时使用人应使国民技术免于因为这类不安全使用而导致被诉、支付费用、发生损害或承担责任时的赔偿。

对于此文档和产品的任何明示、默示之保证，包括但不限于适销性、特定用途适用性和不侵权的保证，国民技术可在法律允许范围内进行免责。

未经明确许可，任何人不得以任何理由对此文档的全部或部分进行使用、复制、修改、抄录和传播。