

N32G003 系列

32-bit ARM® Cortex®-M0 微控制器

用户手册 V1.3.0

目录

1 文中的缩写	18
1.1 寄存器位操作缩写列表	18
1.2 可用外设	18
2 存储器和总线架构	19
2.1 系统架构	19
2.1.1 总线架构	19
2.1.2 总线地址映射	20
2.1.3 启动管理	22
2.2 存储系统 (Memory system)	22
2.2.1 FLASH 规格	22
2.2.2 SRAM	30
2.2.3 FLASH 寄存器描述	30
3 电源控制 (PWR)	39
3.1 通用描述	39
3.1.1 电源	39
3.1.2 电压监控	40
3.2 电源管理	42
3.2.1 STOP 模式	43
3.2.2 PD 模式	44
3.3 Debug 模式	44
3.3.1 低功耗模式调试支持	44
3.3.2 外设调试支持	45
3.4 PWR 寄存器	45
3.4.1 PWR 寄存器总览	45
3.4.2 电源控制寄存器 (PWR_CTRL)	46
3.4.3 电源控制状态寄存器 (PWR_CTRLSTS)	47
3.4.4 电源控制寄存器 2 (PWR_CTRL2)	48
3.4.5 电源控制寄存器 3 (PWR_CTRL3)	50
3.4.6 电源控制寄存器 4 (PWR_CTRL4)	50
3.4.7 电源控制寄存器 5 (PWR_CTRL5)	51
3.4.8 电源控制寄存器 6 (PWR_CTRL6)	52
3.4.9 调试控制寄存器 (DBG_CTRL)	52
4 复位和时钟控制(RCC).....	54
4.1 复位控制单元	54
4.1.1 电源复位	54
4.1.2 系统复位	54
4.2 时钟控制单元	56
4.2.1 时钟树	57

4.2.2 HSI 时钟.....	57
4.2.3 LSI 时钟.....	58
4.2.4 系统时钟(SYSCLK)选择.....	58
4.2.5 看门狗时钟.....	58
4.2.6 TIM6 时钟.....	58
4.2.7 时钟输出(MCO).....	59
4.3 RCC 寄存器.....	59
4.3.1 寄存器总览.....	59
4.3.2 HSI 时钟控制寄存器 (RCC_HSICTRL).....	60
4.3.3 时钟配置寄存器 (RCC_CFG).....	61
4.3.4 外设复位寄存器 (RCC_PRST).....	62
4.3.5 AHB 外设时钟使能寄存器 (RCC_AHBPCLEN).....	64
4.3.6 APB 外设时钟使能寄存器 (RCC_APBPCLEN).....	64
4.3.7 LSI 时钟控制寄存器 (RCC_LSICTRL).....	66
4.3.8 控制/状态寄存器 (RCC_CTRLSTS).....	67
4.3.9 时钟配置寄存器 2 (RCC_CFG2).....	68
4.3.10 EMC 控制寄存器 (RCC_EMCCTRL).....	70
5 GPIO 和 AFIO.....	71
5.1 概述.....	71
5.2 功能描述.....	72
5.2.1 模式配置.....	72
5.2.2 复位后状态.....	77
5.2.3 单独的位设置和位清除.....	77
5.2.4 外部中断/唤醒线.....	77
5.2.5 复用功能.....	78
5.2.6 外设的 I/O 配置.....	82
5.2.7 GPIO 锁定机制.....	83
5.3 GPIO 寄存器.....	84
5.3.1 GPIOA 寄存器总览.....	84
5.3.2 GPIOB 寄存器总览.....	85
5.3.3 GPIO 端口模式寄存器 (GPIOx_PMODE).....	87
5.3.4 GPIO 端口类型寄存器 (GPIOx_POTYPE).....	88
5.3.5 GPIO 翻转率寄存器 (GPIOx_SR).....	88
5.3.6 GPIO 端口上下拉寄存器 (GPIOx_PUPD).....	88
5.3.7 GPIO 端口输入数据寄存器 (GPIOx_PID).....	89
5.3.8 GPIO 端口输出数据寄存器 (GPIOx_POD).....	90
5.3.9 GPIO 端口位设置/清除寄存器 (GPIOx_PBSC).....	90
5.3.10 GPIO 端口位清除寄存器 (GPIOx_PBC).....	91
5.3.11 GPIO 端口锁定寄存器 (GPIOx_PLOCK).....	91
5.3.12 GPIO 复用功能低寄存器 (GPIOx_AFL).....	92
5.3.13 GPIO 复用功能高寄存器 (GPIOx_AFH).....	93
5.3.14 GPIO 驱动能力寄存器 (GPIOx_DS).....	93
5.4 AFIO 寄存器.....	94

5.4.1 AFIO 寄存器总览.....	94
5.4.2 AFIO 配置寄存器 (AFIO_CFG)	94
6 中断和事件.....	96
6.1 嵌套向量中断寄存器	96
6.1.1 SysTick 校准值寄存器	96
6.1.2 中断和异常向量	96
6.2 外部中断/事件控制器 (EXTI)	97
6.2.1 简介	97
6.2.2 主要特性	97
6.2.3 功能描述	98
6.2.4 EXTI 线路映射	99
6.3 EXTI 寄存器	100
6.3.1 EXTI 寄存器总览	100
6.3.2 EXTI 中断屏蔽寄存器 (EXTI_IMASK)	100
6.3.3 EXTI 事件屏蔽寄存器 (EXTI_EMASK)	101
6.3.4 EXTI 上升沿触发配置寄存器 (EXTI_RT_CFG)	101
6.3.5 EXTI 下降沿触发配置寄存器 (EXTI_FT_CFG)	101
6.3.6 EXTI 软件中断事件寄存器 (EXTI_SWIE)	102
6.3.7 EXTI 挂起寄存器 (EXTI_PEND)	102
7 CRC 计算单元.....	104
7.1 简介	104
7.2 主要特性	104
7.3 CRC 功能描述	104
7.4 CRC 软件计算方式	105
7.5 CRC 寄存器	105
7.5.1 CRC 寄存器总览	105
7.5.2 CRC16 控制寄存器 (CRC_CRC16CTRL)	105
7.5.3 CRC16 待校验寄存器 (CRC_CRC16DAT)	106
7.5.4 CRC 循环冗余校验码寄存器 (CRC_CRC16D)	106
7.5.5 LRC 校验值寄存器 (CRC_LRC)	107
8 高级控制定时器 (TIM1)	108
8.1 TIM1 简介	108
8.2 TIM1 主要特性	108
8.3 TIM1 功能描述	109
8.3.1 时基单元	109
8.3.2 计数器模式	110
8.3.3 重复计数器	115
8.3.4 时钟选择	118
8.3.5 捕获/比较通道	121
8.3.6 输入捕获模式	124
8.3.7 PWM 输入模式	125

8.3.8 强制输出模式	126
8.3.9 输出比较模式	126
8.3.10 PWM 模式	128
8.3.11 单脉冲模式	130
8.3.12 在外部事件上清除 OCxREF 信号	132
8.3.13 互补输出和死区插入	132
8.3.14 刹车功能	134
8.3.15 调试模式	136
8.3.16 TIMx 定时器和外部触发的同步	136
8.3.17 定时器同步	139
8.3.18 产生六步 PWM 输出	139
8.4 TIMx 寄存器描述 (x=1)	140
8.4.1 寄存器总览	140
8.4.2 控制寄存器 1 (TIMx_CTRL1)	142
8.4.3 控制寄存器 2 (TIMx_CTRL2)	144
8.4.4 从模式控制寄存器 (TIMx_SMCTRL)	145
8.4.5 中断使能寄存器 (TIMx_DINTEN)	147
8.4.6 状态寄存器 (TIMx_STS)	148
8.4.7 事件产生寄存器 (TIMx_EVTGEN)	149
8.4.8 捕获/比较模式寄存器 1 (TIMx_CCMOD1)	150
8.4.9 捕获/比较模式寄存器 2 (TIMx_CCMOD2)	153
8.4.10 捕获/比较使能寄存器 (TIMx_CCEN)	155
8.4.11 计数器 (TIMx_CNT)	157
8.4.12 预分频器 (TIMx_PSC)	158
8.4.13 自动重载寄存器 (TIMx_AR)	158
8.4.14 重复计数寄存器 (TIMx_REPCNT)	158
8.4.15 捕获/比较寄存器 1 (TIMx_CCDAT1)	159
8.4.16 捕获/比较寄存器 2 (TIMx_CCDAT2)	159
8.4.17 捕获/比较寄存器 3 (TIMx_CCDAT3)	160
8.4.18 捕获/比较寄存器 4 (TIMx_CCDAT4)	160
8.4.19 刹车和死区寄存器 (TIMx_BKDT)	160
8.4.20 捕获/比较模式寄存器 3 (TIMx_CCMOD3)	162
8.4.21 捕获/比较寄存器 5 (TIMx_CCDAT5)	162
9 通用定时器 (TIM3)	164
9.1 TIM3 简介	164
9.2 TIM3 主要特性	164
9.3 TIM3 功能描述	165
9.3.1 时基单元	165
9.3.2 计数器模式	166
9.3.3 时钟选择	171
9.3.4 捕获/比较通道	175
9.3.5 输入捕获模式	178
9.3.6 PWM 输入模式	179

9.3.7 强制输出模式	180
9.3.8 输出比较模式	180
9.3.9 PWM 模式.....	181
9.3.10 单脉冲模式.....	183
9.3.11 在外部事件上清除 OCxREF 信号	185
9.3.12 调试模式	185
9.3.13 TIMx 定时器和外部触发的同步	185
9.3.14 定时器同步	186
9.4 TIMx 寄存器描述 (x=3)	190
9.4.1 寄存器总览	190
9.4.2 控制寄存器 1 (TIMx_CTRL1)	191
9.4.3 控制寄存器 2 (TIMx_CTRL2)	193
9.4.4 从模式控制寄存器 (TIMx_SMCTRL)	194
9.4.5 中断使能寄存器 (TIMx_DINTEN)	196
9.4.6 状态寄存器 (TIMx_STS)	197
9.4.7 事件产生寄存器 (TIMx_EVTGEN)	198
9.4.8 捕获/比较模式寄存器 1 (TIMx_CCMOD1)	199
9.4.9 捕获/比较使能寄存器 (TIMx_CCEN)	202
9.4.10 计数器 (TIMx_CNT)	202
9.4.11 预分频器 (TIMx_PSC)	203
9.4.12 自动重装载寄存器 (TIMx_AR)	203
9.4.13 捕获/比较寄存器 1 (TIMx_CCDAT1)	203
9.4.14 捕获/比较寄存器 2 (TIMx_CCDAT2)	204
10 基本定时器(TIM6).....	205
10.1 基本定时器简介	205
10.2 基本定时器主要特性.....	205
10.3 基础定时器描述	205
10.3.1 时基单元	205
10.3.2 计数模式	206
10.3.3 时钟选择	209
10.3.4 调试模式	209
10.4 TIMx 寄存器 (x=6).....	209
10.4.1 寄存器总览.....	209
10.4.2 控制寄存器 1 (TIMx_CTRL1)	210
10.4.3 中断使能寄存器 (TIMx_DINTEN).....	211
10.4.4 状态寄存器 (TIMx_STS).....	211
10.4.5 事件产生寄存器 (TIMx_EVTGEN).....	212
10.4.6 计数器 (TIMx_CNT).....	212
10.4.7 预分频器 (TIMx_PSC).....	213
10.4.8 自动重装载寄存器 (TIMx_AR).....	213
11 独立看门狗 (IWDG)	214
11.1 简介	214

11.2 主要特性	214
11.3 功能描述	215
11.3.1 寄存器访问保护	215
11.3.2 调试模式	216
11.3.3 低功耗	216
11.4 用户界面	216
11.4.1 操作流程	216
11.4.2 IWDG 配置流程	217
11.5 IWDG 寄存器	217
11.5.1 IWDG 寄存器总览	217
11.5.2 IWDG 密钥寄存器 (IWDG_KEY)	217
11.5.3 IWDG 预分频寄存器 (IWDG_PREDIV)	218
11.5.4 IWDG 重装载寄存器 (IWDG_RELV)	218
11.5.5 IWDG 状态寄存器 (IWDG_STS)	219
11.5.6 IWDG 冻结寄存器 (IWDG_FREEZE)	219
12 模拟数字转换 (ADC)	221
12.1 简述	221
12.2 ADC 主要特征	221
12.3 ADC 功能描述	221
12.3.1 ADC 时钟	223
12.3.2 ADC 开关控制	223
12.3.3 通道选择	223
12.3.4 内部通道	223
12.3.5 单次转换模式	223
12.3.6 连续转换模式	224
12.3.7 时序图	224
12.3.8 模拟看门狗	224
12.3.9 扫描模式	225
12.4 数据对齐	225
12.5 可编程的通道采样时间	225
12.6 外部触发转换	225
12.7 ADC 中断	226
12.8 ADC 寄存器	226
12.8.1 ADC 寄存器总览	226
12.8.2 ADC 状态寄存器(ADC_STS)	227
12.8.3 ADC 控制寄存器 1(ADC_CTRL1)	228
12.8.4 ADC 控制寄存器 2(ADC_CTRL2)	229
12.8.5 ADC 控制寄存器 3 (ADC_CTRL3)	230
12.8.6 ADC 采样时间寄存器(ADC_SAMPT)	231
12.8.7 ADC 看门狗高阈值寄存器(ADC_WDGHIGH)	232
12.8.8 ADC 看门狗低阈值寄存器(ADC_WDGLOW)	232
12.8.9 ADC 规则数据寄存器 x(ADC_DATx)(x = 0..4)	233

13 比较器 (COMP)	234
13.1 COMP 系统连接框图	234
13.2 COMP 特性	234
13.3 COMP 配置流程	235
13.4 COMP 工作模式	235
13.4.1 独立比较器	235
13.5 比较器互联关系	235
13.6 中断	236
13.7 COMP 寄存器	236
13.7.1 COMP 寄存器总览	236
13.7.2 COMP 中断使能寄存器 (COMP_INTEN)	237
13.7.3 COMP 中断状态寄存器 (COMP_INTSTS)	237
13.7.4 COMP 锁寄存器 (COMP_LOCK)	238
13.7.5 COMP 控制寄存器 (COMP_CTRL)	238
13.7.6 COMP 滤波控制寄存器 (COMP_FILC)	239
13.7.7 COMP 滤波时钟寄存器 (COMP_FILP)	240
14 内部集成电路总线(I²C)	241
14.1 简介	241
14.2 主要特性	241
14.3 功能描述	241
14.3.1 SDA/SCL 控制	241
14.3.2 软件通讯流程	242
14.3.3 错误条件	251
14.3.4 包错误校验 (PEC)	252
14.3.5 噪声滤波	253
14.4 中断请求	253
14.5 I2C 寄存器描述	253
14.5.1 I ² C 寄存器总览	253
14.5.2 I ² C 控制寄存器 1 (I2C_CTRL1)	254
14.5.3 I ² C 控制寄存器 2 (I2C_CTRL2)	256
14.5.4 I ² C 自身地址寄存器 1 (I2C_OADDR1)	257
14.5.5 I ² C 自身地址寄存器 2 (I2C_OADDR2)	257
14.5.6 I ² C 数据寄存器 (I2C_DAT)	258
14.5.7 I ² C 状态寄存器 1 (I2C_STS1)	258
14.5.8 I ² C 状态寄存器 2 (I2C_STS2)	261
14.5.9 I ² C 时钟控制寄存器 (I2C_CLKCTRL)	262
14.5.10 I ² C 上升时间寄存器 (I2C_TMRISE)	263
14.5.11 I ² C 滤波控制寄存器(I2C_GFLTRCTRL)	263
14.5.12 I ² C 主机接收字节寄存器 (I2C_BYTENUM)	264
15 通用异步收发器(UART)	265
15.1 简介	265
15.2 主要特性	265

15.3 功能框图	266
15.4 功能描述	266
15.4.1 UART 帧格式	267
15.4.2 发送器	268
15.4.3 接收器	270
15.4.4 分数波特率计算	272
15.4.5 UART 接收器容忍时钟的变化	274
15.4.6 校验控制	274
15.4.7 多处理器通信	275
15.4.8 单线半双工模式	276
15.5 中断请求	276
15.6 UART 模式配置	277
15.7 UART 寄存器	277
15.7.1 UART 寄存器总览	277
15.7.2 UART 状态寄存器 (UART_STS)	277
15.7.3 UART 数据寄存器 (UART_DAT)	279
15.7.4 UART 波特率配置寄存器 (UART_BRCF)	280
15.7.5 UART 控制寄存器 1 (UART_CTRL1)	280
15.7.6 UART 控制寄存器 2 (UART_CTRL2)	282
15.7.7 UART 控制寄存器 3 (UART_CTRL3)	282
16 串行外设接口 (SPI)	284
16.1 SPI 简介	284
16.2 SPI 主要特性	284
16.3 SPI 功能描述	285
16.3.1 通用描述	285
16.3.2 SPI 工作模式	288
16.3.3 状态标志	294
16.3.4 关闭 SPI	295
16.3.5 错误标志位	295
16.3.6 SPI 中断	296
16.4 SPI 寄存器描述	296
16.4.1 SPI 寄存器总览	296
16.4.2 SPI 控制寄存器 1 (SPI_CTRL1)	296
16.4.3 SPI 控制寄存器 2 (SPI_CTRL2)	298
16.4.4 SPI 状态寄存器 (SPI_STS)	299
16.4.5 SPI 数据寄存器 (SPI_DAT)	299
17 蜂鸣器(Beeper)	301
17.1 简介	301
17.2 功能描述	301
17.3 Beeper 寄存器	301
17.3.1 Beeper 寄存器总览	301
17.3.2 Beeper 控制寄存器 (BEEPER_CTRL)	301

18 调试支持(DBG)	303
18.1 简介	303
18.2 SWD 功能	304
18.2.1 引脚分配	304
19 唯一设备序列号 (UID)	305
19.1 简介	305
19.2 UID 寄存器	305
19.3 UCID 寄存器	305
19.4 DBGMCU_ID 寄存器	305
20 版本历史	306
21 声明	307

表目录

表 2-1 外设寄存器地址列表	21
表 2-2 存储总线地址列表	23
表 2-3 选项字节列表	26
表 2-4 读保护配置列表	28
表 2-5 存储区读写擦权限控制表	29
表 2-6 FLASH 寄存器总览	30
表 3-1 电源模式	42
表 3-2 外设运行状态	43
表 3-3 PWR 寄存器总览	45
表 4-1 RCC 寄存器总览	59
表 5-1 I/O 口配置表	72
表 5-2 I/O 管脚功能特性列表	73
表 5-3 EXTI Line 和 Pin 的关系	77
表 5-4 调试接口信号	78
表 5-5 TIM1 复用功能重映射	78
表 5-6 TIM3 复用功能重映射	79
表 5-7 UART1 复用功能重映射	80
表 5-8 UART2 复用功能重映射	80
表 5-9 I2C 复用功能重映射	80
表 5-10 SPI 复用功能重映射	81
表 5-11 COMP 复用功能重映射	81
表 5-12 EVENTOUT 复用功能重映射	81
表 5-13 BEEPER 复用功能重映射	81
表 5-14 MCO 复用功能重映射	81
表 5-15 ADC	82
表 5-16 TIM1	82
表 5-17 TIM3	82
表 5-18 UART	82
表 5-19 I2C	82
表 5-20 SPI	82

表 5-21 COMP.....	83
表 5-22 BEEPER.....	83
表 5-23 其他.....	83
表 5-24 GPIOA 寄存器总览.....	84
表 5-25 GPIOB 寄存器总览.....	85
表 5-26 AFIO 寄存器总览.....	94
表 6-1 向量表.....	96
表 6-2 EXTI 寄存器总览.....	100
表 7-1 CRC 寄存器总览.....	105
表 8-1 TIM1 寄存器总览.....	140
表 8-2 TIMx 内部触发连接.....	147
表 8-3 带刹车功能的互补输出通道 OCx 和 OCxN 的控制位.....	156
表 9-1 TIM3 寄存器总览.....	190
表 9-2 TIMx 内部触发连接.....	196
表 9-3 标准 OCx 的输出控制位.....	202
表 10-1 寄存器总览.....	209
表 11-1 IWDG 计数最大和最小复位时间.....	216
表 11-2 IWDG 寄存器总览.....	217
表 12-1 ADC 引脚.....	222
表 12-2 模拟看门狗通道选择.....	225
表 12-3 数据右对齐.....	225
表 12-4 数据左对齐.....	225
表 12-5 ADC 用于规则通道的外部触发.....	226
表 12-6 ADC 中断.....	226
表 12-7 ADC 寄存器总览.....	226
表 13-1 COMP 寄存器总览.....	236
表 14-1 I ² C 中断请求.....	253
表 14-2 I ² C 寄存器总览.....	253
表 15-1 停止位配置.....	268
表 15-2 噪声检测的数据采样.....	272
表 15-3 设置波特率时的误差计算.....	273
表 15-4 当 DIV_Decimal =0 时, UART 接收器的容忍度.....	274

表 15-5 当 DIV_Decimal $\neq 0$ 时, UART 接收器的容忍度	274
表 15-6 帧格式	274
表 15-7 UART 中断请求	276
表 15-8 UART 模式设置 ⁽¹⁾	277
表 15-9 UART 寄存器总览	277
表 16-1 SPI 中断请求	296
表 16-2 SPI 寄存器总览	296
表 17-1 Beeper 寄存器总览	301
表 18-1 调试端口引脚	304
表 19-1 DBGMCU_ID 位描述	305

图目录

图 2-1 总线架构图.....	20
图 2-2 总线地址映射图.....	21
图 3-1 电源框图.....	40
图 3-2 上电复位/掉电复位波形图.....	40
图 3-3 PVD 阈值图.....	41
图 3-4 LVR 阈值图.....	42
图 4-1 复位电路.....	55
图 4-2 时钟树.....	57
图 5-1 I/O 端口的基本结构.....	72
图 5-2 输入模式.....	74
图 5-3 输出模式.....	75
图 5-4 复用功能模式.....	76
图 5-5 高阻抗模拟输入配置.....	76
图 6-1 外部中断/事件控制器框图.....	98
图 7-1 CRC 计算单元框图.....	104
图 8-1 TIM1 框图.....	109
图 8-2 当预分频的参数从 1 到 4, 计数器的时序图.....	110
图 8-3 当内部时钟分频因子 = 2/N 时, 向上计数的时序图.....	111
图 8-4 当 ARPEN=0/1 产生更新事件时, 向上计数的时序图.....	112
图 8-5 内部时钟分频因子 = 2/N 时, 向下计数时序图.....	113
图 8-6 内部时钟分频因子 = 2/N, 中央对齐时序图.....	114
图 8-7 包含计数器上溢和下溢的中央对齐时序图(ARPEN=1).....	115
图 8-8 向下计数模式下的重复计数时序图.....	116
图 8-9 向上计数模式下的重复计数时序图.....	117
图 8-10 中央对齐模式下的重复计数时序图.....	117
图 8-11 正常模式下的控制电路, 内部时钟除以 1.....	118
图 8-12 TI2 外部时钟连接示例.....	119
图 8-13 外部时钟模式 1 的控制电路.....	120
图 8-14 外部触发输入框图.....	120
图 8-15 外部时钟模式 2 的控制电路.....	121

图 8-16 捕获/比较通道（例如：通道 1 输入级）	122
图 8-17 捕获/比较通道 1 主电路	123
图 8-18 通道 x 的输出部分（x= 1,2,3；以通道 1 为例子）	124
图 8-19 通道 x 的输出部分（x= 4）	124
图 8-20 PWM 输入模式时序	126
图 8-21 输出比较模式，开启 OC1	127
图 8-22 中央对齐的 PWM 波形 (AR=8)	129
图 8-23 边沿对齐 PWM 波形 (AR=8)	130
图 8-24 单脉冲模式示例	131
图 8-25 清除 TIMx 的 OCxREF	132
图 8-26 带死区插入的互补输出	133
图 8-27 响应刹车的输出行为	135
图 8-28 复位模式下的控制电路	136
图 8-29 触发器模式下的控制电路	137
图 8-30 门控模式下的控制电路	138
图 8-31 外部时钟模式 2+触发模式下的控制电路	139
图 8-32 产生六步 PWM，使用 COM 的例子（OSSR=1）	140
图 9-1 TIMx（x=3）框图	165
图 9-2 当预分频的参数从 1 到 4，计数器的时序图	166
图 9-3 当内部时钟分频因子 = 2/N 时，向上计数的时序图	167
图 9-4 当 ARPEN=0/1 产生更新事件时，向上计数的时序图	168
图 9-5 内部时钟分频因子 = 2/N 时，向下计数时序图	169
图 9-6 内部时钟分频因子 = 2/N，中央对齐时序图	170
图 9-7 包含计数器上溢和下溢的中央对齐时序图(ARPEN=1)	171
图 9-8 正常模式下的控制电路，内部时钟除以 1	172
图 9-9 TI2 外部时钟连接示例	173
图 9-10 外部时钟模式 1 的控制电路	174
图 9-11 外部触发输入框图	174
图 9-12 外部时钟模式 2 的控制电路	175
图 9-13 捕获/比较通道（例如：通道 1 输入级）	176
图 9-14 捕获/比较通道 1 主电路	177
图 9-15 通道 x 的输出部分（以通道 1 为例子）	178

图 9-16 PWM 输入模式时序	179
图 9-17 输出比较模式, 开启 OC1.....	181
图 9-18 中央对齐的 PWM 波形 (AR=8).....	182
图 9-19 边沿对齐 PWM 波形 (AR=8).....	183
图 9-20 单脉冲模式示例.....	184
图 9-21 清除 TIMx 的 OCxREF.....	185
图 9-22 主/从定时器的例子.....	186
图 9-23 定时器 3 由定时器 1 的 OC1REF 门控.....	187
图 9-24 定时器 3 由定时器 1 的使能门控.....	188
图 9-25 使用定时器 1 的更新触发定时器 3.....	189
图 9-26 使用定时器 1 的 TI1 输入触发定时器 1 和定时器 3.....	190
图 10-1 TIM6 功能框图.....	205
图 10-2 预分频器分频从 1 到 4 的计数器时序图.....	206
图 10-3 向上计数时序图, 内部时钟分频因子 = 2/N.....	207
图 10-4 ARPEN=0/1 时向上计数、更新事件的时序图.....	208
图 10-5 正常模式下的控制电路, 内部时钟分频系数为 1.....	209
图 11-1 独立看门狗模块的功能框图.....	215
图 12-1 ADC 框图.....	222
图 12-2 时序图.....	224
图 13-1 比较器系统连接图.....	234
图 14-1 I ² C 功能框图.....	243
图 14-2 I ² C 总线协议.....	243
图 14-3 从发送器传送序列.....	246
图 14-4 从接收器传送序列.....	247
图 14-5 主发送器传送序列.....	249
图 14-6 主接收器传送序列.....	251
图 15-1 UART 框图.....	266
图 15-2 字长=8 设置.....	267
图 15-3 字长=9 设置.....	267
图 15-4 停止位配置.....	268
图 15-5 发送时 TXC/TXDE 的变化情况.....	270
图 15-6 起始位检测.....	271

图 15-7 静默模式下的空闲总线检测	275
图 15-8 静默模式下的地址标识检测	276
图 16-1 SPI 框图	285
图 16-2 硬件/软件的从选择管理	286
图 16-3 单主和单从应用	286
图 16-4 数据时钟时序图	288
图 16-5 主机全双工模式下连续传输时, SPI_STS.TE/RNE/BUSY 的变化示意图	289
图 16-6 主机单向只发送模式下连续传输时, SPI_STS.TE/BUSY 变化示意图	290
图 16-7 只接收模式 (BIDIRMODE=0 并且 RONLY=1) 下连续传输时, RNE 变化示意图	291
图 16-8 从机全双工模式下连续传输时, SPI_STS.TE/RNE/BUSY 的变化示意图	292
图 16-9 从机单向只发送模式下连续传输时, SPI_STS.TE/BUSY 变化示意图	292
图 16-10 BIDIRMODE = 0, RONLY = 0 非连续传输发送时, SPI_STS.TE/BUSY 变化示意图	294
图 18-1 N32G003 级别和 Cortex [®] -M0 级别的调试框图	303

1 文中的缩写

1.1 寄存器位操作缩写列表

以下缩写用于寄存器描述：

read/write(rw)	支持软件读写该位
read-only(r)	支持软件只读该位
write-only(w)	支持软件只写该位，软件读返回复位值
read/clear(rc_w1)	支持软件读该位，写 1 清除该位，写 0 无效
read/clear(rc_w0)	支持软件读该位，写 0 清除该位，写 1 无效
read/clear by read(rc_r)	支持软件读该位，读操作将清除该位，写 0 无效
read/set(rs)	支持软件读或者设置该位，写 0 无效
read-only write trigger(rt_w)	支持软件读该位，写 0 或 1 触发一个事件但不改变该位数值
toggle(t)	支持软件写 1 翻转该位，写 0 无效
Reserved(Res.)	保留位，必须保持默认值不变

1.2 可用外设

有关 N32G003 微控制器系列全部型号，某外设存在与否及其数目，请查阅相应型号的数据手册。

2 存储器和总线架构

2.1 系统架构

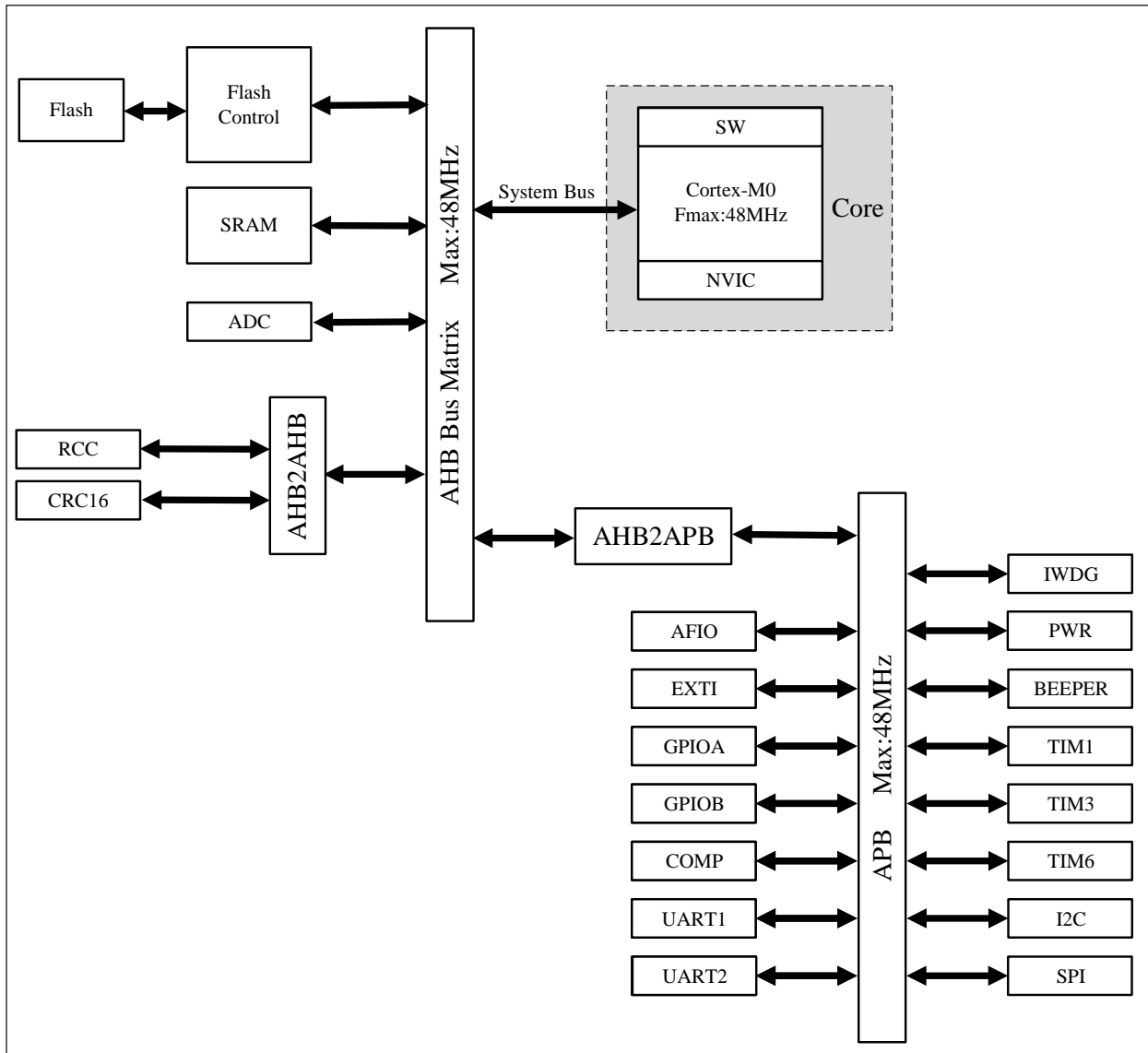
2.1.1 总线架构

主系统由以下部分构成：

- 1 个主设备：
 - ◆ Cortex®-M0 内核
- 5 个从设备
 - ◆ 内部闪存存储器
 - ◆ 内部 SRAM
 - ◆ AHB 到 AHB 的桥，它连接一些 AHB 模块
 - ◆ ADC
 - ◆ AHB 到 APB 的桥，它连接所有的 APB 模块

系统总线架构如图 2-1 所示：

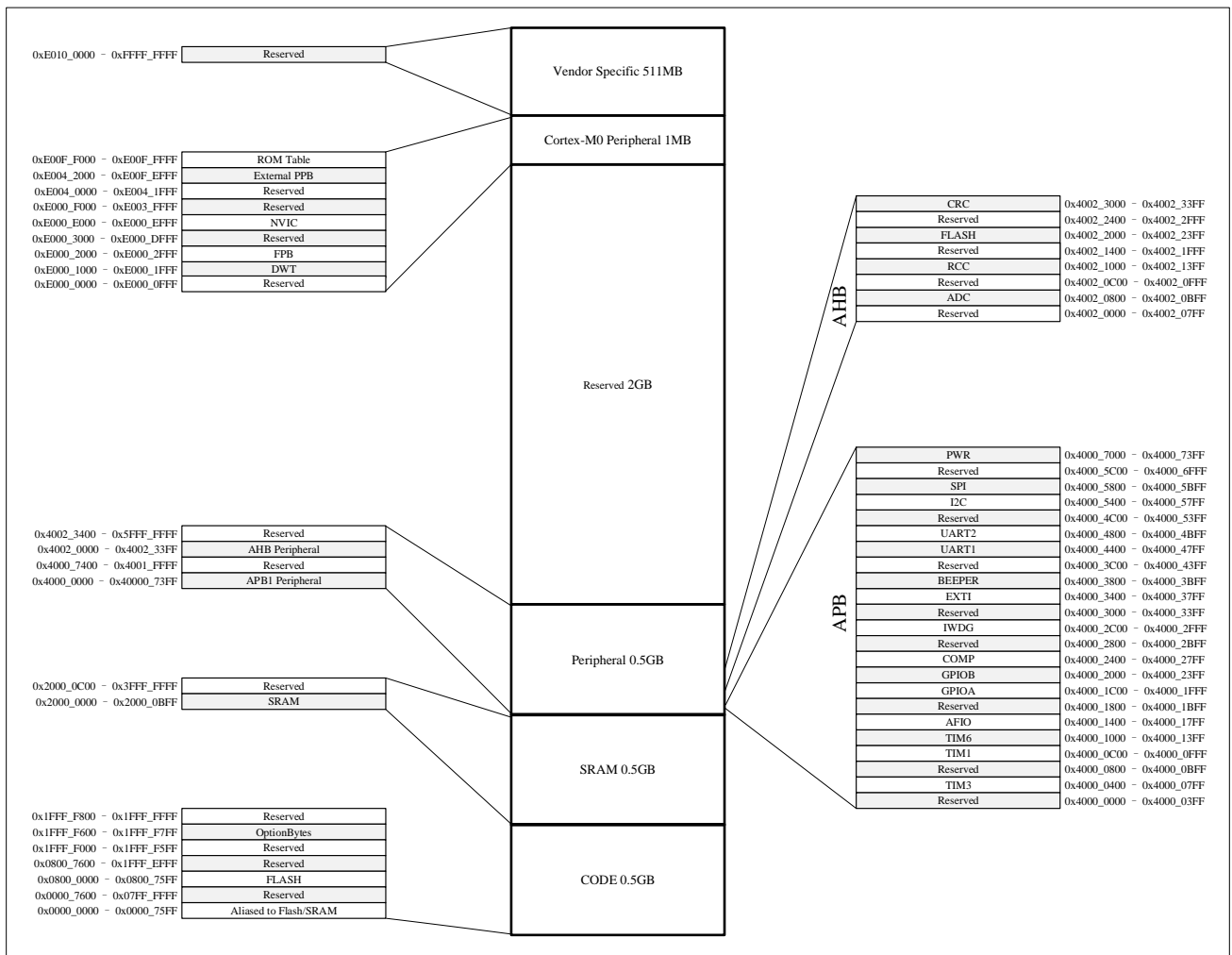
图 2-1 总线架构图



- CPU 系统总线：连接 Cortex®-M0 内核到总线矩阵，用来指令预取，数据加载（常量加载和调试访问）及 AHB/APB 外设访问。
- 总线矩阵协调内核系统总线的访问仲裁。总线矩阵包含 1 个驱动部件（CPU 的系统总线）和 5 个从部件（闪存存储器接口、SRAM、ADC、AHB 和 APB 系统总线）。一些 AHB 外设通过总线矩阵与系统总线相连。
- 系统包含 1 个 AHB2APB 桥。APB 包含 16 个 APB 外围设备，PCLK 的最大速度为 48MHz。

2.1.2 总线地址映射

总线地址映射包括所有 AHB 外设、APB 外设、Flash、SRAM、System Memory 等。具体映射如下

图 2-2 总线地址映射图


外设寄存器地址映射如下表所示:

表 2-1 外设寄存器地址列表

地址范围	外设	总线
0x4002_3400 – 0x5FFF_FFFF	Reserved	AHB
0x4002_3000 – 0x4002_33FF	CRC	
0x4002_2400 – 0x4002_2FFF	Reserved	
0x4002_2000 – 0x4002_23FF	FLASH	
0x4002_1400 – 0x4002_1FFF	Reserved	
0x4002_1000 – 0x4002_13FF	RCC	
0x4002_0C00 – 0x4002_0FFF	Reserved	
0x4002_0800 – 0x4002_0BFF	ADC	
0x4002_0000 – 0x4002_07FF	Reserved	
0x4000_7400 – 0x4001_FFFF	Reserved	
0x4000_7000 – 0x4000_73FF	PWR	
0x4000_5C00 – 0x4000_6FFF	Reserved	

地址范围	外设	总线
0x4000_5800 – 0x4000_5BFF	SPI	
0x4000_5400 – 0x4000_57FF	I2C1	
0x4000_4C00 – 0x4000_53FF	Reserved	
0x4000_4800 – 0x4000_4BFF	UART2	
0x4000_4400 – 0x4000_47FF	UART1	
0x4000_3C00 – 0x4000_4300	Reserved	
0x4000_3800 – 0x4000_3BFF	BEEPER	
0x4000_3400 – 0x4000_37FF	EXTI	
0x4000_3000 – 0x4000_33FF	Reserved	
0x4000_2C00 – 0x4000_2FFF	IWDG	
0x4000_2800 – 0x4000_2BFF	Reserved	
0x4000_2400 – 0x4000_27FF	COMP	
0x4000_2000 – 0x4000_23FF	GPIOB	
0x4000_1C00 – 0x4000_1FFF	GPIOA	
0x4000_1800 – 0x4000_1BFF	Reserved	
0x4000_1400 – 0x4000_17FF	AFIO	
0x4000_1000 – 0x4000_13FF	TIM6	
0x4000_0C00 – 0x4000_0FFF	TIM1	
0x4000_0800 – 0x4000_0BFF	Reserved	
0x4000_0400 – 0x4000_07FF	TIM3	
0x4000_0000 – 0x4000_03FF	Reserved	

2.1.3 启动管理

2.1.3.1 启动地址

在系统启动时，经过启动延迟之后，CPU 从地址 0x0000_0000 获取堆栈顶的地址，并从地址 0x0000_0004 指示的复位向量地址开始执行代码。由于 Cortex®-M0 始终从地址 0x0000_0000 和 0x0000_0004 获取堆栈顶指针和复位向量，所以启动仅适合于从 CODE 代码区开始，设计上需要对启动空间进行地址重映射。

- 从主闪存存储器(Main Flash)启动：
 - ◆ 主闪存存储器被映射到启动空间 (0x0000_0000)；
 - ◆ 主闪存存储器可在两个地址区域访问，0x0000_0000 或 0x0800_0000；

2.2 存储系统 (Memory system)

2.2.1 FLASH 规格

Flash 由主存储区、信息区组成，以下分别进行说明：

- 主存储区最大为 29.5KB，也称作主闪存存储器，包含 59 个 Page，用于用户程序的存放和运行，以及数据存储。

- 信息区为 2KB，包含 4 个 Page，由系统配置区（1.5KB）、选项字节区（0.5KB）组成：
 - ◆ 系统配置区为 1.5KB，包含 3 个 Page。
 - ◆ 选项字节区为 0.5KB，包含 1 个 Page，也称作 OptionByte，有效空间为 16B，用户程序均可以读写擦。

2.2.1.1 存储地址

主存储区、信息区都分配了总线地址空间。

表 2-2 存储总线地址列表

存储区	Page 名称	地址范围	大小
主存储区	Page 0	0x0800_0000 – 0x0800_01FF	0.5 KB
	Page 1	0x0800_0200 – 0x0800_03FF	0.5 KB
	Page 2	0x0800_0400 – 0x0800_05FF	0.5 KB
	⋮	⋮	⋮
	Page 58	0x0800_7400 – 0x0800_75FF	0.5 KB
信息区	系统配置区	0x1FFF_F000 – 0x1FFF_F5FF	1.5 KB
	选项字节区	0x1FFF_F600 – 0x1FFF_F60F	16B
存储区接口寄存器	FLASH_AC	0x4002_2000 – 0x4002_2003	4B
	FLASH_KEY	0x4002_2004 – 0x4002_2007	4B
	FLASH_OPTKEY	0x4002_2008 – 0x4002_200B	4B
	FLASH_STS	0x4002_200C – 0x4002_200F	4B
	FLASH_CTRL	0x4002_2010 – 0x4002_2013	4B
	FLASH_ADD	0x4002_2014 – 0x4002_2017	4B
	Reserved	0x4002_2018 – 0x4002_201B	4B
	FLASH_OB	0x4002_201C – 0x4002_201F	4B
	FLASH_USER2	0x4002_2020 – 0x4002_2023	4B
FLASH_VTOR	0x4002_2024 – 0x4002_2027	4B	

闪存存储器被组织成 32 位宽的存储器单元，可以存放代码和数据常数。

信息区分为 2 个部分：

- 系统配置区，包含芯片基本信息。
- 选项字节区。

对主存储器和信息块的写入由内嵌的闪存编程/擦除控制器管理。

闪存存储器有两种保护方式防止非法的访问（读、写、擦除）：

- 权限保护
- 读出保护（RDP）

在执行 Flash 写操作时，任何对 Flash 的读操作都会锁住总线，在写操作完成后读操作才能正确地进行；即在进行写或擦除操作时，不能进行代码或数据的读取操作。

在进行 Flash 编程操作时（写或擦除），必须打开内部的 RC 振荡器（HSI）。

注：在低功耗模式下，所有 Flash 存储器的操作都被中止。

2.2.1.2 读写操作

Flash 写操作仅支持 32 位操作，写操作之前先擦除 Flash，擦除最小块大小是一个页 0.5KB。写操作分为擦除和编程阶段。

读 Flash 时，读的等待周期数可以通过寄存器配置。使用时，需要结合 SYSCLK 时钟频率进行计算。比如：当 $\text{SYSCLK} \leq 24\text{MHz}$ 时，等待周期数最小为 0；当 $24\text{MHz} < \text{SYSCLK} \leq 48\text{MHz}$ 时，等待周期数最小为 1。

注意：无论等待周期数是否不为零，启用预取缓冲功能都可以提高整体效率。

2.2.1.3 Flash 解锁操作

复位后，Flash 模块是被保护的，不能写入 FLASH_CTRL 寄存器，以防因电气干扰等原因产生对 Flash 的意外操作。通过写入特定的键值序列到 FLASH_KEY 寄存器，可以开启对 FLASH_CTRL 寄存器的操作权限，这个特定的序列是：第一次在 FLASH_KEY 寄存器中写入 $\text{KEY1} = 0x45670123$ ，第二次则在 FLASH_KEY 寄存器中写入 $\text{KEY2} = 0xCDEF89AB$ 。

如果顺序出现错误或键值出现错误，将返回总线错误并锁定 FLASH_CTRL 寄存器，直到下一次复位，软件可以通过查看 FLASH_CTRL.LOCK 位来确认 Flash 是否已解锁。若需要进行正常的锁定设置，可以通过软件将 FLASH_CTRL.LOCK 位置 1 来实现，此后可以通过在 FLASH_KEY 中写入正确的键值系列来对 Flash 解锁。

2.2.1.4 擦除和编程

2.2.1.4.1 主存储区擦除

主存储区可以按页擦除或者整片擦除

页擦除

页擦除流程：

- 通过检查 FLASH_STS.BUSY 位来确保没有其他正在进行的 Flash 操作；
- 设置 FLASH_CTRL.PER 为 '1'；
- 将要擦除的页起始地址写入 FLASH_ADD 寄存器；
- 设置 FLASH_CTRL.START 为 '1'；
- 等待 FLASH_STS.BUSY 变为 '0'；
- 读出被擦除页的内容检查是否被擦除。

片擦除

片擦除流程(当 FLASH_OB.BOOT_LOCK = 1 时，前 3KB 不擦除)：

- 通过检查 FLASH_STS.BUSY 位来确保没有其他正在进行的 Flash 操作；
- 设置 FLASH_CTRL.MER 为 '1'；
- 设置 FLASH_CTRL.START 为 '1'；
- 等待 FLASH_STS.BUSY 位变为 '0'；

- 读出所有被擦除页的内容检查是否被擦除。

2.2.1.4.2 主存储区编程

对主存储区编程每次可以写入 32 位。当 FLASH_CTRL.PG 为'1'时，在一个 Flash 地址写入一个字将启动一次编程；写入任何半字的数据，都会产生总线错误。在编程过程中（FLASH_STS.BUSY 为'1'），任何读写 Flash 的操作都会使 CPU 暂停，直到此次 Flash 编程结束。

主存储区编程流程：

- 通过检查 FLASH_STS.BUSY 位来确保没有其他正在进行的 Flash 操作；
- 设置 FLASH_CTRL.PG 为'1'；
- 在指定的地址写入要编程的字；
- 等待 FLASH_STS.BUSY 变为'0'；
- 读出写入地址的数据检查是否正确。

注意：当 FLASH_STS.BUSY 为'1'时，不能对任何 FLASH 寄存器执行写操作。

2.2.1.4.3 选项字节区擦除和编程

对选项字节区的编程与主存储区不同。选项字节的数目只有 8 个字节（2 个字节作为读保护，4 个字节为配置选项，2 个字节存储用户数据）。对 Flash 解锁后，必须分别写入 KEY1 和 KEY2（见章节 2.2.1.3）到 FLASH_OPTKEY 寄存器，再设置 FLASH_CTRL.OPTWE 为'1'，此时可以对选项字节区进行编程：设置 FLASH_CTRL.OPTPG 为'1'后写入字到指定的地址。

对选项字节区进行字编程时，使用半字中的低字节并自动地计算出高字节（高字节为低字节的反码），并开始编程操作，这将确保选项字节和它的反码始终是正确的。

选项字节区擦除过程：

- 通过检查 FLASH_STS.BUSY 位来确保没有其他正在进行的 Flash 操作；
- 解锁 FLASH_CTRL.OPTWE；
- 设置 FLASH_CTRL.OPTER 为'1'；
- 设置 FLASH_CTRL.START 为'1'；
- 等待 FLASH_STS.BUSY 变为'0'；
- 读出被擦除选项字节的内容检查是否被擦除。

选项字节区编程流程：

- 通过检查 FLASH_STS.BUSY 位来确保没有其他正在进行的 Flash 操作；
- 解锁 FLASH_CTRL.OPTWE；
- 设置 FLASH_CTRL.OPTPG 为'1'；
- 在指定的地址写入要编程的字；
- 等待 FLASH_STS.BUSY 变为'0'；
- 读出写入地址的数据检查是否正确。

2.2.1.5 指令预取

Flash 模块的指令预取功能，支持 8B 的预取 Buffer。通过指令预取操作，可提高 CPU 的指令执行效率。指令预取功能可以通过寄存器配置为使能或禁能，默认使能。

2.2.1.6 选项字节

选项字节块主要用于配置读保护、软件/硬件看门狗以及系统处于 Power-Down 或 Stop 模式下的复位选项，并分配了总线地址空间，可以进行读写访问。它们由有 8 个选项字节组成：2 个字节作为读保护，4 个字节作为配置选项，2 个字节由用户定义，这 8 个字节需要通过总线写入。选项字节块同时还包含与这 8 个选项字节相对应的反码，这些反码需要在总线写入选项字节时，由硬件自动计算出来，一起写入 Flash，并用于选项字节读取时的验证。

默认状态下，选项字节块总是可读且被写保护的。要想对选项字节块进行写操作（编程/擦除），首先要解锁 Flash，然后解锁选项字节：在 FLASH_OPTKEY 中写入正确的键值序列（KEY1 = 0x45670123，KEY2 = 0xCDEF89AB），随后对选项字节块的写操作将被允许。如果顺序出现错误或键值出现错误，将返回总线错误并锁定选项字节，直到下一次复位。若需要正常进行锁定设置，可以通过软件将 FLASH_CTRL.OPTWE 位写 0 来实现，此后可以通过在 FLASH_OPTKEY 中写入正确的键值系列来对选项字节解锁。

每次系统复位后，从 Flash 的选项字节块中读出选项字节数据，并保存在具有只读属性的选项字节寄存器（FLASH_OB/FLASH_USER）中；同时一起读出来的选项字节反码数据，将用于验证选项字节数据是否正确，如果不匹配，将产生一个选项字节错误标志（FLASH_OB.OBERR）。当发生选项字节错误时，对应的选项字节被强制转换为 0xFF。当选项字节和它的反码均为 0xFF 时（擦除后的状态），则略过上述验证步骤，无需进行验证。

表 2-3 选项字节列表

地址	[31:24] 相应反码	[23:16] 选项字节	[15:8] 相应反码	[7:0] 选项字节
0x1FFF_F600	nUSER	USER	nRDP1	RDP1
0x1FFF_F604	nData1	Data1	nData0	Data0
0x1FFF_F608	nUSER3	USER3	nUSER2	USER2
0x1FFF_F60C	nUSER4	USER4	nRDP2	RDP2

- 用户配置选项：USER
 - ◆ USER[7:5]：保留
 - ◆ USER[4]：NRST_PA0 配置选项，可通过 FLASH_OB[6]查询
 - 0：PA0 作普通 GPIO 引脚
 - 1：PA0 作 NRST 引脚
 - ◆ USER[3]：BOOT_LOCK 配置选项，可通过 FLASH_OB[5]查询
 - 0：不锁定 FLASH 前 3K
 - 1：锁定 FLASH 前 3K
 - ◆ USER[2]：nRST_PD 配置选项，可通过 FLASH_OB[4]查询
 - 0：当进入 PD 模式时产生复位

- 1: 进入 PD 模式时不产生复位
- ◆ USER[1]: nRST_STOP 配置选项, 可通过 FLASH_OB[3]查询
 - 0: 当进入 STOP 模式时产生复位
 - 1: 进入 STOP 模式时不产生复位
- ◆ USER[0]: WDG_SW 配置选项, 可通过 FLASH_OB[2]查询
 - 0: 硬件看门狗
 - 1: 软件看门狗
- 2 字节用户数据: Datax
 - ◆ Data1 (存储在 FLASH_OB[25:18])
 - ◆ Data0 (存储在 FLASH_OB[17:10])
- 配置选项字节: USERx
 - ◆ USER2[7:0]: LVR 过滤器计数器控制, 可通过 FLASH_USER[7:0]查询
 - ◆ USER3[3:0]: LVR 上电电压控制, 可通过 FLASH_USER[11:8]查询
 - ◆ USER3[4]: LVR 使能, 可通过 FLASH_USER[12]查询
 - ◆ USER3[5]: LVR 过滤器使能, 可通过 FLASH_USER[13]查询
 - ◆ USER3[6]: LVR 复位使能, 可通过 FLASH_USER[14]查询
 - ◆ USER4[7:0]: 上电延时复位控制, 可通过 FLASH_USER[23:16]查询

注意: 当 USER 和 nUSER 均为 0xFF 时为擦除后状态, 对应位的功能无效, 需要编程之后为反码状态才能生效

- 读保护 L1 等级: RDP1
 - ◆ 保护存储在闪存中的代码;
 - ◆ 当写入正确的是数值时, 将禁止通过 SWD 写入 Flash 存储器;
 - ◆ RDP1 是否开启的结果, 可通过 FLASH_OB[1]查询。
- 读保护 L2 等级: RDP2
 - ◆ 在 L1 的基础上增加保护功能, 具体见 2.2.1.7 读保护的详细描述;
 - ◆ RDP2 是否开启的结果, 可通过 FLASH_OB[31]查询。

2.2.1.7 读保护

Flash 中的用户代码可以通过设置读保护来防止被非法读取。读保护通过配置选项字节块中的 RDP 字节进行设置, 可以配置 3 种不同的读保护级别, 如下表所示。

表 2-4 读保护配置列表

读保护等级	RDP1	nRDP1	nRDP2	RDP2
L0 level	0xA5	0x5A	RDP2! = 0xCC nRDP2! = 0x33	
L2 level	0xFF	0xFF	0x33	0xCC
L1 level	非以上两种配置			

- L0 等级：
 - ◆ 处于未保护状态， $(RDP1 == 0xA5 \ \&\& \ nRDP1 == 0x5A) \ \&\& \ (RDP2! = 0xCC \ | \ nRDP2! = 0x33)$
 - ◆ 主存储区和选项字节可以被任意读取
 - ◆ 可以重写到 L1 或 L2 级
- L1 等级：
 - ◆ $\sim(((RDP1 == 0xA5 \ \&\& \ nRDP1 == 0x5A) \ \&\& \ (RDP2! = 0xCC \ | \ nRDP2! = 0x33)) \ | \ (RDP2 == 0xCC \ \&\& \ nRDP2 == 0x33))$
 - ◆ 当读保护的选项字节被改写为未保护的 L0 级别时，将会自动擦除全部主存储区，执行的过程如下：（擦除选项字节块不会导致自动的整片擦除操作，因为擦除的结果是 0xFF，相当于仍然处于 L1 级别的保护状态）
 - 在 FLASH_OPTKEY 中写入正确的键值序列解锁选项字节区；
 - 总线发起命令擦除整个选项字节区（Page 擦）；
 - 总线写入读保护选项字节 0xA5；
 - 内部自动擦除全部主存储区；
 - 内部自动写入 0xA5 到读保护选项字节；
 - 进行系统复位（如软件复位等），选项字节块（包括新的 RDP 值 0xA5）将被重新加载到系统中，读保护被解除。
 - ◆ 所有通过 SWD 向内置 SRAM 装载代码并执行代码的功能依然有效，亦可以通过 SWD 从内置 SRAM 启用，这个功能可以用来解除读保护。
- L2 等级：
 - ◆ L2 级别通过配置另一个选项字节 RDP2 来实现，不管 RDP1 为何值，只要满足 $(RDP2 = 0xCC \ \&\& \ nRDP2 = 0x33)$ 即为 L2 级别；
 - ◆ 保护级别不可修改（不可逆）；
 - ◆ 除了选项字节写/页擦及 SWD 被禁用外，其余特性同 L1 级别。

2.2.1.8 权限保护

- Flash 主存储区权限：
 - ◆ L0 级别下：主存储区都可以被读取。当 FLASH_OB.BOOT_LOCK = 0 时，前 3K 字节可以写和擦除；当 FLASH_OB.BOOT_LOCK = 1 时，前 3K 字节不能写和擦除。
 - ◆ L1/2 级别下：

- 在 FLASH/SRAM 执行代码时，前 3K 字节只读，其他内容可以读写擦；
- SWD 禁止访问 FLASH/SRAM
- 当 L1 级别改写为 L0 级别时，将会自动擦除全部 Flash 主存储区；

■ Flash 选项字节区权限：

- ◆ L0/L1 级别下，都被允许访问（W/R/PE）；
- ◆ L2 级别下：除了调试模式外，允许只读访问 Flash 选项字节区；

■ Flash 系统配置区

- ◆ 封口后只读

表 2-5 存储区读写擦权限控制表

保护级别	启动模式	Flash		修改保护级别
	执行用户 访问区域	Flash/SRAM	SWD	
L0级别	Flash主存储区前3KB FLASH_OB.BOOT_LOCK = 0	读写擦	读写擦	允许改为L1或L2
	Flash主存储区前3KB FLASH_OB.BOOT_LOCK = 1	只读	只读	
	Flash主存储区3KB后	读写擦	读写擦	
	Flash主存储区片擦 ⁽¹⁾	允许	允许	
	Flash选项字节区	读写擦	读写擦	
	系统配置区	只读	只读	
	SRAM (All)	读写	读写	
L1级别	Flash主存储区前3KB FLASH_OB.BOOT_LOCK = 0	只读	禁止	允许改为 L0 或 L2。 改为L0时，主存储区将被自动擦除
	Flash主存储区前3KB FLASH_OB.BOOT_LOCK = 1	只读		
	Flash主存储区3KB后	读写擦		
	Flash主存储区片擦 ⁽¹⁾	允许	禁止	
	Flash选项字节区	读写擦	读写擦	
	系统配置区	只读	只读	
	SRAM (All)	读写	禁止	
L2级别	Flash主存储区前3KB FLASH_OB.BOOT_LOCK = 0	只读	禁止	不允许修改
	Flash主存储区前3KB FLASH_OB.BOOT_LOCK = 1	只读		
	Flash主存储区3KB后	读写擦		
	Flash主存储区片擦 ⁽¹⁾	允许		
	Flash选项字节区	只读		
	系统配置区	只读		
	SRAM (All)	读写		

注:

1. 意思是 mass erase, 当 FLASH_OB.BOOT_LOCK = 1 时, 前 3KB 不擦除。

2.2.2 SRAM

SRAM 主要用于代码运行, 存放程序执行过程中的变量和数据或堆栈, 容量最大为 3KB。

SRAM 支持字节、半字、字的读写访问。

SRAM 支持代码运行, 可以在 SRAM 全速运行程序。SRAM 的最大地址范围是 0x2000 0000~0x2000 0BFF。

SRAM 在 PD 模式下不能保持数据; 其他工作模式 (RUN/STOP) 数据可以正常保持。

主要特性如下:

- 容量最大总共为 3KB
- 支持字节/半字/字读写
- CPU 访问
- CPU BUS 可以重映射到 SRAM 全速运行程序

2.2.3 FLASH 寄存器描述

2.2.3.1 FLASH 寄存器总览

表 2-6 FLASH 寄存器总览

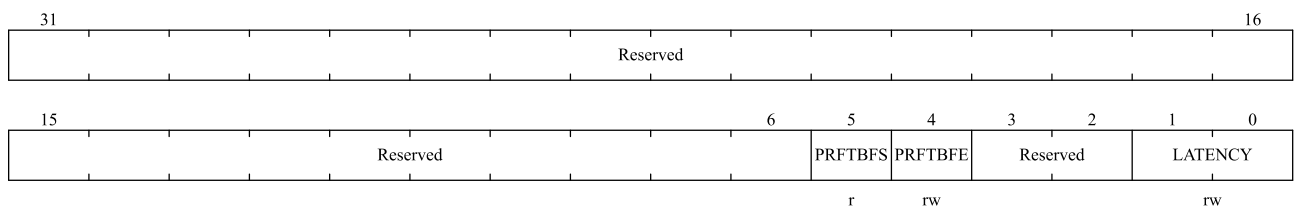
Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
000h	FLASH_AC	Reserved																								PRTFBS	PRTFBE	Reserved	LATENCY					
	Reset Value																									1			1	0	0	0		
004h	FLASH_KEY	FKEY																																
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
008h	FLASH_OPTKEY	OPTKEY																																
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
00Ch	FLASH_STS	Reserved																								CFGERR	SPERR	Reserved	EOP	WRPERR	Reserved	PGERR	Reserved	BUSY
	Reset Value																									0	0		0			0		0
010h	FLASH_CTRL	Reserved																				EOPITE	Reserved	ERRITE	OPTWE	MMER	LOCK	START	OPTER	OPTPG	Reserved	MER	PER	PG
	Reset Value																					0	0	0	0	1	0	0	0	0		0	0	
014h	FLASH_ADD	FADD																																
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
018h	Reserved																																	

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
01Ch	FLASH_OB	RDPRT2	Reserved				Data1						Data0						Reserved			NRST_PAO	BOOT_LOCK	nRST_PD	nRST_STOP	WDG_SW	RDPRT1	OBERR					
	Reset Value	0					1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	0
020h	FLASH_USER	Reserved						POR_DELAY						Reserved	LVRSTEN	LVRFILEN	LVREN	LVRLS			LVCNT												
	Reset Value							1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
024h	FLASH_VTOR	VTOR_EN	VTOR_VALUE																														
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

2.2.3.2 FLASH 访问控制寄存器 (FLASH_AC)

偏移地址: 0x00

复位值: 0x0000 0030

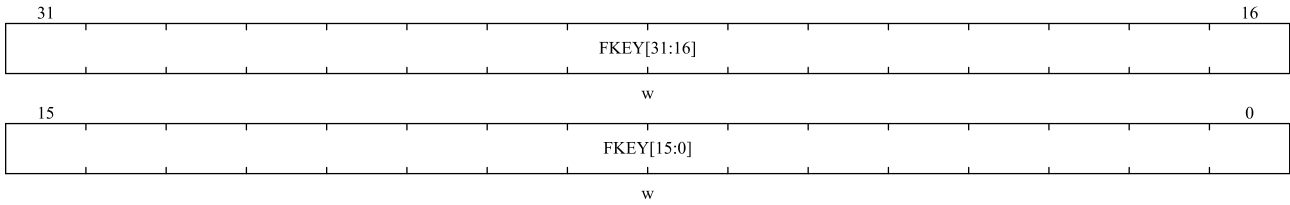


位域	名称	描述
31:6	Reserved	保留, 必须保持复位值
5	PRFTBFS	预取缓冲区状态 该位指示预取缓冲区的状态 0: 预取缓冲区关闭 1: 预取缓冲区开启
4	PRFTBFE	预取缓冲区使能 0: 关闭预取缓冲区 1: 启用预取缓冲区
3:2	Reserved	保留, 必须保持复位值
1:0	LATENCY	时延 这些位表示 SYSCLK (系统时钟) 周期与 Flash 访问时间的比例 00: 零周期时延, 当 $0 < \text{SYSCLK} \leq 24\text{MHz}$ 01: 一个周期时延, 当 $24\text{MHz} < \text{SYSCLK} \leq 48\text{MHz}$ 其他: 保留

2.2.3.3 FLASH 键寄存器 (FLASH_KEY)

偏移地址: 0x04

复位值: 0x0000 0000

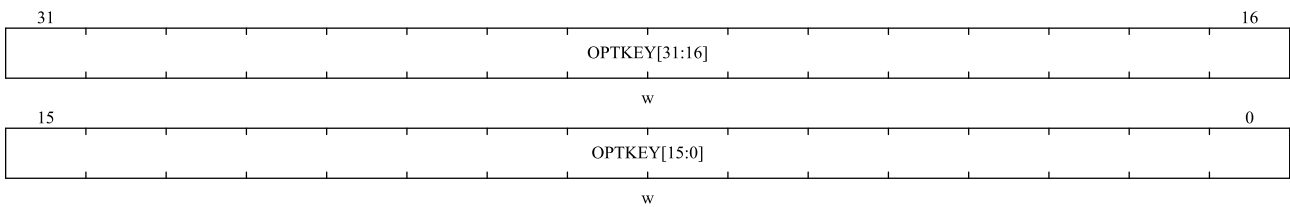


位域	名称	描述
31:0	FKEY	用于解锁 FLASH_CTRL.LOCK 位

2.2.3.4 FLASH OPTKEY 寄存器 (FLASH_OPTKEY)

偏移地址: 0x08

复位值: 0x0000 0000

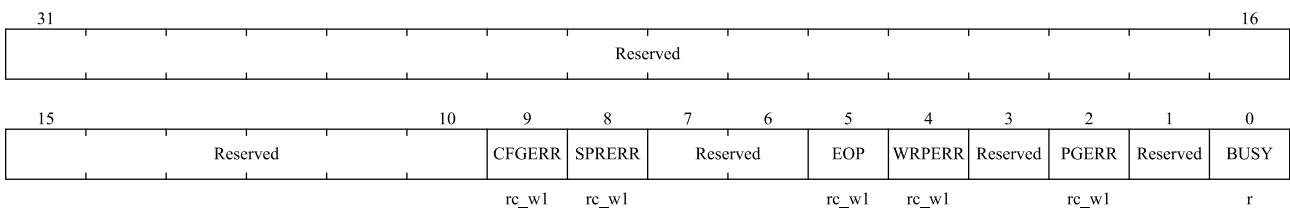


位域	名称	描述
31:0	OPTKEY	用于解锁 FLASH_CTRL.OPTWE 位

2.2.3.5 FLASH 状态寄存器 (FLASH_STS)

偏移地址: 0x0C

复位值: 0x0000 0000



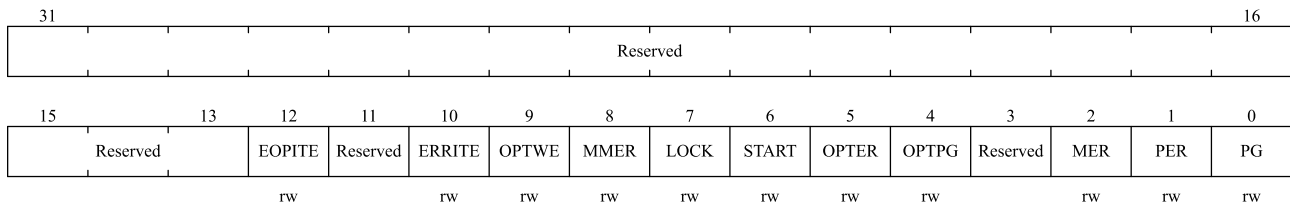
位域	名称	描述
31:10	Reserved	保留, 必须保持复位值。
9	CFGERR	Flash 初始配置错误。 配置中读取的 Flash 初始值与校准值是否一致。 0: 正确。 1: 错误。
8	SPRERR	Spccial Pattern 读错误。 配置中读取的 Spccial Pattern 值与校准值是否一致。 0: 正确。 1: 错误。
7:6	Reserved	保留, 必须保持复位值。

位域	名称	描述
5	EOP	操作结束。 当 Flash 操作（编程/擦除）完成时，硬件设置这位为‘1’，写入‘1’可以清除这位状态。 <i>注：每次成功的编程或擦除都会设置 EOP 状态。</i>
4	WRPERR	写保护错误。 试图对写保护的 Flash 地址编程时，硬件设置这位为‘1’，写入‘1’可以清除这位状态。
3	Reserved	保留，必须保持复位值。
2	PGERR	编程错误。 试图对内容不是‘0xFFFF_FFFF’的地址编程时，硬件设置这位为‘1’，写入‘1’可以清除这位状态。 <i>注：进行编程操作之前，必须先清除 FLASH_CTRL.START 位。</i>
1	Reserved	保留，必须保持复位值。
0	BUSY	忙。 该位指示 Flash 操作正在进行。在 Flash 操作开始时，该位被设置为‘1’；在操作结束或发生错误时该位被清除为‘0’。

2.2.3.6 FLASH 控制寄存器 (FLASH_CTRL)

偏移地址：0x10

复位值：0x0000 0080



位域	名称	描述
31:13	Reserved	保留，必须保持复位值。
12	EOPITE	允许操作完成中断。 该位允许在 FLASH_STS.EOP 位变为‘1’时产生中断。 0：禁止产生中断 1：允许产生中断
11	Reserved	保留，必须保持复位值。
10	ERRITE	允许错误状态中断。 该位允许在发生 Flash 错误时产生中断（当 FLASH_STS.PGERR/WRPERR 置为‘1’时）。 0：禁止产生中断 1：允许产生中断
9	OPTWE	允许写选项字节。 当该位为‘1’时，允许对选项字节进行编程操作。当在 FLASH_OPTKEY 寄存器写入正确的键序列后，该位被置为‘1’。

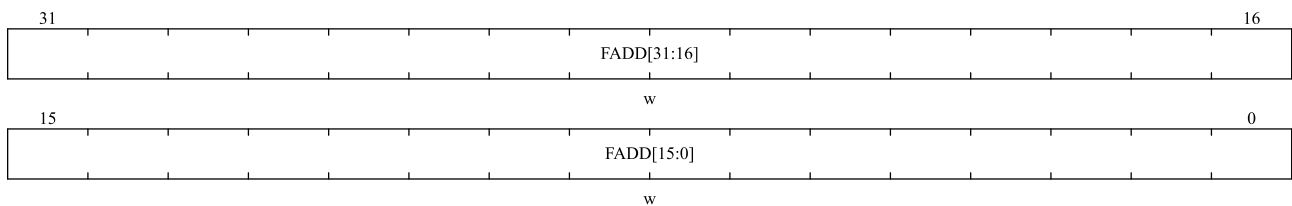
位域	名称	描述
		软件可清除此位。
8	MMER	主存储区擦除。 0: 无作用 1: 擦除前 48 页主存储区
7	LOCK	锁定。 只能写‘1’。当该位为‘1’时表示 Flash 和 FLASH_CTRL 被锁住。在检测到正确的解锁序列后，硬件清除此位为‘0’。 在一次不成功的解锁操作后，该位不能再被修改直到下次系统复位。
6	START	开始。 当该位为‘1’时将触发一次擦除操作。该位只可由软件置为‘1’并在 FLASH_STS.BUSY 变为‘1’时清除为‘0’。
5	OPTER	擦除选项字节。 0: 不开启选项字节擦除模式 1: 开启选项字节擦除模式
4	OPTPG	编程选项字节。 0: 不开启选项字节编程模式 1: 开启选项字节编程模式
3	Reserved	保留，必须保持复位值。
2	MER	片擦除。 擦除主存储区全部页。 0: 不开启片擦除模式 1: 开启片擦除模式
1	PER	页擦除。 0: 不开启页擦除模式 1: 开启页擦除模式
0	PG	编程。 0: 不开启编程模式 1: 开启编程模式

注:关于编程及擦除请参考 2.2.1.4 节。

2.2.3.7 FLASH 地址寄存器 (FLASH_ADD)

偏移地址: 0x14

复位值: 0x0000 0000



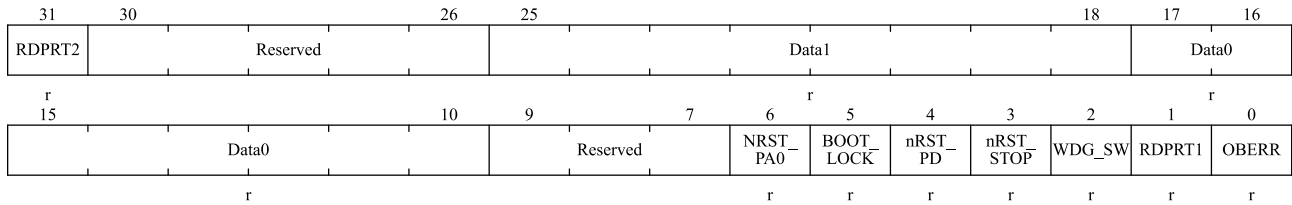
位域	名称	描述
31:0	FADD	闪存地址。

位域	名称	描述
		当进行编程时选择要编程的地址，当进行页擦除时选择要擦除的页。 <i>注意：当FLASH_STS.BUSY 位为‘1’时，不能写这个寄存器。</i>

2.2.3.8 FLASH 选项字节寄存器 (FLASH_OB)

偏移地址：0x1C

复位值：0x03FF FFDC



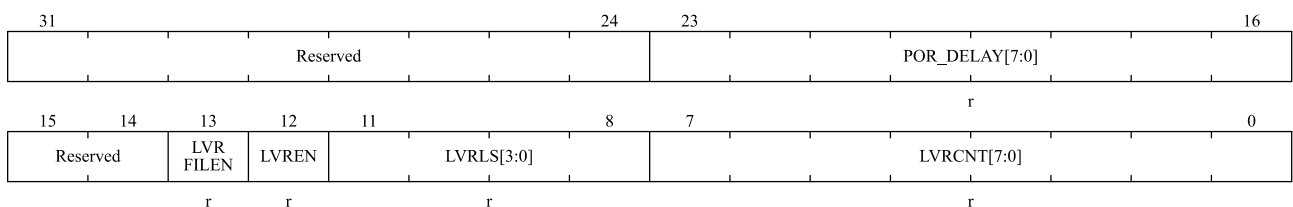
位域	名称	描述
31	RDPRT2	读保护 L2 级别。 0：读保护 L2 级别未使能 1：读保护 L2 级别使能 <i>注：只读位。</i>
30:26	Reserved	保留，必须保持复位值。
25:18	Data1[7:0]	Data1。 <i>注：只读位。</i>
17:10	Data0[7:0]	Data0。 <i>注：只读位。</i>
9:7	Reserved	未使用，必须保持复位值。
6	NRST_PA0	PA0 引脚配置。 0：普通 IO 引脚 1：NRST 引脚 <i>注：只读位。</i>
5	BOOT_LOCK	用于锁定主 flash 的前 3K。 0：未锁定 1：锁定 <i>注：只读位。锁定后，前 3KB FLASH 不可擦除</i>
4	nRST_PD	进入 Power Down 模式复位配置。 0：进入 Power Down 模式后立即产生复位，即使执行了进入 Power Down 模式的过程，系统将被复位而不是进入 Power Down 模式； 1：进入 Power Down 模式后不产生复位。 <i>注：只读位。</i>
3	nRST_STOP	进入 STOP 模式复位配置。 0：进入 STOP 模式后立即产生复位，即使执行了进入 STOP 模式的过程，系统将被复位而不是进入 STOP 模式； 1：进入 STOP 模式后不产生复位。 <i>注：只读位。</i>

位域	名称	描述
2	WDG_SW	看门狗设置。 0: 硬件看门狗 1: 软件看门狗 <i>注: 只读位。</i>
1	RDPRT1	读保护 L1 级别。 0: 读保护 L1 级别未使能 1: 读保护 L1 级别使能 <i>注: 只读位。</i>
0	OBERR	选项字节错误。 当该位为‘1’时表示选项字节和它的反码不匹配。 <i>注: 只读位。</i>

2.2.3.9 USER 寄存器 (FLASH_USER)

偏移地址: 0x20

复位值: 0xFFFF FFFF



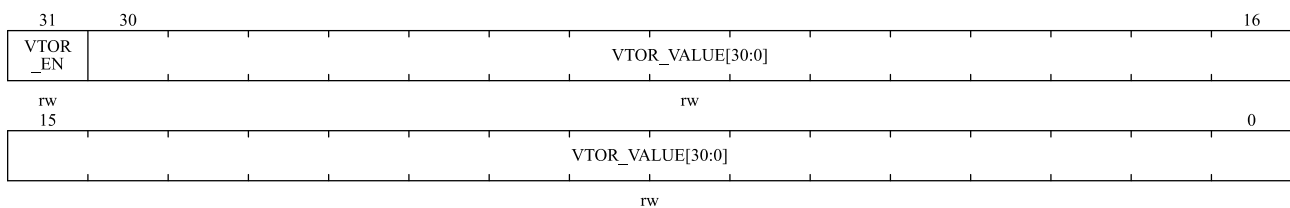
位域	名称	描述
31:24	Reserved	保留, 必须保持复位值。
23:16	POR_DELAY	触发 POR 后, CPU 复位的延迟时间。 在系统初始上电完成后, Cortex [®] -M0 的系统解复位延时长可通过该位配置, 用来控制内核的复位延迟时间。 0x00: 最大延迟时间 0xFF: 无延迟 延迟时间 = (1/f _{LSI}) × (0xFF - POR_DELAY)。
15	Reserved	保留, 必须保持复位值。
14	LVRSTEN	LVR 复位使能。 0: 已使能 LVR 复位 1: 未使能 LVR 复位
13	LVRFILEN	LVR 过滤器使能。 0: 已使能 LVR 过滤器 1: 未使能 LVR 过滤器
12	LVREN	LVR 使能。 0: 已使能 LVR 1: 未使能 LVR
11:8	LVRLS	LVR 档位选择。

位域	名称	描述																																		
		Value = 0x0F - LVRLS <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>Value</th> <th>Voltage</th> </tr> </thead> <tbody> <tr><td>0000</td><td>1.8v</td></tr> <tr><td>0001</td><td>2.0v</td></tr> <tr><td>0010</td><td>2.2v</td></tr> <tr><td>0011</td><td>2.4v</td></tr> <tr><td>0100</td><td>2.6v</td></tr> <tr><td>0101</td><td>2.8v</td></tr> <tr><td>0110</td><td>3.0v</td></tr> <tr><td>0111</td><td>3.2v</td></tr> <tr><td>1000</td><td>3.4v</td></tr> <tr><td>1001</td><td>3.6v</td></tr> <tr><td>1010</td><td>3.8v</td></tr> <tr><td>1011</td><td>4.0v</td></tr> <tr><td>1100</td><td>4.2v</td></tr> <tr><td>1101</td><td>4.4v</td></tr> <tr><td>1110</td><td>4.6v</td></tr> <tr><td>1111</td><td>4.8v</td></tr> </tbody> </table>	Value	Voltage	0000	1.8v	0001	2.0v	0010	2.2v	0011	2.4v	0100	2.6v	0101	2.8v	0110	3.0v	0111	3.2v	1000	3.4v	1001	3.6v	1010	3.8v	1011	4.0v	1100	4.2v	1101	4.4v	1110	4.6v	1111	4.8v
Value	Voltage																																			
0000	1.8v																																			
0001	2.0v																																			
0010	2.2v																																			
0011	2.4v																																			
0100	2.6v																																			
0101	2.8v																																			
0110	3.0v																																			
0111	3.2v																																			
1000	3.4v																																			
1001	3.6v																																			
1010	3.8v																																			
1011	4.0v																																			
1100	4.2v																																			
1101	4.4v																																			
1110	4.6v																																			
1111	4.8v																																			
7:0	LVRCNT	LVR 滤波控制计数值 0x00: 最大过滤宽度 0xFF: 不过滤 过滤宽度 = $(1/f_{LSI}) \times (0xFF - LVRCNT)$ 。																																		

2.2.3.10 VTOR 寄存器 (FLASH_VTOR)

偏移地址: 0x24

复位值: 0x0000 0000



位域	名称	描述
31	VTOR_EN	VTOR 使能。 0: 不使能 VTOR 1: 使能 VTOR
30:0	VTOR_VALUE	用于中断向量重映射, 存放中断向量表首地址 这些位在 VTOR_EN = 1 时有效。 如中断向量表首地址需重映射到 0x08000C00, 则 VTOR_VALUE 配置为 0x08000C00。

3 电源控制（PWR）

3.1 通用描述

N32G003 的工作电压 (V_{DD}) 为 2V~5.5V。它主要有两个电源域：模拟/数字电源域。请参考图 3-1 电源框图。PWR 作为 N32G003 的电源控制单元，主要功能是控制 N32G003 进入/退出不同的电源模式。N32G003 支持 RUN、STOP 和 PD 模式。

3.1.1 电源

下面将介绍不同电源域的功能，并在本文档的以下章节介绍电源域的数字部分。电源框图请参考图 3-1。

- V_{DD} ：电压输入范围为 2V~5.5V。主要为 PMU、HSI 等提供电源。
- V_{DDD} ：电压调节器为 CPU、AHB、APB、SRAM、FLASH 和大多数数字外设提供电源。

嵌入式稳压器用于为内部数字模块供电。稳压器有三种模式，正常模式、低功耗模式和掉电模式。

- 正常模式（MR）

1.5V 输出（典型值），主要用于 RUN 模式。

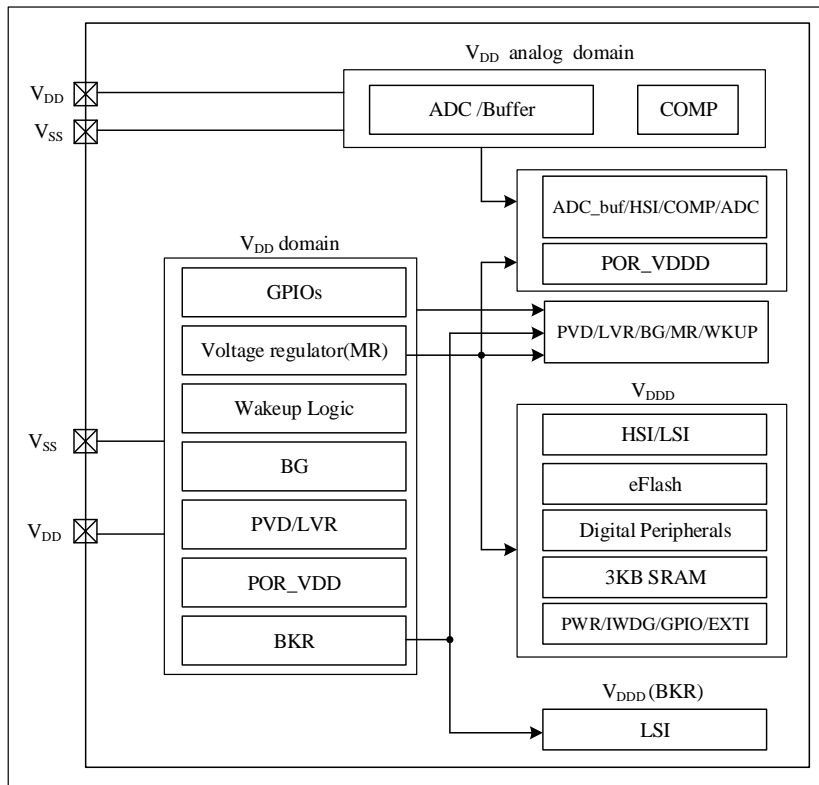
- 低功耗模式（LPR）

主要用于 STOP 模式。STOP 模式下，可配置低功耗模式输出电压（1.5V/1.2V），以获取更低的电流消耗。默认输出为 1.5V， V_{DDD} PDR 触发电压为 1.2V。当 $PWR_CTRL5.STPMRSEL[1:0] = '01'$ ，输出电压 1.5V， $PWR_CTRL.PDRS[1:0]$ 必须配置为 '11'（ V_{DDD} PDR 触发电压 1.2V）；当 $PWR_CTRL5.STPMRSEL[1:0] = '11'$ ，输出电压 1.2V， $PWR_CTRL.PDRS[1:0]$ 必须配置为 '10'（ V_{DDD} PDR 触发电压 1.0V）。

- 掉电模式

稳压器关闭，主要用于 PD 模式。

图 3-1 电源框图

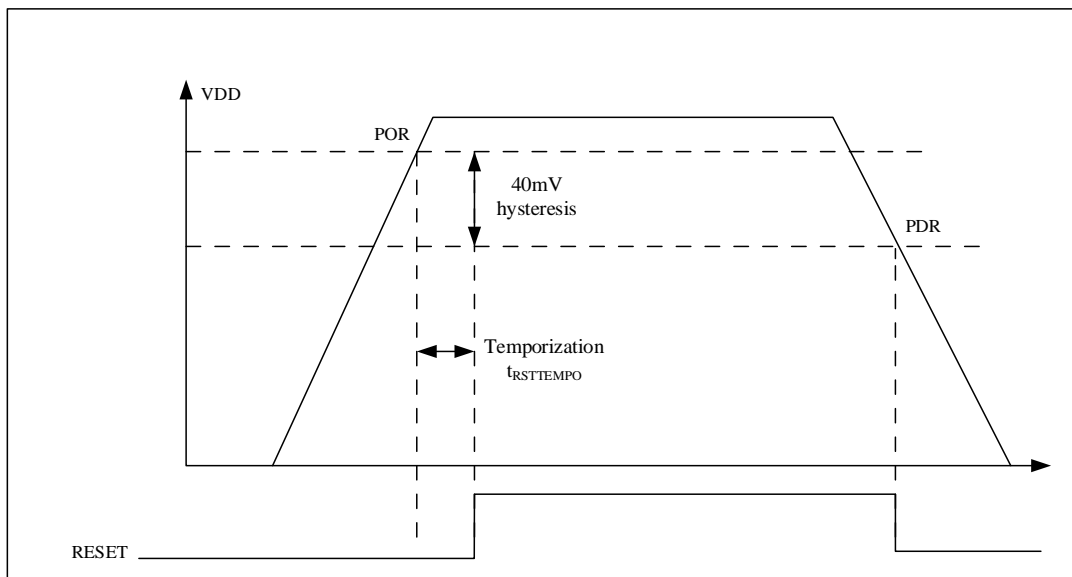


3.1.2 电压监控

3.1.2.1 上电复位 (POR) 和掉电复位 (PDR)

上电复位 (POR) 和下电复位 (PDR) 电路集成在芯片内部，工作电压最低为 2V，不需要外部复位电路。当 V_{DD} 低于指定的阈值 V_{POR}/V_{PDR} 时，N32G003 将处于复位状态。有关开关电源复位阈值的详细信息，请参见相关数据手册的电特性章节。

图 3-2 上电复位/掉电复位波形图

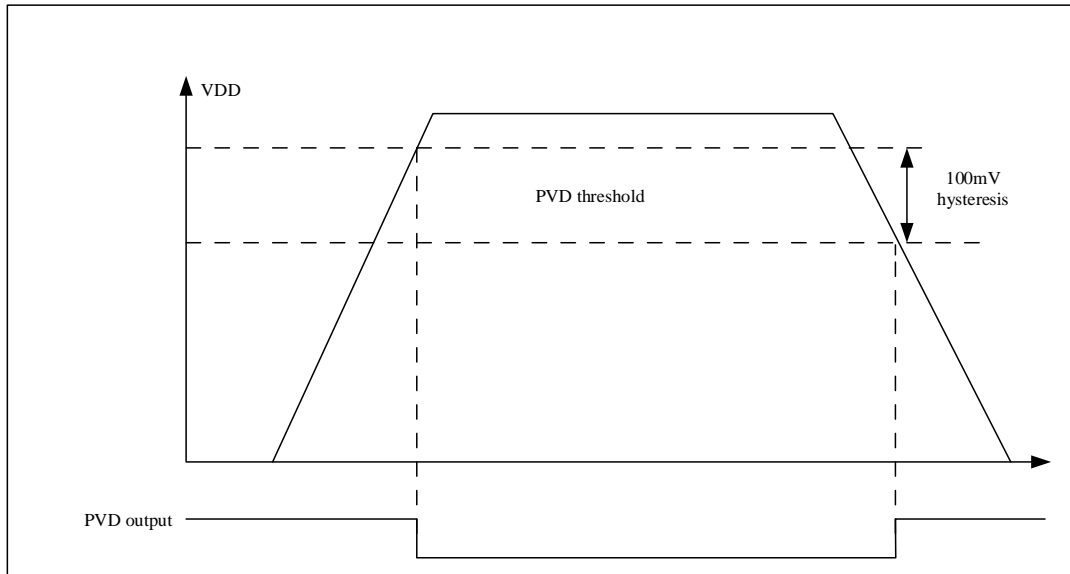


3.1.2.2 可编程电压监测器 (PVD)

PVD 用于检测 V_{DD} 电压级别。PVD 的阈值通过 PWR_CTRL.PLS[3:0] 这些位控制。PVD 的开启/关闭可以通过 PWR_CTRL.PVDEN 位设置。

PWR_CTRLSTS.PVDO 标志用于指示 V_{DD} 是否高于/低于 PVD 电压阈值。该事件在内部连接到 EXTI 线 18，如果在外部中断寄存器中启用了中断，则会产生中断。根据 EXTI 线 18 的上升/下降沿触发设置，当 V_{DD} 下降到 PVD 阈值以下和/或 V_{DD} 上升到 PVD 阈值以上时，会发生 PVD 中断。例如，此功能可用于执行紧急关断任务。

图 3-3 PVD 阈值图

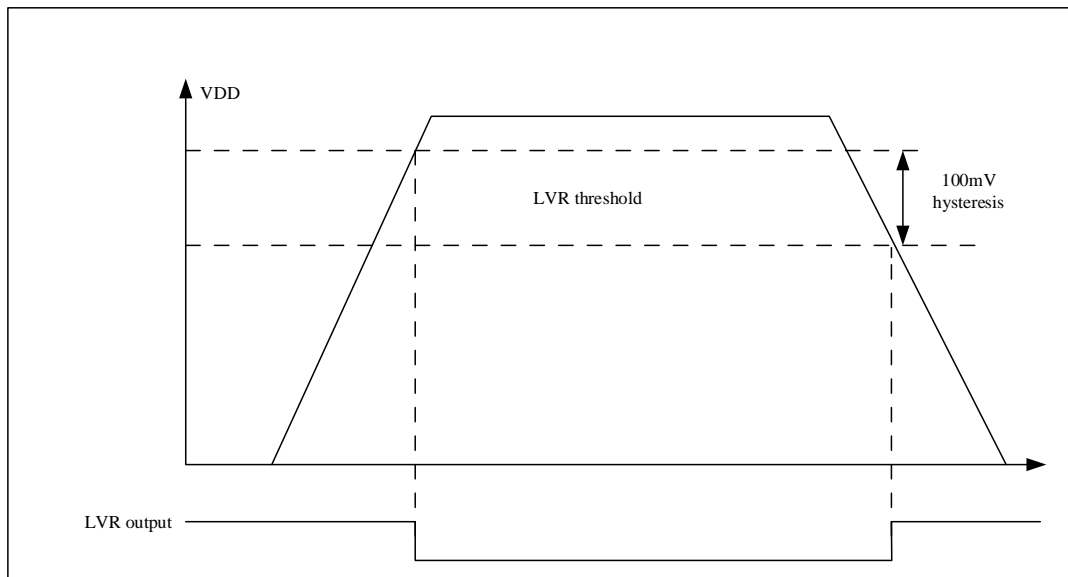


3.1.2.3 低电压复位 (LVR)

LVR 用于检测 V_{DD} 电压级别。LVR 的阈值由 PWR_CTRL2.LVRLS[3:0] 这些位控制。LVR 的开启/关闭可以通过 PWR_CTRL2.LVREN 位设置。

PWR_CTRL2.LVRO 位指示 V_{DD} 是否高于或低于 LVR 阈值。此事件会导致系统复位。

图 3-4 LVR 阈值图



3.2 电源管理

N32G003 有 RUN、STOP、PD 三种电源模式。不同的模式有不同的性能和功耗。电源模式请参考下表：

表 3-1 电源模式

模式	状态	进入	退出
RUN	CPU 运行。 所有外设运行可配置。	上电，系统复位，低功耗唤醒	进入 STOP 或 PD 模式
STOP	CPU 进入深度睡眠模式，外设时钟关闭。 稳压器仍在低功耗模式下运行。 HSI 关闭，LSI 开关可配置。 所有 GPIO 状态保持，所有 SRAM、寄存器的数据保持。 所有 IO，PVD 都可以用来唤醒 CPU。 或者配置其他外设（比如 TIM6）来唤醒 CPU。 唤醒后，HSI 自动开启，代码从暂停的位置开始执行。 Flash 进入深度睡眠模式。	WFI/WFE： 1) SCB_SCR.SLEEPDEEP = 1，没有挂起的中断/事件。 2) PWR_CTRL.PDSTP = 0	任何通过 EXTI、NRST、IWDG 的中断唤醒事件。
PD	稳压器关闭，HSI/LSI 关闭。 NRST 和 PA1_WKUP0/PA2_WKUP1 两个 IO 的处于 VDD 域的唤醒电路用于从 PD 模式唤醒。 大多数 IO 端口处于高阻抗状态。	WFI/WFE： 1) SCB_SCR.SLEEPDEEP = 1，没有挂起的中断/事件。 2) PWR_CTRL.PDSTP = 1	WKUP/1/2 上升沿或下降沿，NRST 复位。

注意：

1. 停止模式，唤醒后，代码可以从停止位置继续运行。

不同模块在不同功耗模式下的运行使能情况如下表所示：

表 3-2 外设运行状态

Peripheral	Run/Active	Stop mode		Power Down mode	
		Status	Wakeup capability	Status	Wakeup capability
Cortex-M0	Y	-	-	-	-
MR	Y	-	-	-	-
LPR	Y	Y	-	-	-
POR_VDD	Y	Y	Y	-	-
PDR_VDD	Y	Y	Y	-	-
POR_VDDD	Y	Y	-	-	-
PDR_VDDD	Y	O	O	-	-
PVD	O	O	O	-	-
LVR	O	O	O	-	-
FLASH	Y	DSTB	-	-	-
SRAM3KB	Y	Y	-	-	-
HSI	Y	-	-	-	-
LSI	Y	O	-	-	-
UART1/2	O	-	-	-	-
I2C	O	-	-	-	-
SPI	O	-	-	-	-
ADC	O	-	-	-	-
TIM1/3	O	-	-	-	-
TIM6	O	O	O	-	-
IWDG	O	O	O	-	-
COMP	O	-	-	-	-
SysTick timer	O	-	-	-	-
CRC	O	-	-	-	-
GPIOs	O	O	O	-	2 pins

注意:

1. Y: 使能 (启用), O: 可选 (默认禁用, 可软件配置启用), -: 无效, DSTB: 深度待机。
2. 可以从 PD 唤醒的引脚有 PA1 (WKUP0)、PA2 (WKUP1)、NRST。

3.2.1 STOP 模式

STOP 模式基于 Cortex®-M0 深度睡眠模式, 结合外设时钟门控。稳压器工作在低功耗模式下。输出电压可配置为 1.5V/1.2V。STOP 模式下 HSI 被禁用。但是 SRAM 和所有寄存器的内容都被保存, Flash 自动进入深度休眠模式。在 STOP 模式下, 所有的 I/O 引脚保持在与运行模式相同的状态。

3.2.1.1 进入 STOP 模式

进入 STOP 模式时, 用户需要设置 SCB_SCR.SLEEPDEEP = 1 和 PWR_CTRL.PDSTP = 0。

如果正在进行 FLASH 操作, 则进入 STOP 模式的时间将延迟到存储器访问完成。

如果正在访问 APB 区域，则进入 STOP 模式的时间将延迟到 APB 访问完成。

在 STOP 模式下，可以使用以下外设：

- 独立看门狗 (IWDG)：当独立看门狗的相关寄存器被软件或硬件操作写入时，独立看门狗将被激活。一旦启动，将一直工作，直到产生一个复位。
- IO 和 TIM6/PVD 外设可唤醒。
- 内部 RC 振荡器 (LSI RC)：可以通过 PWR_CTRL3.LSIEN 开启。

进入 STOP 模式时应禁用 ADC，以避免不必要的功耗。

3.2.1.2 退出 STOP 模式

当中断或唤醒事件唤醒 STOP 模式时，HSI RC 振荡器被选择作为系统时钟，代码从挂起位置恢复运行。由于稳压器在 STOP 模式下处于低功耗模式，因此会消耗更多的启动时间。另外，用户可以在进入 STOP 前配置 PWR_CTRL4.FLHWKUP = 1，以缩短 FLASH 的唤醒时间。

3.2.2 PD 模式

PD (Power Down) 模式基于 Cortex®-M0 深度睡眠模式，可以实现更低的功耗。在此模式下，CPU、所有外设、稳压器、HSI/LSI 时钟和所有数字电源 (V_{DD}) 都关闭，所有 GPIO 引脚处于高阻态，其中 NRST/PA1_WKUP0/PA2_WKUP1 可用于唤醒 PD 模式。

3.2.2.1 进入 PD 模式

当进入 PD 模式。设置 SCB_SCR.SLEEPDEEP = 1 和 PWR_CTRL.PDSTP = 1。

如果正在进行 FLASH 操作，则进入 PD 模式的时间将被延迟，直到完成内存访问。

如果正在访问 APB 区域，则进入 PD 模式的时间将被延迟，直到 APB 访问完成。

3.2.2.2 退出 PD 模式

当外部复位 (NRST 引脚)、WKUP 引脚上升沿或下降沿事件发生时，MCU 退出 PD 模式。所有寄存器在从 PD 状态唤醒后都将复位。

从 PD 模式中唤醒后，代码执行等同于复位后的执行 (读取复位向量等)。

3.3 Debug 模式

默认情况下，如果应用程序在使用调试特性时将 MCU 置于 STOP 或 PD 模式，则会丢失调试连接。这是由于 Cortex®-M0 内核失去了时钟。

但是，通过在 DBG_CTRL 寄存器中设置一些配置位，即使在 STOP 或 PD 模式时，也可以对软件进行调试。如果配置了这些寄存器位，稳压器和 HSI 将不会被禁用或关闭。

3.3.1 低功耗模式调试支持

在低功耗模式下调试时，需要确保开启内核的 FCLK，为内核调试提供必要的时钟。软件需要配置调试控制寄存器中的 DBG_CTRL.STOP 或 DBG_CTRL.PD 位，启动内部 RC 振荡器，并为 FCLK 提供时钟。具体特性和功能请参考 3.4.9 章节对 DBG_CTRL 寄存器 DBG_CTRL.PD 和 DBG_CTRL.STOP 位域的描述。

3.3.2 外设调试支持

除了支持低功耗模式调试外，还支持部分外设 在调试状态下停止工作（TIM1、TIM3、TIM6、IWDG）。当设置了 DBG_CTRL 寄存器中外设控制位的相应位后，相应的外设在内核停止后进入调试状态。具体特性和功能请参考 3.4.9 章节对 DBG_CTRL 寄存器其他位域的描述。

3.4 PWR 寄存器

3.4.1 PWR 寄存器总览

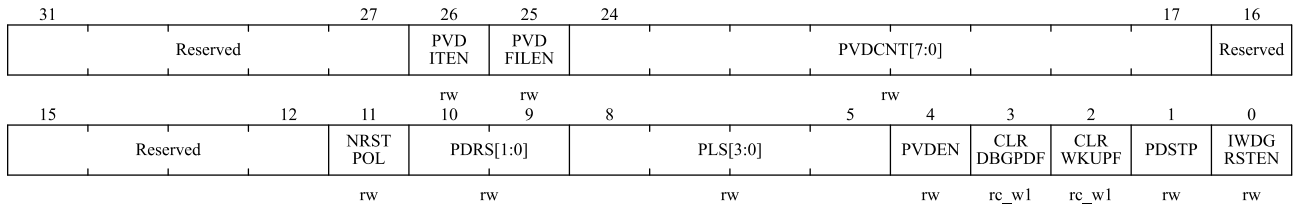
表 3-3 PWR 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
0x00	PWR_CTRL	Reserved					PVDITEN	PVDIFLEN	PVDCNT[7:0]							Reserved					NRSTPOL	PDRS[1:0]			PLS[3:0]			PVDEN	CLRDBGPDF	CLRWKUPF	PDSTP	IWDGRSTEN			
	Reset value						0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	PWR_CTRLSTS	Reserved										WKUPPOL	WKUPIEN	WKUP0EN	Reserved					PVDO	DBGPDF	WKUPF													
	Reset value											1	0	0						0	0	0													
0x08	PWR_CTRL2	LVRKEY[7:0]							Reserved							LVRO	LVRLS[3:0]			LVREN	LVRSTEN	LVRFLEN	LVRCNT[7:0]												
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	
0x14	PWR_CTRL3	Reserved										LSISTPCNT [2:]			PDRSEL	Reserved	LSIEN	HSISEL	HIPWR	Reserved															
	Reset value											0	1	1	1			1	0	1															
0x20	PWR_CTRL4	Reserved															Reserved			RUNF	STBFLH	FLHWKUP													
	Reset value																			0	0	0													
0x24	PWR_CTRL5	Reserved															Reserved			STPMRSE L[1:0]			Reserved												
	Reset value																			0	1														
0x28	PWR_CTRL6	Reserved															Reserved			STPMRE N[1:0]			Reserved												
	Reset value																			0	0														
0x30	DBG_CTRL	Reserved															TIM6STP	TIM3STP	TIM1STP	IWDGSTP	Reserved		PD	STOP	Reserved										
	Reset value																0	0	0	0			0	0											

3.4.2 电源控制寄存器（PWR_CTRL）

偏移地址：0x00

复位值：0x0000 0601



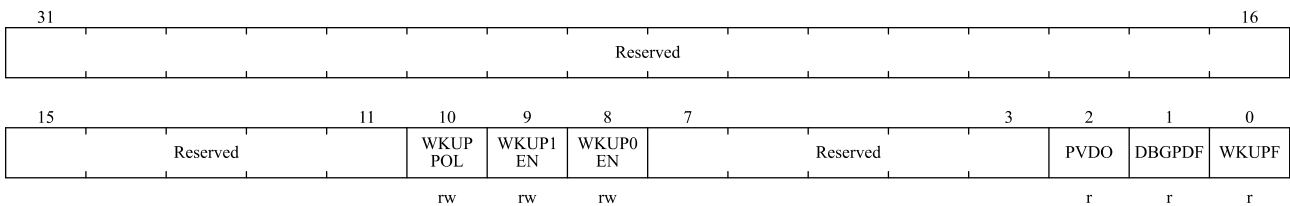
位域	名称	描述												
31:27	Reserved	保留，必须保持复位值。												
26	PVDITEN	PVD 中断使能。 0: 禁止 PVD 中断。 1: 使能 PVD 中断。												
25	PVDFILEN	PVD 过滤器使能。 0: 禁止 PVD 过滤器。 1: 使能 PVD 过滤器。												
24:17	PVDCNT	PVD 滤波控制计数值。 0x00: 不过滤 0xFF: 最大过滤宽度 过滤宽度 = $(1/f_{LSI}) \times PVDCNT$ 。												
16:12	Reserved	保留，必须保持复位值。												
11	NRSTPOL	NRST 极性选择。 0: NRST 引脚的下降沿。 1: NRST 引脚的上升沿。												
10:9	PDRS[1:0]	调节 STOP 模式下 V _{DD} PDR 触发电平。 00: 保留。 01: 保留。 10: V _{DD} PDR 触发电平为 1.0V。 11: V _{DD} PDR 触发电平为 1.2V。 只有 V _{DD} POR/PDR 可以复位该位。如果 V _{PDRS} < V _{STOP} ，PDR 将会被触发。												
8:5	PLS[3:0]	PVD 等级选择。 PVD 阈值控制如下： <table border="1" style="margin-left: 20px; border-collapse: collapse; text-align: center;"> <thead> <tr> <th>PWR_CTRL.PLS</th> <th>Voltage</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>1.8v</td> </tr> <tr> <td>0001</td> <td>2.0v</td> </tr> <tr> <td>0010</td> <td>2.2v</td> </tr> <tr> <td>0011</td> <td>2.4v</td> </tr> <tr> <td>0100</td> <td>2.6v</td> </tr> </tbody> </table>	PWR_CTRL.PLS	Voltage	0000	1.8v	0001	2.0v	0010	2.2v	0011	2.4v	0100	2.6v
PWR_CTRL.PLS	Voltage													
0000	1.8v													
0001	2.0v													
0010	2.2v													
0011	2.4v													
0100	2.6v													

位域	名称	描述																						
		<table border="1"> <tr><td>0101</td><td>2.8v</td></tr> <tr><td>0110</td><td>3.0v</td></tr> <tr><td>0111</td><td>3.2v</td></tr> <tr><td>1000</td><td>3.4v</td></tr> <tr><td>1001</td><td>3.6v</td></tr> <tr><td>1010</td><td>3.8v</td></tr> <tr><td>1011</td><td>4.0v</td></tr> <tr><td>1100</td><td>4.2v</td></tr> <tr><td>1101</td><td>4.4v</td></tr> <tr><td>1110</td><td>4.6v</td></tr> <tr><td>1111</td><td>4.8v</td></tr> </table>	0101	2.8v	0110	3.0v	0111	3.2v	1000	3.4v	1001	3.6v	1010	3.8v	1011	4.0v	1100	4.2v	1101	4.4v	1110	4.6v	1111	4.8v
0101	2.8v																							
0110	3.0v																							
0111	3.2v																							
1000	3.4v																							
1001	3.6v																							
1010	3.8v																							
1011	4.0v																							
1100	4.2v																							
1101	4.4v																							
1110	4.6v																							
1111	4.8v																							
4	PVDEN	PVD 使能控制。 0: 禁止 PVD。 1: 使能 PVD。																						
3	CLRDBGPDF	清除 DBG_PD 模式标志。 始终读为 0。 0: 无效。 1: 清除 PWR_CTRLSTS.DBGPDF 标志位。(写)																						
2	CLRWKUPF	清除唤醒标志。 始终读为 0。 0: 无效。 1: 两个系统时钟周期后清除 PWR_CTRLSTS.WKUPF 标志位。(写)																						
1	PDSTP	进入 STOP/PD 模式选择。 0: CPU 输出 DEEPSLEEP 为‘1’，芯片进入 STOP 模式。 1: CPU 输出 DEEPSLEEP 为‘1’，芯片进入 PD 模式。																						
0	IWDGRSTEN	IWDG 复位使能控制。 0: IWDG 复位请求不会产生系统复位。 1: IWDG 复位请求会产生系统复位。																						

3.4.3 电源控制状态寄存器 (PWR_CTRLSTS)

偏移地址: 0x04

复位值: 0x0000 0400



位域	名称	描述
31:11	Reserved	保留，必须保持复位值。

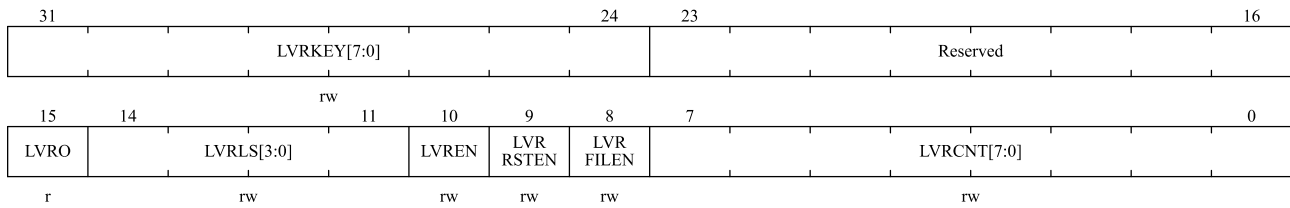
位域	名称	描述
10	WKUPPOL	PA1/PA2 的唤醒极性。使用上升沿或下降沿唤醒 PD 模式。在改变极性值之前，请确保禁用唤醒功能。 0: 下降沿。 1: 上升沿。
9	WKUPIEN	WKUP 引脚 PA2 使能控制。 软件可以设置和清除该位。 0: WKUP 引脚用于通用 I/O。WKUP 引脚上的事件不会将器件从 PD 模式唤醒。 1: WKUP 引脚用于从 PD 模式唤醒。 注：该位仅由 VDDD POR 复位来复位。
8	WKUP0EN	WKUP 引脚 PA1 使能控制。 软件可以设置和清除该位。 0: WKUP 引脚用于通用 I/O。WKUP 引脚上的事件不会将器件从 PD 模式唤醒。 1: WKUP 引脚用于从 PD 模式唤醒。 注：该位仅由 VDDD POR/PDR 复位来复位。
7:3	Reserved	保留，必须保持复位值。
2	PVDO	PVD 输出。 该位由硬件设置和清除。仅当 PWR_CTRL.PVDEN = 1 时才有效。 0: VDD 高于使用 PWR_CTRL.PLS[3:0]选择的 PVD 阈值。 1: VDD 低于使用 PWR_CTRL.PLS[3:0]选择的 PVD 阈值。
1	DBGPDF	DBGPD 模式状态位。 进入 DBGPD 模式时，硬件将该位设为‘1’。软件设置 PWR_CTRL.CLRDBGPDF 为‘1’时，硬件将该位清零。 只有 VDDD POR/PDR 可以复位此位。 0: 芯片不曾进入 DBGPD 模式。 1: 芯片曾进入 DBGPD 模式。
0	WKUPF	DBGPD 模式唤醒状态位。 该位在 WKUP 引脚唤醒 DBGPD 模式后由硬件设置。当软件设置 PWR_CTRLCLRWKUPF = 1 时，硬件清除该位。 只有 VDDD POR/PDR 可以复位此位。 0: WKUP 管脚不曾发生唤醒事件。 1: WKUP 管脚发生了唤醒事件。

3.4.4 电源控制寄存器 2 (PWR_CTRL2)

偏移地址：0x08

复位值：0x0000 0400

该寄存器有写保护。软件每次对该寄存器进行写操作前，必须先往该寄存器写入密钥 0xA5000000(解锁)。



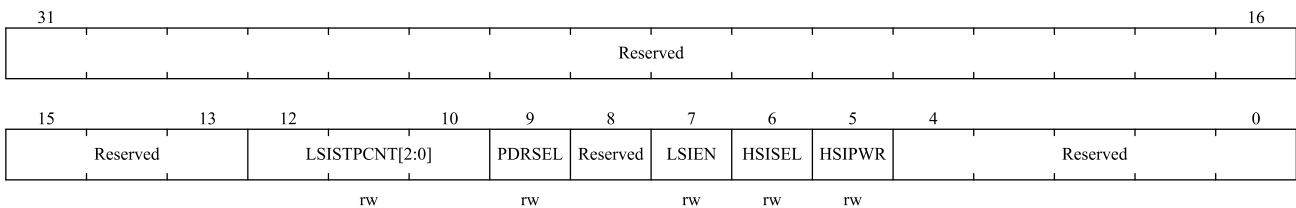
位域	名称	描述																																		
31:24	LVRKEY	LVR key。																																		
23:16	Reserved	保留，必须保持复位值。																																		
15	LVRO	LVR 输出。 仅当 PWR_CTRL2.LVREN = 1 时才有效。 0: VDD 高于使用 PWR_CTRL2.LVRLS[3:0]选择的 LVR 阈值。 1: VDD 低于使用 PWR_CTRL2.LVRLS[3:0]选择的 LVR 阈值。																																		
14:11	LVRLS	LVR 等级选择。 LVR 阈值控制如下： <table border="1" style="margin: 5px auto; border-collapse: collapse; text-align: center;"> <thead> <tr> <th style="width: 50%;">PWR_CTRL2.LVRLS</th> <th style="width: 50%;">Voltage</th> </tr> </thead> <tbody> <tr><td>0000</td><td>1.8v</td></tr> <tr><td>0001</td><td>2.0v</td></tr> <tr><td>0010</td><td>2.2v</td></tr> <tr><td>0011</td><td>2.4v</td></tr> <tr><td>0100</td><td>2.6v</td></tr> <tr><td>0101</td><td>2.8v</td></tr> <tr><td>0110</td><td>3.0v</td></tr> <tr><td>0111</td><td>3.2v</td></tr> <tr><td>1000</td><td>3.4v</td></tr> <tr><td>1001</td><td>3.6v</td></tr> <tr><td>1010</td><td>3.8v</td></tr> <tr><td>1011</td><td>4.0v</td></tr> <tr><td>1100</td><td>4.2v</td></tr> <tr><td>1101</td><td>4.4v</td></tr> <tr><td>1110</td><td>4.6v</td></tr> <tr><td>1111</td><td>4.8v</td></tr> </tbody> </table>	PWR_CTRL2.LVRLS	Voltage	0000	1.8v	0001	2.0v	0010	2.2v	0011	2.4v	0100	2.6v	0101	2.8v	0110	3.0v	0111	3.2v	1000	3.4v	1001	3.6v	1010	3.8v	1011	4.0v	1100	4.2v	1101	4.4v	1110	4.6v	1111	4.8v
PWR_CTRL2.LVRLS	Voltage																																			
0000	1.8v																																			
0001	2.0v																																			
0010	2.2v																																			
0011	2.4v																																			
0100	2.6v																																			
0101	2.8v																																			
0110	3.0v																																			
0111	3.2v																																			
1000	3.4v																																			
1001	3.6v																																			
1010	3.8v																																			
1011	4.0v																																			
1100	4.2v																																			
1101	4.4v																																			
1110	4.6v																																			
1111	4.8v																																			
10	LVREN	LVR 使能。 0: 禁止 LVR。 1: 使能 LVR。																																		
9	LVR RSTEN	LVR 复位使能。 0: 禁止 LVR 复位。 1: 使能 LVR 复位。																																		
8	LVR FILEN	LVR 过滤器使能。 0: 禁止 LVR 过滤器。 1: 使能 LVR 过滤器。																																		
7:0	LVR CNT	LVR 滤波控制计数值。																																		

位域	名称	描述
		0x00: 不过滤 0xFF: 最大过滤宽度 过滤宽度 = $(1/f_{LSI}) \times LVRCNT$ 。

3.4.5 电源控制寄存器 3 (PWR_CTRL3)

偏移地址: 0x14

复位值: 0x0000 0EAF



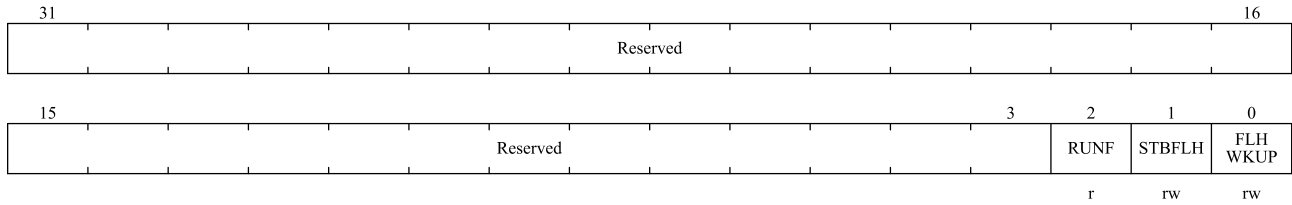
位域	名称	描述
31:13	Reserved	保留, 必须保持复位值。
12:10	LSISTPCNT	退出 STOP 后, 为使 LSI 稳定, 可以延迟开启 LSI。延迟时间由 LSISTPCNT 配置决定。
9	PDRSEL	0: V _{DDD} PDR 选择信号默认拉高, 此情况下 PWR_CTRL.PDRS[1:0] = '11'。 1: V _{DDD} PDR 选择由 PWR 控制。
8	Reserved	保留, 必须保持复位值。
7	LSIEN	控制 PWR 使能 LSI。 0: 进入 STOP 模式后, 硬件自动关闭 LSI 时钟。 1: 进入 STOP 模式后, 硬件保持 LSI 时钟状态。
6	HSISEL	HSI 频率选择。 0: HSI 为 48M。 1: HSI 为 40M。
5	HSIPWR	HSI 控制选择。 0: HSI 不由 PWR 控制。 1: HSI 由 PWR 控制。 <i>注: 此位使能后才能配置 PWR_CTRL3.HSISEL。</i>
4:0	Reserved	保留, 必须保持复位值。

3.4.6 电源控制寄存器 4 (PWR_CTRL4)

偏移地址: 0x20

复位值: 0x0000 0000

该寄存器有写保护。软件每次对该寄存器进行写操作前, 必须先往该寄存器写入密钥 0x0175_3603(解锁)。

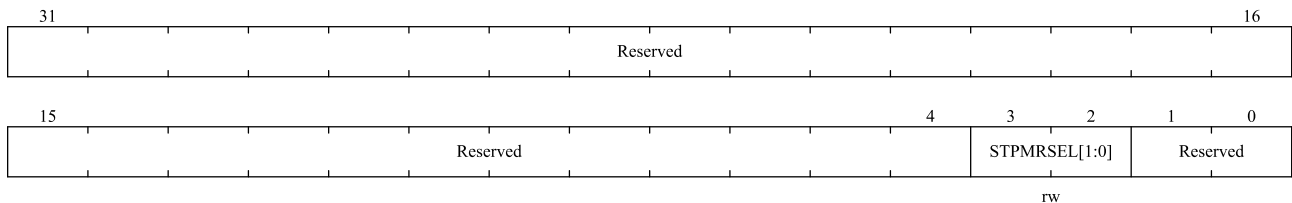


位域	名称	描述
31:3	Reserved	保留，必须保持复位值。
2	RUNF	RUN 模式标志位。 0: 系统不处于 RUN 模式。 1: 系统处于 RUN 模式。
1	STBFLH	FLASH 深度待机模式使能（RUN 模式下可配置） 该位由软件置位和清零，也可以在 STOP 和 PD 模式下由硬件清零。 0: FLASH 回到正常模式。 1: FLASH 进入深度待机模式。
0	FLHWKUP	使能 Flash 快速唤醒 0: 芯片从 STOP 模式退出时，使用 Flash 正常唤醒。 1: 芯片从 STOP 模式退出时，使用 Flash 快速唤醒。 <i>注意：唤醒时间请参考数据手册。</i>

3.4.7 电源控制寄存器 5（PWR_CTRL5）

偏移地址：0x24

复位值：0x0000 0004

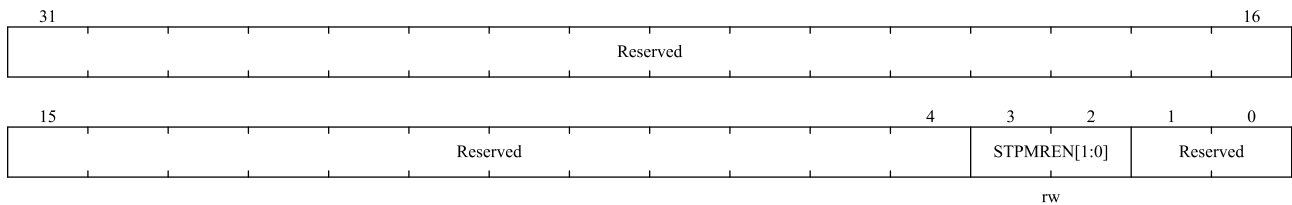


位域	名称	描述
31:4	Reserved	保留，必须保持复位值。
3:2	STPMRSEL[1:0]	芯片进入 STOP 模式后，V _{DD} 输出电压选择。配置该寄存器位前，软件必须先配置 PWR_CTRL6.STPMREN = '11'。 00: 保留。 01: V _{DD} 输出电压为 1.5V。 10: 保留。 11: V _{DD} 输出电压为 1.2V。 只有 V _{DD} POR/PDR 可以复位该位。
1:0	Reserved	保留，必须保持复位值。

3.4.8 电源控制寄存器 6 (PWR_CTRL6)

偏移地址: 0x28

复位值: 0x0000 0004



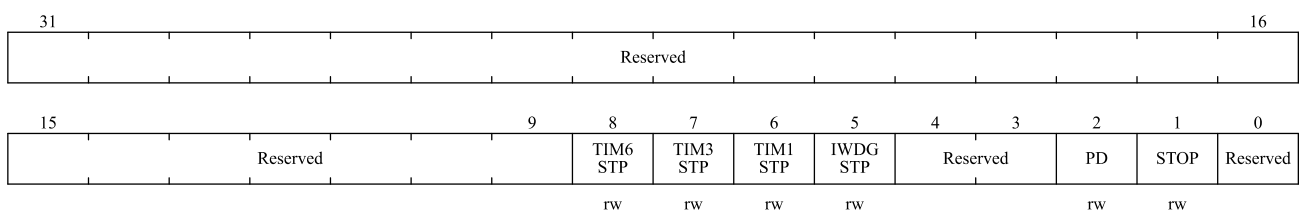
位域	名称	描述
31:4	Reserved	保留, 必须保持复位值。
3:2	STPMREN[1:0]	芯片进入 STOP 模式后, V _{DDD} 输出电压选择使能。 00: V _{DDD} 输出电压为 1.5V。 01: 保留。 10: 保留。 11: V _{DDD} 输出电压由 PWR_CTRL5.STPMRSEL 控制。 只有 V _{DDD} POR/PDR 可以复位该位。
1:0	Reserved	保留, 必须保持复位值。

3.4.9 调试控制寄存器 (DBG_CTRL)

偏移地址: 0x30

复位值: 0x0000 0000

只有 V_{DDD} POR/PDR 可以复位该寄存器。只有连上 Debugger 后, 软件才可以写访问该寄存器。



位域	名称	描述
31:9	Reserved	保留, 必须保持复位值。
8	TIM6STP	当内核进入调试状态时 TIM6 计数器停止工作。 软件置 1 或清零。 0: TIM6 的计数器仍然正常工作。 1: TIM6 的计数器停止工作。
7	TIM3STP	当内核进入调试状态时 TIM3 计数器停止工作。 软件置 1 或清零。 0: TIM3 的计数器仍然正常工作。

位域	名称	描述
		1: TIM3 的计数器停止工作。
6	TIM1STP	当内核进入调试状态时 TIM1 计数器停止工作。 软件置 1 或清零。 0: TIM1 的计数器仍然正常工作。 1: TIM1 的计数器停止工作。
5	IWDGSTP	当内核进入调试状态时 IWDG 计数器停止工作。 软件置 1 或清零。 0: IWDG 的计数器仍然正常工作。 1: IWDG 的计数器停止工作。
4:3	Reserved	保留, 必须保持复位值。
2	PD	调试 PD 模式控制。 软件置 1 或清零。 0: (FCLK 关, HCLK 关) 系统进入 PD 模式, 整个数字电路部分都断电。从软件的角度看, 退出 PD 模式与上电复位是一样的。 1: (FCLK 开, HCLK 开) 系统进入 DBGPD 模式, 数字电路部分不下电, FCLK 时钟由内部 RC 振荡器提供。另外, 微控制器通过产生系统复位来退出 DBGPD 模式, 和系统复位是一样的。
1	STOP	调试 STOP 模式控制。 软件置 1 或清零。 0: (FCLK 关, HCLK 关) 系统进入 STOP 模式, 时钟控制器禁止一切时钟 (包括 HCLK 和 FCLK)。当从 STOP 模式退出时, 时钟的配置和复位之后的配置一样 (微控制器由 48MHz 的内部 RC 振荡器 (HSI) 提供时钟)。 1: (FCLK 开, HCLK 开) 系统进入 DBGSTOP 模式, FCLK 时钟由内部 RC 振荡器提供, 并且在 DBGSTOP 模式下保持有效。
0	Reserved	保留, 必须保持复位值。

4 复位和时钟控制(RCC)

4.1 复位控制单元

N32G003 支持以下两种复位方式:

- 电源复位
- 系统复位

4.1.1 电源复位

发生以下事件之一时, 产生电源复位:

- 上电/掉电复位 (POR/PDR 复位)
- 从 PD 模式中返回

电源复位将复位所有寄存器。

4.1.2 系统复位

发生以下事件之一时, 产生系统复位:

- NRST 引脚上的低电平 (外部复位)
- 独立看门狗计数终止 (IWDG 复位)
- 软件复位 (SW 复位)
- 低功耗管理复位
- EMC 复位
- LVR 复位

除以下寄存器外, 系统复位将复位所有寄存器至它们的复位状态。

- RCC_CTRLSTS
- RCC_EMCCTRL
- PWR_CTRL.PDRS[1:0], PWR_CTRL.NRSTPOL
- PWR_CTRLSTS.WKUPF, PWR_CTRLSTS.WKUP0EN, PWR_CTRLSTS.WKUP1EN, PWR_CTRLSTS.WKUPPOL
- PWR_CTRL3.HSISEL
- DBG_CTRL

可以通过检查控制/状态寄存器(RCC_CTRLSTS)中的复位标志来识别复位源。

4.1.2.1 软件复位

可以通过设置 Cortex®-M0 应用中断和复位控制寄存器中的 SYSRESETREQ 位来产生软件复位。有关详细信息，请参阅 Cortex®-M0 技术参考手册。

4.1.2.2 低功耗管理复位

可以通过以下方式产生低功耗管理复位：

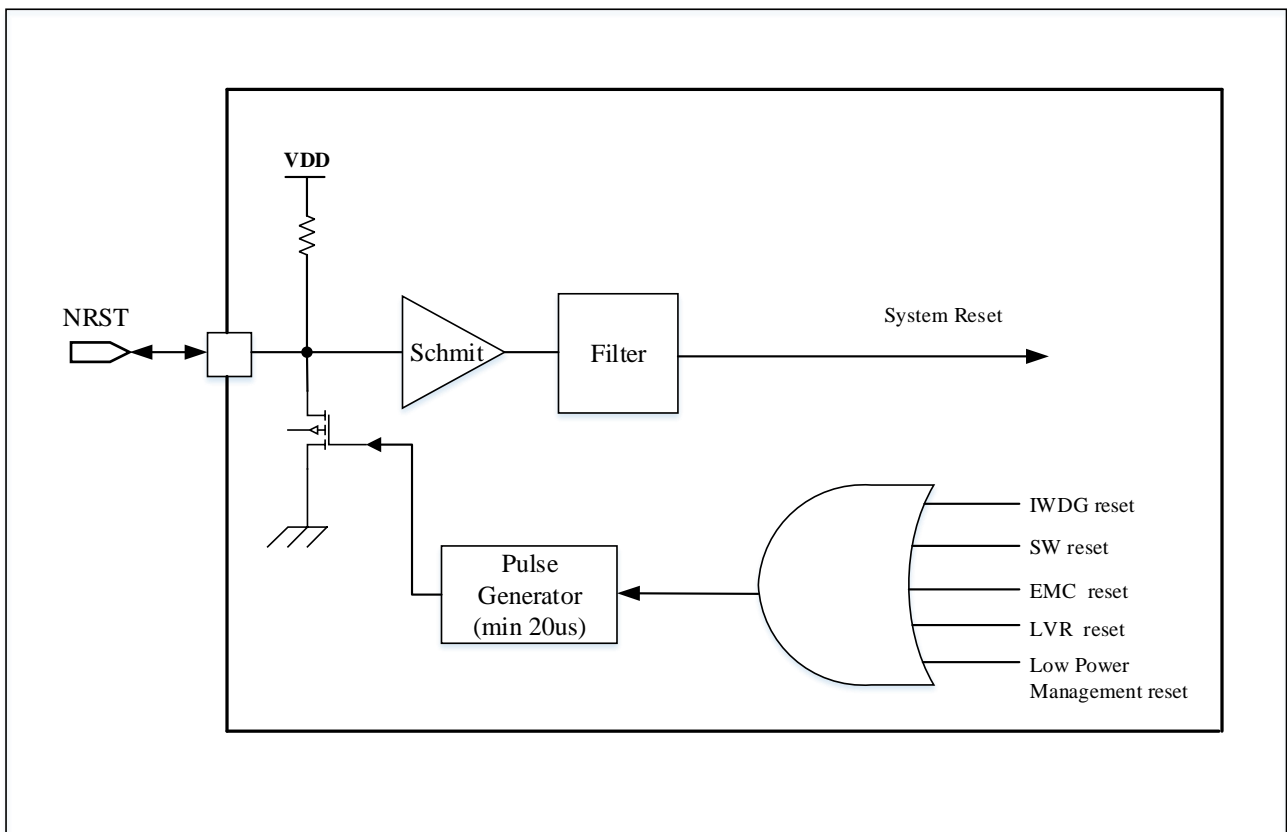
- 在进入 PD 模式时产生低功耗管理复位：通过将用户选择字节中的 nRST_PD 位置 1 将使能该复位。这时，即使执行了进入 PD 模式的过程，系统将被复位而不是进入 PD 模式。
- 在进入 STOP 模式时产生低功耗管理复位：通过将用户选择字节中的 nRST_STOP 位置 1 将使能该复位。这时，即使执行了进入 STOP 模式的过程，系统将被复位而不是进入 STOP 模式。

复位源将最终作用于 NRST 引脚，并在复位过程中保持低电平。复位入口矢量被固定在地址 0x0000_0004。更多细节，参阅表 6-1 向量表。

提供给芯片的系统复位信号会在 NRST 引脚上输出。脉冲发生器保证每个复位源（外部或内部）的复位脉冲至少持续时间 20μs。对于外部复位，当 NRST 引脚置为低电平时会产生复位脉冲。

下图展示了复位电路：

图 4-1 复位电路



4.2 时钟控制单元

HSI 振荡器时钟源用来驱动系统时钟(SYSCLK)。

32KHz 低速内部 RC 作为二级时钟源，可通过程序选择驱动独立看门狗 (IWDG)、TIM6 (用于唤醒 STOP 模式)。

多个预分频器可用于配置 AHB、APB 的频率。AHB 和 APB 的最大频率为 48MHz。

除去以下情况，所有外设时钟都源于系统时钟(SYSCLK):

- ADC 工作时钟源及 ADC1M 时钟源均为 HSI。
- 通过配置 RCC_CFG2.TIM1CLKSEL，可选择下述两种情况之一作为 TIM1 工作时钟源：
 - ◆ APB 时钟 (PCLK)
 - ◆ LSI 时钟
- 通过配置 RCC_CFG2.TIM6CLKSEL，可选择下述两种情况之一作为 TIM6 工作时钟源：
 - ◆ APB 时钟 (PCLK)
 - ◆ syclock 时钟

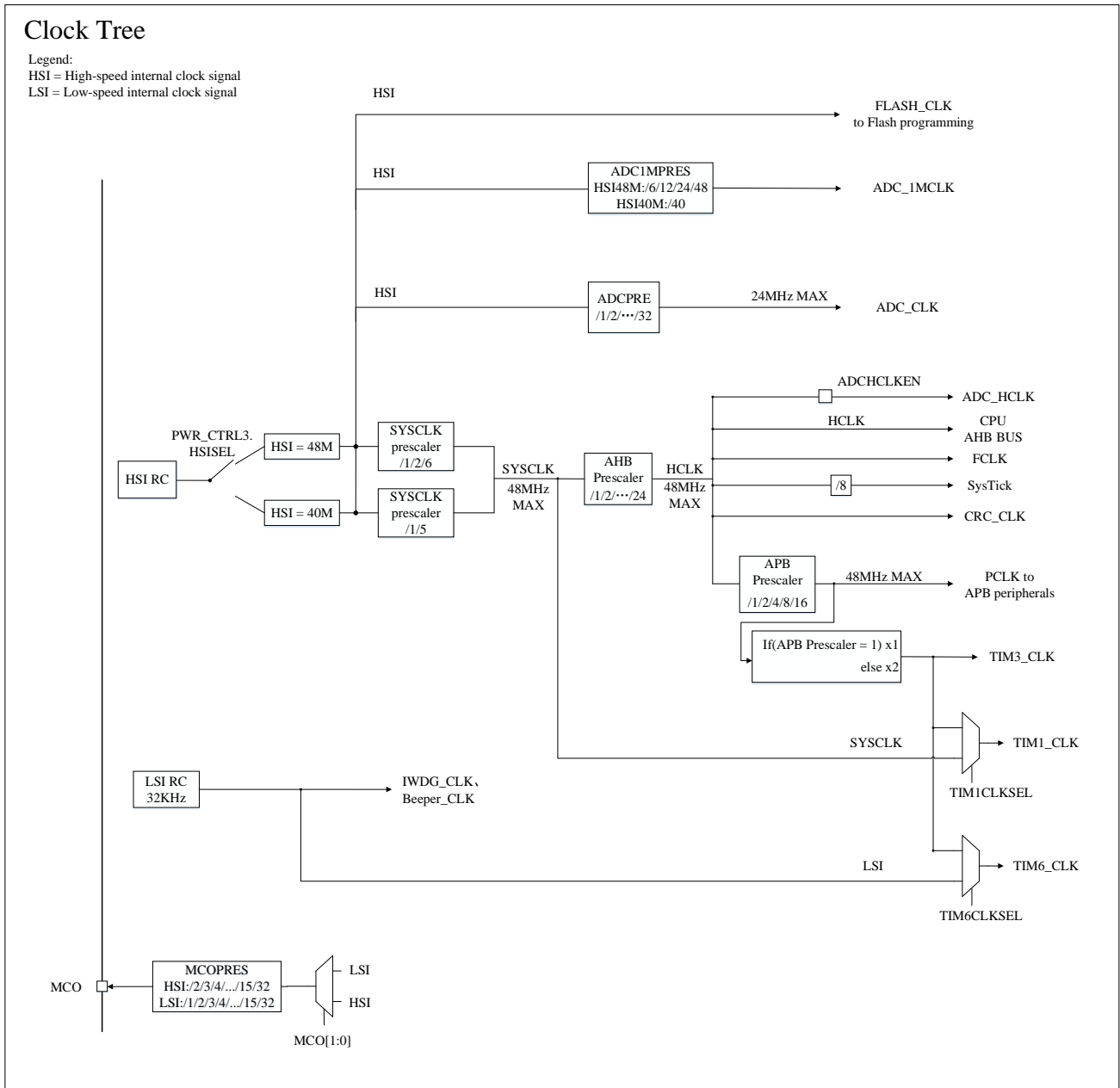
当定时器时钟源为 PCLK 时，定时器时钟频率由硬件按以下 2 种情况自动设置：

- ◇ 如果相应的 APB 时钟预分频系数是 1，定时器的时钟频率与 APB 总线频率相同
- ◇ 如果相应的 APB 时钟预分频系数不是 1，定时器的时钟频率是 APB 总线频率的 2 倍

- IWDG 的时钟源为 LSI 振荡器
- Flash 存储器编程接口时钟始终是 HSI 时钟
- 通过配置 SysTick 控制与状态寄存器，可选择下述两种情况之一作为 SysTick 时钟源：
 - ◆ AHB 时钟 (HCLK) 八分频
 - ◆ AHB 时钟 (HCLK)
- FCLK 是 Cortex[®]-M0 的自由运行时钟。详情见 ARM 的 Cortex[®]-M0 技术参考手册。

4.2.1 时钟树

图 4-2 时钟树



1. 系统时钟的最大频率为 48MHz。
2. 有关内部和外部时钟源特性的详细信息，请参阅产品数据手册中的“电气特性”部分。

4.2.2 HSI 时钟

通过配置 PWR_CTRL3.HSISEL, 选择 HSI(高速内部)时钟信号由内部 48MHz 或 40MHz RC 振荡器产生, HSI 可直接作为系统时钟或分频后输入。HSI RC 振荡器无需任何外部设备即可提供时钟源。

制造工艺决定了不同芯片的 RC 振荡器频率会不同, 这就是为什么每个芯片的 HSI 时钟频率在出厂前已经

被校准到 1% (25°C) 的原因。

由于用户的应用场景会受到电压或温度变化的影响，这也会影响 RC 振荡器的频率精度。用户可以使用 RCC_HSICTRL.HSITRIM[3:0]位调整 HSI 频率。

RCC_CTRL.HSI48MRDF 或 RCC_CTRL.HSI40MRDF 位指示 HSI RC 振荡器是否稳定。在启动时，直到该位被硬件设置，HSI RC 输出时钟才会被释放。

4.2.3 LSI 时钟

LSI RC 可以在 STOP 模式下为 IWDG 和 PWR 提供时钟。LSI 时钟频率约为 32KHz。有关详细信息，请参阅数据表的电气特性部分。

RCC_LSICTRL.LSIRDF 位标志指示 LSI 时钟是否稳定。在启动时，直到该位被硬件设置时，时钟才会被释放。

4.2.3.1 LSI 校准

可以通过校准补偿内部低速振荡器 LSI 频率误差，以获得更高精度的 LPTIM（由 LSI 提供时钟时）、Beeper 和 IWDG 时基。

LSI 校准步骤如下：

1. 使能 RCC_LSICTRL.LSIDETEN，启动 LSI 时钟校准；
2. 查询 RCC_LSICTRL.LSIDETFF 标志位，为 1 时校准结束，读取 RCC_LSICTRL.LSIFREQ[15:0]；
3. 根据需要可多次获取 RCC_LSICTRL.LSIFREQ[15:0]后取平均值，然后清除 RCC_LSICTRL.LSIDETFF 标志位，禁能 RCC_LSICTRL.LSIDETEN；
4. 根据公式计算出 LSI 实际频率 $LSICLK(kHz) = 8 * HSICLK / LSIFREQ[15:0]$ (HSICLK 为 48000 kHz 或 40000 kHz)；
5. 根据 LSI 实际频率与 32kHz 的偏差，调节 RCC_LSICTRL.LSITRIM[4:0]（默认值 16，调节步长 1kHz）

4.2.4 系统时钟(SYSCLK)选择

系统复位后，使用 HSI 振荡器作为系统时钟。

通过配置 HSI 分频系数 RCC_CFG.SYSPRES[1:0]，当 HSI 为 48M 时，系统时钟可配置为 8M、24M 或 48M；当 HSI 为 40M 时，系统时钟可配置为 8M 或 40M。

4.2.5 看门狗时钟

如果 IWDG 由硬件选项或软件启动，LSI 振荡器将被强制开启并且不能被禁用。LSI 振荡器稳定后，时钟被提供给 IWDG。

4.2.6 TIM6 时钟

正常工作模式下 TIM6 时钟支持 PCLK 和 LSI 两种时钟源。低功耗模式下由于 PCLK 会关闭，所以软件应在进入低功耗模式前将 TIM6 时钟切换至 LSI。

LSI, PCLK 之间互相切换无毛刺，软件要确保两个时钟都是打开的状态下才进行切换。

4.2.7 时钟输出(MCO)

微控制器时钟输出(MCO)功能允许将时钟信号输出到外部 MCO 引脚。

MCO 引脚为 PA13, GPIO 口寄存器必须配置为对应的复用功能。

可以选择以下 2 个时钟信号作为 MCO 时钟：

- HSI 时钟分频
- LSI 时钟分频

MCO 时钟选择由 RCC_CFG.MCO[1:0]控制，时钟分频由 RCC_CFG.MCOPRES[3:0]控制。

4.3 RCC 寄存器

RCC 寄存器可通过 AHB 总线访问，寄存器说明如下。

4.3.1 寄存器总览

表 4-1 RCC 寄存器总览

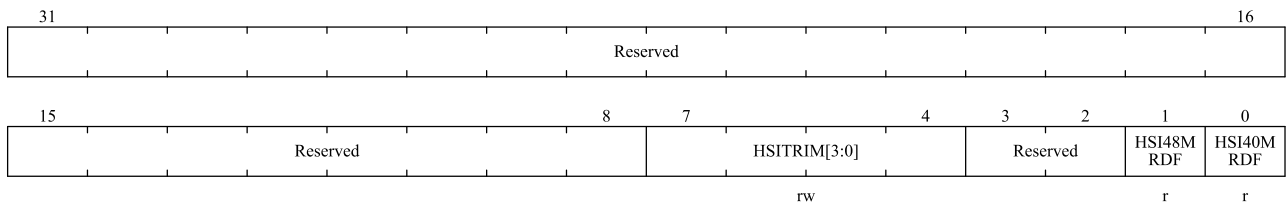
Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
000h	RCC_HSICTRL	Reserved																								HSITRIM[3:0]				Reserved		HSI48MRDF	HSI40MRDF		
	Reset Value																									1	0	0	0	1	0				
004h	RCC_CFG	MCORES[3:0]			Reserved	MCO[1:0]		Reserved										SYSPRES[1:0]		Reserved	APBPRES[2:0]		AHBPRES[3:0]			Reserved									
	Reset Value	0	0	1	0		0	0											1	1		0	0	0	0	0	0	0	0	0	0	0			
00Ch	RCC_PRST	Reserved																		COMPRST	TIM6RST	TIM3RST	TIM1RST	SPIRST	Reserved	ADCRST	PWRRST	I2CRST	UART2RST	UART1RST	IOPBRST	IOPARST	BEEPERRST	AFIOIRST	
	Reset Value																			0	0	0	0	0		0	0	0	0	0	0	0	0	0	0
010h	RCC_AHBPLKEN	Reserved														ADCEN		Reserved				CRCEN		Reserved											
	Reset Value															0						0													
014h	RCC_APBPLKEN	Reserved																		IWDGEN	TIM6EN	TIM3EN	TIM1EN	SPIEN	PWREN	I2CEN	UART2EN	UART1EN	COMP1LTEN	COMPEN	IOPBEN	IOPAEN	BEEPEREN	AFIOEN	
	Reset Value																			1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
018h	RCC_LSICTRL	Reserved					LSIDETFF		LSIFREQ[15:0]										LSIDETEN		LSITRIM[4:0]				LSIRDFF	Reserved									
	Reset Value						0		0										0		1				0	0									

01Ch	RCC_CTRLSTS	Reserved										EMCRSTF	Reserved	LPWRSTF	LVRSTF	IWDGRSTF	SFTRSTF	PORRSTF	PINRSTF	Reserved	RMRSTF			
	Reset Value											0		0	0	0	0	1	1			0		
020h	RCC_CFG2	TIM1CLKSEL	TIM6CLKSEL	Reserved										ADC1MPRES[1:0]		Reserved						ADCPRES [3:0]		
	Reset Value	0	0											1	1							0	0	0
024h	RCC_EMCCTRL	Reserved										EMCRSTEN	Reserved										EMCDETEN	
	Reset Value											0											0	

4.3.2 HSI 时钟控制寄存器 (RCC_HSICTRL)

偏移地址: 0x00

复位值: 0x0000 0082



位域	名称	描述
31:8	Reserved	保留, 必须保持复位值
7:4	HSITRIM[3:0]	内部高速时钟校准 由软件写入, 用以校准内部 HSI RC 振荡器的频率, 根据应用需要以获得更高的精度。 默认数值为 8, HSITRIM 调节步长为目标频率*0.33% (目标频率为 48M 或 40M)。
3:2	Reserved	保留, 必须保持复位值
1	HSI48MRDF	内部 48M 高速时钟就绪标志位 内部 48M RC 振荡器时钟就绪后由硬件置位。 0: 内部 48M RC 振荡器时钟未就绪 1: 内部 48M RC 振荡器时钟就绪
0	HSI40MRDF	内部 40M 高速时钟就绪标志位 内部 40M RC 振荡器时钟就绪后由硬件置位。 0: 内部 40M RC 振荡器时钟未就绪 1: 内部 40M RC 振荡器时钟就绪

4.3.3 时钟配置寄存器（RCC_CFG）

偏移地址：0x04

复位值：0x2000 3000

31	28	27	26	25	24													16			
MCOPRES[3:0]				Reserved	MCO[1:0]		Reserved														
rw				rw																	
15	14	13	12	11	10	8	7							4	3					0	
Reserved		SYSPRES[1:0]		Reserved	APBPRES[2:0]		AHBPRES[3:0]						Reserved								
rw		rw		rw																	

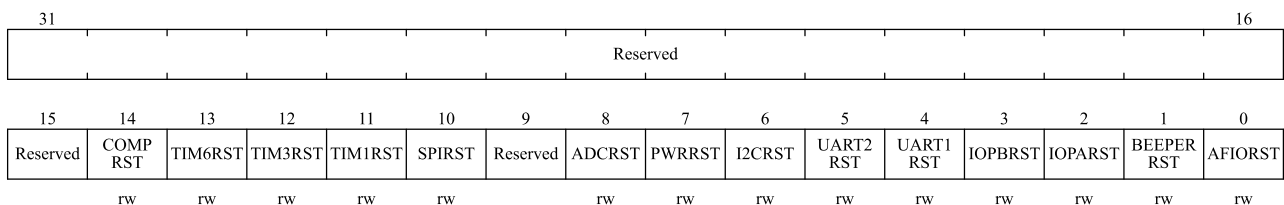
位域	名称	描述
31:28	MCOPRES[3:0]	MCO 预分频 软件设置或清零。 0000: MCO 输出 LSI 时，不分频；MCO 输出 HSI 时，2 分频 0001: LSI/HSI 时钟 2 分频作为 MCO 时钟 0010: LSI/HSI 时钟 3 分频作为 MCO 时钟 0011: LSI/HSI 时钟 4 分频作为 MCO 时钟 0100: LSI/HSI 时钟 5 分频作为 MCO 时钟 0101: LSI/HSI 时钟 6 分频作为 MCO 时钟 0110: LSI/HSI 时钟 7 分频作为 MCO 时钟 0111: LSI/HSI 时钟 8 分频作为 MCO 时钟 1000: LSI/HSI 时钟 9 分频作为 MCO 时钟 1001: LSI/HSI 时钟 10 分频作为 MCO 时钟 1010: LSI/HSI 时钟 11 分频作为 MCO 时钟 1011: LSI/HSI 时钟 12 分频作为 MCO 时钟 1100: LSI/HSI 时钟 13 分频作为 MCO 时钟 1101: LSI/HSI 时钟 14 分频作为 MCO 时钟 1110: LSI/HSI 时钟 15 分频作为 MCO 时钟 1111: LSI/HSI 时钟 32 分频作为 MCO 时钟
27	Reserved	保留，必须保持复位值
26:25	MCO[1:0]	MCU 时钟输出选择 通过软件置 1 和清除。 00:没有时钟 01:LSI 时钟分频 10:HSI 时钟分频 其他值:不允许设置 <i>注意:</i> 该时钟输出在启动和切换 MCO 时钟源时可能会被截断。 在 HSI 时钟作为输出至 MCO 引脚时，应保证输出时钟频率不超过 I/O 口最高频率（I/O 口最高频率详情见数据手册）。
24:14	Reserved	保留，必须保持复位值
13:12	SYSPRES[1:0]	系统时钟预分频

位域	名称	描述
		软件设置或清零，配置系统时钟 SYSCLK 的预分频系数。 当 HSI 为 48M 时： 00：HSI 不分频作为系统时钟 01：HSI 2 分频作为系统时钟 其他值：HSI 6 分频作为系统时钟 当 HSI 为 40M 时： 00：HSI 不分频作为系统时钟 其他值：HSI 5 分频作为系统时钟 注意：退出 STOP 后该位恢复到复位值。
11	Reserved	保留，必须保持复位值
10:8	APBPRES[2:0]	APB 时钟预分频。 软件设置或清零，配置 APB 时钟 PCLK 的预分频系数。 0xx：HCLK 不分频 100：HCLK 2 分频 101：HCLK 4 分频 110：HCLK 8 分频 111：HCLK 16 分频
7:4	AHBPRES[3:0]	AHB 时钟预分频。 软件设置或清零，配置 AHB 时钟 HCLK 的预分频系数。 0xxx：SYSCLK 不分频 1000：SYSCLK 2 分频 1001：SYSCLK 4 分频 1010：SYSCLK 8 分频 1011：SYSCLK 12 分频 1100：SYSCLK 16 分频 其他值：SYSCLK 24 分频
3:0	Reserved	保留，必须保持复位值

4.3.4 外设复位寄存器（RCC_PRST）

偏移地址：0x0c

复位值：0x0000 0000



位域	名称	描述
31:15	Reserved	保留，必须保持复位值。
14	COMPRST	COMP 复位。

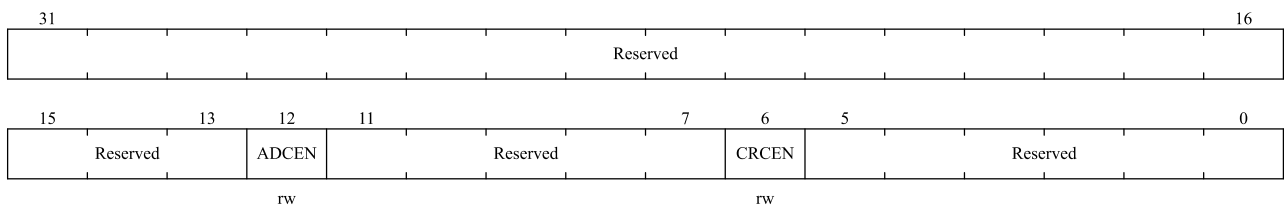
位域	名称	描述
		软件置 1 或清零。 0: 清除复位 1: 复位 COMP
13	TIM6RST	TIM6 定时器复位。 软件置 1 或清零。 0: 清除复位 1: 复位 TIM6
12	TIM3RST	TIM3 定时器复位。 软件置 1 或清零。 0: 清除复位 1: 复位 TIM3
11	TIM1RST	TIM1 定时器复位。 软件置 1 或清零。 0: 清除复位 1: 复位 TIM1
10	SPIRST	SPI 复位 通过软件置 1 和清除。 0:清除复位 1:复位 SPI
9	Reserved	保留，必须保持复位值。
8	ADCRST	ADC 复位 通过软件置 1 和清除。 0:清除复位 1:复位 ADC
7	PWRRST	电源接口复位。 软件置 1 或清零。 0: 清除复位 1: 复位电源接口
6	I2CRST	I2C 复位 通过软件置 1 和清除。 0:清除复位 1:复位 I2C
5	UART2RST	UART2 复位 通过软件置 1 和清除。 0:清除复位 1:复位 UART2
4	UART1RST	UART1 复位 通过软件置 1 和清除。 0:清除复位 1:复位 UART1
3	IOPBRST	GPIO 端口 B 复位。 软件置 1 或清零。

位域	名称	描述
		0: 清除复位 1: 复位 GPIO 端口 B
2	IOPARST	GPIO 端口 A 复位。 软件置 1 或清零。 0: 清除复位 1: 复位 GPIO 端口 A
1	BEEPERRST	Beeper 复位 通过软件置 1 和清除。 0:清除复位 1:复位 Beeper
0	AFIORST	复用功能 IO 复位。 软件置 1 或清零。 0: 清除复位 1: 复位复用功能 IO

4.3.5 AHB 外设时钟使能寄存器 (RCC_AHBPCCLKEN)

偏移地址: 0x10

复位值: 0x0000 000

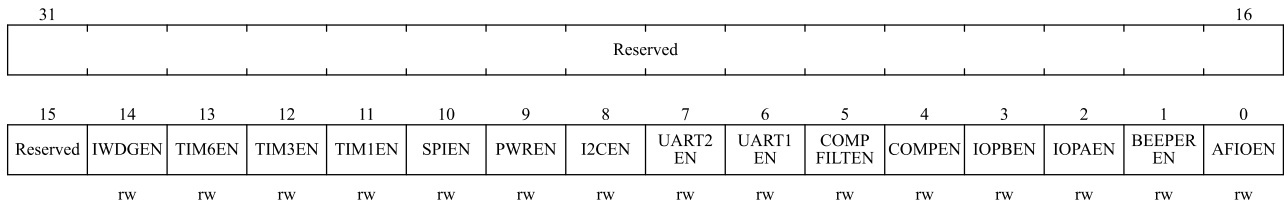


位域	名称	描述
31:13	Reserved	保留, 必须保持复位值。
12	ADCEN	ADC 时钟使能。 软件置 1 或清零。 0: 关闭 ADC 时钟 1: 使能 ADC 时钟
11:7	Reserved	保留, 必须保持复位值。
6	CRCEN	CRC 时钟使能。 软件置 1 或清零。 0: 关闭 CRC 时钟 1: 使能 CRC 时钟
5:0	Reserved	保留, 必须保持复位值。

4.3.6 APB 外设时钟使能寄存器 (RCC_APBPCCLKEN)

偏移地址: 0x14

复位值：0x0000 4200



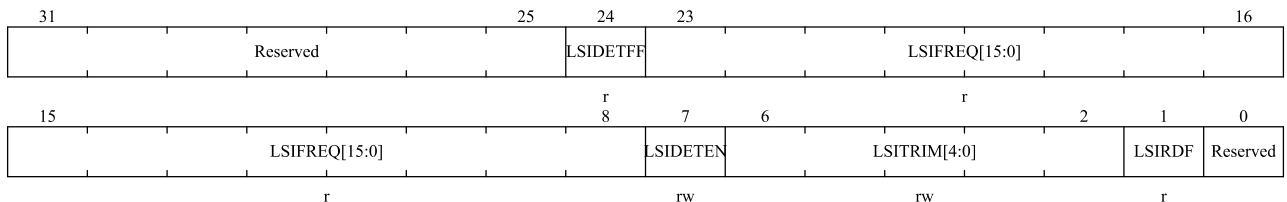
位域	名称	描述
31:15	Reserved	保留，必须保持复位值。
14	IWDGEN	IWDG 时钟使能。 软件置 1 或清零。 0：关闭 IWDG 时钟 1：使能 IWDG 时钟
13	TIM6EN	TIM6 定时器时钟使能。 软件置 1 或清零。 0：关闭 TIM6 定时器时钟 1：使能 TIM6 定时器时钟
12	TIM3EN	TIM3 定时器时钟使能。 软件置 1 或清零。 0：关闭 TIM3 定时器时钟 1：使能 TIM3 定时器时钟
11	TIM1EN	TIM1 定时器时钟使能。 软件置 1 或清零。 0：关闭 TIM1 定时器时钟 1：使能 TIM1 定时器时钟
10	SPIEN	SPI 时钟使能。 软件置 1 或清零。 0：关闭 SPI 时钟 1：使能 SPI 时钟
9	PWREN	电源接口时钟使能。 软件置 1 或清零。 0：关闭电源接口时钟 1：使能电源接口时钟
8	I2CEN	I2C 时钟使能。 软件置 1 或清零。 0：关闭 I2C 时钟 1：使能 I2C 时钟
7	UART2EN	UART2 时钟使能。 软件置 1 或清零。 0：关闭 UART2 时钟 1：使能 UART2 时钟
6	UART1EN	UART1 时钟使能。

位域	名称	描述
		软件置 1 或清零。 0: 关闭 UART1 时钟 1: 使能 UART1 时钟
5	COMPFILTEN	COMP Filter 时钟使能。 软件置 1 或清零。 0: 关闭 COMP Filter 时钟 1: 使能 COMP Filter 时钟
4	COMPEN	COMP 时钟使能。 软件置 1 或清零。 0: 关闭 COMP 时钟 1: 使能 COMP 时钟
3	IOPBEN	GPIO 端口 B 时钟使能。 软件置 1 或清零。 0: 关闭 GPIO 端口 B 的时钟 1: 使能 GPIO 端口 B 的时钟
2	IOPAEN	GPIO 端口 A 时钟使能。 软件置 1 或清零。 0: 关闭 GPIO 端口 A 的时钟 1: 使能 GPIO 端口 A 的时钟
1	BEEPEREN	Beeper 时钟使能。 软件置 1 或清零。 0: 关闭 Beeper 时钟 1: 使能 Beeper 时钟
0	AFIOEN	复用功能 IO 时钟使能。 软件置 1 或清零。 0: 关闭复用功能 IO 时钟 1: 使能复用功能 IO 时钟

4.3.7 LSI 时钟控制寄存器 (RCC_LSICTRL)

偏移地址: 0x18

复位值: 0x0000 0042



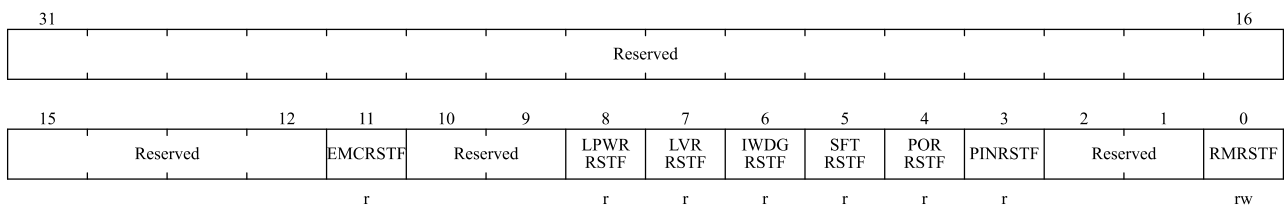
位域	名称	描述
31:25	Reserved	保留, 必须保持复位值。
24	LSIDETFF	LSI 检测结束标志

位域	名称	描述
		由硬件置 1，通过禁能 LSI DETEN 位清零。 0: LSI 检测未结束 1: LSI 检测结束
23:8	LSIFREQ[15:0]	LSI 检测计数 只读，可用于 LSI 频率校准。 LSI 实际频率 LSICLK(kHz) = 8*HSICLK/LSIFREQ[15:0](HSICLK 为 48000 kHz 或 40000 kHz)
7	LSIDETEN	LSI 检测使能 通过软件置 1 和清除。 0: 禁能 LSI 检测 1: 使能 LSI 检测
6:2	LSITRIM[4:0]	内部低速时钟校准 由软件写入，用以校准内部 LSI RC 振荡器的频率，根据应用需要以获得更高的精度。 默认数值为 16，LSITRIM 调节步长为 1kHz。
1	LSIRDF	内部低速时钟振荡器就绪。 硬件置 1 或清零，以指示 LSI 振荡器是否就绪。 0: LSI 未就绪 1: LSI 已就绪
0	Reserved	保留，必须保持复位值。

4.3.8 控制/状态寄存器 (RCC_CTRLSTS)

偏移地址: 0x1c

复位值: 0x00000018



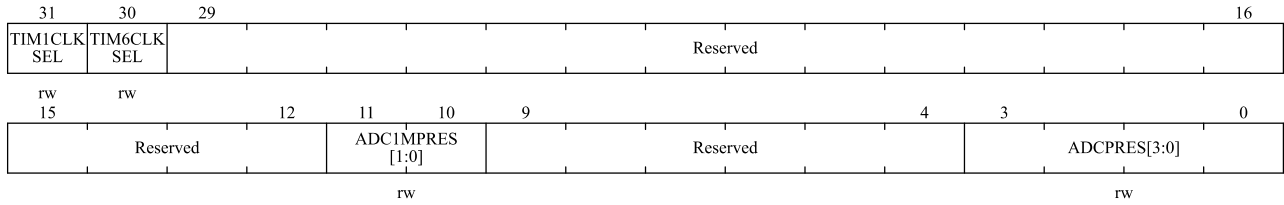
位域	名称	描述
31:12	Reserved	保留，必须保持复位值。
11	EMCRSTF	EMC 复位标志 由硬件在 EMC clamp 复位时置 1。 通过写入 RMRSTF 位清除。 0: 没有 EMC clamp 复位发生 1: EMC clamp 复位出现
10:9	Reserved	保留，必须保持复位值。
8	LPWRRSTF	Low-power 复位标志 由硬件在 Low-power 复位时置 1。

位域	名称	描述
		通过写入 RMRSTF 位清除。 0: 没有 Low-power 复位发生 1: Low-power 复位出现
7	LVRRSTF	低电压复位标志 由硬件在低电压复位时置 1。 通过写入 RMRSTF 位清除。 0: 没有低电压复位发生 1: 低电压复位出现
6	IWDGRSTF	Independent watchdog 复位标志 由硬件在 Independent watchdog 复位时置 1。 通过写入 RMRSTF 位清除。 0: 没有 Independent watchdog 复位发生 1: Independent watchdog 复位出现
5	SFTRSTF	Software 复位标志 由硬件在 software 复位时置 1。 通过写入 RMRSTF 位清除。 0: 没有 software 复位发生 1: Software 复位出现
4	PORRSTF	POR/PDR 复位标志 由硬件在 POR/PDR 复位时置 1。 通过写入 RMRSTF 位清除 0: 没有 POR/PDR 复位发生 1: POR/PDR 复位出现
3	PINRSTF	PIN 复位标志 由硬件在 NRST pin 复位时置 1。 通过写入 RMRSTF 位清除。 0: 没有 NRST pin 复位发生 1: NRST pin 复位出现
2:1	Reserved	保留，必须保持复位值。
0	RMRSTF	清除复位标志 由软件清除复位标志。 0: 无作用 1: 清除这些复位标志

4.3.9 时钟配置寄存器 2 (RCC_CFG2)

偏移地址: 0x20

复位值: 0x0000 0c01

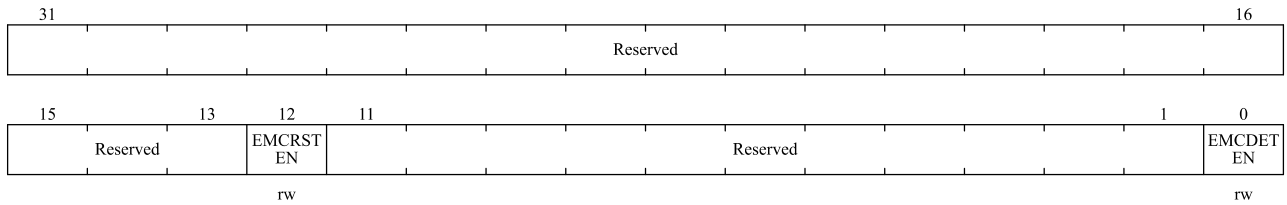


位域	名称	描述
31	TIM1CLKSEL	Timer1 时钟源选择 该位由软件进行设置和清除。 0: 如果 APB 预分频器为 1, 则选择 PCLK 作为 TIM1 时钟源。否则, 选择 PCLK×2。 1: SYSCLK 时钟被选择为 TIM1 时钟源
30	TIM6CLKSEL	Timer6 时钟源选择 该位由软件进行设置和清除。 0: 如果 APB 预分频器为 1, 则选择 PCLK 作为 TIM6 时钟源。否则, 选择 PCLK×2。 1: LSI 时钟被选择为 TIM6 时钟源
29:12	Reserved	保留, 必须保持复位值。
11:10	ADC1MPRES[1:0]	ADC 1M 时钟预分频 软件设置或清除这些位来配置 ADC 1M 时钟源的预分频系数。 为确保 ADC 模块正常工作, HSI 分频结果必须为 1M。 当 HSI 为 48M 时: 00: HSI 6 分频作为 ADC 1M 时钟源 01: HSI 12 分频作为 ADC 1M 时钟源 10: HSI 24 分频作为 ADC 1M 时钟源 11: HSI 48 分频作为 ADC 1M 时钟源 当 HSI 为 40M 时: 00~11: HSI 40 分频作为 ADC 1M 时钟源
9:4	Reserved	保留, 必须保持复位值。
3:0	ADCPRES[3:0]	ADC 工作时钟预分频。 软件设置或清除这些位以配置 ADC 工作时钟源的预分频系数。 为确保 ADC 模块正常工作, ADC 工作时钟频率不能超过 24M。 0000: HSI 不分频作为 ADC 工作时钟源 0001: HSI 2 分频作为 ADC 工作时钟源 0010: HSI 3 分频作为 ADC 工作时钟源 0011: HSI 4 分频作为 ADC 工作时钟源 0100: HSI 6 分频作为 ADC 工作时钟源 0101: HSI 8 分频作为 ADC 工作时钟源 0110: HSI 10 分频作为 ADC 工作时钟源 0111: HSI 12 分频作为 ADC 工作时钟源 1000: HSI 24 分频作为 ADC 工作时钟源 1001: HSI 32 分频作为 ADC 工作时钟源 其它值: HSI 32 分频作为 ADC 工作时钟源

4.3.10 EMC 控制寄存器 (RCC_EMCCTRL)

偏移地址: 0x24

复位值: 0x0000 0000



位域	名称	描述
31:13	Reserved	保留, 必须保持复位值。
12	EMCRSTEN	EMC 复位使能 这个位由软件置 1 和清除。 0:禁止复位请求 1:开启复位请求
11:1	Reserved	保留, 必须保持复位值。
0	EMCDETEN	EMC clamp 检测使能 这个位由软件置 1 和清除。 0:禁止检测 1:使能检测

5 GPIO 和 AFIO

5.1 概述

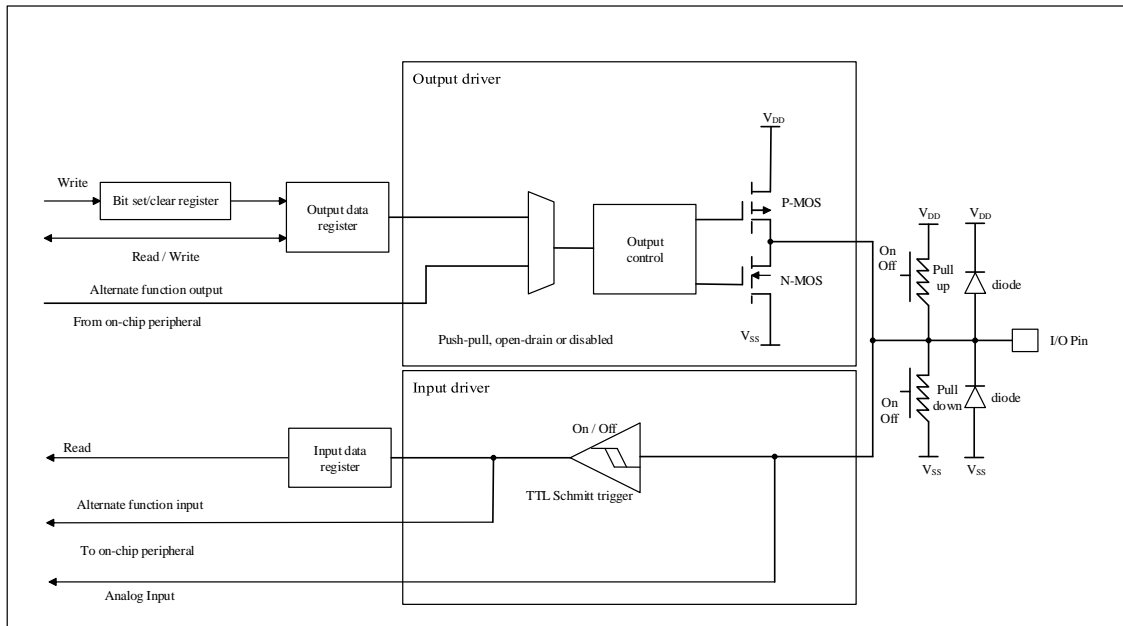
支持 18 个 GPIO，分为 2 组（GPIOA/GPIOB），GPIOA 有 16 个引脚，GPIOB 有 2 个引脚。每个 GPIO 引脚都可以通过软件配置为输出（推挽或开漏）、输入（带或不带上拉或下拉）或复用的外设功能端口（输出/输入），大多数 GPIO 引脚与数字或模拟复用外设共享，一些 I/O 引脚也与时钟引脚复用。除具有模拟输入功能的端口外，所有 GPIO 引脚都具有通过大电流的能力。

GPIO 端口具有以下特征：

- 每个 GPIO 口都可以通过软件配置成以下模式：
 - ◆ 输入浮空
 - ◆ 输入上拉
 - ◆ 输入下拉
 - ◆ 模拟功能
 - ◆ 开漏输出，上拉/下拉可配置
 - ◆ 推挽输出，上拉/下拉可配置
 - ◆ 推挽复用功能，上拉/下拉可配置
 - ◆ 开漏复用功能，上拉/下拉可配置
- 单独的位设置或位清除功能
- 所有 I/O 支持外部中断功能
- 所有 I/O 支持低功耗模式唤醒，上升沿或下降沿触发可配置
 - ◆ 18 条 EXTI 线可用于 STOP 模式唤醒，所有 I/O 可复用为 EXTI
 - ◆ NRST(PA0)/PA1/PA2 三个唤醒 I/O 可用于 PD 模式唤醒，I/O 滤波时间最大为 1us
- 支持软件重新映射 I/O 复用功能
- 支持 GPIO 锁定机制，复位锁定状态清除

每个 I/O 端口位都可以任意编程，但 I/O 端口寄存器必须以 32 位字访问（16 位半字或 8 位字节模式是不允许的）。下图显示了 I/O 端口的基本结构。

图 5-1 I/O 端口的基本结构



5.2 功能描述

5.2.1 模式配置

I/O 口模式可以通过寄存器 GPIOx_PMODE(x=A~B)、GPIOx_POTYPE(x=A~B)和 GPIOx_PUPD(x=A~B) 进行配置。不同操作模式下的 I/O 配置如下表所示：

表 5-1 I/O 口配置表

PMODE[1:0]	POTYPE	PUPD[1:0]		I/O 配置
01	0	0	0	通用输出推挽 (Push-Pull)
	0	0	1	通用输出推挽 (Push-Pull) + 上拉
	0	1	0	通用输出推挽 (Push-Pull) + 下拉
	0	1	1	保留
	1	0	0	通用输出开漏 (Open-Drain)
	1	0	1	通用输出开漏 (Open-Drain) + 上拉
	1	1	0	通用输出开漏 (Open-Drain) + 下拉
	1	1	1	保留
10	0	0	0	复用功能 + 推挽 (Push-Pull)
	0	0	1	复用功能 + 推挽 (Push-Pull) + 上拉
	0	1	0	复用功能 + 推挽 (Push-Pull) + 下拉
	0	1	1	保留
	1	0	0	复用功能 + 开漏 (Open-Drain)
	1	0	1	复用功能 + 开漏 (Open-Drain) + 上拉
	1	1	0	复用功能 + 开漏 (Open-Drain) + 下拉

PMODE[1:0]	POTYPE	PUPD[1:0]		I/O 配置
	1	1	1	保留
00	x	0	0	浮空输入
	x	0	1	上拉输入
	x	1	0	下拉输入
	x	1	1	保留
11	x	0	0	模拟模式
	x	0	1	保留
	x	1	0	
	x	1	1	

此外，GPIOx_DS.DSy (x=A~B)位用于配置 I/O 高/低驱动能力，GPIOx_SR.SRy (x=A~B)位用于配置 I/O 快/慢翻转速率。

不同配置下 I/O 的输入输出特性如下表所示：

表 5-2 I/O 管脚功能特性列表

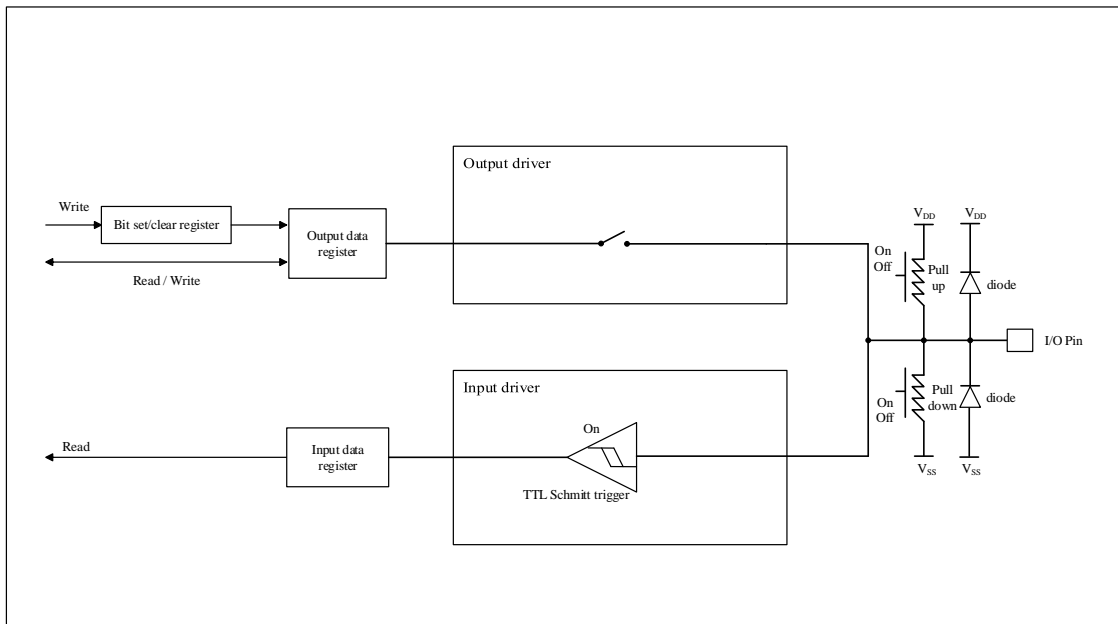
特性	GPIO输入	GPIO输出	模拟	复用功能
输出缓冲器	失能	使能	失能	根据外设功能配置
施密特触发器	使能	使能	失能，输出强制为0	使能
上拉/下拉/浮空	可配	可配	失能	根据外设功能配置
开漏模式	失能	可配置，输出数据为“0”时GPIO输出0，“1”时GPIO为高阻	失能	可配置，输出数据为“0”时GPIO输出0，“1”时GPIO为高阻
推挽模式	失能	可配置，输出数据为“0”时GPIO输出0，输出数据为“1”时GPIO输出1	失能	可配置，输出数据为“0”时GPIO输出0，输出数据为“1”时GPIO输出1
输入数据寄存器（I/O状态）	可读 （I/O状态）	可读 （I/O状态）	读为0 （Schmitt OFF）	可读 （I/O状态）
输出数据寄存器（输出值）	无效 （最后写入的值）	可读可写	无效 （最后写入的值）	可读

5.2.1.1 输入模式

当 I/O 口配置为输入模式时：

- 输出缓冲器被禁用
- 施密特触发器输入被激活
- 上拉/下拉电阻是否被连接取决于 GPIOx_PUPD (x=A~B)寄存器的配置
- 出现在 I/O 引脚上的数据在每个 APB 时钟采样到输入数据寄存器
- 对输入数据寄存器的读访问可以得到 I/O 状态

图 5-2 输入模式

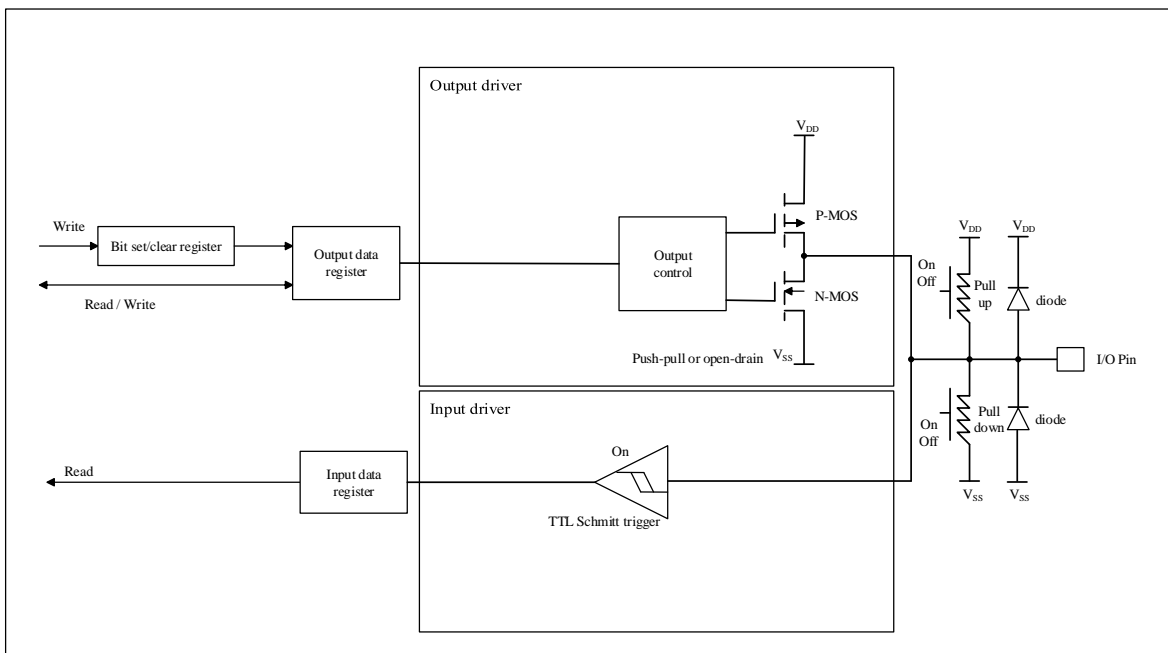


5.2.1.2 输出模式

当 I/O 口配置为输出模式时：

- 施密特触发器输入被激活
- 上拉/下拉电阻是否被连接取决于 GPIOx_PUPD (x=A~B)寄存器的配置
- 输出缓冲器被激活
 - ◆ 开漏模式：输出寄存器上的 0 激活 N-MOS，引脚输出低电平；输出寄存器上的 1 使端口处于高阻状态（P-MOS 永远不会被激活）
 - ◆ 推挽模式：输出寄存器为 0 激活 N-MOS，引脚输出低电平；输出寄存器为 1 激活 P-MOS，引脚输出高电平；
- 出现在 I/O 引脚上的数据在每个 APB 时钟采样到输入数据寄存器
- I/O 状态可以通过读取输入数据寄存器来获得
- 对输出数据寄存器的读访问获取最后写入的值

图 5-3 输出模式

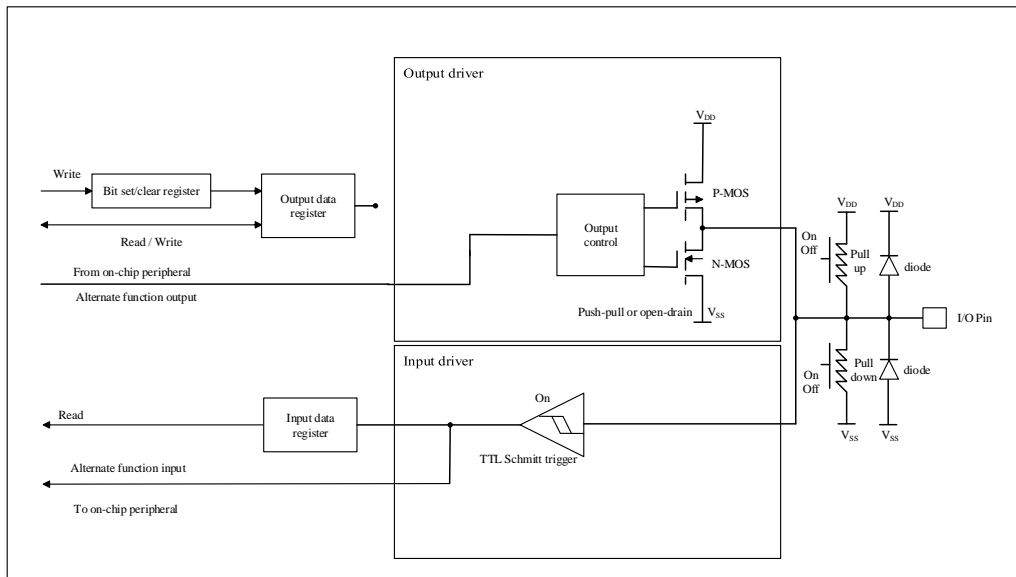


5.2.1.3 复用模式

当 I/O 端口配置为复用功能模式时：

- 施密特触发器输入被激活
- 上拉/下拉电阻是否被连接取决于 GPIOx_PUPD (x=A~B)寄存器的配置
- 开漏或推挽配置中，输出缓冲器由外设控制
- 输出由来自片内外设的信号驱动
- 弱上拉和下拉电阻使能/失能
- 在每个 APB 时钟周期，出现在 I/O 引脚上的数据被采样到输入数据寄存器中
- I/O 状态可以通过读取输入数据寄存器来获得
- 对输出数据寄存器的读访问获取最后写入的值

图 5-4 复用功能模式

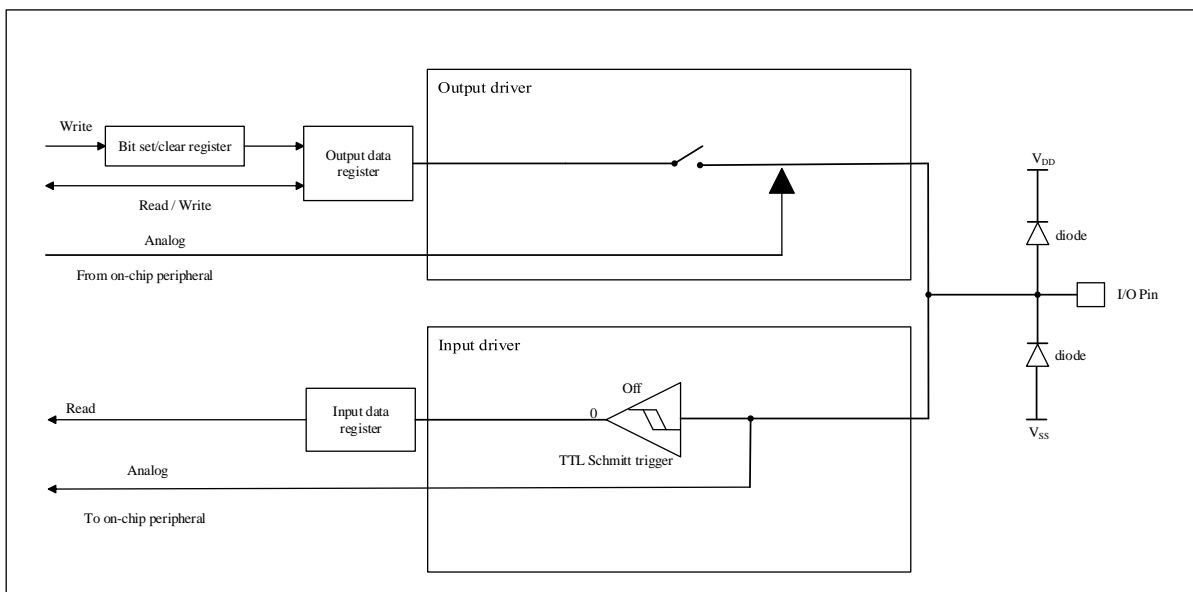


5.2.1.4 模拟模式

当 I/O 端口编程为模拟模式时：

- 上拉和下拉电阻被禁用
- 对输入数据寄存器的读访问得到值“0”
- 输出缓冲器被禁用
- 施密特触发器输入被禁用，为 I/O 引脚的每个模拟值提供零消耗。施密特触发器的输出被强制为恒定值 0

图 5-5 高阻抗模拟输入配置



5.2.2 复位后状态

复位期间和刚复位后，复用功能不开启，I/O 端口被配置为模拟模式（GPIOx_PMODE.PMODEy[1:0]=11）。但是，以下 I/O 端口除外。

- NRST (PA0):
 - ◆ FLASH_OB.NRST_PA0=1(默认值): 作为 NRST 输入上拉
 - ◆ FLASH_OB.NRST_PA0=0: 作为普通 GPIO, 作为输入时上电期间不能接低电平（否则芯片会一直处于复位状态）
- 复位后，与调试系统相关的引脚默认状态为使能 SWD
 - ◆ PA9: SWCLK 输入下拉
 - ◆ PA8: SWDIO 输入上拉

5.2.3 单独的位设置和位清除

通过将位设置/清除寄存器（GPIOx_PBSC）和位清除寄存器（GPIOx_PBC）中要改变的位写“1”，可以实现数据寄存器（GPIOx_POD）的单独位操作，可以设置/复位一个或多个位，写入'1'的位相应置位或清除，未写入'1'的位不会改变。该软件不需要禁用中断，并且在单个 APB 写操作中完成。

5.2.4 外部中断/唤醒线

所有端口都具有外部中断能力，可以在 EXTI 模块中进行配置：

- 为了使用外部中断线，端口必须配置为输入模式
- 所有端口均可配置为通过上升沿或下降沿触发中断唤醒 STOP 模式
- NRST(PA0)/PA1_WKUP0/PA2_WKUP1 可用于唤醒 PD 模式，并且具有单独的唤醒使能位，上升沿和下降沿可配置，但是需要在进入 PD 模式前配置
- GPIO 端口被连接到 18 条外部中断/事件线，可通过 AFIO_CFG.EXTI_SEL[4:0]位配置

表 5-3 EXTI Line 和 Pin 的关系

EXTI Line Selection	Pin
EXTI Line0	PA0
EXTI Line1	PA1
EXTI Line2	PA2
EXTI Line3	PA3
EXTI Line4	PA4
EXTI Line5	PA5
EXTI Line6	PA6
EXTI Line7	PA7
EXTI Line8	PA8
EXTI Line9	PA9

EXTI Line Selection	Pin
EXTI Line10	PA10
EXTI Line11	PA11
EXTI Line12	PA12
EXTI Line13	PA13
EXTI Line14	PA14
EXTI Line15	PA15
EXTI Line16	PB0
EXTI Line17	PB1

5.2.5 复用功能

当 I/O 端口被配置为复用功能模式时，端口位配置寄存器(GPIOx_AFL,GPIOx_AFH,GPIOx_PMODE,GPIOx_POTYPE 和 GPIOx_PUPD)使用前必须编程，复用输入或输出由外设决定。

5.2.5.1 软件重映射 I/O 复用功能

为了扩展在不同封装下复用外设功能的灵活性，许多复用外设功能可以映射到其他不同的引脚。每个 I/O 最多有 16 个复用功能(AF0~AF15)。复位后，除了 PA8 和 PA9，其他所有引脚的复用功能默认为 AF15 (AFSELY = AF15)。I/O 复用功能可通过软件配置相应的寄存器(GPIOx_AFL/ GPIOx_AFH)实现重映射。

此时，复用功能不在映射到它们初始引脚，对于外设的 I/O 复用功能，如果重映射到不同的引脚，输入是在多个重映射引脚中选择一个，输出将连接到重映射的引脚，而原来的引脚将断开。

5.2.5.2 SWD 复用功能重映射

表 5-4 调试接口信号

复用功能	引脚	重映射
SWDIO	PA8	AF0
SWCLK	PA9	AF0

5.2.5.3 TIMx 复用功能重映射

5.2.5.3.1 TIM1 复用功能重映射

表 5-5 TIM1 复用功能重映射

复用功能	引脚	重映射
TIM1_ETR	PA14	AF5
	PA15	AF5
TIM1_BKIN	PA1	AF4
	PA5	AF4
	PA9	AF4
TIM1_CH1	PA6	AF4
	PA11	AF0
	PB0	AF4
TIM1_CH2	PA7	AF4
	PA12	AF3

复用功能	引脚	重映射
	PA14	AF3
	PA15	AF4
TIM1_CH3	PA1	AF3
	PA7	AF5
	PA10	AF2
	PA11	AF4
TIM1_CH4	PA3	AF3
	PA6	AF3
	PA7	AF3
	PA8	AF2
	PA10	AF3
	PA11	AF3
	PA12	AF4
	PA13	AF3
	PA14	AF4
	PA15	AF3
TIM1_CH1N	PB1	AF4
	PA5	AF2
TIM1_CH2N	PA11	AF5
	PA13	AF5
	PA6	AF5
TIM1_CH3N	PA12	AF5
	PA13	AF4
	PA2	AF4
	PA3	AF4
	PA4	AF4
	PA10	AF4

5.2.5.3.2 TIM3 复用功能重映射

表 5-6 TIM3 复用功能重映射

复用功能	引脚	重映射
TIM3_ETR	PA9	AF2
	PB1	AF1
TIM3_CH1	PA1	AF2
	PA3	AF1
	PA6	AF1
	PA7	AF1
	PA10	AF0
	PA11	AF1
	PA12	AF0
	PA13	AF1

复用功能	引脚	重映射
	PA14	AF0
	PA15	AF1
TIM3_CH2	PA2	AF2
	PA3	AF2
	PA6	AF2
	PA7	AF2
	PA10	AF1
	PA11	AF2
	PA12	AF1
	PA13	AF2
	PA14	AF1
	PA15	AF2

5.2.5.4 UARTx 复用功能重映射

5.2.5.4.1 UART1 复用功能重映射

表 5-7 UART1 复用功能重映射

复用功能	引脚	重映射
UART1_TX	PA2	AF5
	PA14	AF2
	PB0	AF2
UART1_RX	PA3	AF5
	PA12	AF2
	PB1	AF2

5.2.5.4.2 UART2 复用功能重映射

表 5-8 UART2 复用功能重映射

复用功能	引脚	重映射
UART2_TX	PA2	AF1
	PA8	AF1
	PA9	AF1
UART2_RX	PA1	AF1
	PA7	AF6
	PA9	AF8

5.2.5.5 I2C 复用功能重映射

表 5-9 I2C 复用功能重映射

复用功能	引脚	重映射
I2C_SCL	PA2	AF6
	PA4	AF6
	PA9	AF6

复用功能	引脚	重映射
I2C_SDA	PA1	AF6
	PA5	AF6
	PA8	AF6

5.2.5.6 SPI 复用功能重映射

表 5-10 SPI 复用功能重映射

复用功能	引脚	重映射
SPI_NSS	PA3	AF0
	PA8	AF5
SPI_SCK	PA14	AF6
	PA15	AF0
SPI_MISO	PA7	AF0
	PB0	AF6
SPI_MOSI	PA6	AF0
	PB1	AF6

5.2.5.7 COMP 复用功能重映射

表 5-11 COMP 复用功能重映射

复用功能	引脚	重映射
COMP1_OUT	PA8	AF3

5.2.5.8 EVENTOUT 复用功能重映射

表 5-12 EVENTOUT 复用功能重映射

复用功能	引脚	重映射
EVENTOUT	PA4	AF3
	PB0	AF3
	PB1	AF3

5.2.5.9 BEEPER 复用功能重映射

表 5-13 BEEPER 复用功能重映射

复用功能	引脚	重映射
BEEPER1_OUT	PA14	AF7
BEEPER1_N_OUT	PB0	AF7

5.2.5.10 MCO 复用功能重映射

表 5-14 MCO 复用功能重映射

复用功能	引脚	重映射
MCO	PA13	AF6

5.2.5.11 ADC 外部 I/O 触发复用功能

ADC 转换的外部触发源支持 PA0~PA15 和 PB0~PB1。

5.2.6 外设的 I/O 配置

表 5-15 ADC

ADC引脚	GPIO配置
ADC	模拟模式

表 5-16 TIM1

TIM1引脚	复用功能	GPIO配置
TIM1_CHx	输入捕获通道x	浮空输入
	输出比较通道x	推挽复用输出
TIM1_CHxN	互补输出通道x	推挽复用输出
TIM1_BKIN	刹车输入	浮空输入
TIM1_ETR	外部触发时钟输入	浮空输入

表 5-17 TIM3

TIM3引脚	复用功能	GPIO配置
TIM3_CHx	输入捕获通道x	浮空输入
	输出比较通道x	推挽复用输出
TIM3_ETR	外部触发时钟输入	浮空输入

表 5-18 UART

UART1/2引脚	复用功能	GPIO配置
UARTx_TX	全双工模式	推挽复用输出
	半双工模式	推挽复用输出
UARTx_RX	全双工模式	浮空输入或上拉输入
	半双工模式	未用，可作为通用I/O

表 5-19 I2C

I2C引脚	复用功能	GPIO配置
I2C_SCL	I2C时钟	开漏复用输出
I2C_SDA	I2C数据	开漏复用输出

表 5-20 SPI

SPI引脚	复用功能	GPIO配置
SPI_SCK	主模式	推挽复用输出
	从模式	浮空输入
SPI_MOSI	全双工模式/主模式	推挽复用输出
	全双工模式/从模式	浮空输入或上拉输入
	单线双向数据线/主模式	推挽复用输出
	单线双向数据线/从模式	未用，可作为通用I/O
SPI_MISO	全双工模式/主模式	浮空输入或上拉输入
	全双工模式/从模式	推挽复用输出
	单线双向数据线/主模式	未用，可作为通用I/O

SPI引脚	复用功能	GPIO配置
	单线双向数据线/从模式	推挽复用输出
SPI_NSS	硬件主/从模式	浮空输入或上拉输入或下拉输入
	硬件主模式/NSS输出使能	推挽复用输出（作为主机时NSS可选择idle高阻或idle为1）
	软件模式	未用，可作为通用I/O

表 5-21 COMP

COMP引脚	GPIO配置
COMP_OUT	推挽复用输出
COMP_IN	模拟输入

表 5-22 BEEPER

BEEPER引脚	GPIO配置
BEEPER_OUT	推挽复用输出
BEEPER_N_OUT	推挽复用输出

表 5-23 其他

引脚	复用功能	GPIO配置
EVENTOUT	Event output	推挽复用输出
MCO	Clock output	推挽复用输出
EXTI line input	External interrupt input	浮空输入或上拉输入或下拉输入

5.2.7 GPIO 锁定机制

锁定机制允许冻结 I/O 配置（GPIOx_PMODE、GPIOx_POTYPE、GPIOx_PUPD、GPIOx_DS 和 GPIOx_SR）和复用功能寄存器（GPIOx_AFL 和 GPIOx_AFH）的内容。当锁定程序在一个端口位上执行时，该端口位的配置将不再改变，直到下一次复位，参考端口配置锁定寄存器 GPIOx_PLOCK。

- PLOCKK，即 GPIOx_PLOCK[16]，只有在正确的序列 w1->w0->w1->r0 后才变为 1（这里 r0 也是必须的）。之后，只有在执行系统复位时才变为 0。GPIOx_PLOCK.PLOCKK[15:0] 只能在 GPIOx_PLOCK.PLOCKK = 0 时修改；
- 设置 GPIOx_PLOCK.PLOCKK 位的锁定序列：w1->w0->w1->r0 仅当 GPIOx_PLOCK.PLOCKK[15:0] 中的值（1 或 0）在此序列中不改变时才有效。如果 GPIOx_PLOCK.PLOCKK[15:0] 中的值在此序列期间发生变化，则不会设置 GPIOx_PLOCK.PLOCKK 位；
- 只要 GPIOx_PLOCK.PLOCKK=0 和 GPIOx_PLOCK.PLOCKy = 0 或 1，所有配置位和复用功能位都可以修改。当 GPIOx_PLOCK.PLOCKK=1 但 GPIOx_PLOCK.PLOCKy = 0 时，可以修改 GPIOx_PLOCK.PLOCKy = 0 对应的配置和复用功能位；
- 只有当 GPIOx_PLOCK.PLOCKK=1 且 GPIOx_PLOCK.PLOCKy = 1 时，GPIOx_PLOCK.PLOCKy = 1 对应的配置才会被锁定，不能修改；
- 如果锁序列操作错误，则必须重新启动锁（w1->w0->w1->r0）操作。

5.3 GPIO 寄存器

这些外设寄存器必须以 32 位字模式操作。

GPIO 端口基地址如下：

GPIOA 基地址：0x4000 1C00

GPIOB 基地址：0x4000 2000

5.3.1 GPIOA 寄存器总览

表 5-24 GPIOA 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	GPIOA_PMODE	PMODE15[1:0]		PMODE14[1:0]		PMODE13[1:0]		PMODE12[1:0]		PMODE11[1:0]		PMODE10[1:0]		PMODE9 [1:0]		PMODE8[1:0]		PMODE7[1:0]		PMODE6[1:0]		PMODE5[1:0]		PMODE4[1:0]		PMODE3[1:0]		PMODE2[1:0]		PMODE1[1:0]		PMODE0[1:0]	
	Reset value	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x04	GPIOA_POTYPE	Reserved																															
	Reset value	0																															
0x08	GPIOA_SR	Reserved																															
	Reset value	1																															
0x0C	GPIOA_PUPD	PUPD15[1:0]		PUPD14[1:0]		PUPD13[1:0]		PUPD12[1:0]		PUPD11[1:0]		PUPD10[1:0]		PUPD9[1:0]		PUPD8[1:0]		PUPD7[1:0]		PUPD6[1:0]		PUPD5[1:0]		PUPD4[1:0]		PUPD3[1:0]		PUPD2[1:0]		PUPD1[1:0]		PUPD0[1:0]	
	Reset value	0	1	1	0	0	1	0	0	0	0	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x10	GPIOA_PID	Reserved																															
	Reset value	0																															
0x14	GPIOA_POD	Reserved																															

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
	Reset value	Reserved																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	GPIOA_PBS0	PBC15	PBC14	PBC13	PBC12	PBC11	PBC10	PBC9	PBC8	PBC7	PBC6	PBC5	PBC4	PBC3	PBC2	PBC1	PBC0	PBS15	PBS14	PBS13	PBS12	PBS11	PBS10	PBS9	PBS8	PBS7	PBS6	PBS5	PBS4	PBS3	PBS2	PBS1	PBS0															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0													
0x28	GPIOA_PBC	Reserved																PBC15	PBC14	PBC13	PBC12	PBC11	PBC10	PBC9	PBC8	PBC7	PBC6	PBC5	PBC4	PBC3	PBC2	PBC1	PBC0															
	Reset value	Reserved																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
0x1C	GPIOA_PLOCK	Reserved															PLOCKK	PLOCK15	PLOCK14	PLOCK13	PLOCK12	PLOCK11	PLOCK10	PLOCK9	PLOCK8	PLOCK7	PLOCK6	PLOCK5	PLOCK4	PLOCK3	PLOCK2	PLOCK1	PLOCK0															
	Reset value	Reserved															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
0x20	GPIOA_AFL	AFSEL7[3:0]			AFSEL6[3:0]			AFSEL5[3:0]			AFSEL4[3:0]			AFSEL3[3:0]			AFSEL2[3:0]			AFSEL1[3:0]			AFSEL0[3:0]																									
	Reset value	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1																
0x24	GPIOA_AFH	AFSEL15[3:0]			AFSEL14[3:0]			AFSEL13[3:0]			AFSEL12[3:0]			AFSEL11[3:0]			AFSEL10[3:0]			AFSEL9[3:0]			AFSEL8[3:0]																									
	Reset value	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1																
0x2C	GPIOA_DS	Reserved															DS15	DS14	DS13	DS12	DS11	DS10	DS9	DS8	DS7	DS6	DS5	DS4	DS3	DS2	DS1	DS0																
	Reset value	Reserved															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															

5.3.2 GPIOB 寄存器总览

表 5-25 GPIOB 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	GPIOA_PMODE	Reserved																									PMODE1[1:0]		PMODE0[1:0]				

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Reset value	Reserved																									1	1	1	1			
0x04	GPIOA_POTYPE	Reserved																											POT1	POT0			
	Reset value	Reserved																									0	0					
0x08	GPIOA_SR	Reserved																											SR1	SR0			
	Reset value	Reserved																									1	1					
0x0C	GPIOA_PUPD	Reserved																									PUPD1[1:0]		PUPD0[1:0]				
	Reset value	Reserved																									0	0	0	0			
0x10	GPIOA_PID	Reserved																											PID1	PID0			
	Reset value	Reserved																									0	0					
0x14	GPIOA_POD	Reserved																											POD1	POD0			
	Reset value	Reserved																									0	0					
0x18	GPIOA_PBSC	Reserved														PBC1	PBC0	Reserved										PBS1	PBS0				
	Reset value	Reserved														0	0	Reserved										0	0				
0x28	GPIOA_PBC	Reserved																											PBC1	PBC0			
	Reset value	Reserved																									0	0					
0x1C	GPIOA_PLOCK	Reserved														PLOCKK	Reserved										PLOCK1	PLOCK0					

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Reset value	0																0										0	0				
0x20	GPIOA_AFL	Reserved																								AFSEL1[3:0]			AFSEL0[3:0]				
	Reset value																									1	1	1	1	1	1	1	1
0x2C	GPIOA_DS	Reserved																								DS1		DS0					
	Reset value																									0	0	0	0				

5.3.3 GPIO 端口模式寄存器 (GPIOx_PMODE)

偏移地址: 0x00

复位值 (端口 A): 0xFFFA FFFF

复位值 (端口 B): 0x0000 000F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PMODE15[1:0]		PMODE14[1:0]		PMODE13[1:0]		PMODE12[1:0]		PMODE11[1:0]		PMODE10[1:0]		PMODE9[1:0]		PMODE8[1:0]	
rw		rw		rw		rw		rw		rw		rw		rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMODE7[1:0]		PMODE6[1:0]		PMODE5[1:0]		PMODE4[1:0]		PMODE3[1:0]		PMODE2[1:0]		PMODE1[1:0]		PMODE0[1:0]	
rw		rw		rw		rw		rw		rw		rw		rw	

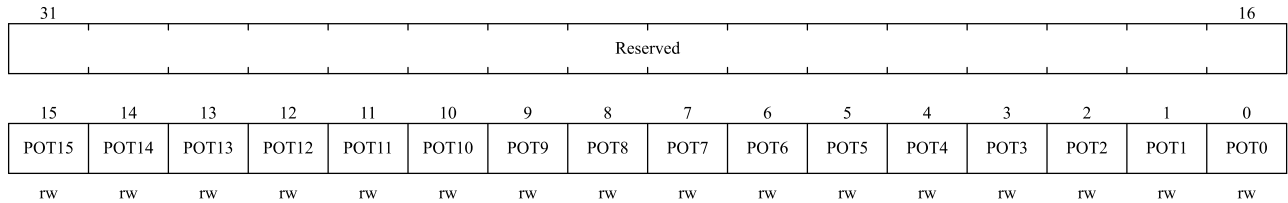
位域	名称	描述
31:30	PMODEy[1:0]	端口 GPIOx 的模式位 (x = A, B) 00: 输入模式 01: 通用输出模式 10: 复用功能模式 11: 模拟功能模式 注意: x = A, y = 0 ~ 15。 x = B, y = 0, 1。
29:28		
27:26		
25:24		
23:22		
21:20		
19:18		
17:16		
15:14		
13:12		
11:10		
9:8		
7:6		
5:4		
3:2		
1:0		

5.3.4 GPIO 端口类型寄存器 (GPIOx_POTYPE)

偏移地址: 0x04

复位值 (端口 A): 0x0000 0000

复位值 (端口 B): 0x0000 0000



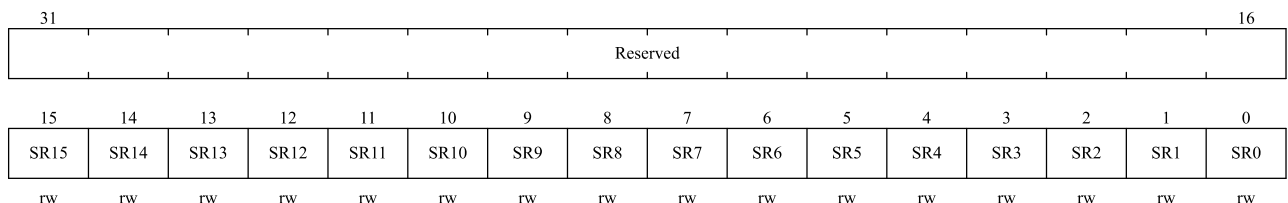
位域	名称	描述
31:16	保留	保留, 必须保持复位值。
15:0	POTy	端口 GPIOx 的输出模式位 (x = A, B) 0: 输出推挽模式 1: 输出开漏模式 注意: x = A, y = 0 ~ 15。 x = B, y = 0, 1。

5.3.5 GPIO 翻转率寄存器 (GPIOx_SR)

偏移地址: 0x08

复位值 (端口 A): 0x0000 FFFF

复位值 (端口 B): 0x0000 0003



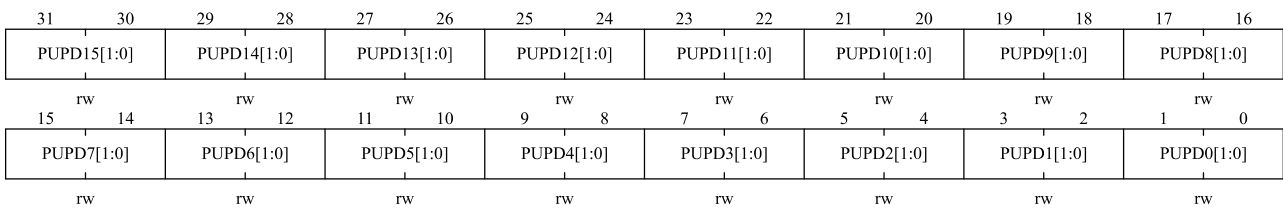
位域	名称	描述
31:16	保留	保留, 必须保持复位值。
15:0	SRy	端口 GPIOx 的翻转率配置位 (x = A, B) 0: 快速翻转 1: 慢速翻转 注意: x = A, y = 0 ~ 15。 x = B, y = 0, 1。

5.3.6 GPIO 端口上下拉寄存器 (GPIOx_PUPD)

偏移地址: 0x0C

复位值 (端口 A): 0x0009 0000

复位值（端口 B）：0x0000 0000



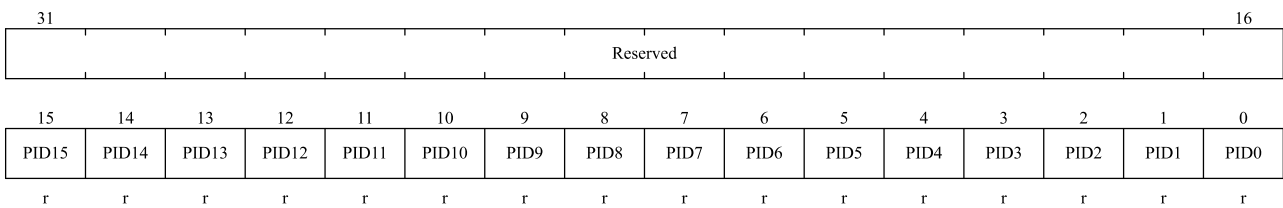
位域	名称	描述
31:30	PUPDy[1:0]	端口 GPIOx 的上拉/下拉模式位 (x = A, B) 00: 无上/下拉 01: 上拉 10: 下拉 11: 保留 注意: x = A, y = 0 ~ 15。 x = B, y = 0, 1。
29:28		
27:26		
25:24		
23:22		
21:20		
19:18		
17:16		
15:14		
13:12		
11:10		
9:8		
7:6		
5:4		
3:2		
1:0		

5.3.7 GPIO 端口输入数据寄存器 (GPIOx_PID)

偏移地址：0x10

复位值（端口 A）：0x0000 0000

复位值（端口 B）：0x0000 0000



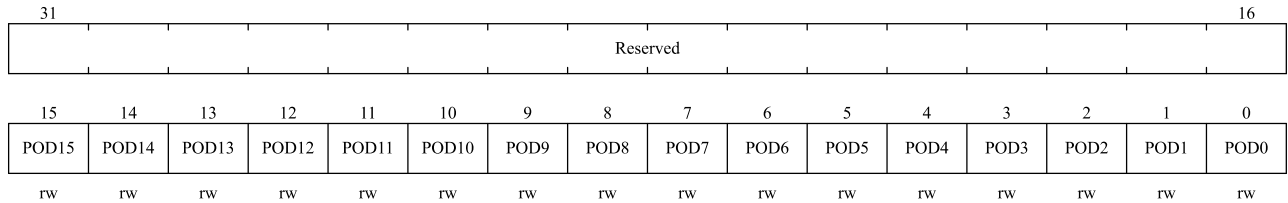
位域	名称	描述
31:16	保留	保留，必须保持复位值。
15:0	PIDy	端口 GPIOx 输入数据 (x = A, B) 这些位为只读，它们包含对应的 I/O 端口的输入值。 注意: x = A, y = 0 ~ 15。 x = B, y = 0, 1。

5.3.8 GPIO 端口输出数据寄存器 (GPIOx_ODR)

偏移地址: 0x14

复位值 (端口 A): 0x00000000

复位值 (端口 B): 0x00000000



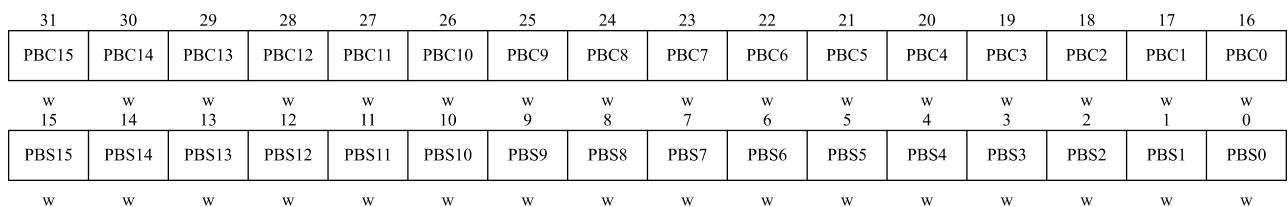
位域	名称	描述
31:16	保留	保留, 必须保持复位值。
15:0	PODy	端口 GPIOx 输出数据 (x = A, B) 这些位可以通过软件读和写。端口输出数据, 通过 GPIOx_PBSC (x=A, B) 寄存器, 可以对相应的 POD 位进行独立的设置/清除。 <i>注意: x = A, y = 0 ~ 15。</i> <i>x = B, y = 0, 1。</i>

5.3.9 GPIO 端口位设置/清除寄存器 (GPIOx_BSRR)

偏移地址: 0x18

复位值 (端口 A): 0x0000 0000

复位值 (端口 B): 0x0000 0000



位域	名称	描述
31:16	PBCy	端口 GPIOx 的清除位 (x = A, B) 这些位只写。 0: 对相应的 GPIOx_ODR.PODy 位不产生影响 1: 清除对应的 GPIOx_ODR.PODy 位为 0 <i>注意: 如果同时设置了 PBSy 和 PBCy 的对应位, PBSy 位起作用。</i> <i>注意: x = A, y = 0 ~ 15。</i> <i>x = B, y = 0, 1。</i>
15:0	PBSy	端口 GPIOx 的设置位 (x = A, B) 这些位只写。 0: 对相应的 GPIOx_ODR.PODy 位不产生影响 1: 设置对应的 GPIOx_ODR.PODy 位为 1

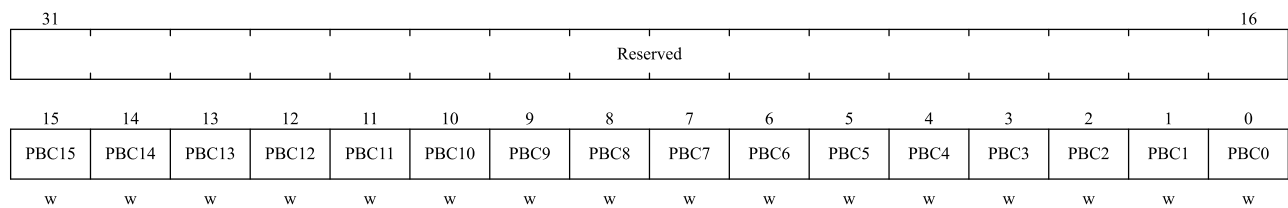
位域	名称	描述
		注意: $x = A, y = 0 \sim 15$ 。 $x = B, y = 0, 1$ 。

5.3.10 GPIO 端口位清除寄存器 (GPIOx_PBC)

偏移地址: 0x28

复位值 (端口 A): 0x0000 0000

复位值 (端口 B): 0x0000 0000



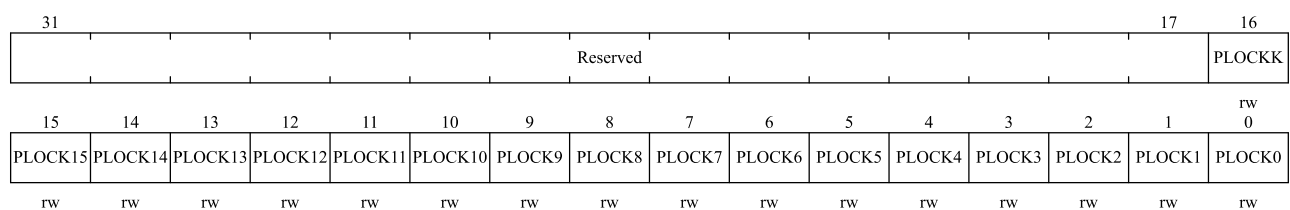
位域	名称	描述
31:16	保留	保留, 必须保持复位值。
15:0	PBCy	端口 GPIOx 的清除位 ($x = A, B$) 这些位只写。 0: 对相应的 GPIOx_POD.PODy 位不产生影响 1: 清除对应的 GPIOx_POD.PODy 位为 0 注意: $x = A, y = 0 \sim 15$ 。 $x = B, y = 0, 1$ 。

5.3.11 GPIO 端口锁定寄存器 (GPIOx_PLOCK)

偏移地址: 0x1C

复位值 (端口 A): 0x0000 0000

复位值 (端口 B): 0x0000 0000



位域	名称	描述
31:17	保留	保留, 必须保持复位值。
16	PLOCKK	锁键 可以随时读取该位, 它只能使用锁键写入序列进行修改。 0: 端口配置锁键位未激活 1: 端口配置锁键位被激活, GPIOx_PLOCK 被锁定, 直到 MCU 复位。 锁键的写入序列:

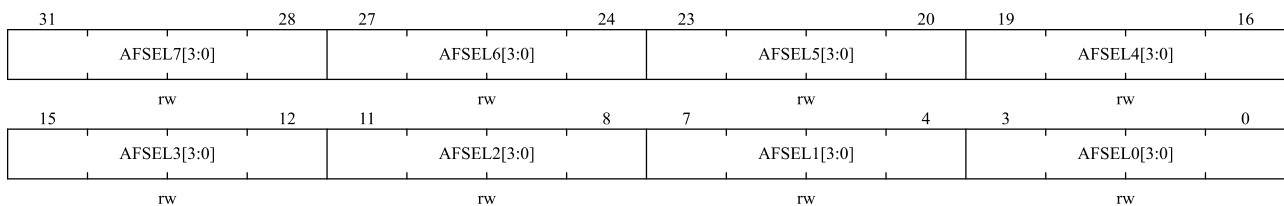
位域	名称	描述
		写 1->写 0->写 1->读 0->读 1 最后一个读可省略，但可以用来确认锁键已被激活。 注意：在操作锁键的写入序列时，不能改变 PLOCK[15:0] 的值。操作锁键写入序列中的任何错误将不能激活锁键。
15:0	PLOCK _y	端口 GPIO _x 的配置锁定位 (x = A, B) 这些位可读可写但只能在 PLOCKK 位为 0 时写入。 0: 不锁定端口的配置 1: 锁定端口的配置 注意: x = A, y = 0 ~ 15。 x = B, y = 0, 1。

5.3.12 GPIO 复用功能低寄存器 (GPIO_x_AFL)

偏移地址: 0x20

复位值 (端口 A): 0xFFFF FFFF

复位值 (端口 B): 0x0000 00FF



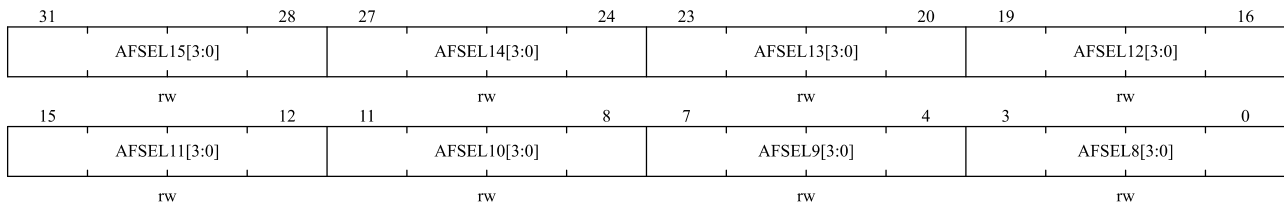
位域	名称	描述
31:28	AFSEL _y [3:0]	端口 GPIO _x 的复用功能配置位 (x = A, B)
27:24		0000: AF0
23:20		0001: AF1
19:16		0010: AF2
15:12		0011: AF3
11:8		0100: AF4
7:4		0101: AF5
3:0		0110: AF6
		0111: AF7
		1000: AF8
		1001: AF9
		1010: AF10
		1011: AF11
		1100: AF12
		1101: AF13
	1110: AF14	
	1111: AF15	
	注意: x = A, y = 0 ~ 7。	

位域	名称	描述
		$x = B, y = 0, 1。$

5.3.13 GPIO 复用功能高寄存器 (GPIOx_AFH)

偏移地址: 0x24

复位值 (端口 A): 0xFFFF FF00



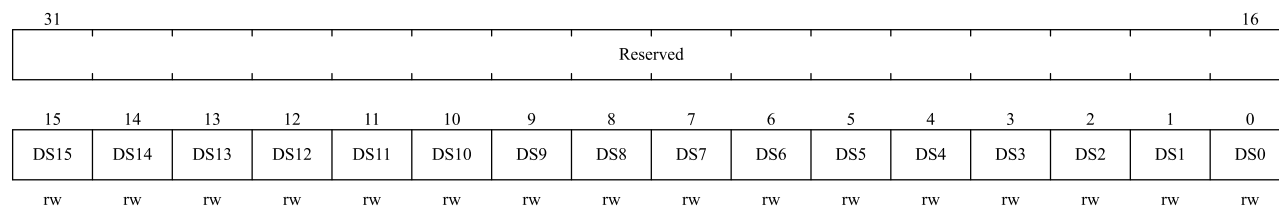
位域	名称	描述
31:28	AFSELY[3:0]	端口 GPIOA 的复用功能配置位 y (y=8...15)
27:24		0000: AF0
23:20		0001: AF1
19:16		0010: AF2
15:12		0011: AF3
11:8		0100: AF4
7:4		0101: AF5
3:0		0110: AF6
		0111: AF7
		1000: AF8
		1001: AF9
		1010: AF10
		1011: AF11
		1100: AF12
		1101: AF13
		1110: AF14
	1111: AF15	

5.3.14 GPIO 驱动能力寄存器 (GPIOx_DS)

偏移地址: 0x2C

复位值 (端口 A): 0x0000 0000

复位值 (端口 B): 0x0000 0000



位域	名称	描述
31:16	保留	保留，必须保持复位值。
15:0	DSy	端口 GPIOx 驱动能力配置位 y (x = A, B) 0: 高驱动能力(16mA(5V)/8mA(3.3V)/4mA(2V)) 1: 低驱动能力(8mA(5V)/4mA(3.3V)/2mA(2V)) 注意: x = A, y = 0 ~ 15。 x = B, y = 0, 1。

5.4 AFIO 寄存器

AFIO 基地址: 0x4000 1400。

5.4.1 AFIO 寄存器总览

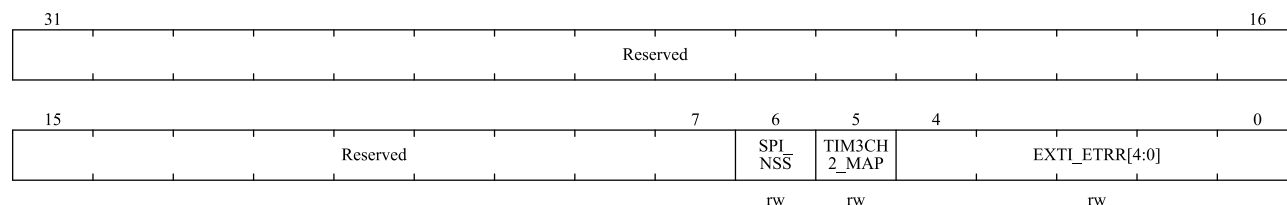
表 5-26 AFIO 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	AFIO_CFG	Reserved																								SPI_NSS	TIM3CH2_MAP	EXTI_ETRR[4:0]					
	Reset Value																									0		0	0	0	0	0	0

5.4.2 AFIO 配置寄存器 (AFIO_CFG)

偏移地址: 0x00

复位值: 0x0000 0000



位域	名称	描述
31:7	Reserved	保留，必须保持复位值。
6	SPI_NSS	SPI 的 NSS 模式选择位 (NSS 配置为 AFIO 推挽模式)。 0: NSS 空闲时为高阻态; 1: NSS 空闲时为高电平。

位域	名称	描述
5	TIM3CH2_MAP	<p>TIM3 channel2 内部重映射</p> <p>由软件设置和清除。该位控制 TIM3_CH2 内部映射。</p> <p>0: TIM3_CH2 连接到 PA2/PA3/PA6/PA7/PA10~PA15;</p> <p>1: LSI 内部时钟连接到 TIM3_CH2 输入端进行校准。</p> <p><i>注意: 此位仅在高密度值线设备中可用。</i></p>
4:0	EXTI_ETRR[4:0]	<p>选择外部引脚触发 ADC 规则转换</p> <p>00000: 选择 PA0 触发转换</p> <p>00001: 选择 PA1 触发转换</p> <p>00010: 选择 PA2 触发转换</p> <p>00011: 选择 PA3 触发转换</p> <p>00100: 选择 PA4 触发转换</p> <p>00101: 选择 PA5 触发转换</p> <p>00110: 选择 PA6 触发转换</p> <p>00111: 选择 PA7 触发转换</p> <p>01000: 选择 PA8 触发转换</p> <p>01001: 选择 PA9 触发转换</p> <p>01010: 选择 PA10 触发转换</p> <p>01011: 选择 PA11 触发转换</p> <p>01100: 选择 PA12 触发转换</p> <p>01101: 选择 PA13 触发转换</p> <p>01110: 选择 PA14 触发转换</p> <p>01111: 选择 PA15 触发转换</p> <p>10000: 选择 PB0 触发转换</p> <p>10001: 选择 PB1 触发转换</p> <p>其他: 保留</p>

6 中断和事件

6.1 嵌套向量中断寄存器

特性

- 16 个可屏蔽中断通道（不包含 16 个 Cortex®-M0 的中断线）。
- 4 个可编程的优先等级（使用了 2 位中断优先级）；
- 低延迟的异常和中断处理；
- 电源管理控制；
- 系统控制寄存器的实现；

嵌套向量中断控制器（NVIC）和处理器核的接口紧密相连，可以实现低延迟的中断处理和高效地处理晚到的中断。嵌套向量中断控制器管理着包括内核异常等中断。

6.1.1 SysTick 校准值寄存器

系统嘀嗒校准值固定为 6000，当系统嘀嗒时钟设定为 6MHz（时钟源为 HCLK/8 时），可产生 1ms 的参考时间基准。

6.1.2 中断和异常向量

表 6-1 向量表

位置	优先级	优先级类型	名称	说明	地址
-	-	-	-	保留(Reserved)	0x0000 0000
-	-3	固定	Reset	复位(Reset)	0x0000 0004
-	-2	固定	NMI	不可屏蔽中断。RCC时钟安全系统(CSS) 连接到NMI向量。	0x0000 0008
-	-1	固定	HardFault	所有类型的错误(fault)	0x0000 000C
-	3	可设置	SVCall	通过SWI指令调用的系统服务	0x0000 002C
-	5	可设置	PendSV	可挂起的系统服务请求	0x0000 0038
-	6	可设置	SysTick	系统嘀嗒定时器	0x0000 003C
0	7	可设置	PVD	PVD中断（联接EXTI线18）	0x0000 0040
1	8	可设置	FLASH	Flash全局中断	0x0000 0044
2	9	可设置	EXTI0_1	EXTI线[1:0]中断	0x0000 0048
3	10	可设置	EXTI2_3	EXTI 线[3:2]中断	0x0000 004C
4	11	可设置	EXTI4_17	EXTI线[17:4]中断	0x0000 0050
5	12	可设置	TIM1_BRK_UP_TRG_COM	TIM1刹车、更新、触发、通信中断	0x0000 0054
6	13	可设置	TIM1_CC	TIM1捕获比较中断	0x0000 0058

位置	优先级	优先级 类型	名称	说明	地址
7	14	可设置	TIM3	TIM3全局中断	0x0000 005C
8	15	可设置	TIM6	TIM6全局中断（联接EXTI线19）	0x0000 0060
9	16	可设置	ADC	ADC全局中断	0x0000 0064
10	17	可设置	I2C_EV	I2C事件中断	0x0000 0068
11	18	可设置	I2C_ER	I2C错误中断	0x0000 006C
12	19	可设置	SPI	SPI全局中断	0x0000 0070
13	20	可设置	UART1	UART1全局中断	0x0000 0074
14	21	可设置	UART2	UART2全局中断	0x0000 0078
15	22	可设置	COMP	COMP全局中断	0x0000 007C

6.2 外部中断/事件控制器（EXTI）

6.2.1 简介

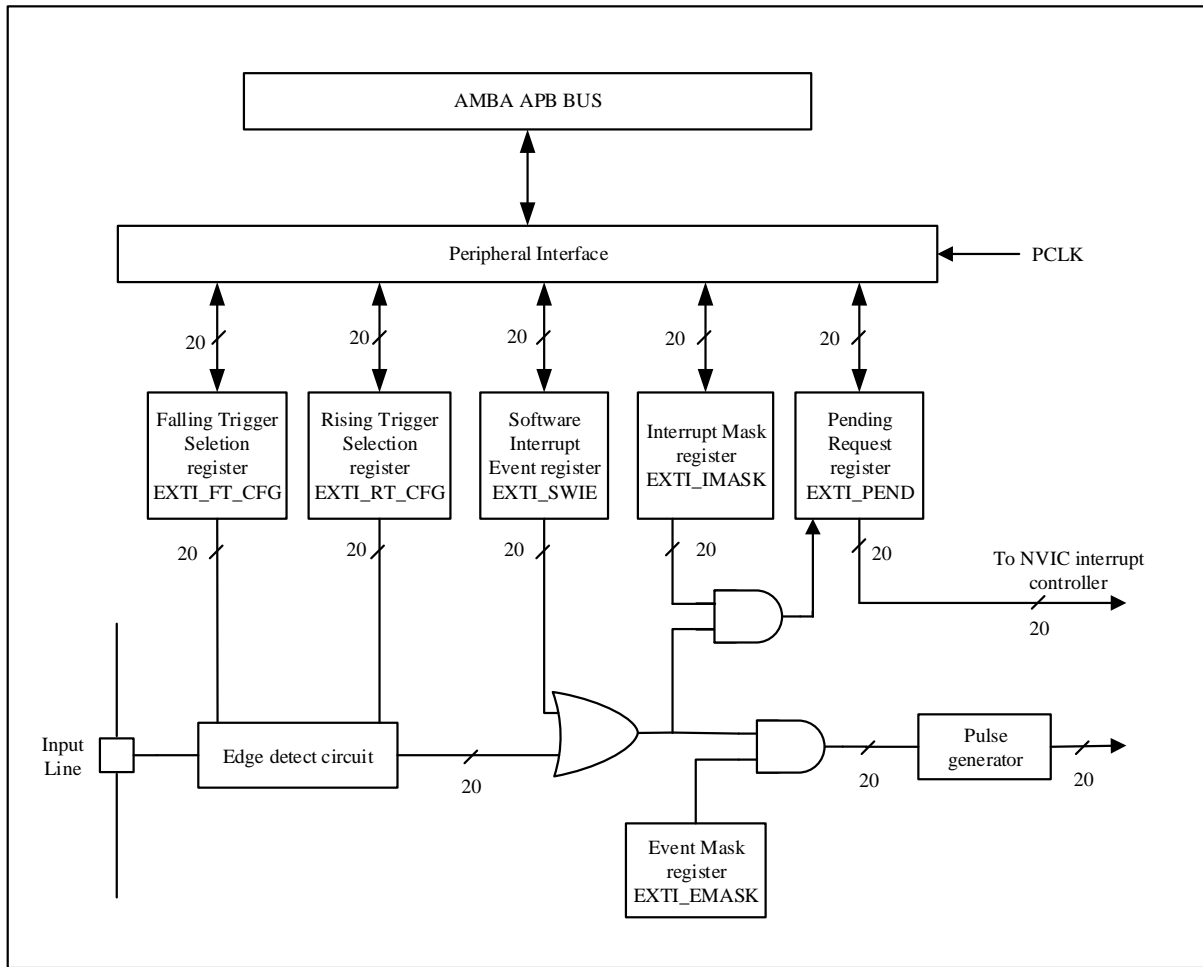
外部中断/事件控制器包含 20 个产生中断/事件触发的边沿检测电路，每条输入线可以独立地配置脉冲或挂起输入类型，以及上升沿、下降沿或者双边沿 3 种触发事件类型，也可以独立地被屏蔽。挂起寄存器保持着状态线的中断请求，可通过在挂起寄存器的对应位写‘1’操作，清除中断请求。

6.2.2 主要特性

EXTI 控制器的主要特性如下：

- 支持 20 个软件中断/事件请求
- 每条输入线对应的中断/事件都能独立配置触发或屏蔽
- 每条中断线都有独立的状态位
- 支持脉冲或挂起输入类型
- 支持上升沿、下降沿或双边沿 3 种触发事件类型
- 可唤醒退出低功耗模式

图 6-1 外部中断/事件控制器框图



6.2.3 功能描述

EXTI 包含 20 条中断线，其中 18 条来自 I/O 管脚，另 2 条来自内部模块。要产生中断，必须配置外部中断控制器的 NVIC 中断通道使能相应的中断线。通过沿触发配置寄存器 EXTI_RT_CFG 和 EXTI_FT_CFG 选择上升沿、下降沿或双边沿触发事件类型，并将中断屏蔽寄存器 EXTI_IMASK 的相应位写‘1’开放允许中断请求。当外部中断线上检测到预设的边沿触发极性，将产生一个中断请求，对应的挂起位也随之被置‘1’。在挂起寄存器的对应位写‘1’，将清除该中断请求。

要产生事件，必须配置并使能对应的事件线。根据需要的边沿检测极性，设置上升/下降沿触发配置寄存器，同时在事件屏蔽寄存器的相应位写‘1’允许中断请求。当事件线上发生预设的边沿时，将产生一个事件请求脉冲，对应的挂起位不被置‘1’。

另外，通过在软件中断/事件寄存器写‘1’，也可以通过软件产生中断/事件请求。

- 硬件中断配置，根据需要选择配置 20 条线路作为中断源：
 - ◆ 配置 20 条中断线的屏蔽位 (EXTI_IMASK)；
 - ◆ 配置所选中断线的触发配置位 (EXTI_RT_CFG 和 EXTI_FT_CFG)；
 - ◆ 配置对应到外部中断控制器的 NVIC 中断通道的使能和屏蔽位，使 20 条中断线中的请求可以被正

确地响应。

- 硬件事件配置，根据需要选择配置 20 条线路作为事件源：
 - ◆ 配置 20 条事件线的屏蔽位 (EXTI_EMASK)；
 - ◆ 配置所选事件线的触发配置位 (EXTI_RT_CFG 和 EXTI_FT_CFG)。
- 软件中断/事件配置，根据需要选择配置 20 条线路作为软件中断/事件线：
 - ◆ 配置 20 条中断/事件线屏蔽位 (EXTI_IMASK,EXTI_EMASK)；
 - ◆ 配置软件中断事件寄存器的请求位 (EXTI_SWIE)。

6.2.4 EXTI 线路映射

通过 AFIO_CFG.EXTI_ETRR[4:0]配置 GPIO 线上的外部中断/事件，必须先使能 AFIO 时钟。通用 I/O 端口及内部模块的连接方式如下：

- EXTI 线 0 连接到 PA0
- EXTI 线 1 连接到 PA1
- EXTI 线 2 连接到 PA2
- EXTI 线 3 连接到 PA3
- EXTI 线 4 连接到 PA4
- EXTI 线 5 连接到 PA5
- EXTI 线 6 连接到 PA6
- EXTI 线 7 连接到 PA7
- EXTI 线 8 连接到 PA8
- EXTI 线 9 连接到 PA9
- EXTI 线 10 连接到 PA10
- EXTI 线 11 连接到 PA11
- EXTI 线 12 连接到 PA12
- EXTI 线 13 连接到 PA13
- EXTI 线 14 连接到 PA14
- EXTI 线 15 连接到 PA15
- EXTI 线 16 连接到 PB0
- EXTI 线 17 连接到 PB1
- EXTI 线 18 连接到 PVD
- EXTI 线 19 连接到 TIM6 唤醒事件

注：使用 TIM6 中断时，关联的 EXTI 只能配置成上升沿触发

6.3 EXTI 寄存器

EXTI 基地址：0x40003400

6.3.1 EXTI 寄存器总览

表 6-2 EXTI 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
000h	EXTI_IMASK	Reserved													IMASK19	IMASK18	IMASK17	IMASK16	IMASK15	IMASK14	IMASK13	IMASK12	IMASK11	IMASK10	IMASK9	IMASK8	IMASK7	IMASK6	IMASK5	IMASK4	IMASK3	IMASK2	IMASK1	IMASK0
	Reset Value	0													0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
004h	EXTI_EMASK	Reserved													EMASK19	EMASK18	EMASK17	EMASK16	EMASK15	EMASK14	EMASK13	EMASK12	EMASK11	EMASK10	EMASK9	EMASK8	EMASK7	EMASK6	EMASK5	EMASK4	EMASK3	EMASK2	EMASK1	EMASK0
	Reset Value	0													0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
008h	EXTI_RT_CFG	Reserved													RT_CFG19	RT_CFG18	RT_CFG17	RT_CFG16	RT_CFG15	RT_CFG14	RT_CFG13	RT_CFG12	RT_CFG11	RT_CFG10	RT_CFG9	RT_CFG8	RT_CFG7	RT_CFG6	RT_CFG5	RT_CFG4	RT_CFG3	RT_CFG2	RT_CFG1	RT_CFG0
	Reset Value	0													0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
00Ch	EXTI_FT_CFG	Reserved													FT_CFG19	FT_CFG18	FT_CFG17	FT_CFG16	FT_CFG15	FT_CFG14	FT_CFG13	FT_CFG12	FT_CFG11	FT_CFG10	FT_CFG9	FT_CFG8	FT_CFG7	FT_CFG6	FT_CFG5	FT_CFG4	FT_CFG3	FT_CFG2	FT_CFG1	FT_CFG0
	Reset Value	0													0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
010h	EXTI_SWIE	Reserved													SWIE19	SWIE18	SWIE17	SWIE16	SWIE15	SWIE14	SWIE13	SWIE12	SWIE11	SWIE10	SWIE9	SWIE8	SWIE7	SWIE6	SWIE5	SWIE4	SWIE3	SWIE2	SWIE1	SWIE0
	Reset Value	0													0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
014h	EXTI_PEND	Reserved													PEND19	PEND18	PEND17	PEND16	PEND15	PEND14	PEND13	PEND12	PEND11	PEND10	PEND9	PEND8	PEND7	PEND6	PEND5	PEND4	PEND3	PEND2	PEND1	PEND0
	Reset Value	0													0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

6.3.2 EXTI 中断屏蔽寄存器 (EXTI_IMASK)

偏移地址：0x00

复位值：0x0000 0000

Reserved													IMASK19	IMASK18	IMASK17	IMASK16
IMASK15	IMASK14	IMASK13	IMASK12	IMASK11	IMASK10	IMASK9	IMASK8	IMASK7	IMASK6	IMASK5	IMASK4	IMASK3	IMASK2	IMASK1	IMASK0	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	

位域	名称	描述
31:20	Reserved	保留，必须保持复位值。
19:0	IMASKx	线 x 上的中断屏蔽 (x 表示 0, 1, 2...19) 0: 屏蔽来自线 x 上的中断请求; 1: 开放来自线 x 上的中断请求。

6.3.3 EXTI 事件屏蔽寄存器 (EXTI_EMASK)

偏移地址: 0x04

复位值: 0x0000 0000

Reserved												EMASK19	EMASK18	EMASK17	EMASK16
EMASK15	EMASK14	EMASK13	EMASK12	EMASK11	EMASK10	EMASK9	EMASK8	EMASK7	EMASK6	EMASK5	EMASK4	EMASK3	EMASK2	EMASK1	EMASK0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:20	Reserved	保留, 必须保持复位值。
19:0	EMASKx	线 x 上的事件屏蔽 (x 表示 0, 1, 2...19) 0: 屏蔽来自线 x 上的事件请求; 1: 开放来自线 x 上的事件请求。

6.3.4 EXTI 上升沿触发配置寄存器 (EXTI_RT_CFG)

偏移地址: 0x08

复位值: 0x0000 0000

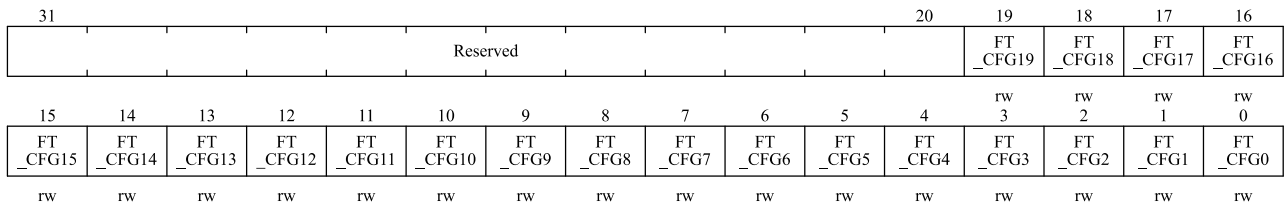
Reserved												RT_CFG19	RT_CFG18	RT_CFG17	RT_CFG16
RT_CFG15	RT_CFG14	RT_CFG13	RT_CFG12	RT_CFG11	RT_CFG10	RT_CFG9	RT_CFG8	RT_CFG7	RT_CFG6	RT_CFG5	RT_CFG4	RT_CFG3	RT_CFG2	RT_CFG1	RT_CFG0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:20	Reserved	保留, 必须保持复位值。
19:0	RT_CFGx	线 x 上的上升沿触发配置位 (x 表示 0, 1, 2...19) 0: 禁止输入线 x 上的上升沿触发 (中断和事件) 1: 允许输入线 x 上的上升沿触发 (中断和事件)

6.3.5 EXTI 下降沿触发配置寄存器 (EXTI_FT_CFG)

偏移地址: 0x0C

复位值: 0x0000 0000

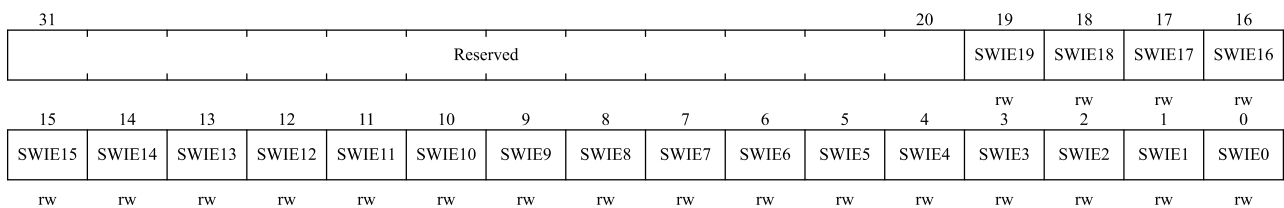


位域	名称	描述
31:20	Reserved	保留，必须保持复位值。
19:0	FT_CFGx	线 x 上的下降沿触发配置位 (x 表示 0, 1, 2...19) 0: 禁止输入线 x 上的下降沿触发 (中断和事件) 1: 允许输入线 x 上的下降沿触发 (中断和事件)

6.3.6 EXTI 软件中断事件寄存器 (EXTI_SWIE)

偏移地址: 0x10

复位值: 0x0000 0000

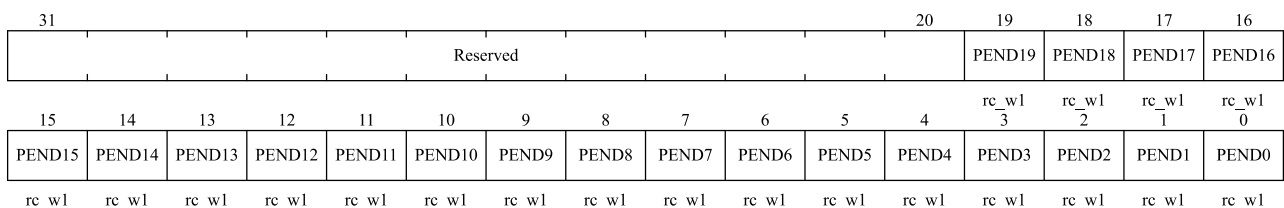


位域	名称	描述
31:20	Reserved	保留，必须保持复位值。
19:0	SWIEx	线 x 上的软件中断 (x 表示 0, 1, 2...19) 当该位为'0'时，写'1'将设置 EXTI_PEND 中相应的挂起位。 如果在 EXTI_IMASK 和 EXTI_EMASK 中允许产生该中断，此时将产生一个中断。 <i>注: 通过对 EXTI_PEND 的对应位写入'1'，可以清除该位为'0'。</i>

6.3.7 EXTI 挂起寄存器 (EXTI_PEND)

偏移地址: 0x14

复位值: 0x0000 0000



位域	名称	描述
31:20	Reserved	保留，必须保持复位值。
19:0	PENDx	线 x 上的挂起位 (x 表示 0, 1, 2...19) 0: 没有发生挂起请求 1: 发生了挂起触发请求 当外部中断线上发生了选择的边沿触发事件，该位被置'1'。在该位中写入'1'可以清除它。

7 CRC 计算单元

7.1 简介

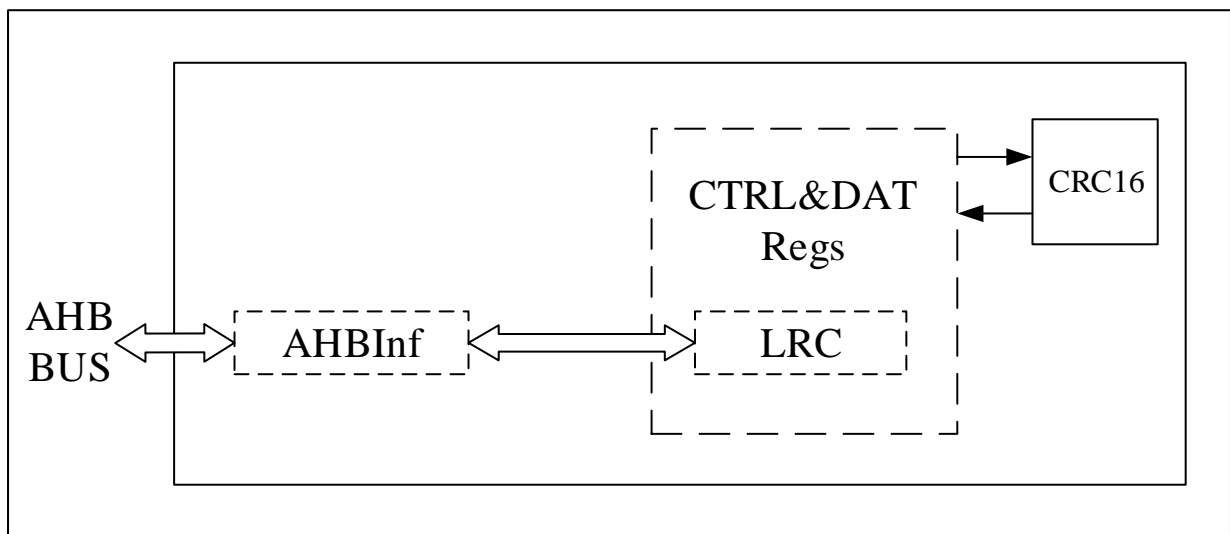
该模块集成了 CRC16 的功能，循环冗余校验（CRC）计算单元根据固定的生成多项式得到任意 CRC 计算结果。在其他应用中，CRC 技术主要用于验证数据传输或数据存储的正确性和完整性。CRC 计算单元可以在程序运行时计算出软件的标识符，然后与编译链接时产生的参考标识符进行比较，然后存储在指定的内存空间中。

7.2 主要特性

- CRC16($X^{16}+X^{15}+X^2+1$)。
- 8 位待校验数据和 16 位输出校验码。
- CRC 计算时间：1 个 AHB 时钟周期（HCLK）。
- 可配置校验初始值，可配置待校验数据的大小端。
- 支持 8bit LRC 校验值生成。

下图为 CRC 计算单元框图：

图 7-1 CRC 计算单元框图



7.3 CRC 功能描述

通过 CRC_CRC16CTRL.ENDHL 位来控制校验数据的小端或大端。

要清除最后一次 CRC 操作的结果，请将 CRC_CRC16CTRL.CLR 设置为 1 或 CRC_CRC16D 设置为 0。

CRC 计算的初始值可以通过写 CRC_CRC16D 寄存器来配置。默认情况下，初始值是上一次计算的结果。

LRC 计算与 CRC 计算相同。两者同时进行。可根据需要读出 CRC 或 LRC。如果需要设置初始值，首先要配置 LRC 寄存器。

7.4 CRC 软件计算方式

在实际应用中，如果需要通过软件计算 CRC16 来匹配硬件计算结果，则需要正确配置如下内容：

- 宽度 WIDTH: 16
- 多项式 POLY: 0x8005
- 初始值 INIT: 0x0000
- 结果异或值 XOROUT: 0x0000
- 输入数据反转 REFIN: 否
- 输出数据反转 REFOUT: 否

7.5 CRC 寄存器

7.5.1 CRC 寄存器总览

下表列出了 CRC 的寄存器映射和复位值

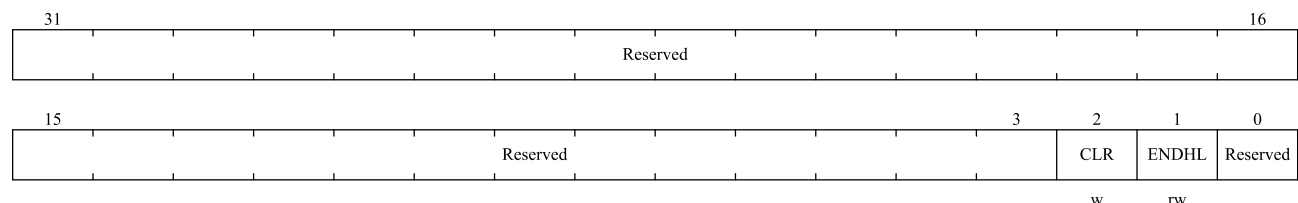
表 7-1 CRC 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
00Ch	CRC16CTRL	Reserved															CLR	ENDHL	Reserved														
	Reset Value																0	0															
010h	CRC16DAT	Reserved												CRC16DAT[7:0]																			
	Reset Value													0	0	0	0	0	0	0	0												
014h	CRC16D	Reserved								CRC16D[15:0]																							
	Reset Value									0	0	0	0	0	0	0	0	0	0	0	0	0	0										
018h	LRC	Reserved												LRCDAT[7:0]																			
	Reset Value													0	0	0	0	0	0	0	0												

7.5.2 CRC16 控制寄存器 (CRC_CRC16CTRL)

Address offset: 0x0C

Reset value: 0x0000 0000



位域	名称	描述
31:3	Reserved	保留，必须保持复位值。

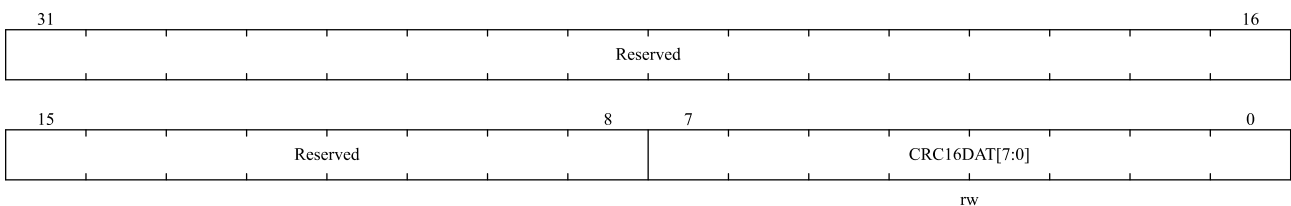
位域	名称	描述
2	CLR	清除 CRC16 结果。 0: 不清除 1: 清除为默认值 0x0000。将此位设置为 1 只会维持 1 时钟周期，硬件会自动清零。 (软件读取始终为 0)。
1	ENDHL	要验证的数据从 MSB 或 LSB 开始计算。 0: 从 MSB 到 LSB 1: 从 LSB 到 MSB 该位仅用于要验证的数据。
0	Reserved	保留，必须保持复位值。

注：支持 8 位、16 位、32 位操作

7.5.3 CRC16 待校验寄存器 (CRC_CRC16DAT)

偏移地址：0x10

复位值：0x0000 0000



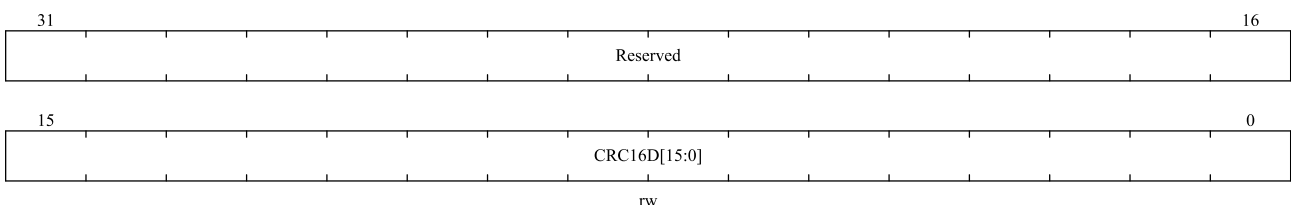
位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
7:0	CRC16DAT[7:0]	待校验的数据。

注：支持 8 位、16 位、32 位操作

7.5.4 CRC 循环冗余校验码寄存器 (CRC_CRC16D)

偏移地址：0x14

复位值：0x0000 0000



位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	CRC16D[15:0]	16 位循环冗余结果值。

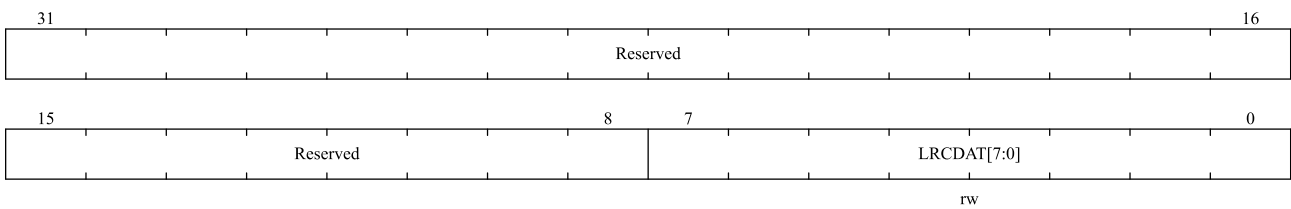
位域	名称	描述
		每次软件写入 CRC16DAT 寄存器时，来自 CRC16 的 16 位计算数据都会在该寄存器中更新。

注：支持 8 位、16 位和 32 位操作（8 位操作必须连续执行两次才能保证 16 位初始值配置正确）

7.5.5 LRC 校验值寄存器（CRC_LRC）

偏移地址：0x18

复位值：0x0000 0000



位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
7:0	LRCDAT[7:0]	LRC 校验值。 软件使用前需要写入初始值。然后每次写入 CRC_CRC16DAT 的数据都会与 CRC_LCR 寄存器的值进行“异或”。结果将存储在 CRC_LCR 中。软件读取结果，下次使用前应清除。

8 高级控制定时器（TIM1）

8.1 TIM1 简介

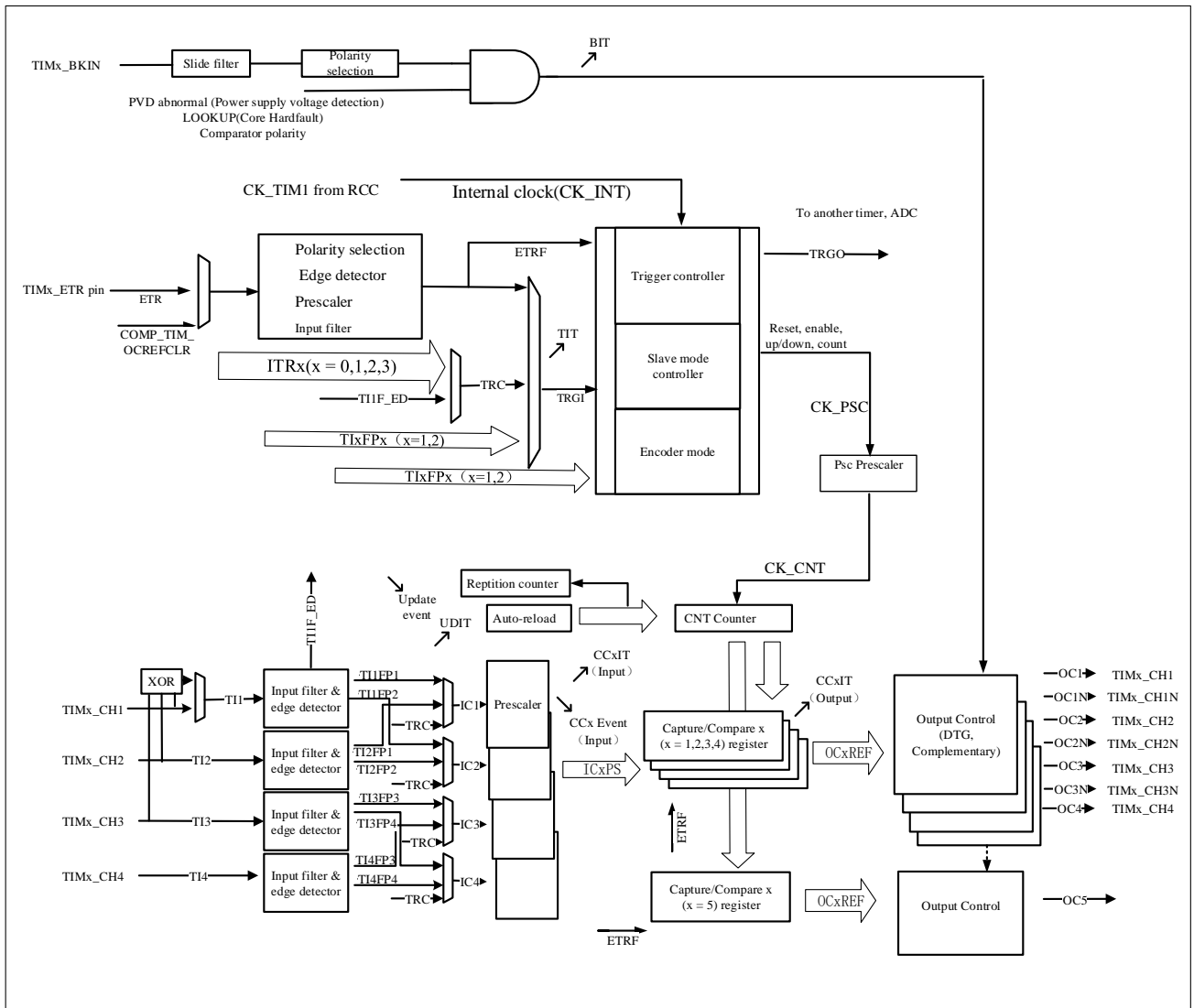
高级控制定时器（TIM1）主要用于以下场合：对输入信号进行计数、测量输入信号的脉冲宽度和产生输出波形等。

高级定时器具有互补输出功能、死区插入和刹车功能。适用于电机控制。

8.2 TIM1 主要特性

- 16 位自动装载计数器。（可实现向上计数、向下计数、向上/下计数）
- 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）
- 可编程重复计数器
- TIM1 最多 5 个通道
- 4 个捕获/比较通道，工作模式为：PWM 输出、输出比较、单脉冲模式输出、输入捕获
- 如下事件发生时产生中断：
 - ◆ 更新事件
 - ◆ 触发事件
 - ◆ 输入捕获
 - ◆ 输出比较
 - ◆ 刹车信号输入
- 死区时间可编程的互补输出
 - 对于 TIM1，通道 1、2、3 支持此功能
- 可通过外部信号控制定时器
- 多个定时器内部连接在一起，以实现定时器的同步或链接
- TIM1_CC5 用于比较器消隐

图 8-1 TIM1 框图



↓ 事件 ↑ 中断

捕获通道 1 输入可以来自 IOM 或比较器输出

8.3 TIM1 功能描述

8.3.1 时基单元

高级控制器的时基单元主要包括：预分频器、计数器、自动重装载寄存器和重复计数器。当时基单元工作时，软件可以随时读取和写入相应的寄存器（TIMx_PSC、TIMx_CNT、TIMx_AR 和 TIMx_REPCNT）。

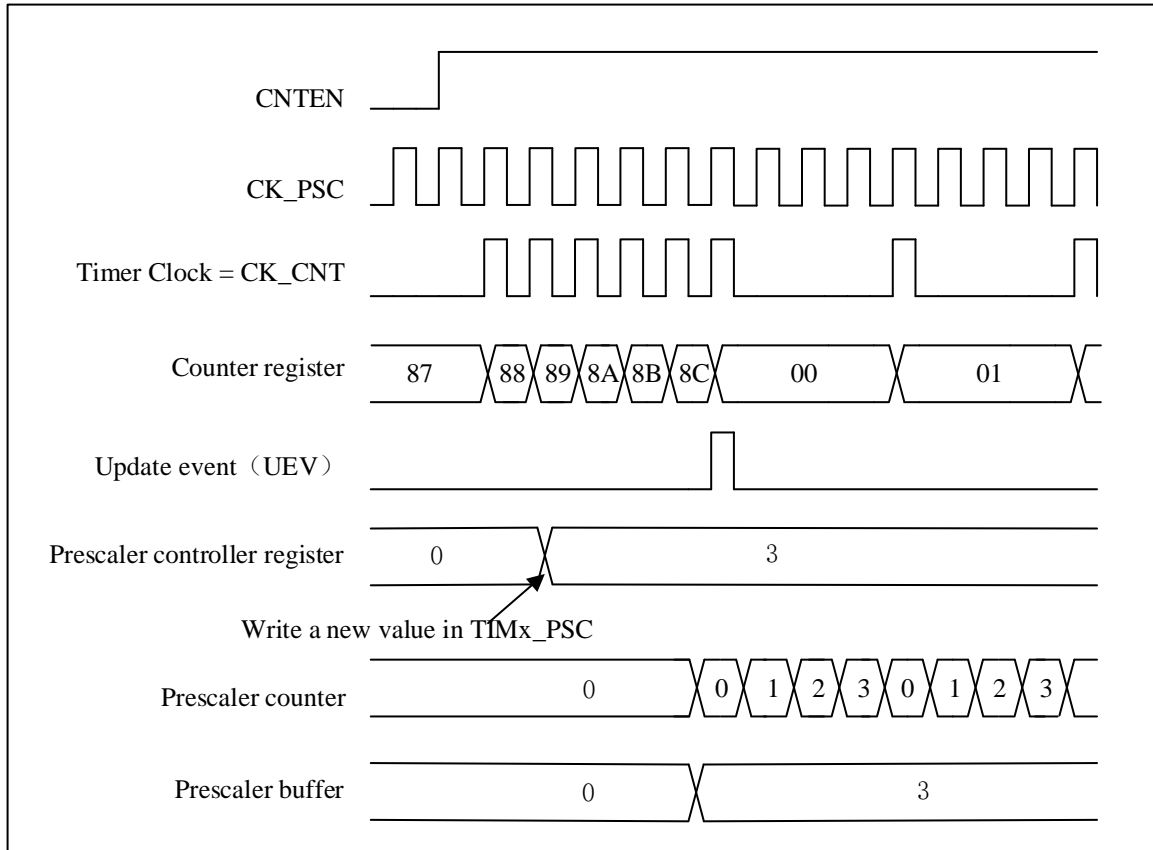
根据自动重装载预装载使能位（TIMx_CTRL1.ARPEN）的设置，预装载寄存器的值会立即或在每次更新事件 UEV 时传输到影子寄存器。TIMx_CTRL1.UPDIS=0 时，计数器上溢/下溢或软件设置 TIMx_EVTGEN.UDGN 将生成更新事件。计数器 CK_CNT 仅在 TIMx_CTRL1.CNTEN 位被设置时有效。计

计数器在 TIMx_CTRL.CNTEN 位被设置后一个时钟周期之后开始计数。

8.3.1.1 预分频器描述

TIMx_PSC 寄存器由一个 16 位计数器组成，可用于计数器时钟频率按 1 和 65536 之间的任意分频。因为这个控制器带有缓冲器，可以在运行时动态改变。新的预分频器值只有在下次更新事件中才会被采用。

图 8-2 当预分频的参数从 1 到 4，计数器的时序图



8.3.2 计数器模式

8.3.2.1 向上计数模式

使用向上计数模式，计数器将从 0 计数到寄存器 TIMx_AR 的值，然后重置为 0。并产生一个计数器溢出事件。

如果设置 TIMx_CTRL1.UPRS 位(选择更新请求)和 TIMx_EVTGEN.UDGN 位,将产生一个更新事件(UEV)。但是 TIMx_STS.UDITF 不会被硬件置起，因此不会产生更新中断。这是为了避免清除计数器时产生更新中断。

取决于 TIMx_CTRL1.UPRS 的配置，当发生更新事件时，TIMx_STS.UDITF 被设置，所有寄存器都会更新：

- 重复计数器被重新加载为 TIMx_REPCNT 的内容
- 当 TIMx_CTRL1.ARPEN = 1，预装载寄存器(TIMx_AR)的值被更新到自动装载影子寄存器

■ 预加载值 (TIMx_PSC) 被重新加载到预分频器影子寄存器中

为了避免在向预装载寄存器中写入新值时更新影子寄存器，可以通过设置 TIMx_CTRL1.UPDIS=1 来禁止更新事件。

当产生一个更新事件时，计数器仍将被清除，预分频器计数器也将被设置为 0 (但预分频器值将保持不变)。

下图给出一些示例，展示了向上计数模式计数器在不同分频因子下的动作。

图 8-3 当内部时钟分频因子 = 2/N 时，向上计数的时序图

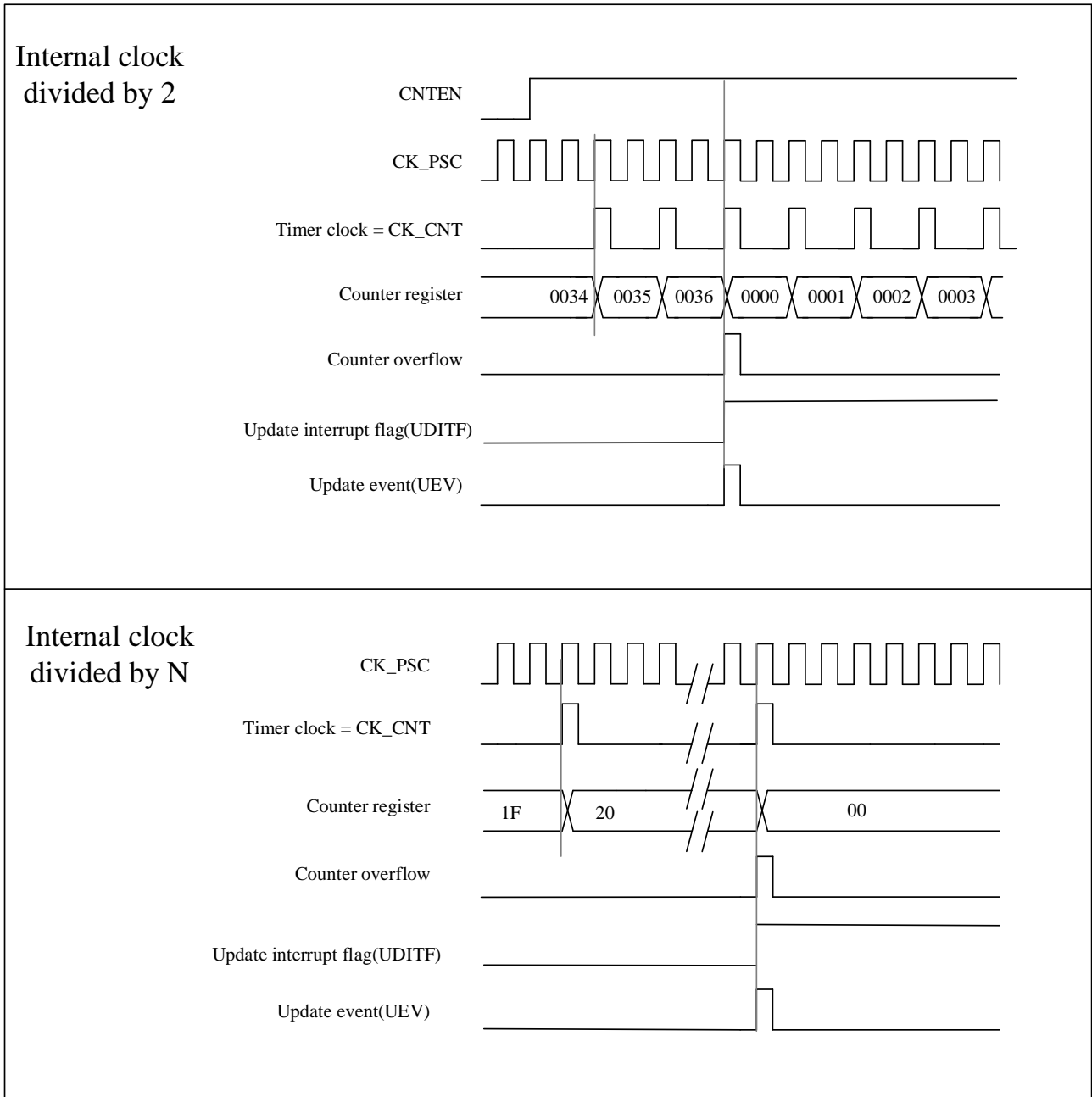
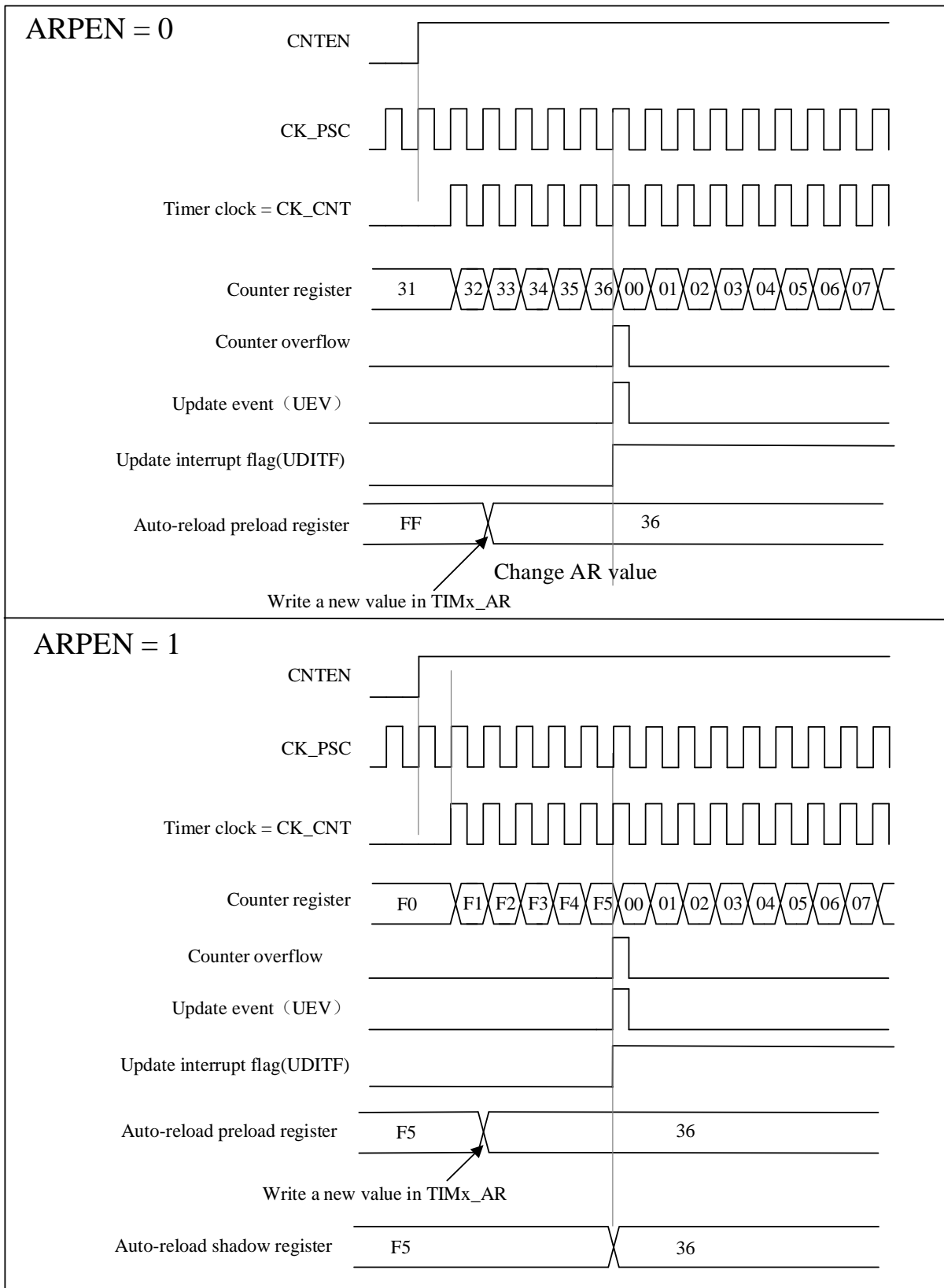


图 8-4 当 ARPEN=0/1 产生更新事件时，向上计数的时序图



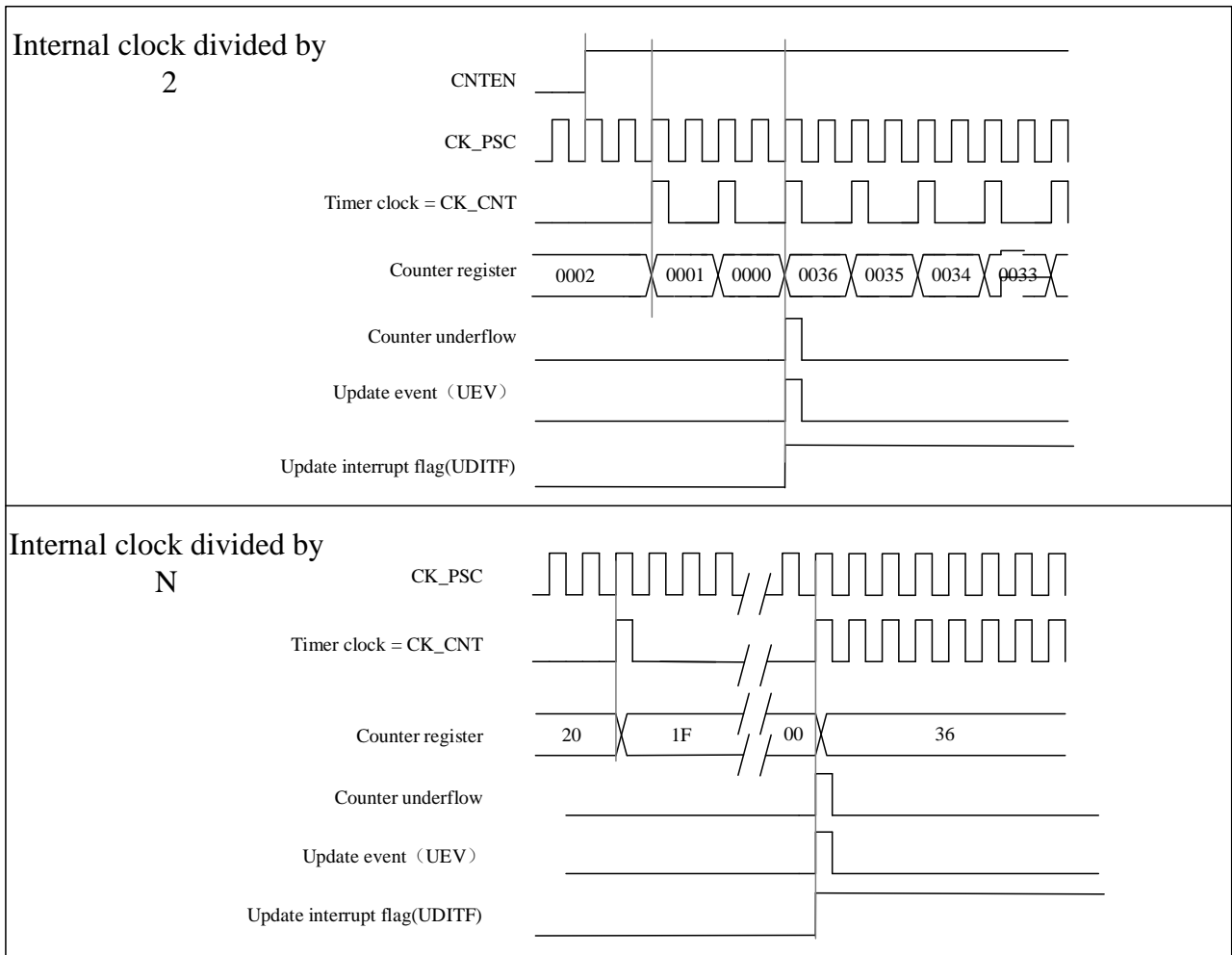
8.3.2.2 向下计数模式

向下计数模式，计数器将从寄存器 TIMx_AR 的值减至 0，然后从自动重载值重新开始，并产生计数器向下溢出事件

向下计数模式和向上计数模式配置更新事件和更新寄存器的过程相同，请查阅 8.3.2.1 章节。

下图给出一些示例，展示了向下计数模式计数器在不同分频因子下的动作。

图 8-5 内部时钟分频因子 = 2/N 时，向下计数时序图



8.3.2.3 中央对齐模式

在中央对齐模式下，计数器从 0 增加到值 (TIMx_AR) - 1，产生计数器溢出事件。然后，它从自动重载值 (TIMx_AR) 向下计数到 1，并生成一个计数器向下溢出事件。然后计数器重置为 0 并再次开始计数。

在这种模式下，TIMx_CTRL1.DIR 方向位无效，由硬件更新和指定当前计数方向。当 TIMx_CTRL1.CAMSEL 位不等于“00”时，中央对齐模式有效。

每次计数上溢和计数下溢时都会生成更新事件。或者，也可以通过设置 TIMx_EVTGEN.UDGN 位（通过软件或使用从模式控制器）来生成更新事件。在这种情况下，计数器从 0 重新开始计数，预分频器的计数器也从 0 重新开始计数。

注：如果因为计数器溢出而产生更新，自动重载将在计数器重新载入之前被更新。

图 8-6 内部时钟分频因子 = 2/N，中央对齐时序图

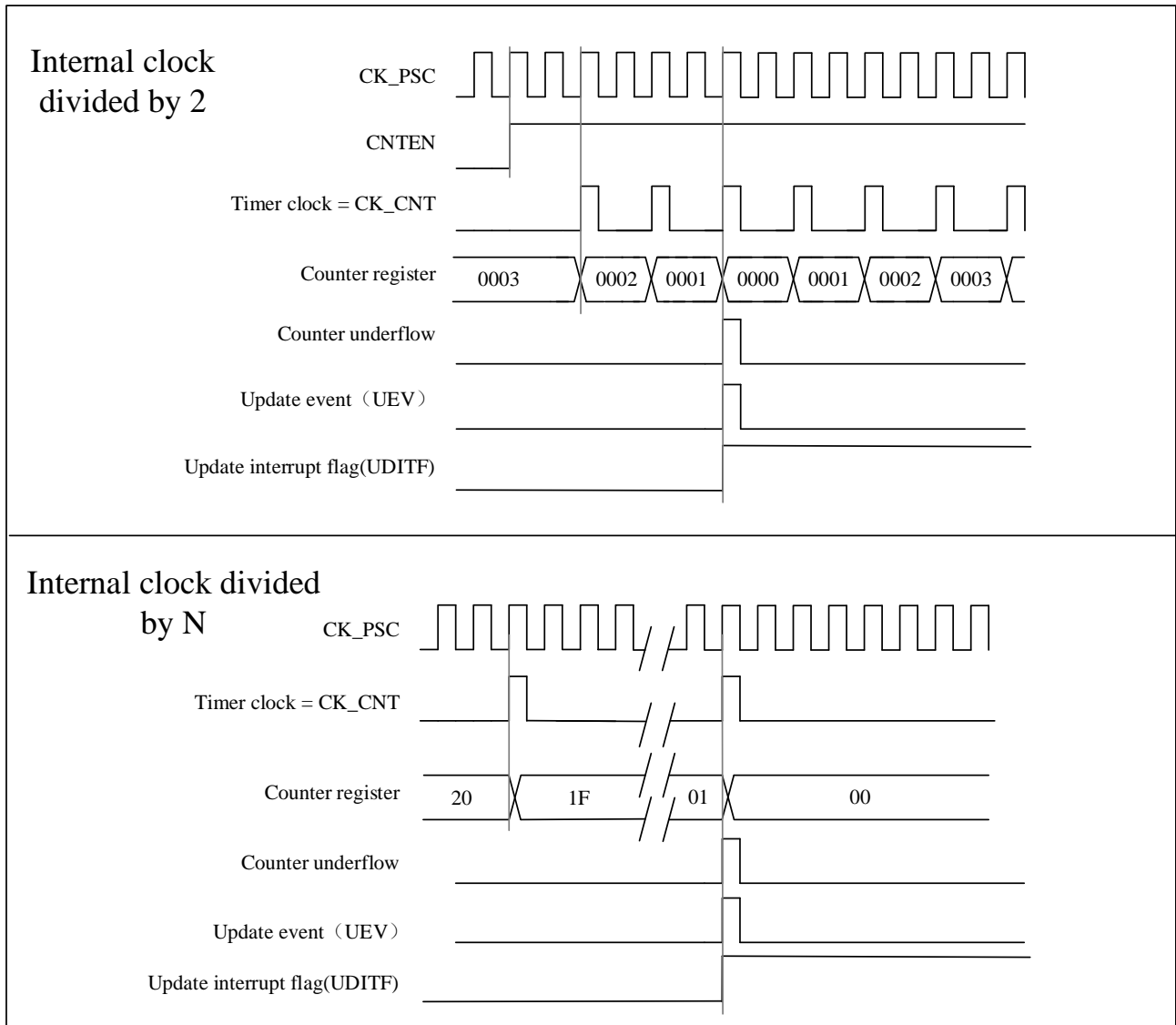
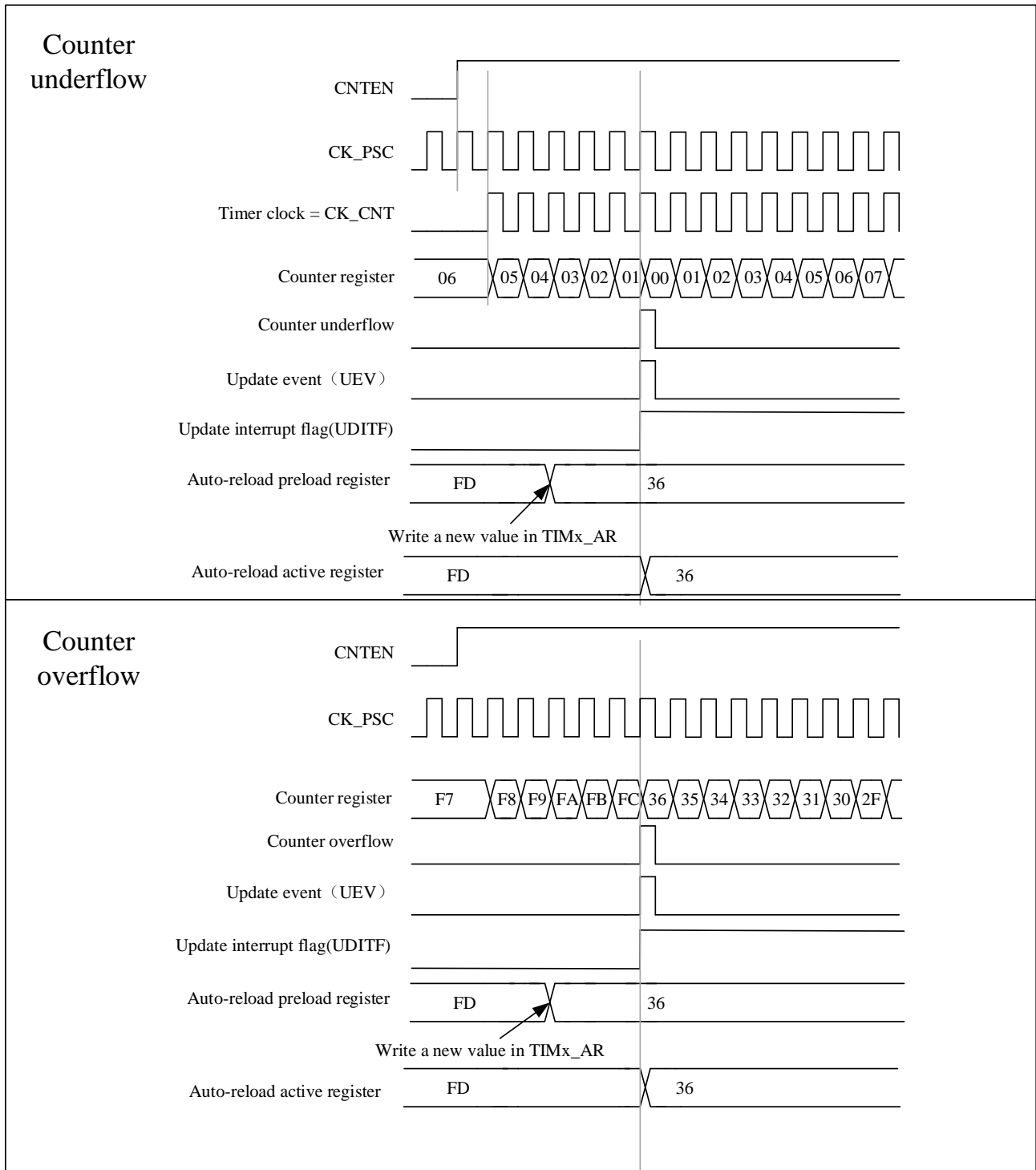


图 8-7 包含计数器上溢和下溢的中央对齐时序图(ARPEN=1)



8.3.3 重复计数器

第 8.3.1 章节的基本单元描述了生成更新事件（UEV）的条件。更新事件（UEV）实际上仅在重复计数器达到零时生成，这对于生成 PWM 信号非常有用。

这意味着每 N+1 计数器溢出或下溢一次，数据就会从预加载寄存器传输到影子寄存器，其中 N 是

TIMx_REPCNT 中的值。

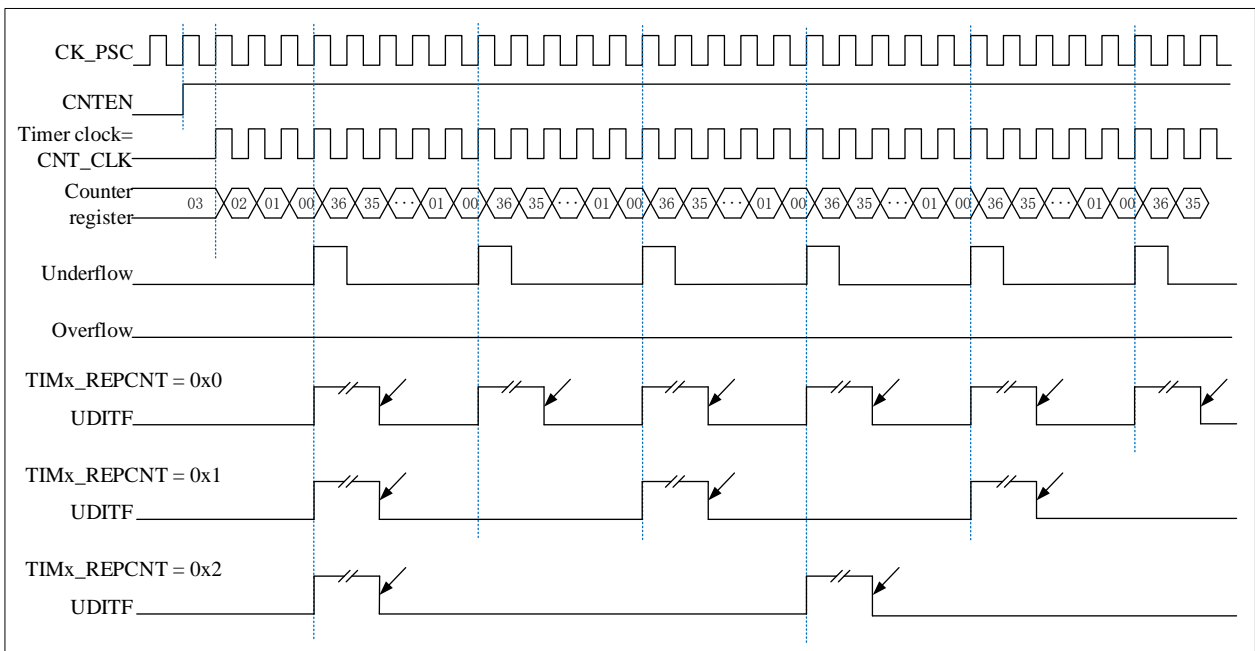
重复计数器递减：

- 在向上计数模式下，每次计数器达到最大值时，都会发生溢出
- 在向下计数模式下，每次计数器减至最小值时，都会发生下溢
- 在中央对齐模式下，每次计数上溢或下溢时

其重复率由 TIMx_REPCNT 寄存器的值定。

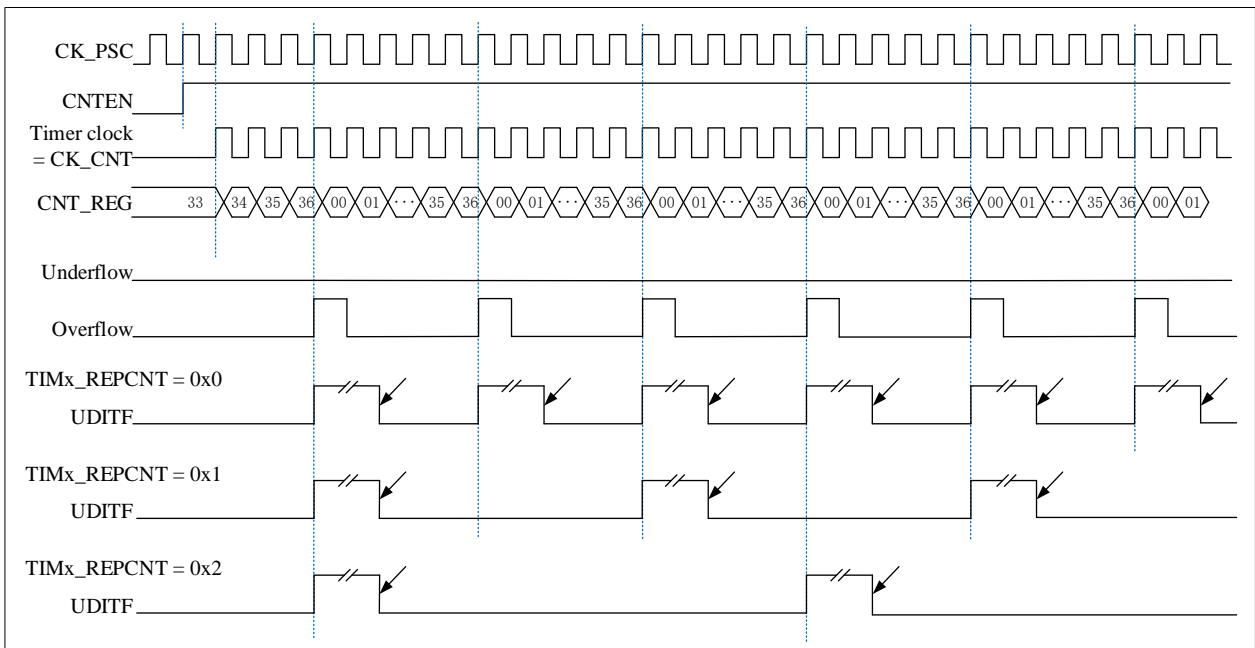
重复计数器具有自动重新加载功能。无论重复计数器的值如何，更新事件（通过从模式控制器设置 TIMx_EVTGEN.UDGN 或硬件生成）都会立即发生。

图 8-8 向下计数模式下的重复计数时序图



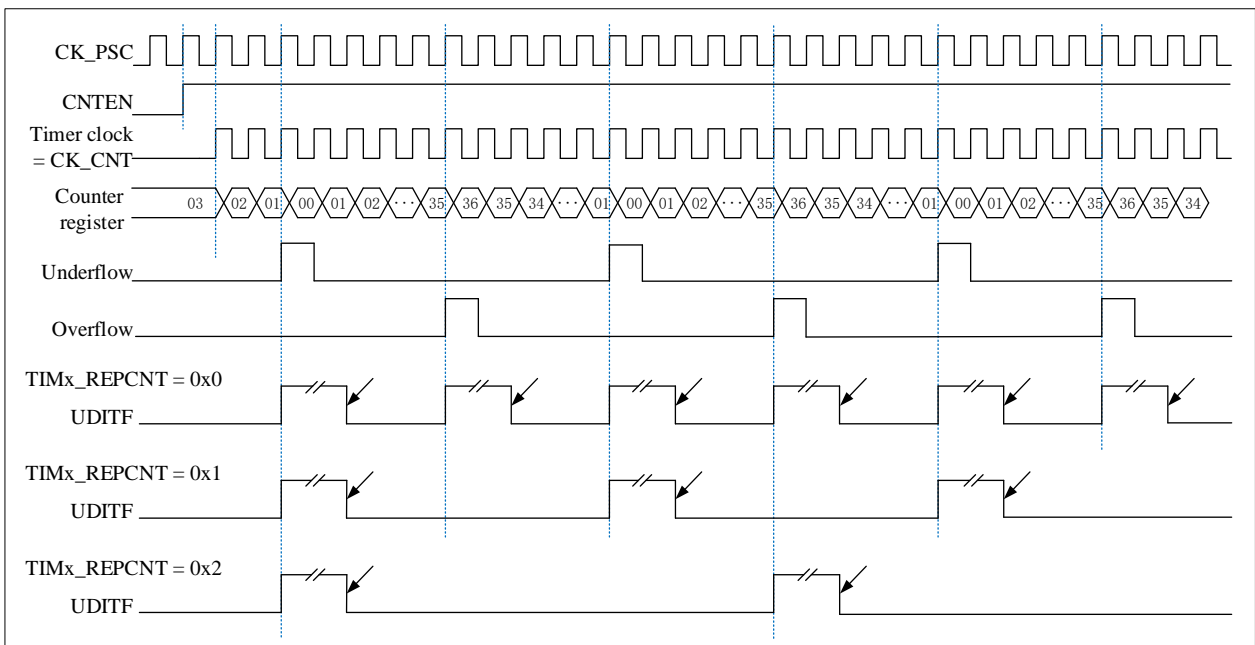
软件清除

图 8-9 向上计数模式下的重复计数时序图



软件清除

图 8-10 中央对齐模式下的重复计数时序图



软件清除

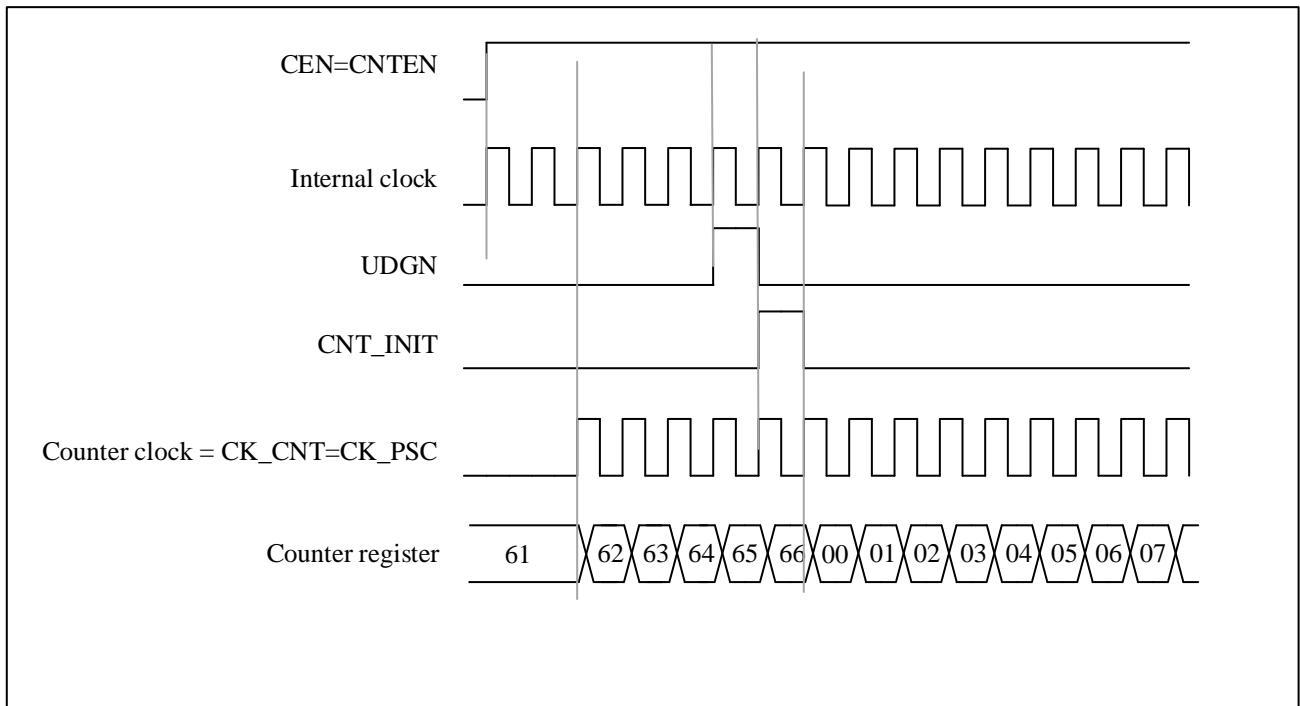
8.3.4 时钟选择

- CK_INT 高级控制定时器的内部时钟：CK_INT：
- 两种外部时钟模式：
 - 外部输入引脚
 - 外部触发输入 ETR
- 内部触发输入 (ITRx)：一个定时器用作另一个定时器的预分频器

8.3.4.1 内部时钟源(CK_INT)

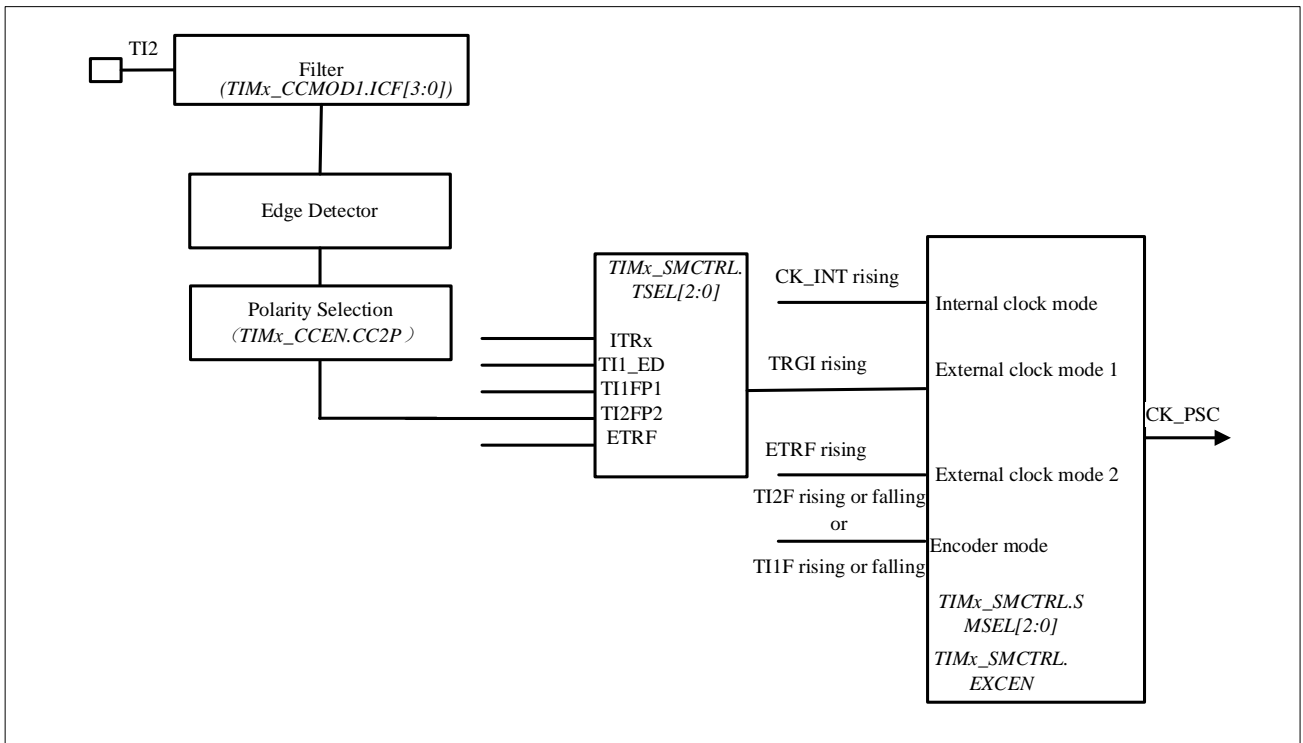
当 TIMx_SMCTRL.SMSEL 等于“000”时，从模式控制器被禁用。这三个控制位 (TIMx_CTRL1.CNTEN、TIMx_CTRL1.DIR、TIMx_EVTGEN.UDGN) 只能由软件改变 (TIMx_EVTGEN.UDGN 除外，它保持自动清零)。前提是 TIMx_CTRL1.CNTEN 位被软写为'1'，预分频器的时钟源由内部时钟 CK_INT 提供。

图 8-11 正常模式下的控制电路，内部时钟除以 1



8.3.4.2 外部时钟源模式 1

图 8-12 TI2 外部时钟连接示例



通过配置 `TIMx_SMCTRL.SMSEL=111` 选择该模式。计数器可以配置为在所选输入的时钟上升沿或下降沿进行计数。

例如，配置向上计数模式在 `TI2` 输入的时钟上升沿计数，配置步骤如下：

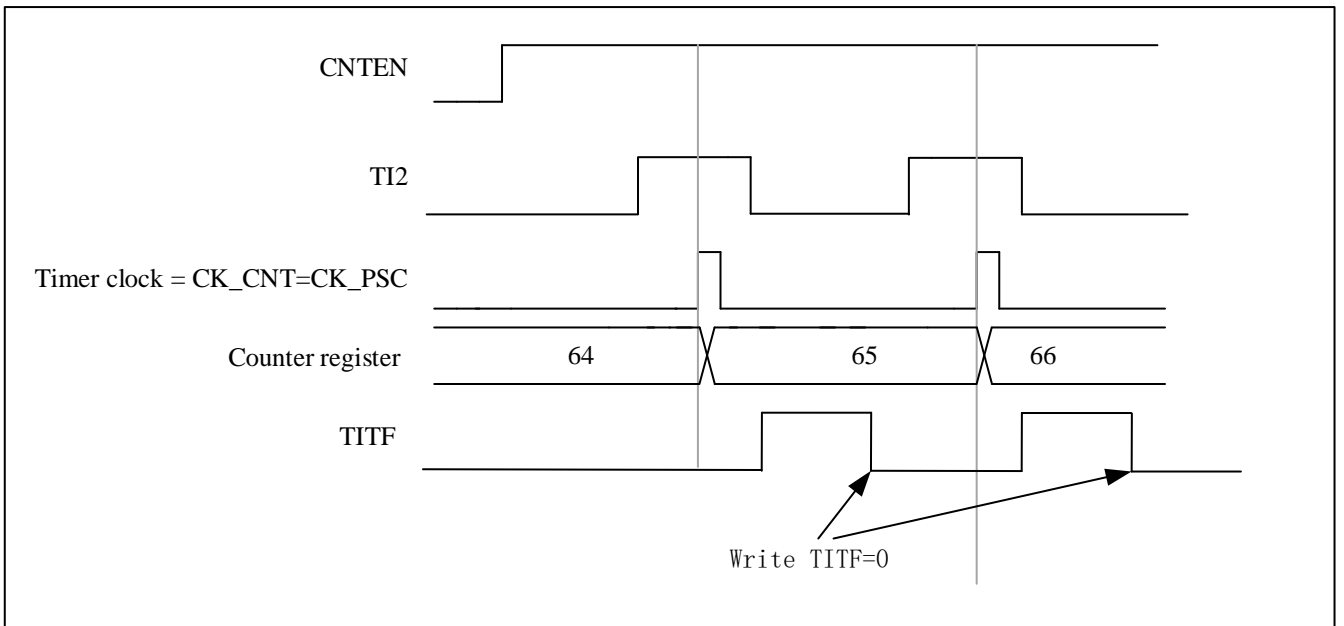
- 配置 `TIMx_CCMOD1.CC2SEL` 等于‘01’，`CC2` 通道配置为输入，`IC2` 映射到 `TI2`
- 配置 `TIMx_CCEN.CC2P` 等于‘0’，选择时钟上升沿极性
- 通过配置 `TIMx_CCMOD1.IC2F[3:0]` 选择输入滤波器带宽（如果不需要滤波器，保持 `IC2F` 位为‘0000’）
- 配置 `TIMx_SMCTRL.SMSEL` 等于‘111’，选择定时器外部时钟模式 1
- 配置 `TIMx_SMCTRL.TSEL` 等于‘110’，选择 `TI2` 作为触发输入源
- 配置 `TIMx_CTRL1.CNTEN` 等于‘1’以启动计数器

注意：捕获预分频器不用于触发，所以不需要配置

当定时器时钟的上升沿出现在 `TI2=1` 时，计数器计数一次并且 `TIMx_STS.TITF` 标志被拉高。

`TI2` 的上升沿与计数器实际时钟之间的延迟取决于 `TI2` 输入端的再同步电路。

图 8-13 外部时钟模式 1 的控制电路

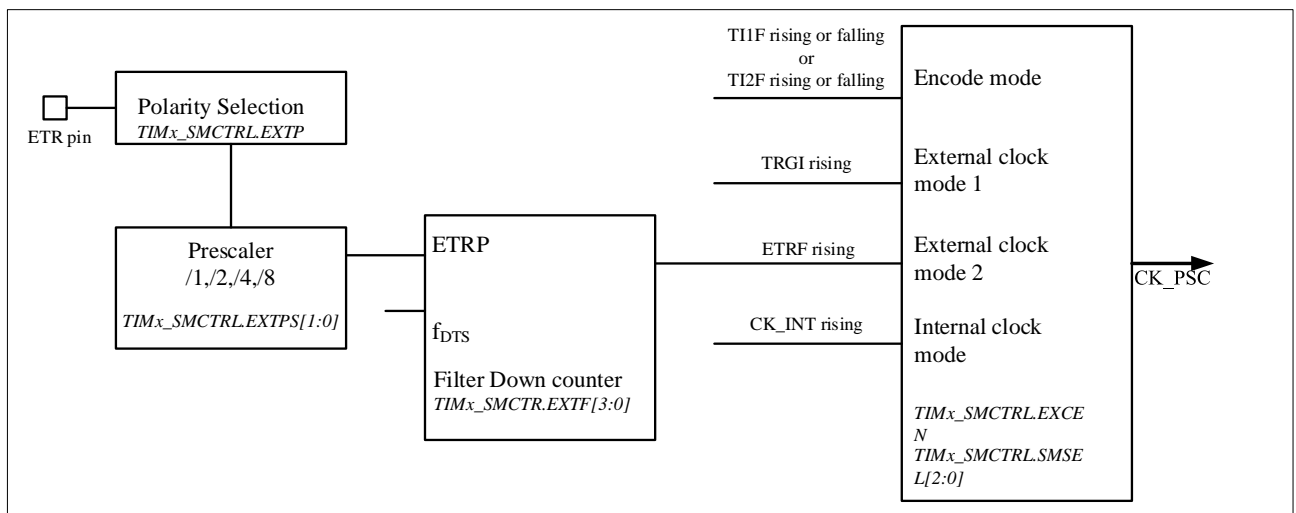


8.3.4.3 外部时钟源模式 2

此模式由 `TIMx_SMCTRL.EXCEN` 选择等于 1。计数器可以在外部触发输入 ETR 的每个上升沿或下降沿计数。

下图为外部时钟源模式 2 的外部触发输入模块示意图。

图 8-14 外部触发输入框图



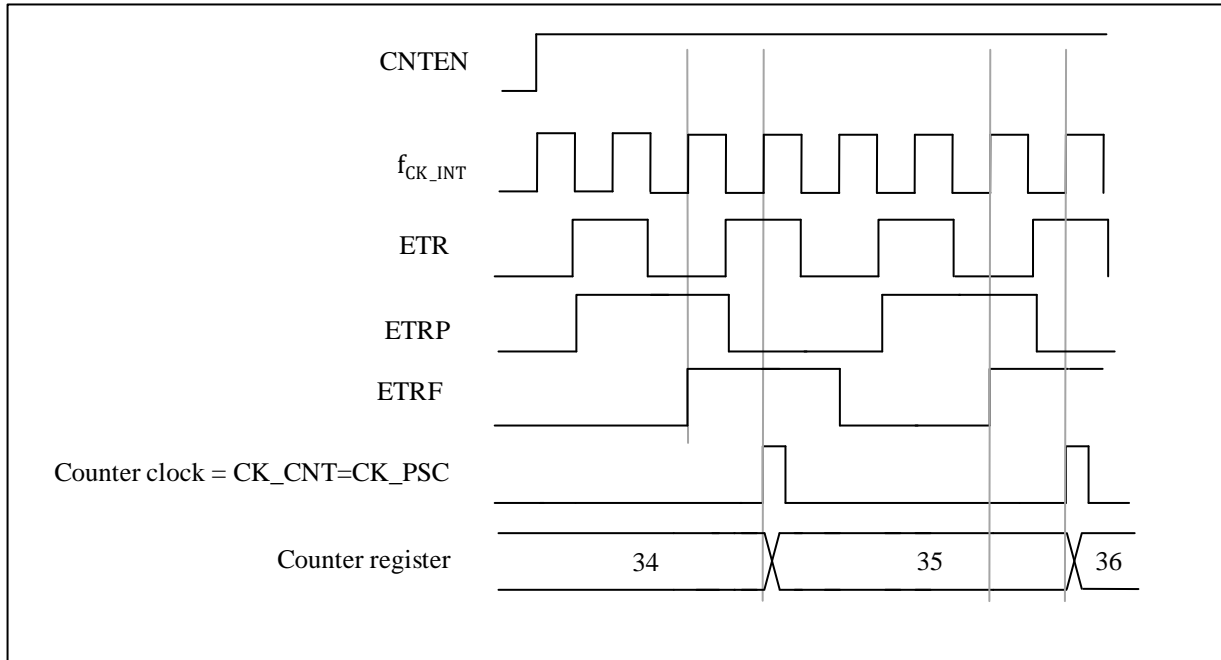
例如，使用以下配置步骤使向上计数器在 ETR 上每 2 个上升沿计数一次。

- 由于在这种情况下不需要过滤器，因此使 `TIMx_SMCTRL.EXTF[3:0]` 等于‘0000’
- 通过使 `TIMx_SMCTRL.EXTPS[1:0]` 等于 ‘01’ 来配置预分频器
- 通过设置 `TIMx_SMCTRL.EXTP` 等于‘0’来选择 ETR 引脚的极性，ETR 的上升沿有效

- 外部时钟模式 2 通过设置 TIMx_SMCTRL.EXCEN 等于‘1’来选择
- 通过设置 TIMx_CTRL1.CNTEN 等于“1”启动计数器。

计数器每 2 个 ETR 上升沿计数一次。ETR 的上升沿与计数器的实际时钟之间的延迟是由于 ETRP 信号上的再同步电路造成的。

图 8-15 外部时钟模式 2 的控制电路

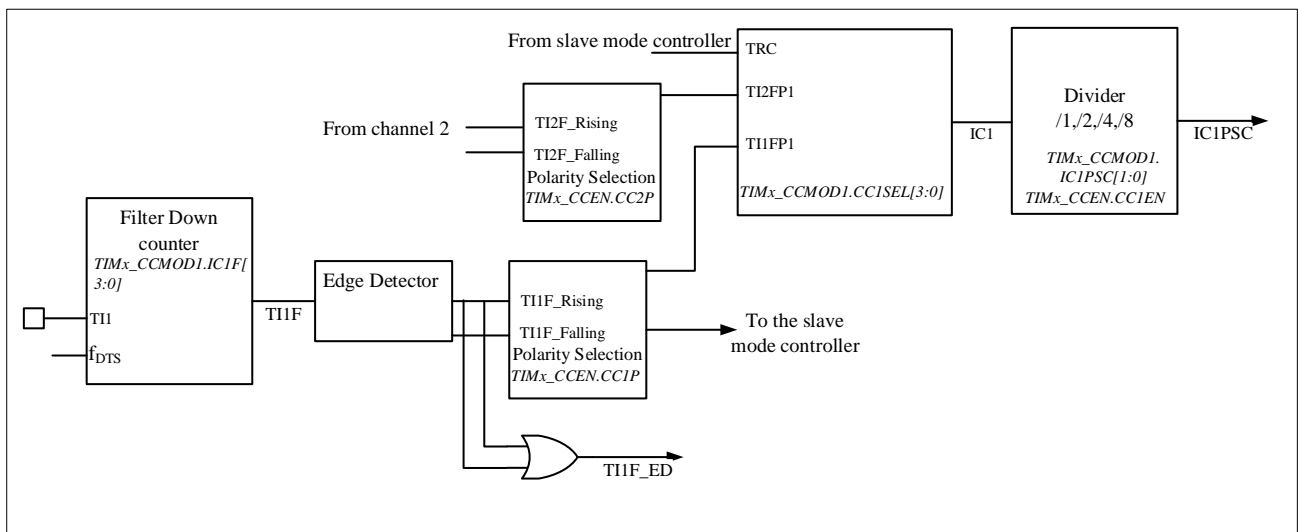


8.3.5 捕获/比较通道

捕获/比较通道包括捕获/比较寄存器和影子寄存器。输入部分由数字滤波器、多路复用器和预分频器组成。输出部分包括比较器和输出控制。

输入信号 TIx 被采样和滤波以产生信号 TIxF。然后由极性选择功能的边沿检测器生成信号 (TIxF_rising 或 TIxF_falling)，其极性由 TIMx_CCEN.CCxP 位选择。该信号可用作从模式控制器的触发输入。同时，信号 ICx 经过分频后送入捕获寄存器。下图显示了捕获/比较通道的框图。

图 8-16 捕获/比较通道（例如：通道 1 输入级）



输出部分生成一个中间波形 OCxRef（高电平有效）作为参考。极性作用在链的末端。

图 8-17 捕获/比较通道 1 主电路

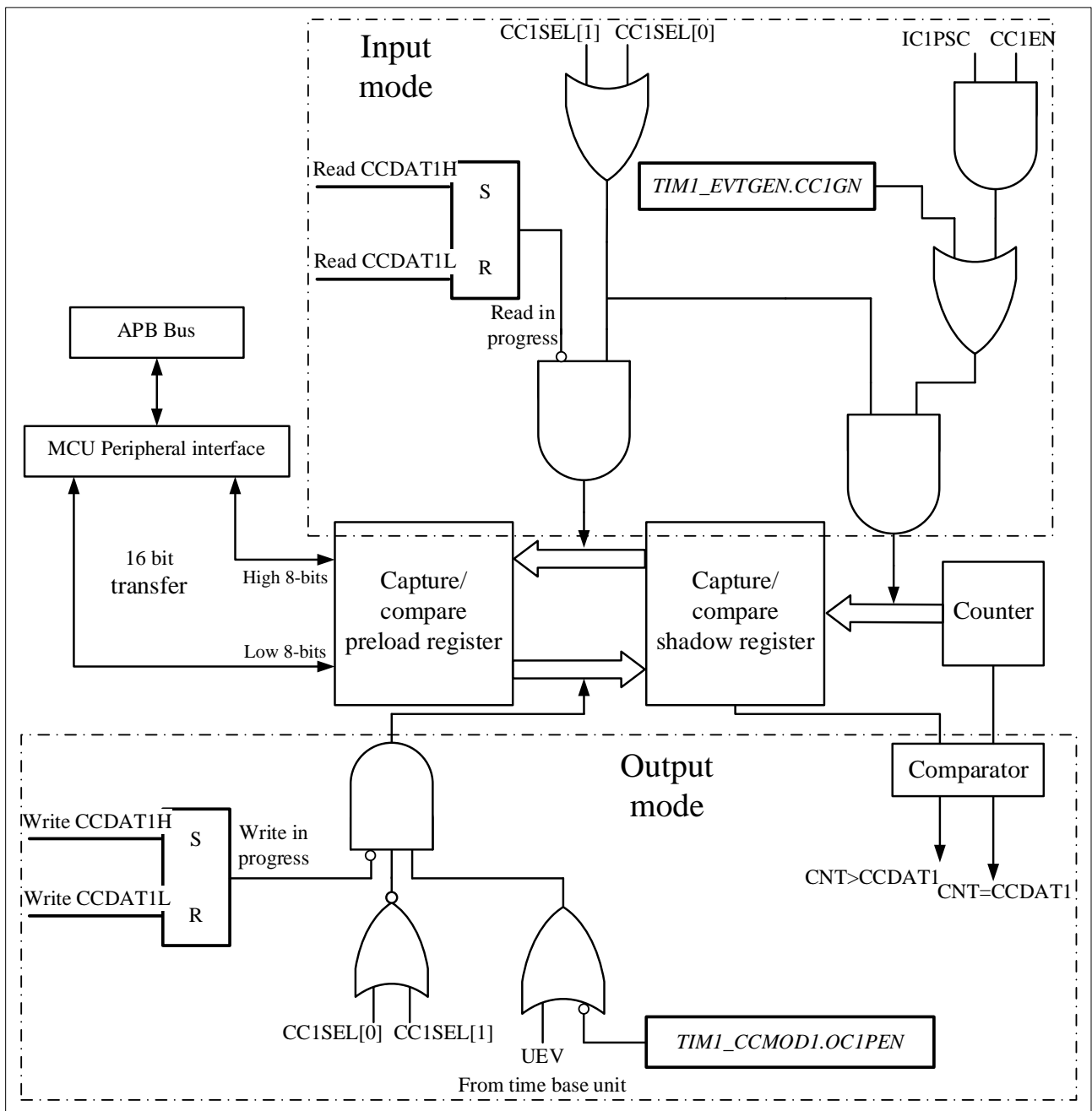


图 8-18 通道 x 的输出部分 (x=1,2,3; 以通道 1 为例子)

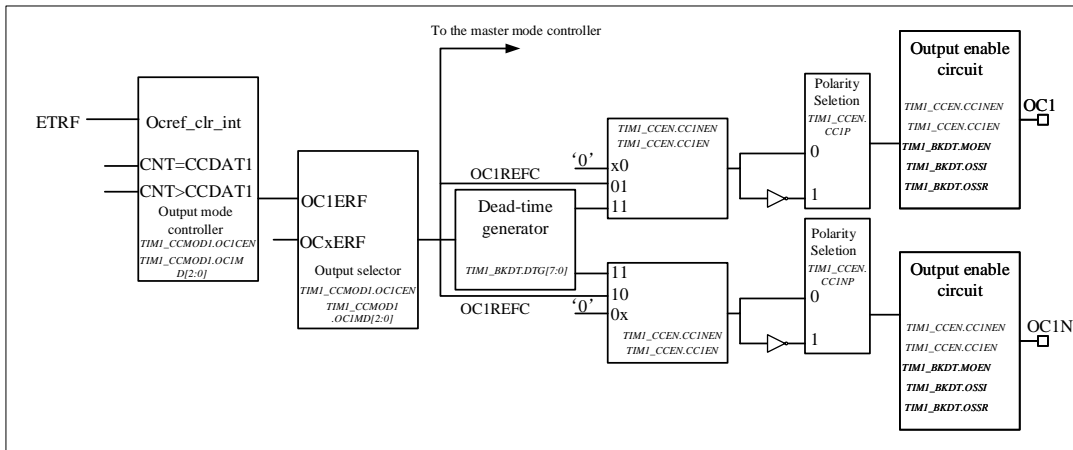
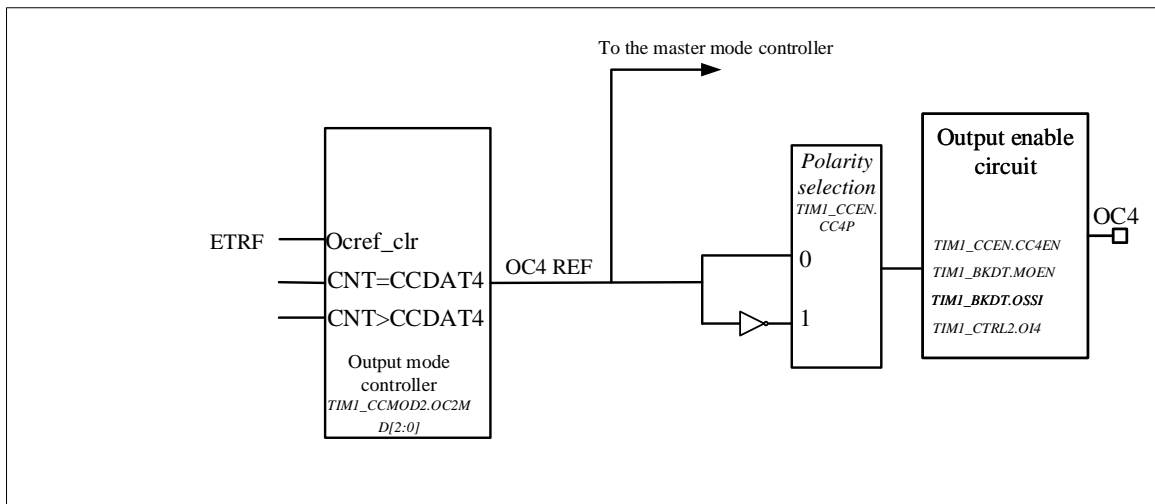


图 8-19 通道 x 的输出部分 (x=4)



在捕获/比较时，读取和写入始终访问预加载的寄存器。两个具体工作流程如下：

在捕获模式下，捕获实际上是在影子寄存器中完成的，然后将影子寄存器中的值复制到预加载寄存器中。

在比较模式下，与捕获模式相反，预加载寄存器的值被复制到影子寄存器中，并与计数器进行比较。

8.3.6 输入捕获模式

在捕获模式下，TIMx_CCDATx 寄存器用于在检测到 ICx 信号后锁存计数器值。

有一个捕获中断标志 TIMx_STS.CCxITF，如果相应的中断使能被拉高，它可以发出中断。

TIMx_STS.CCxITF 位在发生捕获事件时由硬件设置，并由软件或读取 TIMx_CCDATx 寄存器清零。

当 TIMx_CCDATx 寄存器中的计数器值被捕获并且 TIMx_STS.CC1ITF 被拉高时，重复捕获标志 TIMx_STS.CCxOCF 设置为 1。与前者不同，TIMx_STS.CCxOCF 通过向其写入 0 来清除。

为实现 TI1 输入的上升沿将计数器值捕获到 TIMx_CCDAT1 寄存器中，配置流程如下：

- 选择有效输入：

将 `TIMx_CCMOD1.CC1SEL` 配置为“01”。此时输入为 CC1 通道，IC1 映射到 TI1。

- 编程所需的输入滤波器持续时间：

通过配置 `TIMx_CCMODx.ICxF` 位来定义 TI1 输入的采样频率和数字滤波器的长度。示例：如果输入信号抖动多达 5 个内部时钟周期，我们必须选择比这 5 个时钟周期更长的滤波器持续时间。当检测到具有新电平的 8 个连续样本（以 f_{DTS} 频率采样）时，我们可以验证 TI1 上的转换。然后配置 `TIMx_CCMOD1.IC1F` 到“0011”

- 通过配置 `TIMx_CCEN.CC1P=0`，选择上升沿作为 TI1 通道的有效跳变极性

- 配置输入预分频器。在本例中，配置 `TIMx_CCMOD1.IC1PSC= '00'` 以禁用预分频器，因为我们想要捕获每个有效转换

- 通过配置 `TIMx_CCEN.CC1EN = '1'` 启用捕获。

如果要使能相关中断请求，可以配置 `TIMx_DINTEN.CC1IEN =1`。

8.3.7 PWM 输入模式

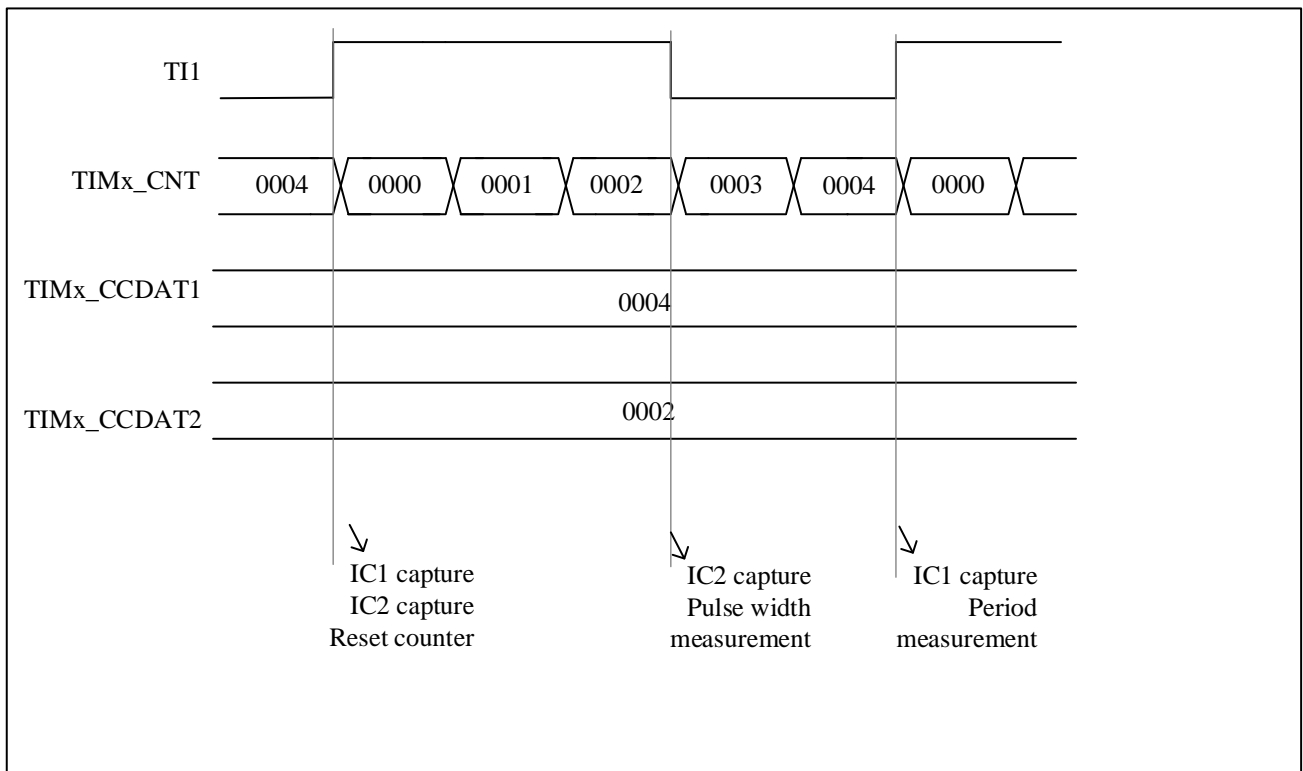
PWM 输入模式和普通输入捕获模式有一些区别，包括：

- 两个 ICx 信号映射到同一个 TIx 输入
- 两个 ICx 信号在极性相反的边沿有效
- 选择两个 TIxFP 信号之一作为触发输入
- 从机模式控制器配置为复位模式

例如，下面的配置流程可以用来知道 TI1 上 PWM 信号的周期和占空比（这取决于 `CK_INT` 的频率和预分频器的值）。

- 配置 `TIMx_CCMOD1.CC1SEL` 等于 ‘01’ 以选择 TI1 作为 `TIMx_CCDAT1` 的有效输入
- 配置 `TIMx_CCEN.CC1P` 等于 ‘0’ 选择滤波定时器输入 1(TI1FP1) 的有效极性，在上升沿有效
- 配置 `TIMx_CCMOD1.CC2SEL` 等于 ‘10’ 选择 TI1 作为 `TIMx_CCDAT2` 的有效输入
- 配置 `TIMx_CCEN.CC2P` 等于 1 选择滤波定时器输入 2(TI1FP2)的有效极性，下降沿有效
- 配置 `TIMx_SMCTRL.TSEL=101` 选择 Filtered timer input 1 (TI1FP1) 作为有效触发输入
- 配置 `TIMx_SMCTRL.SMSEL=100` 配置从模式控制器为复位模式
- 配置 `TIMx_CCEN.CC1EN=1` 和 `TIMx_CCEN.CC2EN=1` 以启用捕获

图 8-20 PWM 输入模式时序



由于只有滤波器定时器输入 1 (TI1FP1) 和滤波器定时器输入 2 (TI2FP2) 连接到从模式控制器, 因此 PWM 输入模式只能与 TIMx_CH1/TIMx_CH2 信号一起使用。

8.3.8 强制输出模式

在输出模式 (TIMx_CCMODx.CCxSEL=00) 下, 软件可以直接将输出比较信号强制为有效或无效电平。

用户可以设置 TIMx_CCMODx.OCxMD=101 强制输出比较信号为有效电平。OCxREF 将被强制为高电平, OCx 得到与 CCxP 极性位相反的值。另一方面, 用户可以设置 TIMx_CCMODx.OCxMD=100 强制输出比较信号为无效电平, 即 OCxREF 被强制为低电平。

在此模式下, TIMx_CCDATx 影子寄存器和计数器的值仍然相互比较。

输出比较寄存器 TIMx_CCDATx 和计数器 TIMx_CNT 之间的比较对 OCxREF 没有影响。并且仍然可以设置标志。因此, 仍然可以发送中断。

8.3.9 输出比较模式

用户可以使用此模式来控制输出波形, 或指示一段时间已过。

当捕获/比较寄存器和计数器的值相同时, 输出比较函数的操作如下:

- TIMx_CCMODx.OCxMD 为输出比较模式, TIMx_CCEN.CCxP 为输出极性。当比较匹配时, 如果设置 TIMx_CCMODx.OCxMD=000, 则输出管脚将保持其电平; 如果设置 TIMx_CCMODx.OCxMD=001, 则设置输出管脚有效; 如果设置 TIMx_CCMODx.OCxMD=010, 则输出管脚将为 设置为无效; 如果设置 TIMx_CCMODx.OCxMD=011, 则输出引脚将设置为翻转。

- 设置 TIMx_STS.CCxITF
- 如果用户设置了 TIMx_DINTEN.CCxIEN，将产生相应的中断

用户可以设置 TIMx_CCMODx.OCxPEN 来选择是否使用捕获/比较预加载寄存器 (TIMx_CCDATx) 来选择捕获/比较影子寄存器。

时间分辨率是计数器的一个计数周期。

在单脉冲模式下，输出比较模式也可用于输出单脉冲。

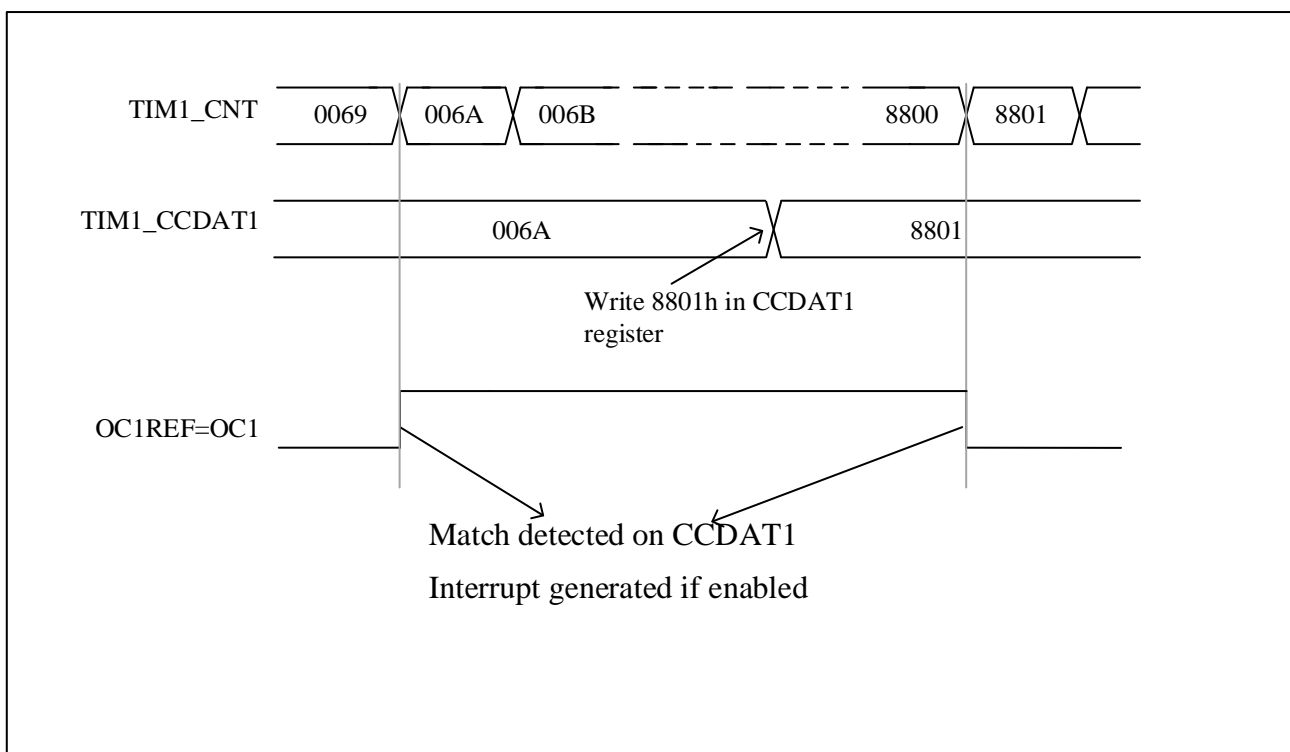
以下是输出比较模式的配置步骤：

- 首先，用户应该选择计数器时钟
- 其次，用所需数据设置 TIMx_AR 和 TIMx_CCDATx
- 如果用户需要产生中断，设置 TIMx_DINTEN.CCxIEN
- 然后通过设置 TIMx_CCEN.CCxP、TIMx_CCMODx.OCxMD、TIMx_CCEN.CCxEN 等选择输出模式
- 最后，设置 TIMx_CTRL1.CNTEN 启用计数器

用户可以随时通过设置 TIMx_CCDATx 来更新输出波形，只要不启用预加载寄存器。否则，TIMx_CCDATx 影子寄存器将在下一次更新事件中更新。

例如：

图 8-21 输出比较模式，开启 OC1



8.3.10 PWM 模式

用户可以使用 PWM 模式产生一个信号，其占空比由 TIMx_CCxDATx 寄存器的值决定，其频率由 TIMx_AR 寄存器的值决定。并且取决于 TIMx_CTRL1.CAMSEL 的值，TIM 可以在边沿对齐模式或中央对齐模式下产生 PWM 信号。

用户可以通过设置 TIMx_CCMODx.OCxMD=110 或设置 TIMx_CCMODx.OCxMD=111 来设置 PWM 模式 1 或 PWM 模式 2。要启用预加载寄存器，用户必须设置相应的 TIMx_CCMODx.OCxPEN。然后设置 TIMx_CTRL1.ARPEN 自动重载预加载寄存器。

用户可以通过设置 TIMx_CCEN.CCxP 来设置 OCx 的极性。另一方面，要启用 OCx 的输出，用户需要在 TIMx_CCEN 和 TIMx_BKDT 中设置 CCxEN、CCxNEN、MOEN、OSSI 和 OSSR 的值的组合。

当 TIM 处于 PWM 模式时，TIMx_CNT 和 TIMx_CCxDATx 的值总是相互比较。

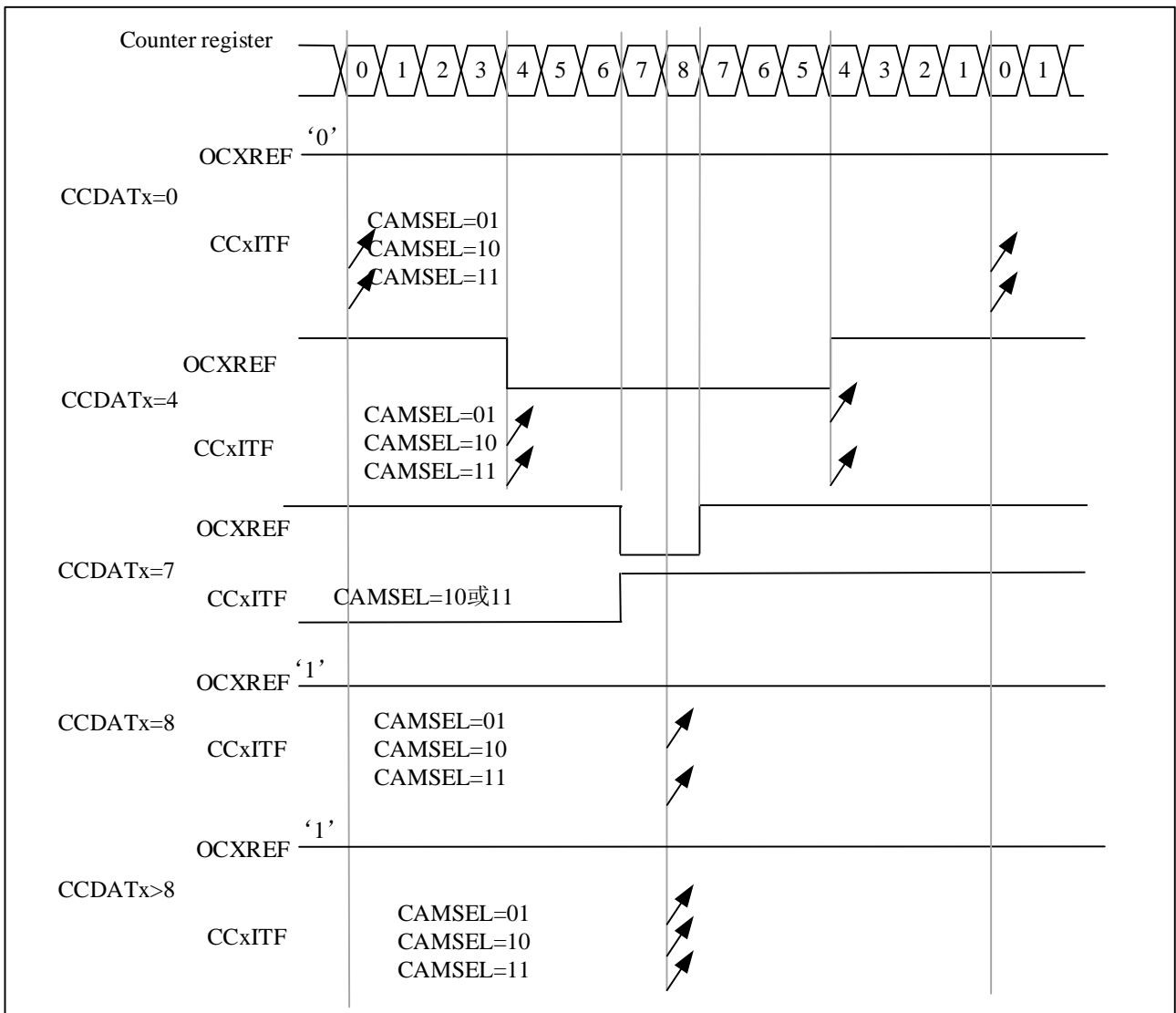
只有当更新事件发生时，预加载寄存器才会转移到影子寄存器。因此，用户必须在计数器开始计数之前通过设置 TIMx_EVTGEN.UDGN 来复位所有寄存器。

8.3.10.1 PWM 中央对齐模式

如果用户设置 TIMx_CTRL1.CAMSEL 等于 01、10 或 11，PWM 中央对齐模式将被激活。比较标志的设置取决于 TIMx_CTRL1.CAMSEL 的值。设置比较标志的情况有 3 种，仅当计数器向上计数时，仅当计数器向下计数时，或当计数器向上计数和向下计数时。用户不应通过软件修改 TIMx_CTRL1.DIR，它是由硬件更新的。

中央对齐 PWM 波形示例如下，波形设置为：TIMx_AR=8，PWM 模式 1，当计数器向下计数对应 TIMx_CTRL1.CAMSEL=01 时设置比较标志。

图 8-22 中央对齐的 PWM 波形 (AR=8)



使用中央对齐模式时用户应注意的事项如下：

- 计数器向上或向下计数取决于 TIMx_CTRL1.DIR 的值。注意不要同时更改 DIR 和 CAMSEL 位
- 用户在中央对齐模式下不要写计数器，否则会导致意想不到的结果。例如：
 - ◆ 如果写入计数器的值为 0 或者是 TIMx_AR 的值，则方向会被更新，但不会产生更新事件
 - ◆ 如果写入计数器的值大于自动重载的值，则方向不会更新
- 为了安全起见，建议用户在启动计数器之前设置 TIMx_EVTGEN.UDGN 以通过软件生成更新，并且在计数器运行时不要写入计数器

8.3.10.2 PWM 边沿对齐模式

边沿对齐模式有两种配置，向上计数和向下计数。

● 向上计数

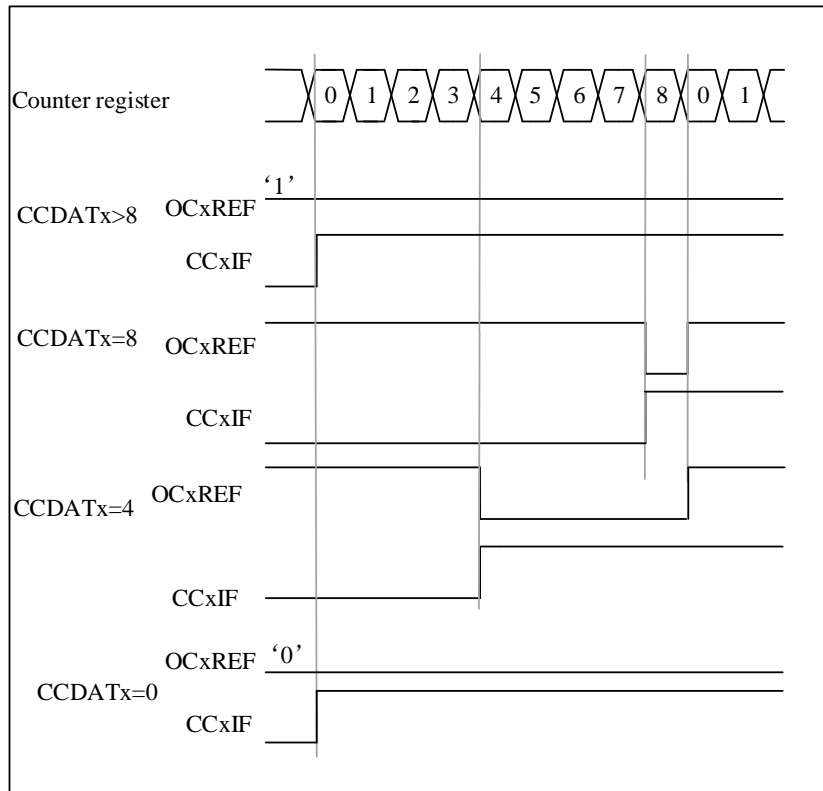
用户可以设置 TIMx_CTRL1.DIR=0 使计数器向上计数。

PWM 模式 1 的示例：

当 $TIMx_CNT < TIMx_CCDATx$ 时， $OCxREF$ 为高电平，否则为低电平。如果 $TIMx_CCDATx$ 中的比较值大于自动重载值，则 $OCxREF$ 将保持为 1。相反，如果比较值为 0，则 $OCxREF$ 将保持为 0。

当 $TIMx_AR=8$ 时，PWM 波形如下：

图 8-23 边沿对齐 PWM 波形 (AR=8)



● 向下计数

用户可以设置 $TIMx_CTRL1.DIR=1$ 使计数器向下计数。

PWM 模式 1 的示例：

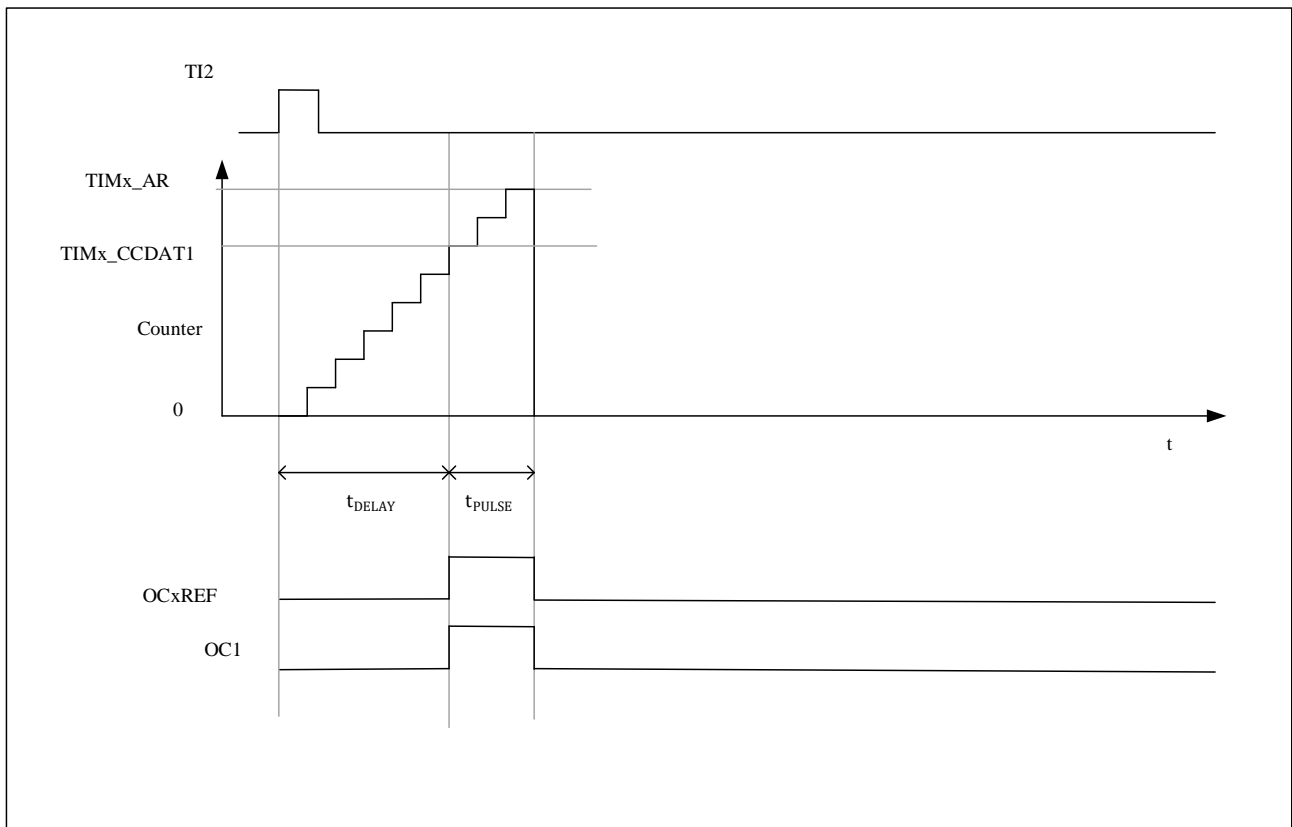
当 $TIMx_CNT > TIMx_CCDATx$ 时， $OCxREF$ 为低电平，否则为高电平。如果 $TIMx_CCDATx$ 中的比较值大于自动重载值，则 $OCxREF$ 将保持为 1。

注：若第 n 个 PWM 周期 $CCDATx$ 影子寄存器 $\geq AR$ 值，第 $n+1$ 个 PWM 周期 $CCDATx$ 的影子寄存器值是 0。在第 $n+1$ 个 PWM 周期的计数器为 0 的时刻，虽然计数器 = $CCDATx$ 影子寄存器的值 = 0， $OCxREF = '0'$ ，但不会产生比较事件。

8.3.11 单脉冲模式

在单脉冲模式(ONEPM)中，接收到触发信号，经过可控延迟 t_{DELAY} 后产生脉宽可控的脉冲 t_{PULSE} 。输出模式需要配置为输出比较模式或 PWM 模式。选择单脉冲模式后，计数器会在更新事件 UEV 产生后停止计数。

图 8-24 单脉冲模式示例



以下是单脉冲模式的示例：

从 TI2 输入检测到上升沿触发，延迟 t_{DELAY} 后在 OC1 上产生宽度为 t_{PULSE} 的脉冲。

1. 计数器配置：向上计数，计数器 $\text{TIMx_CNT} < \text{TIMx_CCDAT1} \leq \text{TIMx_AR}$ ；
2. TI2FP2 映射到 TI2, $\text{TIMx_CCMOD1.CC2SEL} = '01'$ ；TI2FP2 配置为上升沿检测, $\text{TIMx_CCEN.CC2P} = '0'$ ；
3. TI2FP2 充当从模式控制器的触发器（TRGI）并启动计数器， $\text{TIMx_SMCTRL.TSEL} = '110'$ ， $\text{TIMx_SMCTRL.SMSEL} = '110'$ （触发模式）；
4. TIMx_CCDAT1 写入要延迟的计数值（ t_{DELAY} ）， $\text{TIMx_AR} - \text{TIMx_CCDAT1}$ 为脉宽 t_{PULSE} 的计数值；
5. 配置 $\text{TIMx_CTRL1.ONEPM} = 1$ 使能单脉冲模式，配置 $\text{TIMx_CCMOD1.OC1MD} = '111'$ 选择 PWM2 模式；
6. 等待 TI2 有外部触发事件，OC1 输出一个单脉冲波形；

8.3.11.1 特殊情况：OCx 快速使能：

在单脉冲模式下，通过 TIx 输入检测到一个边沿，并触发计数器开始计数到比较值，然后输出一个脉冲。这些操作限制了可以达到的最小延迟 t_{DELAY} 。

您可以设置 $\text{TIMx_CCMODx.OCxFEN} = 1$ 开启 OCx 快速使能，在触发上升沿后，OCxREF 信号将被强制转换为与比较匹配立即发生的电平相同的电平，而不管比较结果如何。OCxFEN 快速使能仅在通道模式配置为 PWM1 和 PWM2 模式时生效。

8.3.12 在外部事件上清除 OCxREF 信号

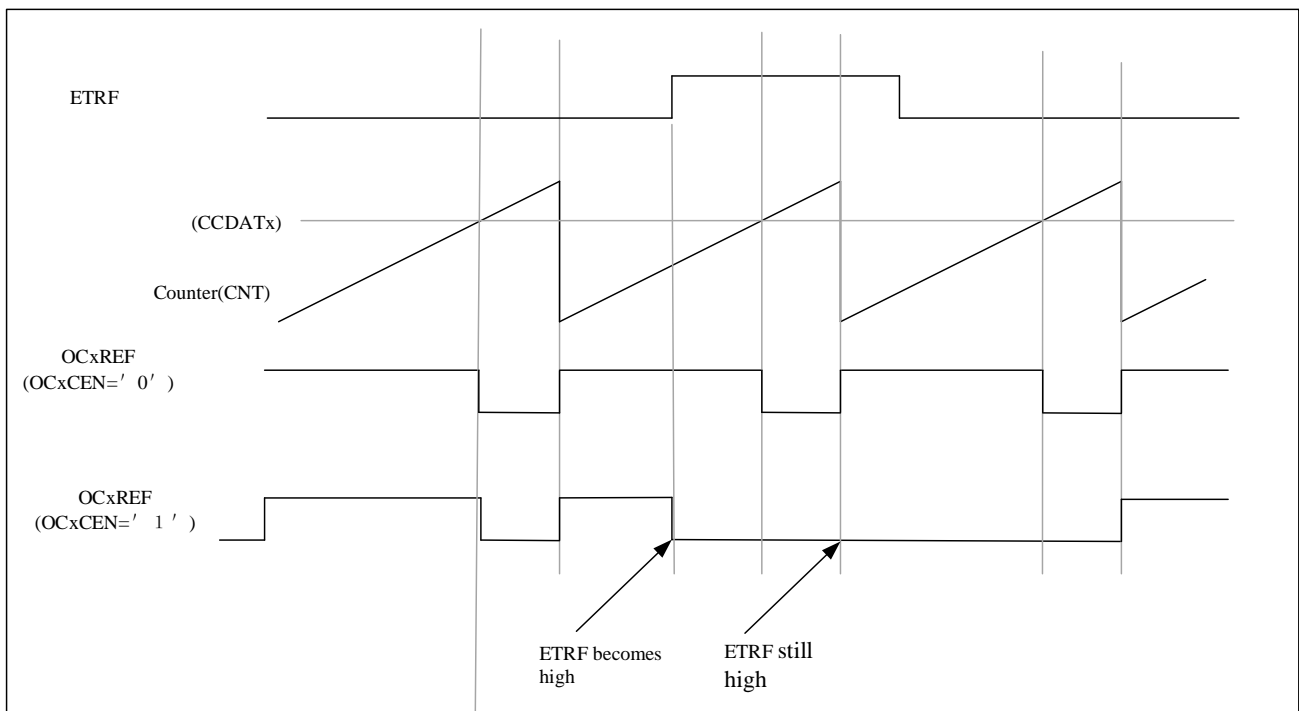
如果用户设置 $TIMx_CCMODx.OCxCEN=1$ ，ETRF 输入的高电平可用于驱动 OCxREF 信号为低电平，OCxREF 信号将保持低电平，直到下一次 UEV 发生。只有输出比较和 PWM 模式可以使用该功能。在强制模式下不能使用。

例如：为了控制电流，用户可以将 ETR 信号连接到比较器的输出端，ETR 的操作如下：

- 设置 $TIMx_SMCTRL.EXTPS=00$ 禁用外部触发预分频器。
- 设置 $TIMx_SMCTRL.EXCEN=0$ 禁用外部时钟模式 2。
- 设置 $TIMx_SMCTRL.EXTP$ 和 $TIMx_SMCTRL.EXTF$ ，根据需要配置外触发极性和外触发滤波器。

例：当 ETRF 输入变高时，OCxREF 信号对于不同的 OCxCEN 值的行为。在这种情况下，定时器设置为 PWM 模式。

图 8-25 清除 TIMx 的 OCxREF



8.3.13 互补输出和死区插入

高级控制定时器可以输出两个互补信号，并管理输出的关闭和打开。这称为死区时间。用户应根据连接到输出的设备及其特性调整死区时间。

用户可以通过设置 $TIMx_CCEN.CCxP$ 和 $TIMx_CCEN.CCxNP$ 来选择输出的极性。并且此选择对于每个输出都是独立的。

用户可以通过设置几个控制位的组合来控制互补信号 OCx 和 OCxN，它们分别是 $TIMx_CCEN.CCxEN$ 、 $TIMx_CCEN.CCxNEN$ 、 $TIMx_BKDT.MOEN$ 、 $TIMx_CTRL2.OIx$ 、 $TIMx_CTRL2.OIxN$ 、 $TIMx_BKDT.OSSI$ 和 $TIMx_BKDT.OSSR$ 。当切换到空闲状态时，死区时间将被激活。

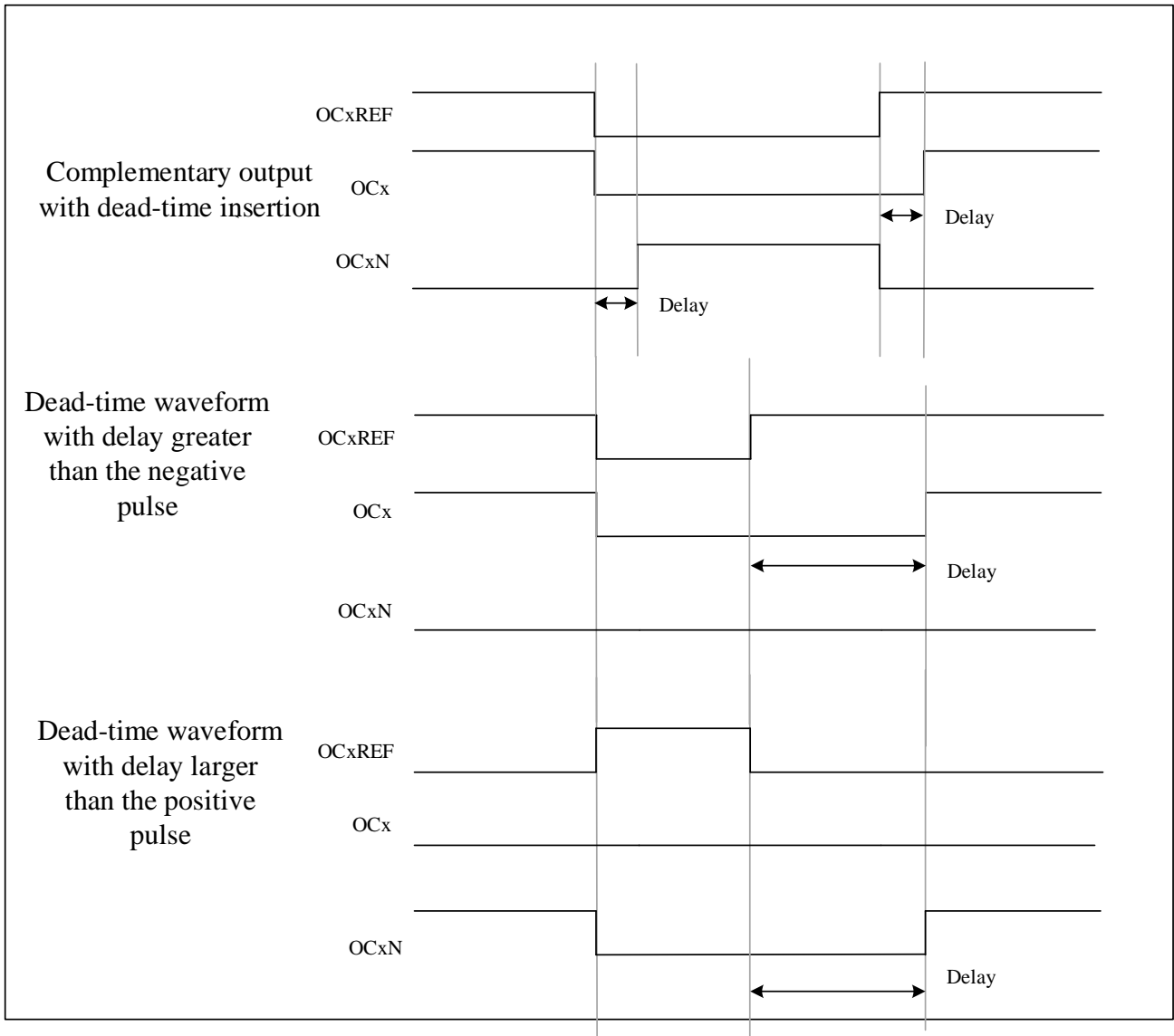
如果用户同时设置 TIMx_CCEN.CCxEN 和 TIMx_CCEN.CCxNEN，则会插入死区时间。如果有刹车，还要设置 TIMx_BKDT.MOEN。每个通道都有 10 位死区时间发生器。

参考波形 OCxREF 可以生成 2 个输出 OCx 和 OCxN。如果 OCx 和 OCxN 为高电平有效，则 OCx 输出信号与参考信号相同，而 OCxN 输出信号与参考信号相反。但是，OCx 输出信号将相对于参考上升沿延迟，而 OCxN 输出信号将相对于参考下降沿延迟。如果延迟大于有效 OCx 或 OCxN 输出的宽度，则不会产生相应的脉冲。

死区时间发生器的输出信号与参考信号 OCxREF 之间的关系如下。

假设 TIMx_CCEN.CCxP=0，TIMx_CCEN.CCxNP=0，TIMx_BKDT.MOEN=1，TIMx_CCEN.CCxEN=1，TIMx_CCEN.CCxNEN=1。

图 8-26 带死区插入的互补输出



用户可以设置 TIMx_BKDT.DTGN 来编程每个通道的死区时间延迟。

8.3.13.1 重定向 OCxREF 到 OCx 或 OCxN

在输出模式下，用户可以设置 TIMx_CCEN.CCxEN 和 TIMx_CCEN.CCxNEN 以将 OCxREF 重定向到 OCx 输出或 OCxN 输出。

这里有两种使用这个功能的方法。当互补保持在其无效电平时，用户可以使用此功能发送特定波形，例如 PWM 或静态有效电平。用户还可以使用此功能将两个输出设置为无效电平，或将两个输出都设置为有效，两者互补且带死区。

如果用户设置 TIMx_CCEN.CCxEN=0 和 TIMx_CCEN.CCxNEN=1，两者不互补，当 OCxREF 为高电平时 OCxN 将变为有效。另一方面，如果用户设置 TIMx_CCEN.CCxEN=1 和 TIMx_CCEN.CCxNEN=1，当 OCxREF 为高电平时，OCx 将变为有效。相反，当 OCxREF 为低电平时，OCxN 将变为有效。

8.3.14 刹车功能

使用刹车功能时，设置相应的控制位时会修改输出使能信号和无效电平。但是，无论何时，OCx 和 OCxN 的输出都不能同时处于有效电平，即需要满足 $(CCxP \wedge OIx) \wedge (CCxNP \wedge OIxN) = 0$ 。

当启用多个刹车信号时，每个刹车信号构成一个 OR 逻辑。这里有一些信号可能是刹车的来源。

- 刹车输入引脚
- PVD 事件。
- 内核 Hardfault 事件。
- 比较器的输出信号（在比较器模块中配置，高电平刹车）。
- 软件设置 TIMx_EVTGEN.BGN。

复位后刹车电路将被禁用。MOEN 位将为低电平。用户可以设置 TIMx_BKDT.BKEN 来启用刹车功能。通过设置 TIMx_BKDT.BKP 可以选择刹车输入信号的极性。用户可以同时修改 TIMx_BKDT.BKEN 和 TIMx_BKDT.BKP。用户设置 TIMx_BKDT.BKEN 和 TIMx_BKDT.BKP 后，生效前有 1 个 APB 时钟周期延迟。因此，用户需要等待 1 个 APB 时钟周期才能读回写入位的值。

MOEN 的下降沿可以是异步的，所以在实际信号和同步控制位之间设置了一个再同步电路。该电路将导致异步和同步信号之间的延迟。当用户设置 TIMx_BKDT.MOEN 为低电平时，用户需要在读取该值之前插入一个延迟。因为写入了异步信号，但用户读取了同步信号。

刹车发生后的行为如下：

- TIMx_BKDT.MOEN 将被异步清除，然后输出将进入无效状态、空闲状态或复位状态。通过设置 TIMx_BKDT.OSSI 选择输出状态。即使 MCU 振荡器关闭，这也会生效。
- 一旦 TIMx_BKDT.MOEN=0，每个输出通道的输出将使用 TIMx_CTRL2.OIx 中编程的电平驱动。如果 TIMx_BKDT.OSSI=0，定时器将释放使能输出（由 GPIO 控制器接管），否则将保持高电平。
- 如果用户选择使用互补输出，TIM 的行为如下
 - 取决于极性，输出将首先设置为复位状态。它是一个异步选项，因此即使没有为计时器提供时钟，它仍然可以工作。
 - 如果仍然提供定时器时钟，死区发生器将重新激活，当 $(CCxP \wedge OIx) \wedge (CCxNP \wedge OIxN) = 0$ ，即 OCx 和 OCxN 仍然不能同时被驱动到有效电平，在死区时间后根据 TIMx_CTRL2.OIx 和

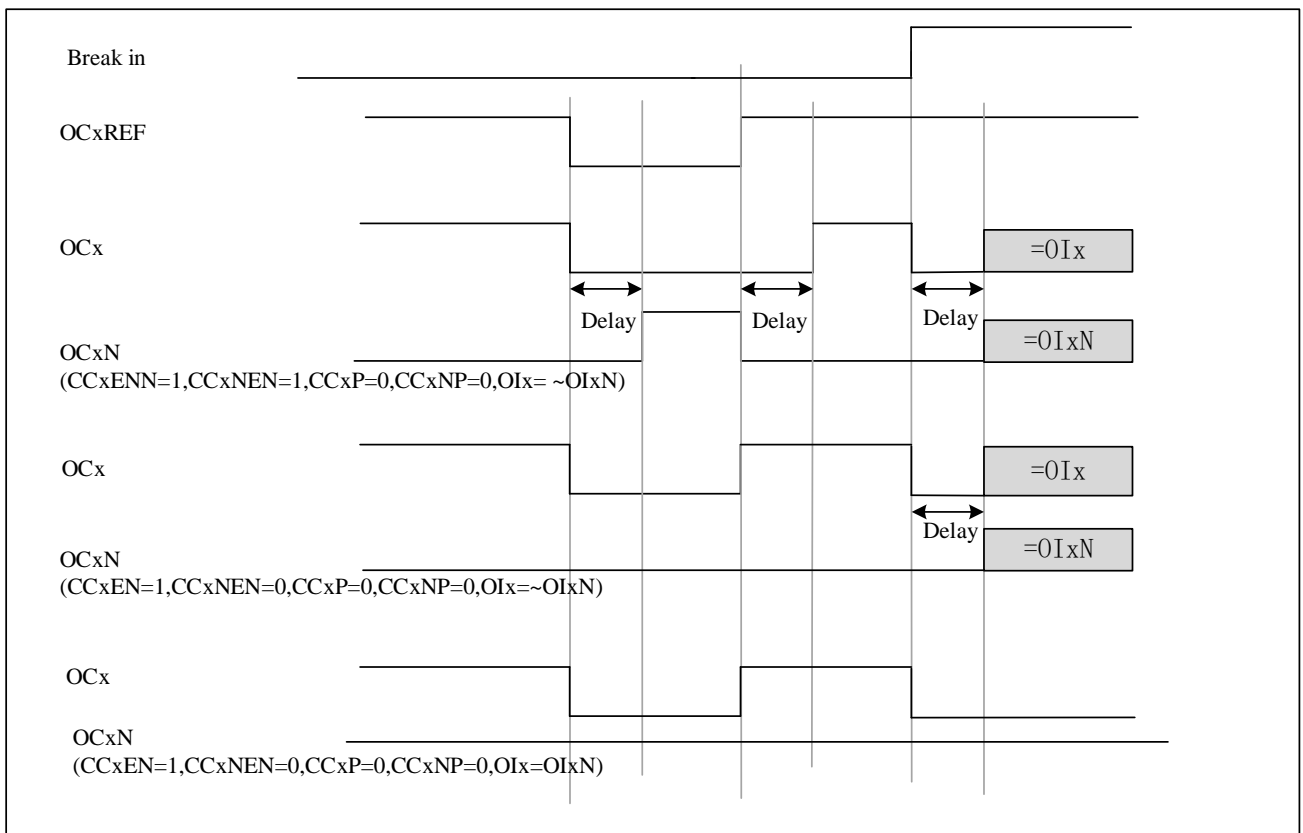
TIMx_CTRL2.OIxN 的值驱动输出。请注意，由于 MOEN 上的重新同步（大概 2 个 ck_tim 周期），死区时间将比平时长。

- 如果 TIMx_BKDT.OSSI=0，定时器将释放输出控制。否则，如果使能输出为高电平，它将保持为高电平。如果为低电平，则在 TIMx_CCEN.CCxEN 或 TIMx_CCEN.CCxNEN 为高电平时变为高电平。
- 如果 TIMx_DINTEN.BIEN=1，当 TIMx_STS.BITF=1 时，会产生中断。
- 如果用户设置了 TIMx_BKDT.AOEN，TIMx_BKDT.MOEN 将在下一次 UEV 发生时自动设置。用户可以使用它来调节。如果用户未设置 TIMx_BKDT.AOEN，则 TIMx_BKDT.MOEN 将保持低电平，直到再次设置为 1。在这种情况下，用户可以使用它来保证安全。用户可以将刹车输入连接到热传感器、电源驱动器警报或其他安全组件。
- 刹车输入有效时，TIMx_BKDT.MOEN 不能自动置位或软件同时置位，TIMx_STS.BITF 也不能清零。因为刹车输入在电平上处于有效状态。

为保证应用安全，刹车电路具有写保护功能，并有刹车输入输出管理。它允许用户冻结一些参数，例如死区持续时间、OCx/OCxN 极性和禁用时的状态、OCxMD 配置、刹车启用和极性。用户可以通过设置 TIMx_BKDT.LCKCFG 选择使用 3 种保护级别之一。但是，TIMx_BKDT.LCKCFG 只能在 MCU 复位后写入一次。

响应刹车的输出行为示例如下

图 8-27 响应刹车的输出行为



8.3.15 调试模式

当微控制器处于调试模式（Cortex-M0 内核停止）时，根据 `DBG_CTRL.TIMx_STOP` 配置，TIMx 计数器可以继续正常工作或停止。详见 3.4.9。

8.3.16 TIMx 定时器和外部触发的同步

TIMx 定时器可以通过从模式（复位、触发和门控）中的触发器进行同步。

8.3.16.1 从模式：复位模式

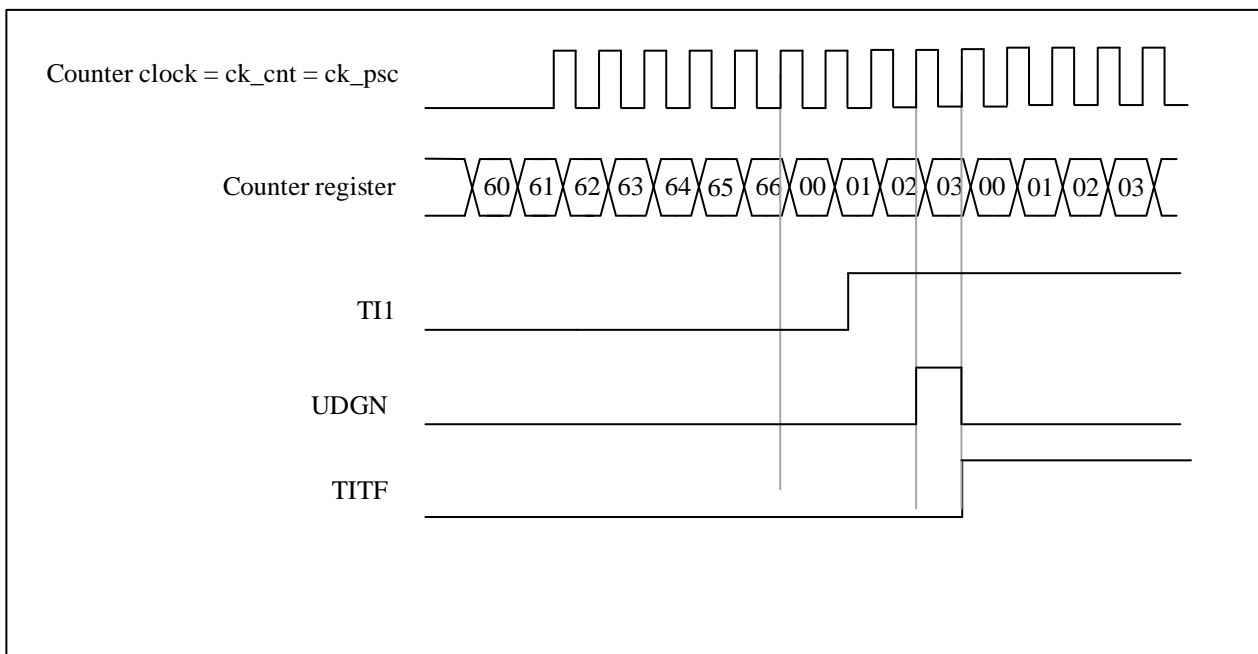
在复位模式下，触发事件可以复位计数器和预分频器。更新预加载寄存器 `TIMx_AR`、`TIMx_CCDATx`，并产生更新事件 UEV（`TIMx_CTRL1.UPRS=0`）。

以下是复位模式的示例：

1. 通道 1 配置为输入检测 TI1 的上升沿（`TIMx_CCMOD1.CC1SEL=01`，`TIMx_CCEN.CC1P=0`）；
2. 从模式选择为复位模式（`TIMx_SMCTRL.SMSEL=100`），触发输入选择为 TI1（`TIMx_SMCTRL.TSEL=101`）；
3. 启动计数器（`TIMx_CTRL1.CNTEN = 1`）

启动定时器后，当 TI1 检测到上升沿时，计数器复位并重新开始计数，并设置触发标志（`TIMx_STS.TITF=1`）；TI1 的上升沿与实际计数器复位之间的延迟是由于 TI1 输入的重新同步电路引起的。

图 8-28 复位模式下的控制电路



8.3.16.2 从模式：触发模式

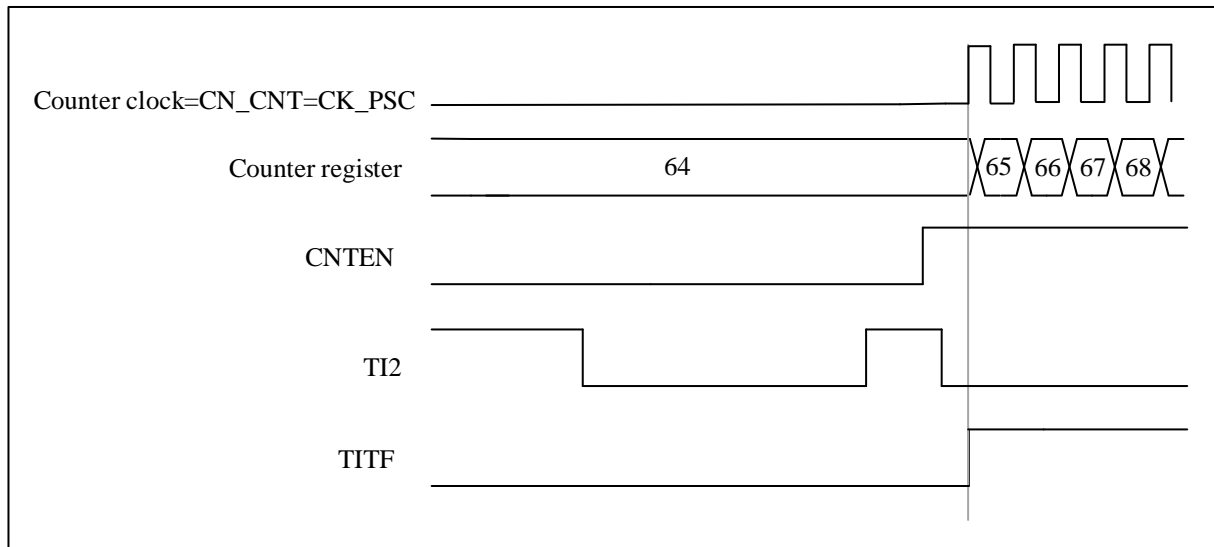
在触发模式下，输入端口的触发事件（上升沿/下降沿）可以触发计数器开始计数。

以下是触发模式的示例：

1. 通道 2 配置为输入，检测 TI2 的上升沿 (TIMx_CCMOD1.CC2SEL=01, TIMx_CCEN.CC2P=0);
 2. 选择从模式为触发模式(TIMx_SMCTRL.SMSEL=110), 触发输入选择 TI2(TIMx_SMCTRL.TSEL=110);
- 当 TI2 检测到上升沿时，计数器开始计数，触发标志置位 (TIMx_STS.TITF=1);

TI2 的上升沿与实际计数器启动之间的延迟是由于 TI2 输入的重新同步电路引起的。

图 8-29 触发器模式下的控制电路



8.3.16.3 从模式：门控模式

在门控模式下，输入端口的电平极性可以控制计数器是否计数。

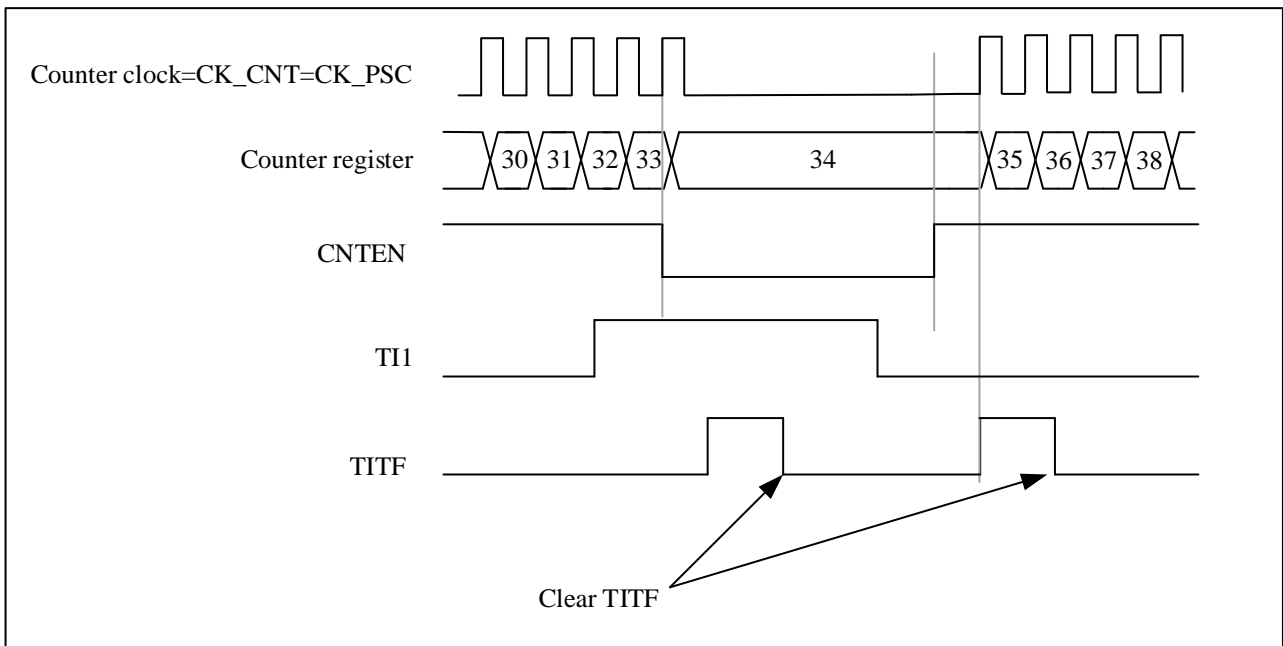
以下是门控模式的示例：

1. 通道 1 配置为 TI1 上的输入检测低电平有效 (TIMx_CCMOD1.CC1SEL=01, TIMx_CCEN.CC1P=1);
2. 选择从模式为门控模式 (TIMx_SMCTRL.SMSEL=101)，选择 TI1 作为 TRGI (TIMx_SMCTRL.TSEL=101);
3. 启动计数器 (TIMx_CTRL1.CNTEN = 1)

当 TI1 检测到电平由低变高时，计数器停止计数，当 TI1 检测到电平由高变低时，计数器开始计数，开始或停止计数时触发标志置位 (TIMx_STS.TITF=1);

TI1 的上升沿与实际计数器停止之间的延迟是由于 TI1 输入的重新同步电路引起的。

图 8-30 门控模式下的控制电路



8.3.16.4 从模式：触发模式+外部时钟模式 2

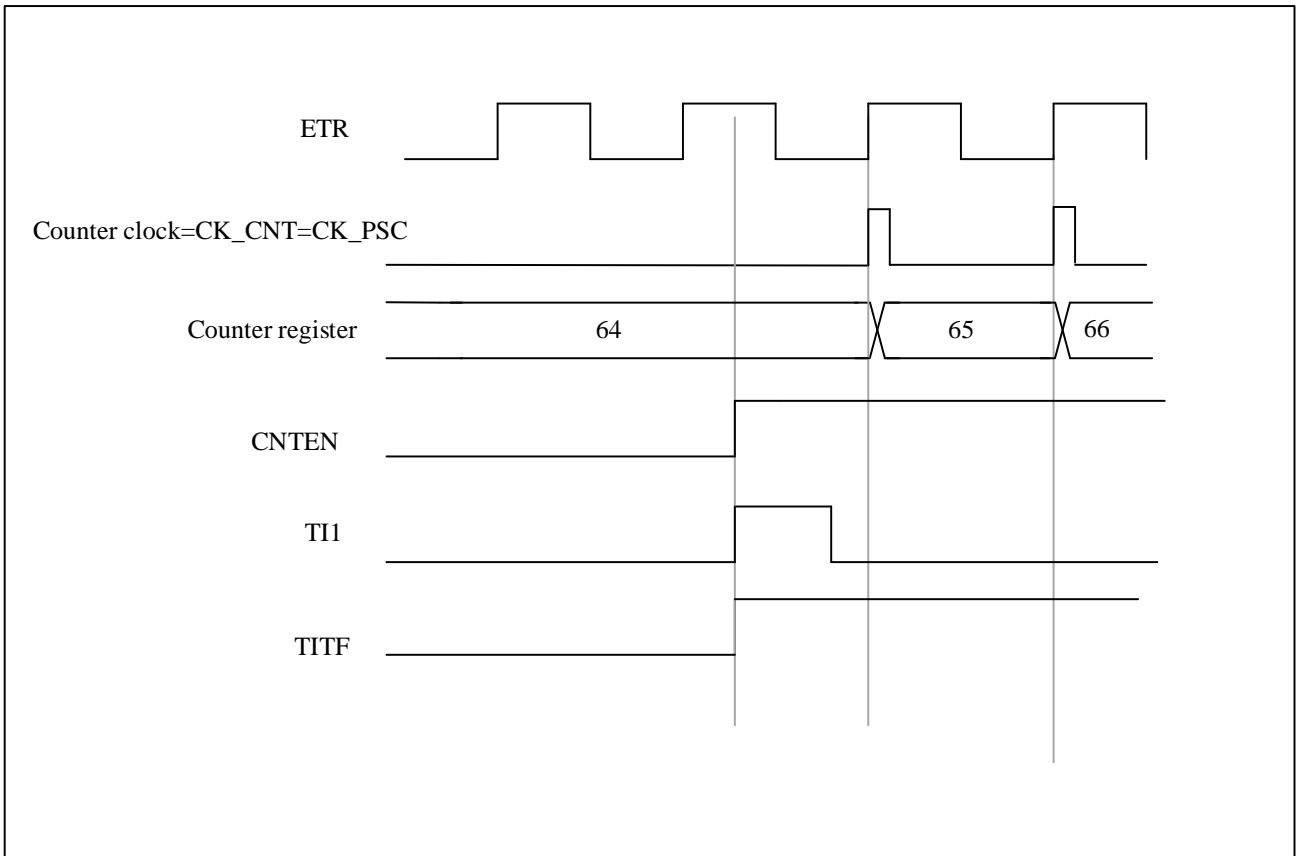
在复位模式、触发模式和门控模式下，计数器时钟可选择为外部时钟模式 2，ETR 信号作为外部时钟源输入。这时候触发选择需要选择非 ETRF（TIMx_SMCTRL.TSEL=111）。

这是一个例子：

1. 通道 1 配置为输入检测 TI1 的上升沿（TIMx_CCMOD1.CC1SEL=01，TIMx_CCEN.CC1P=0）；
2. 使能外部时钟模式 2（TIMx_SMCTRL.EXCEN=1），外部触发极性选择上升沿（TIMx_SMCTRL.EXTP=0），触发模式作为从模式（TIMx_SMCTRL.SMSEL=110），TRGI 选择 TI1（TIMx_SMCTRL.TSEL=101）；

当 TI1 检测到上升沿时，计数器在 ETR 的上升沿开始计数，并设置触发标志（TIMx_STS.TITF=1）；

图 8-31 外部时钟模式 2+触发模式下的控制电路



8.3.17 定时器同步

所有 TIM 定时器在内部相连，用于定时器同步或链接。详见 9.3.14 章节。

8.3.18 产生六步 PWM 输出

为了同时修改所有通道的配置，可以提前设置下一步的配置（预加载位为 OCxMD、CCxEN 和 CCxNEN）。当发生 COM 换相事件时，OCxMD、CCxEN 和 CCxNEN 预加载位被传送到影子寄存器位。

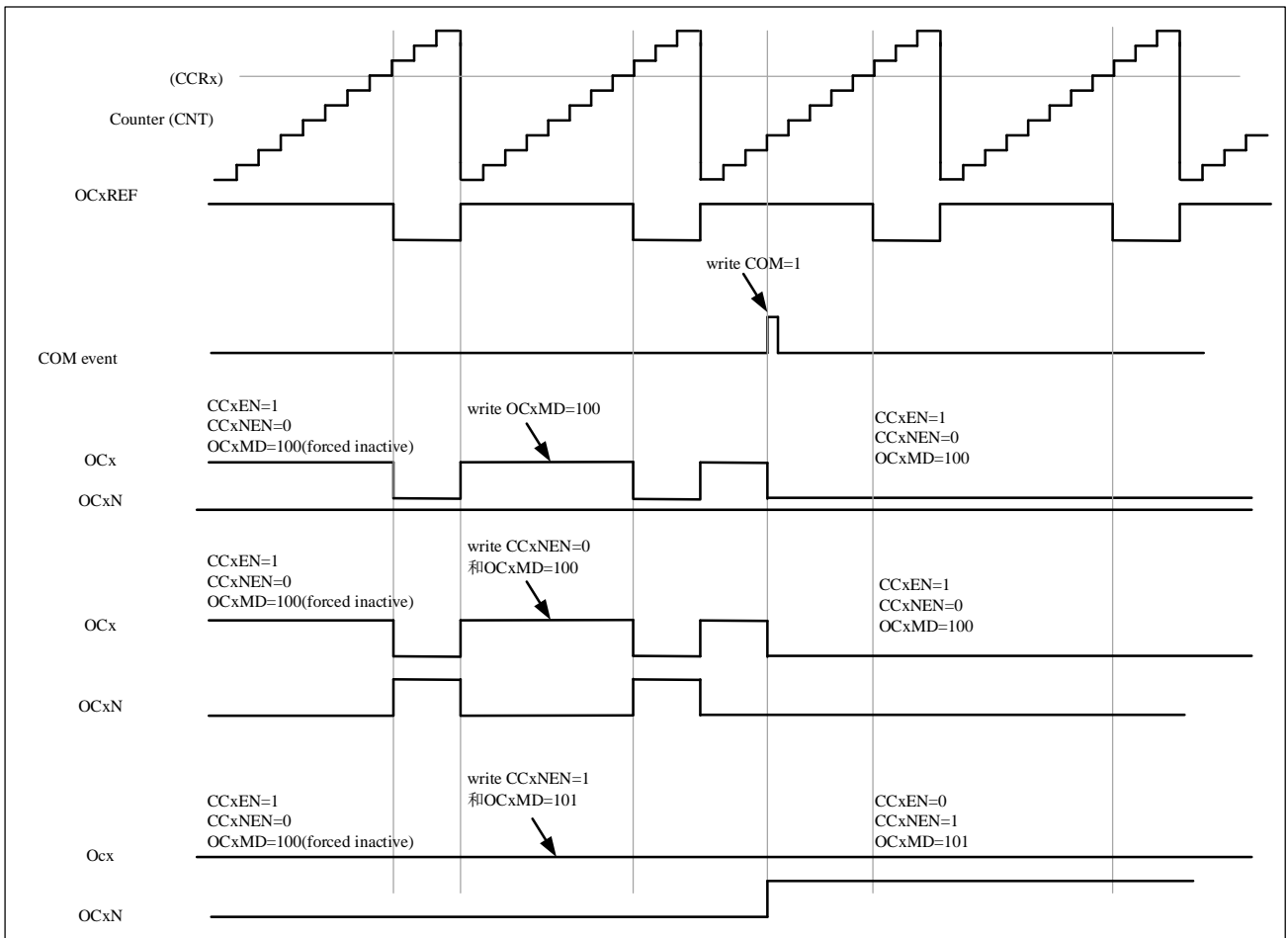
COM 换相事件生成方法：

1. 软件设置 TIMx_EVTGEN.CCUDGN；
2. 在 TRGI 的上升沿由硬件产生；

当 COM 换相事件发生时，TIMx_STS.COMITF 标志将被设置，启用中断 (TIMx_DINTEN.COMIEN) 将产生中断。

下图显示了三种不同配置下发生 COM 换向事件时 OCx 和 OCxN 的输出时序图：

图 8-32 产生六步 PWM，使用 COM 的例子 (OSSR=1)



8.4 TIMx 寄存器描述 (x=1)

8.4.1 寄存器总览

表 8-1 TIM1 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
000h	TIMx_CTRL1	Reserved														PBKPEN	LBPEN	CLSEL	Reserved	Reserved	Reserved	CISEL	IOMBKPEN		CLKDI[1:0]		ARPEN	CAMSEL[1:0]		DIR	ONEPM	UPRS	UPDIS	CNTEN		
	Reset Value															0	0	0				0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
004h	TIMx_CTRL2	Reserved														O15	Reserved	O14	O13N	O13	O12N	O12	O11N	O11	TISEL	MMSEL[2:0]		Reserved		CCUSEL	Reserved	CCPCTL				
	Reset Value															0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
008h	TIMx_SMCTRL	Reserved														EXTP	EXCEN	EXTPS[1:0]		EXTF[3:0]			MSMD	TSEL[2:0]		Reserved		SMSEL[2:0]								
	Reset Value															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		

00Ch	TIMx_DINTEN	Reserved										BIEN	TIEN	COMIEN	CC4IEN	CC3IEN	CC2IEN	CC1IEN	UIEN					
	Reset Value											0	0	0	0	0	0	0	0	0				
010h	TIMx_STS	Reserved				CC5ITF	Reserved			CC4OCF	CC3OCF	CC2OCF	CC1OCF	Reserved		BITF	TITF	COMITF	CC4ITF	CC3ITF	CC2ITF	CC1ITF	UDITF	
	Reset Value					0				0	0	0	0			0	0	0	0	0	0	0	0	0
014h	TIMx_EVTGEN	Reserved										BGN	TGN	CCUDGN	CC4GN	CC3GN	CC2GN	CC1GN	UDGN					
	Reset Value											0	0	0	0	0	0	0	0	0				
018h	TIMx_CCMOD1	Reserved				OC2CEN	OC2M[2:0]		OC2PEN	OC2FEN	CC2SEL[1:0]		OC1CEN	OC1M[2:0]		OC1PEN	OC1FEN	CC1SEL[1:0]						
	Reset Value					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
018h	TIMx_CCMOD1	Reserved				IC2F[3:0]			IC2PSC[1:0]		CC2SEL[1:0]		IC1F[3:0]			IC1PSC[1:0]		CC1SEL[1:0]						
	Reset Value					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
01Ch	TIMx_CCMOD2	Reserved				OC4CEN	OC4M[2:0]		OC4PEN	OC4FEN	CC4SEL[1:0]		OC3CEN	OC3M[2:0]		OC3PEN	OC3FEN	CC3SEL[1:0]						
	Reset Value					0	0	0	0	0	0	0	0	0	0	0	0	0	0					
01Ch	TIMx_CCMOD2	Reserved				IC4F[3:0]			IC4PSC[1:0]		CC4SEL[1:0]		IC3F[3:0]			IC3PSC[1:0]		CC3SEL[1:0]						
	Reset Value					0	0	0	0	0	0	0	0	0	0	0	0	0	0					
020h	TIMx_CCEN	Reserved				CC5P	CC5EN	Reserved		CC4P	CC4EN	CC3NP	CC3NEN	CC3P	CC3EN	CC2NP	CC2NEN	CC2P	CC2EN	CC1NP	CC1NEN	CC1P	CC1EN	
	Reset Value					0	0			0	0	0	0	0	0	0	0	0	0	0	0	0	0	
024h	TIMx_CNT	Reserved										CNT[15:0]												
024h	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0
028h	TIMx_PSC	Reserved										PSC[15:0]												
028h	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0
02Ch	TIMx_AR	Reserved										AR[15:0]												
02Ch	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0
030h	TIMx_REPCNT	Reserved										REPCNT[7:0]												
030h	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	
034h	TIMx_CCDAT1	Reserved										CCDAT1[15:0]												
034h	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	
038h	TIMx_CCDAT2	Reserved										CCDAT2[15:0]												
038h	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	
03Ch	TIMx_CCDAT3	Reserved										CCDAT3[15:0]												
03Ch	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	
040h	TIMx_CCDAT4	Reserved										CCDAT4[15:0]												
040h	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	
044h	TIMx_BKDT	Reserved				MOEN	AOEN	BKP	BKEN	OSSR	OSSI	LCKCFG[1:0]	DTGN[7:0]											
044h	Reset Value					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
054h	TIMx_CCMOD3	Reserved										OC5CEN	OC5MD[2:0]		OC5PEN	OC5FEN	Reserved							
054h	Reset Value											0	0	0	0	0	0	0						
058h	TIMx_CCDAT5	Reserved										CCDAT5[15:0]												

位域	名称	描述
6:5	CAMSEL[1:0]	选择中央对齐模式（Center-aligned mode selection） 00：边缘对齐模式。TIMx_CTRL1.DIR 指定向上计数或向下计数。 01：中央对齐模式1。计数器在中央对齐模式下计数，向下计数时输出比较中断标志位设置为 1。 10：中央对齐模式2。计数器在中央对齐模式下计数，向上计数时输出比较中断标志位设置为1。 11：中央对齐模式3。计数器在中央对齐模式下计数，向上计数或向下计数时输出比较中断标志位设置为 1。 注意：当计数器仍然启用时（TIMx_CTRL1.CNTEN = 1），不允许从边缘对齐模式切换到中央对齐模式。
4	DIR	方向（Direction） 0：计数器向上计数； 1：计数器向下计数。 注：当计数器配置为中央对齐模式模式时，该位为只读。
3	ONEPM	单脉冲模式（One pulse mode） 0：禁用单脉冲模式，发生更新事件时不影响计数器计数。 1：使能单脉冲模式，下次更新事件发生时计数器停止计数
2	UPRS	更新请求源（Update request source） 该位用于通过软件选择 UEV 事件源。 0：如果更新中断使能，以下任何事件都会产生更新中断： – 计数器上溢/下溢 – TIMx_EVTGEN.UDGN 位被设置 – 从模式控制器的更新生成 1：如果更新中断使能，只有计数器上溢/下溢会产生更新中断。
1	UPDIS	更新禁用（Update disable） 该位用于启用/禁用软件生成的更新事件（UEV）事件。 0：启用。如果满足以下条件之一，将生成 UEV： – 计数器上溢/下溢 – TIMx_EVTGEN.UDGN 位被设置 – 从模式控制器的更新生成 影子寄存器将使用预加载值进行更新。 1：UEV 禁用。不生成更新事件，影子寄存器（AR、PSC 和 CCDATx）保持它们的值。如果 TIMx_EVTGEN.UDGN 位置位或从模式控制器发出硬件复位，则重新初始化计数器和预分频器。
0	CNTEN	使能计数器（Counter enable） 0：禁止计数器； 1：使能计数器。 注：在软件设置了CNTEN位后，外部时钟、门控模式才能工作。触发模式可以自动地通过硬件设置CNTEN位。

8.4.3 控制寄存器 2 (TIMx_CTRL2)

偏移地址: 0x04

复位值: 0x0000 0000

31														17		16													
Reserved														OI5		rw													
15		14		13		12		11		10		9		8		7		6		4		3		2		1		0	
Reserved		OI4		OI3N		OI3		OI2N		OI2		OI1N		OI1		TI1SEL		MMSEL[2:0]		CCDSEL		CCUSEL		Reserved		CCPCTL			
rw		rw		rw		rw		rw		rw		rw		rw		rw		rw		rw		rw		rw		rw			

位域	名称	描述
31:17	Reserved	保留, 必须保持复位值
16	OI5	输出空闲状态5 (OC5输出)。参见OI1位。
15	Reserved	保留, 必须保持复位值
14	OI4	输出空闲状态4 (OC4输出)。参见OI1位。
13	OI3N	输出空闲状态3 (OC3N输出)。参见OI1N位。
12	OI3	输出空闲状态3 (OC3输出)。参见OI1位。
11	OI2N	输出空闲状态2 (OC2N输出)。参见OI1N位。
10	OI2	输出空闲状态2 (OC2输出)。参见OI1位。
9	OI1N	输出空闲状态1 (OC1N输出) (Output Idle state 1) 0: 当MOEN=0时, 死区后OC1N=0; 1: 当MOEN=0时, 死区后OC1N=1。
8	OI1	输出空闲状态1 (OC1输出) (Output Idle state 1) 0: 当MOEN=0时, 如果实现了OC1N, 则死区后OC1=0; 1: 当MOEN=0时, 如果实现了OC1N, 则死区后OC1=1。
7	TI1SEL	TI1选择 (TI1 selection) 0: TIMx_CH1引脚连到TI1输入; 1: TIMx_CH1、TIMx_CH2和TIMx_CH3引脚经异或后连到TI1输入。
6:4	MMSEL[2:0]	主模式选择 这 3 位用于选择在主模式下发送到从定时器的同步信息 (TRGO)。可能的组合如下: 000: 复位 - 当 TIMx_EVTGEN.UDGN 置位或从模式控制器产生复位时, 将出现 TRGO 脉冲。在后一种情况下, TRGO 上的信号与实际复位相比有所延迟。 001: 使能 - TIMx_CTRL1.CNTEN 位用作触发输出 (TRGO)。有时需要同时启动多个定时器或者在一段时间内开启从定时器。 当 TIMx_CTRL1.CNTEN 位置位或门控模式下的触发输入为高电平时, 计数器使能信号置位。 当计数器使能信号由触发输入控制时, TRGO 上有一个延迟, 除非选择了主/从模式 (参见 TIMx_SMCTRL.MSMD 位的说明)。 010: 更新 - 选择更新事件作为触发输出 (TRGO)。例如, 主定时器时钟可用作从定时器预分频器。 011: 比较脉冲 - 当 TIMx_STS.CC1ITF 被设置时 (即使它已经是高电平), 即捕获或

位域	名称	描述
		比较成功时，触发输出发送一个正脉冲 (TRGO)。 100：比较 - OC1REF 信号用作触发输出 (TRGO)。 101：比较 - OC2REF 信号用作触发输出 (TRGO)。 110：比较 - OC3REF信号被用于作为触发输出 (TRGO)。 111：比较 - OC4REF信号被用于作为触发输出 (TRGO)。
3	Reserved	保留，必须保持复位值
2	CCUSEL	捕获/比较控制更新选择 (Capture/compare control update selection) 0：如果捕获/比较控制位是预装载的 (CCPCTL =1)，只能通过设置CCUDGN位更新它们； 1：如果捕获/比较控制位是预装载的 (CCPCTL =1)，可以通过设置CCUDGN位或TRGI上的一个上升沿更新它们。 注：该位只对具有互补输出的通道起作用。
1	Reserved	保留，必须保持复位值
0	CCPCTL	捕获/比较预装载控制位 (Capture/compare preloaded control) 0：CCxEN, CCxNEN和OCxMD位不是预装载的； 1：CCxEN, CCxNEN和OCxMD位是预装载的；设置该位后，它们只在设置了CCUDGN位后被更新。 注：该位只对具有互补输出的通道起作用。

8.4.4 从模式控制寄存器 (TIMx_SMCTRL)

偏移地址：0x08

复位值：0x0000

15	14	13	12	11	8	7	6	4	3	2	0
EXTP	EXCEN	EXTPS[1:0]	EXTF[3:0]		MSMD	TSEL[2:0]		Reserved	SMSEL[2:0]		
rw	rw	rw	rw		rw	rw			rw		

位域	名称	描述
15	EXTP	外部触发极性 (External trigger polarity) 该位选择是用ETR还是ETR的反相来作为触发操作 0：ETR高电平或上升沿有效； 1：ETR低电平或下降沿有效。
14	EXCEN	外部时钟使能位 (External clock enable) 该位启用外部时钟模式2。启用后，计数器由ETRF信号上的任意有效边沿驱动。 0：禁止外部时钟模式2； 1：使能外部时钟模式2。 注 1：当同时使能外部时钟模式 1 和外部时钟模式 2 时，外部时钟的输入为 ETRF。 注2：以下从机模式可以与外部时钟模式2同时使用：复位模式、门控模式和触发模式；但是，TRGI 无法连接到 ETRF (TIMx_SMCTRL.TSEL ≠ '111')。 注 3：设置 TIMx_SMCTRL.EXCEN 位与选择外部时钟模式 1 并将 TRGI 连接到 ETRF (TIMx_SMCTRL.SMSEL = 111 和 TIMx_SMCTRL.TSEL = 111) 的效果相同
13:12	EXTPS[1:0]	外部触发预分频 (External trigger prescaler) 外部触发信号 ETRP 的频率必须最多为 TIMxCLK 频率的 1/4。当输入更快的外部时钟时，可

位域	名称	描述
		以使用预分频器来降低 ETRP 的频率。 00: 关闭预分频; 01: ETRP频率除以2; 10: ETRP频率除以4; 11: ETRP频率除以8。
11:8	EXTF[3:0]	外部触发滤波 (External trigger filter) 这些位用于定义 ETRP 信号的采样频率和 ETRP 数字滤波的带宽。实际上, 数字滤波器是一个事件计数器, 在记录连续 N 个事件后生成验证输出。 0000: 无滤波器, 以fDTS采样 1000: 采样频率fSAMPLING=fDTS/8, N=6 0001: 采样频率fSAMPLING=fCK_INT, N=2 1001: 采样频率fSAMPLING=fDTS/8, N=8 0010: 采样频率fSAMPLING=fCK_INT, N=4 1010: 采样频率fSAMPLING=fDTS/16, N=5 0011: 采样频率fSAMPLING=fCK_INT, N=8 1011: 采样频率fSAMPLING=fDTS/16, N=6 0100: 采样频率fSAMPLING=fDTS/2, N=6 1100: 采样频率fSAMPLING=fDTS/16, N=8 0101: 采样频率fSAMPLING=fDTS/2, N=8 1101: 采样频率fSAMPLING=fDTS/32, N=5 0110: 采样频率fSAMPLING=fDTS/4, N=6 1110: 采样频率fSAMPLING=fDTS/32, N=6 0111: 采样频率fSAMPLING=fDTS/4, N=8 1111: 采样频率fSAMPLING=fDTS/32, N=8
7	MSMD	主/从模式 (Master/slave mode) 0: 无作用; 1: 触发输入 (TRGI) 上的事件被延迟了, 以允许在当前定时器 (通过TRGO) 与它的从定时器间的完美同步。这对要求把几个定时器同步到一个单一的外部事件时是非常有用的。
6:4	TSEL[2:0]	触发选择 (Trigger selection) 这3位选择用于同步计数器的触发输入。 000: 内部触发0 (ITR0) 100: TI1的边沿检测器 (TI1F_ED) 001: 内部触发1 (ITR1) 101: 滤波后的定时器输入1 (TI1FP1) 010: 内部触发2 (ITR2) 110: 滤波后的定时器输入2 (TI2FP2) 011: 内部触发3 (ITR3) 111: 外部触发输入 (ETRF) 更多有关ITRx的细节, 参见表8-2。 注: 这些位只能在未用到 (如SMSEL=000) 时被改变, 以避免在改变时产生错误的边沿检测。
3	Reserved	保留, 必须保持复位值
2:0	SMSEL[2:0]	从模式选择 (Slave mode selection) 当选择了外部信号, 触发信号 (TRGI) 的有效边沿与选中的外部输入极性相关 (见输入控制寄存器和控制寄存器的说明) 000: 关闭从模式 – 如果CNTEN=1, 则预分频器直接由内部时钟驱动。 001: 保留。 010: 保留。 011: 保留。 100: 复位模式 – 在选定触发输入 (TRGI) 的上升沿, 计数器重新初始化并更新影子寄存器。 101: 门控模式 – 当触发输入 (TRGI) 为高时, 计数器的时钟开启。一旦触发输入变为低, 则计数器停止 (但不复位)。计数器的启动和停止都是受控的。 110: 触发模式 – 计数器在触发输入TRGI的上升沿启动 (但不复位), 只有计数器的启动是受控的。 111: 外部时钟模式1 – 选中的触发输入 (TRGI) 的上升沿驱动计数器。

位域	名称	描述
		注：如果TI1F_ED被选为触发输入（TSEL=100）时，不要使用门控模式。这是因为，TI1F_ED在每次TI1F变化时输出一个脉冲，然而门控模式是要检查触发输入的电平。

表 8-2 TIMx 内部触发连接

Slave timer	ITR0 (TSEL = 000)	ITR1 (TSEL = 001)	ITR2 (TSEL = 010)	ITR3 (TSEL = 011)
TIM1	NA	NA	TIM3	NA

8.4.5 中断使能寄存器 (TIMx_DINTEN)

偏移地址：0x0C

复位值：0x0000

15	8	7	6	5	4	3	2	1	0						
Reserved								BIEN	TIEN	COMIEN	CC4IEN	CC3IEN	CC2IEN	CC1IEN	UIEN
								rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
15:8	Reserved	保留，必须保持复位值
7	BIEN	允许刹车中断 (Break interrupt enable) 0: 禁止刹车中断; 1: 允许刹车中断。
6	TIEN	触发中断使能 (Trigger interrupt enable) 0: 禁止触发中断; 1: 使能触发中断。
5	COMIEN	允许COM中断 (COM interrupt enable) 0: 禁止COM中断; 1: 允许COM中断。
4	CC4IEN	允许捕获/比较4中断 (Capture/Compare 4 interrupt enable) 0: 禁止捕获/比较4中断; 1: 允许捕获/比较4中断。
3	CC3IEN	允许捕获/比较3中断 (Capture/Compare 3 interrupt enable) 0: 禁止捕获/比较3中断; 1: 允许捕获/比较3中断。
2	CC2IEN	允许捕获/比较2中断 (Capture/Compare 2 interrupt enable) 0: 禁止捕获/比较2中断; 1: 允许捕获/比较2中断。
1	CC1IEN	允许捕获/比较1中断 (Capture/Compare 1 interrupt enable) 0: 禁止捕获/比较1中断; 1: 允许捕获/比较1中断。
0	UIEN	允许更新中断 (Update interrupt enable) 0: 禁止更新中断; 1: 允许更新中断。

8.4.6 状态寄存器 (TIMx_STS)

偏移地址: 0x10

复位值: 0x0000 0000

Reserved														CC5ITF
Reserved														UDITF
CC4OCF	CC3OCF	CC2OCF	CC1OCF	Reserved	BITF	TITF	COMITF	CC4ITF	CC3ITF	CC2ITF	CC1ITF	rc_w0		
rc_w0	rc_w0	rc_w0	rc_w0		rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	

位域	名称	描述
31:17	Reserved	保留, 必须保持复位值
16	CC5ITF	捕获/比较5中断标记 (Capture/Compare 5 interrupt flag) 参考CC1ITF描述。
15:13	Reserved	保留, 必须保持复位值
12	CC4OCF	捕获/比较4重复捕获标记 (Capture/Compare 4 overcapture flag) 参见CC1OCF描述。
11	CC3OCF	捕获/比较3重复捕获标记 (Capture/Compare 3 overcapture flag) 参见CC1OCF描述。
10	CC2OCF	捕获/比较2重复捕获标记 (Capture/Compare 2 overcapture flag) 参见CC1OCF描述。
9	CC1OCF	捕获/比较1重复捕获标记 (Capture/Compare 1 overcapture flag) 仅当相应的通道被配置为输入捕获时, 该标记可由硬件置1。写0可清除该位。 0: 无重复捕获产生; 1: 计数器的值被捕获到TIMx_CC DAT1寄存器时, CC1ITF的状态已经为‘1’。
8	Reserved	保留, 必须保持复位值
7	BITF	刹车中断标记 (Break interrupt flag) 一旦刹车输入有效, 由硬件对该位置‘1’。如果刹车输入无效, 则该位可由软件清‘0’。 0: 无刹车事件产生; 1: 刹车输入上检测到有效电平。
6	TITF	触发器中断标记 (Trigger interrupt flag) 当发生触发事件 (当从模式控制器处于除门控模式外的其它模式时, 在TRGI输入端检测到有效边沿, 或门控模式下的任一边沿) 时由硬件对该位置‘1’。它由软件清‘0’。 0: 无触发器事件产生; 1: 触发中断等待响应。
5	COMITF	COM中断标记 (COM interrupt flag) 一旦产生COM事件 (当捕获/比较控制位: CCxEN、CCxNEN、OCxMD已被更新) 该位由硬件置‘1’。它由软件清‘0’。 0: 无COM事件产生; 1: COM中断等待响应。
4	CC4ITF	捕获/比较4中断标记 (Capture/Compare 4 interrupt flag) 参考CC1ITF描述。

位域	名称	描述
3	CC3ITF	捕获/比较3中断标记 (Capture/Compare 3 interrupt flag) 参考CC1ITF描述。
2	CC2ITF	捕获/比较2中断标记 (Capture/Compare 2 interrupt flag) 参考CC1ITF描述。
1	CC1ITF	捕获/比较1中断标记 (Capture/Compare 1 interrupt flag) 如果通道CC1配置为输出模式: 除中央对齐模式外, 当计数器值与比较值相同时, 该位由硬件设置 (参见TIMx_CTRL1.CAMSEL 位描述)。 该位由软件清零。 0: 未发生匹配。 1: TIMx_CNT 的值与 TIMx_CC1 的值相同。 当 TIMx_CC1 的值大于 TIMx_ARR 的值时, 如果计数器溢出 (在向上计数和向上/向下计数模式下) 和向下计数模式下溢, 则 TIMx_STS.CC1ITF 位将变为高电平。 如果通道CC1配置为输入模式: 当捕捉事件发生时, 该位由硬件设置。 该位由软件或读取 TIMx_CC1 清零。 0: 未发生输入捕捉。 1: 发生输入捕捉。 计数器值已在 TIMx_CC1 中捕获。 在 IC1 上检测到与所选极性相同的边沿。
0	UDITF	更新中断标志 (Update interrupt flag) 当在以下条件下发生更新事件时, 该位由硬件设置: - 当 TIMx_CTRL1.UPDIS = 0 时, 并且重复计数器值上溢或下溢 (当重复计数器等于 0 时生成更新事件UEV)。 - 当 TIMx_CTRL1.UPRS = 0 时, TIMx_CTRL1.UPDIS = 0, 并通过软件设置 TIMx_EVTGEN.UDGN 位以重新初始化 CNT。 - 当 TIMx_CTRL1.UPRS = 0 时, TIMx_CTRL1.UPDIS = 0, 并且计数器 CNT 由触发事件重新初始化。 (参见 TIMx_SMCTRL 寄存器说明) 该位由软件清零。 0: 未发生更新事件 1: 发生更新中断

8.4.7 事件产生寄存器 (TIMx_EVTGEN)

偏移地址:0x14

复位值:0x0000

15	8	7	6	5	4	3	2	1	0						
Reserved								BGN	TGN	CCUDGN	CC4GN	CC3GN	CC2GN	CC1GN	UDGN
								w	w	w	w	w	w	w	w

位域	名称	描述
15:8	Reserved	保留, 必须保持复位值
7	BGN	产生刹车事件 (Break generation) 当由软件设置时, 该位可以产生一个刹车事件。 而此时TIMx_BKDT.MOEN = 0, TIMx_STS.BITF = 1, 如果相应的中断被使能, 就会产生相应的中断。 该位由硬件自动清零。

位域	名称	描述
		0: 无动作 1: 产生刹车事件
6	TGN	产生触发事件 (Trigger generation) 当由软件置位时, 该位可以产生一个触发事件。而此时TIMx_STS.TITF = 1, 如果相应的中断被使能, 就会产生相应的中断。该位由硬件自动清零。 0: 无动作 1: 产生触发事件
5	CCUDGN	捕获/比较事件, 产生控制更新 (Capture/Compare control update generation) 该位由软件设置。如果此时 TIMx_CTRL2.CCPCTL = 1, 则允许更新 CCxEN、CCxNEN 和 OCxMD 位。该位由硬件自动清零。 0: 无动作 1: 产生一个COM事件 注意: 该位仅对具有互补输出的通道有效。
4	CC4GN	产生捕获/比较4事件 (Capture/Compare 4 generation) 参考CC1GN描述。
3	CC3GN	产生捕获/比较3事件 (Capture/Compare 3 generation) 参考CC1GN描述。
2	CC2GN	产生捕获/比较2事件 (Capture/Compare 2 generation) 参考CC1GN描述。
1	CC1GN	产生捕获/比较1事件 (Capture/Compare 1 generation) 当由软件设置时, 该位可以产生一个捕获/比较事件。该位由硬件自动清零。 CC1对应通道为输出模式时: TIMx_STS.CC1ITF 标志将被拉高, 如果相应的中断被使能, 就会产生相应的中断。 CC1对应通道为输入模式时: TIMx_CCDA1 将捕获当前计数器值, 并将 TIMx_STS.CC1ITF 标志拉高, 如果相应的中断被使能, 则会产生相应的中断。如果 TIMx_STS.CC1ITF 已经拉高, 则拉高 TIMx_STS.CC1OCF。 0: 无动作 1: 生成 CC1 捕获/比较事件
0	UDGN	产生更新事件 (Update generation) 该位由软件置'1', 由硬件自动清'0'。 当由软件设置时, 该位可以生成更新事件。而此时计数器会重新初始化, 预分频计数器会被清零, 计数器在中央对齐或向上计数模式下会被清零, 但在向下计数模式下取 TIMx_AR 寄存器的值。该位由硬件自动清零。 0: 无动作 1: 生成更新事件

8.4.8 捕获/比较模式寄存器 1 (TIMx_CCMOD1)

偏移地址: 0x18

复位值: 0x0000

通道可用于输入 (捕获模式) 或输出 (比较模式), 通道的方向由相应的 CCxSEL 位定义。该寄存器其它位的作用在输入和输出模式下不同。OCx 描述了通道在输出模式下的功能, ICx 描述了通道在输入模式下的功

能。因此必须注意，同一个位在输出模式和输入模式下的功能是不同的。

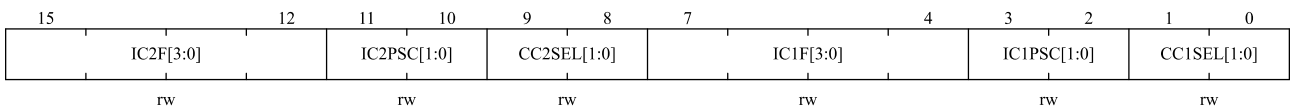
输出比较模式：

	15		14		12		11		10		9		8		7		6		4		3		2		1		0	
	OC2CEN		OC2MD[2:0]			OC2PEN	OC2FEN		CC2SEL[1:0]			OC1CEN		OC1MD[2:0]			OC1PEN	OC1FEN		CC1SEL[1:0]								
	rw		rw			rw	rw		rw			rw		rw			rw	rw		rw								

位域	名称	描述
15	OC2CEN	输出比较2清0使能（Output Compare 2 clear enable）
14:12	OC2MD[2:0]	输出比较2模式（Output Compare 2 mode）
11	OC2PEN	输出比较2预装载使能（Output Compare 2 preload enable）
10	OC2FEN	输出比较2快速使能（Output Compare 2 fast enable）
9:8	CC2SEL[1:0]	捕获/比较2选择。（Capture/Compare 2 selection） 该位定义通道的方向（输入/输出），及输入脚的选择： 00：CC2通道被配置为输出； 01：CC2通道被配置为输入，IC2映射在TI2上； 10：CC2通道被配置为输入，IC2映射在TI1上； 11：CC2通道被配置为输入，IC2映射在TRC上。此模式仅工作在内部触发输入被选中时（由TIMx_SMCTRL寄存器的TSEL位选择）。 注：CC2SEL仅在通道关闭时（TIMx_CCEN寄存器的CC2EN=0）才是可写的。
7	OC1CEN	输出比较1清'0'使能（Output Compare 1 clear enable） 0：OC1REF 不受ETRF输入的影响； 1：一旦检测到ETRF输入高电平，清除OC1REF=0。
6:4	OC1MD[2:0]	输出比较1模式（Output Compare 1 mode） 这些位用于管理输出参考信号 OC1REF，它决定了 OC1 和 OC1N 的值，在高电平有效，而 OC1 和 OC1N 的有效电平取决于 TIMx_CCEN.CC1P 和 TIMx_CCEN.CC1NP 位。 000：冻结。TIMx_CC DAT1 寄存器和计数器 TIMx_CNT 之间的比较对 OC1REF 信号没有影响。 001：将通道 1 设置为匹配时的有效电平。当 TIMx_CC DAT1 = TIMx_CNT 时，OC1REF 信号将被强制为高电平。 010：将通道 1 设置为匹配时的无效电平。当 TIMx_CC DAT1 = TIMx_CNT 时，OC1REF 信号将被强制为低电平。 011：翻转。当 TIMx_CC DAT1 = TIMx_CNT 时，OC1REF 信号将被翻转。 100：强制无效电平。OC1REF 信号被强制为低电平。 101：强制有效电平。OC1REF 信号被强制为高电平。 110：PWM 模式 1 - 在向上计数模式下，如果 TIMx_CNT < TIMx_CC DAT1，则通道 1 的 OC1REF 信号为高电平，否则为低电平。在向下计数模式下，如果 TIMx_CNT > TIMx_CC DAT1，则通道 1 的 OC1REF 信号为低电平，否则为高电平。 111：PWM 模式 2 - 在向上计数模式下，如果 TIMx_CNT < TIMx_CC DAT1，则通道 1 的 OC1REF 信号为低电平，否则为高电平。在向下计数模式下，如果 TIMx_CNT > TIMx_CC DAT1，则通道 1 的 OC1REF 信号为高电平，否则为低电平。 注 1：在 PWM 模式 1 或 PWM 模式 2 中，OC1REF 电平仅在比较结果改变或输出比较模式从冻结模式切换到 PWM 模式时才会改变。
3	OC1PEN	输出比较 1 预加载使能（Output Compare 1 preload enable）

位域	名称	描述
		<p>0: 禁用 TIMx_CC DAT1 寄存器的预加载功能。支持随时对TIMx_CC DAT1寄存器进行写操作，写入的值立即生效。</p> <p>1: 使能 TIMx_CC DAT1 寄存器的预加载功能。仅对预加载寄存器进行读写操作。当更新事件发生时，TIMx_CC DAT1 的值被加载到影子寄存器中。</p> <p>注 1: 只有当 TIMx_CTRL1.ONEPM = 1 (在单脉冲模式下) 时，才能使用 PWM 模式而不验证预加载寄存器，否则无法预测其他行为。</p>
2	OC1FEN	<p>输出比较1 快速使能 (Output Compare 1 fast enable)</p> <p>该位用于加快CC输出对触发输入事件的响应。</p> <p>0: 根据计数器与CC DAT1的值，CC1正常操作，即使触发器是打开的。当触发器的输入有一个有效沿时，激活CC1输出的最小延时为5个时钟周期。</p> <p>1: 输入到触发器的有效沿的作用就像发生了一次比较匹配。因此，OC1被设置为比较电平而与比较结果无关。采样触发器的有效沿和CC1输出间的延时被缩短为3个时钟周期。</p> <p>OCx FEN只在通道被配置成PWM1或PWM2模式时起作用。</p>
1:0	CC1SEL[1:0]	<p>捕获/比较1 选择。(Capture/Compare 1 selection)</p> <p>这2位定义通道的方向(输入/输出)，及输入脚的选择：</p> <p>00: CC1通道被配置为输出；</p> <p>01: CC1通道被配置为输入，IC1映射在TI1上；</p> <p>10: CC1通道被配置为输入，IC1映射在TI2上；</p> <p>11: CC1通道被配置为输入，IC1映射在TRC上。此模式仅工作在内部触发输入被选中时(由TIMx_SM CTRL寄存器的TSEL位选择)。</p> <p>注: CC1SEL仅在通道关闭时(TIMx_CC EN寄存器的CC1EN=0)才是可写的。</p>

输入捕获模式：



位域	名称	描述
15:12	IC2F[3:0]	输入捕获2滤波器 (Input capture 2 filter)
11:10	IC2PSC[1:0]	输入/捕获2预分频器 (Input capture 2 prescaler)
9:8	CC2SEL[1:0]	<p>捕获/比较2选择 (Capture/Compare 2 selection)</p> <p>这2位定义通道的方向(输入/输出)，及输入脚的选择：</p> <p>00: CC2通道被配置为输出；</p> <p>01: CC2通道被配置为输入，IC2映射在TI2上；</p> <p>10: CC2通道被配置为输入，IC2映射在TI1上；</p> <p>11: CC2通道被配置为输入，IC2映射在TRC上。此模式仅工作在内部触发输入被选中时(由TIMx_SM CTRL寄存器的TSEL位选择)。</p> <p>注: CC2SEL仅在通道关闭时(TIMx_CC EN寄存器的CC2EN=0)才是可写的。</p>

位域	名称	描述
7:4	IC1F[3:0]	输入捕获1滤波器 (Input capture 1 filter) 这几位定义了TI1输入的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成，它记录到N个事件后会产生一个输出的跳变： 0000：无滤波器，以fDTS采样 1000：采样频率fSAMPLING=fDTS/8，N=6 0001：采样频率fSAMPLING=fCK_INT，N=2 1001：采样频率fSAMPLING=fDTS/8，N=8 0010：采样频率fSAMPLING=fCK_INT，N=4 1010：采样频率fSAMPLING=fDTS/16，N=5 0011：采样频率fSAMPLING=fCK_INT，N=8 1011：采样频率fSAMPLING=fDTS/16，N=6 0100：采样频率fSAMPLING=fDTS/2，N=6 1100：采样频率fSAMPLING=fDTS/16，N=8 0101：采样频率fSAMPLING=fDTS/2，N=8 1101：采样频率fSAMPLING=fDTS/32，N=5 0110：采样频率fSAMPLING=fDTS/4，N=6 1110：采样频率fSAMPLING=fDTS/32，N=6 0111：采样频率fSAMPLING=fDTS/4，N=8 1111：采样频率fSAMPLING=fDTS/32，N=8
3:2	IC1PSC[1:0]	输入/捕获1预分频器 (Input capture 1 prescaler) 这两位定义了CC1输入 (IC1) 的预分频系数。 一旦TIMx_CCEN.CC1EN=0，则预分频器复位。 00：无预分频器，捕获输入口上检测到的每一个边沿都触发一次捕获； 01：每2个事件触发一次捕获； 10：每4个事件触发一次捕获； 11：每8个事件触发一次捕获。
1:0	CC1SEL[1:0]	捕获/比较1选择 (Capture/Compare 1 Selection) 这两位定义通道的方向 (输入/输出)，及输入脚的选择： 00：CC1通道被配置为输出； 01：CC1通道被配置为输入，IC1映射在TI1上； 10：CC1通道被配置为输入，IC1映射在TI2上； 11：CC1通道被配置为输入，IC1映射在TRC上。此模式仅工作在内部触发输入被选中时 (由TIMx_SMCTRL寄存器的TSEL位选择)。 注：CC1SEL仅在通道关闭时 (TIMx_CCEN寄存器的CC1EN=0) 才是可写的。

8.4.9 捕获/比较模式寄存器 2 (TIMx_CCMOD2)

偏移地址：0x1C

复位值：0x0000 0000

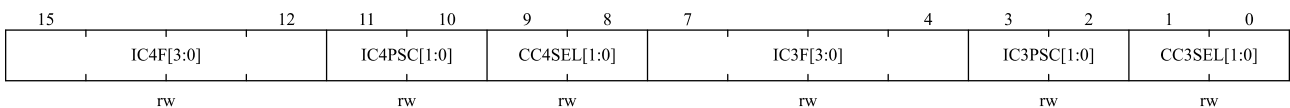
参看以上 CCMOD1 寄存器的描述

输出比较模式：

15	14	12	11	10	9	8	7	6	4	3	2	1	0
OC4CEN	OC4MD[2:0]		OC4PEN	OC4FEN	CC4SEL[1:0]		OC3CEN	OC3MD[2:0]		OC3PEN	OC3FEN	CC3SEL[1:0]	
rw	rw		rw	rw	rw		rw	rw		rw	rw	rw	

位域	名称	描述
15	OC4CEN	输出比较4清0使能 (Output compare 4 clear enable)
14:12	OC4MD[2:0]	输出比较4模式 (Output compare 4 mode)
11	OC4PEN	输出比较4预装载使能 (Output compare 4 preload enable)
10	OC4FEN	输出比较4快速使能 (Output compare 4 fast enable)
9:8	CC4SEL[1:0]	捕获/比较4选择 (Capture/Compare 4 selection) 该2位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC4通道被配置为输出; 01: CC4通道被配置为输入, IC4映射在TI4上; 10: CC4通道被配置为输入, IC4映射在TI3上; 11: CC4通道被配置为输入, IC4映射在TRC上。此模式仅工作在内部触发输入被选中时 (由TIMx_SMCTRL寄存器的TSEL位选择)。 注: CC4SEL仅在通道关闭时 (TIMx_CCEN寄存器的CC4EN=0) 才是可写的。
7	OC3CEN	输出比较3清0使能 (Output compare 3 clear enable)
6:4	OC3MD[2:0]	输出比较3模式 (Output compare 3 mode)
3	OC3PEN	输出比较3预装载使能 (Output compare 3 preload enable)
2	OC3FEN	输出比较3快速使能 (Output compare 3 fast enable)
1:0	CC3SEL[1:0]	捕获/比较3选择 (Capture/Compare 3 selection) 这2位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC3通道被配置为输出; 01: CC3通道被配置为输入, IC3映射在TI3上; 10: CC3通道被配置为输入, IC3映射在TI4上; 11: CC3通道被配置为输入, IC3映射在TRC上。此模式仅工作在内部触发输入被选中时 (由TIMx_SMCTRL寄存器的TSEL位选择)。 注: CC3SEL仅在通道关闭时 (TIMx_CCEN寄存器的CC3EN=0) 才是可写的。

输入捕获模式:



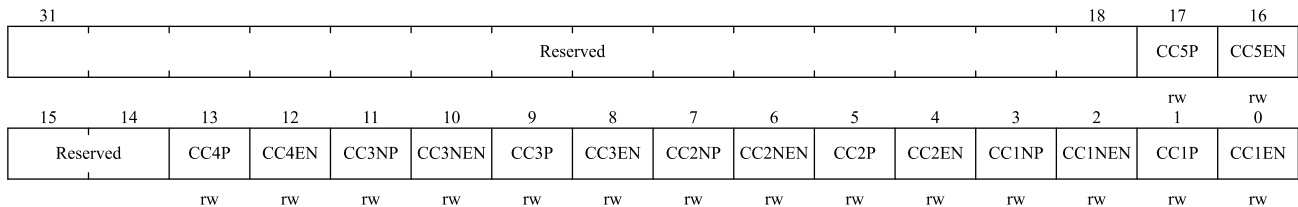
位域	名称	描述
15:12	IC4F[3:0]	输入捕获4滤波器 (Input capture 4 filter)
11:10	IC4PSC[1:0]	输入/捕获4预分频器 (Input capture 4 prescaler)
9:8	CC4SEL[1:0]	捕获/比较4选择 (Capture/Compare 4 selection) 这2位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC4通道被配置为输出; 01: CC4通道被配置为输入, IC4映射在TI4上; 10: CC4通道被配置为输入, IC4映射在TI3上; 11: CC4通道被配置为输入, IC4映射在TRC上。此模式仅工作在内部触发输入被选中时 (由TIMx_SMCTRL寄存器的TSEL位选择)。 注: CC4SEL仅在通道关闭时 (TIMx_CCEN寄存器的CC4EN=0) 才是可写的。
7:4	IC3F[3:0]	输入捕获3滤波器 (Input capture 3 filter)
3:2	IC3PSC[1:0]	输入/捕获3预分频器 (Input capture 3 prescaler)

位域	名称	描述
1:0	CC3SEL[1:0]	捕获/比较3选择 (Capture/compare 3 selection) 这2位定义通道的方向(输入/输出), 及输入脚的选择: 00: CC3通道被配置为输出; 01: CC3通道被配置为输入, IC3映射在TI3上; 10: CC3通道被配置为输入, IC3映射在TI4上; 11: CC3通道被配置为输入, IC3映射在TRC上。此模式仅工作在内部触发输入被选中时 (由TIMx_SMCTRL寄存器的TSEL位选择)。 注: CC3SEL仅在通道关闭时(TIMx_CCEN寄存器的CC3EN=0)才是可写的。

8.4.10 捕获/比较使能寄存器 (TIMx_CCEN)

偏移地址: 0x20

复位值: 0x0000 0000



位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
17	CC5P	捕获/比较5输出极性 (Capture/Compare 5 output polarity) 参考TIMx_CCEN.CC1P的描述。
16	CC5EN	捕获/比较5输出使能 (Capture/Compare 5 output enable) 参考TIMx_CCEN.CC1EN 的描述
15: 14	Reserved	保留, 必须保持复位值
13	CC4P	捕获/比较4输出极性 (Capture/Compare 4 output polarity) 参考TIMx_CCEN.CC1P的描述。
12	CC4EN	捕获/比较4输出使能 (Capture/Compare 4 output enable) 参考TIMx_CCEN.CC1EN 的描述。
11	CC3NP	捕获/比较3互补输出极性 (Capture/Compare 3 complementary output polarity) 参考TIMx_CCEN.CC1NP的描述。
10	CC3NEN	捕获/比较3互补输出使能 (Capture/Compare 3 complementary output enable) 参考TIMx_CCEN.CC1NEN的描述。
9	CC3P	捕获/比较3输出极性 (Capture/Compare 3 output polarity) 参考TIMx_CCEN.CC1P的描述。
8	CC3EN	捕获/比较3输出使能 (Capture/Compare 3 output enable) 参考TIMx_CCEN.CC1E 的描述。
7	CC2NP	捕获/比较2互补输出极性 (Capture/Compare 2 complementary output polarity) 参考TIMx_CCEN.CC1NP的描述。
6	CC2NEN	捕获/比较2互补输出使能 (Capture/Compare 2 complementary output enable) 参考TIMx_CCEN.CC1NEN的描述。

位域	名称	描述
5	CC2P	捕获/比较2输出极性 (Capture/Compare 2 output polarity) 参考TIMx_CCEN.CC1P的描述。
4	CC2EN	捕获/比较2输出使能 (Capture/Compare 2 output enable) 参考TIMx_CCEN.CC1EN的描述。
3	CC1NP	捕获/比较1互补输出极性 (Capture/Compare 1 complementary output polarity) 0: OC1N高电平有效; 1: OC1N低电平有效。
2	CC1NEN	捕获/比较1互补输出使能 (Capture/Compare 1 complementary output enable) 0: 禁用 - 禁用输出 OC1N 信号。OC1N 的电平取决于TIMx_BKDT.MOEN、TIMx_BKDT.OSSI、TIMx_BKDT.OSSR、TIMx_CTRL2.OI1、TIMx_CTRL2.OI1N 和TIMx_CCEN.CC1EN 的值。 1: 使能 - 使能输出 OC1N 信号。OC1N 的电平取决于TIMx_BKDT.MOEN、TIMx_BKDT.OSSI、TIMx_BKDT.OSSR、TIMx_CTRL2.OI1、TIMx_CTRL2.OI1N 和TIMx_CCEN.CC1EN 的值。
1	CC1P	捕获/比较1输出极性 (Capture/Compare 1 output polarity) CC1对应通道为输出模式时: 0: OC1 高电平有效 1: OC1 低电平有效 CC1对应通道为输入模式时: 此时, 该位用于选择是使用IC1还是IC1的反相信号作为触发信号或捕捉信号。 0: 非反相: 当 IC1 产生上升沿时发生捕获动作。当用作外部触发时, IC1 是非反相的。 1: 反相: 当 IC1 产生下降沿时发生捕获动作。当用作外部触发时, IC1 被反相。
0	CC1EN	捕获/比较1输出使能 (Capture/Compare 1 output enable) CC1通道配置为输出: 0: 关闭 - OC1禁止输出, 因此OC1的输出电平依赖于MOEN、OSSI、OSSR、OI1、OI1N和CC1NEN位的值。 1: 开启 - OC1信号输出到对应的输出引脚, 其输出电平依赖于MOEN、OSSI、OSSR、OI1、OI1N和CC1NEN位的值。 CC1通道配置为输入: 该位决定了计数器的值是否能捕获入TIMx_CCDAT1寄存器。 0: 捕获禁止; 1: 捕获使能。

表 8-3 带刹车功能的互补输出通道 OCx 和 OCxN 的控制位

控制位					输出状态 ⁽¹⁾	
MOEN	OSSI	OSSR	CCxEN	CCxNEN	OCx 输出状态	OCxN 输出状态
1	X	0	0	0	输出禁止 (与定时器断开) OCx=0, OCx_EN=0	输出禁止 (与定时器断开) OCxN=0, OCxN_EN=0
		0	0	1	输出禁止 (与定时器断开) OCx=0, OCx_EN=0	OCxREF + 极性, OCxN= OCxREF xor CCxNP, OCxN_EN=1

		0	1	0	OCxREF + 极性, OCx= OCxREF xor CCxP, OCx_EN=1	输出禁止 (与定时器断开) OCxN=0, OCxN_EN=0
		0	1	1	OCxREF + 极性 + 死区, OCx_EN=1	OCxREF 反相 + 极性 + 死区, OCxN_EN=1
		1	0	0	输出禁止 (与定时器断开) OCx=CCxP, OCx_EN=0	输出禁止 (与定时器断开) OCxN=CCxNP, OCxN_EN=0
		1	0	1	关闭状态 (输出使能且为无效电平) OCx=CCxP, OCx_EN=1	OCxREF + 极性, OCxN= OCxREF xor CCxNP, OCxN_EN=1
		1	1	0	OCxREF + 极性, OCx= OCxREF xor CCxP, OCx_EN=1	关闭状态 (输出使能且为无效电平) OCxN=CCxNP, OCxN_EN=1
		1	1	1	OCxREF + 极性 + 死区, OCx_EN=1	OCxREF 反相 + 极性 + 死区, OCxN_EN=1
0	X	0	0	0	输出禁止 (与定时器断开)	
		0	0	1	异步: OCx=CCxP, OCx_EN=0, OCxN=CCxNP, OCxN_EN=0;	
		0	1	0	若时钟存在: 假设 $(CCxP \wedge OIx) \wedge (CCxNP \wedge OIxN) \neq 0$,	
		0	1	1	经过一个死区时间后 OCx=OIx, OCxN=OIxN	
		1	0	0	关闭状态 (输出使能且为无效电平)	
		1	0	1	异步: OCx=CCxP, OCx_EN=1, OCxN=CCxNP, OCxN_EN=1;	
		1	1	0	若时钟存在: 假设 $(CCxP \wedge OIx) \wedge (CCxNP \wedge OIxN) \neq 0$,	
		1	1	1	经过一个死区时间后 OCx=OIx, OCxN=OIxN。	

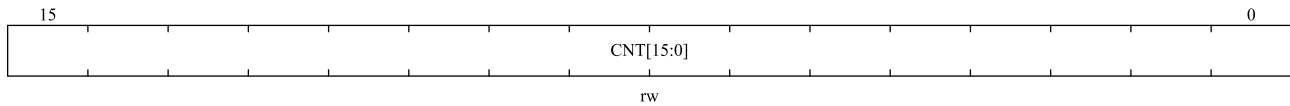
1. 如果一个通道的 2 个输出都没有使用 ($CCxEN = CCxNEN = 0$), 那么 OIx, OIxN, CCxP 和 CCxNP 都必须清零。

注: 引脚连接到互补的 OCx 和 OCxN 通道的外部 I/O 引脚的状态, 取决于 OCx 和 OCxN 通道状态和 GPIO 以及 AFIO 寄存器。

8.4.11 计数器 (TIMx_CNT)

偏移地址: 0x24

复位值: 0x0000

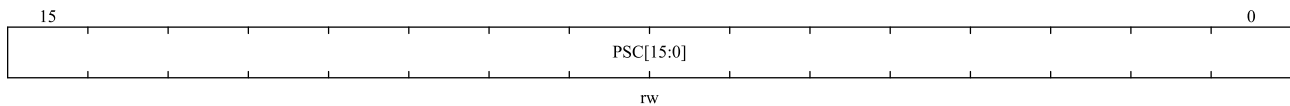


位域	名称	描述
15:0	CNT[15:0]	计数器的值 (Counter value)

8.4.12 预分频器 (TIMx_PSC)

偏移地址: 0x28

复位值: 0x0000

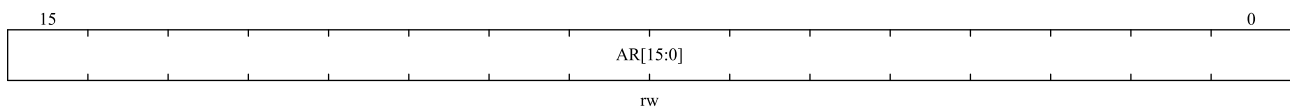


位域	名称	描述
15:0	PSC[15:0]	预分频器的值 (Prescaler value) 计数器时钟 $f_{CK_CNT} = f_{CK_PSC} / (PSC[15:0] + 1)$ 。 每次发生更新事件时, PSC 值都会加载到预分频器的影子寄存器中。

8.4.13 自动重载寄存器 (TIMx_AR)

偏移地址: 0x2C

复位值: 0xFFFF

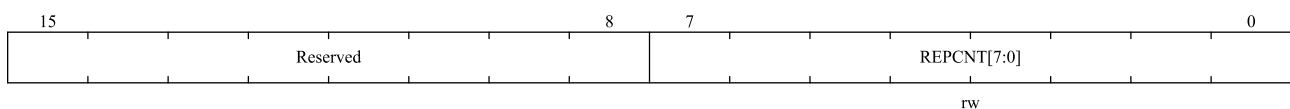


位域	名称	描述
15:0	AR[15:0]	自动重载的值 (Auto-reload value) AR包含了将要装载入实际的自动重载寄存器的值。详细参考8.3.1节: 有关AR的更新和动作。 当自动重载的值为空时, 计数器不工作。

8.4.14 重复计数寄存器 (TIMx_REPCNT)

偏移地址: 0x30

复位值: 0x0000



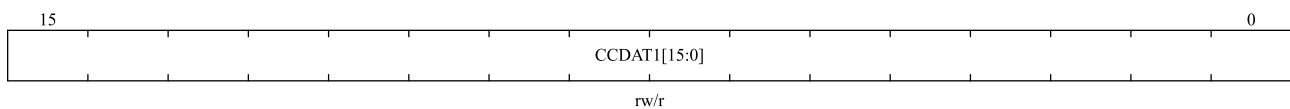
位域	名称	描述
15:8	Reserved	保留, 必须保持复位值

位域	名称	描述
7:0	REPCNT[7:0]	重复计数器的值（Repetition counter value） 重复计数器仅在给定数量 (N+1) 个计数器周期后用于生成更新事件或更新定时器寄存器，其中 N 是 TIMx_REPCNT.REPCNT 的值。在向上计数模式下，每次计数器溢出，向下计数模式下每次计数器下溢或中央对齐模式下每次计数器溢出和每次计数器下溢时，重复计数器都会递减。设置 TIMx_EVTGEN.UDGN 位将重新加载 TIMx_REPCNT.REPCNT 的内容并生成更新事件。

8.4.15 捕获/比较寄存器 1 (TIMx_CC DAT1)

偏移地址：0x34

复位值：0x0000 0000

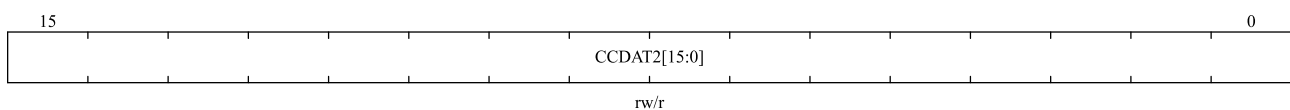


位域	名称	描述
15:0	CCDAT1[15:0]	捕获/比较通道1的值（Capture/Compare 1 value） CC1 通道配置为输出： CCDAT1 包含要与计数器 TIMx_CNT 比较的值，在 OC1 输出上发出信号。 如果未在 TIMx_CCMOD1.OC1PEN 位中选择预加载功能，则写入的值会立即传输到有效寄存器。否则，仅当更新事件发生时，此预加载值才会传输到活动寄存器。 CC1 通道配置为输入： CCDAT1 包含由最后一个输入捕获 1 事件 (IC1) 传输的计数器值。 当配置为输入模式时，寄存器 CCDAT1 和 CCDDAT1 只能读取。 当配置为输出模式时，寄存器 CCDAT1 和 CCDDAT1 是可读写的。

8.4.16 捕获/比较寄存器 2 (TIMx_CC DAT2)

偏移地址：0x38

复位值：0x0000 0000

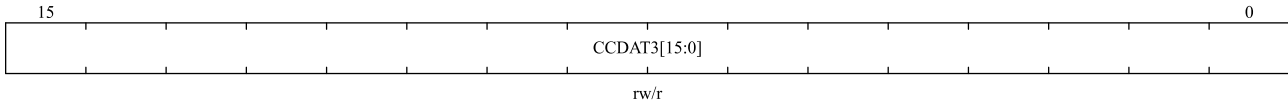


位域	名称	描述
15:0	CCDAT2[15:0]	捕获/比较通道2的值（Capture/Compare 2 value） CC2 通道配置为输出： CCDAT2 包含要与计数器 TIMx_CNT 比较的值，在 OC2 输出上发出信号。 如果未在 TIMx_CCMOD1.OC2PEN 位中选择预加载功能，则写入的值会立即传输到有效寄存器。否则，仅当更新事件发生时，此预加载值才会传输到活动寄存器。 CC2 通道配置为输入： CCDAT2 包含由最后一个输入捕获 2 事件 (IC2) 传输的计数器值。 当配置为输入模式时，寄存器 CCDAT2 和 CCDDAT2 只能读取。 当配置为输出模式时，寄存器 CCDAT2 和 CCDDAT2 是可读写的。

8.4.17 捕获/比较寄存器 3 (TIMx_CC DAT3)

偏移地址: 0x3C

复位值: 0x0000 0000

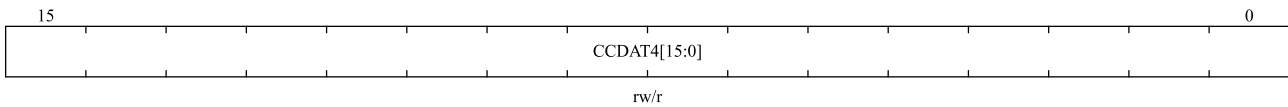


位域	名称	描述
15:0	CCDAT3[15:0]	捕获/比较通道3的值 (Capture/Compare 3 value) CC3 通道配置为输出: CCDAT3 包含要与计数器 TIMx_CNT 比较的值, 在 OC3 输出上发出信号。 如果未在 TIMx_CCMOD2.OC3PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。 CC3 通道配置为输入: CCDAT3 包含由最后一个输入捕获 3 事件 (IC3) 传输的计数器值。 当配置为输入模式时, 寄存器 CCDAT3 和 CCDDAT3 只能读取。 当配置为输出模式时, 寄存器 CCDAT3 和 CCDDAT3 是可读写的。

8.4.18 捕获/比较寄存器 4 (TIMx_CC DAT4)

偏移地址: 0x40

复位值: 0x0000 0000



位域	名称	描述
15:0	CCDAT4[15:0]	捕获/比较通道4的值 (Capture/Compare 4 value) CC4 通道配置为输出: CCDAT4 包含要与计数器 TIMx_CNT 比较的值, 在 OC4 输出上发出信号。 如果未在 TIMx_CCMOD2.OC4PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。 CC4 通道配置为输入: CCDAT4 包含由最后一个输入捕获 4 事件 (IC4) 传输的计数器值。 当配置为输入模式时, 寄存器 CCDAT4 和 CCDDAT4 只能读取。 当配置为输出模式时, 寄存器 CCDAT4 和 CCDDAT4 是可读写的。

8.4.19 刹车和死区寄存器 (TIMx_BKDT)

偏移地址: 0x44

复位值: 0x0000

15	14	13	12	11	10	9	8	7	0	
MOEN	AOEN	BKP	BKEN	OSSR	OSSI	LCKCFG[1:0]		DTGN[7:0]		
rw	rw	rw	rw	rw	rw	rw		rw		

注释： 根据锁定设置，AOEN、BKP、BKEN、OSSI、OSSR 和 DTGN[7:0] 位均可被写保护，有必要在第一次写入 TIMx_BKDT 寄存器时对它们进行配置。

位域	名称	描述
15	MOEN	主输出使能 (Main output enable) 该位可由软件或硬件根据 TIMx_BKDT.AOEN 位设置，一旦刹车输入有效，该位由硬件异步清零。它仅对配置为输出的通道有效。 0: OC 和 OCN 输出被禁用或强制进入空闲状态。 1: 如果设置了 TIMx_CCEN.CCxEN 或 TIMx_CCEN.CCxNEN 位，则使能 OC 和 OCN 输出。有关更多详细信息，请参见第 8.4.10 节捕获/比较使能寄存器 (TIMx_CCEN)。
14	AOEN	自动输出使能 (Automatic output enable) 0: 只有软件可以设置 TIMx_BKDT.MOEN; 1: 软件设置 TIMx_BKDT.MOEN; 或者如果刹车输入未激活，则在下一次更新事件发生时，硬件自动设置 TIMx_BKDT.MOEN。
13	BKP	刹车输入极性 (Break polarity) 0: 刹车输入低电平有效; 1: 刹车输入高电平有效。 注：任何对该位的写操作都需要一个 APB 时钟的延迟以后才能起作用。
12	BKEN	刹车功能使能 (Break enable) 0: 禁止刹车输入 (BRK 及 CCS 时钟失效事件); 1: 开启刹车输入 (BRK 及 CCS 时钟失效事件)。 注：任何对该位的写操作都需要一个 APB 时钟的延迟以后才能起作用。
11	OSSR	当 TIMx_BKDT.MOEN=1 且通道为互补输出时使用该位。 没有互补输出的定时器中不存在 OSSR 位。 0: 当定时器不工作时，禁止 OC/OCN 输出 (OC/OCN 使能输出信号=0); 1: 当定时器不工作时，一旦 CCxEN=1 或 CCxNEN=1，首先开启 OC/OCN 并输出无效电平，然后置 OC/OCN 使能输出信号=1。 有关更多详细信息，请参见第 8.4.10 节，捕获/比较启用寄存器 (TIMx_CCEN)。
10	OSSI	空闲模式下“关闭状态”选择 (Off-state selection for Idle mode) 当 TIMx_BKDT.MOEN=0 且通道配置为输出时使用该位。 0: 当定时器不工作时，禁止 OC/OCN 输出 (OC/OCN 使能输出信号=0); 1: 当定时器不工作时，一旦 CCxEN=1 或 CCxNEN=1，OC/OCN 首先输出其空闲电平，然后 OC/OCN 使能输出信号=1。 有关更多详细信息，请参见第 8.4.10 节，捕获/比较启用寄存器 (TIMx_CCEN)。
9:8	LCKCFG[1:0]	锁定设置 (Lock configuration) 该位为防止软件错误而提供写保护。 这些位提供针对软件错误的写保护。 00: – 没有写保护。 01:

位域	名称	描述
		– 锁定级别 1 TIMx_BKDT.DTGN、TIMx_BKDT.BKEN、TIMx_BKDT.BKP、TIMx_BKDT.AOEN、TIMx_CTRL2.OIx、TIMx_CTRL2.OIxN 位启用写保护。 10: – 锁定 2 级 除了 LOCK Level 1 模式下的寄存器写保护外，TIMx_CCEN.CCxP 和 TIMx_CCEN.CCxNP（如果相应通道配置为输出模式），TIMx_BKDT.OSSR 和 TIMx_BKDT.OSSI 位也使能写保护。 11: – 锁定 3 级 除了 LOCK Level 2 中的寄存器写保护外，TIMx_CCMODx.OCxMD 和 TIMx_CCMODx.OCxPEN 位（如果相应通道配置为输出模式）也启用写保护。 注意：系统复位后，LCKCFG 位只能写一次。一旦写入 TIMx_BKDT 寄存器，LCKCFG 将受到保护，直到下一次复位。
7:0	DTGN[7:0]	死区发生器设置（Dead-time generator setup） 这些位定义插入的互补输出之间的死区持续时间。DTGN值与死区时间的关系如下： DTGN[7:5]=0xx => DT=DTGN[7:0] × Tdtgn, Tdtgn = TDTS; DTGN[7:5]=10x => DT=(64+DTGN[5:0]) × Tdtgn, Tdtgn = 2 × TDTS; DTGN[7:5]=110 => DT=(32+DTGN[4:0]) × Tdtgn, Tdtgn = 8 × TDTS; DTGN[7:5]=111 => DT=(32+DTGN[4:0]) × Tdtgn, Tdtgn = 16 × TDTS;

8.4.20 捕获/比较模式寄存器 3 (TIMx_CCMOD3)

偏移地址：0x54

复位值：0x0000

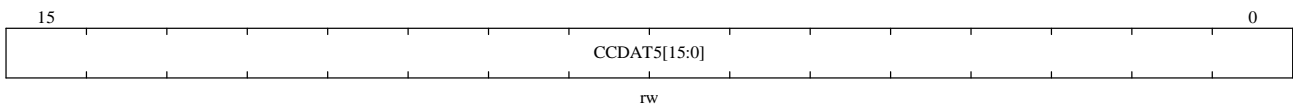
15	8	7	6	4	3	2	1	0
Reserved				OC5CEN	OC5MD[2:0]	OC5PEN	OC5FEN	Reserved
				rw	rw	rw	rw	

位域	名称	描述
15:8	Reserved	保留，必须保持复位值
7	OC5CEN	输出比较5清0使能（Output compare 3 clear enable）
6:4	OC5MD[2:0]	输出比较5模式（Output compare 3 mode）
3	OC5PEN	输出比较5预装载使能（Output compare 5 preload enable）
2	OC5FEN	输出比较5快速使能（Output compare 5 fast enable）
1:0	Reserved	保留，必须保持复位值

8.4.21 捕获/比较寄存器 5 (TIMx_CCDA5)

偏移地址：0x58

复位值：0x0000



位域	名称	描述
15:0	CCDAT5[15:0]	捕获/比较通道5的值（Capture/Compare 5 value） CC5 通道只能配置为输出： CCDAT5 包含要与计数器 TIMx_CNT 比较的值，在 OC5 输出上发出信号。 如果未在 TIMx_CCMOD3.OC5PEN 位中选择预加载功能，则写入的值会立即传输到有效寄存器。 否则，仅当更新事件发生时，此预加载值才会传输到活动寄存器。 CC5 用于比较器消隐。

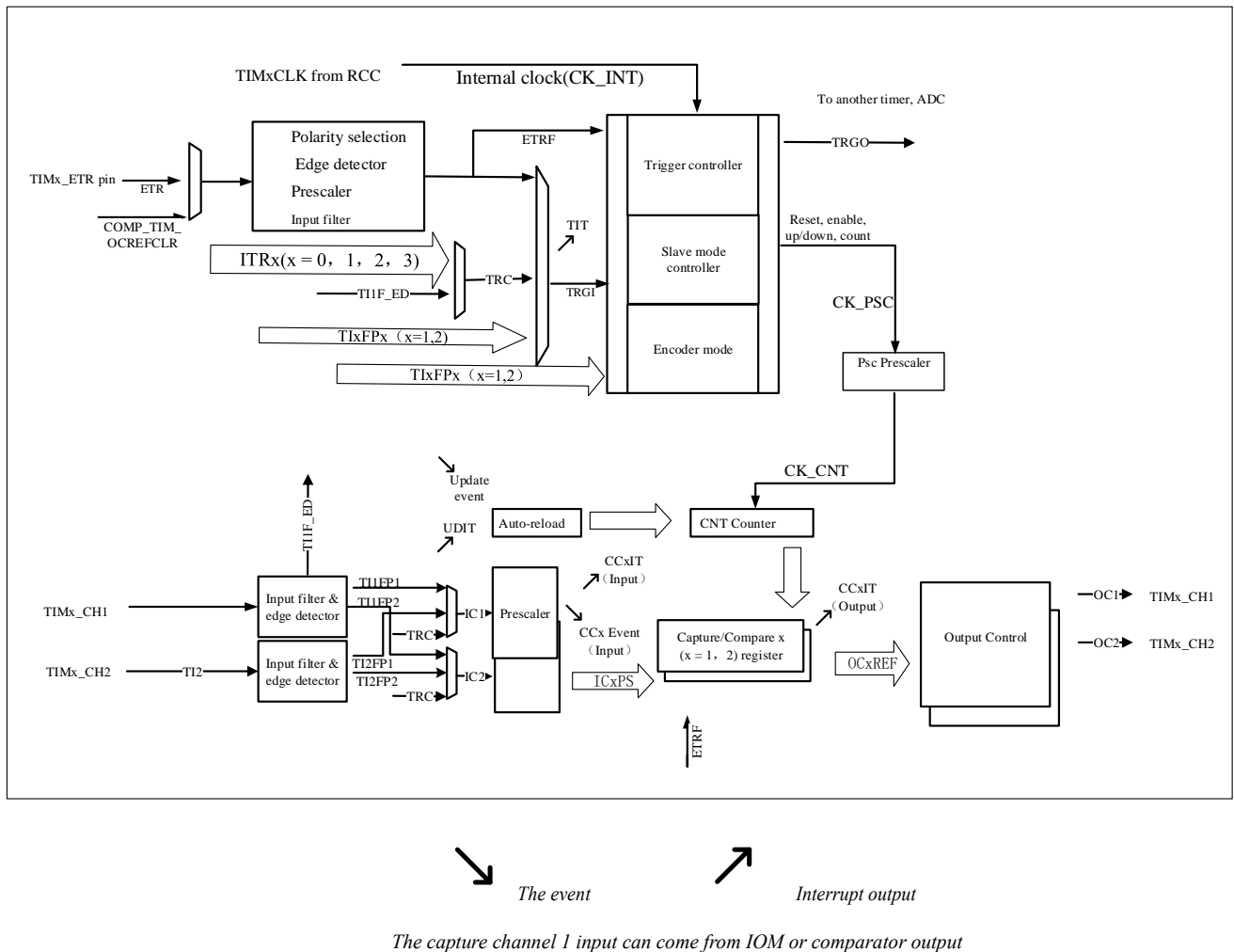
9 通用定时器（TIM3）

9.1 TIM3 简介

通用定时器（TIM3）主要用于以下场合：对输入信号进行计数、测量输入信号的脉冲宽度和产生输出波形等。

9.2 TIM3 主要特性

- 16 位自动装载计数器。（可实现向上计数、向下计数、向上/下计数）。
- 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）
- TIM3 最多支持 2 个通道
- 通道工作模式：PWM 输出、输出比较、单脉冲模式输出、输入捕获
- 如下事件发生时产生中断：
 - ◆ 更新事件
 - ◆ 触发事件
 - ◆ 输入捕获
 - ◆ 输出比较
- 可通过外部信号控制定时器
- 多个定时器内部连接在一起，以实现定时器的同步或链接
- 支持捕获内部比较器输出信号。

图 9-1 TIMx (x=3) 框图


9.3 TIM3 功能描述

9.3.1 时基单元

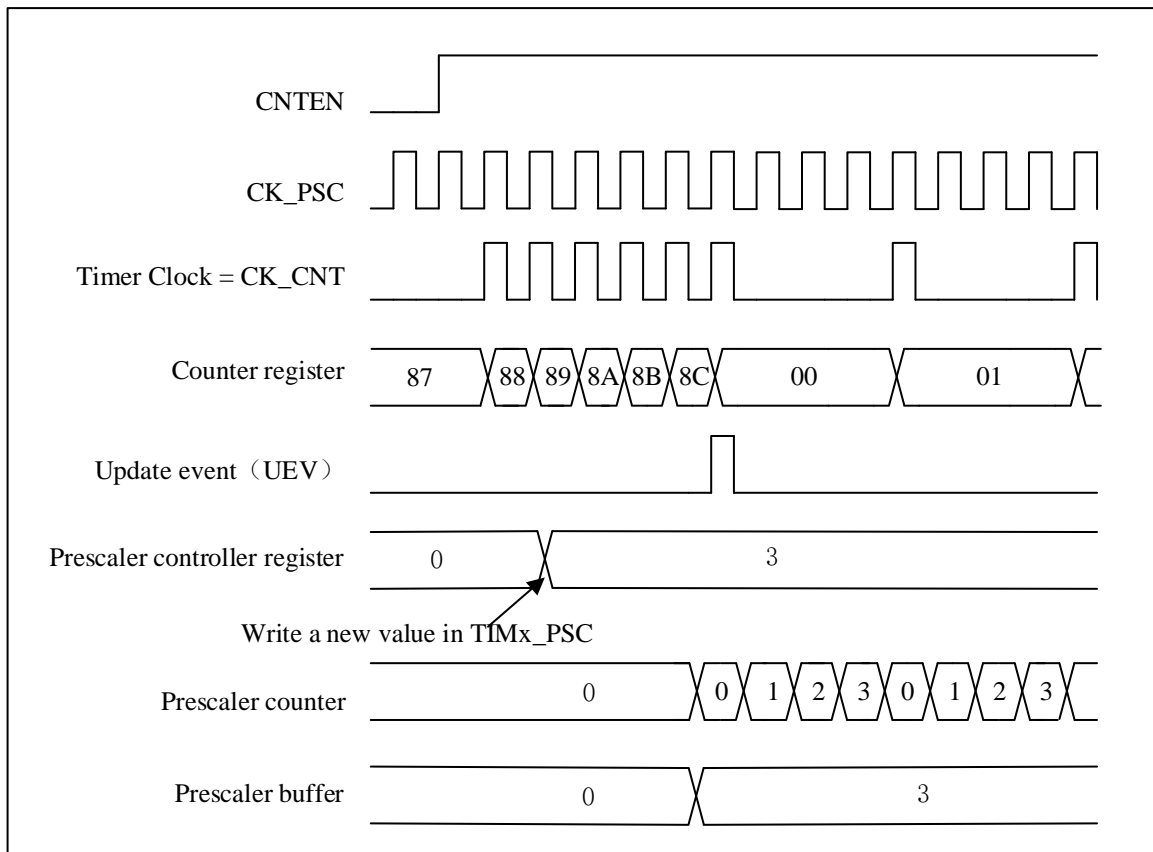
通用器的时基单元主要包括：预分频器、计数器和自动重载寄存器。当时基单元工作时，软件可以随时读取和写入相应的寄存器（TIMx_PSC、TIMx_CNT 和 TIMx_AR）。

根据自动重载预装载使能位（TIMx_CTRL1.ARPEN）的设置，预装载寄存器的值会立即或在每次更新事件 UEV 时传输到影子寄存器。TIMx_CTRL1.UPDIS=0 时，当计数器上溢/下溢或软件设置 TIMx_EVTGEN.UDGN，将生成更新事件。计数器 CK_CNT 仅在 TIMx_CTRL1.CNTEN 位被设置时有效。计数器在 TIMx_CTRL1.CNTEN 位被设置后一个时钟周期之后开始计数。

9.3.1.1 预分频器描述

TIMx_PSC 寄存器由一个 16 位计数器组成，可用于计数器时钟频率按 1 和 65536 之间的任意分频。因为这个控制器带有缓冲器，可以在运行时动态改变。新的预分频器值只有在下次更新事件中才会被采用。

图 9-2 当预分频的参数从 1 到 4，计数器的时序图



9.3.2 计数器模式

9.3.2.1 向上计数模式

使用向上计数模式，计数器将从 0 计数到寄存器 TIMx_AR 的值，然后重置为 0。并产生一个计数器溢出事件。

如果设置 TIMx_CTRL1.UPRS 位(选择更新请求)和 TIMx_EVTGEN.UDGN 位,将产生一个更新事件(UEV)。但是 TIMx_STS.UDITF 不会被硬件置起，因此不会产生更新中断。这是为了避免清除计数器时产生更新中断。

取决于 TIMx_CTRL1.UPRS 的配置，当发生更新事件时，TIMx_STS.UDITF 被设置，所有寄存器都会更新：

- 当 TIMx_CTRL1.ARPEN = 1，预装载寄存器(TIMx_AR)的值被更新到自动装载影子寄存器
- 预加载值 (TIMx_PSC) 被重新加载到预分频器影子寄存器中

为了避免在向预装载寄存器中写入新值时更新影子寄存器，可以通过设置 TIMx_CTRL1.UPDIS=1 来禁止更新事件。

当产生一个更新事件时，计数器仍将被清除，预分频器计数器也将被设置为 0 (但预分频器值将保持不变)。

下图给出一些示例，展示了向上计数模式计数器在不同分频因子下的动作。

图 9-3 当内部时钟分频因子 = 2/N 时，向上计数的时序图

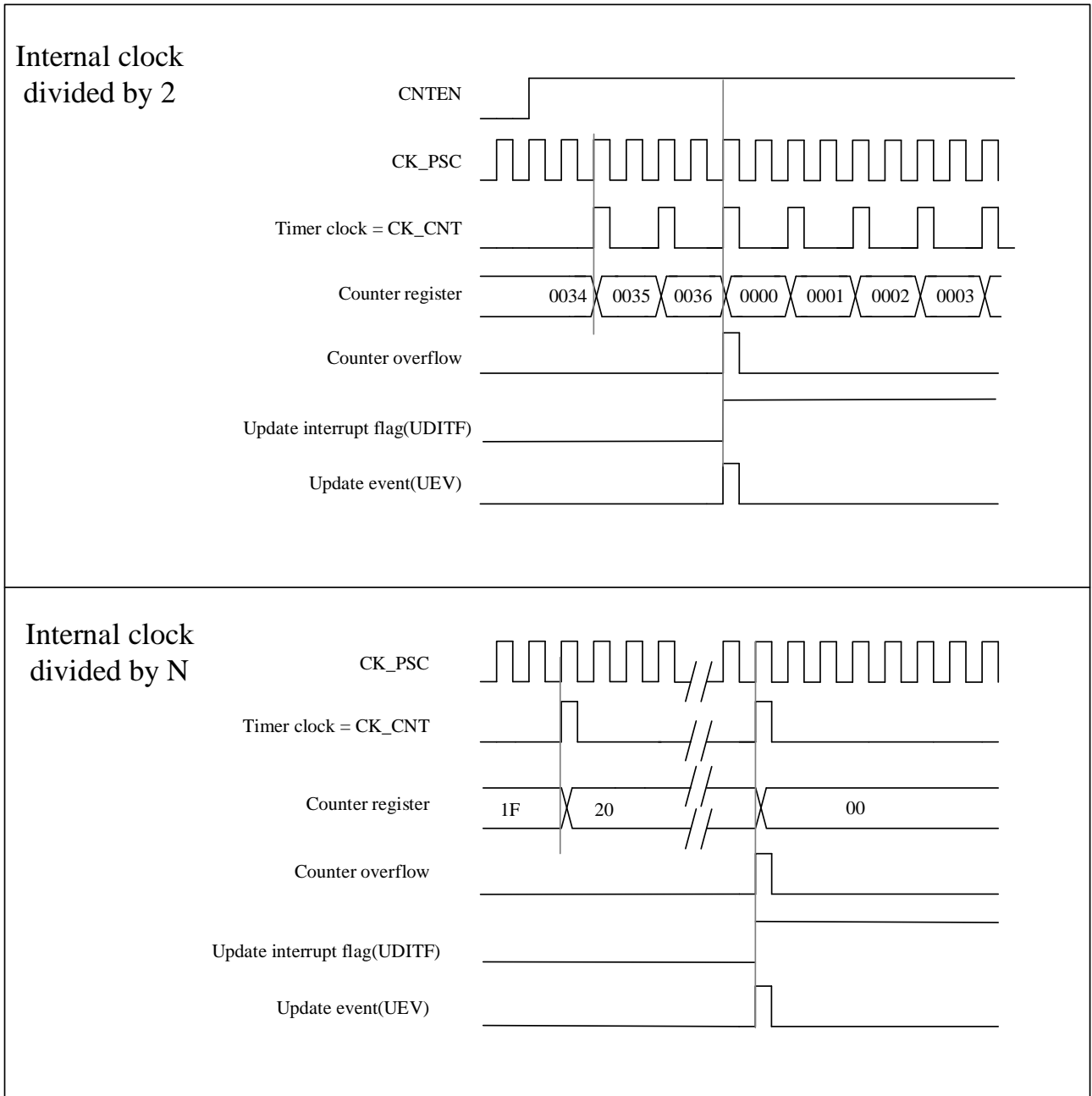
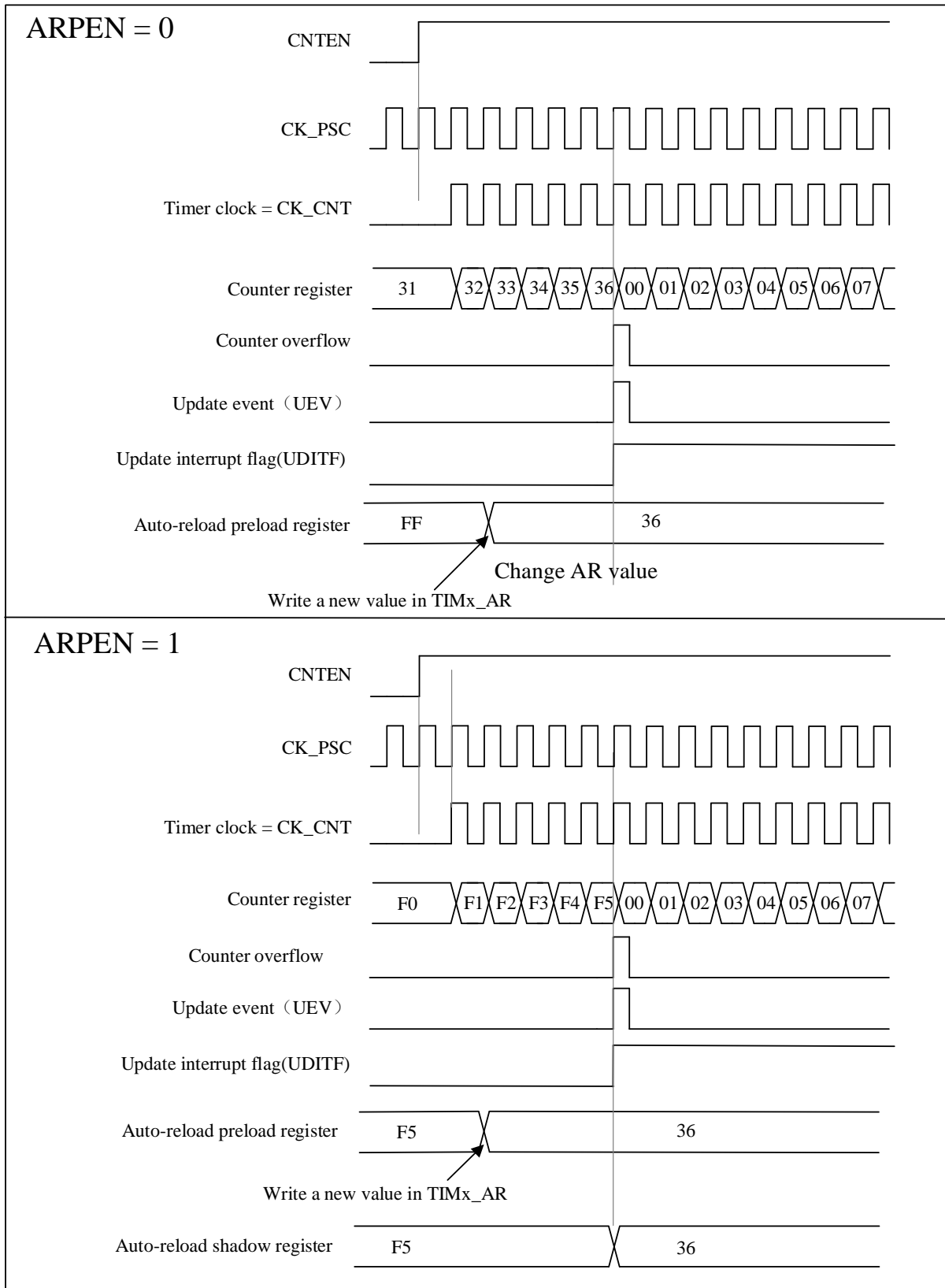


图 9-4 当 ARPEN=0/1 产生更新事件时，向上计数的时序图



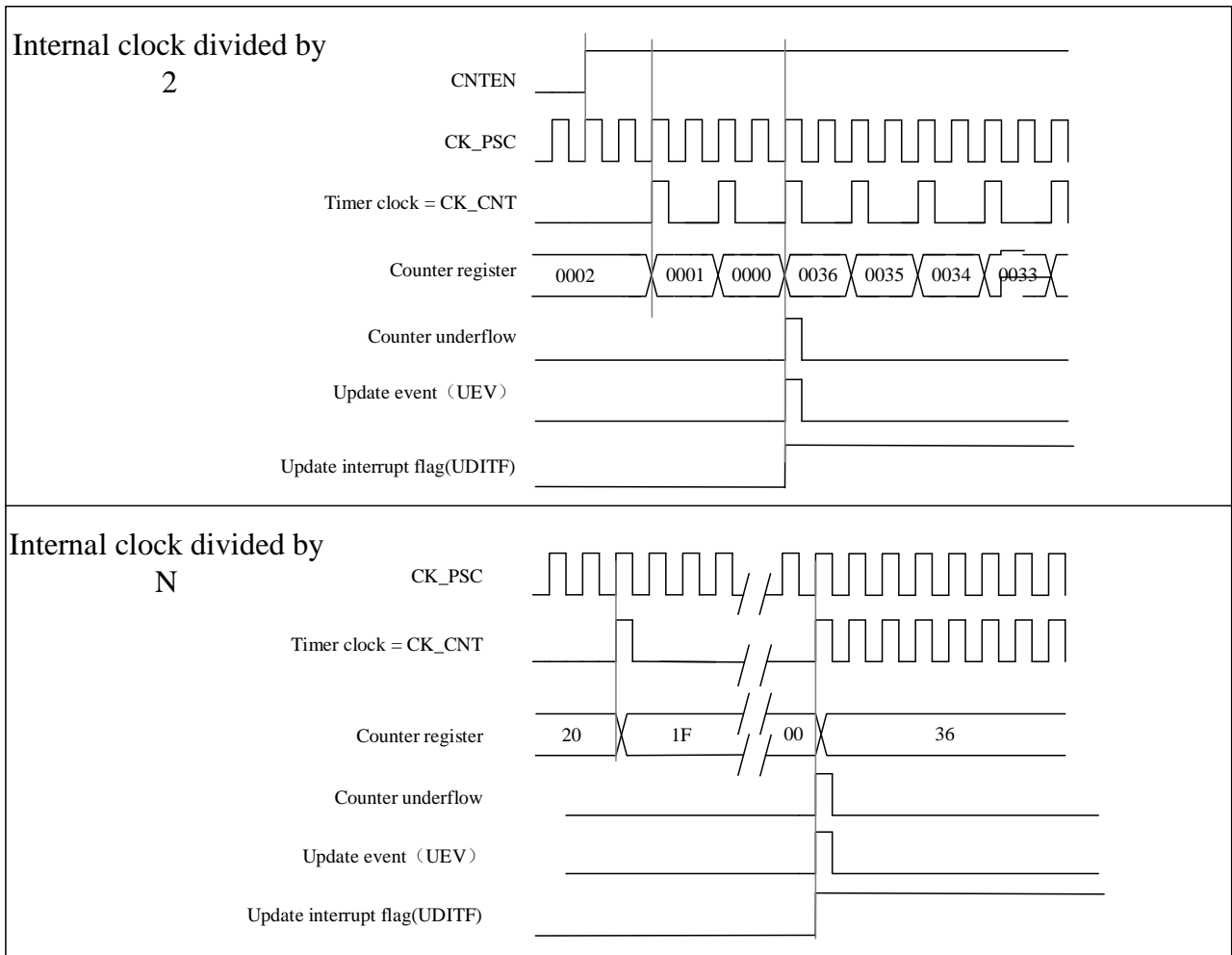
9.3.2.2 向下计数模式

向下计数模式，计数器将从寄存器 TIMx_AR 的值减至 0，然后从自动重装载值重新开始，并产生计数器向下溢出事件

向下计数模式和向上计数模式配置更新事件和更新寄存器的过程相同，请查阅 9.3.2.1 章节。

下图给出一些示例，展示了向下计数模式计数器在不同分频因子下的动作。

图 9-5 内部时钟分频因子 = 2/N 时，向下计数时序图



9.3.2.3 中央对齐模式

在中央对齐模式下，计数器从 0 增加到值 (TIMx_AR) - 1，产生计数器溢出事件。然后，它从自动重装载值 (TIMx_AR) 向下计数到 1，并生成一个计数器向下溢出事件。然后计数器重置为 0 并再次开始计数。

在这种模式下，TIMx_CTRL1.DIR 方向位无效，由硬件更新和指定当前计数方向。当 TIMx_CTRL1.CAMSEL 位不等于“00”时，中央对齐模式有效。

每次计数上溢和计数下溢时都会生成更新事件。或者，也可以通过设置 TIMx_EVTGEN.UDGN 位（通过软件或使用从模式控制器）来生成更新事件。在这种情况下，计数器从 0 重新开始计数，预分频器的计数器也从 0 重新开始计数。

注：如果因为计数器溢出而产生更新，自动重装载将在计数器重新载入之前被更新。

图 9-6 内部时钟分频因子 = 2/N，中央对齐时序图

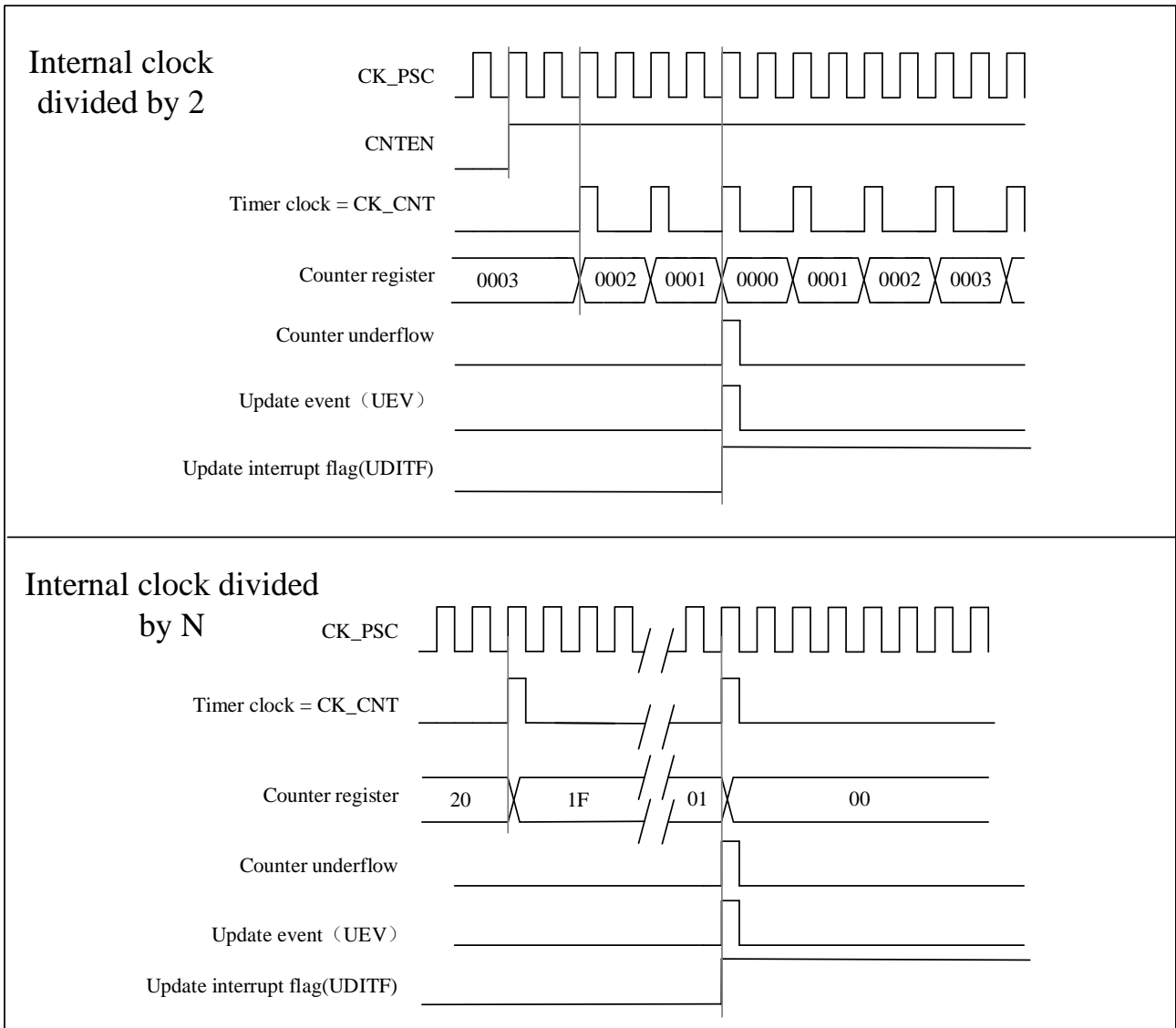
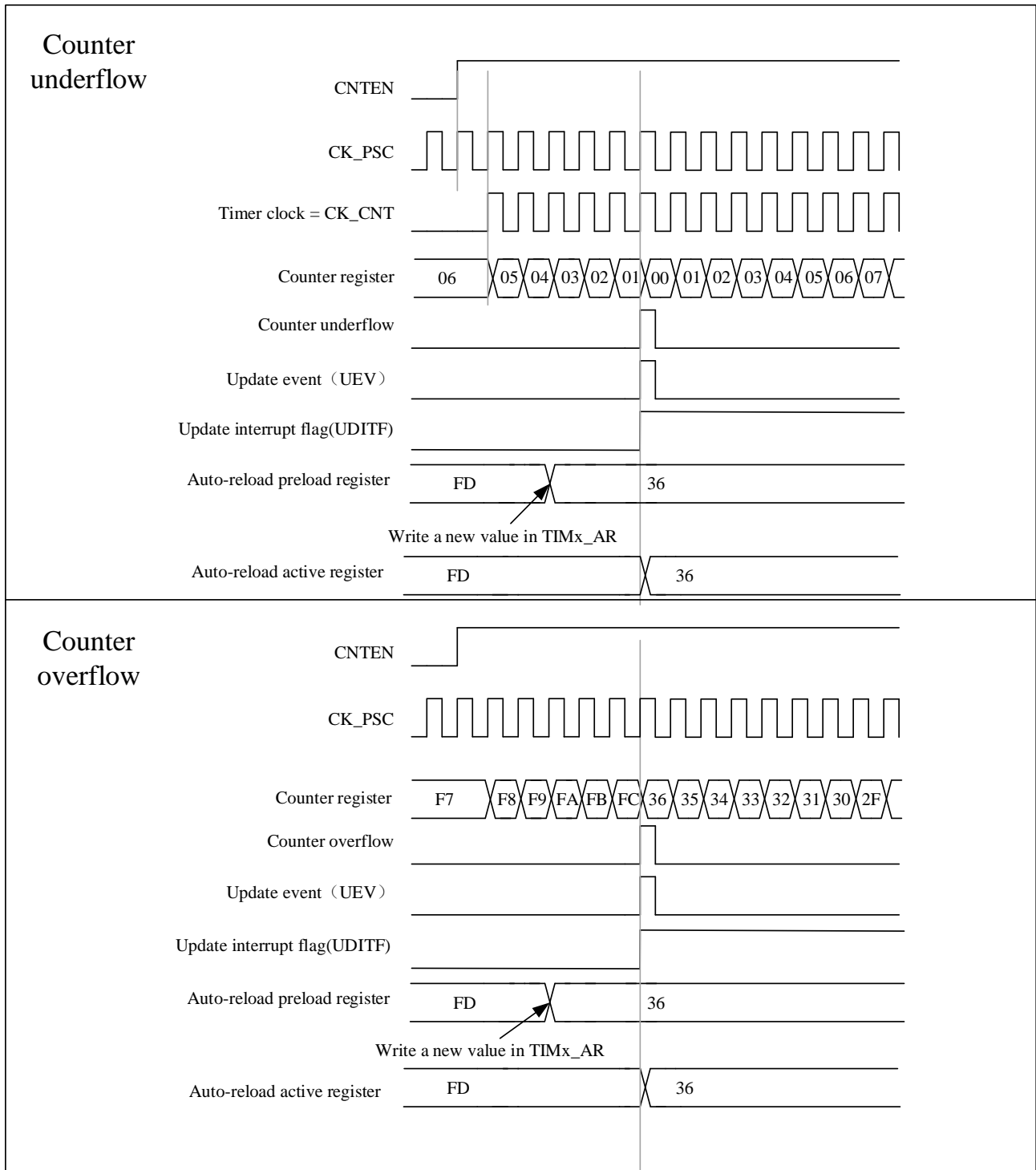


图 9-7 包含计数器上溢和下溢的中央对齐时序图(ARPE=1)



9.3.3 时钟选择

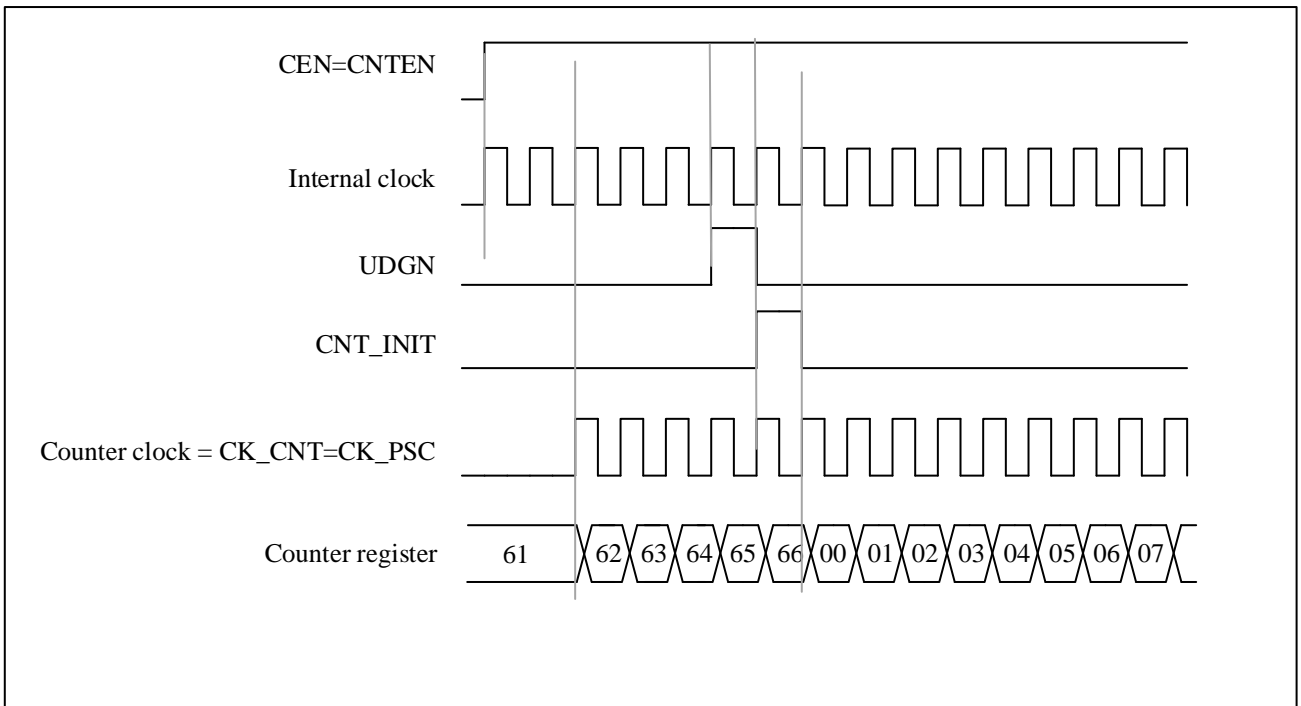
- 通用定时器的内部时钟: CK_INT:
- 两种外部时钟模式:
 - 外部输入引脚

- 外部触发输入 ETR
- 内部触发输入 (ITRx): 一个定时器用作另一个定时器的预分频器

9.3.3.1 内部时钟源(CK_INT)

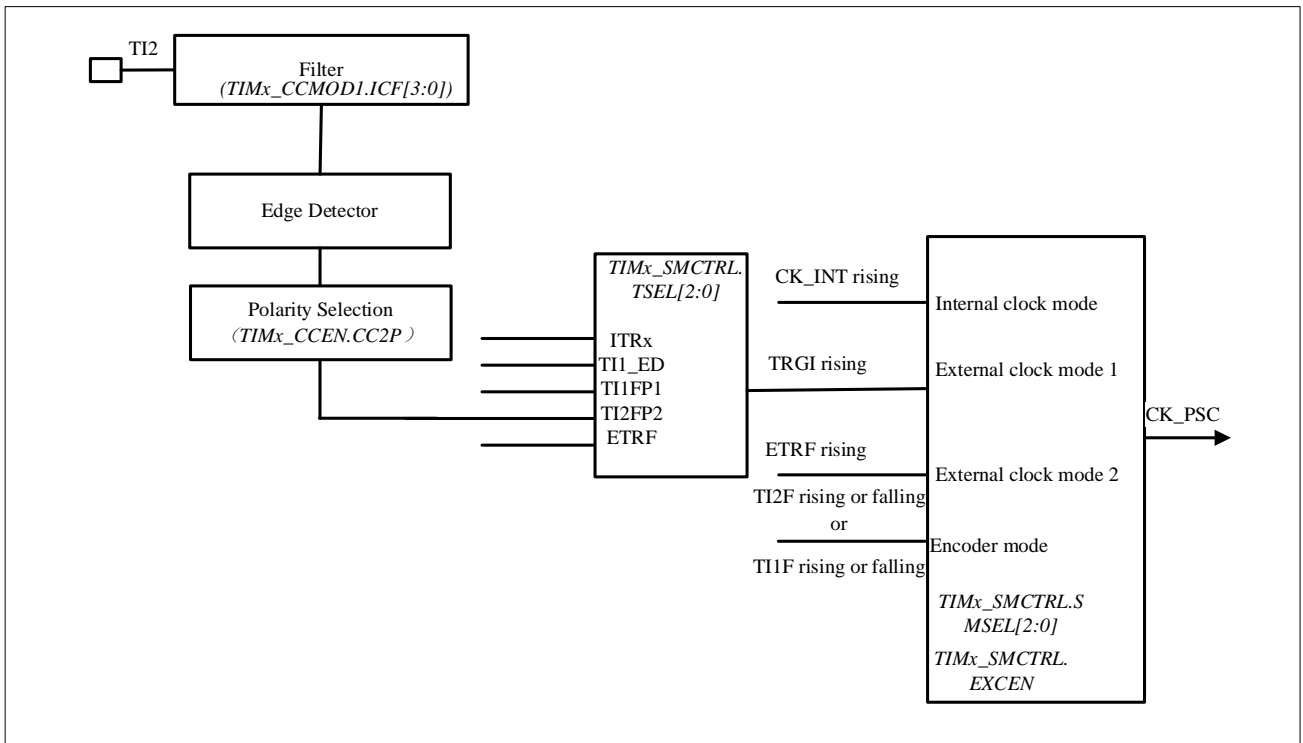
当 TIMx_SMCTRL.SMSEL 等于“000”时，从模式控制器被禁用。这三个控制位 (TIMx_CTRL1.CNTEN、TIMx_CTRL1.DIR、TIMx_EVTGEN.UDGN) 只能由软件改变 (TIMx_EVTGEN.UDGN 除外，它保持自动清零)。前提是 TIMx_CTRL1.CNTEN 位被软写为'1'，预分频器的时钟源由内部时钟 CK_INT 提供。

图 9-8 正常模式下的控制电路，内部时钟除以 1



9.3.3.2 外部时钟源模式 1

图 9-9 TI2 外部时钟连接示例



通过配置 `TIMx_SMCTRL.SMSEL=111` 选择该模式。计数器可以配置为在所选输入的时钟上升沿或下降沿进行计数。

例如，配置向上计数模式在 `TI2` 输入的时钟上升沿计数，配置步骤如下：

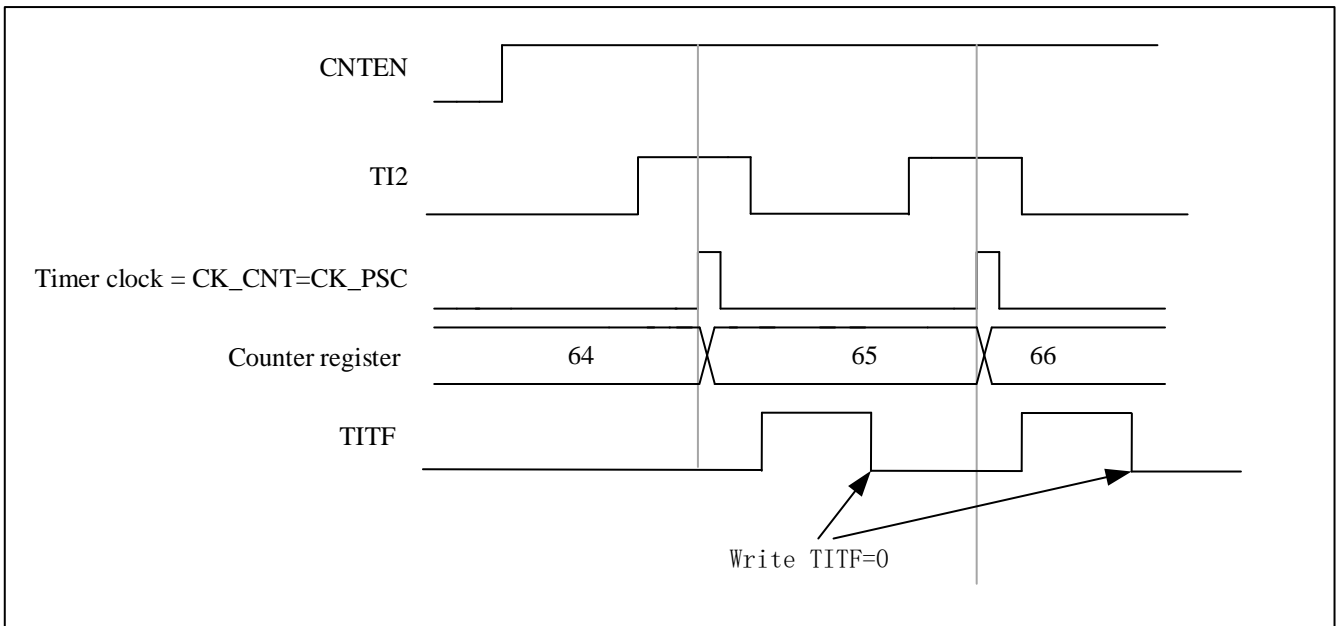
- 配置 `TIMx_CCMOD1.CC2SEL` 等于‘01’，`CC2` 通道配置为输入，`IC2` 映射到 `TI2`
- 配置 `TIMx_CCEN.CC2P` 等于‘0’，选择时钟上升沿极性
- 通过配置 `TIMx_CCMOD1.IC2F[3:0]` 选择输入滤波器带宽（如果不需要滤波器，保持 `IC2F` 位为‘0000’）
- 配置 `TIMx_SMCTRL.SMSEL` 等于‘111’，选择定时器外部时钟模式 1
- 配置 `TIMx_SMCTRL.TSEL` 等于‘110’，选择 `TI2` 作为触发输入源
- 配置 `TIMx_CTRL1.CNTEN` 等于‘1’以启动计数器

注意：捕获预分频器不用于触发，所以不需要配置

当定时器时钟的上升沿出现在 `TI2=1` 时，计数器计数一次并且 `TIMx_STS.TITF` 标志被拉高。

`TI2` 的上升沿与计数器实际时钟之间的延迟取决于 `TI2` 输入端的再同步电路。

图 9-10 外部时钟模式 1 的控制电路

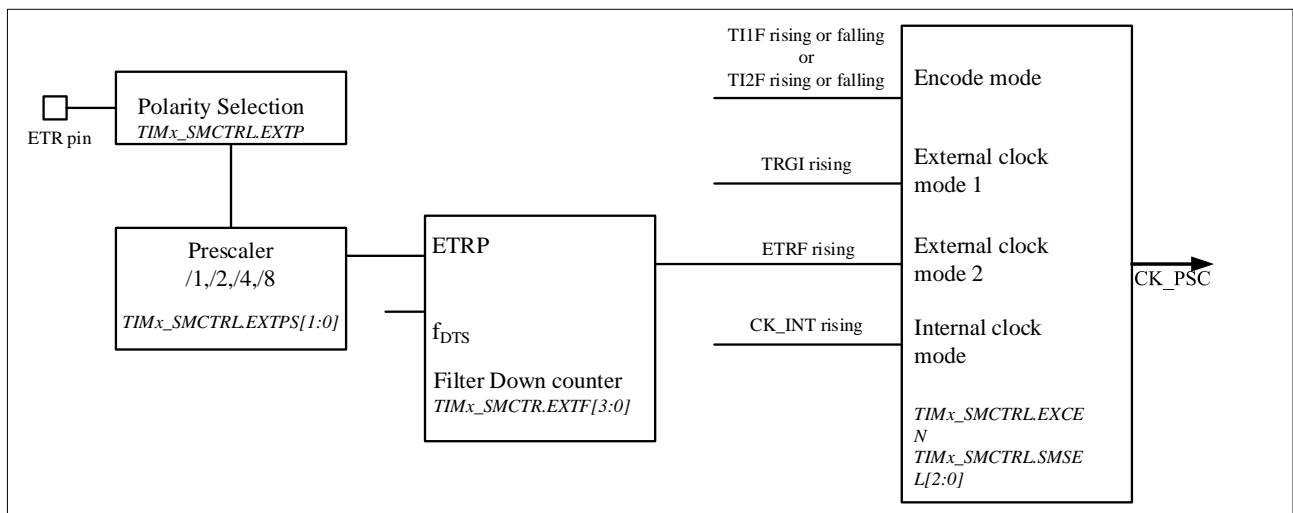


9.3.3.3 外部时钟源模式 2

此模式由 `TIMx_SMCTRL.EXCEN` 选择等于 1。计数器可以在外部触发输入 ETR 的每个上升沿或下降沿计数。

下图为外部时钟源模式 2 的外部触发输入模块示意图。

图 9-11 外部触发输入框图



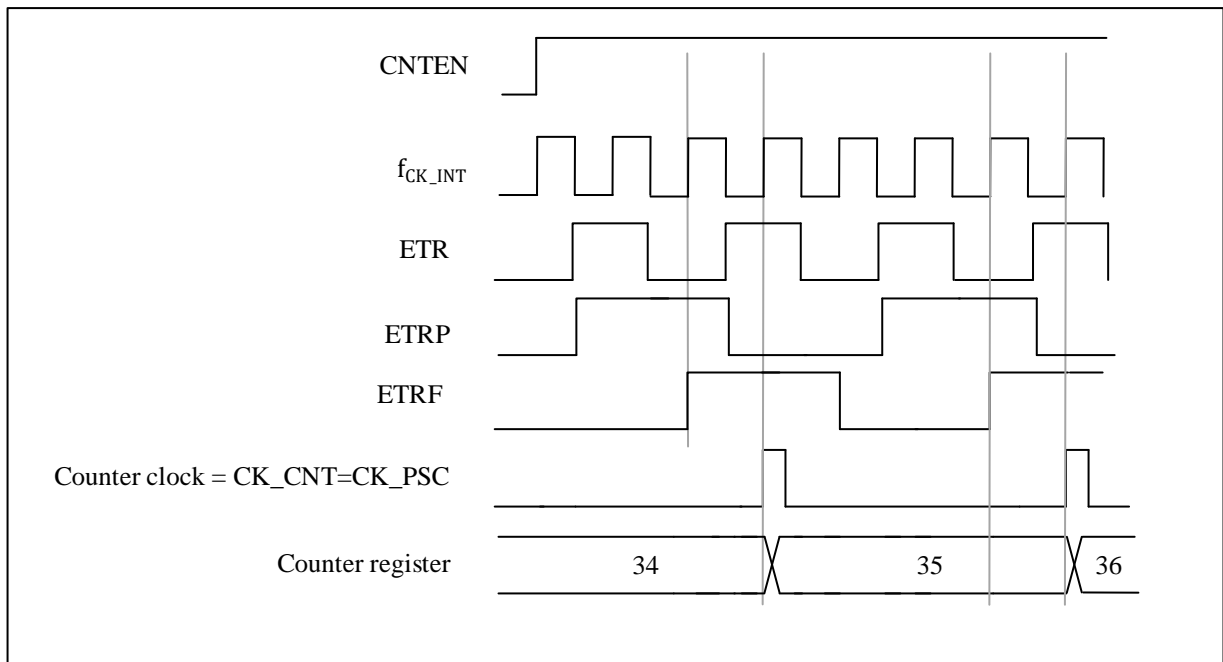
例如，使用以下配置步骤使向上计数器在 ETR 上每 2 个上升沿计数一次。

- 由于在这种情况下不需要过滤器，因此使 `TIMx_SMCTRL.EXTF[3:0]` 等于‘0000’
- 通过使 `TIMx_SMCTRL.EXTPS[1:0]` 等于 ‘01’ 来配置预分频器

- 通过设置 TIMx_SMCTRL.EXTP 等于‘0’来选择 ETR 引脚的极性，ETR 的上升沿有效
- 外部时钟模式 2 通过设置 TIMx_SMCTRL.EXCEN 等于‘1’来选择
- 通过设置 TIMx_CTRL1.CNTEN 等于“1”启动计数器。

计数器每 2 个 ETR 上升沿计数一次。ETR 的上升沿与计数器的实际时钟之间的延迟是由于 ETRP 信号上的再同步电路造成的。

图 9-12 外部时钟模式 2 的控制电路

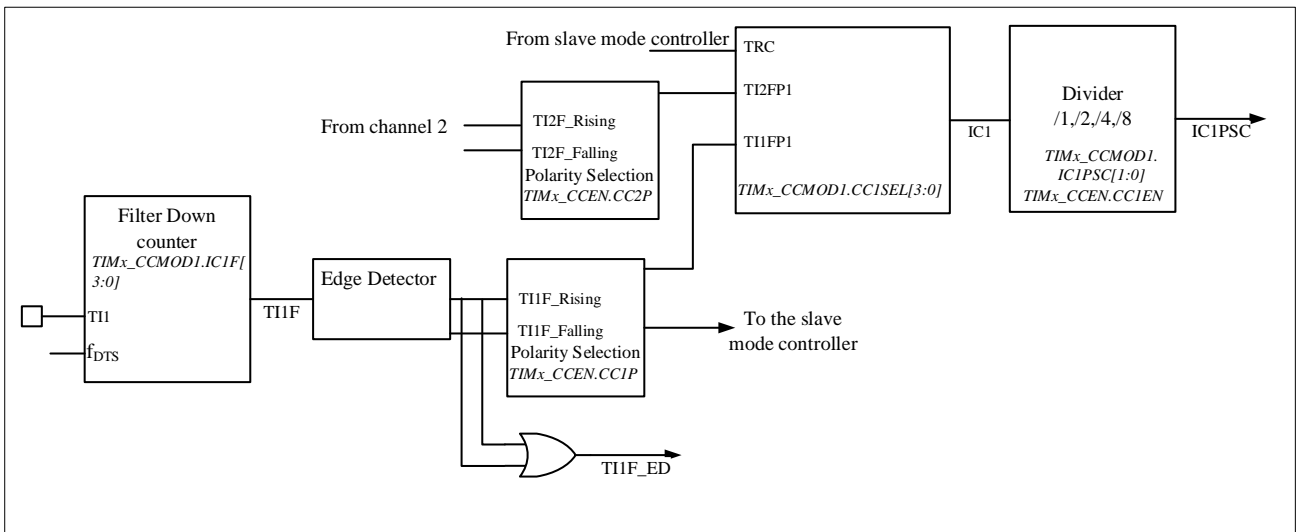


9.3.4 捕获/比较通道

捕获/比较通道包括捕获/比较寄存器和影子寄存器。输入部分由数字滤波器、多路复用器和预分频器组成。输出部分包括比较器和输出控制。

输入信号 TIx 被采样和滤波以产生信号 TIxF。然后由极性选择功能的边沿检测器生成信号 (TIxF_rising 或 TIxF_falling)，其极性由 TIMx_CCEN.CCxP 位选择。该信号可用作从模式控制器的触发输入。同时，信号 ICx 经过分频后送入捕获寄存器。下图显示了捕获/比较通道的框图。

图 9-13 捕获/比较通道（例如：通道 1 输入级）



输出部分生成一个中间波形 $OCxRef$ （高电平有效）作为参考。极性作用在链的末端。

图 9-14 捕获/比较通道 1 主电路

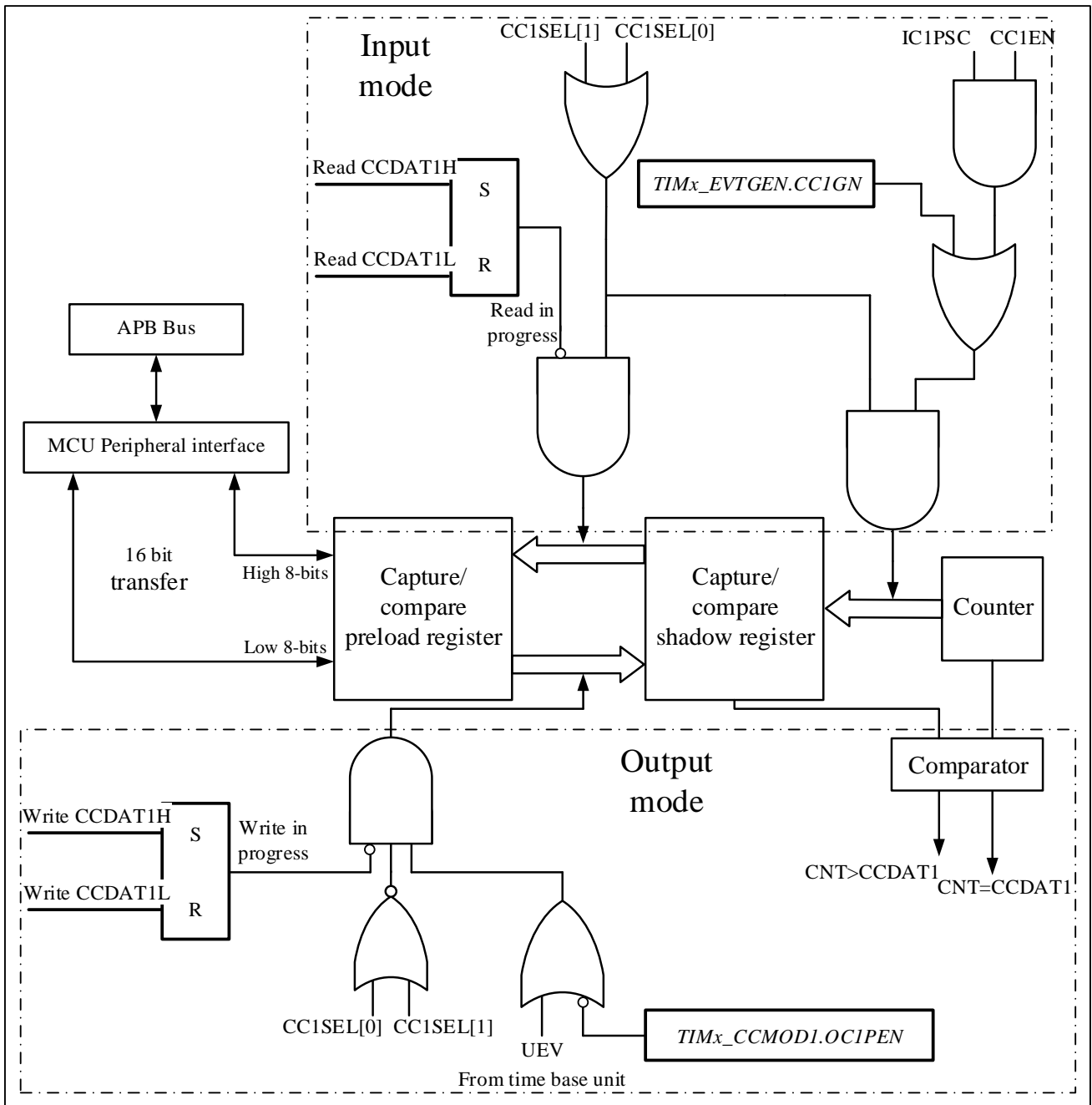
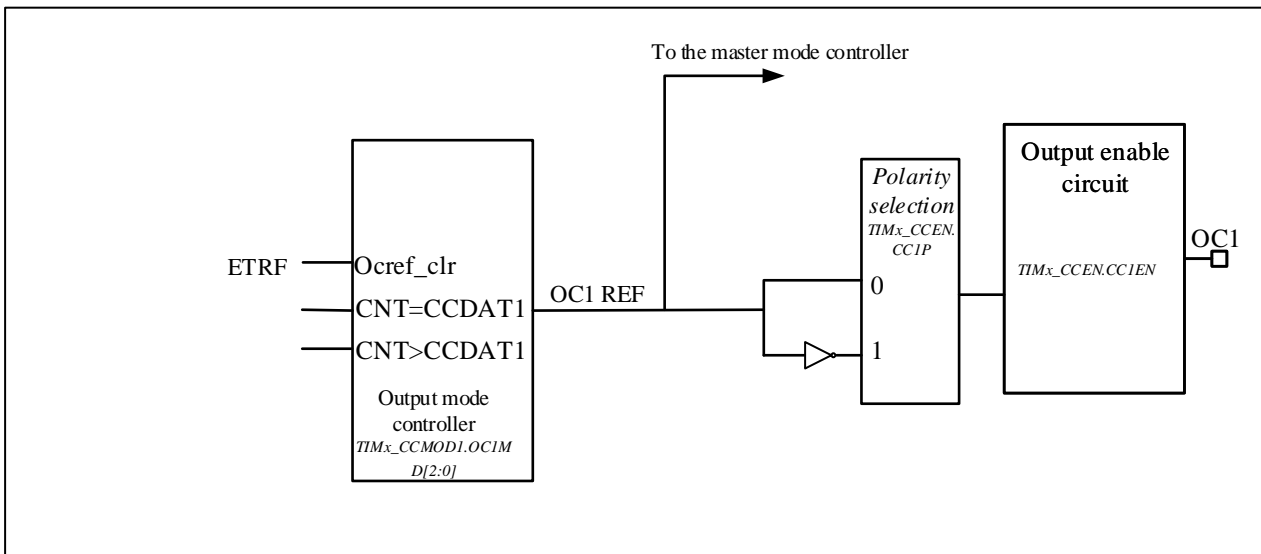


图 9-15 通道 x 的输出部分（以通道 1 为例子）



在捕获/比较时，读取和写入始终访问预加载的寄存器。两个具体工作流程如下：

在捕获模式下，捕获实际上是在影子寄存器中完成的，然后将影子寄存器中的值复制到预加载寄存器中。

在比较模式下，与捕获模式相反，预加载寄存器的值被复制到影子寄存器中，并与计数器进行比较。

9.3.5 输入捕获模式

在捕获模式下，TIMx_CCxDATx 寄存器用于在检测到 ICx 信号后锁存计数器值。

有一个捕获中断标志 TIMx_STS.CCxITF，如果相应的中断使能被拉高，它可以发出中断请求。

TIMx_STS.CCxITF 位在发生捕获事件时由硬件设置，并由软件或读取 TIMx_CCxDATx 寄存器清零。

当 TIMx_CCxDATx 寄存器中的计数器值被捕获并且 TIMx_STS.CCxITF 已经被拉高时，重复捕获标志 TIMx_STS.CCxOCF 设置为 1。与前者不同，TIMx_STS.CCxOCF 通过向其写入 0 来清除。

为实现 TI1 输入的上升沿将计数器值捕获到 TIMx_CCxDAT1 寄存器中，配置流程如下：

- 选择有效输入：
 - 将 TIMx_CCMOD1.CC1SEL 配置为“01”。此时输入为 CC1 通道，IC1 映射到 TI1。
- 编程所需的输入滤波器持续时间：
 - 通过配置 TIMx_CCMODx.ICxF 位来定义 TI1 输入的采样频率和数字滤波器的长度。示例：如果输入信号抖动多达 5 个内部时钟周期，我们必须选择比这 5 个时钟周期更长的滤波器持续时间。当检测到具有新电平的 8 个连续样本（以 f_{DTs} 频率采样）时，我们可以验证 TI1 上的转换。然后配置 TIMx_CCMOD1.IC1F 到“0011”
- 通过配置 TIMx_CCEN.CC1P=0，选择上升沿作为 TI1 通道的有效跳变极性
- 配置输入预分频器。在本例中，配置 TIMx_CCMOD1.IC1PSC= ‘00’ 以禁用预分频器，因为我们想要捕获每个有效转换
- 通过配置 TIMx_CCEN.CC1EN = ‘1’ 启用捕获。

如果要使能相关中断请求，可以配置 `TIMx_DINTEN.CC1IEN=1`。

9.3.6 PWM 输入模式

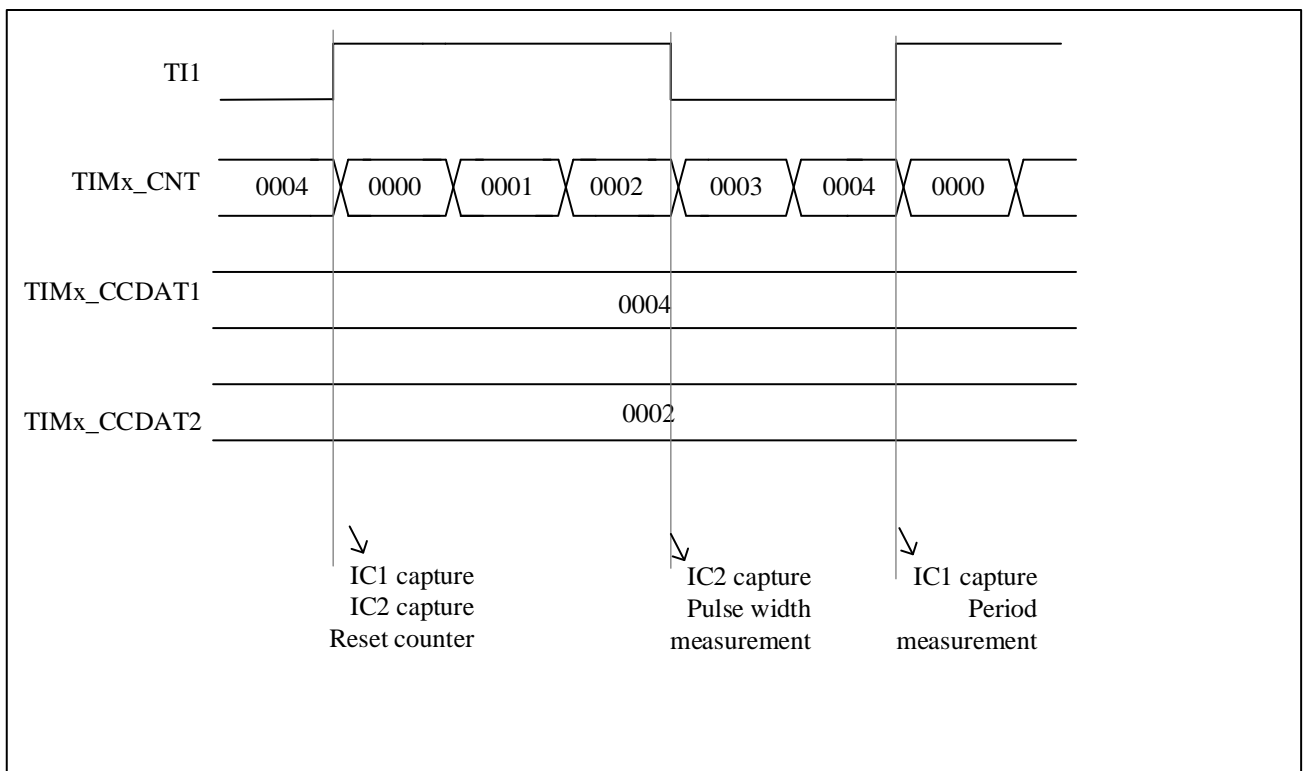
PWM 输入模式和普通输入捕获模式有一些区别，包括：

- 两个 ICx 信号映射到同一个 TIx 输入
- 两个 ICx 信号在极性相反的边沿有效
- 选择两个 TIxFP 信号之一作为触发输入
- 从机模式控制器配置为复位模式

例如，下面的配置流程可以用来知道 TI1 上 PWM 信号的周期和占空比（这取决于 CK_INT 的频率和预分频器的值）。

- 配置 `TIMx_CCMOD1.CC1SEL` 等于 ‘01’ 以选择 TI1 作为 `TIMx_CCDAT1` 的有效输入
- 配置 `TIMx_CCEN.CC1P` 等于 ‘0’ 选择滤波定时器输入 1(TI1FP1) 的有效极性，在上升沿有效
- 配置 `TIMx_CCMOD1.CC2SEL` 等于 ‘10’ 选择 TI1 作为 `TIMx_CCDAT2` 的有效输入
- 配置 `TIMx_CCEN.CC2P` 等于 1 选择滤波定时器输入 2(TI1FP2) 的有效极性，下降沿有效
- 配置 `TIMx_SMCTRL.TSEL=101` 选择 Filtered timer input 1 (TI1FP1) 作为有效触发输入
- 配置 `TIMx_SMCTRL.SMSEL=100` 配置从模式控制器为复位模式
- 配置 `TIMx_CCEN.CC1EN=1` 和 `TIMx_CCEN.CC2EN=1` 以启用捕获

图 9-16 PWM 输入模式时序



由于只有滤波器定时器输入 1 (TI1FP1) 和滤波器定时器输入 2 (TI2FP2) 连接到从模式控制器, 因此 PWM 输入模式只能与 TIMx_CH1/TIMx_CH2 信号一起使用。

9.3.7 强制输出模式

在输出模式 (TIMx_CCMODx.CCxSEL=00) 下, 软件可以直接将输出比较信号强制为有效或无效电平。

用户可以设置 TIMx_CCMODx.OCxMD=101 强制输出比较信号为有效电平。OCxREF 将被强制为高电平, OCx 得到与 CCxP 极性相反的值。另一方面, 用户可以设置 TIMx_CCMODx.OCxMD=100 强制输出比较信号为无效电平, 即 OCxREF 被强制为低电平。

在此模式下, TIMx_CCDATx 影子寄存器和计数器的值仍然相互比较。

输出比较寄存器 TIMx_CCDATx 和计数器 TIMx_CNT 之间的比较对 OCxREF 没有影响。并且仍然可以设置标志。因此, 仍然可以发送中断请求。

9.3.8 输出比较模式

用户可以使用此模式来控制输出波形, 或指示一段时间已过。

当捕获/比较寄存器和计数器的值相同时, 输出比较函数的操作如下:

- TIMx_CCMODx.OCxMD 为输出比较模式, TIMx_CCEN.CCxP 为输出极性。当比较匹配时, 如果设置 TIMx_CCMODx.OCxMD=000, 则输出管脚将保持其电平; 如果设置 TIMx_CCMODx.OCxMD=001, 则设置输出管脚有效; 如果设置 TIMx_CCMODx.OCxMD=010, 则输出管脚将为 设置为无效; 如果设置 TIMx_CCMODx.OCxMD=011, 则输出引脚将设置为翻转。
- 设置 TIMx_STS.CCxITF
- 如果用户设置了 TIMx_DINTEN.CCxIEN, 将产生相应的中断

用户可以设置 TIMx_CCMODx.OCxPEN 来选择是否使用捕获/比较预加载寄存器 (TIMx_CCDATx) 来选择捕获/比较影子寄存器。

时间分辨率是计数器的一个计数周期。

在单脉冲模式下, 输出比较模式也可用于输出单脉冲。

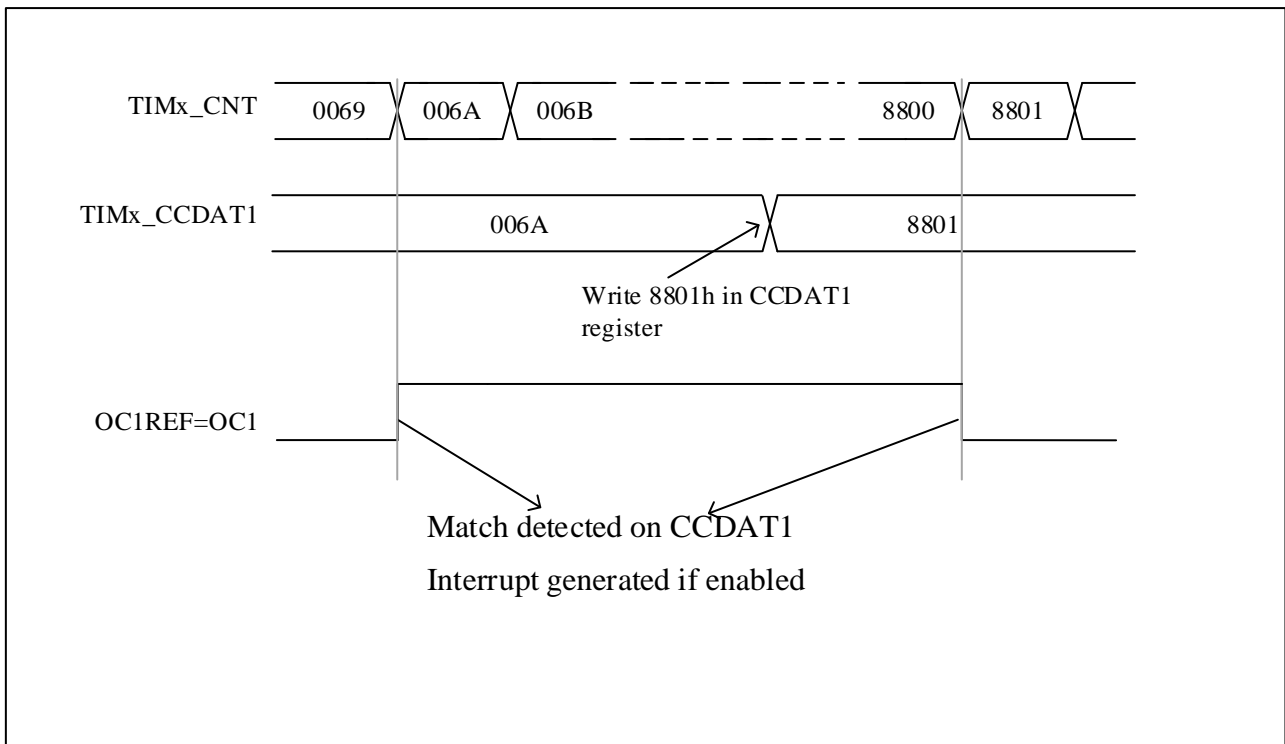
以下是输出比较模式的配置步骤:

- 首先, 用户应该选择计数器时钟
- 其次, 用所需数据设置 TIMx_AR 和 TIMx_CCDATx
- 如果用户需要产生中断, 设置 TIMx_DINTEN.CCxIEN
- 然后通过设置 TIMx_CCEN.CCxP、TIMx_CCMODx.OCxMD、TIMx_CCEN.CCxEN 等选择输出模式
- 最后, 设置 TIMx_CTRL1.CNTEN 启用计数器

用户可以随时通过设置 TIMx_CCDATx 来更新输出波形, 只要不启用预加载寄存器。否则, TIMx_CCDATx 影子寄存器将在下一次更新事件中更新。

例如:

图 9-17 输出比较模式，开启 OC1



9.3.9 PWM 模式

用户可以使用 PWM 模式产生一个信号，其占空比由 TIMx_CCDATx 寄存器的值决定，其频率由 TIMx_AR 寄存器的值决定。并且取决于 TIMx_CTRL1.CAMSEL 的值，TIM 可以在边沿对齐模式或中央对齐模式下产生 PWM 信号。

用户可以通过设置 TIMx_CCMODx.OCxMD=110 或设置 TIMx_CCMODx.OCxMD=111 来设置 PWM 模式 1 或 PWM 模式 2。要启用预加载寄存器，用户必须设置相应的 TIMx_CCMODx.OCxPEN。然后设置 TIMx_CTRL1.ARPEN 自动重装载预加载寄存器。

用户可以通过设置 TIMx_CCEN.CCxP 来设置 OCx 的极性。

当 TIM 处于 PWM 模式时，TIMx_CNT 和 TIMx_CCDATx 的值总是相互比较。

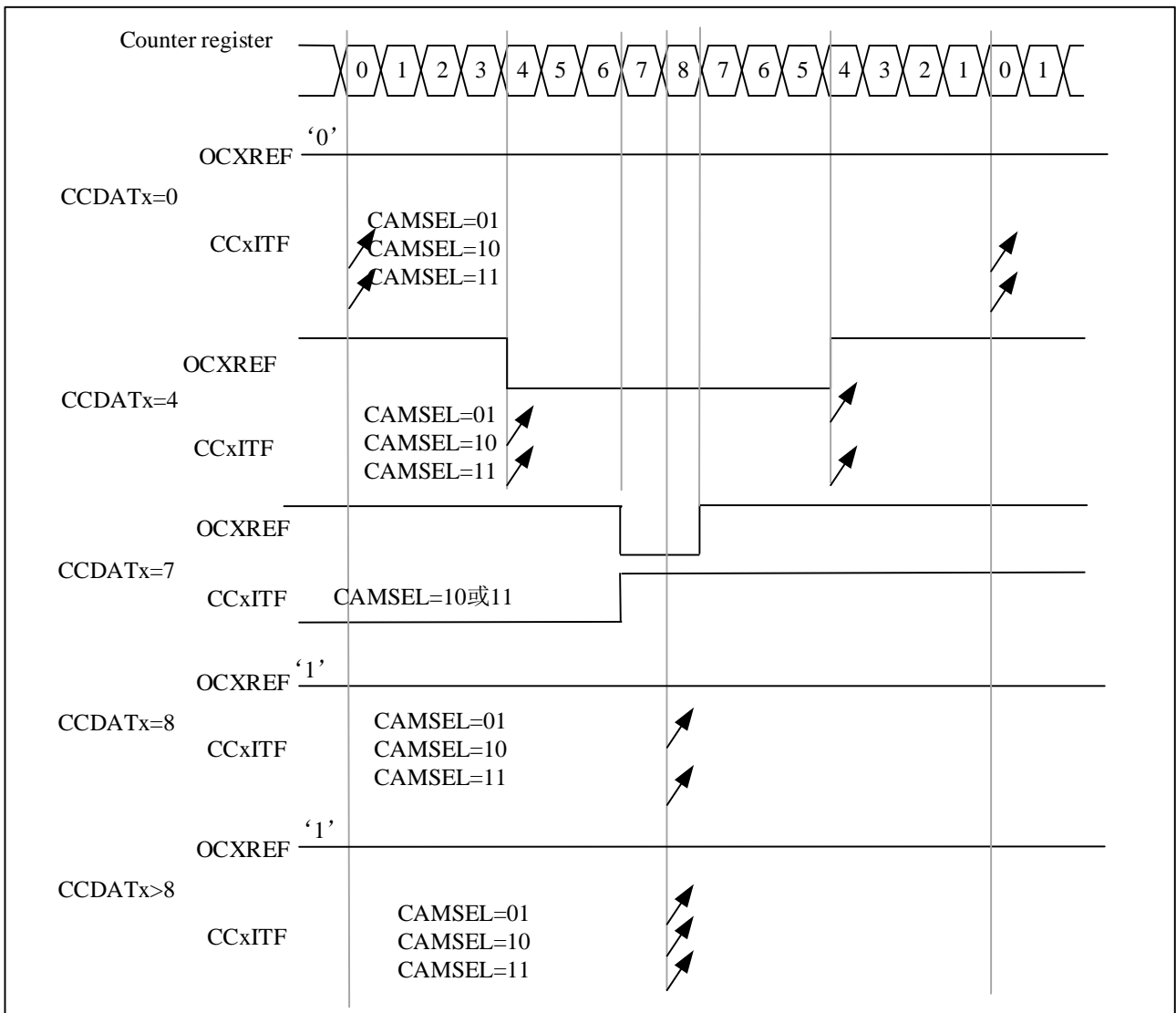
只有当更新事件发生时，预加载寄存器才会转移到影子寄存器。因此，用户必须在计数器开始计数之前通过设置 TIMx_EVTGEN.UDGN 来复位所有寄存器。

9.3.9.1 PWM 中央对齐模式

如果用户设置 TIMx_CTRL1.CAMSEL 等于 01、10 或 11，PWM 中央对齐模式将被激活。比较标志的设置取决于 TIMx_CTRL1.CAMSEL 的值。设置比较标志的情况有 3 种，仅当计数器向上计数时，仅当计数器向下计数时，或当计数器向上计数和向下计数时。用户不应通过软件修改 TIMx_CTRL1.DIR，它是由硬件更新的。

中央对齐 PWM 波形示例如下，波形设置为：TIMx_AR=8，PWM 模式 1，当计数器向下计数对应 TIMx_CTRL1.CAMSEL=01 时设置比较标志。

图 9-18 中央对齐的 PWM 波形 (AR=8)



使用中央对齐模式时用户应注意的事项如下：

- 计数器向上或向下计数取决于 TIMx_CTRL1.DIR 的值。注意不要同时更改 DIR 和 CAMSEL 位
- 用户在中央对齐模式下不要写计数器，否则会导致意想不到的结果。例如：
 - ◆ 如果写入计数器的值为 0 或者是 TIMx_AR 的值，则方向会被更新，但不会产生更新事件
 - ◆ 如果写入计数器的值大于自动重载的值，则方向不会更新
- 为了安全起见，建议用户在启动计数器之前设置 TIMx_EVTGEN.UDGN 以通过软件生成更新，并且在计数器运行时不要写入计数器

9.3.9.2 PWM 边沿对齐模式

边沿对齐模式有两种配置，向上计数和向下计数。

● 向上计数

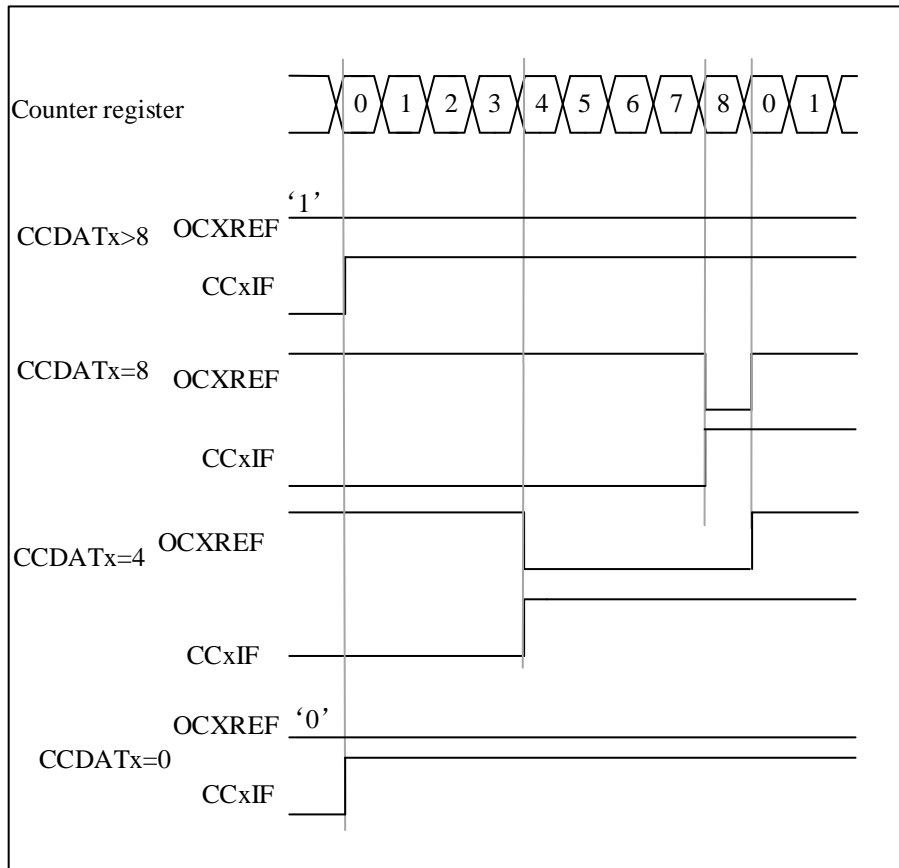
用户可以设置 TIMx_CTRL1.DIR=0 使计数器向上计数。

PWM 模式 1 的示例:

当 $TIMx_CNT < TIMx_CCDATx$ 时, $OCxREF$ 为高电平, 否则为低电平。如果 $TIMx_CCDATx$ 中的比较值大于自动重载值, 则 $OCxREF$ 将保持为 1。相反, 如果比较值为 0, 则 $OCxREF$ 将保持为 0。

当 $TIMx_AR=8$ 时, PWM 波形如下:

图 9-19 边沿对齐 PWM 波形 (AR=8)



● 向下计数

用户可以设置 $TIMx_CTRL1.DIR=1$ 使计数器向下计数。

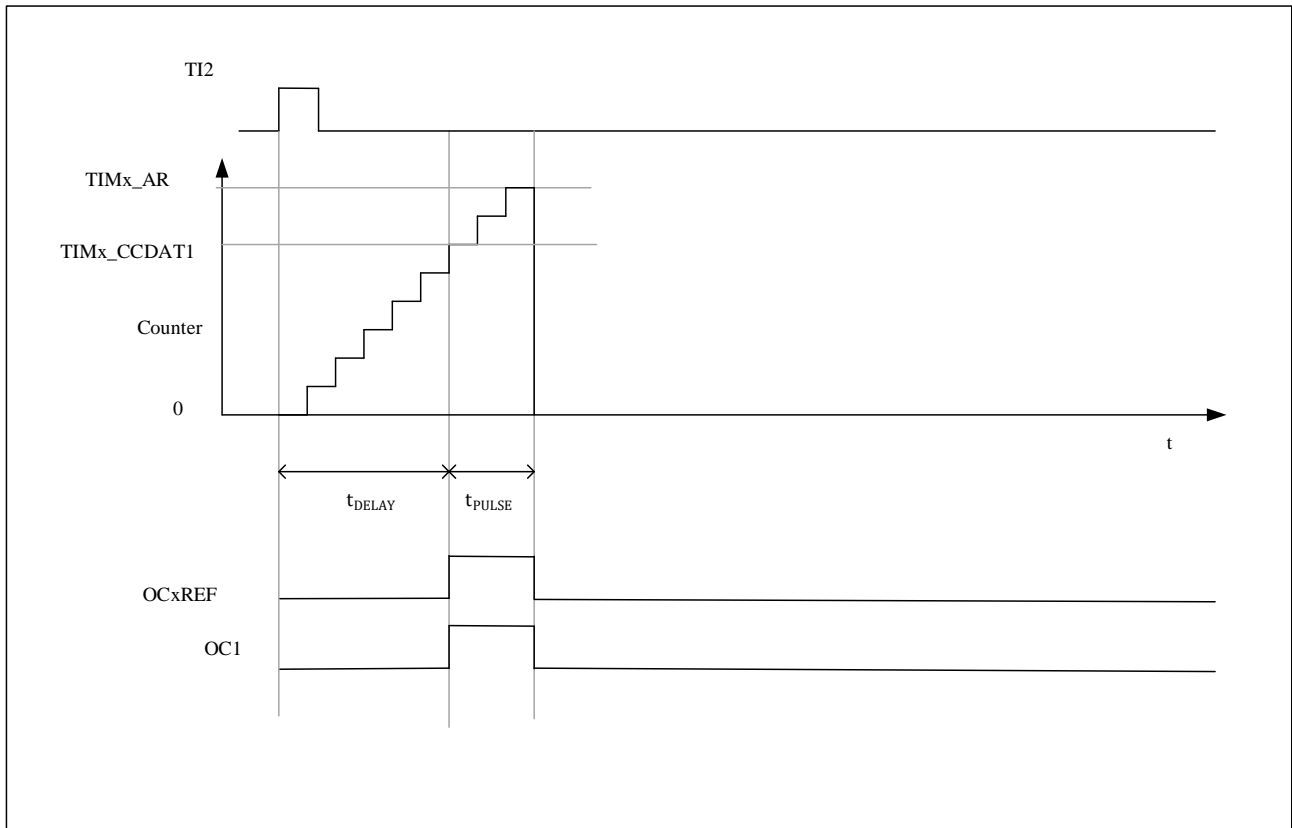
PWM 模式 1 的示例:

当 $TIMx_CNT > TIMx_CCDATx$ 时, $OCxREF$ 为低电平, 否则为高电平。如果 $TIMx_CCDATx$ 中的比较值大于自动重载值, 则 $OCxREF$ 将保持为 1。

注: 若第 n 个 PWM 周期 $CCDATx$ 影子寄存器 $\geq AR$ 值, 第 $n+1$ 个 PWM 周期 $CCDATx$ 的影子寄存器值是 0。在第 $n+1$ 个 PWM 周期的计数器为 0 的时刻, 虽然计数器 = $CCDATx$ 影子寄存器的值 = 0, $OCxREF = '0'$, 但不会产生比较事件。

9.3.10 单脉冲模式

在单脉冲模式(ONEPM)中, 接收到触发信号, 经过可控延迟 t_{DELAY} 后产生脉宽可控的脉冲 t_{PULSE} 。输出模式需要配置为输出比较模式或 PWM 模式。选择单脉冲模式后, 计数器会在更新事件 UEV 产生后停止计数。

图 9-20 单脉冲模式示例


以下是单脉冲模式的示例：

从 TI2 输入检测到上升沿触发，延迟 t_{DELAY} 后在 OC1 上产生宽度为 t_{PULSE} 的脉冲。

1. 计数器配置：向上计数，计数器 $\text{TIMx_CNT} < \text{TIMx_CCDAT1} \leq \text{TIMx_AR}$ ；
2. TI2FP2 映射到 TI2， $\text{TIMx_CCMOD1.CC2SEL} = '01'$ ；TI2FP2 配置为上升沿检测， $\text{TIMx_CCEN.CC2P} = '0'$ ；
3. TI2FP2 充当从模式控制器的触发器（TRGI）并启动计数器， $\text{TIMx_SMCTRL.TSEL} = '110'$ ， $\text{TIMx_SMCTRL.SMSEL} = '110'$ （触发模式）；
4. TIMx_CCDAT1 写入要延迟的计数值（ t_{DELAY} ）， $\text{TIMx_AR} - \text{TIMx_CCDAT1}$ 为脉宽 t_{PULSE} 的计数值；
5. 配置 $\text{TIMx_CTRL1.ONEPM} = 1$ 使能单脉冲模式，配置 $\text{TIMx_CCMOD1.OC1MD} = '111'$ 选择 PWM2 模式；
6. 等待 TI2 有外部触发事件，OC1 输出一个单脉冲波形；

9.3.10.1 特殊情况：OCx 快速使能：

在单脉冲模式下，通过 TIx 输入检测到一个边沿，并触发计数器开始计数到比较值，然后输出一个脉冲。这些操作限制了可以达到的最小延迟 t_{DELAY} 。

您可以设置 $\text{TIMx_CCMODx.OCxFEN} = 1$ 开启 OCx 快速使能，在触发上升沿后，OCxREF 信号将被强制转换为与比较匹配立即发生的电平相同的电平，而不管比较结果如何。OCxFEN 快速使能仅在通道模式配置为 PWM1 和 PWM2 模式时生效。

9.3.11 在外部事件上清除 OCxREF 信号

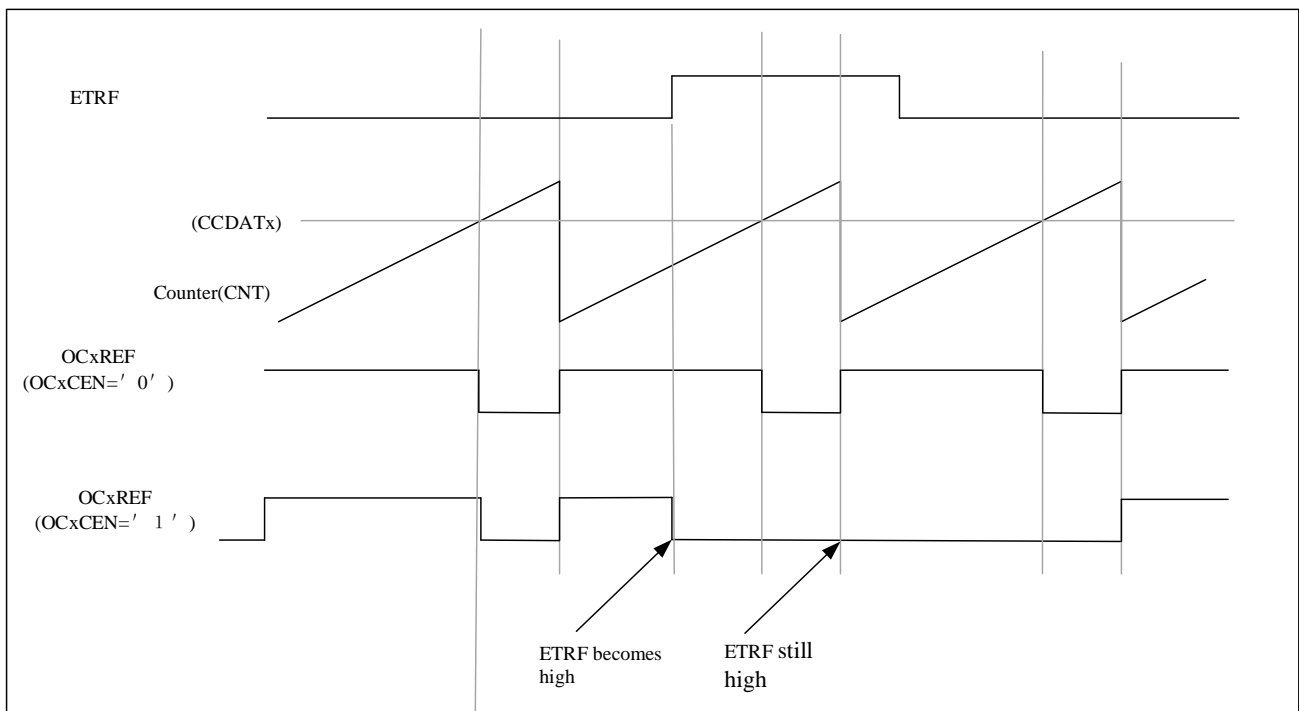
如果用户设置 `TIMx_CCMODx.OCxCEN=1`, ETRF 输入的高电平可用于驱动 OCxREF 信号为低电平, OCxREF 信号将保持低电平, 直到下一次 UEV 发生。只有输出比较和 PWM 模式可以使用该功能。在强制模式下不能使用。

例如: 为了控制电流, 用户可以将 ETR 信号连接到比较器的输出端, ETR 的操作如下:

- 设置 `TIMx_SMCTRL.EXTPS=00` 禁用外部触发预分频器。
- 设置 `TIMx_SMCTRL.EXCCEN=0` 禁用外部时钟模式 2。
- 设置 `TIMx_SMCTRL.EXTP` 和 `TIMx_SMCTRL.EXTF`, 根据需要配置外触发极性和外触发滤波器。

例: 当 ETRF 输入变高时, OCxREF 信号对于不同的 OCxCEN 值的行为。在这种情况下, 定时器设置为 PWM 模式。

图 9-21 清除 TIMx 的 OCxREF



9.3.12 调试模式

当微控制器处于调试模式 (Cortex-M0 内核停止) 时, 根据 `DBG_CTRL.TIMx_STOP` 配置, TIMx 计数器可以继续正常工作或停止。详见 3.4.9 章节。

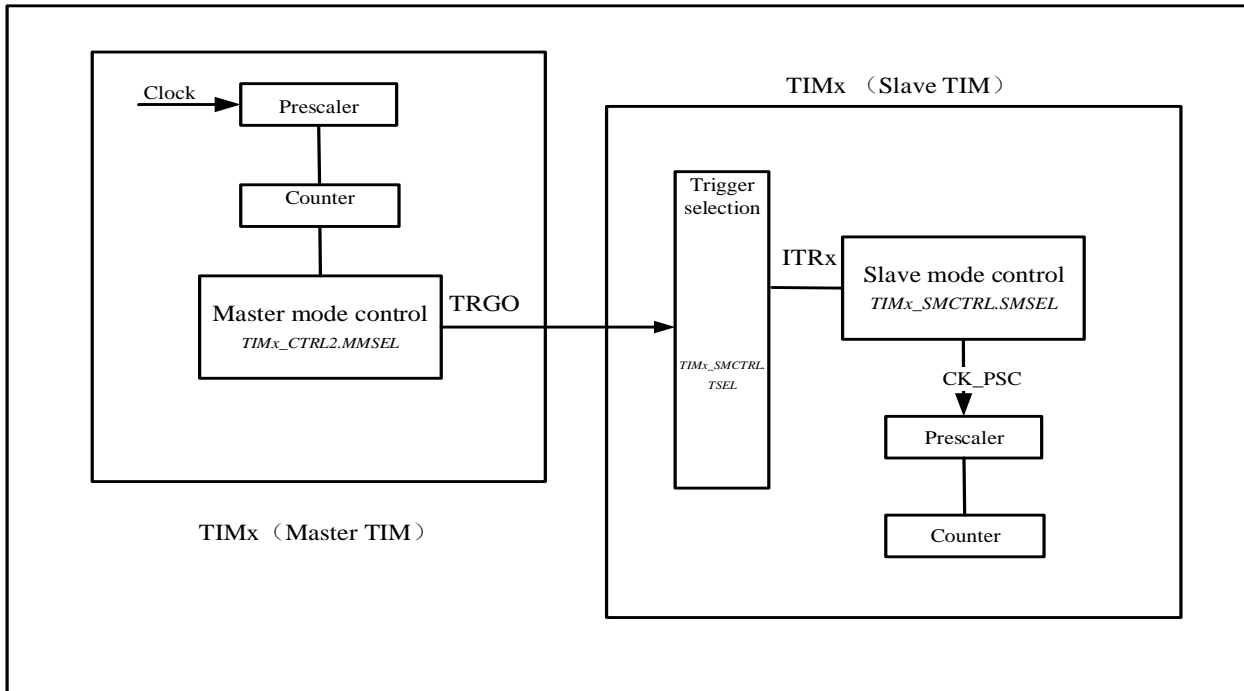
9.3.13 TIMx 定时器和外部触发的同步

与高级定时器相同, 见 8.3.16。

9.3.14 定时器同步

所有 TIMx 定时器都在内部相互连接。该实现允许任何主定时器提供触发以复位、启动、停止或为其他从定时器提供时钟。主时钟用于内部计数器，可以预分频。下图为定时器互连框图。同步功能不支持连接的动态变化。用户应在启用主定时器的触发器或时钟之前配置并启用从定时器。

图 9-22 主/从定时器的例子



9.3.14.1 主定时器作为另一个定时器的预分频器

定时器 1 作为定时器 2 的预分频器。TIM1 是主，TIM3 是从。

用户需要为此配置执行以下步骤。

- 设置 TIM1_CTRL2.MMSEL='010' 以使用 TIM1 的更新事件作为触发输出。
- 配置 TIM3_SMCTRL.TSEL='000'，将 TIM1 的 TRGO 连接到 TIM3。
- 配置 TIM3_SMCTRL.SMSEL = '111'，从模式控制器将配置为外部时钟模式 1。
- 通过设置 TIM3_CTRL1.CNTEN = '1'，启动 TIM3。
- 通过设置 TIM1_CTRL1.CNTEN = '1'，启动 TIM1。

注：如果用户通过配置 MMSEL = '1xx' 选择 OCx 作为 TIM1 的触发输出，则 OCx 上升沿将用于驱动 timer3。

9.3.14.2 主定时器使能另一个定时器

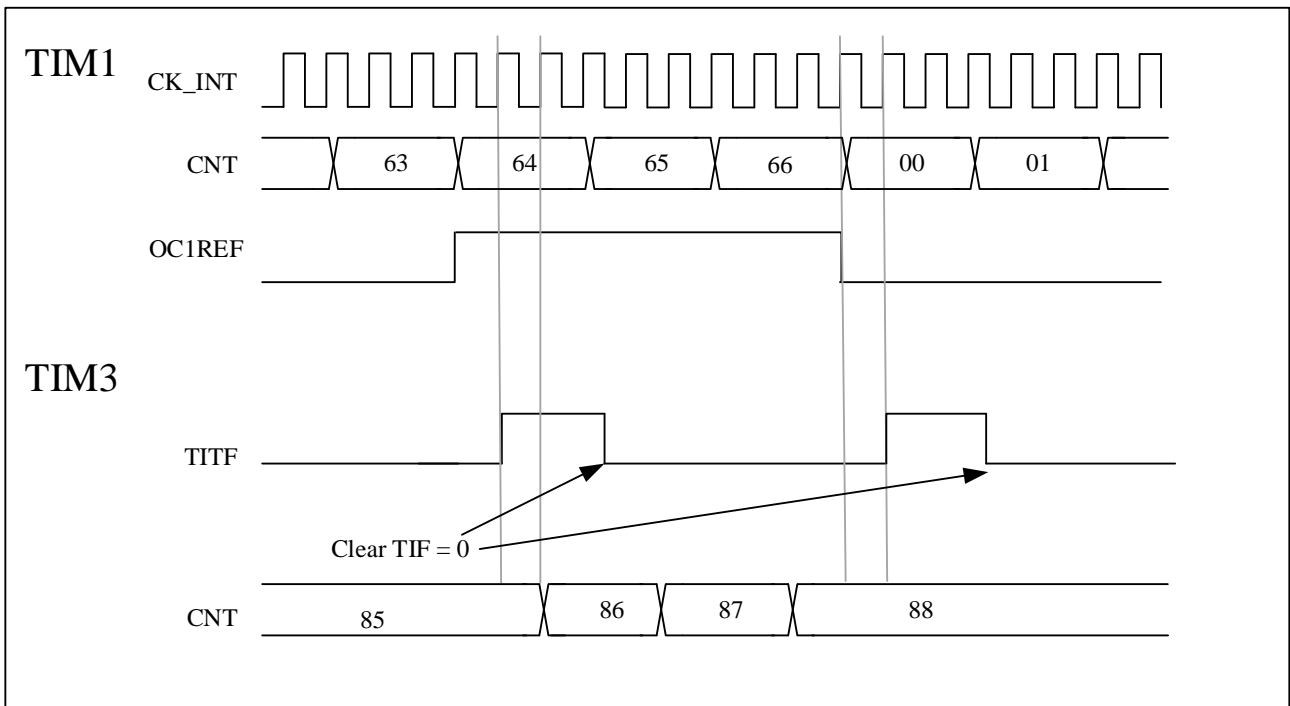
在本例中，TIM3 通过 TIM1 的输出比较使能。TIM1 的 OC1REF 输出为高电平后，TIM3 计数器将开始计数。两个计数器的时钟均基于 CK_INT，通过预分频器除以 3 ($f_{CK_CNT} = f_{CK_INT}/3$)。

配置步骤如下所示。

- 设置 TIM1_CTRL2.MMSEL='100' 以使用 TIM1 的 OC1REF 作为触发输出。
- 配置 TIM1_CCMOD1 寄存器来配置 OC1REF 输出波形。
- 设置 TIM3_SMCTRL.TSEL = '000' 将 TIM1 触发输出连接到 TIM3。
- 设置 TIM3_SMCTRL.SMSEL= '101' 将 TIM3 设置为门控模式。
- 设置 TIM3_CTRL1.CNTEN= '1' 来启动 TIM3。
- 设置 TIM1_CTRL1.CNTEN= '1' 以启动 TIM1。

注: TIM3 时钟与 TIM1 时钟不同步, 该模式仅影响 TIM3 计数器使能信号。

图 9-23 定时器 3 由定时器 1 的 OC1REF 门控



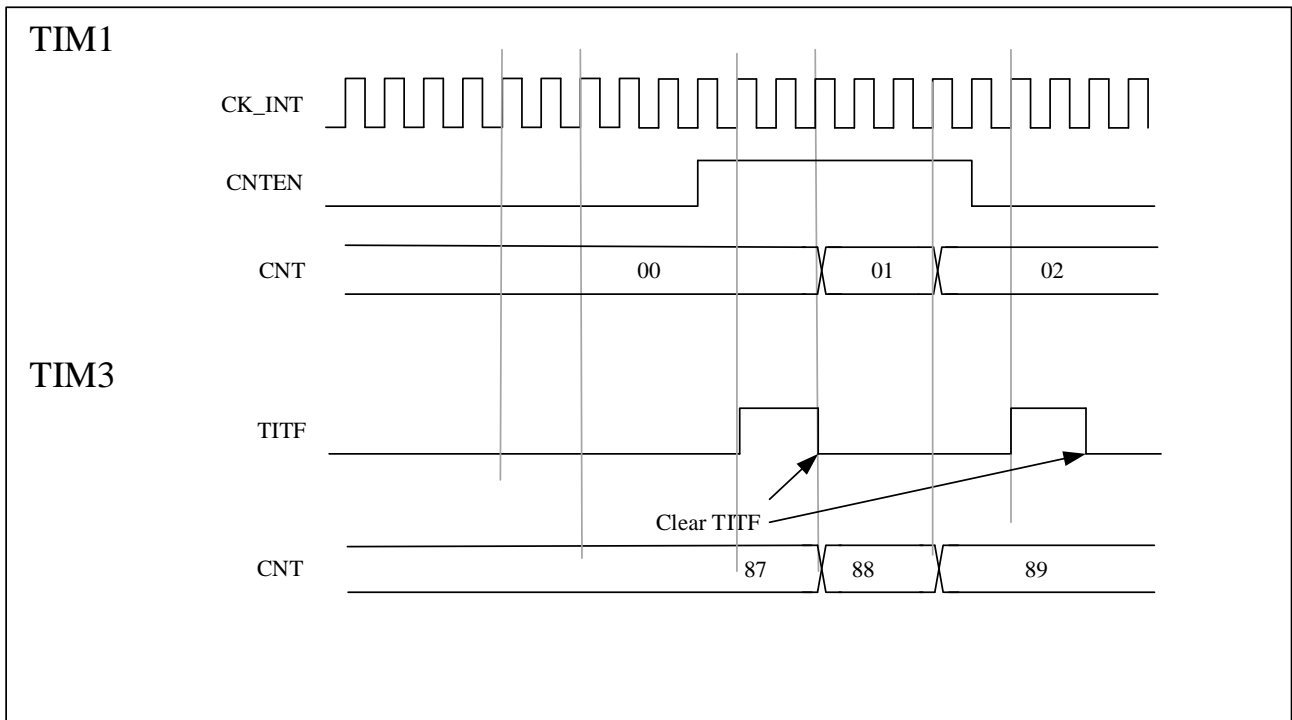
在下一个示例中, 用 TIM1 的使能信号门控 TIM3, 设置 TIM1_CTRL1.CNTEN= '0' 以停止 TIM1。

仅当 TIM1 使能时, TIM3 才基于分频的内部时钟计数。两个计数器的时钟均基于 CK_INT, 通过预分频器除以 3 ($f_{CK_CNT} = f_{CK_INT}/3$)。

配置步骤如下所示

- 设置 TIM1_CTRL2.MMSEL='001' 使用 TIM1 的使能信号作为触发输出
- 设置 TIM3_SMCTRL.TSEL = '000' 配置 TIM3 从 TIM1 获取触发输入
- 设置 TIM3_SMCTRL.SMSEL = '101' 将 TIM3 配置为门控模式。
- 设置 TIM3_CTRL1.CNTEN= '1' 来启动 TIM3。
- 设置 TIM1_CTRL1.CNTEN= '1' 以启动 TIM1。
- 设置 TIM1_CTRL1.CNTEN= '0' 以停止 TIM1。

图 9-24 定时器 3 由定时器 1 的使能门控



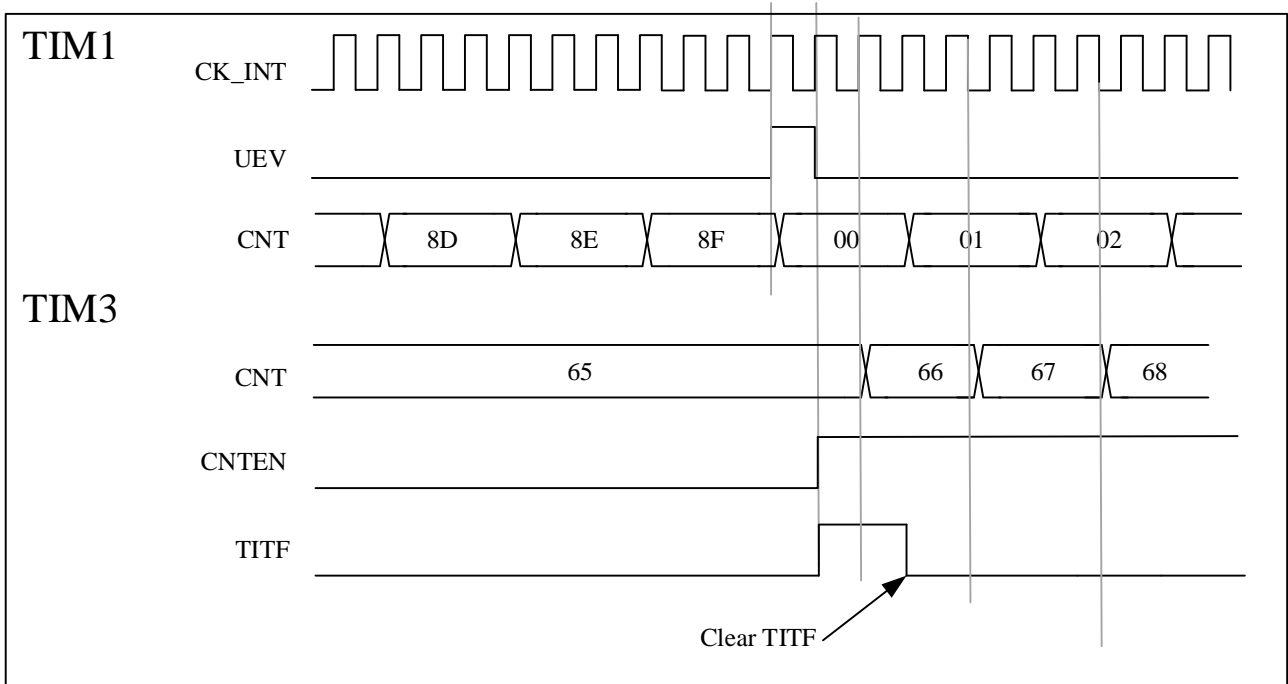
9.3.14.3 主定时器启动另一个定时器

在这个例子中，我们可以使用更新事件作为触发源。TIM1 是主，TIM3 是从。

配置步骤如下图所示：

- 设置 TIM1_CTRL2.MMSEL='010' 使用 TIM1 的更新事件作为触发输出
- 配置 TIM1_AR 寄存器设置输出周期。
- 设置 TIM3_SMCTRL.TSEL= '000' 将 TIM1 触发输出连接到 TIM3。
- 设置 TIM3_SMCTRL.SMSEL = '110' 将 TIM3 设置为触发模式。
- 设置 TIM1_CTRL1.CNTEN=1 启动 TIM1。

图 9-25 使用定时器 1 的更新触发定时器 3



9.3.14.4 使用一个外部触发同步地启动 2 个定时器

在本例中，TIM1 的 TI1 输入上升时使能 TIM1，使能 TIM1 时使能 TIM3。为确保计数器对齐，TIM1 必须配置为主/从模式。对于 TI1，TIM1 是从；对于 TIM3，TIM1 是主。

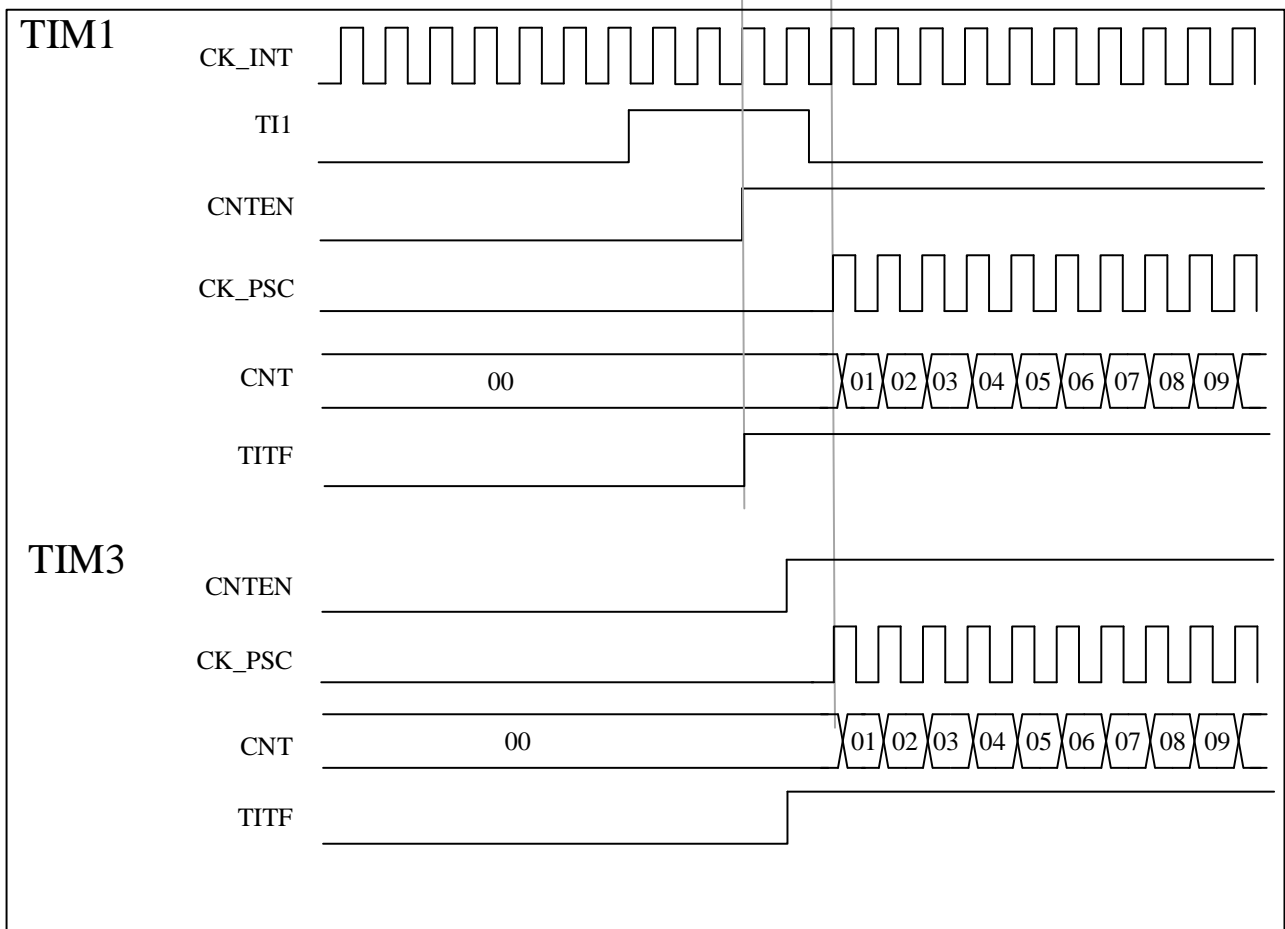
配置步骤如下图所示：

- 设置 TIM1_MMSEL = '001' 使用使能信号作为触发输出
- 设置 TIM1_SMCTRL.TSEL = '100' 将 TIM1 配置为从模式并接收 TI1 的触发输入。
- 设置 TIM1_SMCTRL.SMSEL = '110' 将 TIM1 配置为触发模式。
- 设置 TIM1_SMCTRL.MSMD = '1' 将 TIM1 配置为主/从模式。
- 设置 TIM3_SMCTRL.TSEL = '000' 将 TIM1 触发输出连接到 TIM3。
- 设置 TIM3_SMCTRL.SMSEL = '110' 将 TIM3 配置为触发模式。

当 TI1 上升沿到来时，两个定时器开始根据内部时钟同步计数，两个 TITF 标志同时置位。

注：下图显示了在主/从模式下 CNTEN 和 TIM1 的 CK_PSC 之间的延迟。

图 9-26 使用定时器 1 的 TI1 输入触发定时器 1 和定时器 3



9.4 TIMx 寄存器描述 (x=3)

9.4.1 寄存器总览

表 9-1 TIM3 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
000h	TIMx_CTRL1	Reserved													CLRSEL	Reserved	Reserved	C2SEL	CISEL	Reserved	CLKD[1:0]		ARPEN	CAMSEL[1:0]			DIR	ONEPM	UPRS	UPDIS	CNTEN						
	Reset Value														0			0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
004h	TIMx_CTRL2	Reserved																	ETRSEL		TI1SEL	MMSEL[2:0]			Reserved												
	Reset Value																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
008h	TIMx_SMCTRL	Reserved																	EXTP	EXCEN	EXTPS[1:0]		EXTF[3:0]			MSMD	TSEL[2:0]			Reserved	SMSEL[2:0]						
	Reset Value																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

00Ch	TIMx_DINTEN	Reserved										TIEN	Reserved			CC2IEN	CC1IEN	UIEN									
	Reset Value											0				0	0	0									
010h	TIMx_STS	Reserved							CC2OCF	CC1OCF	Reserved			TITF	Reserved			CC2ITF	CC1ITF	UDITF							
	Reset Value								0	0				0				0	0	0							
014h	TIMx_EVTGEN	Reserved										TGN	Reserved			CC2GN	CC1GN	UDGN									
	Reset Value											0				0	0	0									
018h	TIMx_CCMOD1	Reserved				OC2CEN	OC2M[2:0]		OC2PEN	OC2FEN	CC2SEL[1:0]		OC1CEN	OC1M[2:0]		OC1PEN	OC1FEN	CC1SEL[1:0]									
	Reset Value					0	0	0	0	0	0	0	0	0	0	0	0	0	0								
018h	TIMx_CCMOD1	Reserved				IC2F[3:0]		IC2PSC[1:0]	CC2SEL[1:0]		IC1F[3:0]		IC1PSC[1:0]	CC1SEL[1:0]													
	Reset Value					0	0	0	0	0	0	0	0	0	0												
020h	TIMx_CCEN	Reserved										CC2P	CC2EN	Reserved		CC1P	CC1EN										
	Reset Value											0	0			0	0										
024h	TIMx_CNT	Reserved										CNT[15:0]															
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
028h	TIMx_PSC	Reserved										PSC[15:0]															
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
02Ch	TIMx_AR	Reserved										AR[15:0]															
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
030h	Reserved																										
034h	TIMx_CCDAT1	Reserved										CCDAT1[15:0]															
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
038h	TIMx_CCDAT2	Reserved										CCDAT2[15:0]															
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

9.4.2 控制寄存器 1 (TIMx_CTRL1)

偏移地址: 0x00

复位值: 0x0000

31																16															
Reserved																															
15	14	12		11	10	9	8	7	6	5	4	3	2	1	0																
CLRSEL	Reserved			C1SEL	Reserved	CLKD[1:0]		ARPEN	CAMEL[1:0]		DIR	ONEPM	UPRS	UPDIS	CNTEN																
rw				rw		rw		rw	rw		rw	rw	rw	rw	rw																

位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15	CLRSEL	OCxREF clear selection 0: 选择外部OCxREF clear (来自 ETR) 1: 选择OCxREF clear (来自比较器)

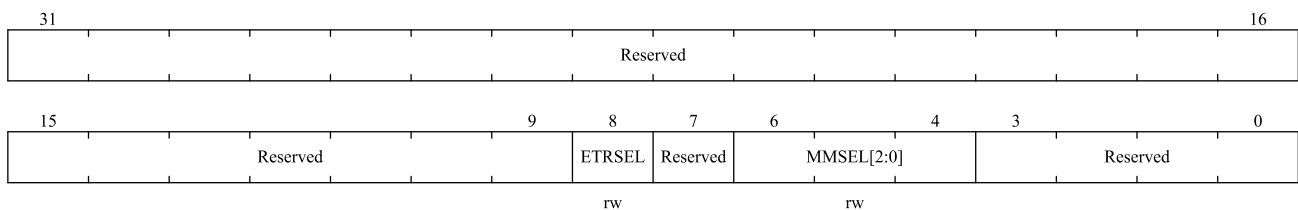
位域	名称	描述
14:12	Reserved	保留，必须保持复位值
11	C1SEL	Channel 1 selection 0: 选择外部 CH1（来自 IOM） signal 1: 选择内部 CH1（来自比较器） signal
10	Reserved	保留，必须保持复位值
9:8	CLKD[1:0]	时钟分频因子（Clock division） CLKD[1:0] 表示 CK_INT（定时器时钟）和 DTS（用于死区时间发生器和数字滤波器（ETR、TIx）的时钟）之间的分频比。 00: $tDTS = tCK_INT$ 01: $tDTS = 2 \times tCK_INT$ 10: $tDTS = 4 \times tCK_INT$ 11: 保留，不要使用这个配置
7	ARPEN	自动重载预装载允许位（Auto-reload preload enable） 0: TIMx_AR 寄存器的影子寄存器禁用 1: TIMx_AR 寄存器的影子寄存器使能
6:5	CAMSEL[1:0]	选择中央对齐模式（Center-aligned mode selection） 00: 边缘对齐模式。TIMx_CTRL1.DIR 指定向上计数或向下计数。 01: 中央对齐模式1。计数器在中央对齐模式下计数，向下计数时输出比较中断标志位设置为 1。 10: 中央对齐模式2。计数器在中央对齐模式下计数，向上计数时输出比较中断标志位设置为1。 11: 中央对齐模式3。计数器在中央对齐模式下计数，向上计数或向下计数时输出比较中断标志位设置为 1。 注意：当计数器仍然启用时（TIMx_CTRL1.CNTEN = 1），不允许从边缘对齐模式切换到中央对齐模式。
4	DIR	方向（Direction） 0: 计数器向上计数； 1: 计数器向下计数。 注：当计数器配置为中央对齐模式时，该位为只读。
3	ONEPM	单脉冲模式（One pulse mode） 0: 禁用单脉冲模式，发生更新事件时不影响计数器计数。 1: 使能单脉冲模式，下次更新事件发生时计数器停止计数
2	UPRS	更新请求源（Update request source） 该位用于通过软件选择 UEV 事件源。 0: 如果更新中断使能，以下任何事件都会产生更新中断： – 计数器上溢/下溢 – TIMx_EVTGEN.UDGN 位被设置 – 从模式控制器的更新生成 1: 如果更新中断使能，只有计数器上溢/下溢会产生更新中断。

位域	名称	描述
1	UPDIS	更新禁用 (Update disable) 该位用于启用/禁用软件生成的更新事件 (UEV) 事件。 0: 启用。 如果满足以下条件之一, 将生成 UEV: - 计数器上溢/下溢 - TIMx_EVTGEN.UDGN 位被设置 - 从模式控制器的更新生成 影子寄存器将使用预加载值进行更新。 1: UEV 禁用。 不生成更新事件, 影子寄存器 (AR、PSC 和 CC DATx) 保持它们的值。 如果 TIMx_EVTGEN.UDGN 位置位或从模式控制器发出硬件复位, 则重新初始化计数器和预分频器。
0	CNTEN	使能计数器 (Counter enable) 0: 禁止计数器; 1: 使能计数器。 注: 在软件设置了CNTEN位后, 外部时钟、门控模式才能工作。触发模式可以自动地通过硬件设置CNTEN位。

9.4.3 控制寄存器 2 (TIMx_CTRL2)

偏移地址: 0x04

复位值: 0x0000



位域	名称	描述
15: 9	Reserved	保留, 必须保持复位值
8	ETRSEL	ETR选择(ETR Selection) 0: 选择外部ETR信号(来自IOM); 1: Reserve;
7	Reserved	保留, 必须保持复位值
6:4	MMSEL[2:0]	主模式选择 这 3 位 (TIMx_CTRL2.MMSEL [2:0]) 用于选择在主模式下发送到从定时器的同步信息 (TRGO)。可能的组合如下: 000: 复位 - 当 TIMx_EVTGEN.UDGN 置位或从模式控制器产生复位时, 将出现 TRGO 脉冲。在后一种情况下, TRGO 上的信号与实际复位相比有所延迟。 001: 使能 - TIMx_CTRL1.CNTEN 位用作触发输出 (TRGO)。有时需要同时启动多个定时器或者在一段时间内开启从定时器。 当 TIMx_CTRL1.CNTEN 位置位或门控模式下的触发输入为高电平时, 计数器使能信号置位。 当计数器使能信号由触发输入控制时, TRGO 上有一个延迟, 除非选择了主/从模式 (参

位域	名称	描述
		见 TIMx_SMCTRL.MSMD 位的说明)。 010: 更新 - 选择更新事件作为触发输出 (TRGO)。例如, 主定时器时钟可用作从定时器预分频器。 011: 比较脉冲 - 当 TIMx_STS.CC1ITF 被设置时 (即使它已经是高电平), 即捕获或比较成功时, 触发输出发送一个正脉冲 (TRGO)。 100: 比较 - OC1REF 信号用作触发输出 (TRGO)。 101: 比较 - OC2REF 信号用作触发输出 (TRGO)。 其它值: 保留
3:0	Reserved	保留, 必须保持复位值

9.4.4 从模式控制寄存器 (TIMx_SMCTRL)

偏移地址: 0x08

复位值: 0x0000

15	14	13	12	11	8	7	6	4	3	2	0
EXTP	EXCEN	EXTPS[1:0]	EXTF[3:0]			MSMD	TSEL[2:0]		Reserved	SMSEL[2:0]	
rw	rw	rw	rw			rw	rw		rw	rw	

位域	名称	描述
15	EXTP	外部触发极性 (External trigger polarity) 该位选择是用ETR还是ETR的反相来作为触发操作 0: ETR高电平或上升沿有效; 1: ETR低电平或下降沿有效。
14	EXCEN	外部时钟使能位 (External clock enable) 该位启用外部时钟模式2。启用后, 计数器由 ETRF信号上的任意有效边沿驱动。 0: 禁止外部时钟模式2; 1: 使能外部时钟模式2。 注 1: 当同时使能外部时钟模式 1 和外部时钟模式 2 时, 外部时钟的输入为 ETRF。 注2: 以下从机模式可以与外部时钟模式2同时使用: 复位模式、门控模式和触发模式; 但是, TRGI 无法连接到 ETRF (TIMx_SMCTRL.TSEL ≠ '111')。 注 3: 设置 TIMx_SMCTRL.EXCEN 位与选择外部时钟模式 1 并将 TRGI 连接到 ETRF (TIMx_SMCTRL.SMSEL = 111 和 TIMx_SMCTRL.TSEL = 111) 的效果相同
13:12	EXTPS[1:0]	外部触发预分频 (External trigger prescaler) 外部触发信号 ETRP 的频率必须最多为 TIMxCLK 频率的 1/4。当输入更快的外部时钟时, 可以使用预分频器来降低 ETRP 的频率。 00: 关闭预分频; 01: ETRP频率除以2; 10: ETRP频率除以4; 11: ETRP频率除以8。

位域	名称	描述
11:8	EXTF[3:0]	<p>外部触发滤波 (External trigger filter)</p> <p>这些位用于定义 ETRP 信号的采样频率和 ETRP 数字滤波的带宽。实际上, 数字滤波器是一个事件计数器, 在记录连续 N 个事件后生成验证输出。</p> <p>0000: 无滤波器, 以fDTS采样 1000: 采样频率fSAMPLING=fDTS/8, N=6</p> <p>0001: 采样频率fSAMPLING=fCK_INT, N=2 1001: 采样频率fSAMPLING=fDTS/8, N=8</p> <p>0010: 采样频率fSAMPLING=fCK_INT, N=4 1010: 采样频率fSAMPLING=fDTS/16, N=5</p> <p>0011: 采样频率fSAMPLING=fCK_INT, N=8 1011: 采样频率fSAMPLING=fDTS/16, N=6</p> <p>0100: 采样频率fSAMPLING=fDTS/2, N=6 1100: 采样频率fSAMPLING=fDTS/16, N=8</p> <p>0101: 采样频率fSAMPLING=fDTS/2, N=8 1101: 采样频率fSAMPLING=fDTS/32, N=5</p> <p>0110: 采样频率fSAMPLING=fDTS/4, N=6 1110: 采样频率fSAMPLING=fDTS/32, N=6</p> <p>0111: 采样频率fSAMPLING=fDTS/4, N=8 1111: 采样频率fSAMPLING=fDTS/32, N=8</p>
7	MSMD	<p>主/从模式 (Master/slave mode)</p> <p>0: 无作用;</p> <p>1: 触发输入 (TRGI) 上的事件被延迟了, 以允许在当前定时器 (通过TRGO) 与它的从定时器间的完美同步。这对要求把几个定时器同步到一个单一的外部事件时是非常有用的。</p>
6:4	TSEL[2:0]	<p>触发选择 (Trigger selection)</p> <p>这3位选择用于同步计数器的触发输入。</p> <p>000: 内部触发0 (ITR0) 100: TI1的边沿检测器 (TI1F_ED)</p> <p>001: 内部触发1 (ITR1) 101: 滤波后的定时器输入1 (TI1FP1)</p> <p>010: 内部触发2 (ITR2) 110: 滤波后的定时器输入2 (TI2FP2)</p> <p>011: 内部触发3 (ITR3) 111: 外部触发输入 (ETRF)</p> <p>更多ITRx的细节参见表9-2。</p> <p>注: 这些位只能在未用到 (如SMSEL=000) 时被改变, 以避免在改变时产生错误的边沿检测。</p>
3	Reserved	保留, 必须保持复位值

位域	名称	描述
2:0	SMSEL[2:0]	从模式选择 (Slave mode selection) 当选择了外部信号, 触发信号 (TRGI) 的有效边沿与选中的外部输入极性相关 (见输入控制寄存器和控制寄存器的说明) 000: 关闭从模式 – 如果CNTEN=1, 则预分频器直接由内部时钟驱动。 001: 保留。 010: 保留。 011: 保留。 100: 复位模式 – 选中的触发输入 (TRGI) 的上升沿, 计数器重新初始化并更新影子寄存器。 101: 门控模式 – 当触发输入 (TRGI) 为高时, 计数器的时钟开启。一旦触发输入变为低, 则计数器停止 (但不复位)。计数器的启动和停止都是受控的。 110: 触发模式 – 计数器在触发输入TRGI的上升沿启动 (但不复位), 只有计数器的启动是受控的。 111: 外部时钟模式1 – 选中的触发输入 (TRGI) 的上升沿驱动计数器。 注: 如果TI1F_ED被选为触发输入 (TSEL=100) 时, 不要使用门控模式。这是因为, TI1F_ED在每次TI1F变化时输出一个脉冲, 然而门控模式是要检查触发输入的电平。

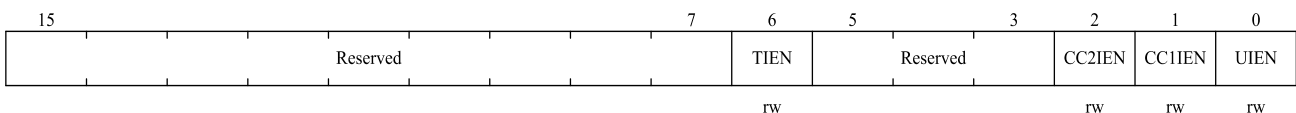
表 9-2 TIMx 内部触发连接

Slave timer	ITR0 (TSEL = 000)	ITR1 (TSEL = 001)	ITR2 (TSEL = 010)	ITR3 (TSEL = 011)
TIM3	TIM1	NA	NA	NA

9.4.5 中断使能寄存器 (TIMx_DINTEN)

偏移地址: 0x0C

复位值: 0x0000



位域	名称	描述
15: 7	Reserved	保留, 必须保持复位值
6	TIEN	触发中断使能 (Trigger interrupt enable) 0: 禁止触发中断; 1: 使能触发中断。
5: 3	Reserved	保留, 必须保持复位值
2	CC2IEN	允许捕获/比较2中断 (Capture/Compare 2 interrupt enable) 0: 禁止捕获/比较2中断; 1: 允许捕获/比较2中断。
1	CC1IEN	允许捕获/比较1中断 (Capture/Compare 1 interrupt enable) 0: 禁止捕获/比较1中断; 1: 允许捕获/比较1中断。

位域	名称	描述
0	UIEN	允许更新中断 (Update interrupt enable) 0: 禁止更新中断; 1: 允许更新中断。

9.4.6 状态寄存器 (TIMx_STS)

偏移地址: 0x10

复位值: 0x0000

15				11	10	9	8	7	6	5		3	2	1	0
		Reserved			CC2OCF	CC1OCF		Reserved	TITF		Reserved		CC2ITF	CC1ITF	UDITF
					rc_w0	rc_w0			rc_w0				rc_w0	rc_w0	rc_w0

位域	名称	描述
15:11	Reserved	保留, 必须保持复位值
10	CC2OCF	捕获/比较2重复捕获标记 (Capture/Compare 2 overcapture flag) 参见CC1OCF描述。
9	CC1OCF	捕获/比较1重复捕获标记 (Capture/Compare 1 overcapture flag) 仅当相应的通道被配置为输入捕获时, 该标记可由硬件置1。写0可清除该位。 0: 无重复捕获产生; 1: 计数器的值被捕获到TIMx_CC DAT1寄存器时, CC1ITF的状态已经为'1'。
8:7	Reserved	保留, 必须保持复位值
6	TITF	触发器中断标记 (Trigger interrupt flag) 当发生触发事件 (当从模式控制器处于除门控模式外的其它模式时, 在TRGI输入端检测到有效边沿, 或门控模式下的任一边沿) 时由硬件对该位置'1'。它由软件清'0'。 0: 无触发器事件产生; 1: 触发中断等待响应。
5: 3	Reserved	保留, 必须保持复位值
2	CC2ITF	捕获/比较2中断标记 (Capture/Compare 2 interrupt flag) 参考CC1ITF描述。
1	CC1ITF	捕获/比较1中断标记 (Capture/Compare 1 interrupt flag) 如果通道CC1配置为输出模式: 除中央对齐模式外, 当计数器值与比较值相同时, 该位由硬件设置 (参见TIMx_CTRL1.CAMSEL 位描述)。该位由软件清零。 0: 未发生匹配。 1: TIMx_CNT 的值与 TIMx_CC DAT1 的值相同。 当 TIMx_CC DAT1 的值大于 TIMx_AR 的值时, 如果计数器溢出 (在向上计数和向上/向下计数模式下) 和向下计数模式下溢, 则 TIMx_STS.CC1ITF 位将变为高电平。 如果通道CC1配置为输入模式: 当捕捉事件发生时, 该位由硬件设置。该位由软件或读取 TIMx_CC DAT1 清零。 0: 未发生输入捕捉。 1: 发生输入捕捉。计数器值已在 TIMx_CC DAT1 中捕获。在 IC1 上检测到与所选极性相同的边沿。

位域	名称	描述
0	UDITF	更新中断标志 (Update interrupt flag) 当在以下条件下发生更新事件时, 该位由硬件设置: - 当 TIMx_CTRL1.UPDIS = 0 时, 计数器上/下溢。 - 当 TIMx_CTRL1.UPRS = 0 时, TIMx_CTRL1.UPDIS = 0, 并通过软件设置 TIMx_EVTGEN.UDGN 位以重新初始化 CNT。 - 当 TIMx_CTRL1.UPRS = 0 时, TIMx_CTRL1.UPDIS = 0, 并且计数器 CNT 由触发事件重新初始化。(参见 TIMx_SMCTRL 寄存器说明) 该位由软件清零。 0: 未发生更新事件 1: 发生更新中断

9.4.7 事件产生寄存器 (TIMx_EVTGEN)

偏移地址:0x14

复位值:0x0000

15	7	6	5	3	2	1	0
Reserved				TGN	Reserved		UDGN
				w	w		w

位域	名称	描述
15:7	Reserved	保留, 必须保持复位值
6	TGN	产生触发事件 (Trigger generation) 当由软件置位时, 该位可以产生一个触发事件。而此时TIMx_STS.TITF = 1, 如果相应的中断被使能, 就会产生相应的中断。该位由硬件自动清零。 0: 无动作 1: 产生触发事件
5: 3	Reserved	保留, 必须保持复位值
2	CC2GN	产生捕获/比较2事件 (Capture/Compare 2 generation) 参考CC1GN描述。
1	CC1GN	产生捕获/比较1事件 (Capture/Compare 1 generation) 当由软件设置时, 该位可以产生一个捕获/比较事件。该位由硬件自动清零。 CC1对应通道为输出模式时: TIMx_STS.CC1ITF 标志将被拉高, 如果相应的中断被使能, 就会产生相应的中断。 CC1对应通道为输入模式时: TIMx_CC1DAT1 将捕获当前计数器值, 并将 TIMx_STS.CC1ITF 标志拉高, 如果相应的中断被使能, 则会产生相应的中断。如果 TIMx_STS.CC1ITF 已经拉高, 则拉高 TIMx_STS.CC1OCF。 0: 无动作 1: 生成 CC1 捕获/比较事件
0	UDGN	产生更新事件 (Update generation) 该位由软件置'1', 由硬件自动清'0'。 当由软件设置时, 该位可以生成更新事件。而此时计数器会重新初始化, 预分频计数器会被清零, 计数器在中央对齐或向上计数模式下会被清零, 但在向下计数模式下取 TIMx_AR寄存器的值。该位由硬件自动清零。

位域	名称	描述
		0: 无动作 1: 生成更新事件

9.4.8 捕获/比较模式寄存器 1 (TIMx_CCMOD1)

偏移地址: 0x18

复位值: 0x0000

通道可用于输入（捕获模式）或输出（比较模式），通道的方向由相应的 CCxSEL 位定义。该寄存器其它位的作用在输入和输出模式下不同。OCx 描述了通道在输出模式下的功能，ICx 描述了通道在输入模式下的功能。因此必须注意，同一个位在输出模式和输入模式下的功能是不同的。

输出比较模式:

15	14	12	11	10	9	8	7	6	4	3	2	1	0
OC2CEN	OC2MD[2:0]		OC2PEN	OC2FEN	CC2SEL[1:0]		OC1CEN	OC1MD[2:0]		OC1PEN	OC1FEN	CC1SEL[1:0]	
rw	rw		rw	rw	rw		rw	rw		rw	rw	rw	

位域	名称	描述
15	OC2CEN	输出比较2清0使能 (Output Compare 2 clear enable)
14:12	OC2MD[2:0]	输出比较2模式 (Output Compare 2 mode)
11	OC2PEN	输出比较2预装载使能 (Output Compare 2 preload enable)
10	OC2FEN	输出比较2快速使能 (Output Compare 2 fast enable)
9:8	CC2SEL[1:0]	捕获/比较2选择。(Capture/Compare 2 selection) 该位定义通道的方向（输入/输出），及输入脚的选择： 00: CC2通道被配置为输出； 01: CC2通道被配置为输入，IC2映射在TI2上； 10: CC2通道被配置为输入，IC2映射在TI1上； 11: CC2通道被配置为输入，IC2映射在TRC上。此模式仅工作在内部触发输入被选中时（由TIMx_SMCTRL寄存器的TSEL位选择）。 注：CC2SEL仅在通道关闭时（TIMx_CCEN寄存器的CC2EN=0）才是可写的。
7	OC1CEN	输出比较1清'0'使能 (Output Compare 1 clear enable) 0: OC1REF 不受ETRF输入的影响； 1: 一旦检测到ETRF输入高电平，清除OC1REF=0。
6:4	OC1MD[2:0]	输出比较1模式 (Output Compare 1 mode) 这些位用于管理输出参考信号 OC1REF，它决定了 OC1 和 OC1N 的值，在高电平有效，而 OC1 和 OC1N 的有效电平取决于 TIMx_CCEN.CC1P 和 TIMx_CCEN.CC1NP 位。 000: 冻结。TIMx_CCDAT1 寄存器和计数器 TIMx_CNT 之间的比较对 OC1REF 信号没有影响。 001: 将通道 1 设置为匹配时的有效电平。当 TIMx_CCDAT1 = TIMx_CNT 时，OC1REF 信号将被强制为高电平。 010: 将通道 1 设置为匹配时的无效电平。当 TIMx_CCDAT1 = TIMx_CNT 时，OC1REF 信号将被强制为低电平。 011: 翻转。当 TIMx_CCDAT1 = TIMx_CNT 时，OC1REF 信号将被翻转。 100: 强制无效电平。OC1REF 信号被强制为低电平。

位域	名称	描述
		101: 强制有效电平。 OC1REF 信号被强制为高电平。 110: PWM 模式 1 - 在向上计数模式下, 如果 $TIMx_CNT < TIMx_CCDAT1$, 则通道 1 的 OC1REF 信号为高电平, 否则为低电平。在向下计数模式下, 如果 $TIMx_CNT > TIMx_CCDAT1$, 则通道 1 的 OC1REF 信号为低电平, 否则为高电平。 111: PWM 模式 2 - 在向上计数模式下, 如果 $TIMx_CNT < TIMx_CCDAT1$, 则通道 1 的 OC1REF 信号为低电平, 否则为高电平。在向下计数模式下, 如果 $TIMx_CNT > TIMx_CCDAT1$, 则通道 1 的 OC1REF 信号为高电平, 否则为低电平。 注 1: 在 PWM 模式 1 或 PWM 模式 2 中, OC1REF 电平仅在比较结果改变或输出比较模式从冻结模式切换到 PWM 模式时才会改变。
3	OC1PEN	输出比较 1 预加载使能 (Output Compare 1 preload enable) 0: 禁用 $TIMx_CCDAT1$ 寄存器的预加载功能。支持随时对 $TIMx_CCDAT1$ 寄存器进行写操作, 写入的值立即生效。 1: 使能 $TIMx_CCDAT1$ 寄存器的预加载功能。仅对预加载寄存器进行读写操作。当更新事件发生时, $TIMx_CCDAT1$ 的值被加载到影子寄存器中。 注 1: 只有当 $TIMx_CTRL1.ONEPM = 1$ (在单脉冲模式下) 时, 才能使用 PWM 模式而不验证预加载寄存器, 否则无法预测其他行为。
2	OC1FEN	输出比较1 快速使能 (Output Compare 1 fast enable) 该位用于加快CC输出对触发输入事件的响应。 0: 根据计数器与CCDAT1的值, CC1正常操作, 即使触发器是打开的。当触发器的输入有一个有效沿时, 激活CC1输出的最小延时为5个时钟周期。 1: 输入到触发器的有效沿的作用就像发生了一次比较匹配。因此, OC1被设置为比较电平而与比较结果无关。采样触发器的有效沿和CC1输出间的延时被缩短为3个时钟周期。 OCxPEN只在通道被配置成PWM1或PWM2模式时起作用。
1:0	CC1SEL[1:0]	捕获/比较1 选择。(Capture/Compare 1 selection) 这2位定义通道的方向(输入/输出), 及输入脚的选择: 00: CC1通道被配置为输出; 01: CC1通道被配置为输入, IC1映射在TI1上; 10: CC1通道被配置为输入, IC1映射在TI2上; 11: CC1通道被配置为输入, IC1映射在TRC上。此模式仅工作在内部触发输入被选中时(由 $TIMx_SMCTRL$ 寄存器的 TSEL 位选择)。 注: CC1SEL 仅在通道关闭时 ($TIMx_CCEN$ 寄存器的 $CC1EN=0$) 才是可写的。

输入捕获模式:

15	12	11	10	9	8	7	4	3	2	1	0
IC2F[3:0]			IC2PSC[1:0]		CC2SEL[1:0]		IC1F[3:0]		IC1PSC[1:0]		CC1SEL[1:0]
rw			rw		rw		rw		rw		rw

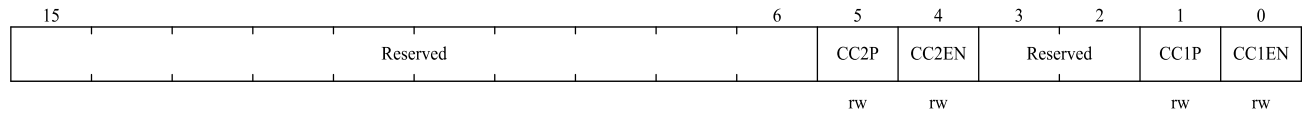
位域	名称	描述
15:12	IC2F[3:0]	输入捕获2滤波器 (Input capture 2 filter)
11:10	IC2PSC[1:0]	输入/捕获2预分频器 (Input capture 2 prescaler)

位域	名称	描述
9:8	CC2SEL[1:0]	捕获/比较2选择 (Capture/Compare 2 selection) 这2位定义通道的方向(输入/输出), 及输入脚的选择: 00: CC2通道被配置为输出; 01: CC2通道被配置为输入, IC2映射在TI2上; 10: CC2通道被配置为输入, IC2映射在TI1上; 11: CC2通道被配置为输入, IC2映射在TRC上。此模式仅工作在内部触发输入被选中时(由TIMx_SMCTRL寄存器的TSEL位选择)。 注: CC2SEL仅在通道关闭时(TIMx_CCEN寄存器的CC2EN=0)才是可写的。
7:4	IC1F[3:0]	输入捕获1滤波器 (Input capture 1 filter) 这几位定义了TI1输入的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成, 它记录到N个事件后会产生一个输出的跳变: 0000: 无滤波器, 以fDTS采样 1000: 采样频率fSAMPLING=fDTS/8, N=6 0001: 采样频率fSAMPLING=fCK_INT, N=2 1001: 采样频率fSAMPLING=fDTS/8, N=8 0010: 采样频率fSAMPLING=fCK_INT, N=4 1010: 采样频率fSAMPLING=fDTS/16, N=5 0011: 采样频率fSAMPLING=fCK_INT, N=8 1011: 采样频率fSAMPLING=fDTS/16, N=6 0100: 采样频率fSAMPLING=fDTS/2, N=6 1100: 采样频率fSAMPLING=fDTS/16, N=8 0101: 采样频率fSAMPLING=fDTS/2, N=8 1101: 采样频率fSAMPLING=fDTS/32, N=5 0110: 采样频率fSAMPLING=fDTS/4, N=6 1110: 采样频率fSAMPLING=fDTS/32, N=6 0111: 采样频率fSAMPLING=fDTS/4, N=8 1111: 采样频率fSAMPLING=fDTS/32, N=8
3:2	IC1PSC[1:0]	输入/捕获1预分频器 (Input capture 1 prescaler) 这2位定义了CC1输入(IC1)的预分频系数。 一旦TIMx_CCEN.CC1EN=0, 则预分频器复位。 00: 无预分频器, 捕获输入口上检测到的每一个边沿都触发一次捕获; 01: 每2个事件触发一次捕获; 10: 每4个事件触发一次捕获; 11: 每8个事件触发一次捕获。
1:0	CC1SEL[1:0]	捕获/比较1选择 (Capture/Compare 1 Selection) 这2位定义通道的方向(输入/输出), 及输入脚的选择: 00: CC1通道被配置为输出; 01: CC1通道被配置为输入, IC1映射在TI1上; 10: CC1通道被配置为输入, IC1映射在TI2上; 11: CC1通道被配置为输入, IC1映射在TRC上。此模式仅工作在内部触发输入被选中时(由TIMx_SMCTRL寄存器的TSEL位选择)。 注: CC1SEL仅在通道关闭时(TIMx_CCEN寄存器的CC1EN=0)才是可写的。

9.4.9 捕获/比较使能寄存器 (TIMx_CCEN)

偏移地址: 0x20

复位值: 0x0000



位域	名称	描述
15:6	Reserved	保留, 必须保持复位值.
5	CC2P	捕获/比较2输出极性 (Capture/Compare 2 output polarity) 参考TIMx_CCEN.CC1P的描述.
4	CC2EN	捕获/比较2输出使能 (Capture/Compare 2 output enable) 参考TIMx_CCEN.CC1EN的描述.
3:2	Reserved	保留, 必须保持复位值
1	CC1P	捕获/比较1输出极性 (Capture/Compare 1 output polarity) CC1对应通道为输出模式时: 0: OC1 高电平有效 1: OC1 低电平有效 CC1对应通道为输入模式时: 此时, 该位用于选择是使用IC1还是IC1的反相信号作为触发信号或捕捉信号。 0: 非反相: 当 IC1 产生上升沿时发生捕获动作。 当用作外部触发时, IC1 是非反相的。 1: 反相: 当 IC1 产生下降沿时发生捕获动作。 当用作外部触发时, IC1 被反相。
0	CC1EN	捕获/比较1输出使能 (Capture/Compare 1 output enable) CC1通道配置为输出: 0: 关闭— OC1禁止输出。 1: 开启— OC1信号输出到对应的输出引脚。 CC1通道配置为输入: 该位决定了计数器的值是否能捕获入TIMx_CCDAT1寄存器。 0: 捕获禁止; 1: 捕获使能。

表 9-3 标准 OCx 的输出控制位

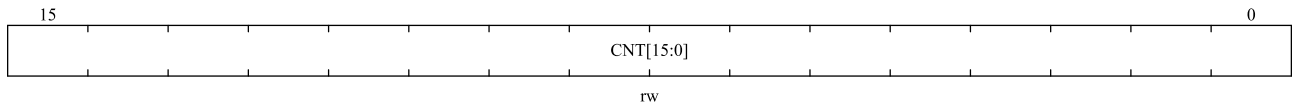
CCxEN	OCx output status
0	Disable output (OCx=0)
1	OCx = OCxREF + polarity

注: 连接到标准 OCx 通道的外部 I/O 引脚的状态取决于 OCx 通道状态以及 GPIO 和 AFIO 寄存器。

9.4.10 计数器 (TIMx_CNT)

偏移地址: 0x24

复位值: 0x0000

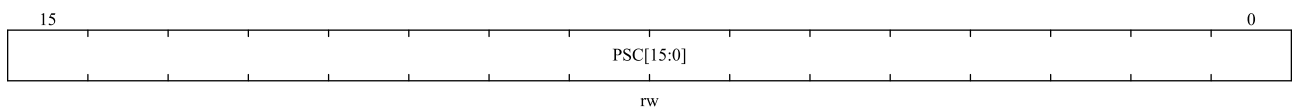


位域	名称	描述
15:0	CNT[15:0]	计数器的值 (Counter value)

9.4.11 预分频器 (TIMx_PSC)

偏移地址: 0x28

复位值: 0x0000

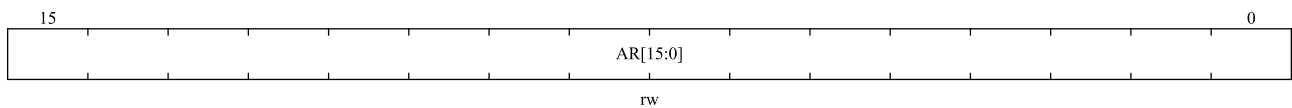


位域	名称	描述
15:0	PSC[15:0]	预分频器的值 (Prescaler value) 计数器时钟 $f_{CK_CNT} = f_{CK_PSC} / (PSC[15:0] + 1)$ 。 每次发生更新事件时, PSC 值都会加载到预分频器的影子寄存器中。

9.4.12 自动重装载寄存器 (TIMx_AR)

偏移地址: 0x2C

复位值: 0xFFFF

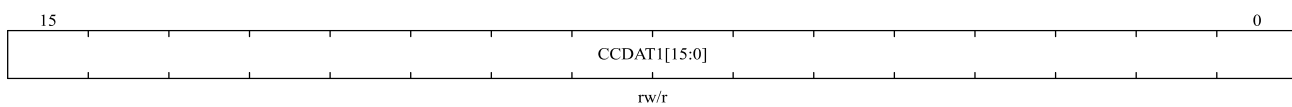


位域	名称	描述
15:0	AR[15:0]	自动重装载的值 (Auto-reload value) AR包含了将要装载入实际的自动重装载寄存器的值。详细参考8.3.1节: 有关AR的更新和动作。 当自动重装载的值为空时, 计数器不工作。

9.4.13 捕获/比较寄存器 1 (TIMx_CC1)

偏移地址: 0x34

复位值: 0x0000



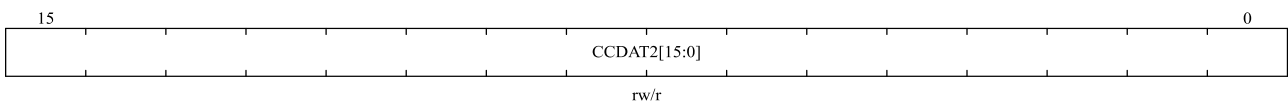
位域	名称	描述
15:0	CCDAT1[15:0]	捕获/比较通道1的值 (Capture/Compare 1 value) CC1 通道配置为输出: CCDAT1 包含要与计数器 TIMx_CNT 比较的值, 在 OC1 输出上发出信号。 如果未在 TIMx_CCMOD1.OC1PEN 位中选择预加载功能, 则写入的值会立即传输到有效

位域	名称	描述
		寄存器。否则，仅当更新事件发生时，此预加载值才会传输到活动寄存器。 CC1 通道配置为输入： CCDAT1 包含由最后一个输入捕获 1 事件 (IC1) 传输的计数器值。 当配置为输入模式时，寄存器 CCDAT1 只能读取。 当配置为输出模式时，寄存器 CCDAT1 是可读写的。

9.4.14 捕获/比较寄存器 2 (TIMx_CCDAT2)

偏移地址：0x38

复位值：0x0000



位域	名称	描述
15:0	CCDAT2[15:0]	捕获/比较通道2的值 (Capture/Compare 2 value) CC2 通道配置为输出： CCDAT2 包含要与计数器 TIMx_CNT 比较的值，在 OC2 输出上发出信号。 如果未在 TIMx_CCMOD1.OC2PEN 位中选择预加载功能，则写入的值会立即传输到有效寄存器。否则，仅当更新事件发生时，此预加载值才会传输到活动寄存器。 CC2 通道配置为输入： CCDAT2 包含由最后一个输入捕获 2 事件 (IC2) 传输的计数器值。 当配置为输入模式时，寄存器 CCDAT2 只能读取。 当配置为输出模式时，寄存器 CCDAT2 是可读写的。

10 基本定时器(TIM6)

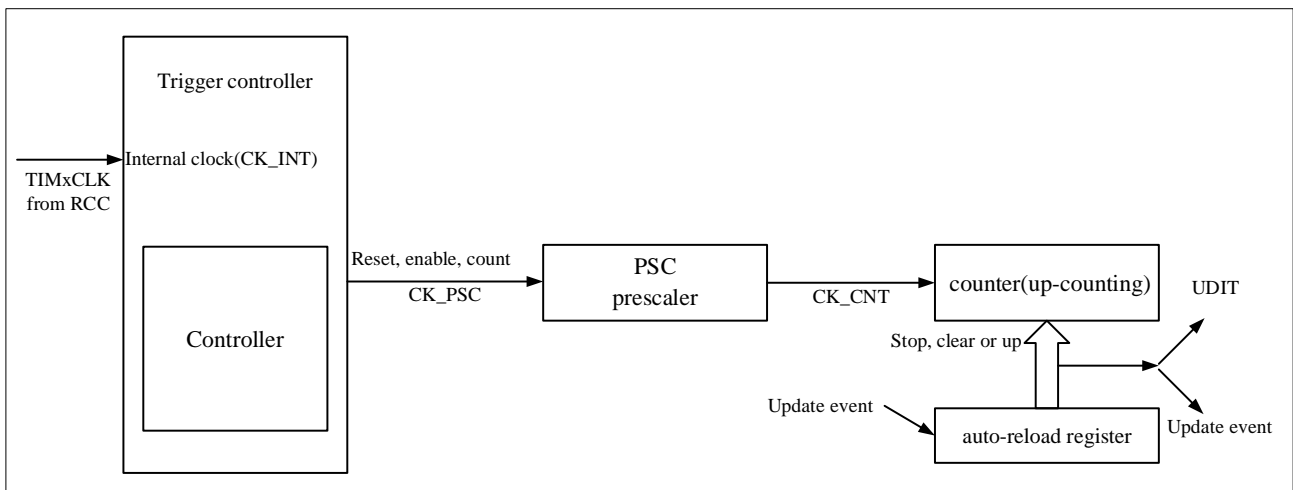
10.1 基本定时器简介

基本定时器 TIM6 包含一个 16 位自动装载计数器，并提供从低功耗模式中唤醒系统的功能。

10.2 基本定时器主要特性

- 16 位自动重载向上计数计数器。
- 16 位可编程预分频器。(分频系数可配置为 1 到 65536 之间的任意值)
- 产生中断的事件如下：
 - ◆ 更新事件
- 支持 STOP 模式唤醒：时钟源配置为 LSI 时，可通过更新中断（联接到 EXTI19）唤醒 STOP 模式

图 10-1 TIM6 功能框图



10.3 基础定时器描述

10.3.1 时基单元

时基单元主要包括：预分频器、计数器、自动重载寄存器。当时基单元工作时，软件可以随时读写相应的寄存器（TIMx_PSC、TIMx_CNT 和 TIMx_AR）。

注意：时钟源配置为 LSI 时，TIMx_CNT 不支持写入

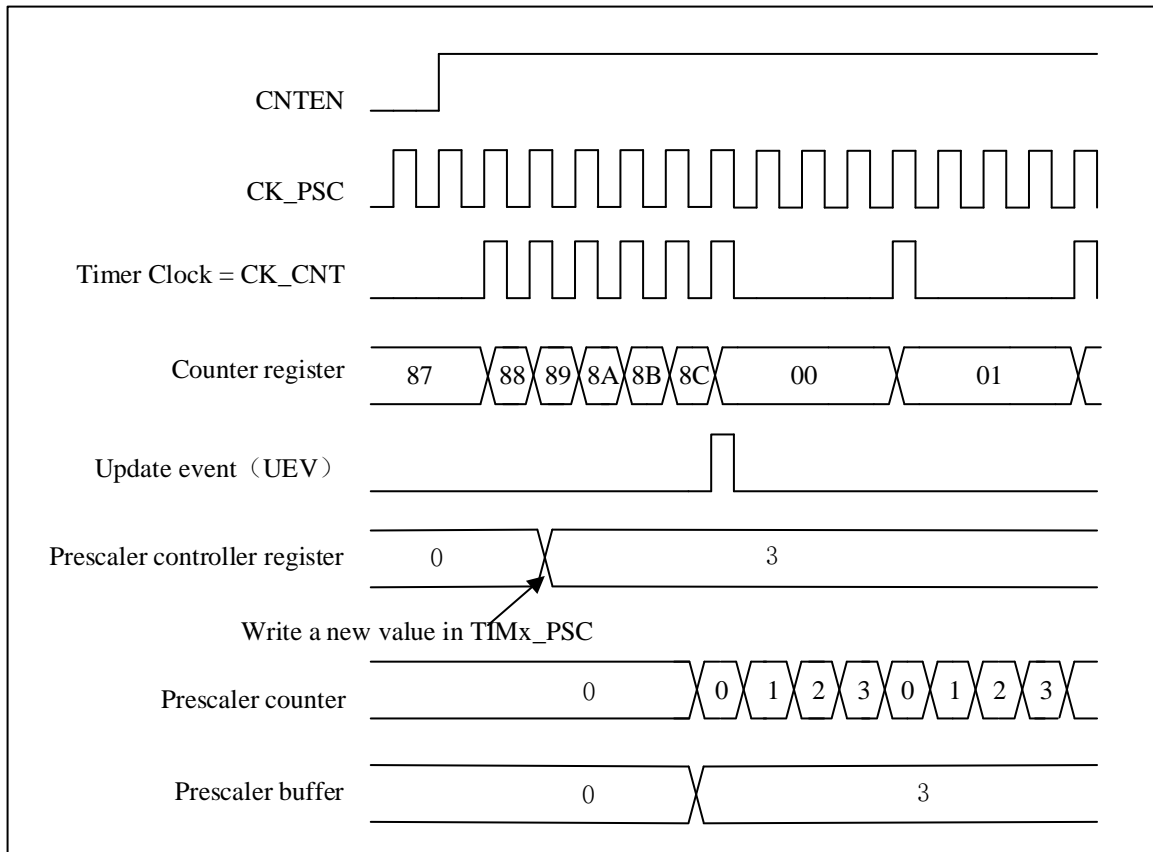
根据自动重载预加载使能位(TIMx_CTRL1.ARPEN)的设置，预加载寄存器的值会立即或在每次更新事件 UEV 时传输到影子寄存器。TIMx_CTRL1.UPDIS=0 时，当计数器达到上溢条件或软件设置 TIMx_EVTGEN.UDGN 位，将生成更新事件。仅当 TIMx_CTRL1.CNTEN 位置位时，计数器 CK_CNT 才有

效。计数器在 TIMx_CTRL1.CNTEN 位置位后一个时钟周期开始计数。

10.3.1.1 预分频器描述

TIMx_PSC 寄存器包含一个 16 位计数器，可用于将计数器时钟频率除以 1 到 65536 之间的任何因子。它可以在缓冲时动态更改。新的预分频器值仅在下一次更新事件时才生效。

图 10-2 预分频器分频从 1 到 4 的计数器时序图



10.3.2 计数模式

10.3.2.1 向上计数模式

在向上计数模式下，计数器会从 0 计数到寄存器 TIMx_AR 的值，然后复位为 0。并产生计数器溢出事件。

如果设置了 TIMx_CTRL1.UPRS 位(选择更新请求)和 TIMx_EVTGEN.UDGN 位，则会生成更新事件(UEV)，并且不会由硬件设置 TIMx_STS.UDITF。因此，不会产生更新中断请求。此设置用于您想要清除计数器但不想产生更新中断的场景。

取决于 TIMx_CTRL1.UPRS 的配置，当更新事件发生时，TIMx_STS.UDITF 被设置，所有寄存器都被更新：

- 当 TIMx_CTRL1.ARPEN =1 时，使用预加载值(TIMx_AR)更新自动重载影子寄存器。
- 预分频器影子寄存器重新加载预加载值(TIMx_PSC)。

为避免在将新值写入预加载寄存器时更新影子寄存器，您可以通过设置 TIMx_CTRL1.UPDIS=1 来禁用更新。

当更新事件发生时，计数器仍将被清零，预分频器计数器也将设置为 0（但预分频器值将保持不变）。

下图显示了向上计数模式下不同除法因子的计数器行为和更新标志的一些示例。

图 10-3 向上计数时序图，内部时钟分频因子 = 2/N

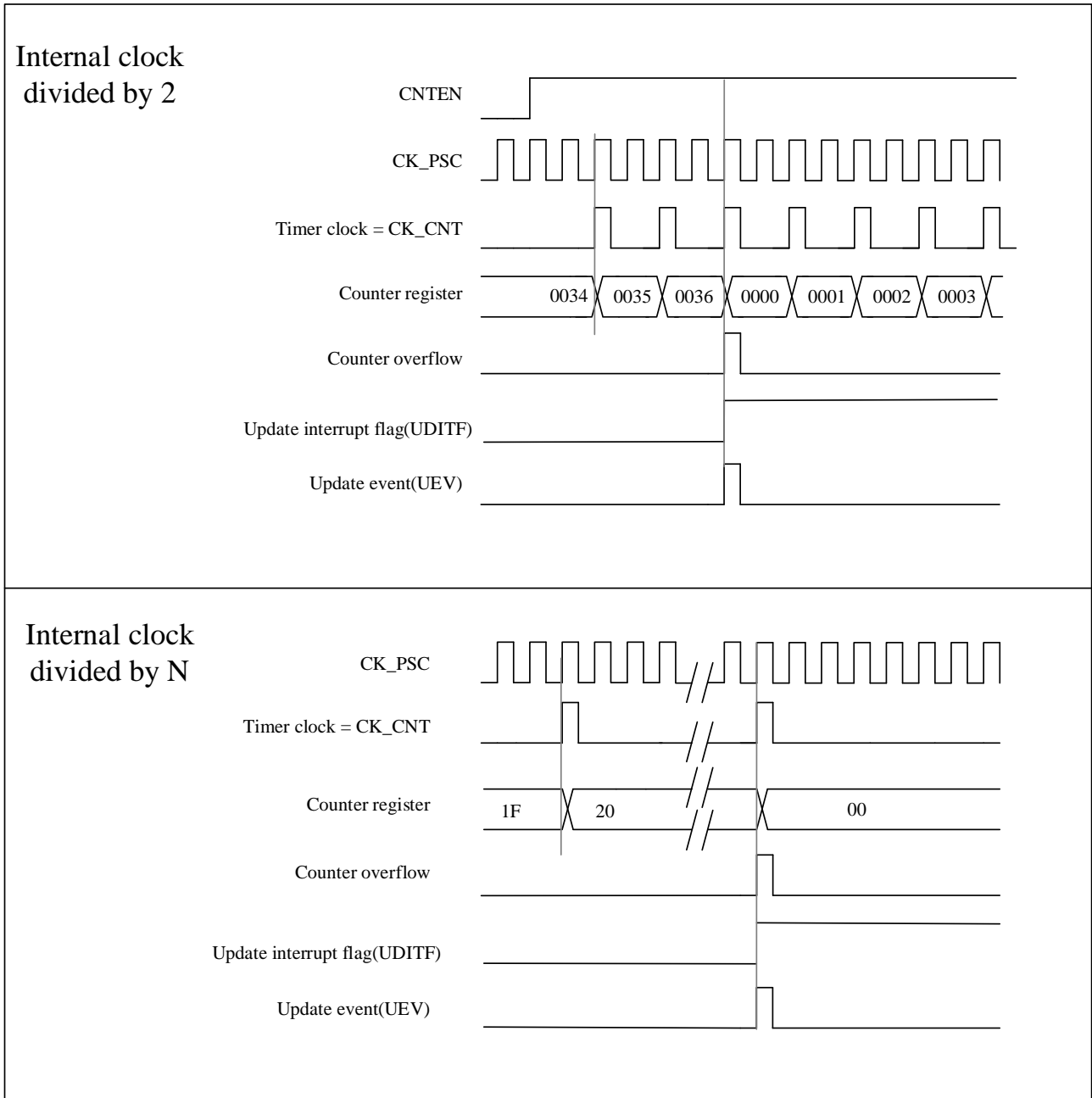
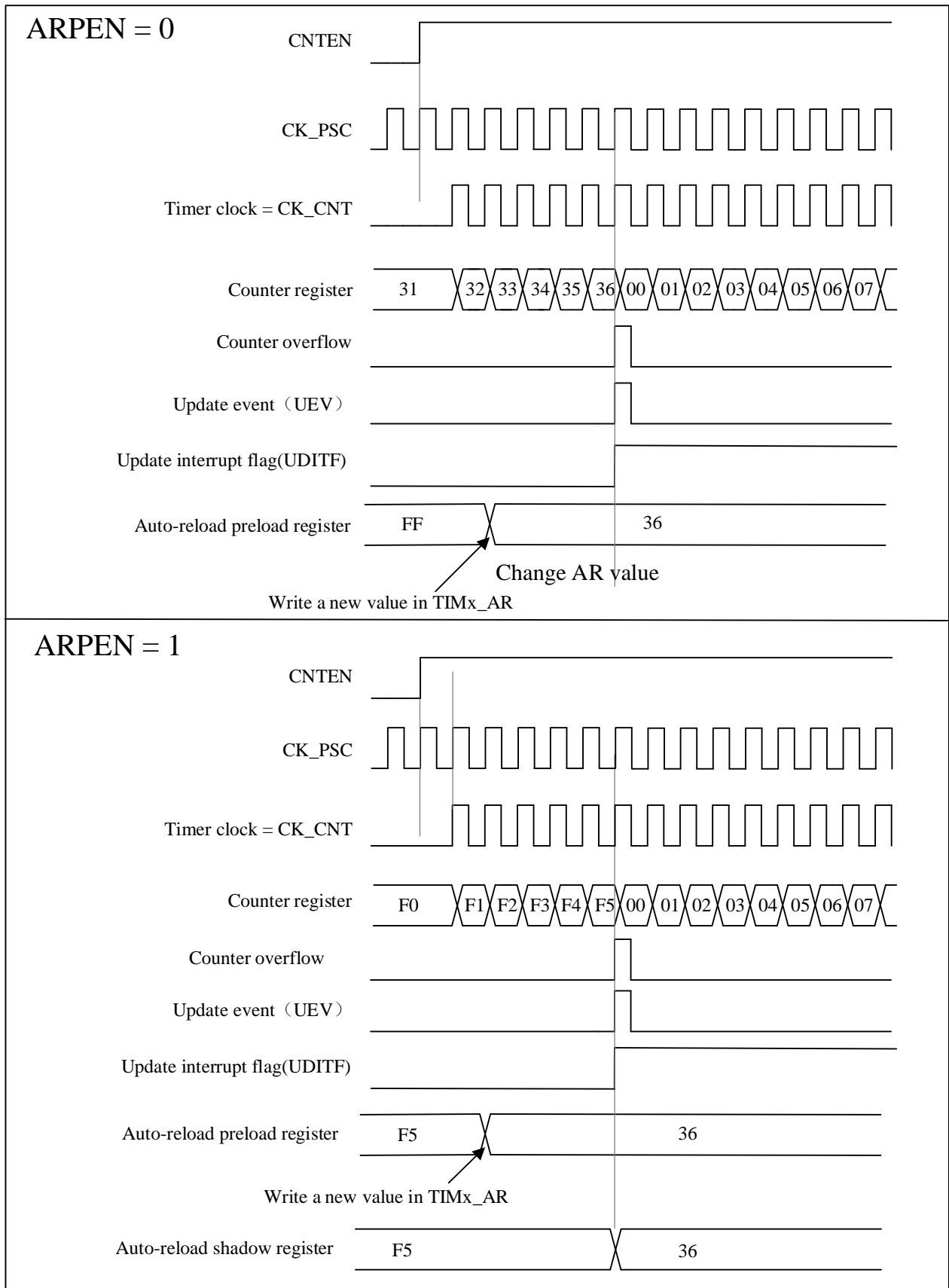


图 10-4 ARPEN=0/1 时向上计数、更新事件的时序图



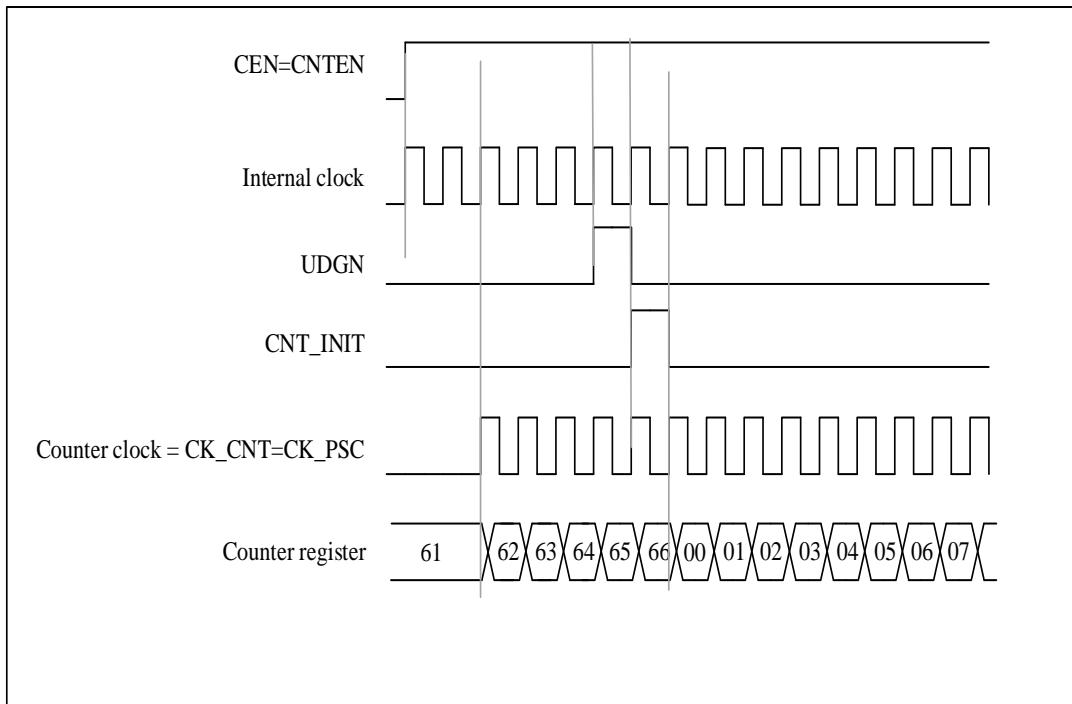
10.3.3 时钟选择

■ 定时器内部时钟: CK_INT

10.3.3.1 内部时钟源 (CK_INT)

前提是 TIMx_CTRL1.CNTEN 位由软件写为'1', 预分频器的时钟源由内部时钟 CK_INT 提供。

图 10-5 正常模式下的控制电路, 内部时钟分频系数为 1



10.3.4 调试模式

当微控制器处于调试模式 (Cortex-M0 内核停止) 时, 根据 PWR 模块的 DBG_CTRL.TIM6STP 位配置, TIM6 计数器可以继续正常工作或停止。有关详细信息, 请参阅 3.4.9 节。

10.4 TIMx 寄存器 (x=6)

有关寄存器中使用的缩写, 请参阅 1.1 节

这些外设寄存器可以作为半字 (16 位) 或字 (32 位) 操作。

10.4.1 寄存器总览

表 10-1 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
000h	TIMx_CTRL1	Reserved																							ARPEN	Reserved				ONEPDM	UPRS	UPDIS	CNTEN
	Reset Value																								0					0	0	0	0

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0														
004h ~ 008h		Reserved																																													
00Ch	TIMx_DINTEN	Reserved																																UIEN													
	Reset Value																																	0													
010h	TIMx_STS	Reserved																																UDITF													
	Reset Value																																	0													
014h	TIMx_EVTGEN	Reserved																																UDGN													
	Reset Value																																	0													
018h ~ 020hh		Reserved																																													
024h	TIMx_CNT	Reserved															CNT[15:0]																														
	Reset Value																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
028h	TIMx_PSC	Reserved															PSC[15:0]																														
	Reset Value																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
02Ch	TIMx_AR	Reserved															AR[15:0]																														
	Reset Value																1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

10.4.2 控制寄存器 1 (TIMx_CTRL1)

地址偏移: 0x00

复位值: 0x0000

15	8	7	6	4	3	2	1	0
Reserved		ARPEN	Reserved		ONEPM	UPRS	UPDIS	CNTEN
		rw			rw	rw	rw	rw

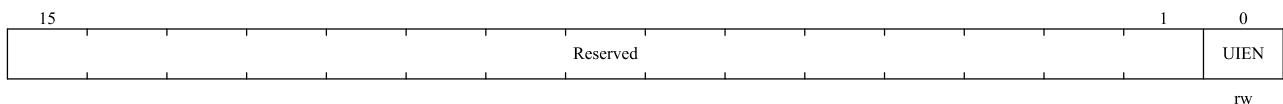
位域	名称	描述
15:8	Reserved	保留，必须保持复位值
7	ARPEN	自动重装载预装载允许位 (Auto-reload preload enable) 0: TIMx_AR 寄存器的影子寄存器禁用 1: TIMx_AR 寄存器的影子寄存器使能
6:4	Reserved	保留，必须保持复位值

位域	名称	描述
3	ONEPM	单脉冲模式 (One pulse mode) 0: 禁用单脉冲模式, 发生更新事件时不影响计数器计数。 1: 使能单脉冲模式, 计数器在下次更新事件发生时停止计数 (清TIMx_CTRL1.CNTEN 位)。
2	UPRS	更新请求源 (Update request source) 该位用于通过软件选择 UEV 事件源。 0: 如果更新中断请求使能, 以下任何事件都会产生更新中断: - 计数器溢出 - TIMx_EVTGEN.UDGN 位被设置 1: 如果更新中断请求使能, 只有计数器溢出会产生更新中断
1	UPDIS	禁止更新 (Update disable) 该位用于启用/禁用软件生成的更新事件 (UEV) 事件。 0: 启用UEV。如果满足以下条件之一, 将生成UEV: - 计数器溢出 - TIMx_EVTGEN.UDGN 位被设置 影子寄存器将使用预加载值进行更新。 1: UEV禁用。不生成更新事件, 影子寄存器 (AR、PSC) 保持其值。如果设置了TIMx_EVTGEN.UDGN位, 则重新初始化计数器和预分频器。
0	CNTEN	使能计数器 (Counter enable) 0: 禁止计数器; 1: 使能计数器。

10.4.3 中断使能寄存器 (TIMx_DINTEN)

地址偏移: 0x0C

复位值: 0x0000

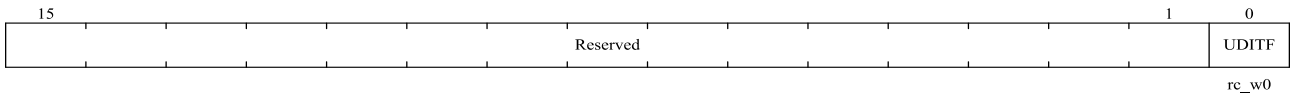


位域	名称	描述
15:1	Reserved	保留, 必须保持复位值
0	UIEN	更新中断使能 (Update interrupt enable) 0: 禁止更新中断 1: 使能更新中断

10.4.4 状态寄存器 (TIMx_STS)

地址偏移: 0x10

复位值: 0x0000

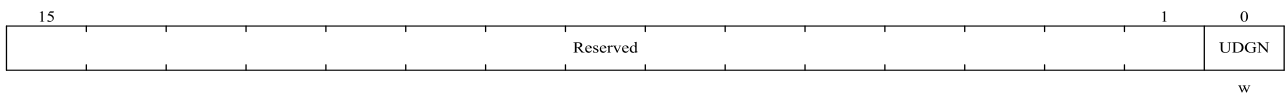


位域	名称	描述
15:1	Reserved	保留，必须保持复位值
0	UDITF	更新中断标志（Update interrupt flag） 当在以下条件下发生更新事件时，该位由硬件设置： <ul style="list-style-type: none"> – 当TIMx_CTRL1.UPDIS = 0且计数器值溢出时。 – 当TIMx_CTRL1.UPDIS = 0且TIMx_CTRL1.UPRS = 0，并通过软件设置TIMx_EVTGEN.UDGN 位以重新初始化 CNT。 该位由软件清零。 0：未发生更新事件 1：发生更新中断

10.4.5 事件产生寄存器 (TIMx_EVTGEN)

地址偏移: 0x14

复位值: 0 x0000

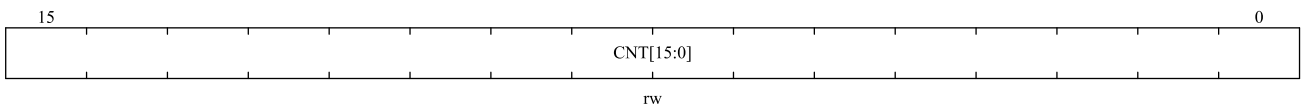


位域	名称	描述
15:1	Reserved	保留，必须保持复位值
0	UDGN	产生更新事件（Update generation） 软件可以设置该位来更新配置寄存器的值，硬件会自动清除它。 0：无效果。 1：定时器计数器将重启，所有影子寄存器将被更新。它也将重启预分频器计数器。

10.4.6 计数器 (TIMx_CNT)

地址偏移: 0x24

复位值: 0x0000

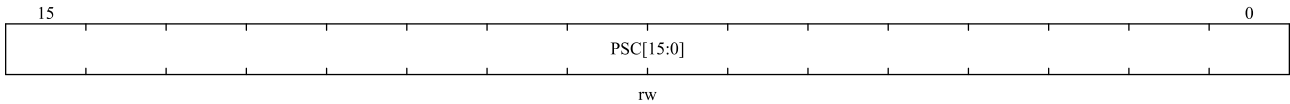


位域	名称	描述
15:0	CNT[15:0]	计数器数值（Counter value） 注意：时钟源配置为LSI时，TIMx_CNT不支持写入

10.4.7 预分频器 (TIMx_PSC)

地址偏移: 0x28

复位值: 0x0000

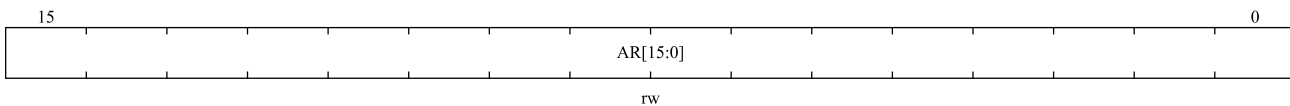


位域	名称	描述
15:0	PSC[15:0]	预分频器数值 (Prescaler value) PSC寄存器值将在更新事件时更新到预分频器寄存器。计数器时钟频率是输入时钟分频 PSC+1。

10.4.8 自动重载寄存器 (TIMx_AR)

地址偏移: 0x2C

复位值: 0xFFFF



位域	名称	描述
15:0	AR[15:0]	自动重载数值 (Auto-reload value) 这些位定义将加载到实际自动重载寄存器中的值。 有关详细信息, 请参阅 10.3.1。 当TIMx_AR.AR [15:0]值为空时, 计数器不工作。

11 独立看门狗 (IWDG)

11.1 简介

N32G003 内置独立看门狗 (IWDG)，解决软件错误导致的问题。看门狗定时器使用非常灵活，提高了系统的安全性和定时控制的准确性。

独立看门狗 (IWDG) 由运行在 32KHz 的低速内部时钟 (LSI 时钟) 驱动，在死循环事件或 MCU 卡死发生时，它仍然可以运行。这可以提供更高的安全级别、定时精度和看门狗的灵活性。它可以通过重置来解决由于软件故障引起的系统故障。IWDG 最适合需要看门狗在主应用程序之外作为完全独立进程运行但时序精度限制较低的应用程序。

当电源控制寄存器 `PWR_CTRL.IWDGRSTEN` 位置‘1’，IWDG 计数器达到 0 时，会产生系统复位（若该位置‘0’，IWDG 会计数但不产生复位）。IWDG 复位也可用于低功耗唤醒。

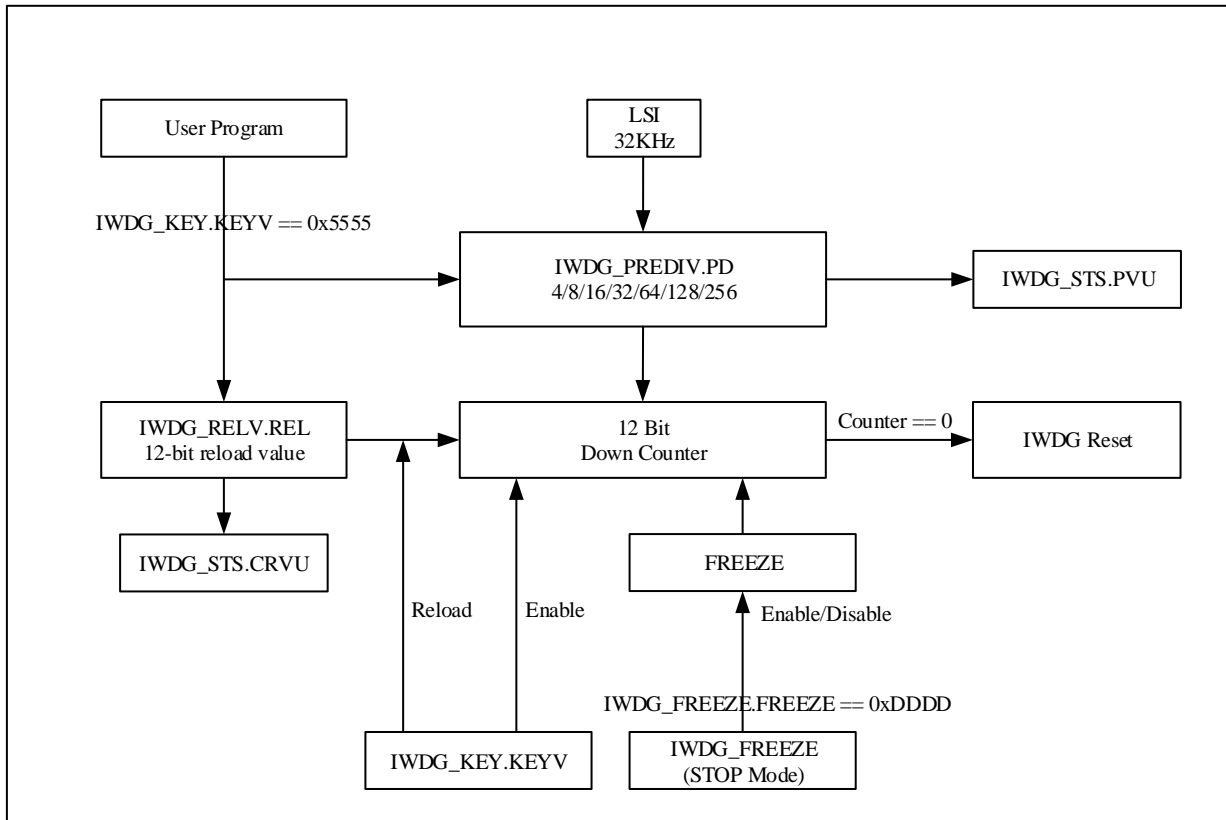
注：本章基于系统默认值 `PWR_CTRL.IWDGRSTEN=1` 讨论。

11.2 主要特性

- 独立运行的 12 位递减计数器
- 可以配置递减计数器的初始计数值，也可以配置预分频值
- 当递减计数器达到 0x000 时，系统复位（如果激活了看门狗）
- 复位使能可配置
- 支持软件/硬件启动
- Debug 模式可选择停止计数器或正常工作
- 支持低功耗模式：在 stop 模式可选择工作或冻结

11.3 功能描述

图 11-1 独立看门狗模块的功能框图



要启用 IWDG，我们需要将 0xCCCC 写入 IWDG_KEY.KEYV[15:0]位，计数器从复位值(0xFFFF)开始递减计数。当计数器计数到 0x000 时，它会向 MCU 产生一个复位信号 (IWDG_RESET)。写 0xDDDD 到 IWDG_FREEZE 寄存器使能 IWDG 冻结功能，冻结功能可以被配置，使 IWDG 计数器工作或停止在停止模式下。除此之外，只要在复位前将 0xAAAA (重装载请求) 写入 IWDG_KEY.KEYV[15:0]位，计数器值就会设置为 IWDG_RELV.REL[11:0]位中的重装载值并防止看门狗复位整个设备。

如果通过选项字节使能“硬件看门狗定时器”功能，则看门狗将在系统上电后自动开始运行并产生系统复位，除非软件在计数器到达‘0’之前重新加载计数器。

11.3.1 寄存器访问保护

IWDG_PREDIV 和 IWDG_RELV 寄存器具有写保护功能。要修改这两个寄存器的值，用户需要将 0x5555 写入 IWDG_KEY.KEYV[15:0]位。写入其他值会再次启用写保护。IWDG_STS.PVU 表示预分频值更新是否正在进行，IWDG_STS.CRVU 指示 IWDG 是否正在更新重装载值。当预分频值和/或重载值正在更新时，硬件设置 IWDG_STS.PVU 位和/或 IWDG_STS.CRVU 位。预分频值和/或重载值更新完成后，硬件清除 IWDG_STS.PVU 位和/或 IWDG_STS.CRVU 位。

重装载操作 (把 0xAAAA 写入 IWDG_KEY.KEYV[15:0]) 也将导致寄存器再次变为写保护。

11.3.2 调试模式

在调试模式下（Cortex-M0 内核停止），IWDG 计数器将继续正常工作或停止，具体取决于 PWR 模块中的 DBG_CTRL.IWDG_STOP 位。如果该位设置为“1”，则计数器停止。该位为“0”时，计数器正常工作。详见 3.3.2 外设调试支持章节。

11.3.3 低功耗

IWDG 的工作时钟可以通过配置 IWDG_FREEZE 寄存器来控制，以确保 IWDG 被挂起在 STOP 模式。详见 IWDG 冻结寄存器章节 11.5.6。

11.4 用户界面

IWDG 模块用户界面包含 5 个寄存器：密钥寄存器（IWDG_KEY）、预分频寄存器（IWDG_PREDIV）、重装载寄存器（IWDG_RELV）、冻结寄存器（IWDG_FREEZE）和状态寄存器（IWDG_STS）。

11.4.1 操作流程

当 IWDG 从软件（将 0xAAAA 写入 IWDG_KEY.KEYV[15:0]位）或硬件（清零 FLASH_OB.WDG_SW 位）复位启用时。它从 0xFFFF 开始递减计数。向下计数间隙由预分频 LSI 时钟确定。重新加载计数器后，新一轮递减计数器的值将从 IWDG_RELV.REL[11:0]中的值开始，而不是 0xFFFF。

程序正常运行时，软件需要在计数器到达 0x000 前喂狗，开始新一轮的递减计数。当计数器达到 0x000 时，表示程序故障。IWDG 在这种情况下产生复位信号。

如果用户想要配置 IWDG 预分频和重装载值寄存器，需要先将 0x5555 写入 IWDG_KEY.KEYV[15:0]。然后确认 IWDG_STS.CRVU 位和 IWDG_STS.PVU 位。IWDG_STS.CRVU 位指示重装载值更新正在进行，IWDG_STS.PVU 表示预分频值更新正在进行。只有当这两位为 0 时，用户才能更新相应的值。当更新正在进行时，硬件将相应位设置为 1。此时，读取 IWDG_PREDIV.PD[2:0]或 IWDG_RELV.REL[11:0]无效，因为数据需要同步到 LSI 时钟域。从 IWDG_PREDIV.PD[2:0]或 IWDG_RELV.REL[11:0]读取的值将在硬件清除 IWDG_STS.PVU 位或 IWDG_STS.CRVU 位后才有效。

如果应用程序使用多个重装载值或预分频值，则必须等到 IWDG_STS.CRVU 位复位后才能更改重装载值，IWDG_STS.PVU 位复位后才能更改预分频值。但是，在更新预分频值和重装载值后，或只更新预分频值后，或只更新重装载值后，继续代码执行前，无需等到 IWDG_STS.CRVU 位和/或 IWDG_STS.PVU 位复位（即使在进低功耗模式的情况下，写入操作也会被考虑并完成）。

预分频寄存器和重装载寄存器控制产生复位的时间，如表 11-1。

表 11-1 IWDG 计数最大和最小复位时间

预分频系数	IWDG_PREDIV[2:0]	最短时间 (ms) (IWDG_PELV[11:0]=0x000)	最长时间 (ms) (IWDG_PELV[11:0]=0xFFFF)
/4	000	0.125	512
/8	001	0.25	1024
/16	010	0.5	2048
/32	011	1	4096

/64	100	2	8192
/128	101	4	16384
/256	11x	8	32768

11.4.2 IWDG 配置流程

软件配置流程：

1. 将 0x5555 写入 IWDG_KEY.KEYV[15:0]位以启用对 IWDG_PREDIV 和 IWDG_RELV 寄存器的写访问；
2. 检查 IWDG_STS.CRVU 和 IWDG_STS.PVU 是否都为 0，如果都为 0，则继续下一步；
3. 配置 IWDG_PREDIV.PD[2:0]位以选择预分频值；
4. 配置 IWDG_RELV.REL[11:0]位重装载值；
5. 将 0xAAAA 写入 IWDG_KEY.KEYV[15:0]位，用重装载值更新计数器；
6. 配置 IWDG_FREEZE 寄存器
7. 写 0xCCCC 到 IWDG_KEY.KEYV[15:0]启动看门狗

如果需要修改预分频值和重装载值，重复步骤 1 到 5；如果不需要修改预分频值和重装载值，仅仅只需要执行步骤 5，定期喂狗。

11.5 IWDG 寄存器

11.5.1 IWDG 寄存器总览

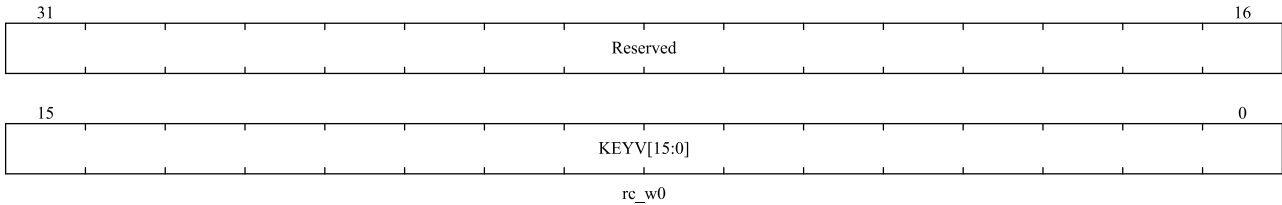
表 11-2 IWDG 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0														
000h	IWDG_KEY	Reserved																KEYV[15:0]																													
	Reset Value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
004h	IWDG_PREDIV	Reserved																								PD[2:0]																					
	Reset Value																									0	0	0																			
008h	IWDG_RELV	Reserved																REL[11:0]																													
	Reset Value																	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
00Ch	IWDG_STS	Reserved																								CRVU	PVU																				
	Reset Value																									0	0																				
010h	IWDG_FREEZE	Reserved																								FREEZE																					
	Reset Value																									0																					

11.5.2 IWDG 密钥寄存器 (IWDG_KEY)

偏移地址：0x00

复位值：0x0000 0000

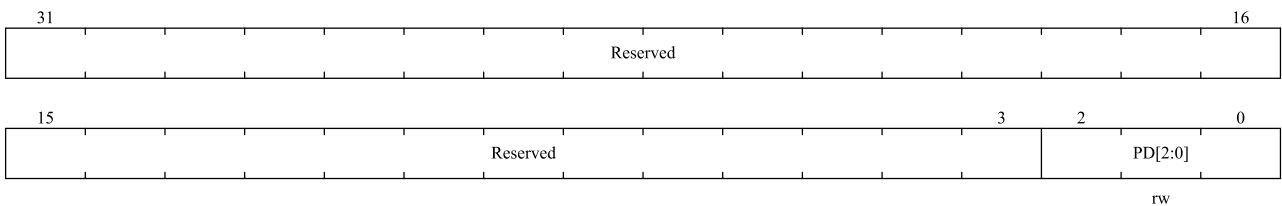


位域	名称	描述
31:16	保留	保留，必须保持复位值。
15:0	KEYV[15:0]	密钥寄存器：只有特定的值才能发挥特定的作用 0xCCCC ：启动看门狗计数器，如果硬件看门狗使能则无效，（如果选择了硬件看门狗，则不受该命令字限制） 0xAAAA ：用 IWDG_RELV 寄存器中的 REL 值重新加载计数器以防止复位 0x5555 ：禁用 IWDG_PREDIV 和 IWDG_RELV 寄存器的写保护

11.5.3 IWDG 预分频寄存器（IWDG_PREDIV）

偏移地址：0x04

复位值：0x0000 0000

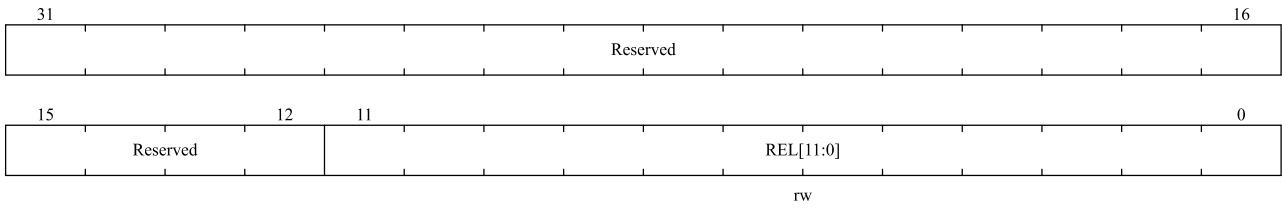


位域	名称	描述
31:3	保留	保留，必须保持复位值。
2:0	PD[2:0]	预分频因子 带写保护。当 IWDG_KEY.KEYV[15:0]不是 0x5555 时具有写访问保护。IWDG_STS.PVU 位必须为 0，否则 PD[2:0]值无法更改。分频系数如下： 000：预分频因子=4 001：预分频因子=8 010：预分频因子=16 011：预分频因子=32 100：预分频因子=64 101：预分频因子=128 11x：预分频因子=256 注意：读取该寄存器将返回来自 VDD 电压域的预分频值。如果正在进行写操作，则回读值可能无效。因此，读取值仅在 IWDG_STS.PVU 位为 0 时有效。

11.5.4 IWDG 重装寄存器（IWDG_RELV）

偏移地址：0x08

复位值：0x0000 0FFF

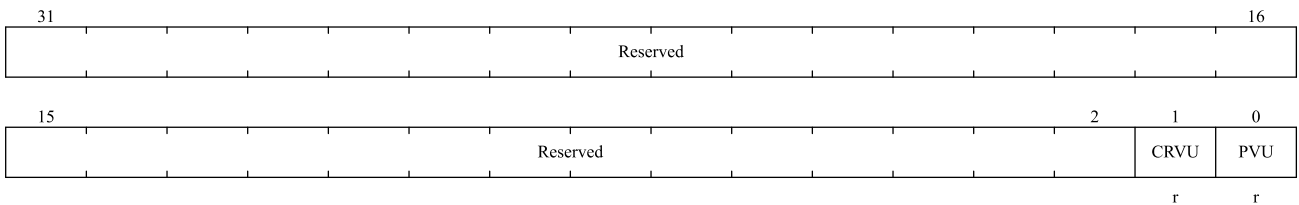


位域	名称	描述
31:12	保留	保留，必须保持复位值。
11:0	REL[11:0]	看门狗计数器重装载值。 带写保护。定义看门狗计数器的重装载值，每次将 0xAAAA 写入 IWDG_KEY.KEYV[15:0]位时将其加载到计数器。然后计数器从该值开始倒计时。看门狗超时周期可以根据这个重装载值和时钟预分频值计算，参考表 11-1。 该寄存器只能在 IWDG_STS.CRVU 位为 0 时修改。 <i>注意：读取该寄存器将返回来自 VDD 电压域的重装载值。如果正在进行写操作，则回读值可能无效。因此，读取值仅在 IWDG_STS.CRVU 位为 0 时有效。</i>

11.5.5 IWDG 状态寄存器 (IWDG_STS)

偏移地址：0x0C

复位值：0x0000 0000

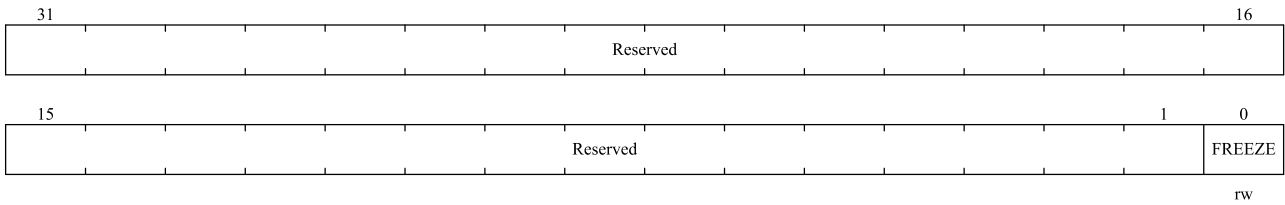


位域	名称	描述
31:2	保留	保留，必须保持复位值。
1	CRVU	看门狗重装载值更新 重装载值更新：该位表示正在更新重装载值。硬件置位，硬件清零 (up to 5 RC cycles of 32kHz)。软件只能在 IWDG_KEY.KEYV[15:0]位的值为 0x5555 且该位为 0 时尝试更改 IWDG_RELV.REL[11:0]的值。
0	PVU	看门狗预分频值更新 预分频值更新：该位表示正在更新预分频值。硬件置位，硬件清零 (up to 5 RC cycles of 32kHz)。软件只能在 IWDG_KEY.KEYV[15:0]位的值为 0x5555 且该位为 0 时尝试更改 IWDG_PREDIV.PD[2:0]的值。

11.5.6 IWDG 冻结寄存器 (IWDG_FREEZE)

偏移地址：0x10

复位值：0x0000 0000



位域	名称	描述
31:1	Reserved	保留，必须保持复位值。
0	FREEZE	STOP 模式冻结功能 1. IWDG_FREEZE.FREEZE 的初始值为 0x00； 2. 当写 0xDDDD 到这个地址时，IWDG_FREEZE.FREEZE 翻转一次，变为 1，控制计数器进入 STOP 模式后停止； 3. 当 0xDDDD 再次写到该地址，IWDG_FREEZE.FREEZE 翻转一次，变为 0，控制计数器进入 STOP 后继续计数； 4. 以此类推 IWDG_FREEZE.FREEZE 的当前值可以通过读取冻结寄存器 IWDG_FREEZE 来确定，然后切换冻结操作可被执行

12 模拟数字转换（ADC）

12.1 简述

12 位 ADC 是使用逐次逼近的高速模数转换器。共有 10 个通道，可测 9 个外部和 1 个内部信号源。各个通道的 A/D 转换通道可以在单次、连续、扫描模式下执行。ADC 转换值存储（左对齐/右对齐）在 16 位数据寄存器中。可以通过模拟看门狗检测输入电压是否在用户定义的高/低阈值内，并且 ADC 的输入时钟的最大频率为 24MHz。

12.2 ADC 主要特征

- 支持 1 个 ADC，支持单端输入，最多可测量 9 个外部和 1 个内部源。
- 支持 12 位分辨率，最高采样速率 1MSPS。
- ADC 时钟源分为工作时钟源和计时时钟源。
 - ◆ HSI 作为 ADC_CLK 工作时钟源，最高到 24M。
 - ◆ HSI 作为 ADC_1MCLK 计时时钟源，用于内部计时功能，频率必须配置成 1MHz。
- 支持定时器触发采样。
- 当转换完成或者模拟看门狗事件可触发中断
- 支持 2 种转换模式
 - ◆ 单次转换
 - ◆ 连续转换
- 扫描模式最大支持任意 5 个通道，每个通道有一个独立的结果数据寄存器 buffer
- 所有通道采样间隔可以统一编程
- 可以外部触发规则转换。
- ADC 的工作电压在 2.4V 到 5.5V 之间。
- ADC 支持转换的电压在 0 和 V_{DD} 之间。

12.3 ADC 功能描述

下图为一个 ADC 模块的框图，表 12-1 为 ADC 引脚的说明。

图 12-1 ADC 框图

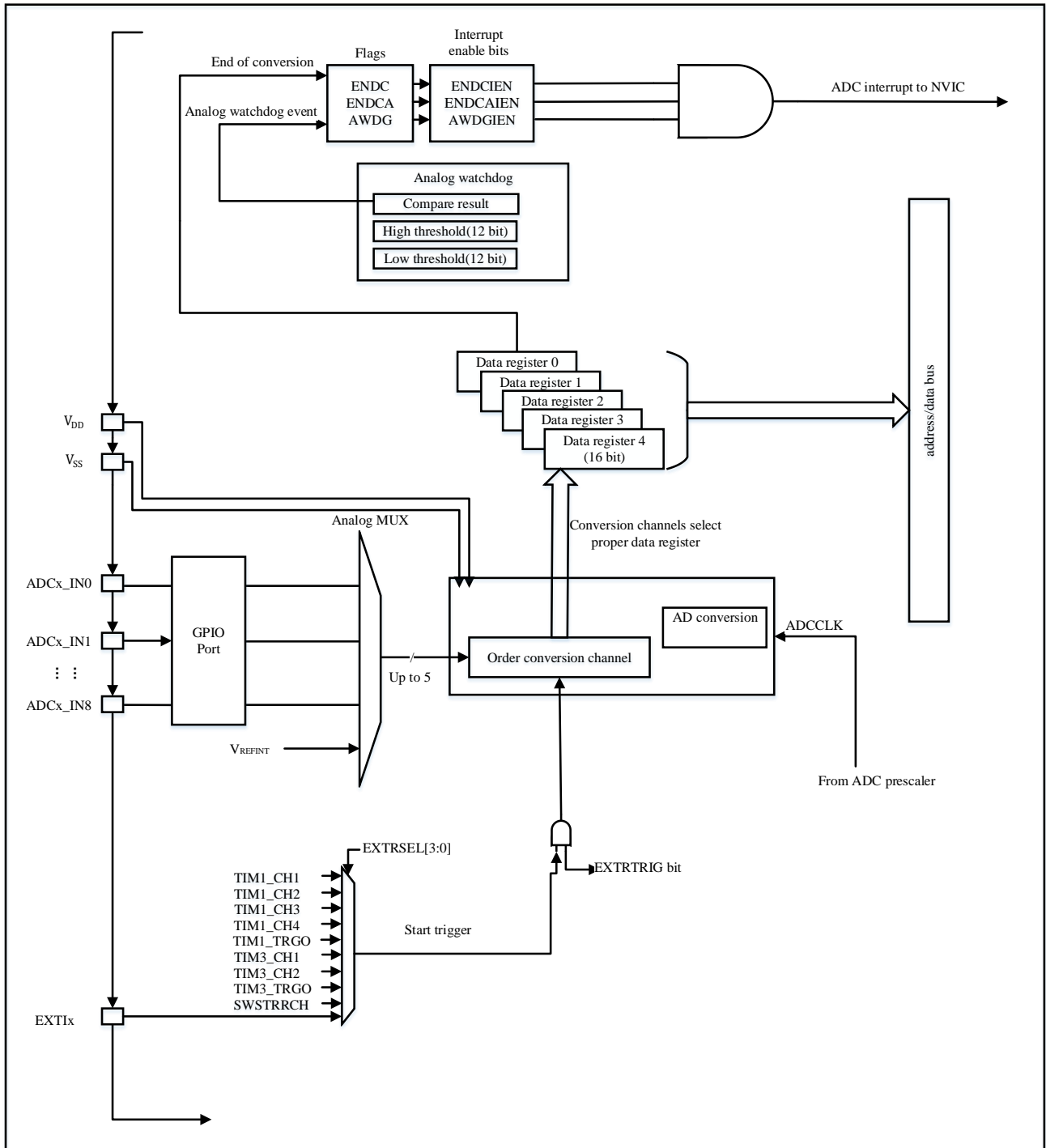


表 12-1 ADC 引脚

名称	信号类型	注解
V _{DD}	输入, 模拟电源	等效于V _{DD} 的模拟电源且: 2V ≤ V _{DD} ≤ 5.5V
V _{SS}	输入, 模拟电源地	等效于V _{SS} 的模拟电源地
ADCx_IN[8:0]	模拟输入信号	9个模拟外部输入通道

12.3.1 ADC 时钟

ADC 需要三个时钟，ADC_CLK, HCLK, ADC_1MCLK。

- HCLK 用于寄存器的访问时钟。
- ADC_CLK 为 ADC 的工作时钟。
- ADC_1MCLK 用于内部计时功能，在 RCC 中配置，频率大小必须配置成 1MHz

注意：

1. 配置 ADC_CLK 分频作为工作时钟最高可到 24M，支持分频 1,2,3,4,6,8,10,12,24,32。

12.3.2 ADC 开关控制

只有在上电过程完成后，您才能进行下一步。您可以通过轮询 ADC_CTRL3.RDY 来检查上电是否完成。

您可以设置 ADC_CTRL2.ON 来打开 ADC。第一次设置 ADC_CTRL2.ON 时，它将 ADC 从断电状态唤醒。在 ADC 的上电延迟(t_{STAB})之后，当 ADC_CTRL2.ON 再次置位时，转换开始。

可以通过清除 ADC_CTRL2.ON 将 ADC 置于断电模式来停止转换。在这种模式下，ADC 几乎不消耗功率（仅几 μA ）。可以通过轮询 ADC_CTRL3.PDRDY 来检查掉电情况。

在 ADC 禁用的时候，默认都是 power-down 模式。

12.3.3 通道选择

每个通道可以配置为规则组。在任意多个通道上以任意顺序进行的一系列转换。例如可以如下顺序完成转换：通道 3、通道 8、通道 2、通道 1、通道 0。

规则组由多次转换组成，最多 5 个，规则通道和他们的转换顺序在 ADC_DATx.SEQx[3:0]寄存器指定规则通道。ADC_CTRL2.LEN[2:0]位指定规则通道序列长度。

注意：在转换期间，禁止更改 ADC_DATx.SEQx[3:0] 寄存器；ADC_DATx.SEQx[3:0] 寄存器只能在 ADC 空闲时更改。

12.3.4 内部通道

V_{REFINT} 和通道 ADC_IN9 相连接。

可以按照规则通道对内部通道进行转换。

12.3.5 单次转换模式

ADC 可以通过配置 ADC_CTRL2.CTU 为 0 进入单次转换模式。在该模式下，外部触发（只适用于规则通道）或设置 ADC_CTRL2.ON=1（仅适用于规则通道）可以启动 ADC 启动转换，ADC 只进行一次转换。

转换开始后，当一个规则通道转换完成时，规则通道转换结束标志（ADC_STS.ENDC）将被置 1。如果规则通道转换结束中断使能（ADC_CTRL1.ENDCIEN）位被置 1，则一个中断将生成，转换后的数据将存储在 ADC_DATx.DAT[15:0]寄存器中。

单次转换后，ADC 会停止。

12.3.6 连续转换模式

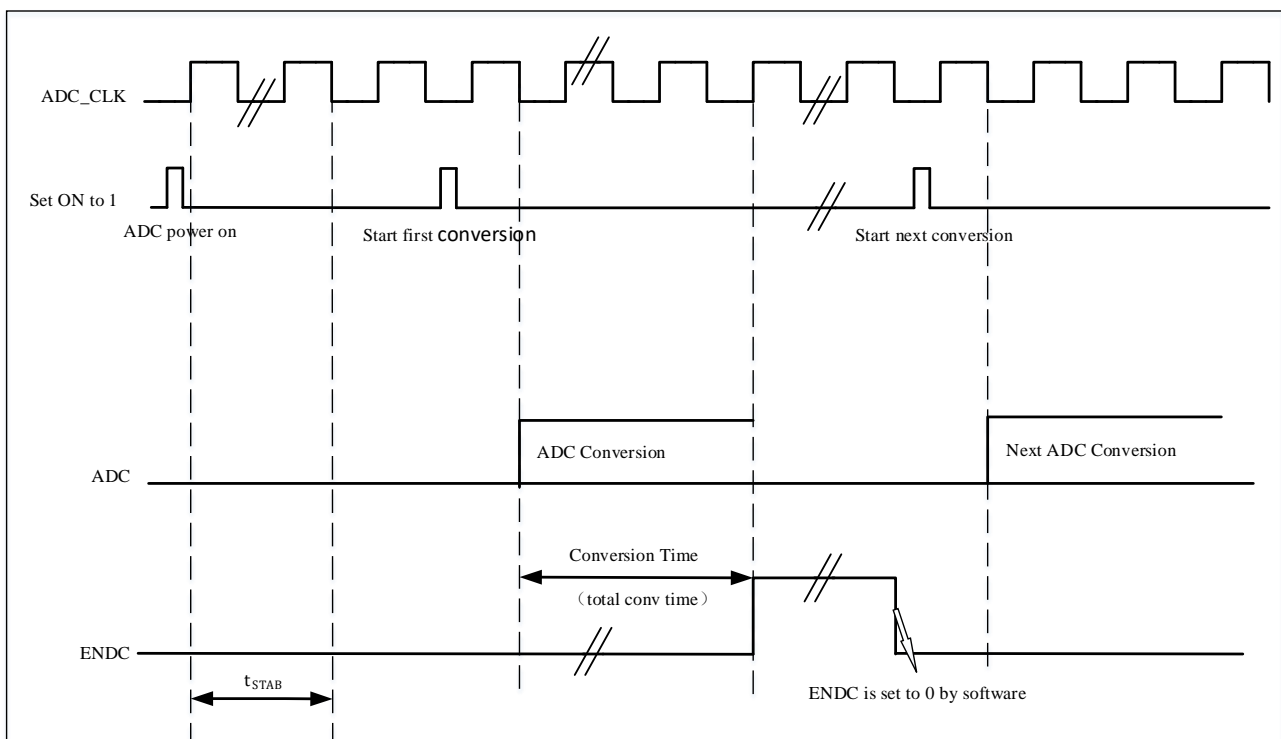
ADC 可以通过配置 ADC_CTRL2.CTU 为 1 进入连续转换模式。在该模式下，外部触发或设置 ADC_CTRL2.ON 为 1 可以启动 ADC 开始转换，ADC 会持续转换选择的通道。

转换开始后，当规则通道转换完成时，规则通道转换结束标志位 (ADC_STS.ENDC) 将设置为 1。如果规则通道转换结束中断使能位 (ADC_CTRL1.ENDCIEN) 设置为 1，将产生一个中断。转换后的数据将存储在 ADC_DATx.DAT[15:0] 寄存器中。

12.3.7 时序图

ADC_CTRL2.ON 首次设置为 1 时，ADC 上电。ADC 上电后，ADC 需要时间 t_{STAB} 来保证其稳定性。ADC 稳定后，ADC_CTRL2.ON 被设置为 1，同时，再次通过软件对 ADC_CTRL2.ON 写 1，ADC 开始转换，24 个时钟周期后，转换结束标志位将在转换完成后设置为 1。

图 12-2 时序图



12.3.8 模拟看门狗

可以通过设置 ADC_CTRL1.AWDGERCH 为 1 在规则通道上打开模拟看门狗。可以通过配置 ADC_WDGHIGH.HTH 设置模拟看门狗的高阈值，模拟看门狗的低阈值可以通过 ADC_WDGLOW.LTH 来设置。模拟看门狗的阈值与数据对齐的方式无关，因为 ADC 的转换值与阈值的比较是在对齐之前完成。当 ADC 转换的值高于模拟看门狗的高阈值或低于模拟看门狗的低阈值时，则模拟看门狗标志 (ADC_STS.AWDG) 将被置为 1，如果 ADC_CTRL1.AWDGIEN 已配置为 1，此时会产生中断。通过配置 ADC_CTRL1.AWDGSGLEN 和 ADC_CTRL1.AWDGCH[3:0]，可以控制模拟看门狗作用于一个或多个通道，

如表 12-2 所示。

表 12-2 模拟看门狗通道选择

模拟看门狗警戒的通道	ADC_CTRL1 寄存器控制位	
	AWDGSGLEN位	AWDGERCH位
所有规则通道	0	1
单一的规则通道	1	1

12.3.9 扫描模式

通过配置 ADC_CTRL1.SCAMD 为 1 可以开启扫描模式，通过配置寄存器 ADC_DATx.SEQx[3:0]，可以选择转换通道序列，ADC 会对所有选择的通道进行扫描转换，每个序列可选择任意通道进行转换。转换开始后，通道将顺序转换，最多支持 5 个转换序列。如果此时 ADC_CTRL2.CTU 为 1，则在所有选中的规则通道的转换完成后，将从转换序列的第一个通道重新开始转换。

12.4 数据对齐

转换后的数据有两种对齐方式：左对齐和右对齐。对齐可以通过 ADC_CTRL2.ALIG 位设置。ADC_CTRL2.ALIG=0 为右对齐，ADC_CTRL2.ALIG=1 为左对齐，如下表所示。

表 12-3 数据右对齐

0	0	0	0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
---	---	---	---	-----	-----	----	----	----	----	----	----	----	----	----	----

表 12-4 数据左对齐

D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	0	0	0	0
-----	-----	----	----	----	----	----	----	----	----	----	----	---	---	---	---

12.5 可编程的通道采样时间

ADC 使用若干个 ADC_CLK 周期对输入电压采样，采样周期数目可以通过 ADC_SAMPT.SAMP[4:0]更改。对不同的通道，采样间隔可以统一的编程。总转换时间如下计算：

$$T_{CONV} = \text{采样时间} + 12 \text{ 个周期}$$

注意：连续转换模式的第一次转换和单次转换模式每次转换需要额外增加 2 个周期

例如：

当 ADCCLK=24MHz，采样时间为 12 个周期且分辨率为 12bit，总转换时间就是“12+12”，ADC_CLK 周期，就是：

$$T_{CONV} = 12 + 12 = 24 \text{ 周期} = 1\mu\text{s}$$

注：所有 ADC 通道共用一个通道采样时间配置。

12.6 外部触发转换

对于规则序列，软件将 ADC_CTRL2.EXTRTRIG 位设置为 1，则规则通道可以使用外部事件的上升沿触发

启动转换，然后软件通过配置 ADC_CTRL2.EXTRSEL[3:0]来选择规则序列的外部触发源。外部触发源选择如下表所示。如果选择 EXTI 线作为外部触发源，可以设置 AFIO_CFG.EXTI_ETRR [4:0]位来实现；如果选择 ADC_CTRL2.SWSTRRCH 作为外部触发源，则可以通过将 ADC_CTRL2.SWSTRRCH 设置为 1 来启动规则通道转换。

表 12-5 ADC 用于规则通道的外部触发

EXTRSEL[3:0]	触发源	类型
0000	TIM1_CC1事件	来自片上定时器的内部信号
0001	TIM1_CC2事件	
0010	TIM1_CC3事件	
0011	TIM1_CC4事件	
0100	TIM1_TRGO事件	
0101	TIM3_TRGO事件	
0110	TIM3_CC1事件	
0111	TIM3_CC2事件	
1000	EXTI 线事件	外部引脚/来自片上定时器的内部信号
1001	SWSTRRCH	软件控制位

12.7 ADC 中断

ADC 中断可以来自规则序列转换的结束、输入电压不在模拟看门狗设置的范围、任何规则通道转换的结束。这些中断具有独立的中断使能位。

ADC_STS 寄存器中有 1 个状态标志：规则序列通道转换启动(STR)。但是 ADC 中没有与这个标志相关的中断。

表 12-6 ADC 中断

中断事件	事件标志	使能控制位
规则序列转换结束	ENDC	ENDCIEN
超出模拟看门狗阈值	AWDG	AWDGIEN
任何通道转换结束	ENDCA	ENDCAIEN

12.8 ADC 寄存器

12.8.1 ADC 寄存器总览

表 12-7 ADC 寄存器总览

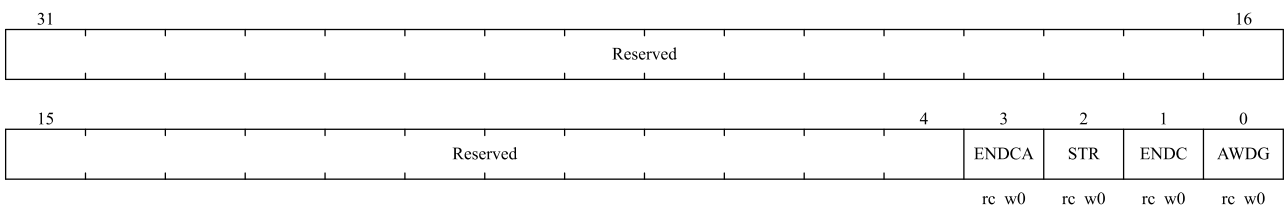
Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
000h	ADC_STS	Reserved																								ENDCA	STR	ENDC	AWDG					
	Reset Value																									0	0	0	0					
004h	ADC_CTRL1	Reserved																								TEST_EN	AWDGEN	AWDGSLEN	AWDGIEN	ENDCIEN	AWDGC[3:0]			
	Reset Value																									0	0	0	0	0	0	0	0	0

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
008h	ADC_CTRL2	Reserved																				COV_MODE	LEN[2:0]		SWSTART	EXTRTRIG	EXTRSEL[3:0]			ALIG	CONT	ON																	
	Reset Value	0																				0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
00Ch	ADC_CTRL3	Reserved																				ENDCALEN			PDRDY	RDY	BUF_READY	BUF_EN	Reserved																				
	Reset Value	0																				0	1	0	0	0	0	0																					
010h	ADC_SAMP	Reserved																				SAMP[4:0]																											
	Reset Value	0																				0	0	0	0	0	0																						
014h	ADC_WDGHIGH	Reserved											HTH[11:0]																																				
	Reset Value	1											1																																				
018h	ADC_WDGLow	Reserved											LTH[11:0]																																				
	Reset Value	0											0																																				
01Ch	ADC_DAT0	Reserved											SEQ0[19:16]	DAT0[15:0]																																			
	Reset Value	0											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0												
020h	ADC_DAT1	Reserved											SEQ1[19:16]	DAT1[15:0]																																			
	Reset Value	0											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0											
024h	ADC_DAT2	Reserved											SEQ2[19:16]	DAT2[15:0]																																			
	Reset Value	0											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0											
028h	ADC_DAT3	Reserved											SEQ3[19:16]	DAT3[15:0]																																			
	Reset Value	0											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0										
02Ch	ADC_DAT4	Reserved											SEQ4[19:16]	DAT4[15:0]																																			
	Reset Value	0											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0									

12.8.2 ADC 状态寄存器(ADC_STS)

地址偏移: 0x00

复位值: 0x0000 0000



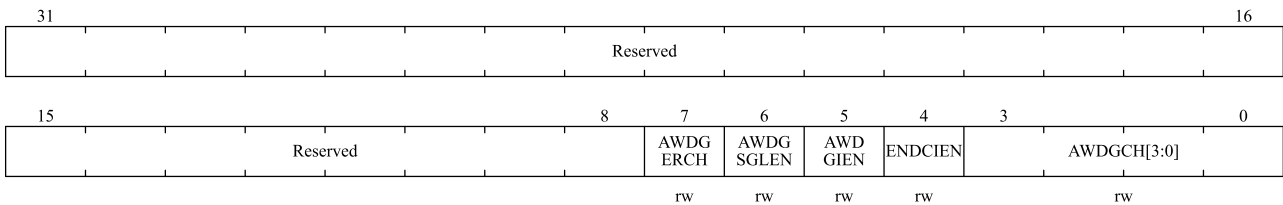
位域	名称	描述
31:4	Reserved	保留，必须保持复位值。
3	ENDCA	任意通道转换结束位 (Any End of conversion flag) 任意规则通道转换结束时被硬件设置为1。 0: 转换没有完成; 1: 转换完成。
2	STR	规则通道开始位 (Regular channel Start flag) 规则通道转换开始时该位被硬件设置为1，由软件清除。 0: 规则通道转换未开始; 1: 规则通道转换已开始。

位域	名称	描述
1	ENDC	转换结束位 (End of conversion) 规则通道序列转换结束时被硬件设置为1。 0: 转换未完成; 1: 转换完成。
0	AWDG	模拟看门狗标志位 (Analog watchdog flag) 转换的电压值超出了ADC_WDGHIGH.HTH和ADC_WDGLow.LTH寄存器定义的范围时被硬件设置为1, 由软件清除 0: 没有发生模拟看门狗事件; 1: 发生模拟看门狗事件。

12.8.3 ADC 控制寄存器 1(ADC_CTRL1)

地址偏移: 0x04

复位值: 0x0000 0000



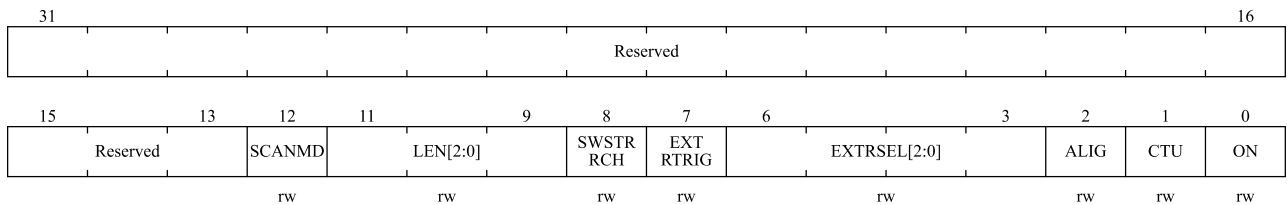
位域	名称	描述
31:8	Reserved	保留, 必须保持复位值。
7	AWDGERCH	在规则通道上开启模拟看门狗 (Analog watchdog enable on regular channels) 该位由软件设置和清除。 0: 在规则通道上关闭模拟看门狗; 1: 在规则通道上开启模拟看门狗。
6	AWDGSLEN	扫描模式中在一个单一的通道上使用看门狗 (Enable the watchdog on a single channel in scan mode) 该位由软件设置和清除, 用于 AWDCH[4:0]位指定的通道上的模拟看门狗功能开启或所有通道上模拟看门狗功能开启 0: 在所有的通道上使用模拟看门狗; 1: 在单一通道上使用模拟看门狗。
5	AWDGIEN	模拟看门狗中断使能 (Analog watchdog interrupt enable) 该位由软件设置和清除以禁止或允许模拟看门狗产生中断。在扫描模式下, 如果看门狗检测到超出范围的值, 则仅当该位置位时才会中止扫描。 0: 禁止模拟看门狗中断; 1: 使能模拟看门狗中断。
4	ENDCIEN	ENDC 的中断使能 (Interrupt enable for ENDC) 该位由软件设置和清除, 以禁止或允许在规则转换序列转换结束后发生中断。 0: 禁止 ENDC 中断; 1: 使能 ENDC 中断。

位域	名称	描述
3:0	AWDGCH[3:0]	模拟看门狗通道选择位 (Analog watchdog channel select bits) 这些位由软件设置和清除以选择模拟看门狗保护的输入通道。 0000: ADC 模拟输入通道 0; 0001: ADC 模拟输入通道 1; 1001: ADC 模拟输入通道 9; 其他值保留

12.8.4 ADC 控制寄存器 2(ADC_CTRL2)

地址偏移: 0x08

复位值: 0x0000 0000



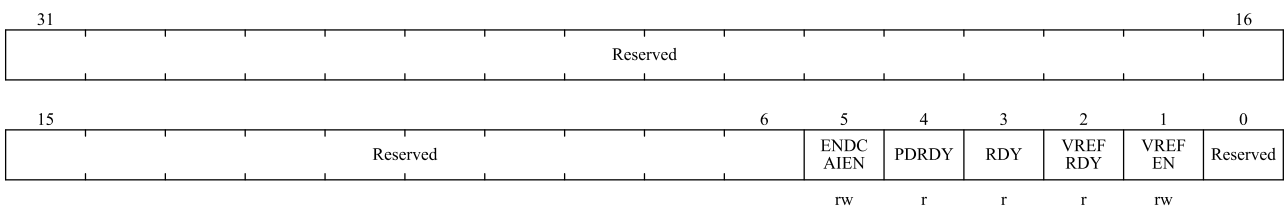
位域	名称	描述
31:13	Reserved	保留, 必须保持复位值。
12	SCANMD	扫描模式 (Scan mode) 该位由软件设置和清除以启用或禁用扫描模式。在扫描模式下, 转换由 ADC_DATx.ADC_SEQx[3:0] 寄存器选定的通道。 0: 禁用扫描模式; 1: 启用扫描模式。 注意: 如果单独设置 ADC_CTRL1.ENDCIEN 位, ADC_STS.ENDC 中断仅在最后一个通道转换后发生。
11:9	LEN[2:0]	规则通道序列长度 (Regular channel sequence length) 这些位由软件定义规则序列通道转换中的通道数。 000: 1 个转换 001: 2 个转换 010: 3 个转换 011: 4 个转换 100: 5 个转换
8	SWSTRRCH	开始转换规则通道 (Start conversion of regular channels) 该位由软件设置以启动转换, 并在转换开始后由硬件清零。如果在 ADC_CTRL2.EXTRSEL[3:0] 位中选择 SWSTRRCH 作为触发事件, 该位用于启动一组规则通道的转换 0: 复位状态; 1: 开始转换规则通道
7	EXTRTRIG	规则通道的外触发转换模式 (External trigger conversion mode for regular channels)

位域	名称	描述
		该位由软件设置和清零，以启用或禁用可以启动规则序列转换的外部触发事件。 0：不使用外部事件启动转换； 1：使用外部事件启动转换。
6:3	EXTRSEL[3:0]	选择启动规则通道序列转换的外部事件（External event select for regular group） 这些位选择外部事件以启动规则序列转换。 0000：定时器 1 的 CC1 事件 0001：定时器 1 的 CC2 事件 0010：定时器 1 的 CC3 事件 0011：定时器 1 的 CC4 事件 0100：定时器 1 的 TRGO 事件 0101：定时器 3 的 TRGO 事件 0110：定时器 3 的 CC1 事件 0111：定时器 3 的 CC2 事件 1000：EXTI 线 1001：SWSTRRCH
2	ALIG	数据对齐（Data alignment） 该位由软件设置和清除。 0：右对齐； 1：左对齐。
1	CTU	连续转换（Continuous conversion） 该位由软件设置和清除。如果该位置位，则转换将继续，直到该位被清除。 0：单次转换模式； 1：连续转换模式。
0	ON	A/D 转换器开/关（A/D converter ON/OFF） 该位由软件设置和清除。当该位为“0”时，写入“1”会将 ADC 从断电模式中唤醒。 当该位为“1”时，写入“1”开始转换。应注意，转换器上电与转换开始之间存在延迟 tSTAB，请参见图 12-2 0：关闭 ADC 转换/校准并进入掉电模式； 1：启动 ADC 并开始转换。 注意：如果该寄存器中的其他位随着 ON 发生变化，则不会触发转换。这是为了防止触发错误的转换。

12.8.5 ADC 控制寄存器 3 (ADC_CTRL3)

地址偏移：0x0C

复位值：0x0000 0040

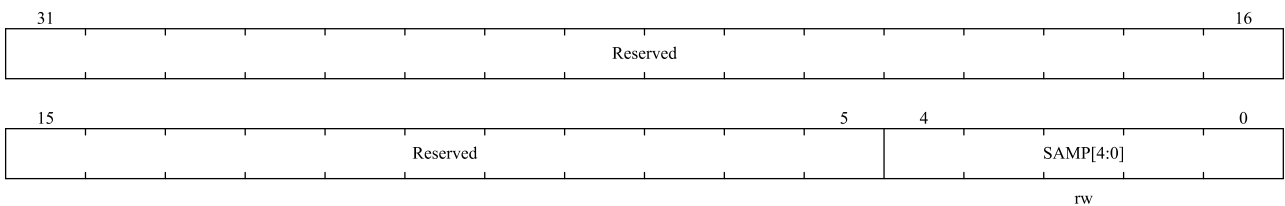


位域	名称	描述
31:6	Reserved	保留，必须保持复位值。
5	ENDCAIEN	任何通道中断使能（Interrupt enable for any regular channels） 该位由软件设置和清除以启用/禁用任意通道转换结束中断。 0: ADC_STS.ENDCA 禁用中断； 1: ADC_STS.ENDCA 启用中断。
4	PDRDY	ADC 掉电准备（Power down ready） 0: 没有准备好； 1: 准备好。
3	RDY	ADC 准备(Ready) 0: 没有准备好； 1: 准备好。
2	VREFRDY	VREFINT 准备好（VREFINT_READY） ADC 内部输入 buffer 准备状态，在测量 VREFINT 之前软件必须检测该状态位 0: VREFINT 没有准备好； 1: VREFINT 准备好。
1	VREFEN	VREFINT 使能（VREFINT_EN） ADC 内部输入 buffer 使能，在测量 VREFINT 之前软件必须使能该位 0: 禁止 VREFINT 测量 1: 使能 VREFINT 测量
0	Reserved	保留，必须保持复位值。

12.8.6 ADC 采样时间寄存器(ADC_SAMPT)

地址偏移：0x10

复位值：0x0000 0000



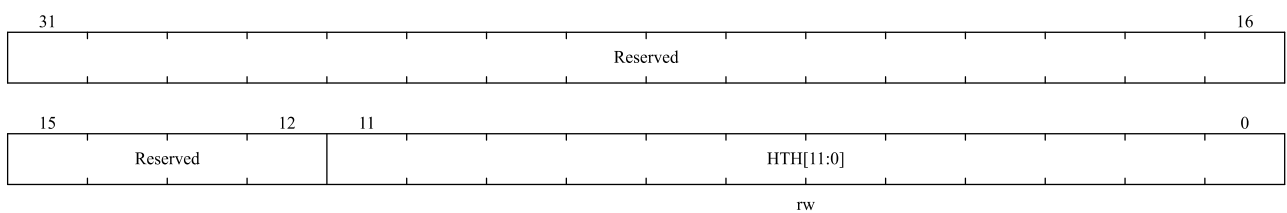
位域	名称	描述
31:5	Reserved	保留，必须保持复位值。
4:0	SAMP[4:0]	通道采样时间选择（Channel Sample time selection） 这些位用于独立选择每个通道的采样时间。通道选择位在采样期间必须保持不变。 00000: 保留 00001: 8 周期（只在 20M 的工作频率下才设置，其中 HSI 为 40M） 00010: 12 周期 00011: 14 周期 00100: 20 周期 00101: 26 周期

位域	名称	描述
		00110: 30 周期 00111: 42 周期 01000: 56 周期 01001: 72 周期 01010: 88 周期 01011: 120 周期 01100: 182 周期 01101: 240 周期 01110: 380 周期 01111: 760 周期 10000: 1520 周期 10001: 3040 周期

12.8.7 ADC 看门狗高阈值寄存器(ADC_WDGHIGH)

地址偏移: 0x14

复位值: 0x0000 0FFF

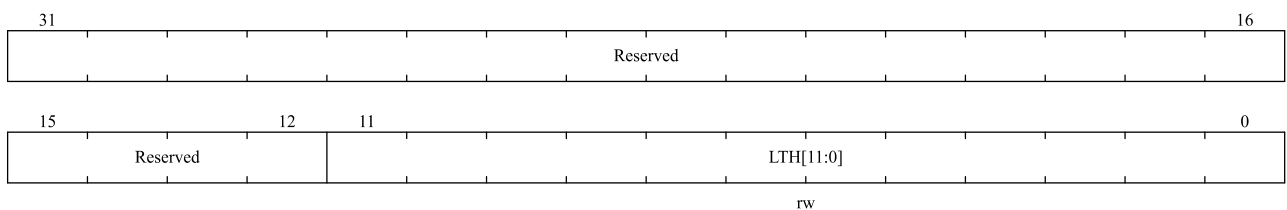


位域	名称	描述
31:12	Reserved	保留, 必须保持复位值。
11:0	HTH[11:0]	模拟看门狗高阈值 (Analog watchdog high threshold) 这些位定义模拟看门狗的高阈值。

12.8.8 ADC 看门狗低阈值寄存器(ADC_WDGLOW)

地址偏移: 0x18

复位值: 0x0000 0000



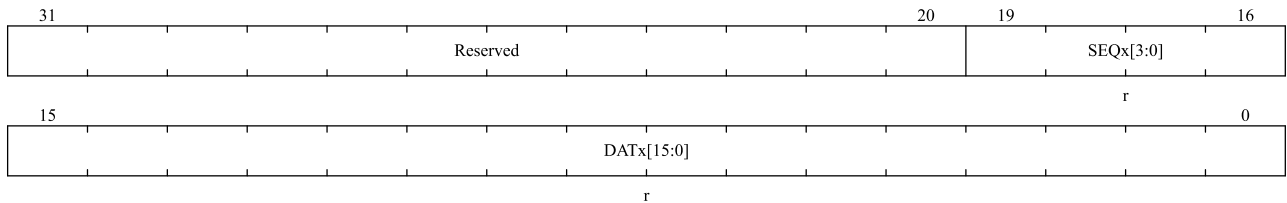
位域	名称	描述
31:12	Reserved	保留, 必须保持复位值。

位域	名称	描述
11:0	LTH[11:0]	模拟看门狗低阈值（Analog watchdog low threshold） 这些位定义模拟看门狗的低阈值。

12.8.9 ADC 规则数据寄存器 x(ADC_DATx)(x = 0..4)

地址偏移：0x1C – 0x2C

复位值：0x0000 0000



位域	名称	描述
31:20	Reserved	保留，必须保持复位值。
19:16	SEQx[3:0]	选择结果数据寄存器储存的通道号 0000：通道0 0001：通道1 ... 1001：通道9 其他值：保留
15:0	DAT[15:0]	规则转换的数据（Regular data） 这些位是只读的，包含规则通道的转换结果。数据左对齐或右对齐。

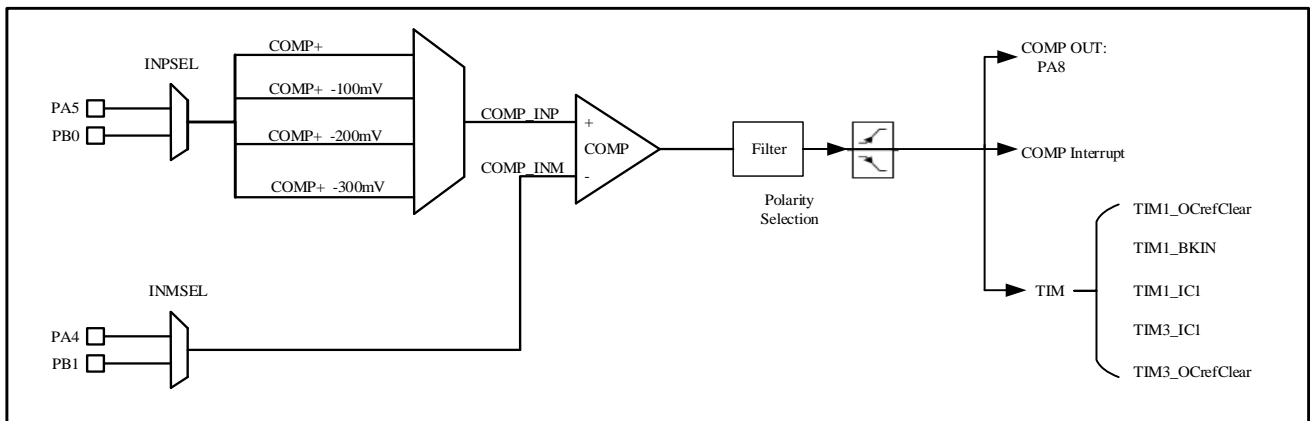
13 比较器（COMP）

COMP 模块用于比较两个输入模拟电压的大小，并根据比较结果输出高/低电平。当“INP”输入端电压高于“INM”输入端电压时，比较器输出为高电平，当“INP”输入端电压低于“INM”输入端电压时，比较器输出为低电平。

13.1 COMP 系统连接框图

COMP 模块支持 1 个独立比较器，挂接在 APB 总线上。

图 13-1 比较器系统连接图



13.2 COMP 特性

- 工作电压 2.4~5.5V
- 一个带减法的比较器，支持正端口输入电压（500mV~VDD-200mV）减去参考电压（300/200/100/0mV）
- 支持滤波时钟
- 输出极性可配置高、低
- 迟滞配置可配置无、低、中、高
- 比较结果可输出到 I/O 端口或触发定时器，用于捕获事件、OCREF_CLR 事件、刹车事件、产生中断
- 输入通道可复选 I/O 端口
- 可配只读或读写，在锁定的情况下需要复位才能解锁
- 支持消隐（Blanking），可配置产生 Blanking 的消隐源
- 可配置滤波窗口大小
- 可配置滤波阈值大小
- 可配置用于滤波的采样频率

13.3 COMP 配置流程

完整的配置项包括如下所示，某些项目如果采用系统默认配置，跳过相应的配置项。

1. 可配置的迟滞等级 COMP_CTRL.HYST[1:0]。
2. 配置输出极性 COMP_CTRL.POL。
3. 配置输入选择，比较器正极 COMP_CTRL.INPSEL，负极 COMP_CTRL.INMSEL。
4. 配置正极输入的减法值 COMP_CTRL.CMPVOS[1:0]
5. 配置输出选择 COMP_CTRL.OUTTRG[2:0]。
6. 配置消隐源 COMP_CTRL.BLKING。
7. 配置滤波器采样窗口 COMP_FILC.SAMPW[4:0]。
8. 配置阈值 COMP_FILC.THRESH[4:0]（阈值应当大于 COMP_FILC.SAMPW[4:0]/2）。
9. 配置滤波器采样频率（对于计时器应用，采样频率应当大于 5MHz）。
10. 打开滤波器使能 COMP_FILC.FILEN。
11. 打开比较器使能 COMP_CTRL.EN。

注：对于以上步骤，需先打开滤波器使能，再打开比较器使能，比较器使能需要在滤波（若启用）配置、使能完成后启用，此外在比较器控制寄存器锁定 LOCK 的情况下，只有通过复位才能取消锁定。

13.4 COMP 工作模式

13.4.1 独立比较器

1 个比较器可独立配置，完成比较器功能。比较器的输出可以输出到 IO 端口，每一个比较器都有不同的重映射端口，通过配置可以选择比较器的输出，连接到相应的端口。

比较器输出，支持触发事件，比如可以配置成定时器 1 的刹车功能。

注：具体配置参考比较器互联关系

13.5 比较器互联关系

比较器输出端口的互联，可以参考 AFIO 重映射章节，在 GPIOx_AFL/AFH 中来定义 I/O 的复用功能。

COMP_OUT 可映射到 PA8，比较器 INP 引脚有如下配：

INPSEL	COMP
0	PB0
1	PA5

比较器 INM 引脚有如下配置

INMSEL	COMP
0	PB1
1	PA4

比较器输出 TRIG 的信号有如下互联关系

TRIG	COMP
000	NC
001	TIM1_BKIN
010	TIM1_IC1
011	TIM1_OCrefclear
100	TIM3_IC1
101	TIM3_OCrefclear
Other	--

13.6 中断

COMP 支持中断响应。中断产生有如下 2 种情况。

- COMP_CTRL.POL 极性不反转，中断使能，当 INPSEL > INMSEL 时，COMP_CTRL.OUT 由硬件置为 1 时即产生比较器中断。
- COMP_CTRL.POL 极性反转，中断使能，当 INPSEL < INMSEL 时，COMP_CTRL.OUT 由硬件置为 1 时即产生比较器中断。

13.7 COMP 寄存器

13.7.1 COMP 寄存器总览

表 13-1 COMP 寄存器总览

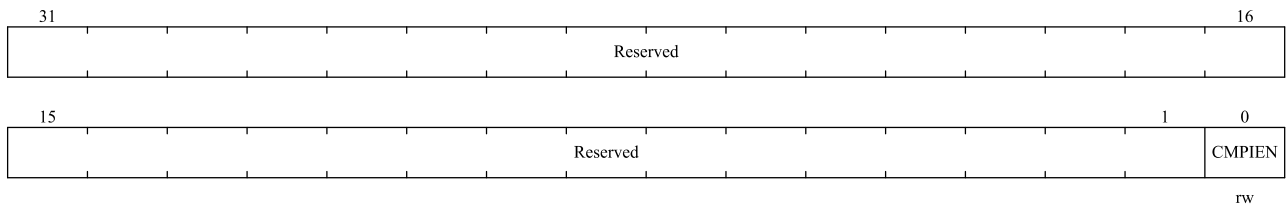
Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
000h	COMP_INTEN	Reserved																CMPIEN															
	Reset Value																	0															
004h	COMP_INTSTS	Reserved																CMPIFS															
	Reset Value																	0															
008h	Reserved																																
00Ch	COMP_LOCK	Reserved																CMPLK															
	Reset Value																	0															
010h	COMP_CTRL	Reserved														OUT	Reserved	BLKING	HYST[1:0]	POL	Reserved	OUTTRG[2:0]	Reserved	CMPOVS [1:0]	INPSEL	INMSEL	EN						
	Reset Value															0		0	0	0		0	0	0		0	0	0					

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
014h	COMP_FILC	Reserved															SAMPW[4:0]				THRESH[4:0]				FILEN													
	Reset Value																0	0	0	0	0	0	0	0	0	0	0	0										
018h	COMP_FILP	Reserved										CLKPSC[15:0]																										
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
01Ch ~ 03Ch	Reserved																																					

13.7.2 COMP 中断使能寄存器 (COMP_INTEN)

偏移地址:0x00

复位值:0x0000 0000

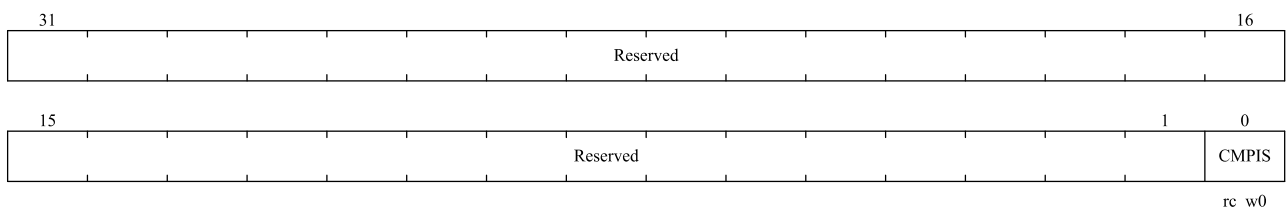


位域	名称	描述
31:1	Reserved	保留，必须保持复位值。
0	CMPIEN	比较器中断使能控制位 0: 禁用 1: 使用

13.7.3 COMP 中断状态寄存器 (COMP_INTSTS)

偏移地址:0x04

复位值:0x0000 0000

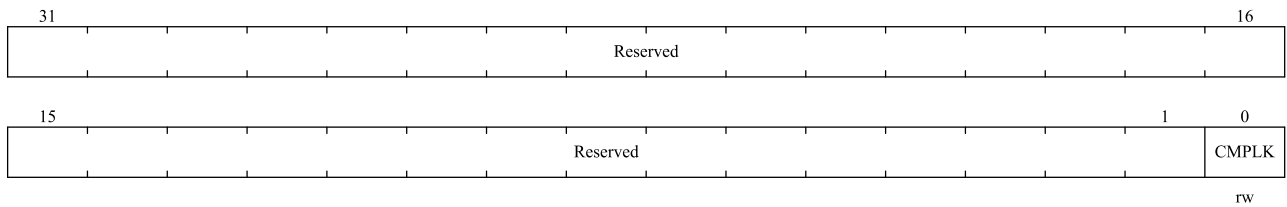


位域	名称	描述
31:1	Reserved	保留，必须保持复位值。
0	CMPIS	COMP 中断状态位，写 0 清除

13.7.4 COMP 锁寄存器 (COMP_LOCK)

偏移地址:0x0C

复位值:0x0000 0000

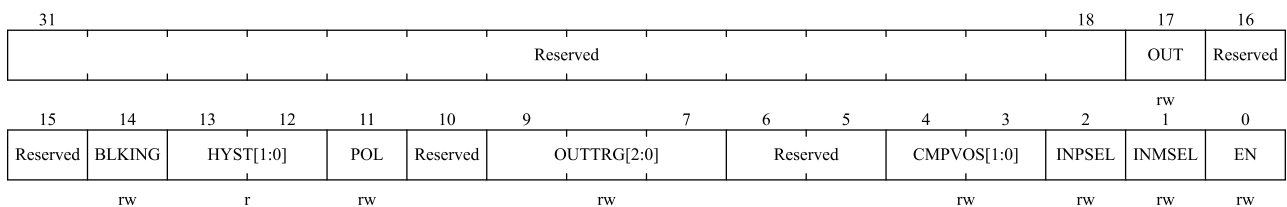


位域	名称	描述
31:1	Reserved	保留，必须保持复位值。
0	Cmplk	仅写一次，是由软件控制的，只能通过系统重置来清除 设置此位可以将 COMP_CTRL\COMP_FILC\COMP_FILP 设置为只读 0: COMP_CTRL\COMP_FILC\COMP_FIL 是可读写的 1: COMP_CTRL\COMP_FILC\COMP_FIL 是只读的

13.7.5 COMP 控制寄存器 (COMP_CTRL)

偏移地址:0x10

复位值:0x0000 0000



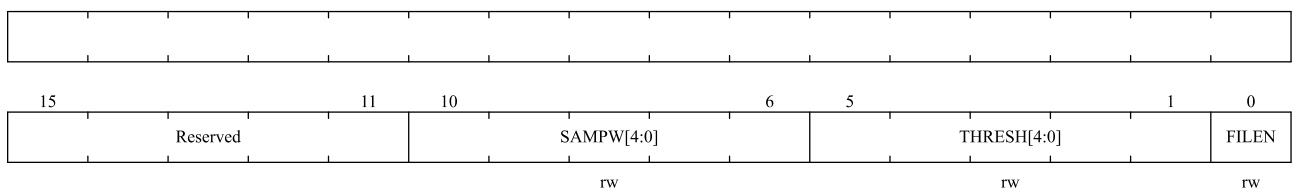
位域	名称	描述
31:18	Reserved	保留，必须保持复位值。
17	OUT	该位只读，表示比较器输出的状态 0: 输出低 1: 输出高
16:15	Reserved	保留，必须保持复位值。
14	Blking	消隐源控制比较器输出。 0: 不消隐 1: 选择 Tim1 OC5 作为消隐源
13:12	HYST[1:0]	这些位选择比较器的迟滞等级。 00: 无迟滞; 01: 低迟滞; 10: 中等迟滞; 11: 高迟滞。

位域	名称	描述
11	POL	该位用于反转比较器的输出 0:输出未反转; 1:输出反转。
10	Reserved	保留, 必须保持复位值。
9:7	OUTTRG[2:0]	比较器输出触发连接选择 000: Reserved 001: TIM1_BKIN 010: TIM1_IC1 011: TIM1_OCrefclear 100: TIM3_IC1 101: TIM3_OCrefclear
6:5	Reserved	保留, 必须保持复位值。
4:3	CMPVOS[1:0]	正端输入减法数值 00: 无减法; 01: 减去 100mv; 10: 减去 200mv; 11: 减去 300mv;
2	INPSEL	比较器正端选择位 0: PB0 1: PA5
1	INMSEL	比较器负端输入选择位 0: PB1 1: PA4
0	EN	该位打开/关闭 COMP 0: 禁用; 1: 使能。

13.7.6 COMP 滤波控制寄存器 (COMP_FILC)

偏移地址:0x14

复位值:0x0000 0000



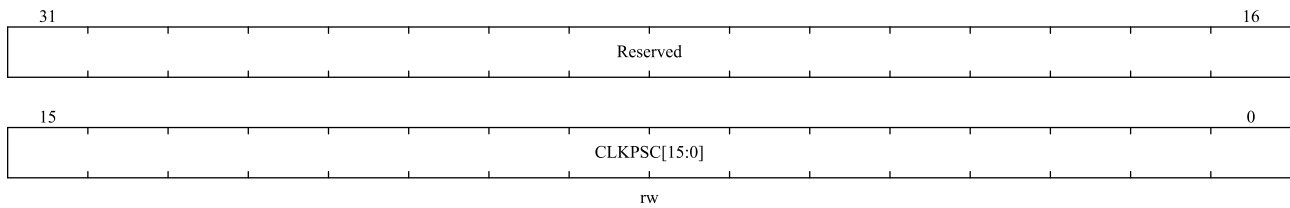
位域	名称	描述
31:11	Reserved	保留, 必须保持复位值。
10:6	SAMPW[4:0]	低通滤波器采样窗口大小, 采样窗口 = SAMPW + 1。
5:1	THRESH[4:0]	低通滤波器门限置, 样本窗口中至少出现相反状态的采样阈值, 才能改变输出

位域	名称	描述
		状态，此值要求大于 $SAMPW/2$ 。
0	FILEN	滤波器使能位 0：禁用； 1：使能。

13.7.7 COMP 滤波时钟寄存器 (COMP_FILP)

偏移地址:0x18

复位值:0x0000 0000



位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	CLKPSC[15:0]	低通滤波器采样时钟预分频，系统时钟分频系数 = $CLKPSC + 1$ 。 0：每 1 个时钟周期 1：每 2 个时钟周期 2：每 3 个时钟周期 ... 65535：每 65536 个时钟周期

14 内部集成电路总线(I²C)

14.1 简介

I²C(inter-integrated circuit)总线是一种广泛应用的总线结构，它只有两根双向线，即数据总线 SDA 和时钟总线 SCL，通过这两根线，所有与 I²C 总线兼容的设备都可以通过 I²C 总线彼此直接通信。

I²C 接口连接微控制器和串行 I²C 总线，可用于 MCU 和外部 I²C 设备的通讯。I²C 接口模块实现了 I²C 协议的标速模式和快速模式，具备 CRC 计算和校验功能，此外它提供多主机功能，控制所有 I²C 总线特定的时序、协议、仲裁。

14.2 主要特性

- 同一接口既可实现主机功能又可实现从机功能
- 是并行总线到 I²C 总线协议的转换器
- 支持 7 位和 10 位的地址模式和广播寻址
- 作为 I²C 主设备可以产生时钟、起始信号和停止信号
- 作为 I²C 从设备具有可编程的 I²C 地址检测、停止位检测的功能
- 支持标速(最高 100kHz)、快速模式(最高 400kHz)、快速+模式(最高 1MHz)
- 支持中断向量：字节成功传输中断和错误事件中断
- 可选的时钟延展功能
- 可选择的 PEC（报文错误检测）生成和校验
- 可编程的模拟和数字滤波

14.3 功能描述

I²C 接口通过数据引脚（SDA）和时钟引脚（SCL）连接到 I²C 总线与外部设备进行通信，可以连接到标准（高达 100kHz）或快速（400kHz、1MHz）的 I²C 总线。I²C 模块接收时将数据从串行转换成并行，发送时将数据从并行转换成串行。支持中断模式，用户可以根据需要开启或禁止中断。

14.3.1 SDA/SCL 控制

I²C 模块有两条接口线：串行数据线（SDA）和串行时钟线（SCL）。连接到总线上的设备通过这两根线互相传递信息。SDA 和 SCL 都是双向线，通过一个电流源或者上拉电阻接到电源正极。当总线空闲时，两条线都是高电平。连接到总线的设备输出极必须带开漏或者开集，以提供线与功能。I²C 总线上的数据在标准模式下可以达到 100 kbit/s，在快速模式下可以达到 1000kbit/s。由于 I²C 总线上可能会连接不同工艺的设备，逻辑‘0’和逻辑‘1’的电平并不是固定的，取决于 VDD 的实际电平。

如果允许时钟延长，即 SCL 线拉低，就可以避免在接收时发生过载错误以及在发送时发生欠载错误。

比如，在发送模式时，如果发送数据寄存器为空且字节发送结束位置起（I2C_STS1.TXDATE = 1, I2C_STS1.BSF = 1），I²C 接口在传输前保持时钟线为低，以等待软件读取 STS1 后把数据写进数据寄存器（缓

冲器和移位寄存器都是空的)；在接收模式时，如果数据寄存器非空且字节发送结束位置起 ($I2C_STS1.RXDATNE = 1$, $I2C_STS1.BSF = 1$)，I²C 接口在接收到数据字节后保持时钟线为低，以等待软件读 STS1，然后读数据寄存器 DAT (缓冲器和移位寄存器都是满的)。

如果从模式中禁止时钟延长，在接收模式时，如果接收数据寄存器非空 ($I2C_STS1.RXDATNE = 1$)，在接收到下个字节前数据还没有被读出，则发生过载错误，最后一字节也将被丢弃。在发送模式时，如果发送数据寄存器空 ($I2C_STS1.TXDATE = 1$)，在必须发送下个字节之前还没有新数据写进数据寄存器，则发生欠载错误。相同的字节将被重复发出。这种情况下不控制重复写冲突。

14.3.2 软件通讯流程

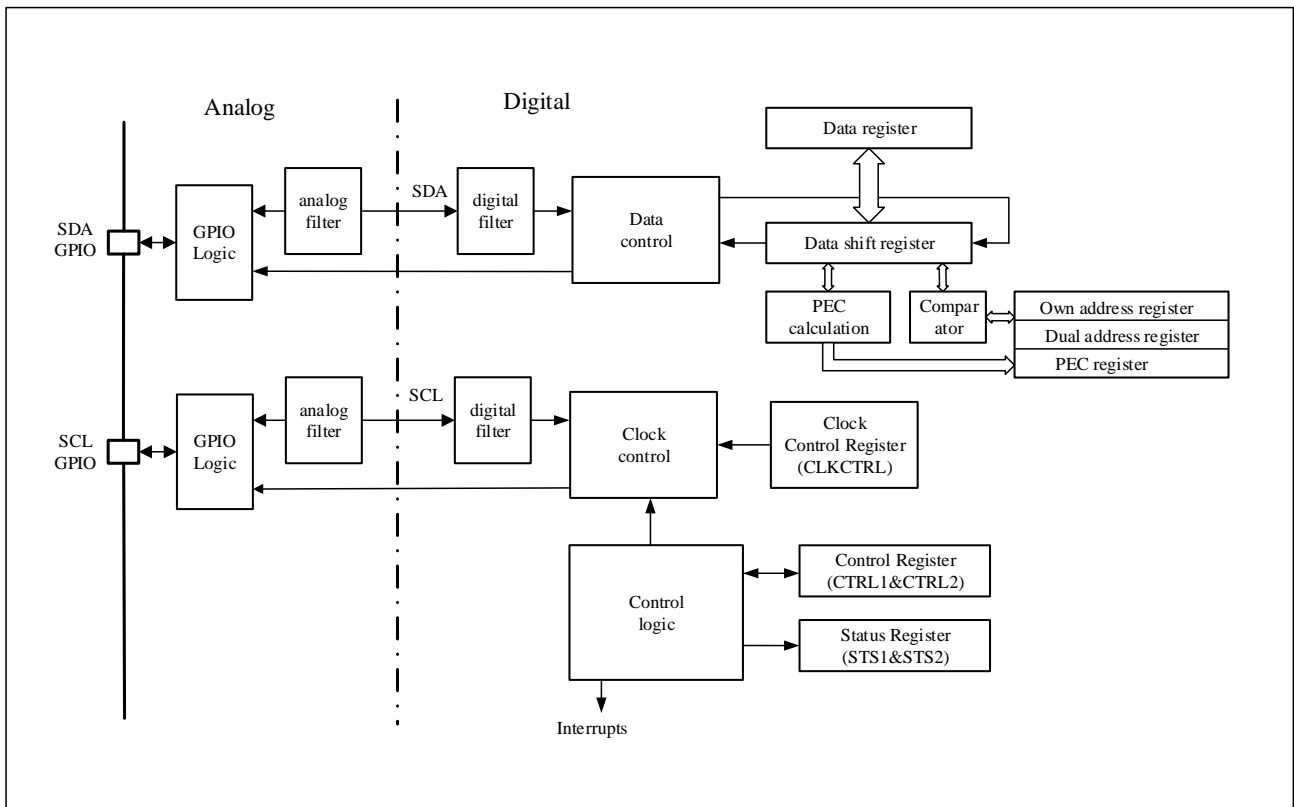
I²C 设备的数据传输分为主机和从机。主机是指负责初始化总线上数据的传输并产生时钟信号的设备，此时任何被寻址的设备都是从机。不管 I²C 设备是主机还是从机，都可以发送或接收数据。I²C 接口支持 4 种运行模式：

- 从机发送器模式
- 从机接收器模式
- 主机发送器模式
- 主机接收器模式

系统复位后，I²C 默认工作在从机模式下。通过软件配置 I²C 接口在总线上发送一个起始位，随后接口自动地从从模式切换到主模式；当仲裁丢失或产生停止信号时，则从主模式切换到从模式。

I²C 接口的功能框图如下：

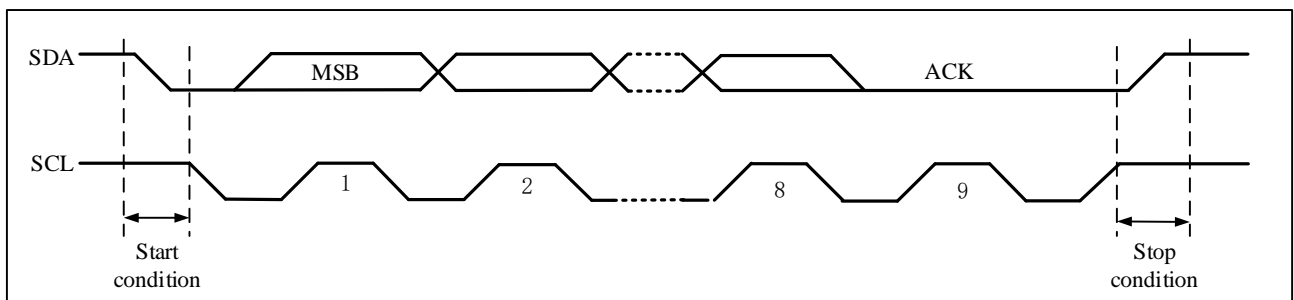
图 14-1 I²C 功能框图



14.3.2.1 开始和停止条件

所有的数据传输总是以起始位开始并以停止位结束。起始条件和停止条件都是在主模式下由软件控制产生。起始位（START）是指：在 SCL 为高时，SDA 线上出现一个从高到低的电平转换。停止位（STOP）是指在 SCL 为高时，SDA 线上出现一个从低到高的电平转换。如下图所示：

图 14-2 I²C 总线协议



14.3.2.2 时钟同步与仲裁

I²C 接口支持多主机仲裁，即两个主机可以同时空闲总线上开始传送数据，因此就必须通过一些机制来决定哪个主机获取总线的控制权，这一般是通过时钟同步和仲裁来完成的。

I²C 电路具有两个关键特点：

- SDA 和 SCL 为漏极开路结构，通过外部的上拉电阻实现了信号的“线与”逻辑；

■ SDA 和 SCL 引脚在输出信号的同时还将引脚上的电平进行检测，检测是否与刚才输出一致。

这为“时钟同步”和“总线仲裁”提供硬件基础。

I²C 设备对总线的操作是通过“把线路接地”来输出逻辑 0。基于 I²C 总线的特点，如果一设备发送逻辑 0，其他发送逻辑 1，那么线路看到的只有逻辑 0，所以线路上不可能出现电平冲突的现象。

总线的物理接法允许主设备往总线写数据的同时读取数据。这样两主设备争总线的时候发送逻辑 0 的并不知道竞争的发生，只有发送逻辑 1 的才会发现冲突（当写一个逻辑 1，却读到了 0）从而退出竞争。

时钟同步

多个主机可以同时空闲总线上产生时钟。SCL 线的高到低切换会使器件开始数它们的低电平周期，而且一旦器件的时钟变低电平，它会使 SCL 线保持这种状态直到到达时钟的高电平。但是，如果另一个时钟仍处于低电平周期，这个时钟的低到高切换不会改变 SCL 线的状态，因此，SCL 线被有最长低电平周期的器件保持低电平，此时，低电平周期短的器件会进入高电平的等待状态。

当所有有关的器件数完了它们的低电平周期后，时钟线被释放并且变成高电平，之后器件时钟和 SCL 线的状态没有差别，而且所有器件会开始数它们的高电平周期，首先完成高电平周期的器件会再次将 SCL 线拉低。

这样，产生的同步 SCL 时钟的低电平周期由低电平时钟周期最长的器件决定，而高电平周期由高电平时钟周期最短的器件决定。

仲裁

仲裁和同步一样，都是为了解决多主机情况下的总线控制冲突。仲裁的过程与从机无关。当两个主机在总线空闲的时候都产生了一个有效的起始位，这种情况就需要决定由哪个主机来完成数据传输，这就是仲裁的过程。

各个主控制器没有对总线实施控制的优先级别，都是由仲裁决定的。总线控制随即而定且逐位进行，他们遵循“低电平优先”的原则，即谁先发送低电平谁就会掌握对总线的控制权。在每一位的仲裁期间，当 SCL 为高时，每个主机都检查自己的 SDA 电平是否和自己发送的相同。理论上讲，如果两个主机所传输的内容完全相同，那么他们能够成功传输而不出现错误。如果一个主机发送高电平但检测到 SDA 电平为低，则认为自己仲裁失败并关闭自己的 SDA 输出驱动，而另一个主机则继续完成自己的传输。

14.3.2.3 I²C 数据通信流程

每个 I²C 设备都通过唯一的地址进行识别，根据设备功能，他们既可以是发送器也可作为接收器。

I²C 主机负责产生起始位和结束位来开始和结束一次传输，并且负责产生 SCL 时钟。

I²C 模块支持 7 位和 10 位的地址，用户可以通过软件配置 I²C 从机的地址。I²C 从机检测到 I²C 总线上的起始位之后，就开始从总线上接收地址，并把接收到的地址和自身的地址进行比较，一旦两个地址相同，I²C 从机将发送一个确认应答(ACK)，并响应总线的后续命令：发送或接受所要求的数据。此外，如果软件开启了广播呼叫，则 I²C 从机始终对一个广播地址(0x00)发送确认应答。

数据和地址按 8 位字节进行传输，高位在前。跟在起始条件后的 1 或 2 个字节是地址（7 位模式为 1 个字节，10 位模式为 2 个字节）。地址只在主模式发送。在一个字节传输的 8 个时钟后的第 9 个时钟期间，接收器必须回送一个应答位（ACK）给发送器。如图 14-2 I²C 总线协议所示。

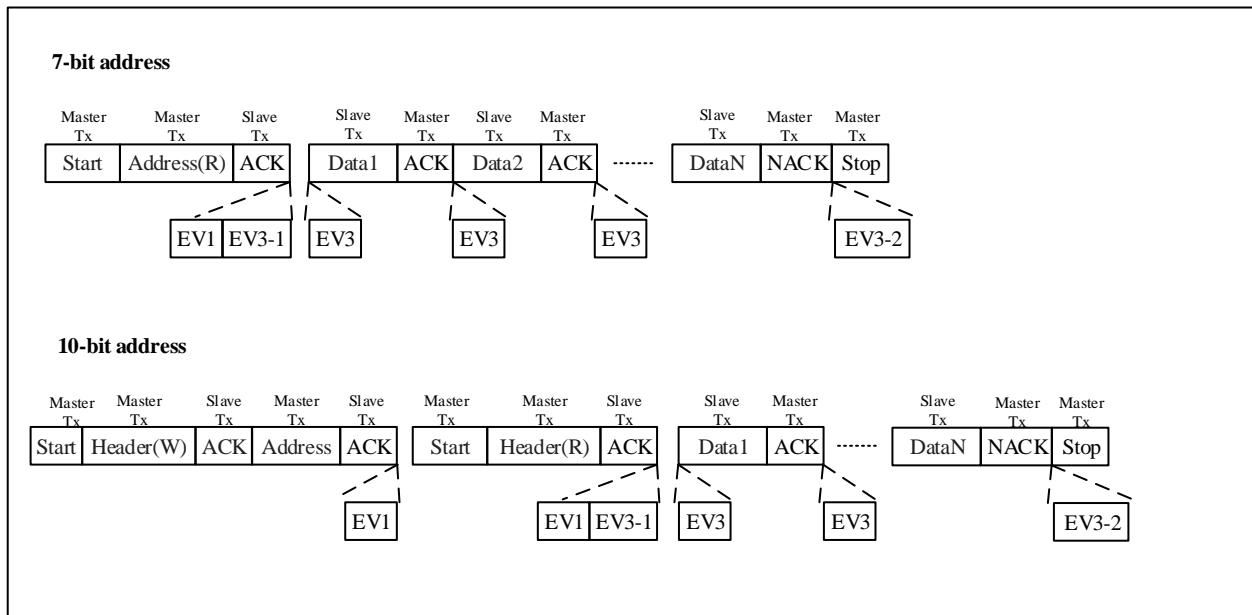
软件可以开启或禁能应答（ACK），并可以设置 I²C 接口的地址（7 位、10 位地址或广播呼叫地址）。

14.3.2.4 I²C 从机发送模式

在从机模式下发送接收标记位 (I2C_STS2.TRF) 指示当前是处于接收器模式还是发送器模式。当在发送器模式下要发送数据到 I²C 总线，软件应该按照下面的步骤操作：

1. 首先，使能 I²C 外设时钟，配置 I2C_CTRL2 中相关寄存器，确保输出正确的 I²C 时序。当这两步都完成以后，I²C 运行在从机模式下，等待接收起始位和地址。
2. I²C 从机先收到一个起始位，随后收到匹配的 7 位或 10 地址，I²C 硬件将 I2C_STS1.ADDRF 位（接收到了地址并且和自身的地址匹配）置 1，软件应该定期查询此位或者中断监视此位，发现置位后，软件读 I2C_STS1 寄存器然后读 I2C_STS2 寄存器来清除 I2C_STS1.ADDRF 位。如果地址是 10 位格式，I²C 主机应该接着再产生一个 START 并发送一个地址头到 I²C 总线。从机在检测到 START 和紧接着的地址头之后会继续将 I2C_STS1.ADDRF 位置 1。软件继续通过读 I2C_STS1 寄存器和接着读 I2C_STS2 寄存器来第二次清除 I2C_STS1.ADDRF 位。
3. I²C 进入数据发送状态，现在移位寄存器和数据寄存器 I2C_DAT 都是空，所以硬件将 I2C_STS1.TXDATE（发送数据空）位置 1。此时软件可以写入第一个字节数据到 I2C_DAT 寄存器，但是，因为写入 I2C_DAT 寄存器的字节被立即移入内部移位寄存器了，所以 I2C_STS1.TXDATE 位并没有被清 0。当移位寄存器非空的时候，I²C 开始发送数据到 I²C 总线。
4. 第一个字节的发送期间，软件写第二个字节到 I2C_DAT，此时 I2C_DAT 寄存器和移位寄存器都不是空。I2C_STS1.TXDATE 位被清 0。
5. 第一个字节发送完成之后，I2C_STS1.TXDATE 再次被置起，软件写第三个字节到 I2C_DAT，同时 I2C_STS1.TXDATE 位被清 0。在此之后，只要依然有数据待等待被发送且 I2C_STS1.TXDATE 被置 1，软件都可以写入一个字节到 I2C_DAT 寄存器。
6. 倒数第二个字节发送期间，软件写最后一个数据到 I2C_DAT 寄存器来清除 I2C_STS1.TXDATE 标志位，之后就再也不用关心 I2C_STS1.TXDATE 的状态。I2C_STS1.TXDATE 位会在倒数第二个字节发送完成后置起，直到检测到 STOP 结束位时被清 0。
7. 根据 I²C 协议，I²C 主机不会对接收到的最后一个字节发送应答，所以在最后一个字节发送结束后，I²C 从机的 ACKFAIL 位（应答出错）会置起以通知软件发送结束。软件写 0 到 I2C_STS1.ACKFAIL 位可以清除此位。

图 14-3 从发送器传送序列



说明：

1. EV1: I2C_STS1.ADDRF = 1, 读 STS1 然后读 STS2 将清除该事件。
2. EV3-1: I2C_STS1.TXDATE=1, 移位寄存器空,数据寄存器空, 写 DAT。
3. EV3: I2C_STS1.TXDATE=1, 移位寄存器非空, 数据寄存器空, 写 DAT 将清除该事件。
4. EV3-2: I2C_STS1.ACKFAIL=1, 在 STS1 的 ACKFAIL 位写“0”可清除该事件。

注：

- a) EV1 和 EV3_1 事件拉长 SCL 低的时间, 直到对应的软件序列结束。
- b) EV3 的软件序列必须在当前字节传输结束之前完成。

14.3.2.5 I²C 从机接收模式

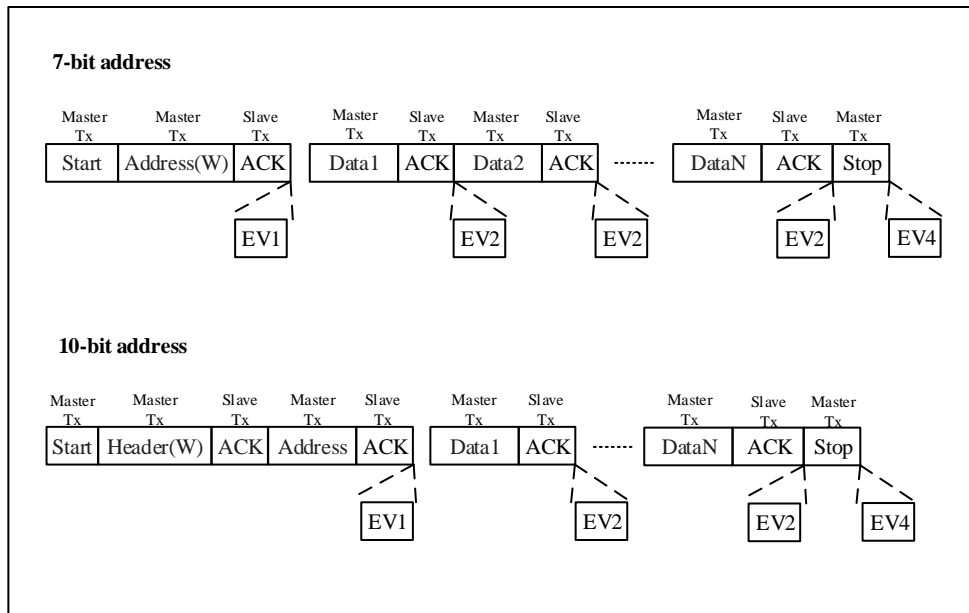
在从机模式下接收数据时, 软件应该按如下步骤操作：

1. 首先, 使能 I²C 外设时钟, 配置 I2C_CTRL2 中相关寄存器, 确保输出正确的 I²C 时序。当这两步都完成以后, I²C 运行在从机模式下, 等待接收起始位和地址。
2. 在接收到 START 起始条件和匹配的 7 位或 10 地址之后, I²C 硬件将 I2C_STS1.ADDRF 位 (接收到了地址并且和自身的地址匹配) 置 1, 此位应该通过软件轮询或者中断来检测, 发现置起后, 软件通过先读 I2C_STS1 寄存器然后再读 I2C_STS2 寄存器来清除 I2C_STS1.ADDRF 位。一旦 I2C_STS1.ADDRF 位被清 0, I²C 从机就开始接收来自 I²C 总线的的数据。
3. 当接收到第一个字节后, I2C_STS1.RXDATNE 位 (接收数据非空) 被硬件置 1, 如果设置了 I2C_CTRL2.EVTINTEN 和 I2C_CTRL2.BUFINTEN 位, 则产生一个中断。软件应该通过轮询或者中断来检测该位, 一旦发现置起后, 软件可以读取 I2C_DAT 寄存器的第一个字节, 此时 I2C_STS1.RXDATNE 位被清 0。注意, 如果设置了 I2C_CTRL1.ACKEN 位, 则在接收到一个字节后, 从机应该产生一个应答脉冲。
4. 任何时候, 只要 I2C_STS1.RXDATNE 位被置 1, 软件均可以从 I2C_DAT 寄存器读取一个字节。当接收

到最后一个字节后，I2C_STS1.RXDATNE 被置 1，软件读取最后一个字节

5. 当从机检测到 I²C 总线上的停止位 (STOP) 后，将 I2C_STS1.STOPF 位置 1，如果设置了 I2C_CTRL2.EVTINTEN 位，则产生一个中断。软件通过先读 I2C_STS1 寄存器再写 I2C_CTRL1 寄存器来清除 I2C_STS1.STOPF 位 ((见下图的 EV4))。

图 14-4 从接收器传送序列



说明:

1. EV1: I2C_STS1.ADDRF = 1, 读 STS1 然后读 STS2 将清除该事件。
2. EV2: I2C_STS1.RXDATNE =1, 读 DAT 将清除该事件。
3. EV4: I2C_STS1.STOPF=1, 读 STS1 然后写 CTRL1 寄存器将清除该事件。

注:

- a) EV1 事件拉长 SCL 低的时间，直到对应的软件序列结束。
- b) EV2 的软件序列必须在当前字节传输结束之前完成。

14.3.2.6 I²C 主机发送模式

在主模式时，I²C 接口启动数据传输并产生时钟信号。串行数据传输总是以起始条件开始并以停止条件结束。当通过 START 位在总线上产生了起始条件，设备就进入了主模式。

在主机模式下发送数据到 I²C 总线时，软件应该按如下步骤操作：

1. 首先，使能 I²C 外设时钟，配置 I2C_CTRL2 中相关寄存器，确保输出正确的 I²C 时序。当这两步都完成以后，I²C 默认运行在从机模式下，等待接收起始位和地址。
2. 当 BUSY=0 时，设置 I2C_CTRL1.STARTGEN 位为 1，I²C 接口将产生一个开始条件并切换至主模式 (I2C_STS2.MSMODE 位置位)。
3. 一旦发出开始条件，I²C 硬件将 I2C_STS1.STARTBF 位 (起始位标志) 置 1 然后进入主机模式，如果设置了 I2C_CTRL2.EVTINTEN 位，则会产生一个中断。接着软件读 I2C_STS1 寄存器然后写一个 7 位地

址位或带有地址头的 10 位地址位到 I2C_DAT 寄存器来清除 I2C_STS1.STARTBF 位。I2C_STS1.STARTBF 位被清 0 后 I²C 就开始发送地址或者地址头到 I²C 总线。

在 10 位地址模式时，发送一个头序列会产生以下事件：

- I2C_STS1.ADDR10F 位被硬件置位，如果设置了 I2C_CTRL2.EVTINTEN 位，则产生一个中断。然后主设备读 STS1 寄存器，再将第二个地址字节写入 DAT 寄存器。
- I2C_STS1.ADDRF 位被硬件置位，如果设置了 I2C_CTRL2.EVTINTEN 位，则产生一个中断。随后主设备读 STS1 寄存器，跟着读 STS2 寄存器

注：在发送器模式，主设备先发送头字节 (11110xx0)，然后发送从地址的低 8 位。(这里 xx 代表 10 位地址中的最高 2 位)。

在 7 位地址模式时，只需送出一个地址字节，一旦该地址字节被送出：

- ADDRFB 位被硬件置位，如果设置了 I2C_CTRL2.EVTINTEN 位，则产生一个中断。随后主设备等待一次读 STS1 寄存器，跟着读 STS2 寄存器。

注：在发送器模式，主设备发送从地址时置最低位为‘0’。

注：主机发送且为 7 位地址模式时，从机地址不能配置成 0xF0、0xF2、0xF4 或 0xF6。

4. 7 位或 10 位的地址位发送完成后，I²C 硬件将 I2C_STS1.ADDRF 位（地址已被发送）置 1，如果设置了 I2C_CTRL2.EVTINTEN 位，则产生一个中断，软件通过读 I2C_STS1 寄存器然后读 I2C_STS2 寄存器来清除 I2C_STS1.ADDRF

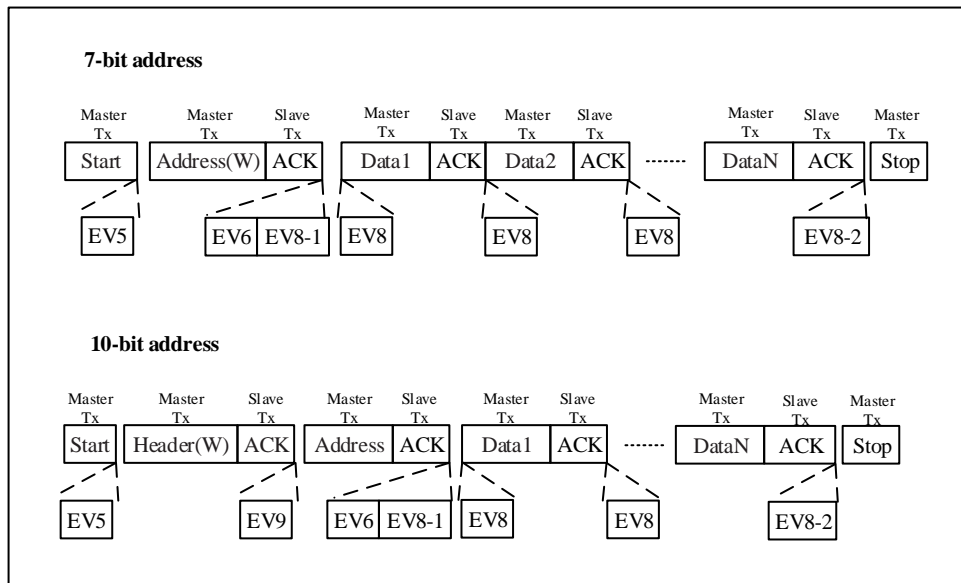
5. I²C 进入数据发送状态，因为移位寄存器和数据寄存器（I2C_DAT）都是空的，所以硬件将 I2C_STS1.TXDATE 位（发送数据空）置 1，接着软件写第一个字节数据到 I2C_DAT 寄存器，但是，因为写入 I2C_DAT 寄存器的字节被立即移入内部移位寄存器，所以 I2C_STS1.TXDATE 位此时不会被清零。一旦移位寄存器非空，I²C 就开始发送数据到总线。

6. 在第一个字节的发送过程中，软件写第二个字节到 I2C_DAT，此时 I2C_STS1.TXDATE 被清零。任何时候，只要还有数据等待被发送，且 I2C_STS1.TXDATE 位被置 1，软件都可以向 I2C_DAT 寄存器写入一个字节。

7. 在倒数第二个字节发送过程中，软件写入最后一个字节数据到 I2C_DAT 来清除 I2C_STS1.TXDATE 标志位，此后就不用关心 I2C_STS1.TXDATE 位的状态。I2C_STS1.TXDATE 位会在倒数第二个字节发送完成后被置起，直到发送停止位（STOP）时被清零。

8. 最后一个字节发送结束后，因为移位寄存器和 I2C_DAT 寄存器此时都为空，I²C 主机将 I2C_STS1.BSF 位（字节发送结束）置位，在清除 I2C_STS1.BSF 位之前 I²C 接口将保持 SCL 为低电平；读出 I2C_STS1 之后再写入 I2C_DAT 寄存器将清除 I2C_STS1.BSF 位。软件此时设置 I2C_CTRL1.STOPGEN 位产生一个停止条件，然后 I²C 接口将自动回到从模式（I2C_STS2.MSMODE 位清除）。

图 14-5 主发送器传送序列



说明：

1. EV5: I2C_STS1.STARTBF = 1, 读 STS1 然后将地址写如 DAT 寄存器将清除该事件。
2. EV6: I2C_STS1.ADDRF = 1, 读 STS1 然后读 STS2 将清除该事件。
3. EV8_1: I2C_STS1.TXDATE = 1, 移位寄存器空, 数据寄存器空, 写 DAT 寄存器。
4. EV8_2: I2C_STS1.TXDATE = 1, 移位寄存器非空, 数据寄存器空, 写 DAT 寄存器将清除该事件。
5. EV8_2: I2C_STS1.TXDATE = 1, I2C_STS1.BSF = 1, 请求设置停止位。这两个事件由硬件在产生停止条件时清除。
6. EV9: I2C_STS1.ADDR10F = 1, 读 STS1 然后写入 DAT 寄存器将清除该事件。

注：

- a) EV5、EV6、EV9、EV8_1 和 EV8_2 事件拉长 SCL 低的时间, 直到对应的软件序列结束。
- b) EV8 的软件序列必须在当前字节传输结束之前完成。
- c) 当 TXDATE 或 BSF 位置位时, 停止条件应安排在出现 EV8_2 事件时。

14.3.2.7 I²C 主机接收模式

支持 BYTENUM 字节控制模式, 在主机接收模式下, 配置好接收字节数之后, 由硬件自动结束通讯, 无需软件介入配置 NACK 及发送 START/STOP 条件, 当然也可以使用普通的主机接收模式。

在主机模式下从 I²C 总线接收数据软件应该按如下步骤操作：

1. 首先, 使能 I²C 外设时钟, 配置 I2C_CTRL2 中相关寄存器, 确保输出正确的 I²C 时序。使能和配置以后, I²C 默认运行在从机模式下, 等待接收起始位和地址。

注：若需启用主机接收字节控制, 则需要在此步骤使能 I²C 外设时钟后额外使能 I2C_BYTENUM.BYTENUMEN, 并通过 I2C_BYTENUM.BYTENUM 配置接收字节数, I2C_BYTENUM.RXFSEL 选择接收完成后主机发送 START 或 STOP 条件。

2. 当 `BUSY=0` 时, 设置 `I2C_CTRL1.STARTGEN` 位为 1, I²C 接口将产生一个开始条件并切换至主模式 (`I2C_STS2.MSMODE` 位置位)。
3. 一旦发出开始条件, I²C 硬件将 `I2C_STS1.STARTBF` 位 (起始位标志) 置 1 然后进入主机模式, 如果设置了 `I2C_CTRL2.EVTINTEN` 位, 则会产生一个中断。接着软件读 `I2C_STS1` 寄存器然后写一个 7 位地址位或带有地址头的 10 位地址位到 `I2C_DAT` 寄存器来清除 `I2C_STS1.STARTBF` 位。`I2C_STS1.STARTBF` 位被清 0 后 I²C 就开始发送地址或者地址头到 I²C 总线。

在 10 位地址模式时, 发送一个头序列会产生以下事件:

- `I2C_STS1.ADDR10F` 位被硬件置位, 如果设置了 `I2C_CTRL2.EVTINTEN` 位, 则产生一个中断。然后主设备读 `STS1` 寄存器, 再将第二个地址字节写入 `DAT` 寄存器。
- `I2C_STS1.ADDRF` 位被硬件置位, 如果设置了 `I2C_CTRL2.EVTINTEN` 位, 则产生一个中断。随后主设备读 `STS1` 寄存器, 跟着读 `STS2` 寄存器。

注: 在接收器模式, 主设备先发送头字节 (11110xx0), 然后发送从地址的低 8 位, 然后再重新发送一个开始条件, 后面跟着头字节 (11110xx1) (这里 xx 代表 10 位地址中的最高 2 位)。

在 7 位地址模式时, 只需送出一个地址字节, 一旦该地址字节被送出:

- `I2C_STS1.ADDRF` 位被硬件置位, 如果设置了 `I2C_CTRL2.EVTINTEN` 位, 则产生一个中断。随后主设备等待一次读 `STS1` 寄存器, 跟着读 `STS2` 寄存器。

注: 在接收器模式, 主设备发送从地址时置最低位为 '1'。

4. 7 位或 10 位的地址位发送完成后, I²C 硬件将 `I2C_STS1.ADDRF` 位 (地址已被发送) 置 1, 如果设置了 `I2C_CTRL2.EVTINTEN` 位, 则产生一个中断, 软件通过读 `I2C_STS1` 寄存器然后读 `I2C_STS2` 寄存器来清除 `I2C_STS1.ADDRF`, 在发送地址和清除 `I2C_STS1.ADDRF` 之后, 如果地址是 10 位格式, 软件应该再次将 `STARTGEN` 位置 1 来重新产生一个 `START (Sr)`。在 `START` 产生后, `I2C_STS1.STARTBF` 位会被置 1。软件应该通过先读 `I2C_STS1` 然后写地址头到 `I2C_DAT` 来清除 `I2C_STS1.STARTBF` 位, 然后地址头被发到 I²C 总线, `ADDRF` 再次被置 1。软件应该再次通过先读 `I2C_STS1` 然后读 `I2C_STS2` 来清除 `I2C_STS1.ADDRF` 位。
5. 在发送完地址和清除 `I2C_STS1.ADDRF` 之后, I²C 接口进入主机接收器模式。在此模式下, I²C 接口从 SDA 线接收数据字节, 并通过内部移位寄存器送至 `DAT` 寄存器。一旦接收到第一个字节, 硬件会将 `I2C_STS1.RXDATNE` 位 (接收数据非空标志位) 置 1, 如果 `ACKEN` 位被置位, 发出一个应答脉冲。此时软件可以从 `I2C_DAT` 寄存器读取第一个字节, 之后 `I2C_STS1.RXDATNE` 位被清 0。此后, 只要 `I2C_STS1.RXDATNE` 被置 1, 软件就可以从 `I2C_DAT` 寄存器读取一个字节。
6. 主设备在从从设备接收到最后一个字节后发送一个 `NACK`。接收到 `NACK` 后, 从设备释放对 SCL 和 SDA 线的控制; 主设备就可以发送一个停止/重新起始条件。为了在收到最后一个字节后产生一个 `NACK` 脉冲, 接收完倒数第二个字节(N-1)数据之后, 软件应该立即清除 `ACKEN` 位。为了产生一个停止/重新起始条件, 软件必须在读倒数第二个数据字节之后将 `I2C_CTRL1.STOPGEN` 位或者 `I2C_CTRL1.STARTGEN` 置 1, 这一过程需要在最后一个字节接收完毕之前完成, 以确保 `NACK` 发送给最后一个字节。

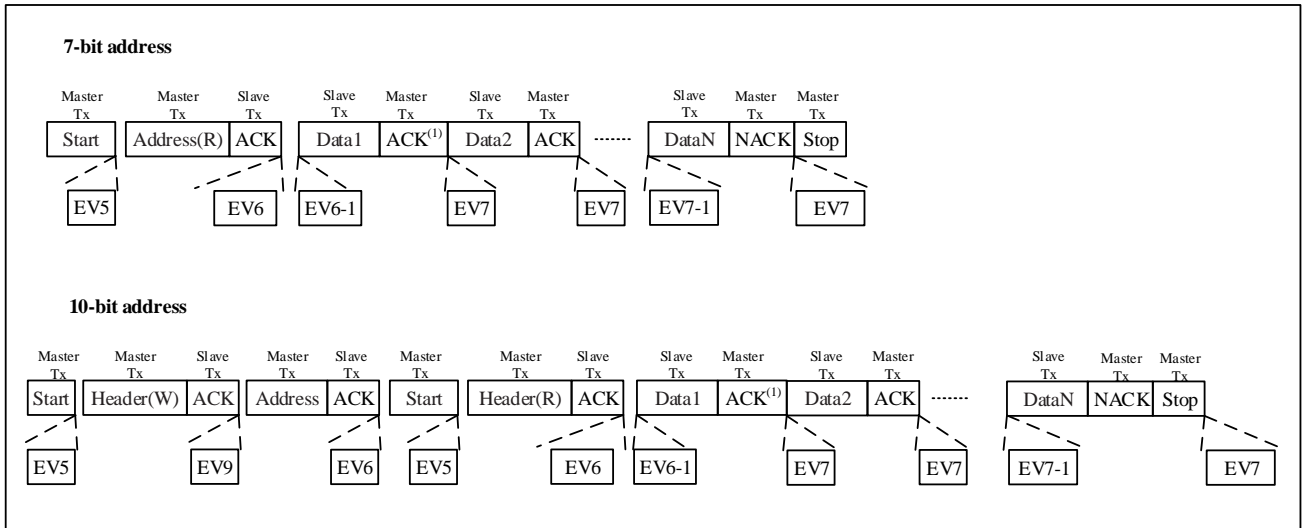
注: 若前面已启用主机接收字节控制, 则可以忽略步骤 6、7, 软件只需要根据接收标志读取字节即可, 硬件会自动在接收完成后自动发送 `NACK` 及 `START/STOP` 条件。

7. 最后一个字节接收完毕后, `I2C_STS1.RXDATNE` 位被置 1, 软件可以读取最后一个字节。由于

I2C_CTRL1.ACKEN 已经在前一步骤中被清 0，I2C 不再为最后一个字节发送 ACK，并在最后一个字节发送完毕后产生一个 STOP 停止位。

注意：在普通的主机接收模式下，以上步骤要求字节数目 $N > 1$ ，如果 $N = 1$ ，步骤 6 应该在步骤 4 之后就执行，且需要在字节接收完成之前完成。

图 14-6 主接收器传送序列



说明:

1. EV5: I2C_STS1.STARTBF=1, 读 STS1 然后将地址写入 DAT 寄存器清除该事件。
2. EV6: I2C_STS1.ADDRF=1, 读 STS1 然后读 STS2 将清除该事件。在 10 位主接收模式下，该事件后应设置 CTRL1 的 STARTGEN=1。
3. EV6_1: 没有对应的事件标志，至适于接收 1 个字节的情况。恰好在 EV6 之后（即清除了 ADDRf 之后），要清除响应和停止条件的产生位。
4. EV7: I2C_STS1.RXDATNE=1, 读 DAT 寄存器消除该事件。
5. EV7_1: I2C_STS1.RXDATNE =1, 读 DAT 寄存器清除该事件。设置 I2C_CTRL1.ACKEN=0 和 I2C_CTRL1.STOPGEN=1。
6. EV9: I2C_STS1.ADDR10F=1, 读 STS1 然后写入 DAT 寄存器将清除该事件。

注:

- a) 如果收到一个单独的字节，则是NA。
- b) EV5、EV6和EV9事件拉长SCL低电平，直到对应的软件序列结束。
- c) EV7的软件序列必须在当前字节传输结束前完成。
- d) EV6_1或EV7_1的软件序列必须在当前传输字节的ACK脉冲之前完成。

14.3.3 错误条件

I2C 的错误主要有总线错误、应答错误、仲裁丢失、过载/欠载错误。这些错误都可能造成通讯的失败。

14.3.3.1 应答错误 (ACKFAIL)

当接口检测到应答位与期望不符时，将产生应答错误。此时 I2C_STS1.ACKFAIL 被置位，如果设置了 I2C_CTRL2.ERRINTEN 位，则产生一个中断。当发送器接收到一个 NACK 时，必须复位通讯：如果处于从模式，硬件会释放总线。如果是处于主模式，软件必须生产一个停止条件。

14.3.3.2 总线错误 (BUSERR)

在一个地址或数据字节传输期间，当 I2C 接口检测到一个外部的停止或起始条件则产生总线错误，I2C_STS1.BUSERR 被置位。如果设置了 I2C_CTRL2.ERRINTEN 位为“1”，则产生一个中断。

在主模式情况下，硬件不释放总线，同时不影响当前的传输状态。此时由软件决定是否要中止当前的传输。

在从模式情况下，数据被丢弃，硬件释放总线。此时有两种情况：如果检测到错误的开始条件，从设备认为是一个重启动，并等待地址或停止条件。如果检测到错误的停止条件，从设备按正常的停止条件操作，同时硬件释放总线。

14.3.3.3 仲裁丢失 (ARLOST)

当 I2C 接口检测到仲裁丢失时产生仲裁丢失错误，硬件释放总线，I2C_STS1.ARLOST 位被置位。如果设置了 I2C_CTRL2.ERRINTEN 位为“1”，则产生一个中断。

I2C 接口自动回到从模式 (I2C_STS2.MSMODE 位被清除)。当 I2C 接口丢失了仲裁，则它无法在同一次传输中作为从机响应它的从地址，但它可以在赢得了仲裁的主设备重新发送起始条件之后响应。

14.3.3.4 过载/欠载错误 (OVERRUN)

在从机接收模式下，如果禁止时钟延长，容易发生过载/欠载错误。

当它已经接收到一个字节 (I2C_STS1.RXDATNE=1)，但在 DAT 寄存器中前一个字节数据还没有被读出，则发生过载错误，数据寄存器最后接收的数据被丢弃；同时软件应清除 I2C_STS1.RXDATNE 位，发送器重新发送最后一次发送的字节。

在从机发送模式下，如果禁止时钟延长，在当前字节已经发送完成，而 DAT 仍然为空 (I2C_STS1.TXDATE=1)，则发生欠载错误。此时，在 DAT 寄存器中的前一个字节将被重复发出；用户应该确定在发生欠载错时，接收端应丢弃重复接收到的数据。发送端应按 I2C 总线标准在规定的时间内更新 I2C_DAT 寄存器。

在发送第一个字节时，必须在清除 I2C_STS1.ADDRF 之后并且第一个 SCL 上升沿之前写入 I2C_DAT 寄存器；如果不能做到这点，则接收方应该丢弃第一个数据。

14.3.4 包错误校验 (PEC)

将 I2C_CTRL1.PECEN 位置 1 就可以使能 PEC 功能，PEC 使用 CRC-8 算法对包括地址和读/写位在内所有信息字节进行计算，从而提高通信的可靠性。包错误校验 (PEC) 计算器使用的 CRC-8 多项式为 $C(x) = x^8 + x^2 + x + 1$ 。

在发送模式时，软件可以在最后一个 I2C_STS1.TXDATE 事件时设置 I2C_CTRL1.PEC 传输位，PEC 将在最后一个字节后被发送。在接收模式时，软件在最后一个 I2C_STS1.RXDATNE 事件之后设置 I2C_CTRL1.PEC 位，然后接收 PEC 字节，并将接收到的 PEC 字节与内部计算的 PEC 值进行比较。如果不等于内部计算的 PEC，接收器发送一个 NACK。如果是主机接收器模式，不管校对的结果如何，PEC 后都将发送 NACK。需要注意，I2C_CTRL1.PEC 位必须在接收当前字节的 ACK 脉冲之前设置。

当仲裁丢失的时候，PEC 计算失效。

14.3.5 噪声滤波

I²C 接口标准要求能够过滤在 SCL/SDA 线上的 50ns 的毛刺，因此设计了模拟滤波器和数字滤波器。模拟滤波器默认时开启的，也可以通过设置 I2C_GFLTRCTRL.SCLAFENN/SDAAFENN 位禁用此功能。模拟滤波器通过配置 I2C_GFLTRCTRL.SCLAFE/SDAAFW 去设置过滤毛刺的宽度 5ns,15ns,25ns,35ns。数字滤波器通过设置 I2C_GFLTRCTRL.SCLDFW/SDADFW 为非 0 值去使能。其最大滤波宽度为 (SCLDEW[3:0]或 SDADFW[3:0]) * T_{PCLK}。使能数字滤波器将增加 SDA 线的保持时间，增加值为(SDADFW[3:0]+1)*T_{PCLK}。

14.4 中断请求

下表列出了所有的 I²C 中断请求：

表 14-1 I²C 中断请求

中断函数	中断事件	事件标志	设置控制位
I2C event interrupt	起始位已发送 (主)	STARTBF	EVTINTEN
	地址已发送 (主) 或地址匹配 (从)	ADDRF	
	10 位头段地址已发送 (主)	ADDR10F	
	收到停止位 (从)	STOPF	
	数据字节传输完成	BSF	
	接收缓冲区非空	RXDATNE	EVTINTEN 和 BUFINTEN
发送缓冲区为空	TXDATE		
I2C error interrupt	总线错误	BUSERR	ERRINTEN
	仲裁丢失 (主)	ARLOST	
	应答失败	ACKFAIL	
	过载/欠载	OVERRUN	
	PEC 错误	PECERR	

注: 1. STARTBF, ADDRf, ADDR10F, STOPF, BSF, RXDATNE 和 TXDATE 通过逻辑或汇到同一个中断通道中。
2. BUSERR、ARLOST、ACKFAIL、OVERRUN 和 PECERR 通过逻辑或汇到同一个中断通道中。

14.5 I2C 寄存器描述

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

14.5.1 I²C 寄存器总览

表 14-2 I²C 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
000h	I2C_CTRL1	Reserved														SWRESET	Reserved		PEC	ACKPOS	ACKEN	STOPGEN	STARTGEN	NOEXTEND	GCEN	PECEN	Reserved					EN	
	Reset Value	0														0	0		0	0	0	0	0	0	0	0					0		
004h	I2C_CTRL2	Reserved														Reserved				BUFINTEN	EVTINTEN	ERRINTEN	Reserved		CLKFREQ[5:0]								

	Reset Value											0	0	0		0	0	0	0	0	0	0	0			
008h	I2C_OADDR1	Reserved										ADDRMODE	Reserved	Reserved					ADDR[9:8]	ADDR[7:1]					ADDR0	
	Reset Value											0							0	0	0	0	0	0	0	0
00Ch	I2C_OADDR2	Reserved															ADDR2[7:1]					DUALEN				
	Reset Value																0	0	0	0	0	0	0	0	0	0
010h	I2C_DAT	Reserved															DATA[7:0]									
	Reset Value																0	0	0	0	0	0	0	0	0	0
014h	I2C_STS1	Reserved										PECERR	OVERRUN	ACKFAIL	ARLOST	BUSERR	TXDATE	RXDATNE	Reserved	STOPF	ADDR10F	BSF	ADDRF	STARTBF		
	Reset Value											0	0	0	0	0	0	0		0	0	0	0	0		
018h	I2C_STS2	Reserved										PECVL[7:0]					DUALFLAG	Reserved	CCALLADDR	Reserved	TRF	BUSY	MSMODE			
	Reset Value											0	0	0	0	0	0	0		0		0	0	0		
01Ch	I2C_CLKCTRL	Reserved										FSMODE	DUTY	Reserved	CLKCTRL[11:0]											
	Reset Value											0	0		0	0	0	0	0	0	0	0	0	0	0	0
020h	I2C_TMRISE	Reserved															TMRISE[5:0]									
	Reset Value																0	0	0	0	1	0				
024h	I2C_GFLTRCTRL	Reserved										SCLAFENN	SCLAFW[1:0]	SDAAFENN	SDAAFW[1:0]	SCLDFW[3:0]			SDADFW[3:0]							
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0			
028h	I2C_BYTENUM	Reserved										BYTENUMEN	RXFSEL	BYTENUM[13:0]												
	Reset Value											0	0	0												

14.5.2 I²C 控制寄存器 1 (I2C_CTRL1)

地址偏移：0x00

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	Reserved			1	0
SW RESET	Reserved		PEC	ACK POS	ACKEN	STOP GEN	START GEN	NO EXTEND	GCEN	PECEN				EN		
rw			rw	rw	rw	rw	rw	rw	rw	rw				rw		

位域	名称	描述
15	SWRESET	软件复位 (Software reset) 在复位该位前确认 I ² C 的引脚被释放，总线是空的。 0: I ² C 模块不处于复位状态； 1: I ² C 模块处于复位状态。

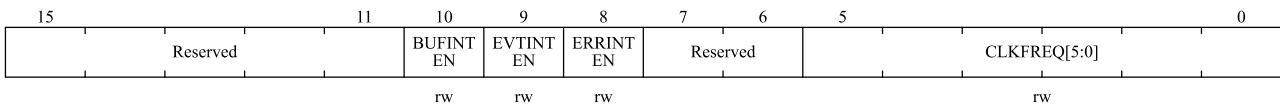
位域	名称	描述
		<i>注：该位可以用于 I2C_STS2.BUSY 位为‘1’，在总线上又没有检测到停止条件时。</i>
14:13	Reserved	保留，必须保持复位值
12	PEC	数据包出错检测（Packet error checking） 软件可以设置或清除该位；当传送完 PEC 后或检测到起始或停止条件时或当 I2C_CTRL1.EN=0 时，硬件均会将其清除。 0：无 PEC 传输 1：PEC 传输 <i>注：仲裁丢失时，PEC 的计算失效。</i>
11	ACKPOS	应答/PEC 位置（用于数据接收）（Acknowledge/PEC Position（for data reception）） 软件可以设置或清除该位，或当 I2C_CTRL1.EN=0 时，由硬件清除。 0：I2C_CTRL1.ACKEN 位决定是否向当前正在接收的字节发送 ACK；I2C_CTRL1.PEC 位表示当前移位寄存器中的字节为 PEC。 1：I2C_CTRL1.ACKEN 位决定是否向下一个接收到的字节发送 ACK；I2C_CTRL1.PEC 位指示移位寄存器中接收到的下一个字节是 PEC。 注：ACKPOS 位只能用在 2 字节的接收配置中，必须在接收数据之前配置。 为了 NACK 第 2 个字节，I2C_CTRL1.ACKEN 位必须在 I2C_STS1.ADDRF 位清零后清零。 为了检测第 2 个字节的 PEC，必须在配置 ACKPOS 位之后，ADDR 延展事件时设置 I2C_CTRL1.PEC 位。
10	ACKEN	应答使能（Acknowledge enable） 软件可以设置或清除该位，或当 I2C_CTRL1.EN=0 时，由硬件清除。 0：无应答返回； 1：在接收到一个字节后返回一个应答（匹配的地址或数据）。
9	STOPGEN	停止条件产生（Stop generation） 软件可以设置或清除该位；或当检测到停止条件时，由硬件清除； 在主模式下： 0：无停止条件产生； 1：产生停止条件。 在从模式下： 0：无停止条件产生； 1：在当前字节传输后释放 SCL 和 SDA 线。 <i>注：当设置了 STOPGEN、STARTGEN 或 PEC 位，在硬件清除这个位之前，软件不要执行任何对 I2C_CTRL1 的写操作；否则有可能会第 2 次设置 STOPGEN、STARTGEN 或 PEC 位。</i>
8	STARTGEN	起始条件产生（Start generation） 软件可以设置或清除该位，当起始条件发出后或 I2C_CTRL1.EN=0 时，由硬件清除。 0：无起始条件产生； 1：产生起始条件。
7	NOEXTEND	禁止时钟延长（从模式）（Clock stretching disable（Slave mode）） 该位决定在从机模式下数据未就绪（I2C_STS1.ADDRF 或 I2C_STS1.BSF 标志置位）时是否拉低 SCL。通过软件复位清零。 0：允许时钟延长； 1：禁止时钟延长。
6	GCEN	广播呼叫使能（General call enable）

位域	名称	描述
		0: 禁止广播呼叫。不应答(NACK)地址 00h; 1: 允许广播呼叫。以应答(ACK)地址 00h。
5	PECEN	PEC 使能 (PEC enable) 0: 禁止 PEC 模式; 1: 开启 PEC 模式。
4:1	Reserved	保留, 必须保持复位值
0	EN	I ² C 模块使能 (Peripheral enable) 0: 禁用 I ² C 模块; 1: 启用 I ² C 模块。 <i>注: 如果清除该位时通讯正在进行, 在当前通讯结束后, I²C 模块被禁用并返回空闲状态。由于在通讯结束后发生 EN=0, 所有的位被清除。在主模式下, 通讯结束之前, 绝不能清除该位。</i>

14.5.3 I²C 控制寄存器 2 (I2C_CTRL2)

地址偏移: 0x04

复位值: 0x0000



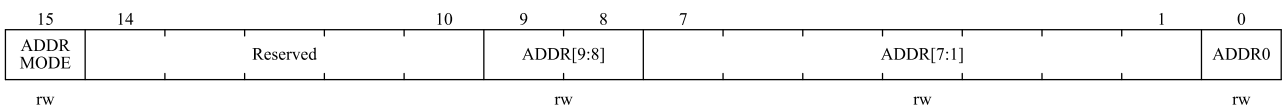
位域	名称	描述
15:11	Reserved	保留, 必须保持复位值
10	BUFINTEN	缓冲器中断使能 (Buffer interrupt enable) 0: 当 I2C_STS1.TXDATE=1 或 I2C_STS1.RXDATNE=1 时, 不产生任何中断; 1: 当 I2C_STS1.TXDATE=1 或 I2C_STS1.RXDATNE=1 时 (I2C_CTRL2.EVTINTEN=1), 产生事件中断。
9	EVTINTEN	事件中断使能 (Event interrupt enable) 0: 禁止事件中断 1: 允许事件中断 在下列条件下, 将产生该中断: I2C_STS1.STARTBF = 1 (主模式) I2C_STS1.ADDRF = 1 (主/从模式) I2C_STS1.ADD10F = 1 (主模式) I2C_STS1.STOPF = 1 (从模式) I2C_STS1.BSF = 1, 但是没有 I2C_STS1.TXDATE 或 I2C_STS1.RXDATNE 事件 如果 I2C_STS1.BUFINTEN = 1, I2C_STS1.TXDATE 标志为 1 如果 I2C_STS1.BUFINTEN = 1, I2C_STS1.RXDATNE 标志为 1
8	ERRINTEN	出错中断使能 (Error interrupt enable) 0: 禁止出错中断; 1: 允许出错中断。 在下列条件下, 将产生该中断:

位域	名称	描述
		I2C_STS1.BUSERR = 1 I2C_STS1.ARLOST = 1 I2C_STS1.ACKFAIL = 1 I2C_STS1.OVERRUN = 1 I2C_STS1.PECERR = 1
7:6	Reserved	保留，必须保持复位值
5:0	CLKFREQ[5:0]	I ² C 模块时钟频率（Peripheral clock frequency） CLKFREQ[5:0] 应该为 APB 时钟频率以产生正确的时序： 000000：禁用 000001：禁用 000010：2MHz 000011：3MHz ... 110000：48MHz 110001~111111：禁用。

14.5.4 I²C 自身地址寄存器 1 (I2C_OADDR1)

地址偏移：0x08

复位值：0x0000

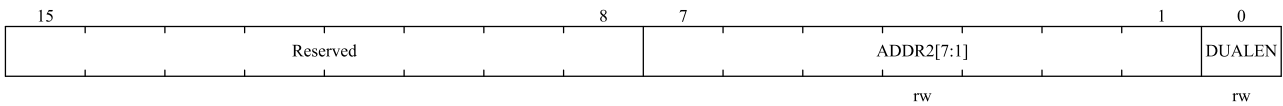


位域	名称	描述
15	ADDRMODE	寻址模式（从模式）（Addressing mode（slave mode）） 0：7 位从地址 1：10 位从地址
14	Reserved	必须始终由软件保持为‘1’。
13:10	Reserved	保留，必须保持复位值
9:8	ADDR[9:8]	接口地址（Interface address） 地址的 9~8 位。 <i>注：7 位地址模式时不用关心</i>
7:1	ADDR[7:1]	接口地址（Interface address） 地址的 7~1 位。
0	ADDR0	接口地址（Interface address） 地址第 0 位。 <i>注：7 位地址模式时不用关心</i>

14.5.5 I²C 自身地址寄存器 2 (I2C_OADDR2)

地址偏移：0x0C

复位值：0x0000

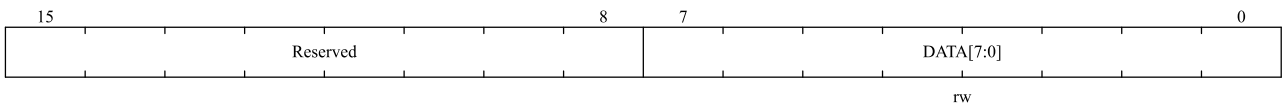


位域	名称	描述
15:8	Reserved	保留，必须保持复位值
7:1	ADDR2[7:1]	接口地址（Interface address） 在双地址模式下地址的 7~1 位。
0	DUALEN	双地址模式使能位（Dual addressing mode enable） 0：不使能双地址模式，只有 OADDR1 被识别； 1：使能双地址模式，OADDR1 和 OADDR2 都被识别。 <i>注：仅 7 位地址模式有效</i>

14.5.6 I²C 数据寄存器 (I2C_DAT)

地址偏移：0x10

复位值：0x0000

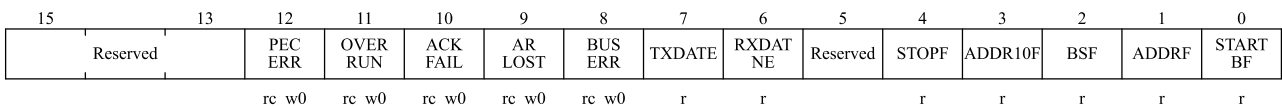


位域	名称	描述
15:8	Reserved	保留，必须保持复位值
7:0	DATA[7:0]	8 位数据寄存器（8-bit data register） 发送或接收数据 <i>注意：从模式下。地址不会被拷贝到数据寄存器</i> <i>注意：如果 I2C_STS1.TXDATE = 0，数据仍然会被写入数据寄存器</i> <i>注意：如果在处理 ACK 时，发生了 ARLOST 事件，接收到的字节不会被拷贝到数据寄存器，因此不能读到它。</i>

14.5.7 I²C 状态寄存器 1 (I2C_STS1)

地址偏移：0x14

复位值：0x0000



位域	名称	描述
15:13	Reserved	保留，必须保持复位值
12	PECERR	在接收时发生 PEC 错误（PEC Error in reception） 该位由软件写‘0’清除，或在 I2C_CTRL1.EN = 0 时由硬件清除。

位域	名称	描述
		0: 无 PEC 错误: 接收到 PEC 后接收器返回 ACK (如果 I2C_CTRL1.ACKEN=1) 1: PEC 错误: 接收到 PEC 后接收器返回 NACK (不管 I2C_CTRL1.ACKEN 是否置位)
11	OVERRUN	过载/欠载 (Overrun/Underrun) 该位由软件写‘0’清除, 或在 I2C_CTRL1.EN=0 时由硬件清除。 0: 无过载/欠载; 1: 出现过载/欠载。 当 I2C_CTRL1.NOEXTEND=1 时, 在从模式下该位被硬件置位。同时: 在接收模式中当接收到一个新的字节时, 如果数据寄存器里的内容还未被读出, 则发生过载错误, 新接收的字节将会丢失。 在发送模式中要发送一个新的字节时, 却没有新的数据写入数寄存器, 将发生欠载错误, 同样的数据将会被发送两次。
10	ACKFAIL	应答失败 (Acknowledge failure) 该位由软件写‘0’清除, 或在 I2C_CTRL1.EN=0 时由硬件清除。 0: 没有应答失败; 1: 应答失败。
9	ARLOST	仲裁丢失 (主模式) 该位由软件写‘0’清除, 或在 I2C_CTRL1.EN=0 时由硬件清除。 0: 没有仲裁丢失; 1: 仲裁丢失。 当接口失去对总线的控制时, 硬件将置该位为‘1’, I ² C 接口自动切换回从模式 (I2C_STS2.MSMODE=0)。
8	BUSERR	总线错误 (Bus error) 该位由软件写‘0’清除, 或在 I2C_CTRL1.EN=0 时由硬件清除。 0: 无起始或停止条件出错; 1: 起始或停止条件出错。
7	TXDATE	数据寄存器为空 (发送时) 软件写数据到 DAT 寄存器可清除该位; 或在发生一个起始或停止条件后, 或当 I2C_CTRL1.EN=0 时由硬件自动清除。 0: 数据寄存器非空; 1: 数据寄存器空。 在发送数据时, 数据寄存器为空时该位被置‘1’, 在发送地址阶段不设置该位。 如果收到一个 NACK, 或下一个要发送的字节是 PEC (I2C_CTRL1.PEC=1), 该位不被置位。 <i>注: 在写入第 1 个要发送的数据后, 或设置了 BSF 时写入数据, 都不能清除 TXDATE 位, 这是因为数据寄存器仍然为空。</i>
6	RXDATNE	数据寄存器非空 (接收时) 软件对数据寄存器的读写操作清除该位, 或当 I2C_CTRL1.EN=0 时由硬件清除。 0: 数据寄存器为空; 1: 数据寄存器非空。 在接收时, 当数据寄存器不为空, 该位被置‘1’。在接收地址阶段, 该位不被置位。 在发生 ARLOST 事件时, RXDATNE 不被置位。 <i>注: 当设置了 BSF 时, 读取数据不能清除 RXDATNE 位, 因为数据寄存器仍然为满。</i>

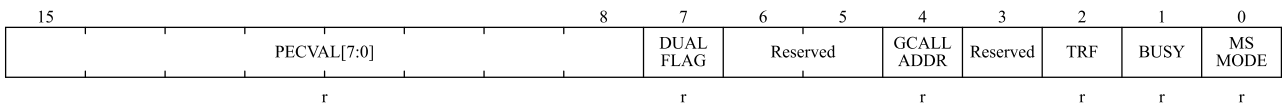
位域	名称	描述
5	Reserved	保留，必须保持复位值
4	STOPF	停止条件检测位（从模式） 软件读取 STS1 寄存器后，对 I2C_CTRL1 寄存器的写操作将清除该位，或当 I2C_CTRL1.EN=0 时，硬件清除该位。 0：没有检测到停止条件； 1：检测到停止条件。 在一个应答之后，当从设备在总线上检测到停止条件时，硬件将该位置‘1’。 <i>注：在收到NACK后，I2C_STS1.STOPF 位不被置位。</i>
3	ADDR10F	10 位头序列已发送（主模式） 软件读取 STS1 寄存器后，对 CTRL1 寄存器的写操作将清除该位，或当 I2C_CTRL1.EN=0 时，硬件清除该位。 0：没有 ADDR10F 事件发生； 1：主设备已经将第一个地址字节发送出去。 在 10 位地址模式下，当主设备已经将第一个地址字节发送出去时，硬件将该位置‘1’。 <i>注：收到一个NACK后，I2C_STS1.ADD10F 位不被置位。</i>
2	BSF	字节传输结束（Byte transfer finished） 在软件读取 STS1 寄存器后，对数据寄存器的读或写操作将清除该位；或在传输中发送一个起始或停止条件后，或当 I2C_CTRL1.EN =0 时，由硬件清除该位。 0：字节传输未完成； 1：字节传输结束。 当 I2C_CTRL1.NOEXTEND =0 时，在下列情况下硬件将该位置‘1’： 在接收时，当收到一个新字节（包括 ACK 脉冲）且数据寄存器还未被读取（I2C_STS1.RXDATNE =1）。 在发送时，当一个新数据将被发送且数据寄存器还未被写入新的数据（I2C_STS1.TXDATE =1）。 <i>注：在收到一个NACK后，BSF 位不会被置位。</i> <i>如果下一个要传输的字节是 PEC（I2C_STS2.TRF 为‘1’，同时 I2C_CTRL1.PEC 为‘1’），BSF 位不会被置位。</i>
1	ADDRF	地址已被发送（主模式）/地址匹配（从模式） 在软件读取 STS1 寄存器后，对 STS2 寄存器的读操作将清除该位，或当 I2C_CTRL1.EN=0 时，由硬件清除该位。 0：地址不匹配或没有收到地址（从模式），地址发送未完成（主模式）； 1：收到的地址匹配（从模式），地址发送完成（主模式）。 在主模式下： 7 位地址模式时，当收到地址的 ACK 后该位被置‘1’，10 位地址模式时，当收到地址的第二个字节的 ACK 后该位被置‘1’。 在从模式下： 当收到的从地址与 OADDR 寄存器中的内容相匹配，或广播呼叫时，硬件就将该位置‘1’（当对应的设置被使能时）。 <i>注：在收到NACK后，I2C_STS1.ADDRF 位不会被置位。</i>
0	STARTBF	起始位（主模式） 软件读取 I2C_STS1 寄存器后，写数据寄存器的操作将清除该位，或当 I2C_CTRL1.EN=0

位域	名称	描述
		时，硬件清除该位。 0：未发送起始条件； 1：起始条件已发送。 当发送出起始条件时该位被置‘1’。

14.5.8 I²C 状态寄存器 2 (I2C_STS2)

地址偏移：0x18

复位值：0x0000



位域	名称	描述
15:8	PECVAL[7:0]	数据包出错检测（Packet error checking register） 当 I2C_CTRL1.PECEN=1 时，PECVAL[7:0]存放内部的 PEC 值。
7	DUALFLAG	双标志（从模式） 在产生一个停止条件或一个重复的起始条件时，或 I2C_CTRL1.EN =0 时，硬件将该位清除。 0：接收到的地址与 OADDR1 内的内容相匹配； 1：接收到的地址与 OADDR2 内的内容相匹配。
6:5	Reserved	保留，必须保持复位值
4	GCALLADDR	广播呼叫地址（从模式） 在产生一个停止条件或一个重复的起始条件时，或 I2C_CTRL1.EN=0 时，硬件将该位清除。 0：未收到广播呼叫地址； 1：当 I2C_CTRL1.GCEN =1 时，收到广播呼叫的地址。
3	Reserved	保留，必须保持复位值
2	TRF	发送/接收（Transmitter/receiver） 在检测到停止条件（I2C_STS1.STOPF =1）、重复的起始条件或总线仲裁丢失（I2C_STS1.ARLOST =1）后，或当 I2C_CTRL1.EN=0 时，硬件将其清除。 0：数据接收模式； 1：数据发送模式； 在整个地址传输阶段的结尾，该位根据地址字节的 R/W 位来设定。
1	BUSY	总线忙（Bus busy） 当检测到一个停止条件时，硬件将该位清除。 0：在总线上无数据通讯； 1：在总线上正在进行数据通讯。 在检测到 SDA 或 SCL 为低电平时，硬件将该位置‘1’； <i>注：该位指示当前正在进行的总线通讯，当接口被禁用（I2C_CTRL1.EN =0）时该信息仍然被更新。</i>
0	MSMODE	主从模式（Master/slave）

位域	名称	描述
		当总线上检测到一个停止条件、仲裁丢失 (I2C_STS1.ARLOST =1) 时、或当 I2C_CTRL1.EN =0 时，硬件清除该位。 0: 从模式; 1: 主模式。 当接口处于主模式 (I2C_CTRL1.STARTBF=1) 时，硬件将该位置位;

14.5.9 I²C 时钟控制寄存器 (I2C_CLKCTRL)

地址偏移: 0x1C

复位值: 0x0000

注: CLKCTRL 寄存器只有在关闭 I²C 时 (I2C_CTRL1.EN =0) 才能设置。

15	14	13	12	11															0
FSMODE	DUTY	Reserved			CLKCTRL[11:0]														
rw	rw				rw														

位域	名称	描述
15	FSMODE	I2C 模式选择 0: I2C 标准模式(占空比默认 1/1); 1: I2C 快速模式(占空比可配置).
14	DUTY	快速模式占空比 0: T _{low} /T _{high} = 2; 1: T _{low} /T _{high} = 16/9
13:12	Reserved	保留，必须保持复位值
11:0	CLKCTRL[11:0]	快速/标准模式下的时钟控制分频系数（主模式） 该分频系数用于设置主模式下的 SCL 时钟。 ■ 如果 duty cycle = T _{low} /T _{high} = 1/1: $\text{CLKCTRL} = f_{\text{PCLK}}(\text{Hz})/100000/2$ $T_{\text{low}} = \text{CLKCTRL} \times T_{\text{PCLK}}$ $T_{\text{high}} = \text{CLKCTRL} \times T_{\text{PCLK}}$ ■ 如果 duty cycle = T _{low} /T _{high} = 2/1: $\text{CLKCTRL} = f_{\text{PCLK}}(\text{Hz})/100000/3$ $T_{\text{low}} = 2 \times \text{CLKCTRL} \times T_{\text{PCLK}}$ $T_{\text{high}} = \text{CLKCTRL} \times T_{\text{PCLK}}$ ■ 如果 duty cycle = T _{low} /T _{high} = 16/9: $\text{CLKCTRL} = f_{\text{PCLK}}(\text{Hz})/100000/25$ $T_{\text{low}} = 16 \times \text{CLKCTRL} \times T_{\text{PCLK}}$ $T_{\text{high}} = 9 \times \text{CLKCTRL} \times T_{\text{PCLK}}$ 例如，如果 f _{PCLK} (Hz) = 8MHz, duty cycle = 1/1, CLKCTRL = 8000000/100000/2 = 0x28。 注意: 1. 允许设定的最小值为 0x04，在快速 DUTY 模式下允许的最小值为 0x01。 2. T _{high} = T _{r(SCL)} + T _{w(SCLH)} ，详见数据手册中对这些参数的定义。 3. T _{low} = T _{f(SCL)} + T _{w(SCLL)} ，详见数据手册中对这些参数的定义。

15 通用异步收发器(UART)

15.1 简介

通用异步收发器（UART）是一种全双工串行数据交换接口，只支持异步通信。可灵活配置，以便于与多种外部设备进行全双工数据交换。

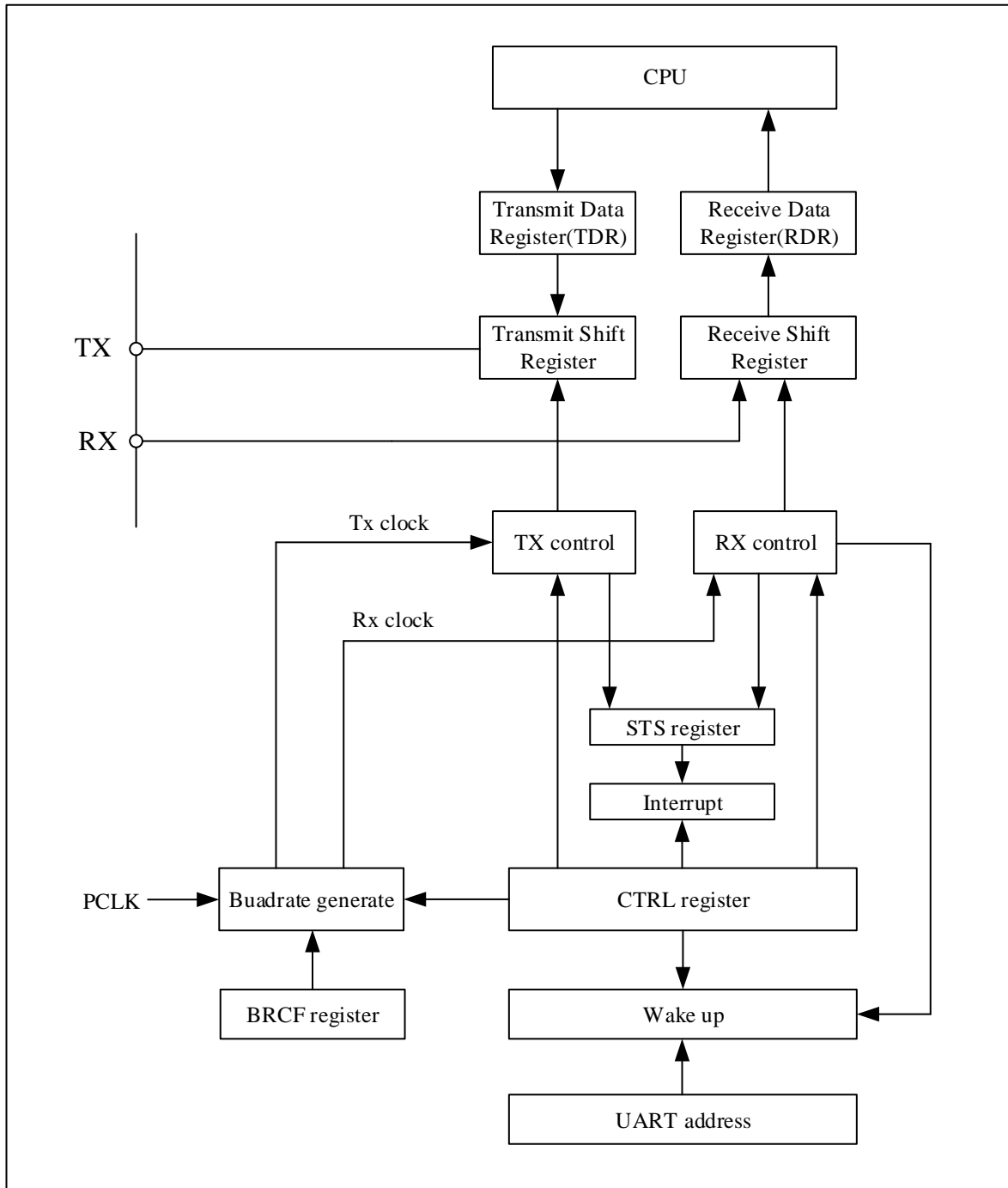
UART 接口发送与接收波特率可配置，还支持单线半双工通信和多处理器通信。

15.2 主要特性

- 支持全双工异步通信
- 支持 NRZ 标准格式
- 支持单线半双工通信
- 波特率可配置
- 支持 8-bit 或 9-bit 数据帧
- 支持 1-bit 或 2-bit 停止位
- 支持硬件生成校验位及校验位检查
- 支持多处理器通信：如果地址不匹配，则进入静默模式，可通过空闲总线检测或地址标识唤醒
- 支持多钟错误检测：数据溢出错误、帧错误、噪声错误、检验错误
- 8 个中断请求：
 - ◇ 发送数据寄存器空
 - ◇ 发送完成
 - ◇ 接收数据寄存器满
 - ◇ 总线空闲
 - ◇ 数据溢出
 - ◇ 帧错误
 - ◇ 噪声错误
 - ◇ 校验错误

15.3 功能框图

图 15-1 UART 框图



15.4 功能描述

如图 15-1 所示, UART 的双向通信都需要使用 RX 和 TX 引脚与外部器件连接。其中 TX 为数据发送引脚 (输出), 当发送功能使能但没有发送数据时, TX 引脚输出高电平, 当发送功能被禁用时, TX 引脚为普通 IO 端口, 状态由应 IO 配置决定。RX 为数据接收引脚 (输入), 接收数据时采用了过采样技术。

当设备作为发送端时，通过 TX 引脚发送数据，作为接收端时则通过 RX 引脚接收数据。当没有数据收发时，总线处于空闲状态。数据帧格式为：1 个起始位+ 8 或 9 位数据（最低有效位在前）+ 1 个检验位（可选）+ 1 个或 2 个停止位。

使用分数波特率发生器来配置发送与接收波特率。

15.4.1 UART 帧格式

起始位：1 位，低电平有效

数据位：可通过 UART_CTRL1.WL 配置为 8 或 9 位，最低有效位在前。

停止位：高电平有效。

空闲帧：全部由‘1’组成的一个完整的数据帧，包括起始位。

断开帧：全部由‘0’组成的一个完整的数据帧，包括停止位。在断开帧结束后，发送端再插入 1 或 2 个停止位来应答起始位。

图 15-2 字长=8 设置

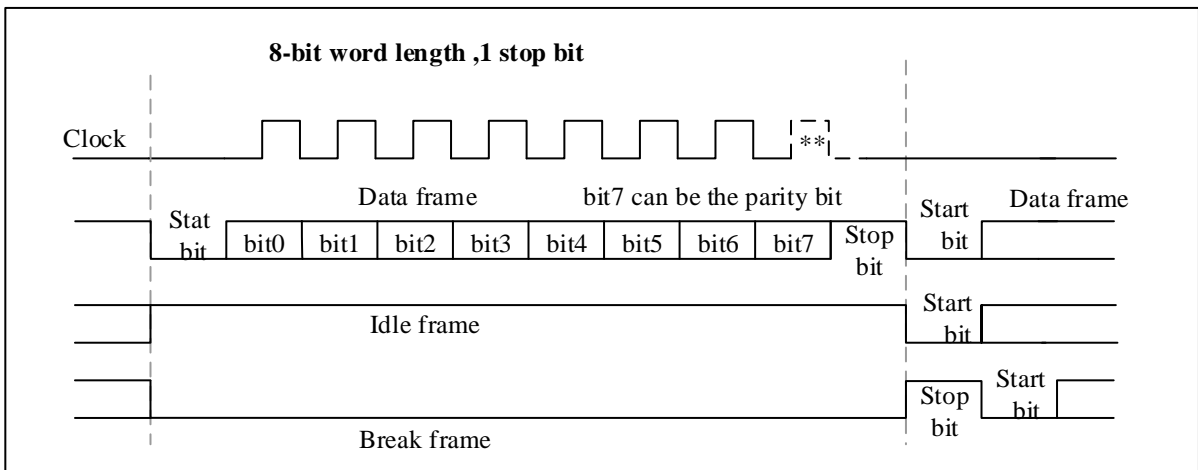
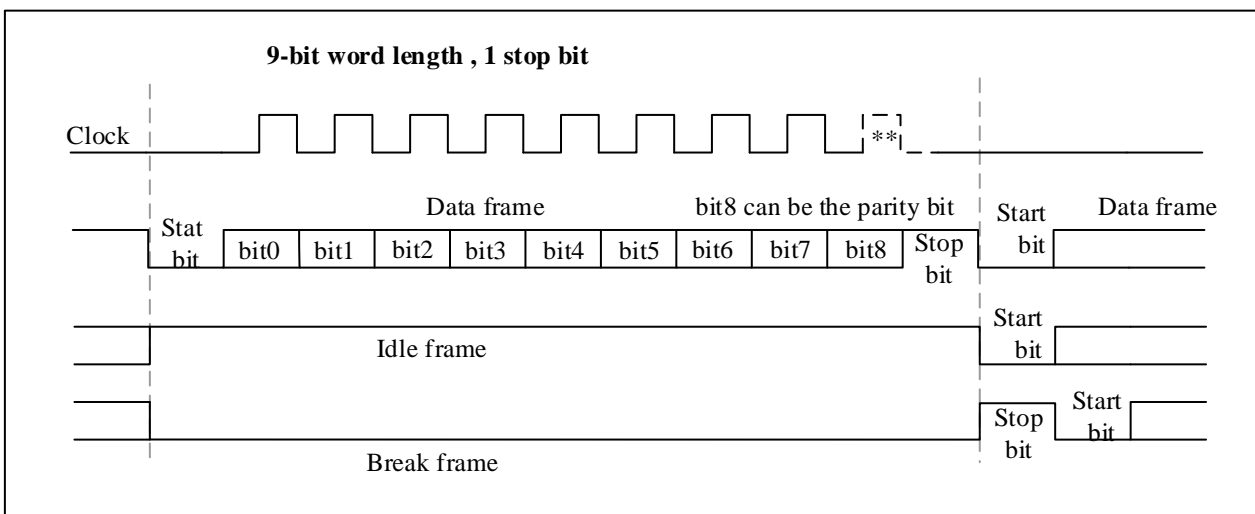


图 15-3 字长=9 设置



15.4.2 发送器

当发送功能使能后，进入发送移位寄存器中的数据通过 TX 引脚输出。

15.4.2.1 空闲帧

UART_CTRL1.TXEN 置 1 后，UART 会在发送数据之前发送一个空闲帧。

15.4.2.2 字符发送

在空闲帧结束后，字符可正常发送。在每个字符发送前，先发送一个起始位（低电平）。发送器根据数据长度配置发送 8 位或 9 位数据，其中最低有效位先发送。如果在数据传输时 UART_CTRL1.TXEN 被清零，将导致波特率计数器停止计数，从而破坏正在传输的数据。

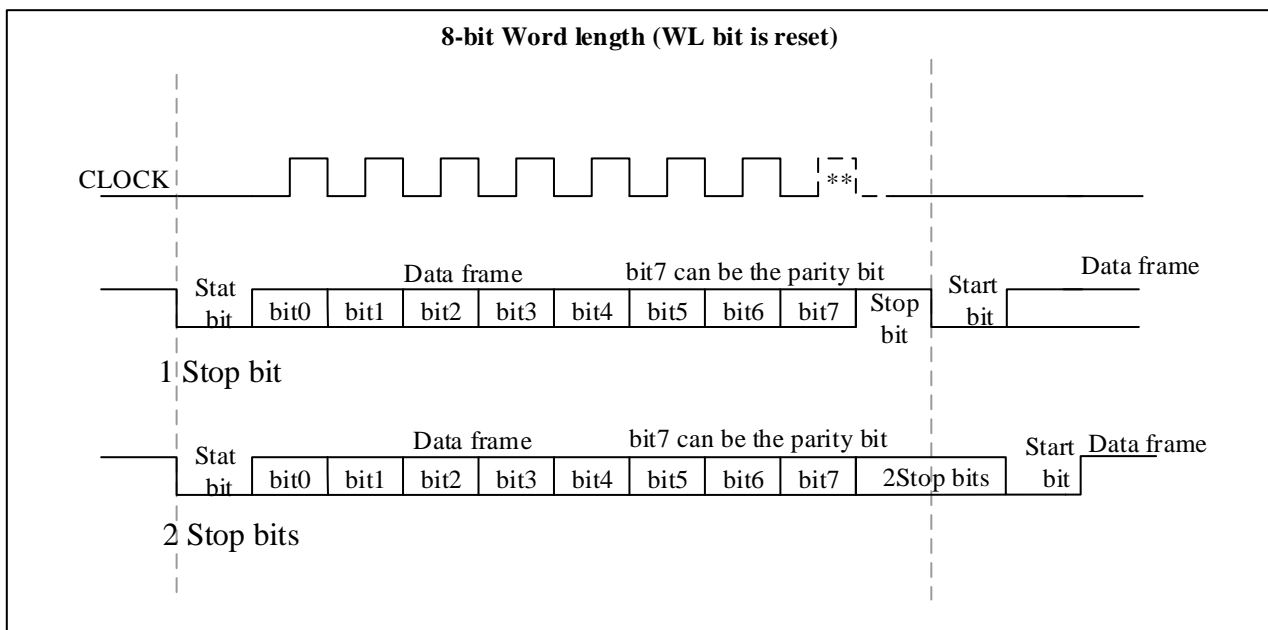
15.4.2.3 停止位

字符发送完成后，发送器自动发送停止位。停止位位数可通过 UART_CTRL2.STPB[1:0]配置。

表 15-1 停止位配置

UART_CTRL2.STPB[1:0]	停止位长度 (位)	功能描述
00	1	默认
10	2	用于常规 UART 模式、单线模式以及调制解调器模式。

图 15-4 停止位配置



15.4.2.4 断开帧

可通过置位 UART_CTRL1.SDBRK 来发送 1 个断开帧。当数据长度为 8 位时，断开帧由 10 位低电平组成，当数据长度为 9 位时，断开帧由 11 位低电平组成。断开帧结束后将插入一位停止位（高电平）。

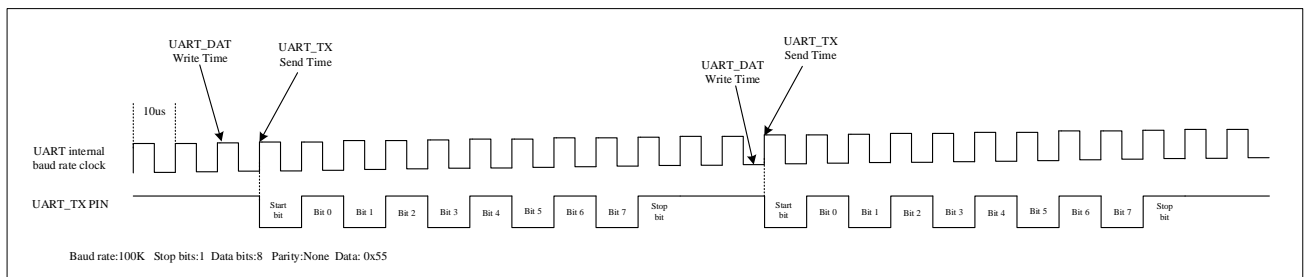
断开帧发送完成后，UART_CTRL1.SDBRK 被硬件清零，同时自动发送停止位。因此，如果要连续发送断开帧，必须在前一个断开帧与停止位发送完成后再次置位 UART_CTRL1.SDBRK。

如果在断开帧开始发送前软件清零 UART_CTRL1.SDBRK，当前断开帧不会发送。

15.4.2.5 发送流程

1. 置位 UART_CTRL1.UEN 来使能 UART;
2. 配置波特率、数据长度、校验位（可选）、停止位位数;
3. 使能发送功能 (UART_CTRL1.TXEN);
4. 通过 CPU 将要发送的数据依次写入数据寄存器 UART_DAT, 当数据写入数据寄存器时将清零 UART_STS.TXDE;
5. 当所有数据已写入到数据寄存器 UART_DAT 后, 等待发送完成标志位 UART_STS.TXC 置 1, 数据发送完成。

注意：向 UART_DAT 写入数据，到数据到 UART_TX 引脚会存在 0~1 波特率周期的延时。例如下图 100K 波特率，在一个波特率周期任意时刻写入数据到 UART_DAT，会在下一个波特率周期开始时传输到 UART_TX 引脚。



15.4.2.6 单字节通信

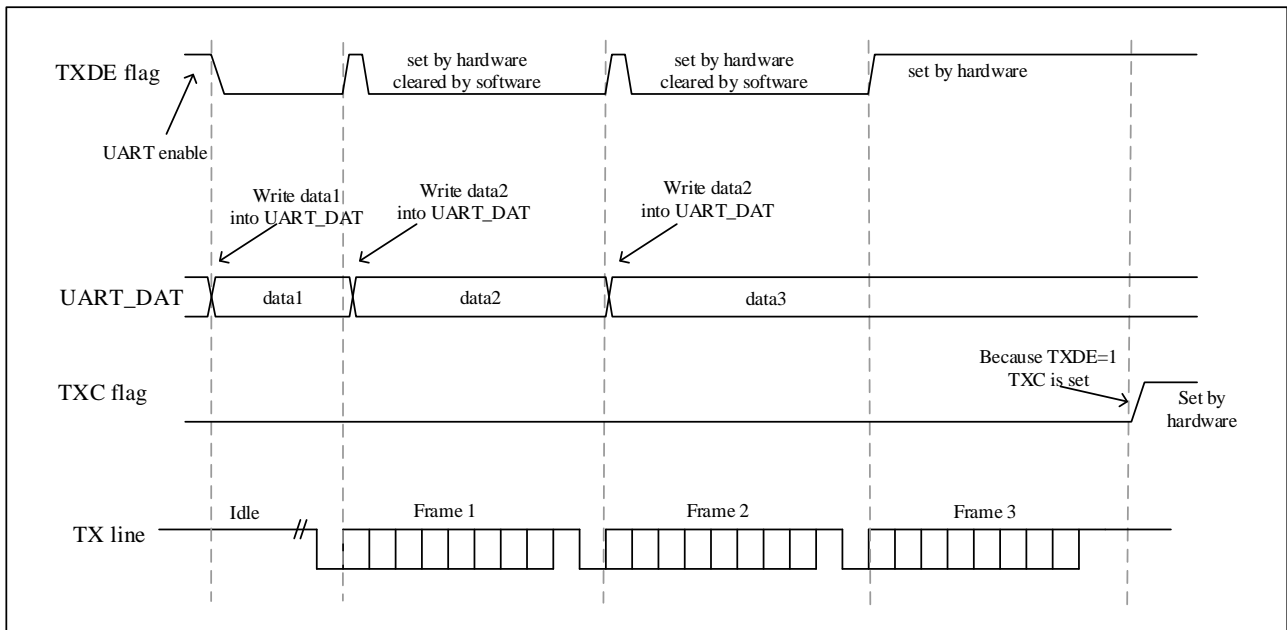
对数据寄存器 UART_DAT 的写操作将清零标志位 UART_STS.TXDE。

当数据已从发送数据寄存器送到移位寄存器时，UART_STS.TXDE 位由硬件置 1，表示数据开始发送。如果 UART_CTRL1.TXDEIEN 已置 1，将产生一个中断。此时，可将下一个数据写入数据寄存器 UART_DAT。因为数据寄存器已经被清空，不会覆盖上一个数据。

对数据寄存器 UART_DAT 进行写操作时：

- 如果移位寄存器空闲，数据将直接送到移位寄存器，同时 UART_STS.TXDE 硬件置 1
 - 如果移位寄存器正在发送数据，数据保存在数据寄存器，待上一个数据发送完成后，再送到移位寄存器
- 当一帧数据发送完成后并且 UART_STS.TXDE 置 1，UART_STS.TXC 被硬件置 1。如果 UART_CTRL1.TXCIEEN 已置 1，将产生一个中断。UART_STS.TXC 通过以下软件操作清零：先读一次 UART_STS 寄存器，再写一次 UART_DAT 寄存器。

图 15-5 发送时 TXC/TXDE 的变化情况



15.4.3 接收器

15.4.3.1 起始位检测

在 UART 中，如果识别到一个特殊的采样序列 1110X0X0X0000，就认为检测到一个起始位。

在第 3、5、7 位的采样，以及在第 8、9、10 位的采样都为 '0'（即 6 个 '0'），则确认收到起始位，并将 UART_STS.RXDNE 置 1，但不会置位 NEF 噪声标志，如果 UART_CTRL1.RXDNEIEN 已置 1，则产生一个中断。

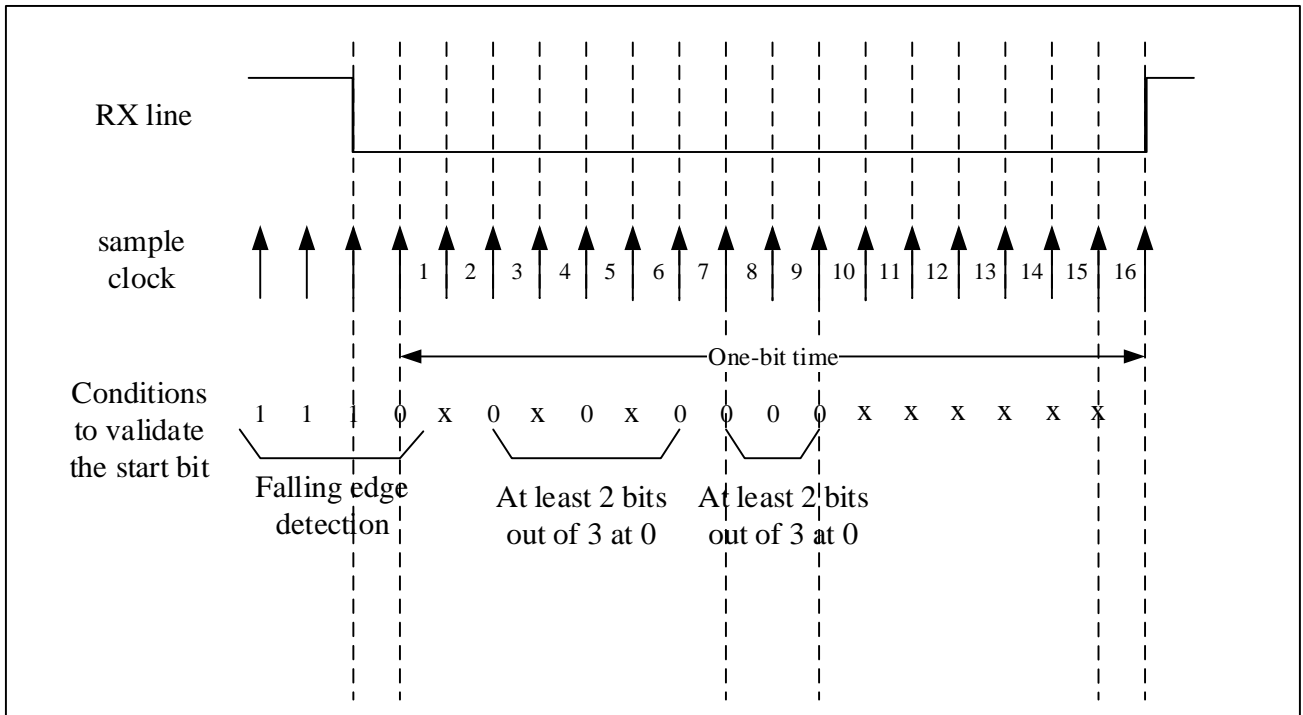
第 3、5、7 位的采样有两个 '0'，与此同时，第 8、9、10 位的采样有两个 '0' 点，也确认收到起始位，但是会置位 NEF 噪声标志位。

第 3、5、7 位的采样有两个 '0'，与此同时，第 8、9、10 位的采样有三个 '0' 点，也确认收到起始位，并置位 NEF 噪声标志位。

第 3、5、7 位的采样有三个 '0'，与此同时，第 8、9、10 位的采样有两个 '0' 点，也确认收到起始位，并置位 NEF 噪声标志位。

如果在第 3、5、7、8、9、10 位的采样值满足不了上面四种要求，UART 接收器认为没有接受到正确的起始位，将退出起始位检测并回到空闲状态等待下降沿。

图 15-6 起始位检测



15.4.3.2 停止位

停止位长度可通过 `UART_CTRL2.STPB[1:0]` 配置。常规模式下，可配置为 1 位或 2 位。

1. **1 个停止位：**默认情况下通过三个点对 1 个停止位的采样，选择第 8，第 9 和第 10 采样位上进行。
2. **2 个停止位：**对 2 个停止位的采样是在第一停止位的第 8，第 9 和第 10 个采样点完成的。如果第一个停止位期间检测到一个帧错误，帧错误标志将被置起。第二个停止位将不会检测帧错误。在第一个停止位结束时 `UART_STS.RXDNE` 标志将被设置。

15.4.3.3 接收流程

1. 将 `UART_CTRL1.UEN` 置 1 来使能 UART；
2. 配置波特率、数据长度、校验位（可选）、停止位长度；
3. 使能接收器(`UART_CTRL1.RXEN`)，开始起始位检测；
4. 接收 8 位或 9 位数据，通过 RX 引脚送往接收移位寄存器，最低有效位在前；
5. 当数据由接收移位寄存器送到 `RDR` 寄存器时，`UART_STS.RXDNE` 被置 1，表示数据可以被读出。如果 `UART_CTRL1.RXDNEIEN` 已置 1，将产生一个中断；
6. 当接收过程中检测到溢出错误、噪音错误或帧错误，相应的错误标志将被置 1。如果在数据传输过程中 `UART_CTRL1.RXEN` 被清零，当前接收数据丢失；
7. `UART_STS.RXDNE` 通过对 `UART_DAT` 寄存器进行读操作清零；

在单缓冲器通信模式，`UART_STS.RXDNE` 通过软件对数据寄存器 `UART_DAT` 的读操作清零。

15.4.3.4 空闲帧检测

当一空闲帧被检测到时，UART_STS.IDLEF 置 1。此时如果 UART_CTRL1.IDLEIEN 已置 1，将产生一个中断。UART_STS.IDLEF 可通过以下软件操作清零：先读 UART_STS 寄存器，再读 UART_DAT 寄存器。

15.4.3.5 断开帧检测

当一断开帧被检测到时，帧错误标志 UART_STS.FEF 被硬件置 1，可通过以下软件操作清零：先读 UART_STS 寄存器，再读 UART_DAT 寄存器。

15.4.3.6 帧错误

如果在预期的时间内没有接收和识别到停止位，产生一个帧错误，标志位 UART_STS.FEF 由硬件置 1，同时无效数据将从移位寄存器送到 UART_DAT 寄存器。在单字节通信时，没有帧错误中断产生，因为此时 UART_STS.RXDNE 位同时置 1，后者将产生中断。

15.4.3.7 溢出错误

如果 UART_STS.RXDNE 已被置 1，而接收移位寄存器又有数据需要送入数据寄存器，则发生溢出错误，同时标志位 UART_STS.OREF 硬件置 1。此时数据寄存器中的数据不会丢失，但移位寄存器中的数据将被覆盖。UART_STS.OREF 可通过以下软件操作清零：先读 UART_STS 寄存器，再读 UART_DAT 寄存器。

当产生溢出错误时，若 UART_CTRL1.RXDNEIEN 已置 1，将产生一个接收中断。

15.4.3.8 噪声错误

当接收器检测到噪声错误时，UART_STS.NEF 被硬件置 1，可通过以下软件操作清零：先读 UART_STS 寄存器，再读 UART_DAT 寄存器。在单字节通信模式下不会产生噪声中断，因为此时 UART_STS.RXDNE 也被置 1 并产生接收中断。

表 15-2 噪声检测的数据采样

采样值	NE 状态	接收的位	数据有效性
000	0	0	有效
001	1	0	无效
010	1	0	无效
011	1	1	无效
100	1	0	无效
101	1	1	无效
110	1	1	无效
111	0	1	有效

15.4.4 分数波特率计算

波特率通过 UART_BRCF 寄存器配置，分频系数由整数部分和小数部分组成，同时适用于发送器与接收器。在写入 UART_BRCF 之后，波特率计数器会被波特率寄存器的新值替换。因此，不要在通信过程中改变波特率寄存器的数值。

$$\text{TX / RX 波特率} = f_{\text{PCLK}} / (16 * \text{UARTDIV})$$

其中 f_{PCLK} 为 UART 外设时钟；PCLK 用于 UART1/UART2，最高 48MHz。UARTDIV 为无符号分频系数。

15.4.4.1 分频系数 UARTDIV 与 UART_BRCF 寄存器配置

示例 1:

如果 $UARTDIV = 27.75$, 则:

$$DIV_Decimal = 16 * 0.75 = 12 = 0x0C$$

$$DIV_Integer = 27 = 0x1B$$

$$\text{因此 } UART_BRCF = 0x1BC$$

示例 2:

如果 $UARTDIV = 20.98$, 则:

$$DIV_Decimal = 16 * 0.98 = 15.68$$

取最接近的整数 $DIV_Decimal = 16 = 0x10$, 超出可配置范围, 因此需要向整数位进位

$$\text{从而 } DIV_Integer = 20 + 1 = 21 = 0x15$$

$$DIV_Decimal = 0x0$$

$$\text{因此 } UART_BRCF = 0x150$$

示例 3:

如果 $UART_BRCF = 0x19B$:

$$DIV_Integer = 0x19 = 25$$

$$DIV_Decimal = 0x0B = 11$$

$$\text{所以 } UARTDIV = 25 + 11/16 = 25.6875$$

表 15-3 设置波特率时的误差计算

波特率		f _{ck} =48M		
序号	Kbps	实际	寄存器设置值	误差%
1	2.4	2.4	1250	0%
2	9.6	9.6	312.5	0%
3	19.2	19.2	156.25	0%
4	57.6	57.623	52.0625	0.04%
5	115.2	115.1	26.0625	0.08%
6	230.4	230.769	13	0.16%
7	460.8	461.538	6.5	0.16%
8	921.6	923.076	3.25	0.16%
9	2250	2285.714	1.3125	1.58%
10	3000	3000	1	0%

注意: CPU 的时钟频率越低, 则某一特定波特率的误差也越低。

15.4.5 UART 接收器容忍时钟的变化

应用中可能会出现发送误差(包括发射端时钟的变化)、接收端波特率误差及振荡器变化、传输线变化(通常由数据上升沿和下降沿时序不一致引起)。这些因素都会影响整个时钟系统的变化。只有当上述四个变化之和小于 UART 接收机的容差时, UART 异步接收机才能正常工作。

正常接收数据时, UART 接收器的容忍度为最大能容忍的变化, 取决于数据位长度的选择, 以及是否使用分数波特率分频系数。

表 15-4 当 DIV_Decimal =0 时, UART 接收器的容忍度

WL 位	认为 NF 是错误	不认为 NF 是错误
0	3.75%	4.375%
1	3.41%	3.97%

表 15-5 当 DIV_Decimal !=0 时, UART 接收器的容忍度

WL 位	认为 NF 是错误	不认为 NF 是错误
0	3.33%	3.88%
1	3.03%	3.53%

15.4.6 校验控制

通过设置 UART_CTRL1.PCEN 来使能奇偶校验功能。使能后, 在发送数据时自动生成并发送校验位, 接收数据时对校验位进行检查。

表 15-6 帧格式

WL 位	PCEN 位	UART 帧
0	0	起始位 8 位数据 停止位
0	1	起始位 7 位数据 奇偶校验位 停止位
1	0	起始位 9 位数据 停止位
1	1	起始位 8 位数据 奇偶校验位 停止位

偶校验

UART_CTRL1.PSEL 设置为 0, 使能偶校验。

偶校验表示一帧数据(包括校验位)中'1'的个数为偶数。例如: 数据=1100 0101, 有 4 个'1', 则发送端偶校验位为'0'(总共 4 个'1')。接收端对数据中'1'个数进行确认: 如果是偶数, 校验通过; 如果是奇数, 表示产生了校验错误, UART_STS.PEF 标志位置 1, 此时如果 UART_CTRL1.PEIEEN 已置 1, 产生一个中断。

奇校验

UART_CTRL1.PSEL 设置为 1, 使能奇校验。

奇校验表示一帧数据(包括校验位)中'1'的个数为奇数。例如: 数据=1100 0101, 有 4 个'1', 则发送端奇校验位为'1'(总共 5 个'1')。接收端对数据中'1'个数进行确认: 如果是奇数, 校验通过; 如果是偶数, 表示产生了校验错误, UART_STS.PEF 标志位置 1, 此时如果 UART_CTRL1.PEIEEN 已置 1, 产生一个中断。

15.4.7 多处理器通信

UART 支持多处理器通信：多个设备同时连接到 UART 进行通信，因此必须判定哪一个设备作为主设备,其他设备自动做为从设备。主机的 TX 引脚直接连接到其他所有从设备的 RX 引脚，所有从设备的 TX 引脚通过逻辑与的方式合并，再连接到主设备的 RX 引脚。

在多处理器通信模式下，从设备处于静默模式，主设备在需要时通过通过指定方式唤醒某一个从设备，从而从设备可以和主设备进行正常通信。

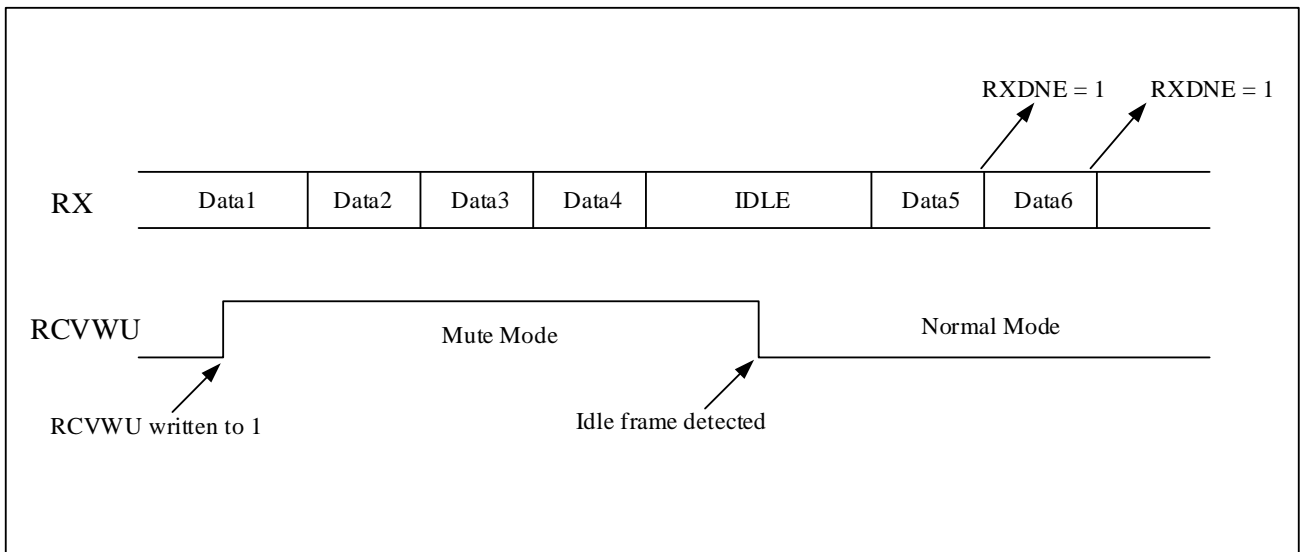
UART 可通过空闲总线检测或地址标识检测的方式从静默模式唤醒。

15.4.7.1 空闲总线检测

空闲总线检测流程如下：

1. 清零 UART_CTRL1.WUM 位，UART 启用空闲总线检测功能。
2. 当 UART_CTRL1.RCVWU 已置 1 (可通过硬件自动控制或由在特定条件下由软件配置)，UART 进入静默模式，此时接收状态标志位不会置位，同时接收中断被禁用。
3. 如图 15-7 所示，当检测到空闲帧时，UART 被唤醒，同时 UART_CTRL1.RCVWU 被硬件清零，此时 UART_STS.IDLEF 标志位不会被置 1。

图 15-7 静默模式下的空闲总线检测



15.4.7.2 地址标识检测

当 UART_CTRL1.WUM 置 1 时，UART 启用地址标识检测功能。标识地址通过 UART_CTRL2.ADDR[3:0] 来配置。如果接收的数据最高有效位（MSB）为 1，当前数据为地址，低 4 位有效；如果 MSB =0，则当前数据为普通数据。

此模式下，UART 可通过以下方式进入静默模式：

- 当接收器没有数据处理时，可通过软件将 UART_CTRL1.RCVWU 置 1，使 UART 进入静默模式。

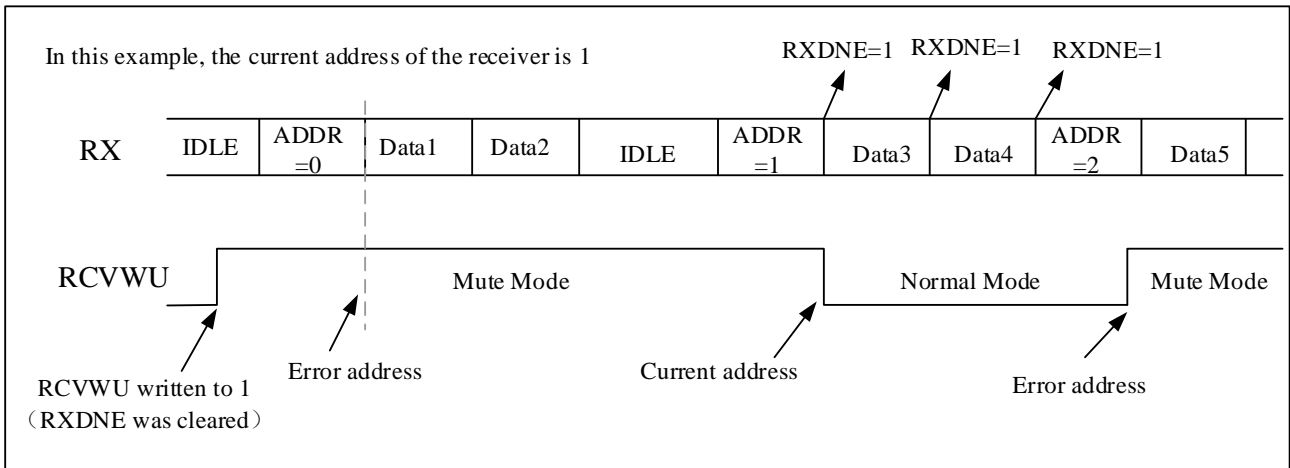
注意：当接收数据寄存器为空时 (UART_STS.RXDNE = 0)，UART_CTRL1.RCVWU 位可通过软件写 0 或写 1。否则，对 UART_CTRL1.RCVWU 的写操作被忽略。

■ 当接收器收到的地址与预设的地址标识不匹配时，UART_CTRL1.RCVWU 由硬件置 1。

静默模式下，所有接收状态标志位不会置位，同时所有接收中断被禁用。

当接收器收到的地址与预设的地址标识相同时，UART 从静默模式唤醒，UART_CTRL1.RCVWU 被硬件清零，同时 UART_STS.RXDNE 位置 1，此时可进行正常的数据传输。

图 15-8 静默模式下的地址标识检测



15.4.8 单线半双工模式

UART 支持单线半双工通信模式，允许数据双向收发，但同一时间只能单向接收数据或发送数据，数据通信的冲突由软件控制。通过设置 UART_CTRL3.HDMEN 位来选择单线半双工模式。

启用单线半双工通信模式后，TX 引脚与 RX 引脚在芯片内部相连，外部 RX 引脚不再使用。当没有数据发送时，TX 引脚被释放。因此，TX 引脚未被 UART 使用时，必须配置为浮空输入或开漏输出高电平。

15.5 中断请求

UART 的各种中断事件是逻辑或的关系。如果某个事件对应的中断使能位已置 1，将产生一个相应的中断。但同一个时间只产生一个中断请求。

表 15-7 UART 中断请求

中断函数	中断事件	事件标志	使能
UART 全局中断	发送数据寄存器空	TXDE	TXDEIEN
	发送完成	TXC	TXCIEN
	接收数据就绪可读	RXDNE	RXDNEIEN
	检测到数据溢出	OREF	
	检测到空闲线路	IDLEF	IDLEIEN
	奇偶检验错	PEF	PEIEN

15.6 UART 模式配置

 表 15-8 UART 模式设置⁽¹⁾

通信模式	UART1	UART2
异步模式	Y	Y
硬件流控模式	N	N
DMA 通讯模式	N	N
多处理器	Y	Y
智能卡模式	N	N
单线半双工模式	Y	Y
IrDA 红外模式	N	N
LIN	N	N

(1) Y = 支持该模式, N = 不支持该模式

15.7 UART 寄存器

15.7.1 UART 寄存器总览

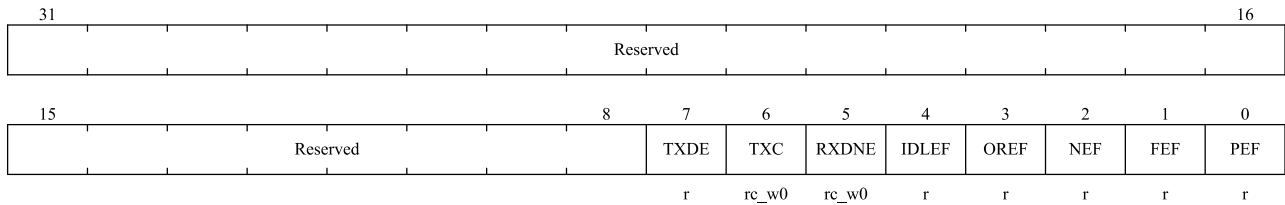
表 15-9 UART 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
000h	UART_STS	Reserved																								TXDE	TXC	RXDNE	IDLEF	OREF	NEF	FEF	PEF	
	Reset Value																									1	1	0	0	0	0	0	0	
004h	UART_DAT	Reserved																								DATV[8:0]								
	Reset Value																									0	0	0	0	0	0	0	0	0
008h	UART_BRCF	Reserved												DIV_Integer[11:0]										DIV_Decimal[3:0]										
	Reset Value													0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
00Ch	UART_CTRL1	Reserved												UEN	WL	WUM	PCEN	PSEL	PEIEN	TXDEIEN	TXCIEN	RXDNEIEN	IDLEIEN	TXEN	RXEN	RCVWU	SDBRK							
	Reset Value													0	0	0	0	0	0	0	0	0	0	0	0	0	0							
010h	UART_CTRL2	Reserved												STPB [1:0]		Reserved										ADDR[3:0]								
	Reset Value													0	0											0	0	0	0					
014h	UART_CTRL3	Reserved																								HDMEN				Reserved				
	Reset Value																									0								

15.7.2 UART 状态寄存器 (UART_STS)

偏移地址: 0x00

复位值：0x0000 00C0



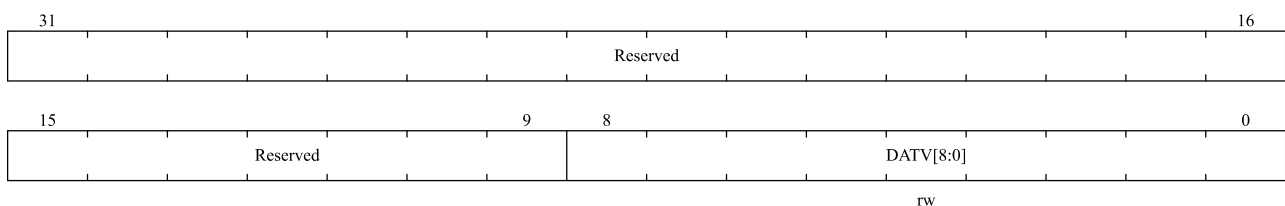
位域	名称	描述
31:8	Reserved	保留，必需保持复位值。
7	TXDE	发送数据缓冲区空（Transmit data register empty）。 上电复位或待发送数据已发送至移位寄存器后，该位由硬件置 1。 UART_CTRL1.TXDEIEN 被置位将产生中断。 该位在软件将待发送数据写入 UART_DAT 时被清 0。 0：发送数据缓冲区不为空。 1：发送数据缓冲区空。 <i>注意：该位仅在单缓冲发送时有效</i>
6	TXC	发送完成（Transmission complete）。 上电复位后，该位被置 1。如果 UART_STS.TXDE 置位，在当前数据发送完成时该位置 1。UART_CTRL1.TXCIEN 被置位将产生中断。 该位由软件进行以下操作清 0（先读 UART_STS 寄存器，再写 UART_DAT 寄存器）或软件写 0 清除。 0：发送没有完成。 1：发送完成。
5	RXDNE	读数据缓冲区非空（Read data register not empty）。 当读数据缓冲区接收到来自移位寄存器的数据时，该位置 1。当寄存器 UART_CTRL1.RXDNEIEN 位被置位，将会有中断产生。 软件可以通过对该位写 0 或读 UART_DAT 寄存器来将该位清 0。 0：读数据缓冲区为空。 1：读数据缓冲区不为空。
4	IDLEF	空闲线检测标志（IDLE line detected）。 在一个帧时间内，在 RX 引脚检测到空闲状态，该位由硬件置 1。当寄存器 UART_CTRL1.IDLEIEN 位被置位，将会有中断产生。 软件先读 UART_STS，再读 UART_DAT 可清除该位。 0：未检测到空闲帧。 1：检测到空闲帧。 <i>注意：IDLEF 位不会再次被置高直到 RXDNE 位被置起（即又检测到一次空闲总线）。</i>
3	OREF	溢出错误（Overrun error）。 溢出错误的置位描述具体见 15.4.3.7 章节。 软件先读 UART_STS，再读 UART_DAT 可清除该位。 0：没有检测到溢出错误。 1：检测到溢出错误。
2	NEF	噪声错误标志（Noise error flag）。

位域	名称	描述
		在接收到的帧检测到噪音时，由硬件对该位置位。由软件序列对其清零（先读 UART_STS，再读 UART_DAT）。 0：没检测到噪声错误。 1：检测到噪声错误。 <i>注意：该位不会产生中断，因为它和 UART_STS.RXDNE 一起出现，硬件会在设置 UART_STS.RXDNE 标志时产生中断。</i>
1	FEF	帧错误（Framing error）。 当检测到同步错位，过多的噪声或者检测到断开符，该位被硬件置位。由软件序列将其清零（先读 UART_STS，再读 UART_DAT）。 0：未检测到帧错误。 1：检测到帧错误或者断开帧（break frame）。 <i>注意：该位不会产生中断，因为它和 UART_STS.RXDNE 一起出现，硬件会在设置 UART_STS.RXDNE 标志时产生中断。如果当前传输的数据既产生了帧错误，又产生了过载错误，硬件还是会继续该数据的传输，并且只设置 OREF 标志位。</i>
0	PEF	校验错误（Parity error）。 当接收到的数据帧校验位与预期校验值不同时，该位置位。 软件先读 UART_STS，再读 UART_DAT 可清除该位。 清除 PEF 位前，软件必须等待 UART_STS.RXDNE=1，如果 UART_CTRL1.PEINE = 1，将产生一个中断。 0：没检测到校验错误。 1：检测到校验错误。

15.7.3 UART 数据寄存器 (UART_DAT)

偏移地址：0x04

复位值：未定义（不确定值）



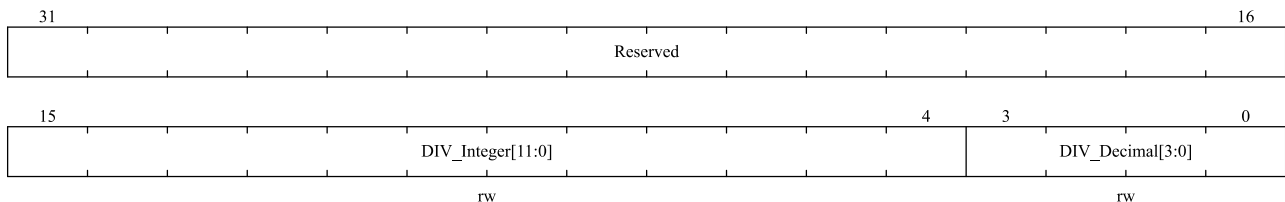
位域	名称	描述
31:9	Reserved	保留，必需保持复位值。
8:0	DATV[8:0]	数据值（Data value） 包含了发送或接收的数据；软件可以通过写这些位来改变发送数据，或读这些位的值来获取接收数据。 如果使能了奇偶校验，当发送数据被写入寄存器，数据的最高位（第 7 位或第 8 位取决于 UART_CTRL1.WL 位）将被校验位取代。

15.7.4 UART 波特率配置寄存器 (UART_BRCF)

偏移地址：0x08

复位值：0x0000 0000

注意：UART_CTRL1.UEN=1 时，不能写该寄存器；如果 UART_CTRL1.TXNE 或 UART_CTRL1.RXNE 被分别禁止，波特计数器停止计数。

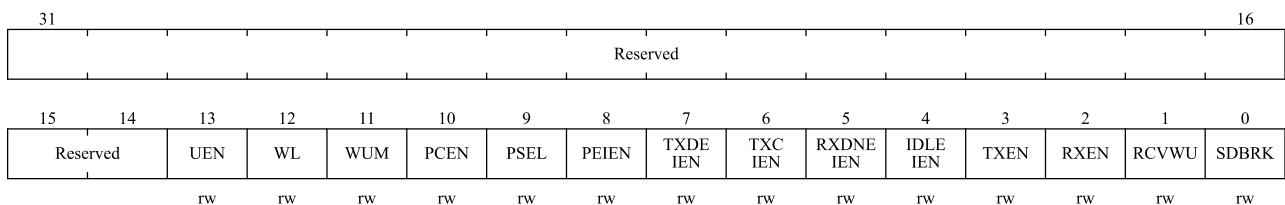


位域	名称	描述
31:16	Reserved	保留，必需保持复位值。
15:4	DIV_Integer [11:0]	波特率分频器的整数部分。
3:0	DIV_Decimal[3:0]	波特率分频器的小数部分。

15.7.5 UART 控制寄存器 1 (UART_CTRL1)

偏移地址：0x0C

复位值：0x0000 0000



位域	名称	描述
31:14	Reserved	保留，必需保持复位值。
13	UEN	UART 使能 (UART Enable)。 当该位被清零，在当前字节传输完成后 UART 的分频器和输出停止工作，以减少功耗。该位由软件设置和清零。 0: UART 禁用。 1: UART 使能。
12	WL	字长 (Word length)。 0: 8 数据位。 1: 9 数据位。 注意：在数据传输过程中 (发送或者接收时)，不能修改这个位。
11	WUM	从静默模式唤醒方法 (Wake up mode)。 0: 空闲帧唤醒。

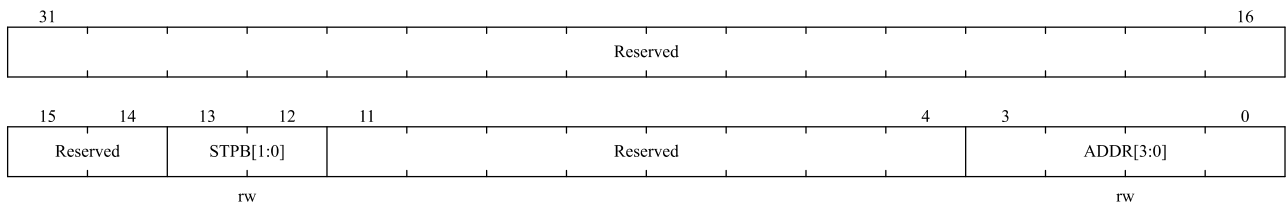
位域	名称	描述
		1: 地址标识唤醒。
10	PCEN	校验控制使能 (Parity control enable)。 0: 校验控制禁用。 1: 校验控制被使能。
9	PSEL	校验模式 (Parity selection)。 0: 偶校验。 1: 奇校验。
8	PEIEN	校验错误中断使能 (PE interrupt enable)。 如果该位置 1, UART_STS.PEF 被置位时产生中断。 0: 校验错误中断禁用。 1: 校验错误中断使能。
7	TXDEIEN	发送缓冲区空中断使能 (TXDE interrupt enable)。 如果该位置 1, UART_STS.TXDE 被置位时产生中断。 0: 发送缓冲区空中断禁止。 1: 发送缓冲区空中断使能。
6	TXCIEN	发送完成中断使能 (Transmission complete interrupt enable)。 如果该位置 1, UART_STS.TXC 被置位时产生中断。 0: 发送完成中断禁用。 1: 发送完成中断使能。
5	RXDNEIEN	读数据缓冲区非空中断和过载错误中断使能 (RXDNE interrupt enable)。 如果该位置 1, UART_STS.RXDNE 或 UART_STS.OREF 被置位时产生中断。 0: 读数据缓冲区非空中断和过载错误中断禁用。 1: 读数据缓冲区非空中断和过载错误中断使能。
4	IDLEIEN	IDLE 线检测中断使能 (IDLE interrupt enable)。 如果该位置 1, UART_STS.IDLEF 被置位时产生中断。 0: IDLE 线检测中断禁用。 1: IDLE 线检测中断使能。
3	TXEN	发送器使能 (Transmitter enable)。 0: 发送器禁用。 1: 发送器使能。
2	RXEN	接收器使能 (Receiver enable)。 0: 接收器禁用。 1: 接收器使能。
1	RCVWU	接收器从静默模式中唤醒 (Receiver wakeup) 软件可以通过将该位置 1 使得 UART 进入静默模式, 将该位清 0 唤醒 UART。 空闲帧唤醒模式下 (UART_CTRL1.WUM=0), 当检测到空闲帧时, 该位由硬件清 0。地址标识唤醒模式下 (UART_CTRL1.WUM=1), 当接收到一个地址匹配帧时, 该位由硬件清 0; 或接收到一个地址非匹配帧时, 由硬件置 1。 0: 接收器处于普通工作模式。 1: 接收器处于静默模式。
0	SDBRK	发送断开帧 (Send break)。 软件通过将该位置 1 发送断开帧。

位域	名称	描述
		断开帧传输结束由硬件清 0 该位。 0: 没有发送断开帧。 1: 发送断开帧。

15.7.6 UART 控制寄存器 2 (UART_CTRL2)

偏移地址: 0x10

复位值: 0x0000 0000

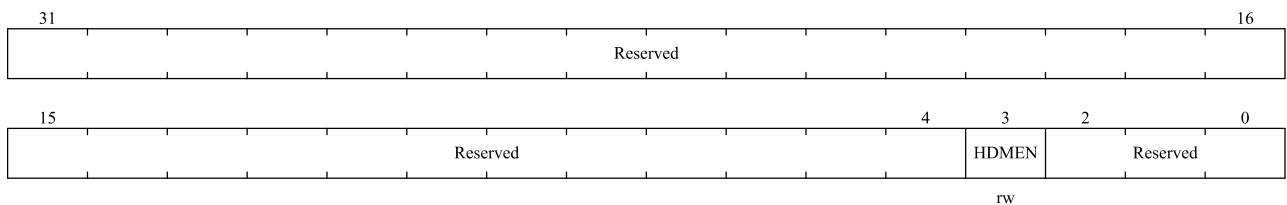


位域	名称	描述
31:14	Reserved	保留, 必需保持复位值。
13:12	STPB[1:0]	停止位长 (STOP bits)。 00: 1 停止位 10: 2 停止位 其他: Reserved
11:4	Reserved	保留, 必需保持复位值。
3:0	ADDR[3:0]	UART 地址。 在多处理器通信下的静默模式中使用的, 使用地址标识来唤醒某个 UART 设备。 地址标识唤醒模式下 (UART_CTRL1.WUM=1), 如果接收到的数据帧低四位与 ADDR[3:0]值不相等, UART 就会进入静默模式; 如果接收到的数据帧低四位与 ADDR[3:0]值相等, UART 就会被唤醒。

15.7.7 UART 控制寄存器 3 (UART_CTRL3)

偏移地址: 0x14

复位值: 0x0000 0000



位域	名称	描述
31:4	Reserved	保留, 必需保持复位值。
3	HDMEN	半双工模式使能 (Half-duplex mode enable)。

位域	名称	描述
		该位用于使能半双工模式。 0: 半双工模式禁用。 1: 半双工模式使能。
2:0	Reserved	保留，必需保持复位值。

16 串行外设接口（SPI）

16.1 SPI 简介

SPI 可以工作在主模式或从模式，支持全双工和单工高速通讯模式。

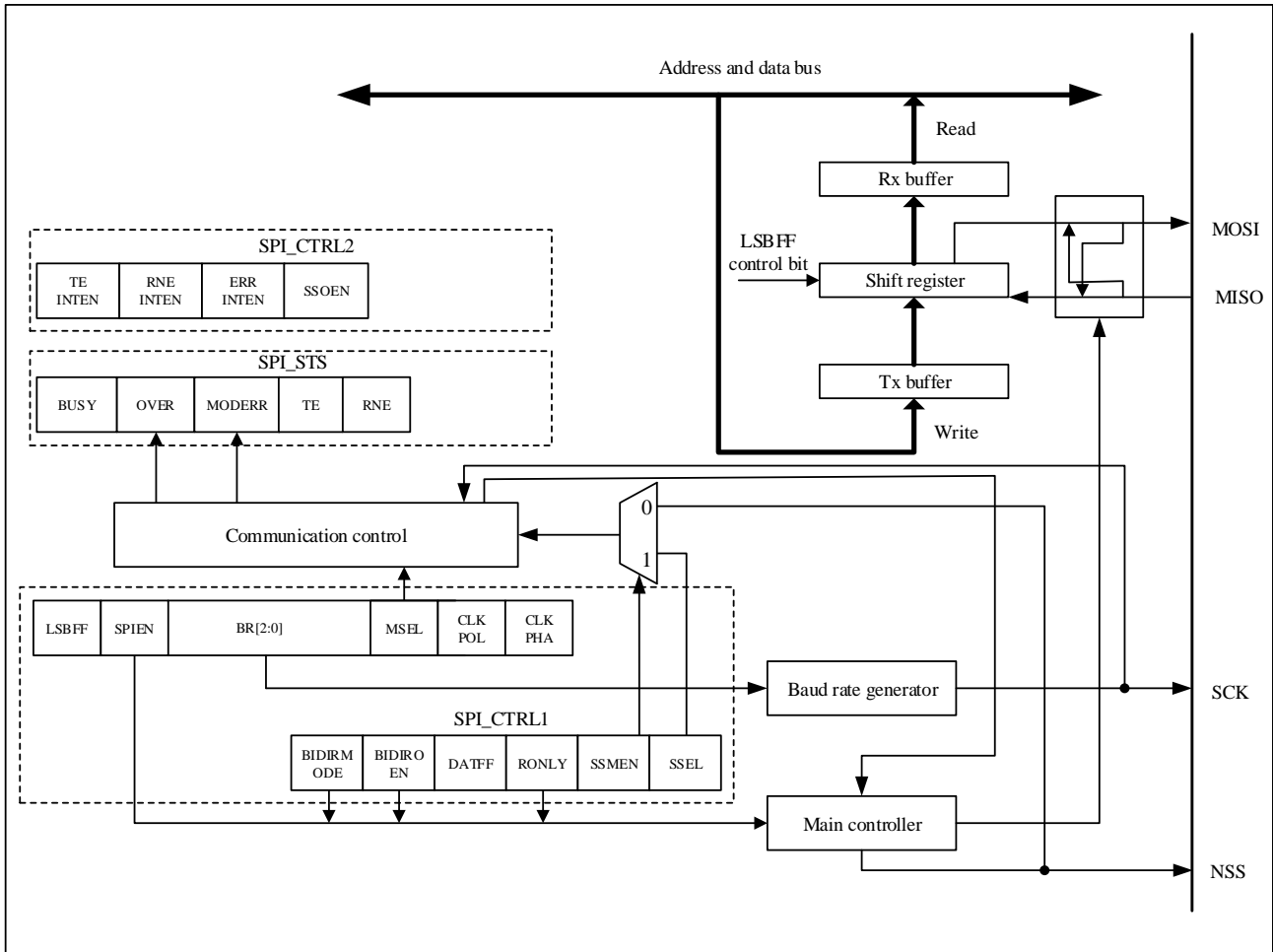
16.2 SPI 主要特性

- 全双工和单工同步模式
- 支持主模式、从模式和多主模式
- 支持 8-bit 或 16-bit 数据帧格式
- 数据位顺序可编程
- 硬件或软件片选管理
- 时钟极性和时钟相位可配置

16.3 SPI 功能描述

16.3.1 通用描述

图 16-1 SPI 框图



为了连接外部设备，SPI 接口有 4 个引脚与外设器件连接，具体如下：

- SCK: 串行时钟引脚，该信号从主设备 SCK 引脚输出，由从设备 SCK 引脚输入
- MISO: 主输入/从输出引脚，数据从主设备的 MISO 引脚输入，由从设备的 MISO 引脚输出
- MOSI: 主输出/从输入引脚，数据从主设备的 MOSI 引脚输出，由从设备的 MOSI 引脚输入
- NSS: 片选引脚，有两种 NSS 引脚类型，外部引脚和内部引脚。如果内部引脚检测到高电平，SPI 工作在主模式，相反，SPI 工作在从模式。用户可以使用主设备的一个标准 I/O 引脚控制从设备的 NSS 引脚

16.3.1.1 软件 NSS 模式

当 SPI_CTRL1.SSMEN = 1 时，软件从设备管理被使能。

软件 NSS 模式时，不需要使用 NSS 引脚。在这种模式下，通过写 SPI_CTRL1.SSEL 位（主模式 SPI_CTRL1.SSEL = 1，从模式 SPI_CTRL1.SSEL = 0），驱动内部 NSS 信号电平。

16.3.1.2 硬件 NSS 模式

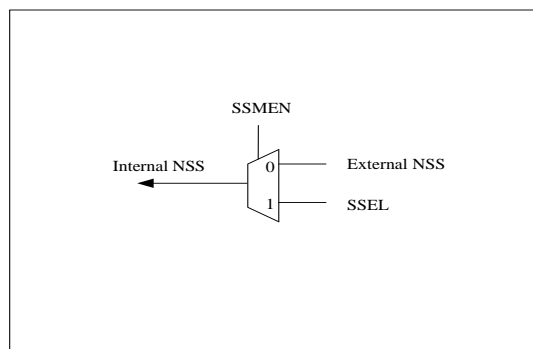
当 SPI_CTRL1.SSMEN = 0 时，软件从设备管理被禁能。

NSS 输入模式：主设备的 NSS 输出被禁止 (SPI_CTRL1.MSEL = 1, SPI_CTRL2.SSOEN = 0)，允许操作在多主模式下。在整个数据帧传输期间主机应该连接 NSS 到高电平，从机应该连接 NSS 到低电平。

NSS 输出模式：主设备的 NSS 输出被使能 (SPI_CTRL1.MSEL = 1, SPI_CTRL2.SSOEN = 1)，主设备必须驱动 NSS 到低电平，所有与主设备连接并且设置为硬件 NSS 模式的设备将会检测到低电平，并自动进入从模式。当主设备的 NSS 没有被驱动到低电平，设备进入从模式，并产生主模式失效错误。

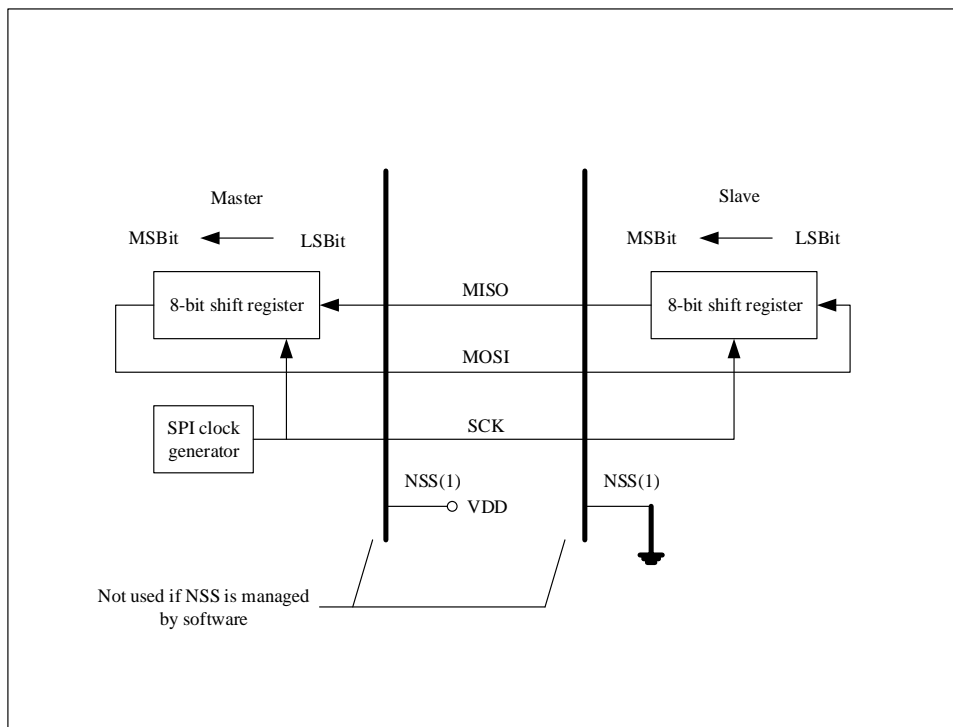
注：软件模式或硬件模式的选择，取决于通讯协议中是否需要 NSS 控制。如果不需要，可以选择软件模式，释放一个 GPIO 管脚另作他用。

图 16-2 硬件/软件的从选择管理



下图是一个单主和单从设备互连的例子。

图 16-3 单主和单从应用



注：NSS 引脚设置为输入

SPI 是一个环形总线结构，主设备通过 SCK 引脚输出一个同步时钟信号，主设备的 MOSI 引脚连接到从设备的 MOSI 引脚，主设备的 MISO 引脚连接到从设备的 MISO 引脚，以便数据可以在设备之间传输。主设备和从设备之间的串行数据传输，通过 MOSI 引脚发送数据到从设备，通过 MISO 将从设备的移位寄存器中的最高位发送到主设备的移位寄存器的最低位，当数据的第二位被发送，从设备的移位寄存器中的最低位的数据会左移一位并发送新的最高位数据，主设备的移位寄存器的最低位的数据左移一位并将接收到的新数据存入移位寄存器最低位。

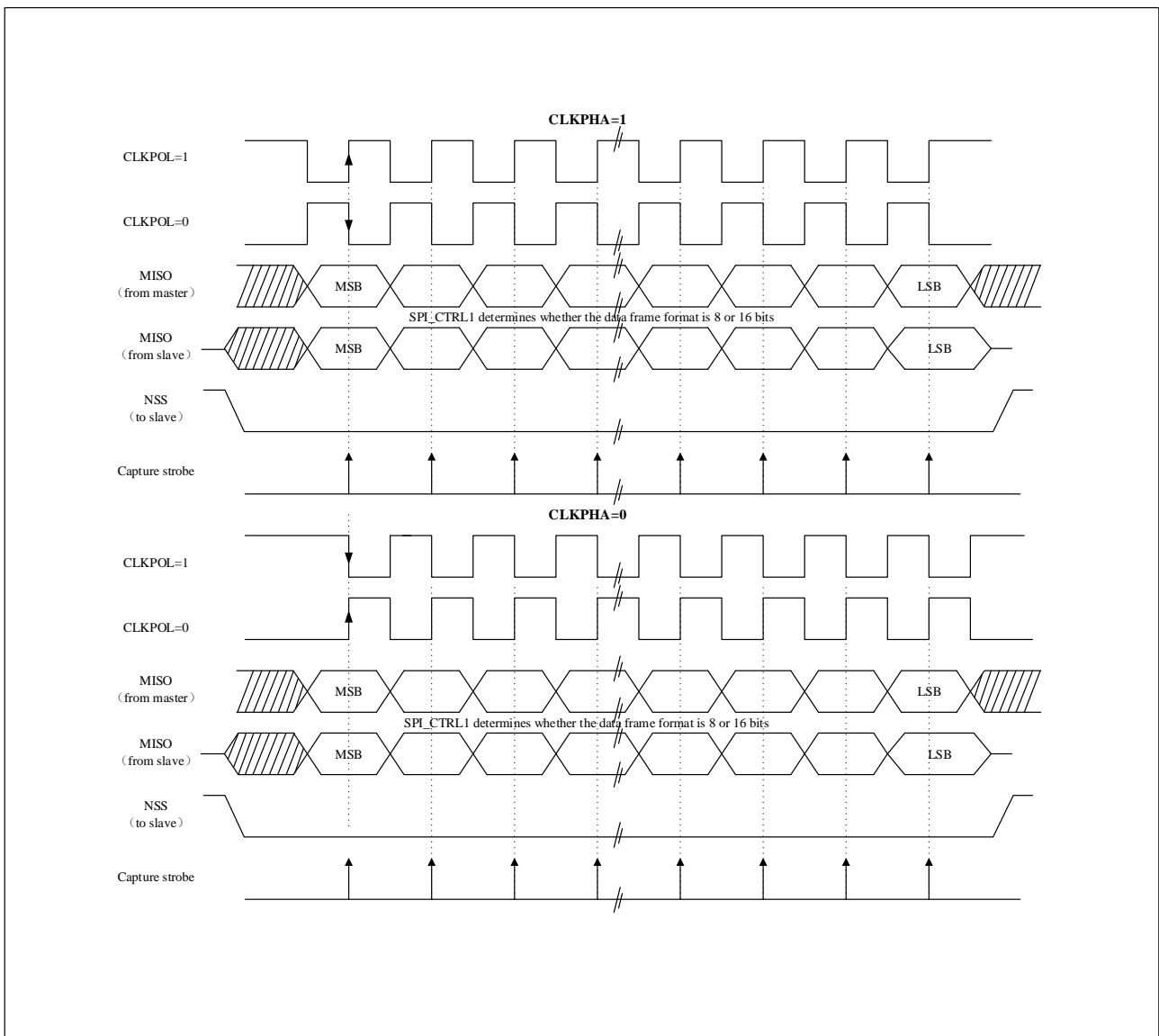
16.3.1.3 SPI 时序模式

通过设置 SPI_CTRL1.CLKPOL 位和 SPI_CTRL1.CLKPHA 位，用户可以选择数据捕获的时钟沿。

- 当 CLKPOL = 0, CLKPHA = 0，空闲时 SCK 引脚将保持低电平，数据将在第一个时钟沿被采样，即上升沿。
- 当 CLKPOL = 0, CLKPHA = 1，空闲时 SCK 引脚将保持低电平，数据将在第二个时钟沿被采样，即下降沿。
- 当 CLKPOL = 1, CLKPHA = 0，空闲时 SCK 引脚将保持高电平，数据将在第一个时钟沿被采样，即下降沿。
- 当 CLKPOL = 1, CLKPHA = 1，空闲时 SCK 引脚将保持高电平，数据将在第二个时钟沿被采样，即上升沿。

不管选择哪种时序模式，主设备和从设备的时序模式配置必须相同。

图 16-4 是当 SPI_CTRL1.LSBFF = 0 时，SPI 传输的 4 种 CLKPHA 和 CLKPOL 位组合时序。

图 16-4 数据时钟时序图


16.3.1.4 数据格式

通过设置 **SPI_CTRL1.LSBFF** 位，用户可以选择数据的位顺序，当 **SPI_CTRL1.LSBFF = 0**，SPI 将先发送数据的高位（MSB），当 **SPI_CTRL1.LSBFF = 1**，SPI 将先发送数据的低位（LSB）。

通过设置 **SPI_CTRL1.DATFF** 位，用户可以选择数据帧格式，当 **SPI_CTRL1.DATFF = 0**，SPI 数据帧长度为 8-bit，当 **SPI_CTRL1.DATFF = 1**，SPI 数据帧长度为 16-bit。

16.3.2 SPI 工作模式

16.3.2.1 主机全双工模式

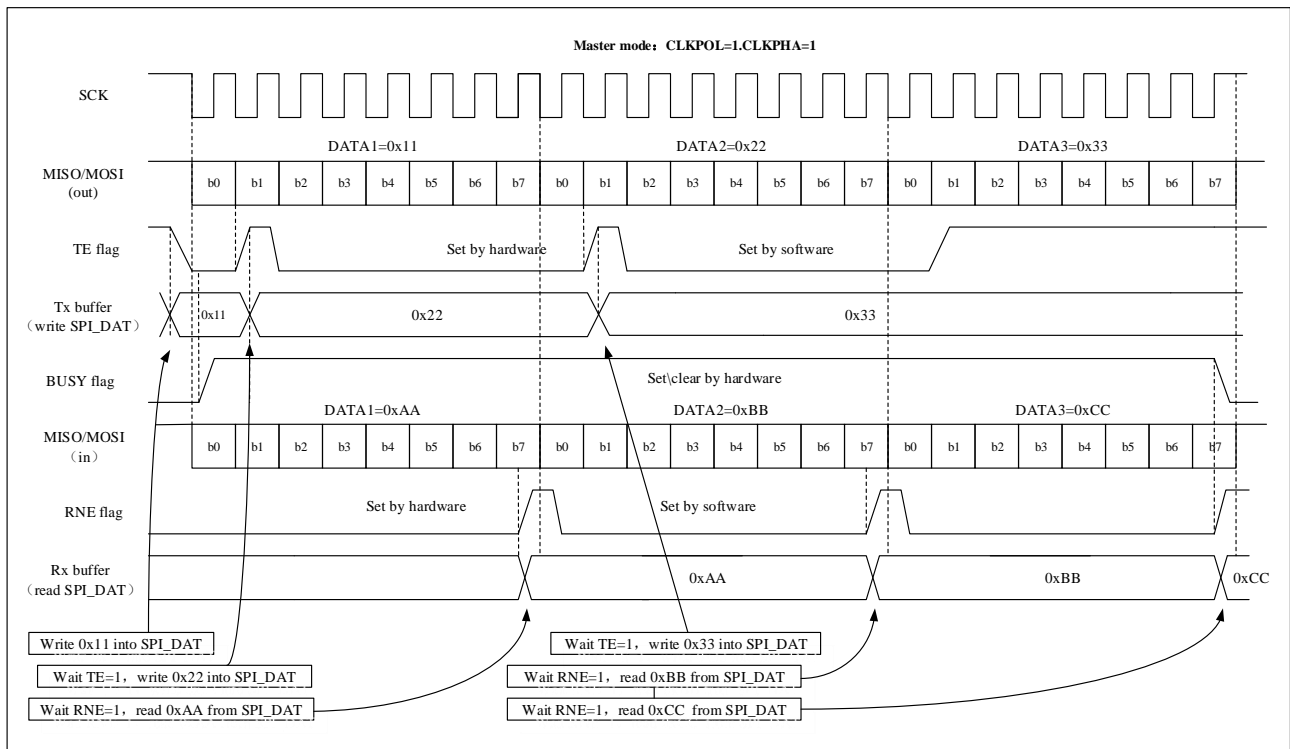
主机全双工模式（**SPI_CTRL1.MSEL = 1**（主设备），**SPI_CTRL1.BIDIRMODE = 0**（双线单向），**SPI_CTRL1.ONLY = 0**（发送和接收模式））。第一个数据被写到 **SPI_DAT** 寄存器后，将会开始传输，数据的第一个位被发送时，数据字节并行从数据寄存器装载进入移位寄存器，然后数据位按照 **SPI_CTRL1.LSBFF** 位的配置，数据位按照 MSB 或 LSB 顺序被串行移位进到 **MOSI** 引脚。与此同时，在 **MISO** 引脚上接收到

的数据，按照同样顺序被串行地移位进入移位寄存器，然后并行装载入 SPI_DAT 寄存器。软件操作流程如下：

1. 设置SPI_CTRL1.SPIEN位为1，使能SPI模块；
2. 写待发送的第一个数据到SPI_DAT（这个写操作会清除SPI_STS.TE标志位）；
3. 等待SPI_STS.TE标志位置1后，再写入第二个待发送的数据到SPI_DAT寄存器，等待SPI_STS.RNE标志位置1后，再读取SPI_DAT寄存器接收到的第一个数据，读取SPI_DAT寄存器，SPI_STS.RNE标志位会被硬件清0。重复上述操作，发送后续的数据，同时接收第n-1个数据；
4. 等待SPI_STS.RNE置1后，读取最后一个数据；
5. 等待SPI_STS.TE标志位置1，等待SPI_STS.BUSY标志位清除后再关闭SPI模块。

数据的发送和接收处理可以在 SPI_STS.RNE 标志位或 SPI_STS.TE 标志位的上升沿产生的中断处理程序中实现。

图 16-5 主机全双工模式下连续传输时，SPI_STS.TE/RNE/BUSY 的变化示意图



16.3.2.2 主机双线单向只发送模式

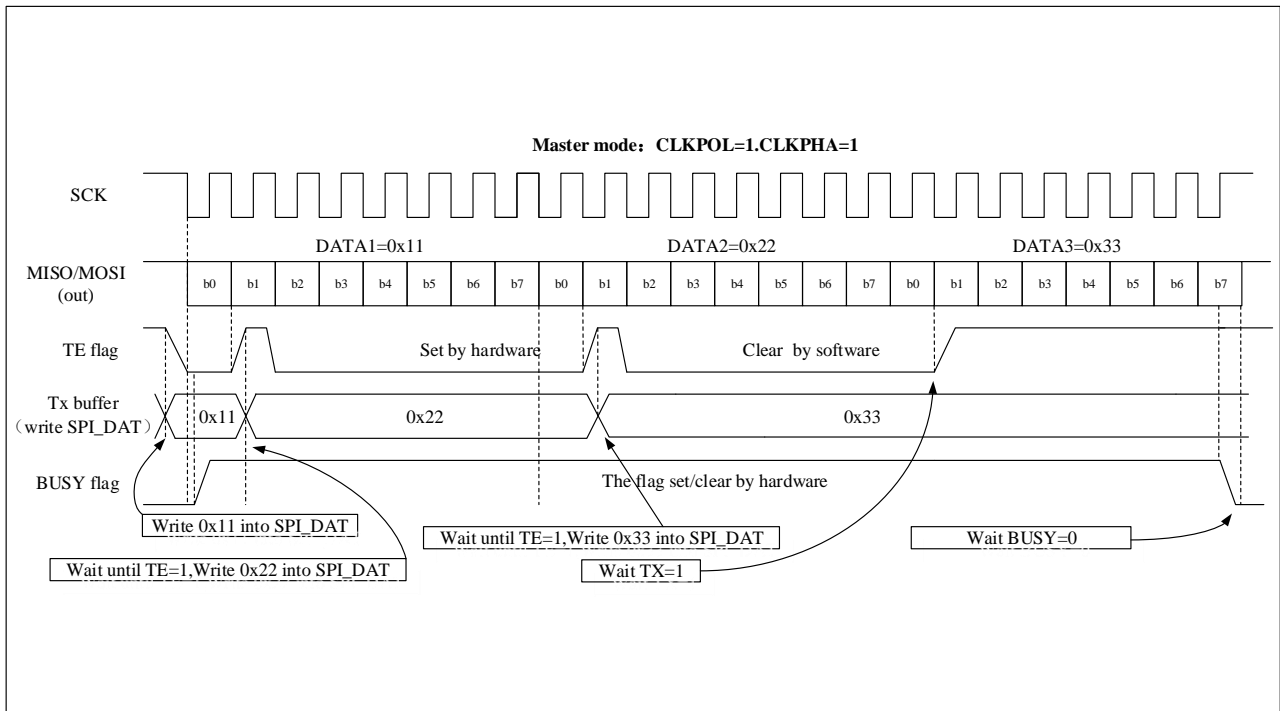
主机双线单向只发送模式（SPI_CTRL1.MSEL = 1（主机），SPI_CTRL1.BIDIRMODE = 0（双线单向），SPI_CTRL1.ONLY = 0（发送和接收模式））。主机双线单向只发送模式和主机全双工模式相似，但是主机双线单向只发送模式中，接收到的数据将不会被读取，因此 SPI_STS.OVER 标志位将会置位，软件应该忽略这个位。软件操作流程如下：

1. 设置SPI_CTRL1.SPIEN位为1，使能SPI模块；
2. 写待发送的第一个数据到 SPI_DAT 寄存器（该操作会清除 SPI_STS.TE 标志位）；

3. 等待 SPI_STS.TE 标志位置 1，写待发送的第二个数据到 SPI_DAT 寄存器，重复这个操作发送后续的数据；
4. 写最后一个数据到 SPI_DAT 寄存器，等待 SPI_STS.TE 标志位置 1，然后等待 SPI_STS.BUSY 位清除，完成所有数据的发送。

数据发送可以在 SPI_STS.TE 标志位上升沿产生的中断处理程序里实现。

图 16-6 主机单向只发送模式下连续传输时，SPI_STS.TE/BUSY 变化示意图



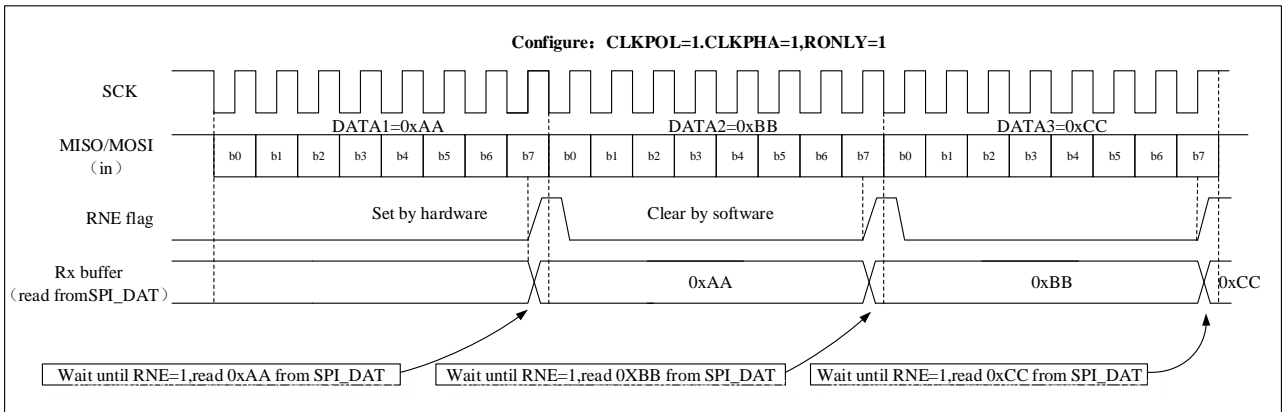
16.3.2.3 主机双线单向只接收模式

主机双线单向只接收模式（SPI_CTRL1.MSEL = 1（主机），SPI_CTRL1.BIDIRMODE = 0（双线单向），SPI_CTRL1.ONLY = 1（接收模式））。当 SPI_CTRL1.SPIEN = 1，开始接收过程。来自 MISO 引脚的数据位依次连续移位进入移位寄存器，然后并行加载到 SPI_DAT 寄存器。软件操作流程如下（见图 16-7）：

1. 设置 SPI_CTRL1.ONLY = 1，使能仅接收模式；
2. 设置 SPI_CTRL1.SPIEN = 1，使能 SPI 模块；
 - 主机模式下，SCK 信号会立即产生，在 SPI 关闭前（SPI_CTRL1.SPIEN=0），串行数据被连续接收；
 - 从机模式下，当主设备驱动 NSS 信号为低电平并且产生 SCK，串行数据被连续接收；
3. 等待 SPI_STS.RNE 位置 1，读取 SPI_DAT 寄存器获得接收的数据，当读取 SPI_DAT 寄存器，SPI_STS.RNE 位将会被硬件清除。重复这个操作接收所有数据。

数据处理可以在 SPI_STS.RNE 标志位产生的中断处理程序里实现。

图 16-7 只接收模式 (BIDIRMODE=0 并且 RONLY=1) 下连续传输时, RNE 变化示意图



16.3.2.4 主机单线双向发送模式

主机单线双向发送模式 (SPI_CTRL1.MSEL = 1 (主机), SPI_CTRL1.BIDIRMODE = 1 (单线双向), SPI_CTRL1.BIDIROEN = 1 (仅发送模式), SPI_CTRL1.RONLY = 0 (发送和接收模式))。数据写进 SPI_DAT 寄存器后, 传输过程开始。这个模式不接收数据。发送第一个数据位的同时, 被发送的数据并行装载进移位寄存器, 然后根据 SPI_CTRL1.LSBFF 位的配置, SPI 按照 MSB 或 LSB 顺序将数据位串行移位到 MOSI 引脚。

主机单线双向发送的软件操作流程和仅发送模式的流程相同。

16.3.2.5 主机单线双向接收模式

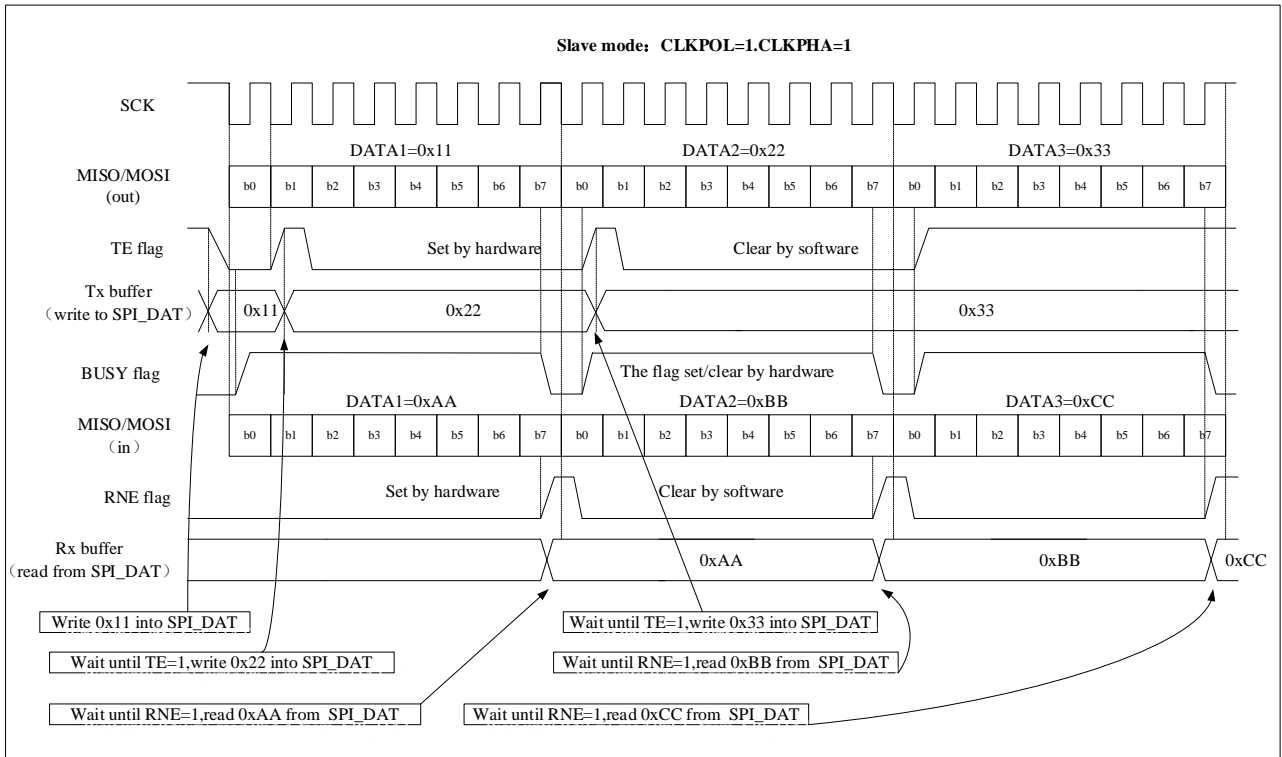
主机单线双向接收模式 (SPI_CTRL1.MSEL = 1 (主机), SPI_CTRL1.BIDIRMODE = 1 (单线双向), SPI_CTRL1.BIDIROEN = 0 (仅接收模式), SPI_CTRL1.RONLY = 0 (发送和接收模式))。该模式下, 当 SPI 使能 (SPI_CTRL1.SPIEN = 1), 接收过程开始。该模式下, 没有数据输出, 接收到的数据位连续且串行移位进入移位寄存器, 并行的装载进 SPI_DAT 寄存器 (接收缓存)。

主机单线双向接收模式的软件操作流程和只接收模式一样。

16.3.2.6 从机全双工模式

从机全双工模式 (SPI_CTRL1.MSEL = 0 (从机), SPI_CTRL1.BIDIRMODE = 0 (双线单向), SPI_CTRL1.RONLY = 0 (发送和接收模式))。当从设备接收到第一个时钟沿, 数据传输过程开始。主设备开始数据传输之前, 软件必须确保待发送的数据写入 SPI_DAT 寄存器。

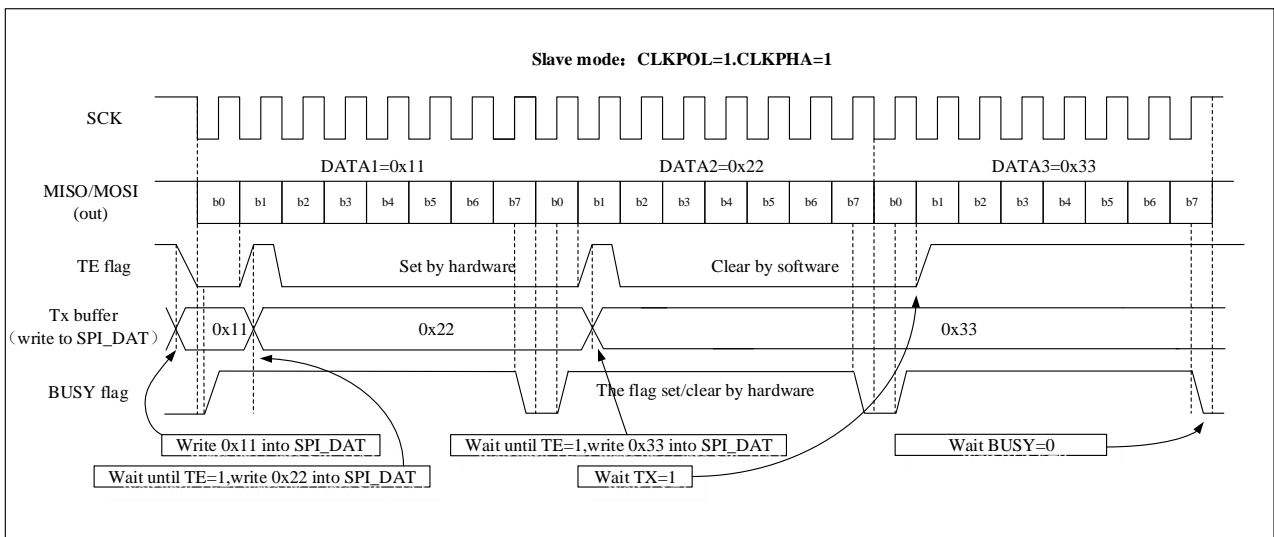
图 16-8 从机全双工模式下连续传输时，SPI_STS.TE/RNE/BUSY 的变化示意图



16.3.2.7 从机双线单向只发送模式

从机双线单向只发送模式 (SPI_CTRL1.MSEL = 0 (从机), SPI_CTRL1.BIDIRMODE = 0 (双线单向), SPI_CTRL1.ROONLY = 0 (发送和接收模式))。

图 16-9 从机单向只发送模式下连续传输时，SPI_STS.TE/BUSY 变化示意图



16.3.2.8 从机双线单向只接收模式

从机双线单向只接收模式 (SPI_CTRL1.MSEL = 0 (从机), SPI_CTRL1.BIDIRMODE = 0 (双线单向), SPI_CTRL1.ROONLY = 1 (接收模式))。当从设备接收到时钟信号和来自 MOSI 引脚的第一个数据位，数据接收过程开始。接收到的数据位顺序且连续地串行移位到移位寄存器，然后并行地装载到 SPI_DAT 寄存器

(接收缓存)。

16.3.2.9 从机单线双向发送模式

从机单线双向发送模式 (SPI_CTRL1.MSEL = 0 (从机), SPI_CTRL1.BIDIRMODE = 1 (单线双向), SPI_CTRL1.BIDIROEN = 1 (仅发送模式))。当从设备接收到第一个时钟沿, 数据发送过程开始。该模式没有数据接收, SPI 主机开始数据传输前, 软件必须确保待发送数据已经被写进 SPI_DAT 寄存器。

16.3.2.10 从机单线双向接收模式

从机单线双向接收模式 (SPI_CTRL1.MSEL = 0 (从机), SPI_CTRL1.BIDIRMODE = 1 (单线双向), SPI_CTRL1.BIDIROEN = 0 (仅接收模式))。当从设备接收到第一个时钟沿和来自 MISO 引脚的数据位时, 数据接收开始。该模式没有数据输出, 接收到的数据位顺序且连续地串行移位到移位寄存器, 然后并行地装载到 SPI_DAT 寄存器 (接收缓存)。

注意: 从机的软件操作流程参考主机的。

16.3.2.11 SPI 初始化流程

1. 通过设置 SPI_CTRL1.BR[2:0]位配置数据传输的波特率 (如果工作在从模式忽略该步骤);
2. 选择时钟极性 (SPI_CTRL1.CLKPOL) 和时钟相位 (SPI_CTRL1.CLKPHA), 定义数据传输和时钟的相位关系;
3. 设置 SPI_CTRL1.DATFF 位定义帧格式为 8bit 还是 16bit;
4. 配置 SPI_CTRL1.LSBFF 定义数据位发送的顺序是 LSB 还是 MSB;
5. 配置 NSS 模式;
6. 配置 SPI_CTRL1.MSEL、SPI_CTRL1.BIDIRMODE、SPI_CTRL1.BIDIROEN 和 SPI_CTRL1.ROONLY 位;
7. 设置 SPI_CTRL1.SPIEN 位使能 SPI 模块。

16.3.2.12 SPI 协议基本的发送和接收处理

当 SPI 发送 1 个数据帧, 首先, 数据帧从数据缓存装载进移位寄存器, 然后装载的数据被发送。当来自发送缓存的数据传输进移位寄存器, 发送缓存空标志被置位 (SPI_STS.TE = 1), 然后下一个数据可装载进入发送缓存。如果 SPI_CTRL2.TEINTEN 位置 1, 中断将会产生。写数据到 SPI_DAT 寄存器可以对 SPI_STS.TE 标志位清 0。

采样时钟的最后一个边沿, 当数据从移位寄存器传输进接收缓存, 接收缓存非空标志置位 (SPI_STS.RNE = 1), 此时数据就绪, 可以从 SPI_DAT 寄存器读取接收到的数据。如果接收缓存非空中断被使能 (SPI_CTRL2.RNEINTEN = 1), 将产生中断。读 SPI_DAT 寄存器可以对 SPI_STS.RNE 标志位清 0。

主模式下, 当数据写进发送缓存, 发送过程开始。当前数据帧发送完成前, 如果下个数据写进 SPI_DAT 寄存器, 连续发送可以实现。

从机模式下, NSS 引脚为低, 当第一个时钟沿到来, 发送过程开始。为了避免意外的数据传输, 数据发送前 (主机发送时钟前, 建议先使能 SPI 模块) 软件必须写数据到发送缓存。

在有些配置里, 当发送最后一帧数据时, SPI_STS.BUSY 标志位可以用于等待数据发送结束。

16.3.2.13 连续和非连续传输

当主模式下发送数据, 如果软件足够快能检测到每个 SPI_STS.TE 上升沿 (或 TE 中断), 并且正进行的传输

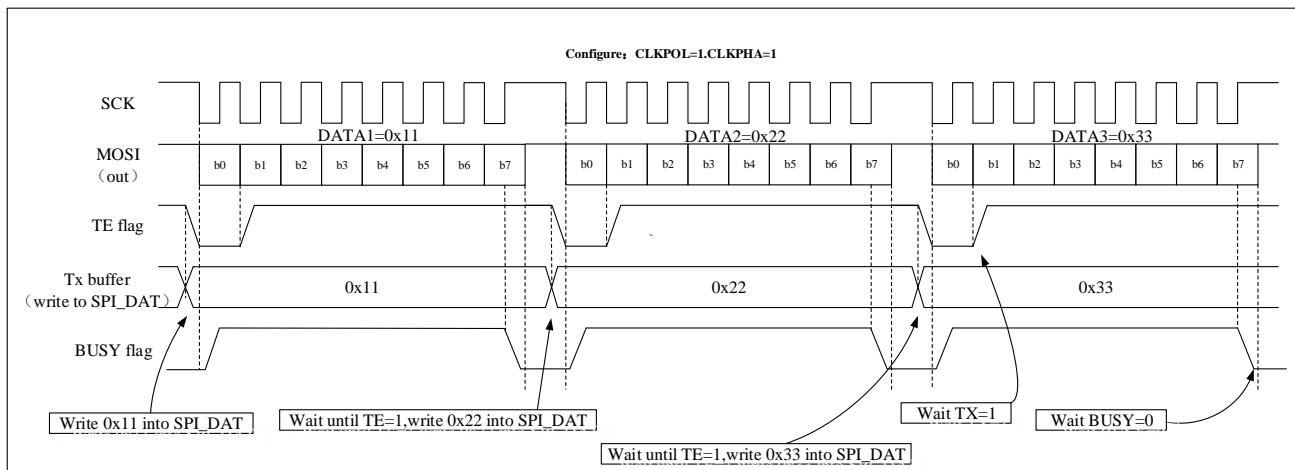
结束前，立即将数据写入 SPI_DAT 寄存器，此时，每个数据项之间的 SPI 时钟保持连续，SPI_STS.BUSY 标志位将不会被清除，连续通讯可以实现。

如果软件不够快，将导致不连续的通讯，此时，每个数据传输之间 SPI_STS.BUSY 标志位会被清除(图 16-10)。

主机只接收模式下 (SPI_CTRL1.ONLY = 1)，通讯总是连续的，并且 BUSY 标志位总是为高。

从模式下，通讯的连续性由主设备决定，任何情况下，即使通讯是连续的，每个数据项之间，BUSY 标志位将至少有 1 个 SPI 时钟周期为低 (图 16-9)。

图 16-10 BIDIRMODE = 0, RONLY = 0 非连续传输发送时，SPI_STS.TE/BUSY 变化示意图



16.3.3 状态标志

SPI_STS 寄存器中有以下 3 个标志位，用以监视 SPI 总线的状态。

16.3.3.1 发送缓存空标志位 (TE)

当发送缓存空，SPI_STS.TE 标志位置 1，意味着可以将新数据写进 SPI_DAT 寄存器。当发送缓存非空，硬件将该标志位清 0。

16.3.3.2 接收缓存非空标志位 (RNE)

当接收缓存非空，SPI_STS.RNE 标志位置 1，因此用户知道接收缓存有数据。读取 SPI_DAT 寄存器后，硬件将该标志位清 0。

16.3.3.3 忙标志位 (BUSY)

当传输开始，硬件将 SPI_STS.BUSY 标志位置 1，传输结束后，硬件将 SPI_STS.BUSY 标志位清 0。

仅当设备在主机单线双向接收模式，当通讯进行中，SPI_STS.BUSY 标志位将会设置为 0。

下面情况，SPI_STS.BUSY 标志位将会清 0：

- 传输结束 (主模式下连续通信的情况除外)；
- 关闭 SPI 模块 (SPI_CTRL1.SPIEN = 0)；
- 产生主模式失效 (SPI_STS.MODERR = 1)。

当通讯是不连续的：每个数据项传输之间，SPI_STS.BUSY 标志位清 0。

当通讯是连续的：在主机模式，整个传输过程，SPI_STS.BUSY 标志位保持为高。在从机模式，每个数据项传输之间 SPI_STS.BUSY 标志位会有 1 个 SPI 时钟周期为低。因此不要使用 SPI_STS.BUSY 标志位处理每个数据项的发送和接收。

16.3.4 关闭 SPI

为了关闭 SPI 模块，不同的操作模式需要采用不同的操作步骤：

16.3.4.1 主机或从机全双工模式

1. 等待 SPI_STS.RNE 标志位置 1，并且接收到最后一个字节；
2. 等待 SPI_STS.TE 标志位置 1；
3. 等待 SPI_STS.BUSY 标志位清 0；
4. 关闭 SPI 模块（SPI_CTRL1.SPIEN = 0）。

16.3.4.2 主机或从机单向发送模式或双向发送模式

1. 向 SPI_DAT 寄存器写完最后一个字节后，等待 SPI_STS.TE 标志位置 1；
2. 等待 SPI_STS.BUSY 标志位清 0；
3. 关闭 SPI 模块（SPI_CTRL1.SPIEN = 0）。

16.3.4.3 主机单向只接收模式或双向接收模式

1. 等待倒数第二个 SPI_STS.RNE 置 1；
2. 关闭 SPI 模块前（SPI_CTRL1.SPIEN = 0），等待 1 个 SPI 时钟周期（使用软件延时）；
3. 进入关机模式前（或关闭 SPI 模块时钟），等待最后一个 SPI_STS.RNE 置 1。

16.3.4.4 从机单向只接收模式或双向接收模式

1. 可以在任意时间关闭 SPI 模块（SPI_CTRL1.SPIEN = 0），并且当前传输结束后，SPI 模块将被关闭；
2. 如果想进入关机模式，进入关机模式之前（或关闭 SPI 模块时钟），必须等待 SPI_STS.BUSY 标志位为 0。

16.3.5 错误标志位

16.3.5.1 主模式失效错误（MODERR）

以下两种情况下会发生主模式失效错误：

- NSS 引脚硬件管理模式，主设备 NSS 引脚被驱动低电平；
- NSS 引脚软件模式管理，SPI_CTRL1.SSEL 位被置 0。

当主模式失效错误发生，SPI_STS.MODERR 标志位置 1。如果用户使能相应的中断（SPI_CTRL2.ERRINTEN=1），将产生中断。SPI_CTRL1.SPIEN 位和 SPI_CTRL1.MSEL 将被写保护，且都被硬件清除。SPI 关闭且强制进入从模式。

软件对 SPI_STS 寄存器执行读或写操作，然后写 SPI_CTRL1 寄存器可以清除 SPI_STS.MODERR 位（在多主配置下，主机的 NSS 引脚必须先拉高）。

通常，从机的 SPI_STS.MODERR 位不能被置 1。然而，在多主配置下，从设备的 SPI_STS.MODERR 位可能置位。这种情况下，SPI_STS.MODERR 位指示存在多主冲突。中断程序可以执行复位或返回默认状态从错误状态恢复。

16.3.5.2 溢出错误 (OVER)

当 SPI_STS.RNE 位置 1，但是仍然有数据发送进入接收缓存，上溢错误将发生，此时，上溢标志 SPI_STS.OVER 置 1。如果用户使能相应的中断(SPI_CTRL2.ERRINTEN=1)，则产生中断。所有接收到的数据丢失，且 SPI_DAT 寄存器仅保留之前未读的数据。

依次读 SPI_DAT 寄存器和 SPI_STS 寄存器可以清除 SPI_STS.OVER 位。

16.3.6 SPI 中断

表 16-1 SPI 中断请求

中断事件	事件标志位	使能控制位
发送缓存空标志	TE	TEINTEN
接收缓存非空标志	RNE	RNEINTEN
主模式失效事件	MODERR	ERRINTEN
溢出错误	OVER	

16.4 SPI 寄存器描述

16.4.1 SPI 寄存器总览

表 16-2 SPI 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0											
000h	SPI_CTRL1	Reserved														BIDIRMODE	BIDIROEN	Reserved	DATFF	RONLY	SSMEN	SSEL	LSBFF	SPIEN	BR[2:0]			MSEL	CLKPOL	CLKPHA														
	Reset Value	0														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
004h	SPI_CTRL2	Reserved														Reserved			TEINTEN	RNEINTEN	ERRINTEN	Reserved			SSOEN	Reserved																		
	Reset Value	0														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
008h	SPI_STS	Reserved														Reserved			BUSY	OVER	MODERR	Reserved			TE	RNE																		
	Reset Value	0														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
00Ch	SPI_DAT	Reserved														DAT[15:0]																												
	Reset Value	0														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

16.4.2 SPI 控制寄存器 1 (SPI_CTRL1)

地址偏移: 0x00

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	3	2	1	0
BIDIR MODE	BIDIR OEN	Reserved		DATFF	RONLY	SSMEN	SSEL	LSBFF	SPIEN	BR[2:0]		MSEL	CLKPOL	CLKPHA
rw	rw			rw	rw	rw	rw	rw	rw	rw		rw	rw	rw

位域	名称	描述
15	BIDIRMODE	双向数据模式使能 0: 选择“双线单向”模式; 1: 选择“单线双向”模式。
14	BIDIROEN	双向模式下输出使能 0: 输出禁止 (仅接收模式)。 1: 输出使能 (仅发送模式)。 在主机模式下, “单线”数据线是 MOSI 引脚, 在从机模式下, “单线”数据线是 MISO 引脚。
13:12	Reserved	保留, 必须保持复位值
11	DATFF	数据帧格式 0: 使用 8 位数据帧格式进行发送/接收; 1: 使用 16 位数据帧格式进行发送/接收。 <i>注意: 只有当 SPI 禁止 (SPI_CTRL1.SPIEN = 0) 时, 才能写该位, 否则出错。</i>
10	RONLY	仅接收模式 该位和 SPI_CTRL1.BIDIRMODE 位一起决定双线单向模式的传输方向。在多个从设备的应用场景, 该位仅被访问的从设备置 1, 仅被访问的从设备可以输出, 从而避免数据线冲突。 0: 全双工 (发送和接收模式)。 1: 输出禁能 (仅接收模式)。
9	SSMEN	软件从设备管理 当 SPI_CTRL1.SSMEN 被置位时, NSS 引脚上的电平由 SPI_CTRL1.SSEL 位的值决定。 0: 禁止软件从设备管理; 1: 使能软件从设备管理。
8	SSEL	内部从设备选择 该位仅在 SPI_CTRL1.SSMEN 位置 1 时有意义。它决定了 NSS 电平, 且 NSS 引脚的 I/O 操作无效。
7	LSBFF	帧格式 0: 先发送 MSB。 1: 先发送 LSB。 <i>注意: 通讯过程中该位不能被改变。</i>
6	SPIEN	SPI 使能 0: 禁能 SPI 模块。 1: 使能 SPI 模块。 <i>注意: 当关闭 SPI 设备时, 请遵循 16.3.4 的流程操作。</i>
5:3	BR[2:0]	波特率控制 000: fPCLK/2 001: fPCLK/4 010: fPCLK/8 011: fPCLK/16

位域	名称	描述
		100: fPCLK/32 101: fPCLK/64 110: fPCLK/128 111: fPCLK/256 注意: 当通信正在进行的时候, 不能修改这些位。
2	MSEL	主设备选择 0: 配置为从设备; 1: 配置为主设备。 注意: 当通信正在进行的时候, 不能修改该位。
1	CLKPOL	时钟极性 0: 空闲状态时, SCK 保持低电平; 1: 空闲状态时, SCK 保持高电平。 注意: 当通信正在进行的时候, 不能修改该位。
0	CLKPHA	时钟相位 0: 第一个时钟沿采样数据 1: 第二个时钟沿采样数据。 注意: 当通信正在进行的时候, 不能修改该位。

16.4.3 SPI 控制寄存器 2 (SPI_CTRL2)

地址偏移: 0x04

复位值: 0x0000

15	8	7	6	5	4	3	2	1	0	
Reserved				TE INTEN	RNE INTEN	ERR INTEN	Reserved		SSOEN	Reserved
				rw	rw	rw			rw	

位域	名称	描述
15:8	Reserved	保留, 必须保持复位值
7	TEINTEN	发送缓存空中断使能 0: 禁止 TE 中断; 1: 允许 TE 中断, 当 SPI_STS.TE 标志置位为‘1’时产生中断请求。
6	RNEINTEN	接收缓存非空中断使能 0: 禁止 RNE 中断; 1: 允许 RNE 中断, 当 SPI_STS.RNE 标志置位时产生中断请求。
5	ERRINTEN	错误中断使能 当错误 (SPI_STS.OVER, SPI_STS.MODERR) 产生时, 该位控制是否产生中断 0: 禁止错误中断; 1: 允许错误中断。
4:3	Reserved	保留, 必须保持复位值
2	SSOEN	NSS 输出使能 0: 禁止在主模式下 NSS 输出, 该设备可以工作在多主设备模式; 1: 设备开启时, 开启主模式下 NSS 输出, 该设备不能工作在多主设备模式。

位域	名称	描述
15:0	DAT[15:0]	<p>数据寄存器</p> <p>待发送或者已接收到的数据</p> <p>数据寄存器对应两个缓存：一个用于写（发送缓存）；另外一个用于读（接收缓存）。写操作将数据写到发送缓存；读操作将返回接收缓存里的数据。</p> <p><i>注意：根据 SPI_CTRL1.DATFF 位对数据帧格式的选择，数据的发送和接收可以是 8 位或者 16 位的。为保证正确的操作，需要在启用 SPI 之前就确定好数据帧格式。</i></p> <p>8 位数据帧格式：缓冲器是 8 位的，发送和接收时只会用到 SPI_DAT[7:0]。在接收时，SPI_DAT[15:8]被强制为 0。</p> <p>16 位数据帧格式：缓冲器是 16 位的，发送和接收时会用到整个数据寄存器，即 SPI_DAT[15:0]。</p>

17 蜂鸣器(Beeper)

17.1 简介

Beeper 模块支持互补输出，可以产生周期信号来驱动外部无源蜂鸣器。用于产生提示音或者报警发声。

17.2 功能描述

蜂鸣器 Beeper 作为一个独立的模块，挂载于 APB 总线上，工作时钟源 LSI。

- 单路或双路输出可配
- 支持两路输出互补
- 输出频率可配：1kHz, 2kHz, 4kHz, 8kHz

17.3 Beeper 寄存器

必须以字（32 位）的方式操作这些外设寄存器。

17.3.1 Beeper 寄存器总览

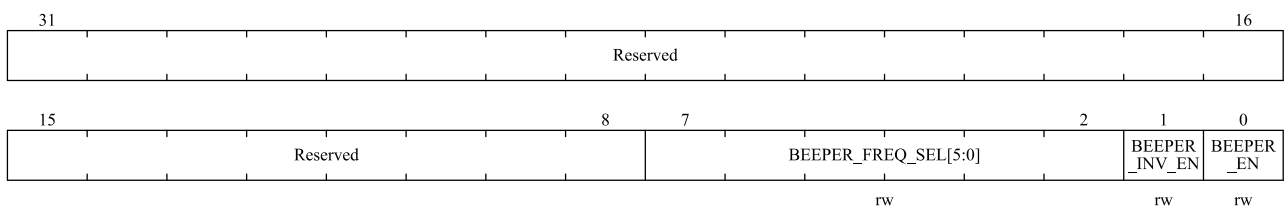
表 17-1 Beeper 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
000h	BEEPER_CTRL	Reserved																								BEEPER_FREQ_SEL[5:0]					BEEPER_INV_EN	BEEPER_EN	
	Reset Value																																0

17.3.2 Beeper 控制寄存器（BEEPER_CTRL）

地址偏移量：0x00

复位值：0x0000 0000



位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
7:2	BEEPER_FREQ_SEL[5:0]	蜂鸣器输出频率选择： 000001：8kHz

位域	名称	描述
		000011: 4kHz 000111: 2kHz 001111: 1kHz 其他值: 保留
1	BEEPER_INV_EN	蜂鸣器互补输出使能 0: 只有一路输出, 另一输出关闭。 1: 两路输出都开启, 且输出互补
0	BEEPER_EN	蜂鸣器使能 0: 蜂鸣器失能 (注意: BEEPER_EN=0 之后可通过禁能 <i>RCC_APBCLKEN.BEEPEREN</i> 来立即关掉 <i>Beeper</i> 输出) 1: 蜂鸣器使能

18 调试支持(DBG)

18.1 简介

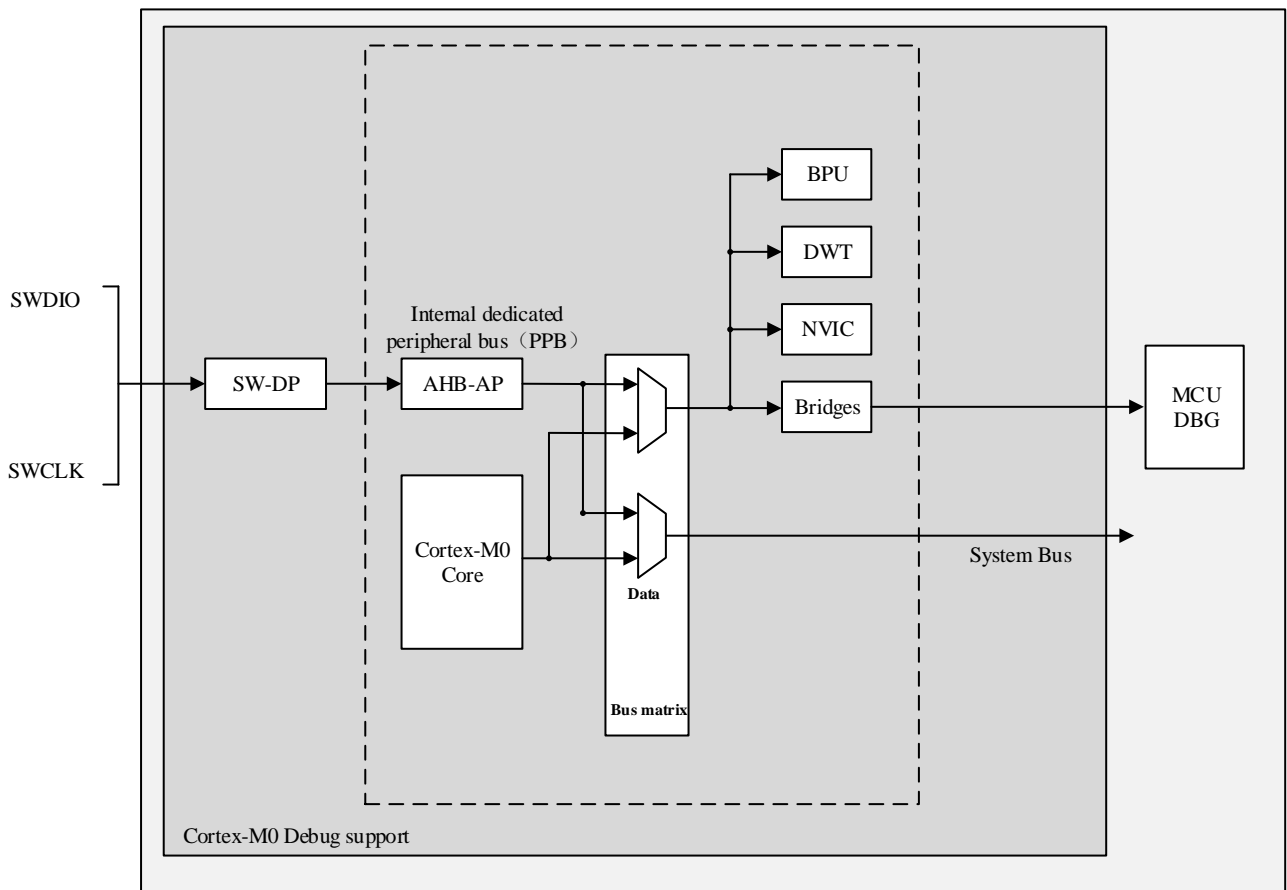
N32G003 使用 Cortex[®]-M0 内核，内核集成硬件调试模块。支持指令断点（指令取值时停止）和数据断点（数据访问时停止）。当内核停止时，用户可以查看内核的内部状态和系统的外部状态。用户查询操作完成后，可以使内核和外设恢复，并继续执行相应程序。

N32G003 内核的硬件调试模块在连接到调试器时即可被使用（在未被禁止情况下）。

N32G003 支持以下调试接口：

- 串行接口

图 18-1 N32G003 级别和 Cortex[®]-M0 级别的调试框图



ARM Cortex[®]-M0 内核硬件调试模块可提供如下调试功能：

- SW-DP：串行调试端口
- AHP-AP：AHB 访问端口
- BPU：断点单元
- DWT：数据观察点触发

可参考：

- Cortex[®]-M0 技术参考手册（TRM）
- ARM 调试接口 V5 结构规范
- ARM CoreSight 开发工具集（r1p0 版）技术参考手册

18.2 SWD 功能

调试工具可以通过上述的 SWD 调试接口来调用调试功能。

18.2.1 引脚分配

SWD（串行调试）接口包含 2 个管脚：SWCLK（时钟管脚）和 SWDIO（数据输入输出管脚）。

SWD 调试接口管脚分配见下表：

表 18-1 调试端口引脚

调试端口	引脚分配
SWDIO	PA8
SWCLK	PA9

19 唯一设备序列号 (UID)

19.1 简介

MCU 系列产品内置两个不同长度的唯一设备序列号，分别为 96 位的 UID(Unique device ID)和 128 位的 UCID(Unique Customer ID)，这两个设备序列号存放在闪存存储器的系统配置块中，它们所包含的信息在出厂时编写，并保证对任意一个 MCU 微控制器在任何情况下都是唯一的，用户应用程序或外部设备可以通过 CPU 或 SWD 接口读取，不可被修改。

UID 为 96 位，通常用来作为序列号或作为密码，在编写闪存时，将此唯一标识与软件加解密算法相结合，进一步提高代码在闪存存储器内的安全性。

UCID 为 128 位，遵守国民技术芯片序列号定义，它包含芯片生产及版本相关信息。

除以上两个设备序列号外，还有一个 32 位的 DBGMCU_ID，它包含了芯片版本号、芯片型号、Flash/SRAM 容量信息。

19.2 UID 寄存器

起始地址：0x1FFF_F4FC 长度 96 位。

19.3 UCID 寄存器

起始地址：0x1FFF_F4D0 长度 128 位。

19.4 DBGMCU_ID 寄存器

起始地址：0x1FFF_F508，长度 32 位。

不同字节，低字节在前，高字节在后；同一字节，高位在前，低位在后。

表 19-1 DBGMCU_ID 位描述

描述	位数	备注
芯片版本号	4bit	芯片版本号低 4 位。
	4bit	芯片版本号高 4 位。
芯片型号	4bit	芯片型号的高 4 位。 芯片型号由高、中、低共 12 位组成。
	4bit	芯片型号的中 4 位。
	4bit	芯片型号的低 4 位。
Flash 容量	4bit	FLASH 容量指示位。 2KB 为单位，FLASH 大小 = N * 2 KB 注：0x8 表示容量 16KB；0xF 表示容量 29.5KB
SRAM 容量	4bit	SRAM 容量指示位。 1KB 为单位，SRAM 大小 = N * 1KB
保留	4bit	保持为全 1。

20 版本历史

日期	版本	修改记录
2022.10.10	V1.0	初始版本
2023.7.7	V1.1.0	<ol style="list-style-type: none">1. 章节 5.2.5.4.2: PA9 新增 UART2_RX 复用功能2. 章节 2.2.1.6: 选项字节添加 USER3[6]LVR 复位使能及对应的 FLASH_USER 寄存器只读位3. 表 2-5: 修改 L1 级别 SWD 的访问权限及相关内容描述4. 表 19-1: 修改 Flash 容量注释
2024.9.7	V1.2.0	<ol style="list-style-type: none">1. 章节 15.7.2: 修改 OREF 置位描述2. 表 2-4: 优化读保护配置表3. 章节 2.2.3.1: 优化寄存器总览表4. 章节 5.4.2: 修改寄存器位图5. 章节 12.5: 添加转换周期注意点6. 章节 15.4.2.5: 添加写数据延时注意点
2026.3.2	V1.3.0	<ol style="list-style-type: none">1. 章节 14.3.2.6 修改 7 位地址模式使用注意点2. 章节 6.2.4 添加 EXTI 线 19 使用注意点

21 声明

国民技术股份有限公司（下称“国民技术”）对此文档拥有专属产权。依据中华人民共和国的法律、条约以及世界其他法域相适用的管辖，此文档及其中描述的国民技术产品（下称“产品”）为公司所有。

国民技术在此并未授予专利权、著作权、商标权或其他任何知识产权许可。所提到或引用的第三方名称或品牌（如有）仅用作区别之目的。

国民技术保留随时变更、订正、增强、修改和改良此文档的权利，恕不另行通知。请使用者在下单购买前联系国民技术获取此文档的最新版本。

国民技术竭力提供准确可信的资讯，但即便如此，并不推定国民技术对此文档准确性和可靠性承担责任。

使用此文档信息以及生成产品时，使用者应当进行合理的设计、编程并测试其功能性和安全性，国民技术不对任何因使用此文档或本产品而产生的任何直接、间接、意外、特殊、惩罚性或衍生性损害结果承担责任。

国民技术对于产品在系统或设备中的应用效果没有任何故意或保证，如有任何应用在其发生操作不当或故障情况下，有可能致使人员伤亡、人身伤害或严重财产损失，则此类应用被视为“不安全使用”。

不安全使用包括但不限于：外科手术设备、原子能控制仪器、飞机或宇宙飞船仪器、所有类型的安全装置以及其他旨在支持或维持生命的应用。

所有不安全使用的风险应由使用人承担，同时使用人应使国民技术免于因为这类不安全使用而导致被诉、支付费用、发生损害或承担责任时的赔偿。

对于此文档和产品的任何明示、默示之保证，包括但不限于适销性、特定用途适用性和不侵权的保证，国民技术可在法律允许范围内进行免责。

未经明确许可，任何人不得以任何理由对此文档的全部或部分进行使用、复制、修改、抄录和传播。