
N32G033系列MCU硬件设计指南

简介

本文档详细介绍 N32G033 系列 MCU 的硬件设计检查列表,以便为用户提供硬件设计指导。

目录

1. N32G033 系列 MCU 硬件设计检查列表.....	1
1.1 供电电源简介.....	1
1.2 VDD 供电方案.....	1
1.3 外部引脚复位电路.....	1
1.4 时钟电路	1
1.5 启动引脚连接.....	2
1.6 独立 ADC 转换器	2
1.7 IO 耐压值	4
1.8 防静电设计	5
1.8.1 PCB 设计	5
1.8.2 ESD 防护器件.....	5
1.9 调试接口	6
1.10 BOOT 串口接口.....	6
1.11 模块设计注意事项.....	6
2. 整体设计建议	6
3. PCB LAYOUT 参考	8
4. 历史版本	9
5. 声 明	10

1. N32G033 系列 MCU 硬件设计检查列表

1.1 供电电源简介

N32G033 系列芯片工作电压（VDD）为 2.0V~5.5V。主要有：VDD、VDDA 引脚。具体请参考相关数据手册。

1.2 VDD 供电方案

VDD 为 MCU 主电源，必须由稳定的外部电源供电，电压范围 2.0V~5.5V，所有 VDD 引脚都需就近放置去耦电容；

LQFP32 和 QFN32 封装芯片，VDD（pin17）管脚需就近放置 4.7uF + 0.1 uF 去耦电容，其余 VDD 管脚需就近放置一颗 0.1 uF 电容；

QFN20、UFQFPN20、和 TSSOP20 封装芯片，VDD 管脚需就近放置 4.7uF + 0.1 uF 去耦电容；

VDDA 为模拟电源，为大部分模拟外设供电。VDDA 输入管脚建议放置一个 0.1uF 和一个 1uF 的电容。

1.3 外部引脚复位电路

当NRST引脚上出现低电平(外部复位) 将产生系统复位。外部NRST引脚复位参考电路如下。

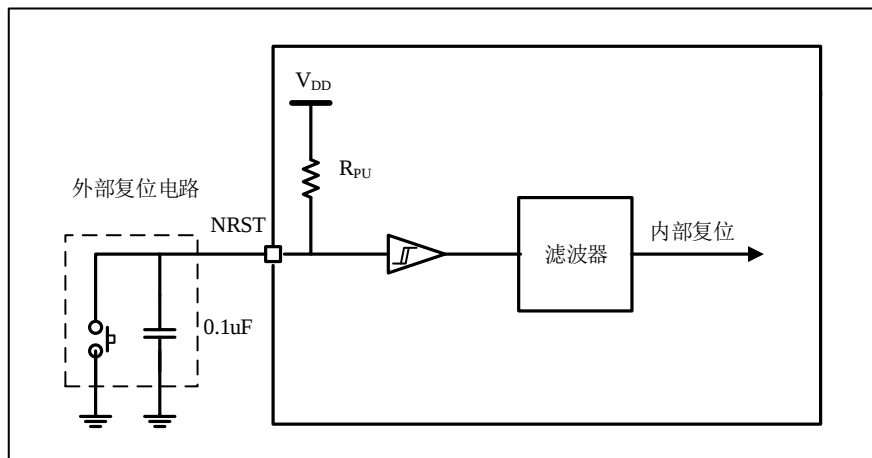


图 1-1 系统复位图

注：复位引脚NRST在设计时，外挂电容0.1uF作为典型参考值给出，若需加快复位时间，NRST引脚可外加上拉，上拉电阻典型值10K，另外用户可根据产品实际需要决定是否增加复位按键。

1.4 时钟电路

N32G033 系列 MCU 包含 2 个内部时钟：内部高速 RC 振荡器 HSI(64MHz)和内部低速时钟 LSI(32KHz)。

1.5 启动引脚连接

下图显示了 N32G033 系列芯片选择启动存储器时所需的外部连接。关于启动模式请参考数据手册相关章节。

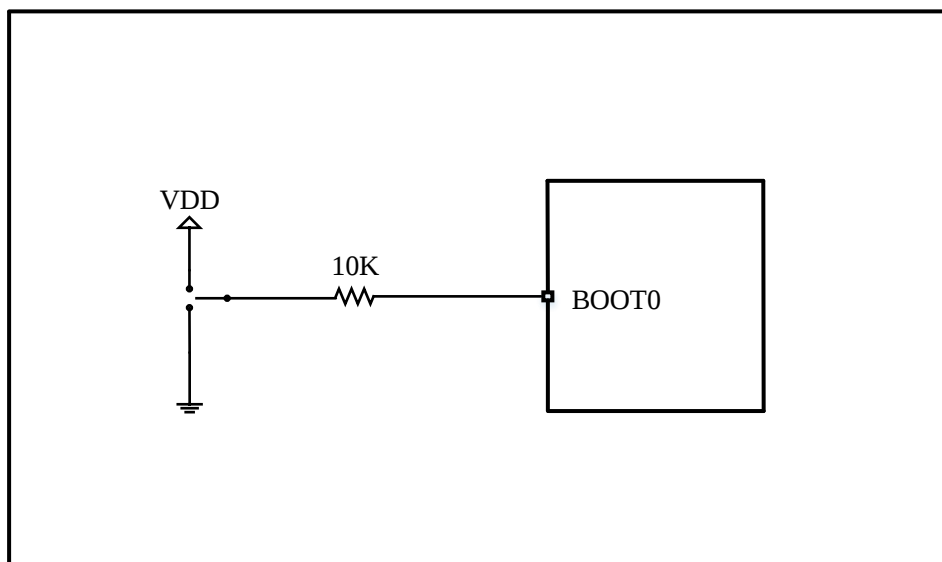


图 1-2 启动模式实现实例

注：图中电阻值只作为典型参考值给出。

1.6 独立 ADC 转换器

为提高转换精度，ADC 有一对独立的供电电源，一个独立的 VDDA 引脚给 ADC 供电，VSSA 引脚作为模拟供电的接地端，它可以被单独滤波和屏蔽后给 ADC 供电，以减少 PCB 板级噪音的干扰。

关于 ADC 电路设计，请注意以下几点：

- 1) 在使用 ADC 采样时，建议缩短 ADC 采样通道的外部走线距离；
- 2) ADC 的输入信号周边建议远离一些高频翻转信号；
- 3) 在 ADC 转换期间，芯片不支持修改 ADC 配置，如需修改配置，需要等待当前转换结束或者关闭 ADC 后，再进行配置；
- 4) 在使用某一 ADC 通道时，不能在其它未使用的 ADC 采样通道施加负压（比如-0.2V），如果施加了此负压，会导致正常采样的 ADC 通道电压被拉低，导致采样的数据不准；
- 5) 在使用某一 ADC 通道时，不能在其它未使用的 ADC 采样通道施加高压（大于 VDD 电压），如果施加了此高电压，会导致正常采样的 ADC 通道电压被拉高，导致读取的数据不准。
- 6) 在使用 ADC 时，RAIN 的最大值不能太大，需要符合如下公式：

$$R_{AIN} < \frac{T_S}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

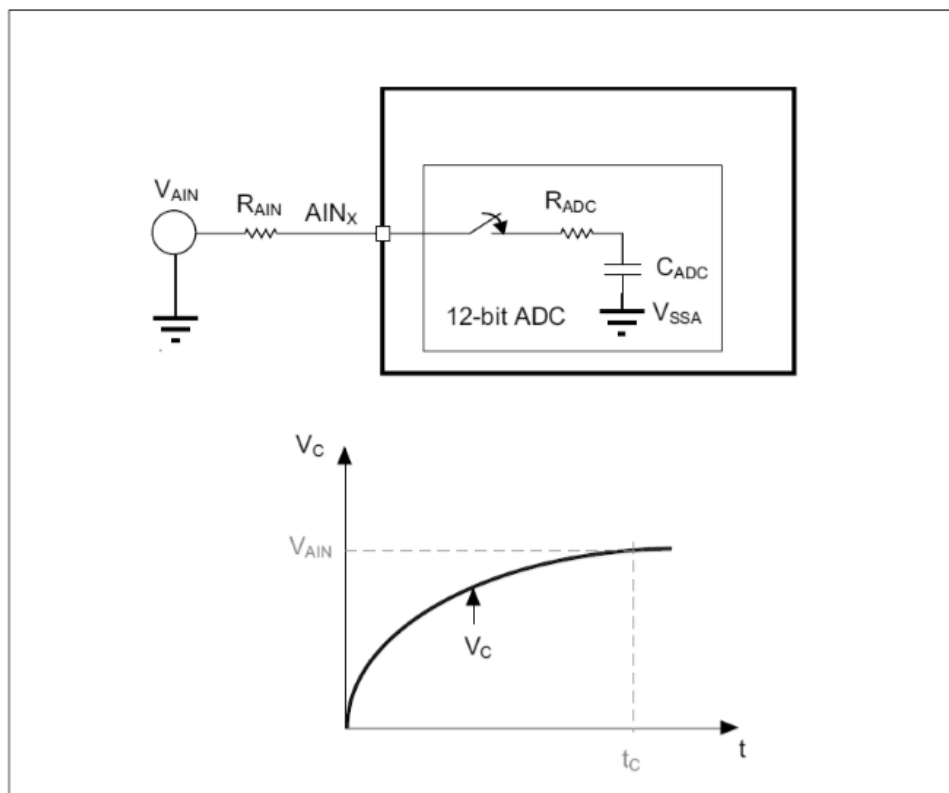


图 1-3 ADC 输入口串联电阻的影响

下图为外部输入阻抗与采样时间关系表：（最大允许误差= 1/4LSB，12 位分辨率，ADC 时钟频率= 18MHZ）

分辨率	Sample cycle@16M	采样率(MHz)	最小采样时间 (ns)	Rin (kΩ)
12-bit	4	1.000	250	0.9
	6	0.889	375	1.9
	14	0.615	875	5.9
	20	0.500	1250	8.8
	30	0.381	1875	13.8
	42	0.296	2625	19.7
	56	0.235	3500	26.7
	72	0.190	4500	34.6
	88	0.160	5500	42.5
	120	0.121	7500	58.4
	182	0.082	11375	89.1
	240	0.063	15000	117.8
	300	0.051	18750	147.6
	400	0.039	25000	197.1
	480	0.033	30000	236.7
	600	0.026	37500	296.2
分辨率	Sample cycle@32M	采样率(MHz)	最小采样时间 (ns)	Rin (kΩ)
12-bit	20	1.00	625	3.9
	30	0.76	937.5	6.4
	42	0.59	1312.5	9.3
	56	0.47	1750	12.8
	72	0.38	2250	16.8
	88	0.32	2750	20.7
	120	0.24	3750	28.7
	182	0.16	5687.5	44.0
	240	0.13	7500	58.4
	300	0.10	9375	73.2
	400	0.08	12500	98.0
	480	0.07	15000	117.8
	600	0.05	18750	147.6

表格 1-1 ADC 外部输入阻抗与采样时间关系表

1.7 IO 耐压值

芯片使用时请注意各 IO 耐压值，在数据手册引脚复用定义的 I/O 一栏，标注了 TC：标准 5V IO。

Package					Pin name (function after reset)	Type ⁽¹⁾	I/O ⁽²⁾	Alternate functions ⁽³⁾	
LQFP32	QFN32	QFN20	UFQFPN20	TSSOP20				Digital	Analog
1	1	1	-	-	VDD	S	TC	-	VDD
2	2	-	1	2	PF0	I/O	TC	I2C1_SDA, TIM3_CH1, UART1_TX, UART2_TX, UART3_TX, TIM3_ETR	OPAMP_VINP, PGA0_INP
3	3	-	2	3	PF1	I/O	TC	I2C1_SCL, TIM3_CH2, UART1_RX, UART2_RX, UART3_RX, TIM4_ETR	PGA0_INM,

图 1-4 数据手册引脚复用定义的 I/O 结构

注：TC: 标准 5V IO; 在使用芯片时需注意高于 5V 的信号对 IO 的影响。

1.8 防静电设计

1.8.1 PCB 设计

对于普通两层板的 PCB 设计，建议信号线周围做包地处理，PCB 板边也尽量做到铺地环绕。在成本允许的条件下，可以用四层板或多层板设计，在多层 PCB 中地线面作为一个重要的电荷源，可抵消静电放电电源上的电荷，这有利于减小静电场带来的问题。PCB 地线面也可作为其对信号线的屏蔽体（当然，地线面的开口越大，其屏蔽效能就越低）。另外，如果发生放电，由于 PCB 板的地平面很大，电荷很容易注入到地线面中，而不是进入到信号线中。这样将有利于对元件进行保护，因为在引起元件损坏前，电荷可以泄放掉。

1.8.2 ESD 防护器件

在实际产品设计中，芯片自身有一定的抗静电能力，N32G033 系列 MCU ESD（HBM）模式下静电等级为 $\pm 4\text{KV}$ ，但如果有更高的 ESD 防护等级要求，且有芯片的管脚需要直接外接作为产品的输出或输入，此时，芯片的管脚就直接暴露在产品的最外面，不能通过铺地等方式进行隔离。这种条件下，一般需要考虑外加 ESD 防护器件，TVS 管是一种典型的 ESD 保护器件，以下是典型的连接方式示例。

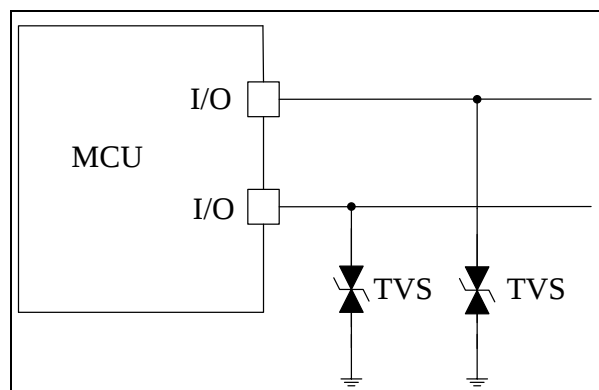


图 1-5 I/O 管脚上 TVS 连接方式

1.9 调试接口

N32G033 系列芯片支持串行（SWD）调试接口，详细应用请参考相关用户手册。

调试信号	GPIO 引脚
SWDIO	PA13
SWCLK	PA14

表 1-1 调试接口

1.10 BOOT 串口接口

N32G033 系列芯片支持 BOOT 串口通讯，串口接口如下表：

BOOT 串口	GPIO 引脚
UART1_TX	PA9
UART1_RX	PA10

表 1-2 串口接口

1.11 模块设计注意事项

若 MCU 作为主机，推荐使用以下引脚。

I2Cx	SDA	SCL
I2C1	PA5,PA10,PA13,PB7	PA4,PA9,PB6,PB8
I2C2	PA10	PA9,PA11

2. 整体设计建议

1) 印制电路板

建议使用有专门独立的接地层(VSS)和专门独立的供电层(VDD)的多层印制电路板，从而能提供好的耦合性能和屏蔽效果。在实际应用中，如考虑成本因素不能使用多层印制电路板，那么在设计电路时就需保证一个好的接地和供电的结构。

2) 器件位置

在 PCB 设计时根据各器件对 EMI 影响的不同，需把不同的电路分开布局。比如，大电流电路、低电压电路、以及高频器件等。从而减少 PCB 上的交叉耦合。

3) 接地和供电(VSS, VDD)

各模块(模拟电路、数字电路、敏感度低的电路)都应该单独接地,数字地和模拟地分开,所有的地最终都应在一个点上连到一起。根据印制线路板电流的大小,尽量加粗电源线宽度,减少环路电阻。同时,电源线、地线的走向和电流的方向应尽量一致,且电源应尽量靠近地线,减小回路的区域。这样有助于增强抗噪声能力。PCB 上没有器件的区域,需要填充为地,以提供好的屏蔽效果。

4) 去耦合

所有的电源引脚都需要适当的连接到电源。这些连接,包括焊盘、连线和过孔应该具备尽量小的阻抗。通常采用增加连线宽度的办法,同时每对 VDD 与 VSS 引脚都必须在靠近芯片处放置去耦电容。下图为电源/地引脚的典型布局。

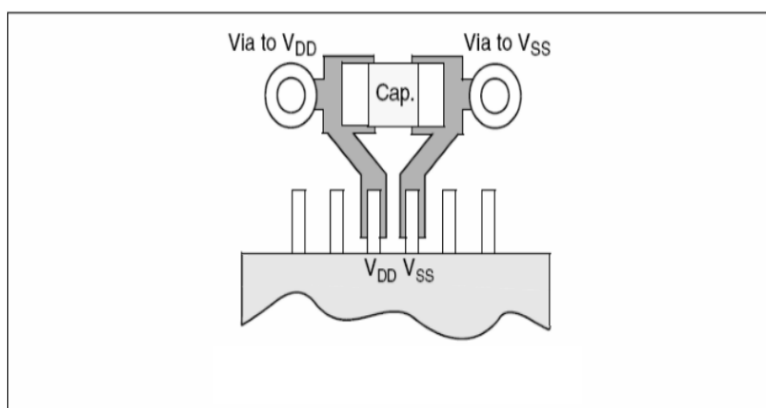


图 2-1 VDD/VSS 引脚的典型布局

3. PCB LAYOUT 参考

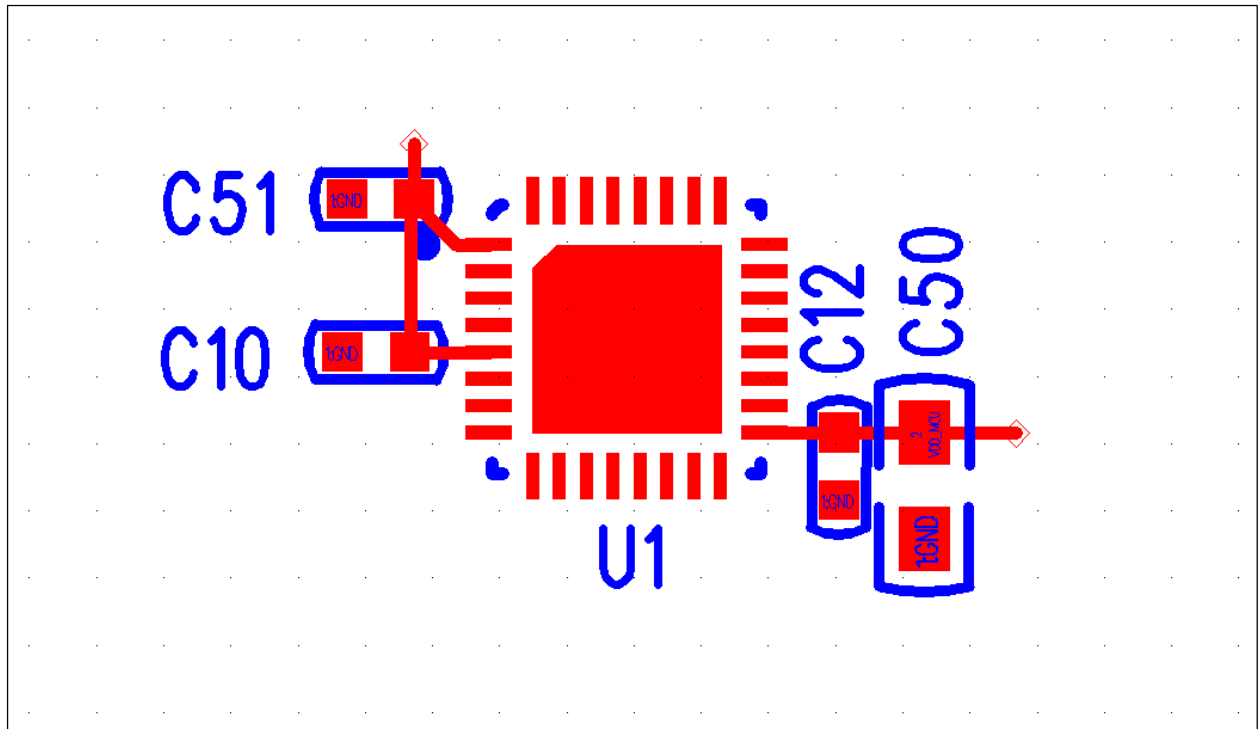


图 3-1 N32G033 系列 QFN32 封装 PCB LAYOUT 参考图

PCB LAYOUT 设计时，每一个电源管脚都需要就近放置去耦电容。

4. 历史版本

版本	日期	备注
V1.0.0	2025-8-26	创建文档

5. 声 明

国民技术股份有限公司（下称“国民技术”）对此文档拥有专属产权。依据中华人民共和国的法律、条约以及世界其他法域相适用的管辖，此文档及其中描述的国民技术产品（下称“产品”）为公司所有。

国民技术在此并未授予专利权、著作权、商标权或其他任何知识产权许可。所提到或引用的第三方名称或品牌（如有）仅用作区别之目的。

国民技术保留随时变更、订正、增强、修改和改良此文档的权利，恕不另行通知。请使用者在下单购买前联系国民技术获取此文档的最新版本。

国民技术竭力提供准确可信的资讯，但即便如此，并不推定国民技术对此文档准确性和可靠性承担责任。

使用此文档信息以及生成产品时，使用者应当进行合理的设计、编程并测试其功能性和安全性，国民技术不对任何因使用此文档或本产品而产生的任何直接、间接、意外、特殊、惩罚性或衍生性损害结果承担责任。

国民技术对于产品在系统或设备中的应用效果没有任何故意或保证，如有任何应用在其发生操作不当或故障情况下，有可能致使人员伤亡、人身伤害或严重财产损失，则此类应用被视为“不安全使用”。

不安全使用包括但不限于：外科手术设备、原子能控制仪器、飞机或宇宙飞船仪器、所有类型的安全装置以及其他旨在支持或维持生命的应用。

所有不安全使用的风险应由使用人承担，同时使用人应使国民技术免于因为这类不安全使用而导致被诉、支付费用、发生损害或承担责任时的赔偿。

对于此文档和产品的任何明示、默示之保证，包括但不限于适销性、特定用途适用性和不侵权的保证责任，国民技术可在法律允许范围内进行免责。

未经明确许可，任何人不得以任何理由对此文档的全部或部分进行使用、复制、修改、抄录和传播。