

# **N32H7xx 系列**

## **基于 32 位 ARM Cortex®-M7 微控制器**

### **用户手册 V1.2.0**

## 目录

目录 .....	2
表目录 .....	91
图目录 .....	109
<b>1 文中的缩写 .....</b>	<b>133</b>
1.1 寄存器描述表中使用的缩写列表 .....	133
1.2 可用的外设 .....	133
<b>2 内存和总线架构 .....</b>	<b>133</b>
2.1 系统架构 .....	133
2.1.1 总线矩阵互连 .....	134
2.1.2 总线矩阵 .....	137
2.1.2.1 AXI 总线矩阵 .....	137
2.1.2.1.1 介绍 .....	137
2.1.2.1.2 主要特点 .....	137
2.1.2.1.3 功能描述 .....	137
2.1.2.1.4 全局编程器视图 (GPV) .....	140
2.1.2.1.4.1 外设 ID 4 寄存器(GPV_FERID4) .....	140
2.1.2.1.4.2 外设 ID 5 寄存器(GPV_FERID5) .....	140
2.1.2.1.4.3 外设 ID 6 寄存器(GPV_FERID6) .....	141
2.1.2.1.4.4 外设 ID 7 寄存器(GPV_FERID7) .....	141
2.1.2.1.4.5 外设 ID 0 寄存器(GPV_FERID0) .....	141
2.1.2.1.4.6 外设 ID 1 寄存器(GPV_FERID1) .....	142
2.1.2.1.4.7 外设 ID 2 寄存器(GPV_FERID2) .....	142
2.1.2.1.4.8 外设 ID 3 寄存器(GPV_FERID3) .....	143
2.1.2.1.4.9 组件 ID 0 寄存器(GPV_COMID0) .....	143
2.1.2.1.4.10 组件 ID 1 寄存器(GPV_COMID1) .....	144
2.1.2.1.4.11 组件 ID 2 寄存器(GPV_COMID2) .....	144
2.1.2.1.4.12 组件 ID 3 寄存器(GPV_COMID3) .....	144
2.1.2.1.4.13 AXI ROM 发布功能修改寄存器 (GPV_AXIROM_IFMOD) .....	145
2.1.2.1.4.14 AXISRAM1 发布功能修改寄存器 (GPV_AXISRAM1_IFMOD) .....	145
2.1.2.1.4.15 AXISRAM2 发布功能修改寄存器 (GPV_AXISRAM2_IFMOD) .....	146
2.1.2.1.4.16 XSPI1 发布功能修改寄存器 (GPV_XSPI1_IFMOD) .....	147
2.1.2.1.4.17 XSPI2 发布功能修改寄存器 (GPV_XSPI2_IFMOD) .....	147
2.1.2.1.4.18 FEMC 发布功能修改寄存器 (GPV_FEMC_IFMOD) .....	148
2.1.2.1.4.19 SDRAM 发布功能修改寄存器 (GPV_SDRAM_IFMOD) .....	148
2.1.2.1.4.20 AHBP6 发布功能修改寄存器 (GPV_AHBP6_IFMOD) .....	149
2.1.2.1.4.21 AHBP7 发布功能修改寄存器 (GPV_AHBP7_IFMOD) .....	150
2.1.2.1.4.22 AHBP8 发布功能修改寄存器 (GPV_AHBP8_IFMOD) .....	150
2.1.2.1.4.23 CM7 AXIM 读取 QoS 寄存器 (GPV_M7AXIM_RQOS) .....	151

2.1.2.1.4.24 CM7 AXIM 写入 QoS 寄存器(GPV_M7AXIM_WQOS).....	151
2.1.2.1.4.25 CM7 AXIM 发布功能修改寄存器 (GPV_M7AXIM_IFMOD).....	152
2.1.2.1.4.26 MDMA 读取 QoS 寄存器(GPV_MDMA_RQOS).....	152
2.1.2.1.4.27 MDMA 写 QoS 寄存器(GPV_MDMA_WQOS).....	153
2.1.2.1.4.28 MDMA 发布功能修改寄存器 (GPV_MDMA_IFMOD).....	153
2.1.2.1.4.29 GPU 读取 QoS 寄存器(GPV_GPU_RQOS).....	154
2.1.2.1.4.30 GPU 写入 QoS 寄存器(GPV_GPU_WQOS).....	154
2.1.2.1.4.31 GPU 发布功能修改寄存器 (GPV_GPU_IFMOD).....	155
2.1.2.1.4.32 LCDC 读取 QoS 寄存器(GPV_LCDC_RQOS).....	155
2.1.2.1.4.33 LCDC 写入 QoS 寄存器 (GPV_LCDC_WQOS).....	156
2.1.2.1.4.34 LCDC 发布功能修改寄存器 (GPV_LCDC_IFMOD).....	156
2.1.2.1.4.35 JPEG SGDMA 读取 QoS 寄存器(GPV_JPEGSD_RQOS).....	157
2.1.2.1.4.36 JPEG SGDMA 写入 QoS 寄存器(GPV_JPEGSD_WQOS).....	157
2.1.2.1.4.37 JPEG SGDMA 发布功能修改寄存器 (GPV_JPEGSD_IFMOD).....	158
2.1.2.1.4.38 JPEG MEM 读取 QoS 寄存器(GPV_JPEGM_RQOS).....	158
2.1.2.1.4.39 JPEG MEM 写入 QoS 寄存器(GPV_JPEGM_WQOS).....	159
2.1.2.1.4.40 JPEG MEM 发布功能修改寄存器 (GPV_JPEGM_IFMOD).....	159
2.1.2.1.4.41 SDRAMC1 读写 INCR 寄存器 (GPV_SDRAMC1_RWINCR).....	160
2.1.2.1.4.42 SDRAMC1 读取 QoS 寄存器(GPV_SDRAMC1_RQOS).....	160
2.1.2.1.4.43 SDRAMC1 写入 QoS 寄存器(GPV_SDRAMC1_WQOS).....	161
2.1.2.1.4.44 SDRAMC1 发布功能修改寄存器 (GPV_SDRAMC1_IFMOD).....	161
2.1.2.1.4.45 DVP1 读写 INCR 寄存器 (GPV_DVP1_RWINCR).....	162
2.1.2.1.4.46 DVP1 读取 QoS 寄存器(GPV_DVP1_RQOS).....	162
2.1.2.1.4.47 DVP1 写入 QoS 寄存器(GPV_DVP1_WQOS).....	163
2.1.2.1.4.48 DVP1 发布功能修改寄存器 (GPV_DVP1_IFMOD).....	163
2.1.2.1.4.49 DVP2 读写 INCR 寄存器 (GPV_DVP2_RWINCR).....	164
2.1.2.1.4.50 DVP2 读取 QoS 寄存器(GPV_DVP2_RQOS).....	164
2.1.2.1.4.51 DVP2 写入 QoS 寄存器(GPV_DVP2_WQOS).....	165
2.1.2.1.4.52 DVP2 发布功能修改寄存器 (GPV_DVP2_IFMOD).....	165
2.1.2.1.4.53 AHB4 IB 旁路合并寄存器 (GPV_AHB4IB_BM).....	166
2.1.2.1.4.54 AHB4 IB 读写 INCR 寄存器 (GPV_AHB4IB_RWINCR).....	166
2.1.2.1.4.55 AHB4 IB 读取 QoS 寄存器(GPV_AHB4IB_RQOS).....	167
2.1.2.1.4.56 AHB4 IB 写入 QoS 寄存器(GPV_AHB4IB_WQOS).....	167
2.1.2.1.4.57 AHB4 IB 发布功能修改寄存器 (GPV_AHB4IB_IFMOD).....	168
2.1.2.2 AHB 总线矩阵.....	169
2.1.2.2.1 AHB 总线矩阵 1.....	169
2.1.2.2.2 AHB 总线矩阵 2.....	169
2.1.3 总线桥.....	170
2.1.4 AHB Cache.....	170
2.1.4.1 AHB 指令 Cache.....	170
2.1.4.2 AHB 数据 Cache.....	170
2.1.4.3 奇偶校验监视器.....	170
2.1.4.4 奇偶校验监视器寄存器.....	172
2.1.4.4.1 AHB_CACHE_PARMON 控制寄存器 1(AHB_CACHE_PARMON_CTRL1).....	172

2.1.4.4.2	AHB_CACHE_PARMON 控制寄存器 2 (AHB_CACHE_PARMON_CTRL2)	172
2.1.4.4.3	AHB_CACHE_PARMON 错误注入寄存器 (AHB_CACHE_PARMON_EINJ)	173
2.1.4.4.4	AHB_CACHE_PARMON 中断影子状态寄存器 (AHB_CACHE_PARMON_INTFS)	175
2.1.4.4.5	AHB_CACHE_PARMON 内存 x 中断状态寄存器 (AHB_CACHE_PARMON_INTFx, x=1~8)	175
2.1.4.4.6	AHB_CACHE_PARMON 内存 x ECC 故障事件地址寄存器 (AHB_CACHE_PARMON_FEADR <sub>x</sub> , x=1~8)	176
2.1.4.4.7	AHB_CACHE_PARMON 内存 x ECC 故障事件数据寄存器 (AHB_CACHE_PARMON_FEDAT <sub>x</sub> , x=1~8)	177
2.1.4.4.8	AHB_CACHE_PARMON 内存 x ECC 故障事件 ECC 代码寄存器 (AHB_CACHE_PARMON_FECOD <sub>x</sub> , x=1~8)	177
2.1.5	CPU 总线	178
2.1.6	总线主设备	179
2.2	内存器组织架构	180
2.2.1	介绍	180
2.2.2	内存映射和寄存器寻址	180
2.3	N32H7xx 存储器	190
2.3.1	介绍	190
2.3.2	嵌入式 SRAM	190
2.3.3	嵌入式 ROM	192
2.3.4	嵌入式 OTP	192
2.3.5	SIP Flash	192
2.3.6	外部存储器	193
2.4	ECC 监控器 (ECCMON)	195
2.4.1	概述	195
2.4.2	主要特性	195
2.4.3	功能描述	195
2.4.3.1	框图	195
2.4.3.2	ECCMON 映射	197
2.4.3.3	ECCMON 寄存器	198
2.4.3.3.1	ECCMON 控制寄存器 1(ECCMON_CTRL1)	198
2.4.3.3.2	ECCMON 控制寄存器 2(ECCMON_CTRL2)	199
2.4.3.3.3	ECCMON 错误注入寄存器 (ECCMON_EINJ)	200
2.4.3.3.4	ECCMON 中断标志影子寄存器 (ECCMON_INTFS)	202
2.4.3.3.5	ECCMON 存储器 x 中断标志寄存器 (ECCMON_INTFx, x=1~n)	203
2.4.3.3.6	ECCMON 存储器 x ECC 失败地址寄存器 (ECCMON_FEADR <sub>x</sub> , x=1~n)	204
2.4.3.3.7	ECCMON 存储器 x ECC 失败事件数据低位寄存器 (ECCMON_FEDATL <sub>x</sub> , x=1~n)	205
2.4.3.3.8	ECCMON 存储器 x ECC 失败事件数据高位寄存器 (ECCMON_FEDATH <sub>x</sub> , x=1~n)	205
2.4.3.3.9	ECCMON 存储器 x ECC 失败事件 ECC 码寄存器 (ECCMON_FECOD <sub>x</sub> , x=1~n)	206
2.5	紧耦合存储控制器(TCMC)	207
2.5.1	介绍	207
2.5.2	主要特点	207
2.5.3	框图	208
2.5.4	功能描述	209
2.5.5	时钟和复位	209

2.5.6 大小配置 .....	210
2.5.7 ECC 功能 .....	212
2.5.7.1 ECC 写回 .....	213
2.5.7.2 ECC 错误注入 .....	214
2.5.8 中断 .....	215
2.5.9 编程指南 .....	216
2.5.9.1 配置流程 .....	216
2.5.9.2 ECC 注入测试流程 .....	216
2.5.10 寄存器 .....	218
2.5.10.1 TCM 控制寄存器 (TCM_CTRL) .....	218
<b>3 电源控制 (PWR) .....</b>	<b>220</b>
3.1 介绍 .....	220
3.2 PWR 主要特性 .....	220
3.3 PWR 框图 .....	221
3.4 功能描述 .....	223
3.4.1 数字主 V <sub>CORE</sub> 供电模式 .....	223
3.4.2 电源监控 .....	225
3.4.2.1 上电复位 (POR) 和掉电复位 (PDR) .....	225
3.4.2.2 可编程电压检测器 (PVD) .....	226
3.4.2.3 模拟电压检测器 (AVD) .....	227
3.4.2.4 欠压复位 (BOR) .....	228
3.4.2.5 电池电压阈值 .....	229
3.4.3 电源模式 .....	230
3.4.3.1 CPU 域电源模式 .....	230
3.4.3.2 系统电源模式 .....	233
3.5 编程指南 .....	235
3.5.1 OTP 功耗控制 .....	235
3.5.2 nRST_STOP 和 nRST_STBY .....	236
3.5.3 SRAM 省电模式 .....	236
3.5.4 在 CM7 电源模式中的 TCM 功耗控制 .....	236
3.5.5 TCM 部分断电 .....	238
3.5.6 系统内存电源模式和控制 .....	239
3.5.7 CM7 I/D Cache 电源控制 .....	240
3.5.8 CM4 I/D Cache 电源控制 .....	240
3.5.9 BKP SRAM 电源控制 .....	240
3.5.10 DBG 低功耗模式 .....	241
3.5.11 图像域的电源控制 .....	243
3.5.11.1 开启图像域 .....	243
3.5.11.2 关闭图像域 .....	243
3.5.12 HSC1 域的电源控制 .....	245
3.5.12.1 在 HSC1 域上电 .....	245
3.5.12.2 关闭 HSC1 域 .....	245
3.5.13 HSC2 域的电源控制 .....	246

3.5.13.1 在 HSC2 域上电.....	246
3.5.13.2 关闭 HSC2 域.....	246
3.5.14 MDMA 域的电源控制.....	247
3.5.14.1 在 MDMA 域上通电.....	247
3.5.14.2 关闭 MDMA 域.....	247
3.5.15 ESC 域的电源控制.....	248
3.5.15.1 开启 ESC 域.....	248
3.5.15.2 关闭 ESC 域.....	248
3.5.16 SHRT_AFE 域的电源控制.....	249
3.5.16.1 开启 SHRT_AFE 域.....	249
3.5.16.2 关闭 SHRT_AFE 域.....	249
3.5.17 SHRT1 域的电源控制.....	249
3.5.17.1 在 SHRT1 域上电.....	249
3.5.17.2 关闭 SHRT1 域.....	250
3.5.18 SHRT2 域的电源控制.....	250
3.5.18.1 在 SHRT2 域上通电.....	250
3.5.18.2 关闭 SHRT2 域.....	250
3.5.19 电源控制的 FMAC.....	251
3.5.19.1 打开 FMAC 内存电源.....	251
3.5.19.2 关闭 FMAC 内存电源.....	251
3.5.20 运行模式下的电压调节.....	252
3.5.20.1 DCDC 从 0.9V 下调到 0.8V.....	253
3.5.20.2 将 DCDC 从 0.8V 提高到 0.9V.....	254
3.5.20.3 将主 LDO 从 0.9V 下调到 0.8V.....	254
3.5.20.4 将主 LDO 从 0.8V 提高到 0.9V.....	254
3.5.20.5 将 BKP LDO 从 0.9V 下调到 0.8V.....	254
3.5.20.6 将 BKPLDO 从 0.8V 提高到 0.9V.....	254
3.5.21 低功耗模式下的电压调节.....	254
3.5.21.1 将 DCDC 从 0.9V 下调到 0.8V.....	255
3.5.21.2 将主 LDO 从 0.9V 下调到 0.8V.....	256
3.5.21.3 将 BKP LDO 从 0.9V 下调至 0.8V.....	256
3.6 寄存器.....	257
3.6.1 PWR M7 控制寄存器 1 (PWR_M7CTRL1).....	257
3.6.2 PWR M7 控制状态寄存器 (PWR_M7CTRLSTS).....	257
3.6.3 PWR M7 控制寄存器 2 (PWR_M7CTRL2).....	261
3.6.4 PWR M4 控制寄存器 1 (PWR_M4CTRL1).....	262
3.6.5 PWR M4 控制状态寄存器 (PWR_M4CTRLSTS).....	263
3.6.6 PWR M4 控制寄存器 2 (PWR_M4CTRL2).....	266
3.6.7 PWR 系统控制寄存器 1 (PWR_SYSCTRL1).....	267
3.6.8 PWR 系统控制状态寄存器 (PWR_SYSCTRLSTS).....	269
3.6.9 PWR 系统控制寄存器 2 (PWR_SYSCTRL2).....	269
3.6.10 PWR 系统控制寄存器 3 (PWR_SYSCTRL3).....	271
3.6.11 PWR 系统控制寄存器 4 (PWR_SYSCTRL4).....	273
3.6.12 PWR 模块内存控制寄存器 (PWR_IPMEMCTRL).....	274

3.6.13 PWR 模块内存状态寄存器 (PWR_IPMEMSTS).....	275
3.6.14 PWR CM7 内存低功耗控制寄存器 (PWR_M7MEMLPCTRL) .....	277
3.6.15 PWR CM7 内存低功耗状态寄存器 (PWR_M7MEMLPSTS).....	277
3.6.16 PWR CM7 TCM Part0 编程寄存器 (PWR_M7TCMPG0).....	278
3.6.17 PWR CM7 TCM Part1 编程寄存器 (PWR_M7TCMPG1).....	279
3.6.18 PWR CM7 TCM Part0 保持模式 1 寄存器 (PWR_M7TCMRET1N0).....	279
3.6.19 PWR CM7 TCM Part1 保持模式 1 寄存器 (PWR_M7TCMRET1N1).....	280
3.6.20 PWR CM7 TCM Part0 保持模式 2 寄存器 (PWR_M7TCMRET2N0).....	280
3.6.21 PWR CM7 TCM Part1 保持模式 2 寄存器 (PWR_M7TCMRET2N1).....	281
3.6.22 PWR CM7 TCM Part0 电源就绪寄存器 (PWR_M7TCMRDY0).....	281
3.6.23 PWR CM7 TCM Part1 电源就绪寄存器 (PWR_M7TCMRDY1).....	281
3.6.24 PWR CM4 内存低功耗控制寄存器 (PWR_M4MEMLPCTRL) .....	282
3.6.25 PWR 系统内存低功耗控制寄存器 (PWR_SYSMEMLPCTRL) .....	282
3.6.26 PWR 系统 SHRTIM 电源控制寄存器 (PWR_SHRTIMCTRL) .....	284
3.6.27 PWR 系统 MDMA 电源控制寄存器 (PWR_MDMACTRL) .....	286
3.6.28 PWR 系统 ESC 电源控制寄存器 (PWR_ESCCTRL) .....	286
3.6.29 PWR EMC RET 控制寄存器 1 (PWR_EMCRETCTRL1).....	287
3.6.30 PWR EMC RET 状态寄存器 1 (PWR_EMCRETSTS1) .....	289
3.6.31 PWR EMC RET 控制寄存器 2 (PWR_EMCRETCTRL2).....	290
3.6.32 PWR EMC RET 状态寄存器 2 (PWR_EMCRETSTS2) .....	292
3.6.33 PWR EMC RET 控制寄存器 3 (PWR_EMCRETCTRL3).....	294
3.6.34 PWR EMC RET 状态寄存器 3 (PWR_EMCRETSTS3) .....	295
3.6.35 PWR EMC RET 控制寄存器 4 (PWR_EMCRETCTRL4).....	297
3.6.36 PWR EMC RET 状态寄存器 4 (PWR_EMCRETSTS4) .....	298
3.6.37 PWR EMC BKP 控制寄存器 (PWR_EMCBKPCTRL).....	300
3.6.38 PWR EMC BKP 状态寄存器 (PWR_EMCRETSTS).....	300
<b>4 复位与时钟控制(RCC).....</b>	<b>302</b>
4.1 主要特性 .....	302
4.2 模块图 .....	303
4.3 复位控制单元(RCU) .....	304
4.3.1 上电复位(POR).....	304
4.3.2 系统复位 .....	304
4.3.3 M7 CPU 复位.....	306
4.3.4 M4 CPU 复位.....	306
4.3.5 外设复位 .....	307
4.4 时钟生成单元(CGU) .....	313
4.4.1 时钟树 .....	314
4.4.2 时钟源.....	315
4.4.2.1 HSI 时钟 .....	315
4.4.2.1.1 HSI 调整 .....	316
4.4.2.2 MSI 时钟 .....	316
4.4.2.2.1 MSI 调整.....	316
4.4.2.3 HSE 时钟 .....	316

4.4.2.3.1 HSE 时钟安全系统(HSE CSS)与时钟偏移检测.....	317
4.4.2.4 LSI 时钟 .....	318
4.4.2.4.1 LSI 时钟安全系统(LSI CSS) .....	319
4.4.2.5 LSE 时钟 .....	320
4.4.2.5.1 LSE 时钟安全系统(LSE CSS) .....	321
4.4.2.6 PLL 时钟 .....	322
4.4.2.6.1 PLL 故障检测.....	324
4.4.2.7 I/O 时钟.....	325
4.4.3 系统总线和 CPU 时钟配置 .....	325
4.4.3.1 设置系统时钟为模式 0.....	326
4.4.3.2 设置系统时钟为模式 1.....	327
4.4.3.3 设置系统时钟为模式 2.....	327
4.4.3.4 使用 HSI 源打开 PLL1/2/3 .....	328
4.4.3.5 使用 MSI 源打开 PLL1/2/3 .....	329
4.4.3.6 使用 HSE 源打开 PLL1/2/3.....	330
4.4.3.7 使用 HIS/MSI/HSE 源打开 SHRPLL.....	330
4.4.3.8 切换系统时钟到 HSI.....	330
4.4.3.9 切换系统时钟到 MSI.....	331
4.4.3.10 切换系统时钟到 HSE .....	331
4.4.3.11 切换系统时钟到 PLL1.....	331
4.4.4 外设时钟配置.....	332
4.4.4.1 Ethernet.....	333
4.4.4.2 SDMMC .....	335
4.4.4.3 USB .....	336
4.4.4.4 ADC .....	337
4.4.4.5 Ethercat.....	338
4.4.4.6 I2C .....	338
4.4.4.7 FDCAN.....	339
4.4.4.8 DSMU.....	340
4.4.4.9 FEMC .....	340
4.4.4.10 DSI.....	341
4.4.4.11 LCDC.....	342
4.4.4.12 XSPI.....	342
4.4.4.13 SDRAM .....	343
4.4.4.14 USART .....	343
4.4.4.15 UART.....	344
4.4.4.16 SPI .....	345
4.4.4.17 I2S.....	346
4.4.4.18 BTIM .....	346
4.4.4.19 ATIM.....	347
4.4.4.20 GTIM.....	347
4.4.4.21 SHRTIM.....	349
4.4.4.22 DMA .....	350
4.4.4.23 DMAMUX.....	350



4.4.4.24 MDMA .....	351
4.4.4.25 ECCMON .....	351
4.4.4.26 DAC .....	352
4.4.4.27 WWDG .....	353
4.4.4.28 FMAC .....	353
4.4.4.29 SDPU .....	354
4.4.4.30 CORDIC .....	354
4.4.4.31 SEMA4 .....	354
4.4.4.32 CRC .....	355
4.4.4.33 PWR .....	355
4.4.4.34 GPIO .....	356
4.4.4.35 AFIO .....	356
4.4.4.36 EXTI .....	357
4.4.4.37 RTC .....	357
4.4.4.38 IWDG .....	358
4.4.4.39 OTPC .....	358
4.4.4.40 GPU .....	359
4.4.4.41 DVP .....	359
4.4.4.42 JPEG .....	360
4.4.4.43 SRAM .....	361
4.4.4.44 ROM .....	362
4.4.4.45 DCMU .....	362
4.4.4.46 TRNG .....	362
4.4.4.47 LPTIM .....	363
4.4.4.48 LPUART .....	363
4.4.4.49 COMP .....	364
4.5 RCC 寄存器 .....	364
4.5.1 PLL1 时钟控制寄存器 1(RCC_PLL1CTRL1) .....	364
4.5.2 PLL1 时钟控制寄存器 2(RCC_PLL1CTRL2) .....	365
4.5.3 PLL2 时钟控制寄存器 1(RCC_PLL2CTRL1) .....	366
4.5.4 PLL2 时钟控制寄存器 2(RCC_PLL2CTRL2) .....	367
4.5.5 PLL3 时钟控制寄存器 1(RCC_PLL3CTRL1) .....	367
4.5.6 PLL3 时钟控制寄存器 2(RCC_PLL3CTRL2) .....	368
4.5.7 SHRPLL 时钟控制寄存器 1(RCC_SHRPLLCTRL1) .....	369
4.5.8 SHRPLL 时钟控制寄存器 2(RCC_SHRPLLCTRL2) .....	370
4.5.9 时钟源控制寄存器 1(RCC_SRCCTRL1) .....	371
4.5.10 时钟源控制寄存器 2(RCC_SRCCTRL2) .....	373
4.5.11 时钟源控制寄存器 3(RCC_SRCCTRL3) .....	374
4.5.12 PLL1 时钟分频寄存器(RCC_PLL1DIV) .....	375
4.5.13 PLL2 时钟分频寄存器(RCC_PLL2DIV) .....	376
4.5.14 PLL3 时钟分频寄存器(RCC_PLL3DIV) .....	378
4.5.15 系统总线分频寄存器 1(RCC_SYSBUSDIV1) .....	380
4.5.16 系统总线分频寄存器 2(RCC_SYSBUSDIV2) .....	383
4.5.17 BOOT 模式寄存器(RCC_BOOTMODE) .....	385

4.5.18 AHB1 外设时钟分频寄存器 1(RCC_AHB1DIV1).....	385
4.5.19 AHB1 外设时钟分频寄存器 2(RCC_AHB1DIV2).....	386
4.5.20 AHB1 外设时钟源选择寄存器 1(RCC_AHB1SEL1).....	388
4.5.21 AHB1 外设时钟使能寄存器 1(RCC_AHB1EN1).....	390
4.5.22 AHB1 外设时钟使能寄存器 2(RCC_AHB1EN2).....	393
4.5.23 AHB1 外设时钟使能寄存器 3(RCC_AHB1EN3).....	395
4.5.24 AHB1 外设时钟使能寄存器 4(RCC_AHB1EN4).....	398
4.5.25 AHB1 外设复位寄存器 1(RCC_AHB1RST1).....	401
4.5.26 AHB1 外设复位寄存器 2(RCC_AHB1RST2).....	403
4.5.27 AHB1 外设复位寄存器 3(RCC_AHB1RST3).....	403
4.5.28 AHB1 外设复位寄存器 4(RCC_AHB1RST4).....	404
4.5.29 APB1 外设时钟分频寄存器 1(RCC_APB1DIV1).....	405
4.5.30 APB1 外设时钟源选择寄存器 1(RCC_APB1SEL1).....	407
4.5.31 APB1 外设时钟源选择寄存器 2(RCC_APB1SEL2).....	408
4.5.32 APB1 外设时钟使能寄存器 1(RCC_APB1EN1).....	409
4.5.33 APB1 外设时钟使能寄存器 2(RCC_APB1EN2).....	416
4.5.34 APB1 外设时钟使能寄存器 3(RCC_APB1EN3).....	421
4.5.35 APB1 外设时钟使能寄存器 4(RCC_APB1EN4).....	426
4.5.36 APB1 外设时钟使能寄存器 5(RCC_APB1EN5).....	430
4.5.37 APB1 外设复位寄存器 1(RCC_APB1RST1).....	434
4.5.38 APB1 外设复位寄存器 2(RCC_APB1RST2).....	436
4.5.39 APB1 外设复位寄存器 3(RCC_APB1RST3).....	437
4.5.40 APB1 外设复位寄存器 4(RCC_APB1RST4).....	438
4.5.41 APB1 外设复位寄存器 5(RCC_APB1RST5).....	439
4.5.42 AHB2 外设时钟分频寄存器 1(RCC_AHB2DIV1).....	440
4.5.43 AHB2 外设时钟源选择寄存器 1(RCC_AHB2SEL1).....	441
4.5.44 AHB2 外设时钟使能寄存器 1(RCC_AHB2EN1).....	441
4.5.45 AHB2 外设时钟使能寄存器 2(RCC_AHB2EN2).....	444
4.5.46 AHB2 外设复位寄存器 1(RCC_AHB2RST1).....	448
4.5.47 APB2 外设时钟分频寄存器 1(RCC_APB2DIV1).....	450
4.5.48 APB2 外设时钟源选择寄存器 1(RCC_APB2SEL1).....	452
4.5.49 APB2 外设时钟源选择寄存器 2(RCC_APB2SEL2).....	453
4.5.50 APB2 外设时钟使能寄存器 1(RCC_APB2EN1).....	454
4.5.51 APB2 外设时钟使能寄存器 2(RCC_APB2EN2).....	459
4.5.52 APB2 外设时钟使能寄存器 3(RCC_APB2EN3).....	464
4.5.53 APB2 外设时钟使能寄存器 4(RCC_APB2EN4).....	467
4.5.54 APB2 外设复位寄存器 1(RCC_APB2RST1).....	471
4.5.55 APB2 外设复位寄存器 2(RCC_APB2RST2).....	472
4.5.56 APB2 外设复位寄存器 3(RCC_APB2RST3).....	474
4.5.57 APB2 外设复位寄存器 4(RCC_APB2RST4).....	475
4.5.58 AHB5 外设时钟使能寄存器 1(RCC_AHB5EN1).....	476
4.5.59 AHB5 外设时钟使能寄存器 2(RCC_AHB5EN2).....	481
4.5.60 AHB5 外设复位寄存器 1(RCC_AHB5RST1).....	487
4.5.61 AHB5 外设复位寄存器 2(RCC_AHB5RST2).....	488

4.5.62 APB5 外设时钟分频寄存器 1(RCC_APB5DIV1) .....	490
4.5.63 APB5 外设时钟源选择寄存器 1(RCC_APB5SEL1) .....	491
4.5.64 APB5 外设时钟使能寄存器 1(RCC_APB5EN1) .....	492
4.5.65 APB5 外设时钟使能寄存器 2(RCC_APB5EN2) .....	496
4.5.66 APB5 外设复位寄存器 1(RCC_APB5RST1) .....	500
4.5.67 APB5 外设复位寄存器 2(RCC_APB5RST2) .....	501
4.5.68 AHB9 外设时钟分频寄存器 1(RCC_AHB9DIV1) .....	502
4.5.69 AHB9 外设时钟源选择寄存器 1(RCC_AHB9SEL1) .....	502
4.5.70 AHB9 外设时钟使能寄存器 1(RCC_AHB9EN1) .....	503
4.5.71 AHB9 外设复位寄存器 1(RCC_AHB9RST1) .....	504
4.5.72 保留域时钟分频寄存器 1(RCC_RDDIV1) .....	505
4.5.73 保留域时钟源选择寄存器 1(RCC_RDSEL1) .....	505
4.5.74 保留域控制寄存器 1(RCC_RDCTRL1) .....	508
4.5.75 保留域控制寄存器 2(RCC_RDCTRL2) .....	509
4.5.76 保留域控制寄存器 3(RCC_RDCTRL3) .....	511
4.5.77 保留域时钟使能寄存器 1(RCC_RDEN1) .....	511
4.5.78 保留域时钟使能寄存器 2(RCC_RDEN2) .....	516
4.5.79 保留域重置寄存器 1(RCC_RDRST1) .....	517
4.5.80 保留域重置寄存器 2(RCC_RDRST2) .....	518
4.5.81 备份域控制寄存器(RCC_BDCTRL) .....	519
4.5.82 LSI CSS 延迟寄存器(RCC_LSICSSDL) .....	523
4.5.83 控制和状态寄存器(RCC_CTRLSTS) .....	523
4.5.84 时钟中断寄存器 1(RCC_CLKINT1) .....	525
4.5.85 时钟中断寄存器 2(RCC_CLKINT2) .....	527
4.5.86 时钟中断寄存器 3(RCC_CLKINT3) .....	530
4.5.87 时钟配置寄存器 1(RCC_CFG1) .....	532
4.5.88 AXI 外设时钟分频寄存器 1(RCC_AXIDIV1) .....	533
4.5.89 AXI 外设时钟分频寄存器 2(RCC_AXIDIV2) .....	535
4.5.90 AXI 外设时钟源选择寄存器 1(RCC_AXISSEL1) .....	537
4.5.91 AXI 外设时钟源选择寄存器 2(RCC_AXISSEL2) .....	539
4.5.92 AXI 外设时钟使能寄存器 1(RCC_AXIEN1) .....	540
4.5.93 AXI 外设时钟使能寄存器 2(RCC_AXIEN2) .....	543
4.5.94 AXI 外设时钟使能寄存器 3(RCC_AXIEN3) .....	548
4.5.95 AXI 外设时钟使能寄存器 4(RCC_AXIEN4) .....	553
4.5.96 AXI 外设复位寄存器 1(RCC_AXIRST1) .....	556
4.5.97 AXI 外设复位寄存器 2(RCC_AXIRST2) .....	557
4.5.98 AXI 外设复位寄存器 3(RCC_AXIRST3) .....	558
4.5.99 AXI 外设复位寄存器 4(RCC_AXIRST4) .....	558
4.5.100 时钟配置寄存器 2(RCC_CFG2) .....	559
4.5.101 时钟配置寄存器 3(RCC_CFG3) .....	563
4.5.102 时钟配置寄存器 4(RCC_CFG4) .....	565
4.5.103 时钟配置寄存器 5(RCC_CFG5) .....	568
4.5.104 M4 复位释放寄存器(RCC_M4RSTREL) .....	570
4.5.105 LSE 就绪延迟(RCC_LSERDDL) .....	571

4.5.106 MSI 就绪延迟(RCC_MSIRDDL).....	571
4.5.107 HSE 准备延迟(RCC_HSERDDL).....	572
4.5.108 PLL 软件锁(RCC_PLLSFTLK).....	572
4.5.109 HSE 偏移检测寄存器(RCC_HSEOS).....	573
4.5.110 HSE 校准寄存器(RCC_HSECAL).....	575
4.5.111 LSE 偏移检测寄存器(RCC_LSEOS).....	576
4.5.112 PLL 故障检测寄存器(RCC_PLLFD).....	577
<b>5 模块互联.....</b>	<b>579</b>
5.1 外设互联.....	579
5.1.1 介绍.....	579
5.1.2 外设映射.....	579
5.1.2.1 高级/通用定时器.....	579
5.1.2.2 高精度定时器.....	583
5.1.2.3 ADC.....	584
5.1.2.4 DAC.....	585
5.1.2.5 DSMU.....	588
5.1.2.6 以太网 (ETH).....	589
5.1.2.7 FDCAN.....	589
5.1.2.8 低功耗定时器 (LPTIMER).....	590
5.1.2.9 比较器 (COMP).....	590
5.2 DMA.....	591
5.2.1 介绍.....	591
5.2.2 DMA 映射.....	591
5.2.2.1 DMAMUX2.....	591
5.2.2.2 DMAMUX1.....	593
<b>6 SDRAM 控制器.....</b>	<b>600</b>
6.1 简介.....	600
6.2 主要特性.....	600
6.3 功能框图.....	600
6.4 引脚定义.....	601
6.5 功能描述.....	602
6.5.1 SDRAM 时钟.....	602
6.5.2 SDRAM GPIO 配置.....	602
6.5.3 SDRAM 初始化.....	604
6.5.3.1 SDRAM 设备初始化序列.....	604
6.5.3.2 SDRAM 初始化示例.....	604
6.5.3.3 SDRAM 模式寄存器值要求.....	608
6.5.4 SDRAM 设备地址范围.....	609
6.5.5 访问 SDRAM 设备时序图.....	610
6.5.5.1 行激活.....	610
6.5.5.2 Single 写传输, 不带自动预充.....	611
6.5.5.3 Single 写传输, 带自动预充.....	612

6.5.5.4 Burst 写传输, 不带自动预充 .....	612
6.5.5.5 Burst 写传输, 带自动预充 .....	613
6.5.5.6 Single 读传输, 不带自动预充 .....	614
6.5.5.7 Single 读传输, 带自动预充 .....	615
6.5.5.8 Burst 读传输, 不带自动预充 .....	615
6.5.5.9 Burst 读传输, 带自动预充 .....	616
6.5.5.10 预充电选定 Bank .....	617
6.5.5.11 预充电所有 Banks .....	617
6.5.5.12 自动刷新 .....	618
6.5.6 SDRAM 设备挂起和唤醒序列 .....	618
6.5.6.1 暂停序列 .....	618
6.5.6.2 唤醒序列 .....	619
6.5.7 内存数据缓冲 .....	619
6.5.7.1 写入数据缓冲 .....	619
6.5.7.2 读取数据缓冲 .....	620
6.5.8 写保护 .....	620
6.6 SDRAMC 寄存器 .....	620
6.6.1 SDRAM1 基地址寄存器 (SDRAM_BADD1) .....	620
6.6.2 SDRAM1 地址掩码寄存器 (SDRAM_ADDMASK1) .....	621
6.6.3 SDRAM2 基地址寄存器 (SDRAM_BADD2) .....	621
6.6.4 SDRAM2 地址掩码寄存器 (SDRAM_ADDMASK2) .....	622
6.6.5 SDRAM1 配置寄存器 (SDRAM_CFG1) .....	622
6.6.6 SDRAM2 配置寄存器 (SDRAM_CFG2) .....	624
6.6.7 SDRAM Row Active 时序寄存器 (SDRAM_RAT) .....	625
6.6.8 SDRAM Row Cycle 时序寄存器 (SDRAM_RCT) .....	626
6.6.9 SDRAM Row Active to Row Active Delay 寄存器 (SDRAM_RRDLY) .....	626
6.6.10 SDRAM Precharge 时序寄存器 (SDRAM_PT) .....	627
6.6.11 SDRAM Write Recovery 时序寄存器 (SDRAM_WRT) .....	628
6.6.12 SDRAM Refresh Cycle 时序寄存器 (SDRAM_RFCT) .....	628
6.6.13 SDRAM RAS to CAS Delay 寄存器 (SDRAM_RCDLY) .....	629
6.6.14 SDRAM Refresh Interval 寄存器 (SDRAM_RI) .....	629
6.6.15 SDRAM Controller Buffer Operation 寄存器 (SDRAM_CBO) .....	630
6.6.16 SDRAM Operation Request 寄存器 (SDRAM_OR) .....	630
6.6.17 SDRAM Operation Setup 寄存器 (SDRAM_OS) .....	631
6.6.18 SDRAM 地址保护寄存器 (SDRAM_WP) .....	632
<b>7 硬件信号量 (SEMA4) .....</b>	<b>634</b>
7.1 简介 .....	634
7.2 主要特性 .....	634
7.3 SEMA4 框图 .....	635
7.4 功能描述 .....	636
7.4.1 SEMA4 锁定步骤 .....	636
7.4.1.1 步 (写) 锁定步骤 .....	636
7.4.1.2 步 (读) 锁定步骤 .....	637

7.4.2 SEMA4 清除步骤.....	637
7.4.2.1 通过 SEMA4_Rx 寄存器清除信号量.....	637
7.4.2.2 通过 SEMA4_CLR 寄存器清除信号量.....	638
7.4.3 SEMA4 中断.....	638
7.4.3.1 尝试锁定信号量 x.....	639
7.4.3.2 在出现信号量 x 释放.....	639
7.4.4 AHB 总线主控 ID 验证.....	640
7.4.5 设计实现细节.....	641
7.4.5.1 锁定流程.....	641
7.4.5.2 清除步骤.....	641
7.5 寄存器.....	642
7.5.1 SEMA4 信号量 x 寄存器 (x=0 至 31) (SEMA4_Rx).....	642
7.5.2 SEMA4 读锁定信号量 x 寄存器(x=0 至 31)(SEMA4_RLx).....	642
7.5.3 SEMA4 中断使能寄存器(x=1 至 2)(SEMA4_CnIEN).....	643
7.5.4 SEMA4 中断清除寄存器(SEMA4_CnICLR)(x=1 至 2).....	644
7.5.5 SEMA4 中断状态寄存器(SEMA4_CnISTS)(x=1 至 2).....	644
7.5.6 SEMA4 屏蔽中断状态寄存器(SEMA4_CnMISTS)(x=1 至 2).....	645
7.5.7 SEMA4 锁定失败中断状态寄存器(SEMA4_CnILFSTS)(x=1 至 2).....	645
7.5.8 SEMA4 锁定失败中断使能寄存器(SEMA4_CnLFIEN)(x=1 至 2).....	646
7.5.9 SEMA4 清除寄存器(SEMA4_CLR).....	646
7.5.10 SEMA4 中断清零寄存器(SEMA4_KEYCLR).....	647
<b>8 双核消息传输单元 (DCMU) .....</b>	<b>648</b>
8.1 概述.....	648
8.2 主要特性.....	648
8.3 功能描述.....	649
8.3.1 框图.....	649
8.3.2 消息传输示例.....	650
8.3.2.1 复位.....	651
8.3.2.2 中断.....	652
8.3.2.2.1 处理器中断.....	652
8.3.2.2.2 通用中断清除流程.....	652
8.3.2.3 中断消息传输协议.....	652
8.3.2.3.1 基于中断的消息传输协议.....	652
8.3.2.3.2 基于事件中断的消息传输协议.....	654
8.3.2.4 共享内存的独占访问.....	655
8.3.2.5 数据包传输.....	656
8.4 应用说明.....	657
8.4.1 通用限制.....	657
8.4.1.1 发送寄存器的连续写操作限制.....	657
8.4.1.2 接收寄存器的连续读操作限制.....	657
8.4.2 处理器侧限制.....	658
8.4.2.1 进入低功耗模式前的操作要求.....	658
8.4.2.2 置位通用中断请求位 (GPIR0-3) 前的操作要求.....	658

8.4.2.3 复位位操作限制.....	658
8.5 寄存器.....	659
8.5.1 DCMU 处理器 A 端寄存器.....	659
8.5.1.1 DCMU 处理器 A 发送消息寄存器 0 (DCMUA_TXMSG0) .....	659
8.5.1.2 DCMU 处理器 A 发送消息寄存器 1 (DCMUA_TXMSG1) .....	659
8.5.1.3 DCMU 处理器 A 发送消息寄存器 2 (DCMUA_TXMSG2) .....	660
8.5.1.4 DCMU 处理器 A 发送消息寄存器 3 (DCMUA_TXMSG3) .....	660
8.5.1.5 DCMU 处理器 A 接收消息寄存器 0 (DCMUA_RCVMSG0) .....	661
8.5.1.6 DCMU 处理器 A 接收消息寄存器 1 (DCMUA_RCVMSG1) .....	661
8.5.1.7 DCMU 处理器 A 接收消息寄存器 2 (DCMUA_RCVMSG2) .....	661
8.5.1.8 DCMU 处理器 A 接收消息寄存器 3 (DCMUA_RCVMSG3) .....	662
8.5.1.9 DCMUA 处理器 A 状态寄存器 (DCMUA_STS) .....	662
8.5.1.10 DCMUA 处理器 A 控制寄存器 (DCMUA_CTRL) .....	663
8.5.2 DCMU 处理器 B 端寄存器.....	664
8.5.2.1 DCMU 处理器 B 发送消息寄存器 0 (DCMUB_TXMSG0) .....	664
8.5.2.2 DCMU 处理器 B 发送消息寄存器 1 (DCMUB_TXMSG1) .....	665
8.5.2.3 DCMU 处理器 B 发送消息寄存器 2 (DCMUB_TXMSG2) .....	665
8.5.2.4 DCMU 处理器 B 发送消息寄存器 3 (DCMUB_TXMSG3) .....	666
8.5.2.5 DCMU 处理器 B 接收消息寄存器 0 (DCMUB_RCVMSG0) .....	666
8.5.2.6 DCMU 处理器 B 接收消息寄存器 1 (DCMUB_RCVMSG1) .....	667
8.5.2.7 DCMU 处理器 B 接收消息寄存器 2 (DCMUB_RCVMSG2) .....	667
8.5.2.8 DCMU 处理器 B 接收消息寄存器 3 (DCMUB_RCVMSG3) .....	668
8.5.2.9 DCMUB 处理器 B 状态寄存器 (DCMUB_STS) .....	668
8.5.2.10 DCMUB 处理器 B 控制寄存器 (DCMUB_CTRL) .....	669
9 单次编程控制器 (OTPC).....	671
9.1 介绍.....	671
9.2 主要特性.....	671
9.3 功能描述.....	673
9.3.1 应用信息.....	675
9.3.1.1 OTPC 时钟分频.....	675
9.3.1.1.1 正常运行时钟分频.....	675
9.3.1.1.2 有效标签和未使用标签.....	677
9.3.2 OTPC 读控制.....	677
9.3.2.1 UCID 读取.....	678
9.3.3 OTPC 编程控制.....	679
9.4 OTPC 寄存器.....	681
9.4.1 OTPC 控制寄存器(OTPC_CTRL).....	681
9.4.2 OTPC 状态寄存器(OTPC_STS).....	682
9.4.3 OTPC KEY 寄存器(OTPC_KEY).....	682
9.4.4 OTPC 微秒控制寄存器(OTPC_USC).....	683
9.4.5 OTPC 操作地址寄存器(OTPC_ADDR).....	683
9.4.6 OTPC 读数据寄存器(OTPC_RDATA).....	684
9.4.7 OTPC 写数据寄存器(OTPC_WDATA).....	684

9.4.8 SEC_JTAG 寄存器的 OTPC 用户配置有效(OTPC_SECJVLD).....	685
9.4.9 SEC_MODE 寄存器的 OTPC 用户配置有效(OTPC_SECMDVLD).....	685
9.4.10 RDP2 寄存器的 OTPC 用户配置有效(OTPC_RDP2VLD).....	686
9.4.11 BTM 寄存器的 OTPC 用户配置有效(OTPC_BTMVLD).....	686
9.4.12 BOR 寄存器的 OTPC 用户配置有效(OTPC_BORVLD).....	687
9.4.13 IWDG 寄存器的 OTPC 用户配置有效(OTPC_IWDGVLD).....	687
9.4.14 TCM 大小寄存器的 OTPC 用户配置有效(OTPC_TCMSZVLD).....	688
9.4.15 JTAG Key 寄存器的 OTPC 用户配置有效(OTPC_JTAGKVLD).....	688
9.4.16 REK Unitx 寄存器的 OTPC 用户配置有效(OTPC_REKUxVLD, x = 1~4).....	689
9.4.17 IDK Unitx 寄存器的 OTPC 用户配置有效(OTPC_IDKUxVLD, x = 1~4).....	690
9.4.18 OTPC 用户内存未使用标志(OTPC_UMUUX, x=0~7).....	690
9.4.19 OTPC 调试端口 1 寄存器(OTPC_CRLD1).....	691
9.4.20 OTPC 调试端口 2 寄存器(OTPC_CRLD2).....	691
<b>10 系统安全.....</b>	<b>693</b>
10.1 介绍.....	693
10.2 主要安全特性.....	693
10.3 系统安全架构.....	693
10.4 安全特性描述.....	694
10.4.1 选项字节.....	694
10.4.1.1 Flash 选项字节.....	694
10.4.1.2 OTP 选项字节.....	696
10.4.1.3 选项字节修改.....	698
10.4.2 安全启动.....	699
10.4.3 安全固件安装.....	699
10.4.4 灵活的安全区域划分.....	699
10.4.4.1 Flash 安全区域(仅 Cortex-M7).....	700
10.4.4.2 编程固件仅执行区域 (PFOER).....	701
10.4.4.3 Flash RTAD 自定义安全区域.....	702
10.4.4.4 TCM 安全区域 (仅限 Cortex-M7).....	703
10.4.4.5 SRAM 安全区域(仅限 Cortex-M4).....	703
10.4.4.6 灵活安全的 TCM 尺寸配置.....	704
10.4.5 RDP 生命周期安全方案.....	705
10.4.5.1 介绍.....	705
10.4.5.2 全局读保护(RDP).....	705
10.4.6 Flash 写保护(WRP).....	713
10.4.7 SIP Flash 的实时 AES 解密 (RTAD).....	714
10.4.8 带片上 OTP 阵列的安全片上 OTP 控制器 (OTPC).....	714
10.4.9 JTAG/SWD 的安全调试控制.....	715
10.4.10 加密加速器(AES, DES, SM4, SHA, TRNG).....	715
10.4.11 防电压、温度和时钟攻击的篡改保护.....	715
10.5 安全管理寄存器.....	716
10.5.1 MMU 控制寄存器(MMU_CTRL).....	716
10.5.2 MMU 状态寄存器(MMU_STS).....	716



10.5.3 MMU RTADx 配置寄存器(MMU_RTADCx, x = 1~4)	719
10.5.4 MMU RTAD KEY1 部分 x 寄存器(MMU_RTK1Px, x = 0~3)	720
10.5.5 MMU RTAD KEY2 部分 x 寄存器(MMU_RTK2Px, x = 0~3)	721
10.5.6 MMU RTAD KEY3 部分 x 寄存器(MMU_RTK3Px, x = 0~3)	721
10.5.7 MMU RTAD KEY4 部分 x 寄存器(MMU_RTK4Px, x = 0~3)	721
10.5.8 MMU RTAD 区域 x 寄存器(MMU_RTRx, x = 1~4)	722
10.5.9 MMU RTAD CRC32 多项式寄存器(MMU_RTCRC)	722
10.5.10 MMU ETH1 内存访问使能寄存器(MMU_ETH1ME)	723
10.5.11 MMU ETH2 内存访问使能寄存器(MMU_ETH2ME)	724
10.5.12 MMU USB1 内存访问使能寄存器(MMU_USB1ME)	724
10.5.13 MMU USB2 内存访问使能寄存器(MMU_USB2ME)	725
10.5.14 MMU SDMMC1 内存访问使能寄存器(MMU_SD1ME)	726
10.5.15 MMU SDMMC2 内存访问使能寄存器(MMU_SD2ME)	726
10.5.16 MMU DVP1 内存访问使能寄存器(MMU_DVP1ME)	727
10.5.17 MMU DVP2 内存访问使能寄存器(MMU_DVP2ME)	728
10.5.18 MMU DMA1 内存访问使能寄存器(MMU_DMA1ME)	728
10.5.19 MMU DMA2 内存访问使能寄存器(MMU_DMA2ME)	729
10.5.20 MMU DMA3 内存访问使能寄存器(MMU_DMA3ME)	730
10.5.21 MMU MDMA 内存访问使能寄存器(MMU_MDMAME)	731
10.5.22 MMU JPEG 内存访问使能寄存器(MMU_JPEGME)	731
10.5.23 MMU LCD 内存访问使能寄存器(MMU_LCDME)	732
10.5.24 MMU GPU 内存访问使能寄存器(MMU_GPUME)	733
10.5.25 MMU SDPU 内存访问使能寄存器(MMU_SDPUME)	733
10.5.26 MMU XSPI 读错误调试寄存器(MMU_XRD)	734
10.5.27 MMU XSPI 读错误地址寄存器(MMU_XRAD)	735
10.5.28 MMU AXI SRAMn 写错误调试寄存器(MMU_XnWD, n = 1~3)	735
10.5.29 MMU AXI SRAMn 读错误调试寄存器(MMU_XnRD, n = 1~3)	736
10.5.30 MMU AXI SRAMn 写错误地址寄存器(MMU_XnWAD, n = 1~3)	736
10.5.31 MMU AXI SRAMn 读错误地址寄存器(MMU_XnRAD, n = 1~3)	737
10.5.32 MMU AHB SRAMn 写错误调试寄存器(MMU_HnWD, n = 1~5)	737
10.5.33 MMU AHB SRAMn 读错误调试寄存器(MMU_HnRD, n = 1~5)	738
10.5.34 MMU AHB SRAMn 写错误地址寄存器(MMU_HnWAD, n = 1~5)	738
10.5.35 MMU AHB SRAMn 读错误地址寄存器(MMU_HnRAD, n = 1~5)	739
10.5.36 MMU Backup SRAM 写错误调试寄存器(MMU_BKWD)	739
10.5.37 MMU Backup SRAM 读错误调试寄存器(MMU_BKRD)	740
10.5.38 MMU Backup SRAM 写错误地址寄存器(MMU_BKWAD)	740
10.5.39 MMU Backup SRAM 读错误地址寄存器(MMU_BKRAD)	741
10.5.40 MMU ITCM SRAM 写错误调试寄存器(MMU_ITWD)	741
10.5.41 MMU ITCM SRAM 读错误调试寄存器(MMU_ITRD)	742
10.5.42 MMU ITCM SRAM 写错误地址寄存器(MMU_ITWAD)	742
10.5.43 MMU ITCM SRAM 读错误地址寄存器(MMU_ITRAD)	743
<b>11 实时 AES 解密</b>	<b>744</b>
11.1 介绍	744

11.2 主要特点 .....	744
11.3 框图 .....	744
11.4 功能描述 .....	745
11.4.1 编程指南 .....	745
11.4.2 寄存器总览概览 .....	746
<b>12 GPIO 和 AFIO .....</b>	<b>747</b>
12.1 概述 .....	747
12.2 IO 功能描述 .....	748
12.2.1 IO 模式配置 .....	748
12.2.1.1 输入模式 .....	749
12.2.1.2 输出模式 .....	750
12.2.1.3 复用功能模式 .....	751
12.2.1.4 模拟模式 .....	752
12.2.2 复位后状态 .....	753
12.2.3 单独的位设置和位清除 .....	753
12.2.4 外部中断/唤醒线 .....	753
12.2.5 复用功能 .....	753
12.2.5.1 时钟输出 MCO .....	754
12.2.5.2 备电域 PC13/PC14/PC15 功能重映射 .....	754
12.2.5.3 HSE/LSE 管脚用作 GPIO 端口 .....	755
12.2.5.4 JTAG/SWD 复用功能重映射 .....	755
12.2.5.4.1 上下拉配置 .....	756
12.2.5.5 SHRTIMx 复用功能重映射 .....	756
12.2.5.5.1 SHRTIM1 复用功能重映射 .....	756
12.2.5.5.2 SHRTIM2 复用功能重映射 .....	756
12.2.5.6 ATIMx 复用功能重映射 .....	757
12.2.5.6.1 ATIM1 复用功能重映射 .....	757
12.2.5.6.2 ATIM2 复用功能重映射 .....	758
12.2.5.6.3 ATIM3 复用功能重映射 .....	759
12.2.5.6.4 ATIM4 复用功能重映射 .....	760
12.2.5.7 GTIMx 复用功能重映射 .....	760
12.2.5.7.1 GTIM1 复用功能重映射 .....	760
12.2.5.7.2 GTIM2 复用功能重映射 .....	761
12.2.5.7.3 GTIM3 复用功能重映射 .....	761
12.2.5.7.4 GTIM4 复用功能重映射 .....	762
12.2.5.7.5 GTIM5 复用功能重映射 .....	762
12.2.5.7.6 GTIM6 复用功能重映射 .....	762
12.2.5.7.7 GTIM7 复用功能重映射 .....	763
12.2.5.7.8 GTIMB1 复用功能重映射 .....	763
12.2.5.7.9 GTIMB2 复用功能重映射 .....	764
12.2.5.7.10 GTIMB3 复用功能重映射 .....	764
12.2.5.8 LPTIMx 复用功能重映射 .....	765
12.2.5.8.1 LPTIM1 复用功能重映射 .....	765

12.2.5.8.2 LPTIM2 复用功能重映射 .....	765
12.2.5.8.3 LPTIM3 复用功能重映射 .....	765
12.2.5.8.4 LPTIM4 复用功能重映射 .....	765
12.2.5.8.5 LPTIM5 复用功能重映射 .....	766
12.2.5.9 FDCAN 复用功能重映射 .....	766
12.2.5.9.1 FDCAN1 复用功能重映射 .....	766
12.2.5.9.2 FDCAN2 复用功能重映射 .....	766
12.2.5.9.3 FDCAN3 复用功能重映射 .....	766
12.2.5.9.4 FDCAN4 复用功能重映射 .....	767
12.2.5.9.5 FDCAN5 复用功能重映射 .....	767
12.2.5.9.6 FDCAN6 复用功能重映射 .....	767
12.2.5.9.7 FDCAN7 复用功能重映射 .....	768
12.2.5.9.8 FDCAN8 复用功能重映射 .....	768
12.2.5.10 DVP 复用功能重映射 .....	768
12.2.5.10.1 DVP1 复用功能重映射 .....	768
12.2.5.10.2 DVP2 复用功能重映射 .....	770
12.2.5.11 FEMC 复用功能重映射 .....	771
12.2.5.12 USARTx 复用功能重映射 .....	775
12.2.5.12.1 USART1 复用功能重映射 .....	775
12.2.5.12.2 USART2 复用功能重映射 .....	776
12.2.5.12.3 USART3 复用功能重映射 .....	776
12.2.5.12.4 USART4 复用功能重映射 .....	776
12.2.5.12.5 USART5 复用功能重映射 .....	777
12.2.5.12.6 USART6 复用功能重映射 .....	777
12.2.5.12.7 USART7 复用功能重映射 .....	777
12.2.5.12.8 USART8 复用功能重映射 .....	778
12.2.5.13 UARTx 复用功能重映射 .....	778
12.2.5.13.1 UART9 复用功能重映射 .....	778
12.2.5.13.2 UART10 复用功能重映射 .....	779
12.2.5.13.3 UART11 复用功能重映射 .....	779
12.2.5.13.4 UART12 复用功能重映射 .....	780
12.2.5.13.5 UART13 复用功能重映射 .....	780
12.2.5.13.6 UART14 复用功能重映射 .....	780
12.2.5.13.7 UART15 复用功能重映射 .....	781
12.2.5.14 LPUARTx 复用功能重映射 .....	781
12.2.5.14.1 LPUART1 复用功能重映射 .....	781
12.2.5.14.2 LPUART2 复用功能重映射 .....	781
12.2.5.15 I2C 复用功能重映射 .....	782
12.2.5.15.1 I2C1 复用功能重映射 .....	782
12.2.5.15.2 I2C2 复用功能重映射 .....	782
12.2.5.15.3 I2C3 复用功能重映射 .....	782
12.2.5.15.4 I2C4 复用功能重映射 .....	783
12.2.5.15.5 I2C5 复用功能重映射 .....	783
12.2.5.15.6 I2C6 复用功能重映射 .....	783

12.2.5.15.7 I2C7 复用功能重映射 .....	784
12.2.5.15.8 I2C8 复用功能重映射 .....	784
12.2.5.15.9 I2C9 复用功能重映射 .....	784
12.2.5.15.10 I2C10 复用功能重映射 .....	785
12.2.5.16 SPIx/I2Sx 复用功能重映射 .....	785
12.2.5.16.1 SPI1 复用功能重映射 .....	785
12.2.5.16.2 SPI2 复用功能重映射 .....	786
12.2.5.16.3 SPI3 复用功能重映射 .....	786
12.2.5.16.4 SPI4 复用功能重映射 .....	787
12.2.5.16.5 SPI5 复用功能重映射 .....	787
12.2.5.16.6 SPI6 复用功能重映射 .....	787
12.2.5.16.7 SPI7 复用功能重映射 .....	788
12.2.5.16.8 I2S1 复用功能重映射 .....	788
12.2.5.16.9 I2S2 复用功能重映射 .....	789
12.2.5.16.10 I2S3 复用功能重映射 .....	789
12.2.5.16.11 I2S4 复用功能重映射 .....	790
12.2.5.16.12 SPI/I2S 复用功能重映射 .....	790
12.2.5.17 XSPI2 复用功能重映射 .....	790
12.2.5.17.1 XSPI2 复用功能重映射 .....	790
12.2.5.18 ETHx 复用功能重映射 .....	792
12.2.5.18.1 ETH1 复用功能重映射 .....	792
12.2.5.18.2 ETH2 复用功能重映射 .....	793
12.2.5.19 ESC 复用功能重映射 .....	794
12.2.5.20 SDRAM 复用功能重映射 .....	797
12.2.5.21 LCD 复用功能重映射 .....	800
12.2.5.22 SDMMCx 复用功能重映射 .....	803
12.2.5.22.1 SDMMC1 复用功能重映射 .....	803
12.2.5.22.2 SDMMC2 复用功能重映射 .....	804
12.2.5.23 USBx_HS 复用功能重映射 .....	805
12.2.5.23.1 USB1_HS 复用功能重映射 .....	805
12.2.5.23.2 USB2_HS 复用功能重映射 .....	805
12.2.5.24 DSMU 复用功能重映射 .....	805
12.2.5.25 EVENT 复用功能重映射 .....	806
12.2.5.26 COMP 复用功能重映射 .....	807
12.2.5.26.1 COMP1 复用功能重映射 .....	807
12.2.5.26.2 COMP2 复用功能重映射 .....	807
12.2.5.26.3 COMP3 复用功能重映射 .....	807
12.2.5.26.4 COMP4 复用功能重映射 .....	807
12.2.5.27 RTC 复用功能重映射 .....	807
12.2.6 外设的 IO 配置 .....	808
12.2.6.1 ADC/DAC IO 配置 .....	808
12.2.6.2 SHRTIM IO 配置 .....	808
12.2.6.3 ATIM IO 配置 .....	808
12.2.6.4 GTIM IO 配置 .....	808

12.2.6.5 GTIMB IO 配置 .....	809
12.2.6.6 LPTIM IO 配置 .....	809
12.2.6.7 FDCAN IO 配置 .....	809
12.2.6.8 DVP IO 配置 .....	809
12.2.6.9 FEMC IO 配置 .....	809
12.2.6.10 U(S)ART IO 配置 .....	810
12.2.6.11 LPUART IO 配置 .....	810
12.2.6.12 I2C IO 配置 .....	810
12.2.6.13 SPI IO 配置 .....	811
12.2.6.14 I2S IO 配置 .....	811
12.2.6.15 DSMU IO 配置 .....	811
12.2.6.16 XSPI IO 配置 .....	812
12.2.6.17 ETH IO 配置 .....	812
12.2.6.18 USBHS IO 配置 .....	813
12.2.6.19 ESC IO 配置 .....	813
12.2.6.20 SDRAM IO 配置 .....	814
12.2.6.21 LCD IO 配置 .....	814
12.2.6.22 SDMMC IO 配置 .....	814
12.2.6.23 Other IO 配置 .....	815
12.2.7 GPIO 锁定机制 .....	815
12.2.8 GPIO PAD 类型 .....	815
12.3 GPIO 寄存器 .....	816
12.3.1 GPIO 寄存器总览 .....	816
12.3.2 GPIO 端口模式配置寄存器 (GPIOx_PMODE) .....	817
12.3.3 GPIO 输出类型定义寄存器 (GPIOx_POTYPE) .....	817
12.3.4 GPIO 端口翻转速率配置寄存器 (GPIOx_SR) .....	818
12.3.5 GPIO 端口上下拉配置寄存器 (GPIOx_PUPD) .....	818
12.3.6 GPIO 输入数据寄存器 (GPIOx_PID) .....	819
12.3.7 GPIO 输出数据寄存器 (GPIOx_POD) .....	820
12.3.8 GPIO 端口位设置/清除寄存器 (GPIOx_PBSC) .....	820
12.3.9 GPIO 端口锁定配置寄存器 (GPIOx_PLOCK) .....	821
12.3.10 GPIO 端口复用功能低配置寄存器 (GPIOx_AFL) .....	821
12.3.11 GPIO 端口复用功能高配置寄存器 (GPIOx_AFH) .....	822
12.3.12 GPIO 端口位清除寄存器 (GPIOx_PBC) .....	823
12.3.13 GPIO 驱动能力配置寄存器 (GPIOx_DS) .....	823
12.4 AFIO 寄存器 .....	825
12.4.1 AFIO 重映射配置寄存器 (AFIO_RMP_CFG) .....	825
12.4.2 AFIO IOM 滤波控制寄存器 (AFIO_FILTER_CFG) .....	827
12.4.3 AFIO XSPI1 随机数寄存器 0 (AFIO_XSPI1_NON0) .....	827
12.4.4 AFIO XSPI1 随机数寄存器 1 (AFIO_XSPI1_NON1) .....	828
12.4.5 AFIO XSPI1 随机数寄存器 2 (AFIO_XSPI1_NON2) .....	828
12.4.6 AFIO ADC 重映射配置寄存器 (AFIO_ADCRMP_CFG) .....	829
12.4.7 AFIO 外部中断配置寄存器 0 (AFIO_EXTI_CFG0) .....	831
12.4.8 AFIO 外部中断配置寄存器 1 (AFIO_EXTI_CFG1) .....	836

12.4.9 AFIO 外部中断配置寄存器 2 (AFIO_EXTI_CFG2)	841
12.4.10 AFIO 外部中断配置寄存器 3 (AFIO_EXTI_CFG3)	846
12.4.11 AFIO IO 端口模拟信号通道配置寄存器 0 (AFIO_ANAEN_CFG0)	851
12.4.12 AFIO IO 端口模拟信号通道配置寄存器 1 (AFIO_ANAEN_CFG1)	851
12.4.13 AFIO IO 端口模拟信号通道配置寄存器 2 (AFIO_ANAEN_CFG2)	852
12.4.14 AFIO SHRTIM1 故障配置寄存器 (AFIO_SHRT1_FAULT_CFG)	853
12.4.15 AFIO SHRTIM2 故障配置寄存器 (AFIO_SHRT2_FAULT_CFG)	853
12.4.16 AFIO IO 端口模拟信号通道配置寄存器 3 (AFIO_ANAEN_CFG3)	854
12.4.17 AFIO IO 端口模拟信号通道配置寄存器 4 (AFIO_ANAEN_CFG4)	855
12.4.18 AFIO IO 端口模拟信号通道配置寄存器 5 (AFIO_ANAEN_CFG5)	855
12.4.19 AFIO IO 端口模拟信号通道配置寄存器 6 (AFIO_ANAEN_CFG6)	856
12.4.20 AFIO IO 端口模拟滤波配置寄存器 0 (AFIO_EFT_CFG0)	856
12.4.21 AFIO IO 端口模拟滤波配置寄存器 1 (AFIO_EFT_CFG1)	857
12.4.22 AFIO IO 端口模拟滤波配置寄存器 2 (AFIO_EFT_CFG2)	857
12.4.23 AFIO IO 端口模拟滤波配置寄存器 3 (AFIO_EFT_CFG3)	858
12.4.24 AFIO IO 端口模拟滤波配置寄存器 4 (AFIO_EFT_CFG4)	859
12.4.25 AFIO IO 端口模拟滤波配置寄存器 5 (AFIO_EFT_CFG5)	859
12.4.26 AFIO IO 端口数字滤波配置寄存器 0 (AFIO_DIGEFT_CFG0)	860
12.4.27 AFIO IO 端口数字滤波配置寄存器 1 (AFIO_DIGEFT_CFG1)	860
12.4.28 AFIO IO 端口数字滤波配置寄存器 2 (AFIO_DIGEFT_CFG2)	861
12.4.29 AFIO IO 端口数字滤波配置寄存器 3 (AFIO_DIGEFT_CFG3)	861
12.4.30 AFIO IO 端口数字滤波配置寄存器 4 (AFIO_DIGEFT_CFG4)	862
12.4.31 AFIO IO 端口数字滤波配置寄存器 5 (AFIO_DIGEFT_CFG5)	862
12.4.32 AFIO SHRTIM1 外部事件配置寄存器 0 (AFIO_SHRT1_EXEV_CFG0)	863
12.4.33 AFIO SHRTIM1 外部事件配置寄存器 1 (AFIO_SHRT1_EXEV_CFG1)	864
12.4.34 AFIO SHRTIM2 外部事件配置寄存器 0 (AFIO_SHRT2_EXEV_CFG0)	865
12.4.35 AFIO SHRTIM2 外部事件配置寄存器 1 (AFIO_SHRT2_EXEV_CFG1)	865
12.4.36 AFIO SIP 上拉/下拉配置寄存器 (AFIO_SIP_PUPD)	866
12.4.37 AFIO IO 端口高速模式配置寄存器 0 (AFIO_HSMOD_CFG0)	867
12.4.38 AFIO IO 端口高速模式配置寄存器 1 (AFIO_HSMOD_CFG1)	868
12.4.39 AFIO IO 端口高速模式配置寄存器 2 (AFIO_HSMOD_CFG2)	869
12.4.40 AFIO IO 端口高速模式配置寄存器 3 (AFIO_HSMOD_CFG3)	869
12.4.41 AFIO IO 端口高速模式配置寄存器 4 (AFIO_HSMOD_CFG4)	870
12.4.42 AFIO SIP 翻转速率配置寄存器 (AFIO_SIP_SR)	871
12.4.43 AFIO SIP 驱动强度配置寄存器 (AFIO_SIP_DS)	872
12.4.44 AFIO ADC 开关配置寄存器 (AFIO_ADCSW_CFG)	872
12.4.45 AFIO IO 端口高速模式 VREF 使能配置寄存器 0 (AFIO_HSMOD_VREF_EN0)	874
12.4.46 AFIO IO 端口高速模式 VREF 使能配置寄存器 1 (AFIO_HSMOD_VREF_EN1)	875
12.4.47 AFIO IO 端口高速模式 VREF 使能配置寄存器 2 (AFIO_HSMOD_VREF_EN2)	876
12.4.48 AFIO 高速 IO 端口 DSN 配置寄存器 0 (AFIO_HS_DSN_CFG0)	876
12.4.49 AFIO 高速 IO 端口 DSN 配置寄存器 1 (AFIO_HS_DSN_CFG1)	877
12.4.50 AFIO 高速 IO 端口 DSN 配置寄存器 2 (AFIO_HS_DSN_CFG2)	878
12.4.51 AFIO 高速 IO 端口 DSP 配置寄存器 0 (AFIO_HS_DSP_CFG0)	878
12.4.52 AFIO 高速 IO 端口 DSP 配置寄存器 1 (AFIO_HS_DSP_CFG1)	879

12.4.53 AFIO 高速 IO 端口 DSP 配置寄存器 2 (AFIO_HS_DSP_CFG2) .....	880
<b>13 中断和事件 .....</b>	<b>882</b>
13.1 嵌套向量中断寄存器 .....	882
13.1.1 NVIC 特性 .....	882
13.1.2 SysTick 校准值寄存器 .....	882
13.1.3 中断和异常向量 .....	882
13.2 外部中断/事件控制器 (EXTI) .....	890
13.2.1 简介 .....	890
13.2.2 EXTI 主要特性 .....	890
13.2.3 EXTI 框图 .....	891
13.2.4 EXTI 功能描述 .....	891
13.2.4.1 EXTI 可配置事件输入 .....	891
13.2.4.2 EXTI 直接事件输入 .....	892
13.2.5 EXTI 事件输入映射 .....	895
13.2.6 EXTI 编程指南 .....	899
13.2.6.1 公共指南 .....	899
13.2.6.2 EXTI 中断编程指南 .....	899
13.2.6.3 EXTI 事件编程指南 .....	899
13.2.6.4 EXTI CPU 唤醒流程 .....	899
13.2.6.5 EXTI 软件中断/事件触发编程指南 .....	899
13.3 EXTI 寄存器 .....	900
13.3.1 EXTI 上升沿触发配置寄存器 (EXTI_RT_CFG0) .....	900
13.3.2 EXTI 上升沿触发配置寄存器 (EXTI_RT_CFG1) .....	900
13.3.3 EXTI 下降沿触发配置寄存器 (EXTI_FT_CFG0) .....	901
13.3.4 EXTI 下降沿触发配置寄存器 (EXTI_FT_CFG1) .....	901
13.3.5 EXTI 软件中断使能寄存器 (EXTI_SWIE0) .....	901
13.3.6 EXTI 软件中断使能寄存器 (EXTI_SWIE1) .....	902
13.3.7 EXTI 到 CPU1 中断屏蔽寄存器 (EXTI_M7IMASK0) .....	902
13.3.8 EXTI 到 CPU1 中断屏蔽寄存器 (EXTI_M7IMASK1) .....	903
13.3.9 EXTI 到 CPU2 中断屏蔽寄存器 (EXTI_M4IMASK0) .....	903
13.3.10 EXTI 到 CPU2 中断屏蔽寄存器 (EXTI_M4IMASK1) .....	904
13.3.11 EXTI 到 CPU1 事件屏蔽寄存器 (EXTI_M7EMASK0) .....	904
13.3.12 EXTI 到 CPU1 事件屏蔽寄存器 (EXTI_M7EMASK1) .....	905
13.3.13 EXTI 到 CPU2 事件屏蔽寄存器 (EXTI_M4EMASK0) .....	905
13.3.14 EXTI 到 CPU2 事件屏蔽寄存器 (EXTI_M4EMASK1) .....	906
13.3.15 EXTI 到 CPU1 挂起寄存器 (EXTI_M7PEND0) .....	906
13.3.16 EXTI 到 CPU1 挂起寄存器 (EXTI_M4PEND0) .....	907
13.3.17 EXTI 到 CPU2 挂起寄存器 (EXTI_M4PEND0) .....	907
13.3.18 EXTI 到 CPU2 挂起寄存器 (EXTI_M4EMASK1) .....	908
13.3.19 EXTI 到 CPU1 中断屏蔽寄存器 (EXTI_M7IMASK0_DRC) .....	908
13.3.20 EXTI 到 CPU1 中断屏蔽寄存器 (EXTI_M7IMASK1_DRC) .....	909
13.3.21 EXTI 到 CPU2 中断屏蔽寄存器 (EXTI_M4IMASK0_DRC) .....	909
13.3.22 EXTI 到 CPU2 中断屏蔽寄存器 (EXTI_M4IMASK1_DRC) .....	910

13.3.23 EXTI 到 CPU1 事件屏蔽寄存器 (EXTI_M7EMASK0_DRC) .....	910
13.3.24 EXTI 到 CPU1 事件屏蔽寄存器 (EXTI_M7EMASK1_DRC) .....	911
13.3.25 EXTI 到 CPU2 事件屏蔽寄存器 (EXTI_M4EMASK0_DRC) .....	911
13.3.26 EXTI 到 CPU2 事件屏蔽寄存器 (EXTI_M4EMASK1_DRC) .....	912
13.3.27 EXTI 时间戳触发源选择寄存器 (EXTI_TSSEL) .....	912
<b>14 DMA 请求多路复用器 (DMAMUX) .....</b>	<b>914</b>
14.1 简介 .....	914
14.2 主要特性 .....	914
14.3 功能框图 .....	915
14.4 功能描述 .....	915
14.4.1 DMAMUX 通道 .....	916
14.4.1.1 通道配置流程 .....	916
14.4.2 DMAMUX 请求线多路复用器 .....	916
14.4.2.1 同步模式与通道事件生成 .....	916
14.4.2.2 同步溢出与中断 .....	918
14.4.3 DMAMUX 请求生成器 .....	919
14.4.3.1 触发器溢出与中断 .....	919
14.4.4 DMAMUX 中断 .....	919
14.4.5 DMAMUX 编程指南 .....	920
14.5 寄存器 .....	920
14.5.1 DMAMUX1 寄存器 .....	920
14.5.1.1 DMAMUX1 请求线多路复用器通道 x 控制寄存器 (DMAMUX1_CHxCTRL) .....	920
14.5.1.2 DMAMUX1 请求线多路复用器中断通道状态寄存器 (DMAMUX1_STS) .....	921
14.5.1.3 DMAMUX1 请求线多路复用器中断清除标志寄存器 (DMAMUX1_CLR) .....	921
14.5.1.4 DMAMUX1 请求生成器通道 x 配置寄存器 (DMAMUX1_CHxCFG) .....	922
14.5.1.5 DMAMUX1 请求生成器中断状态寄存器 (DMAMUX1_RGSTS) .....	923
14.5.1.6 DMAMUX1 请求生成器中断清除标志寄存器 (DMAMUX1_RGCLR) .....	923
14.5.2 DMAMUX2 寄存器 .....	923
14.5.2.1 DMAMUX2 请求线多路复用器通道 x 控制寄存器 (DMAMUX2_CHxCTRL) .....	923
14.5.2.2 DMAMUX2 请求线多路复用器中断通道状态寄存器 (DMAMUX2_STS) .....	924
14.5.2.3 DMAMUX2 请求线多路复用器中断清除标志寄存器 (DMAMUX2_CLR) .....	925
14.5.2.4 DMAMUX2 请求生成器通道 x 配置寄存器 (DMAMUX2_CHxCFG) .....	925
14.5.2.5 DMAMUX2 请求生成器中断状态寄存器 (DMAMUX2_RGSTS) .....	926
14.5.2.6 DMAMUX2 请求生成器中断清除标志寄存器 (DMAMUX2_RGCLR) .....	927
<b>15 DMA 控制器 .....</b>	<b>928</b>
15.1 简介 .....	928
15.2 主要特性 .....	928
15.3 功能框图 .....	930
15.4 功能描述 .....	930
15.4.1 基础定义 .....	930
15.4.2 块流量控制器和传输类型 .....	934
15.4.3 握手接口 .....	935



15.4.4 内存外设 .....	935
15.4.5 软件握手 .....	936
15.4.6 握手接口--外设不是流量控制器 .....	936
15.4.6.1 单事务区域 .....	936
15.4.6.2 提前终止的突发事务 .....	937
15.4.6.3 硬件握手--外设不是流量控制器 .....	937
15.4.6.4 软件握手--外设不是流量控制器 .....	938
15.4.6.5 单事务--外设不是流量控制器 .....	939
15.4.7 握手接口--外设是流量控制器 .....	939
15.4.7.1 硬件握手--外设是流量控制器 .....	939
15.4.7.2 软件握手--外设是流量控制器 .....	940
15.4.7.3 单事务--外设是流量控制器 .....	941
15.4.8 外设中断请求接口 .....	941
15.4.9 传输类型 .....	942
15.4.9.1 多块传输--使用链表的块链式链接 .....	942
15.4.9.2 通道寄存器的自动重载 .....	943
15.4.9.3 块间连续地址 .....	943
15.4.10 流量控制配置 .....	943
15.4.11 生成对 AHB 主总线接口的请求 .....	944
15.4.12 锁定 DMA 传输 .....	945
15.4.12.1 总线锁定 .....	946
15.4.12.2 通道锁定 .....	946
15.4.12.3 锁定级别 .....	946
15.4.13 AHB 主接口仲裁 .....	947
15.4.14 散射或聚集 .....	948
15.4.15 AHB 传输错误处理 .....	950
15.4.16 非法寄存器访问 .....	950
15.4.17 中断 .....	951
15.4.18 编程指南 .....	952
15.4.18.1 单块传输 .....	952
15.4.18.2 基于链表的多块传输 .....	953
15.4.18.3 基于自动重载的多块传输 .....	954
15.4.18.4 基于 SA 自动重载和 DA 链表的多块传输 .....	956
15.4.18.5 基于 SA 自动重载和 DA 连续模式的多块传输 .....	958
15.4.18.6 基于 SA 链表和 DA 连续模式的多块传输 .....	959
15.4.18.7 在传输完成之前禁用通道 .....	961
15.5 寄存器 .....	961
15.5.1 DMA 通道 n 寄存器 .....	962
15.5.1.1 DMA 通道 n 源地址寄存器 (DMA_CHnSA) .....	962
15.5.1.2 DMA 通道 n 目标地址寄存器 (DMA_CHnDA) .....	962
15.5.1.3 DMA 通道 n 链表指针寄存器 (DMA_CHnLLP) .....	963
15.5.1.4 DMA 通道 n 控制寄存器 (DMA_CHnCTRL) .....	963
15.5.1.5 DMA 通道 n 配置寄存器 (DMA_CHnCFG) .....	967
15.5.1.6 DMA 通道 n 源聚集寄存器 (DMA_CHnSG) .....	970

15.5.1.7 DMA 通道 n 目标散射寄存器 (DMA_CHnDS) .....	971
15.5.2 DMA 中断寄存器 .....	972
15.5.2.1 DMA IntTfr 中断原始状态寄存器 (DMA_RAWTCINTSTS) .....	972
15.5.2.2 DMA IntBlock 中断原始状态寄存器 (DMA_RAWBTCINTSTS) .....	972
15.5.2.3 DMA IntSrcTran 中断原始状态寄存器 (DMA_RAWSTCINTSTS) .....	973
15.5.2.4 DMA IntDstTran 中断原始状态寄存器 (DMA_RAWDTCINTSTS) .....	973
15.5.2.5 DMA IntErr 中断原始状态寄存器 (DMA_RAWERRINTSTS) .....	974
15.5.2.6 DMA IntTfr 中断状态寄存器 (DMA_TCINTSTS) .....	975
15.5.2.7 DMA IntBlock 中断状态寄存器 (DMA_BTCINTSTS) .....	975
15.5.2.8 DMA IntSrcTran 中断状态寄存器 (DMA_STCINTSTS) .....	976
15.5.2.9 DMA IntDstTran 中断状态寄存器 (DMA_DTCINTSTS) .....	976
15.5.2.10 DMA IntErr 中断状态寄存器 (DMA_ERRINTSTS) .....	977
15.5.2.11 DMA IntTfr 中断屏蔽寄存器 (DMA_TCINTMSK) .....	977
15.5.2.12 DMA IntBlock 中断屏蔽寄存器 (DMA_BTCINTMSK) .....	978
15.5.2.13 DMA IntSrcTran 中断屏蔽寄存器 (DMA_STCINTMSK) .....	978
15.5.2.14 DMA IntDstTran 中断屏蔽寄存器 (DMA_DTCINTMSK) .....	979
15.5.2.15 DMA IntErr 中断屏蔽寄存器 (DMA_ERRINTMSK) .....	980
15.5.2.16 DMA IntTfr 中断清除寄存器 (DMA_TCINTCLR) .....	981
15.5.2.17 DMA IntBlock 中断清除寄存器 (DMA_BTCINTCLR) .....	981
15.5.2.18 DMA IntSrcTran 中断清除寄存器 (DMA_STCINTCLR) .....	982
15.5.2.19 DMA IntDstTran 中断清除寄存器 (DMA_DTCINTCLR) .....	982
15.5.2.20 DMA IntErr 中断清除寄存器 (DMA_ERRINTCLR) .....	983
15.5.2.21 DMA 中断组合状态寄存器 (DMA_INTCBESTS) .....	983
15.5.3 DMA 软件握手寄存器 .....	984
15.5.3.1 DMA 源软件事务请求寄存器 (DMA_SRCSWTREQ) .....	984
15.5.3.2 DMA 目标软件事务请求寄存器 (DMA_DSTSWTREQ) .....	985
15.5.3.3 DMA 源单事务请求寄存器 (DMA_SRCSGTREQ) .....	985
15.5.3.4 DMA 目标单事务请求寄存器 (DMA_DSTSGTREQ) .....	986
15.5.3.5 DMA 源最后事务请求寄存器 (DMA_SRCLTREQ) .....	987
15.5.3.6 DMA 目标最后事务请求寄存器 (DMA_DSTLTREQ) .....	987
15.5.4 DMA 杂项寄存器 .....	988
15.5.4.1 DMA 配置寄存器 (DMA_CFG) .....	988
15.5.4.2 DMA 通道使能寄存器 (DMA_CHEN) .....	989
15.5.4.3 DMA ID 寄存器 (DMA_ID) .....	989
15.5.4.4 DMA 测试寄存器 (DMA_TEST) .....	990
15.5.4.5 DMA 低功耗超时寄存器 (DMA_LPTIMEOUT) .....	990
15.5.4.6 DMA 组件 ID 寄存器 (DMA_COMPID) .....	991
<b>16 MDMA 控制器 .....</b>	<b>992</b>
16.1 简介 .....	错误!未定义书签。
16.2 主要特性 .....	错误!未定义书签。
16.3 功能框图 .....	错误!未定义书签。
16.4 功能描述 .....	错误!未定义书签。
16.4.1 基础定义 .....	错误!未定义书签。

16.4.2 时钟和复位 .....	错误!未定义书签。
16.4.3 从总线接口 .....	错误!未定义书签。
16.4.4 主总线接口 .....	错误!未定义书签。
16.4.5 仲裁方案 .....	错误!未定义书签。
16.4.5.1 单仲裁方案 .....	错误!未定义书签。
16.4.5.2 多仲裁方案 .....	错误!未定义书签。
16.4.5.3 锁定和授予 .....	错误!未定义书签。
16.4.5.4 不同访问的优先级 .....	错误!未定义书签。
16.4.5.5 相同通道传输、获取和访问 .....	错误!未定义书签。
16.4.6 单事务区域 .....	错误!未定义书签。
16.4.7 握手接口 .....	错误!未定义书签。
16.4.7.1 硬件握手 .....	错误!未定义书签。
16.4.7.2 软件握手 .....	错误!未定义书签。
16.4.8 外部中断请求接口 .....	错误!未定义书签。
16.4.9 流量控制配置 .....	错误!未定义书签。
16.4.10 提前终止的突发事务 .....	错误!未定义书签。
16.4.11 传输控制 .....	错误!未定义书签。
16.4.11.1 单块传输 .....	错误!未定义书签。
16.4.11.2 多块传输 .....	错误!未定义书签。
16.4.11.2.1 连续地址 .....	错误!未定义书签。
16.4.11.2.2 自动重新加载 .....	错误!未定义书签。
16.4.11.2.3 链表 .....	错误!未定义书签。
16.4.11.2.4 暂停区块之间的转移 .....	错误!未定义书签。
16.4.11.2.5 多块传输结束 .....	错误!未定义书签。
16.4.12 AXI 非对齐传输 .....	错误!未定义书签。
16.4.12.1 MDMA 控制器是流量控制器 .....	错误!未定义书签。
16.4.12.2 源是流量控制器 .....	错误!未定义书签。
16.4.12.3 目标是流量控制器 .....	错误!未定义书签。
16.4.13 通道暂停和禁用 .....	错误!未定义书签。
16.4.13.1 通道暂停 .....	错误!未定义书签。
16.4.13.2 通道暂停和恢复 .....	错误!未定义书签。
16.4.13.3 在传输完成之前暂停和禁用通道 .....	错误!未定义书签。
16.4.13.4 在传输完成之前禁用通道而不暂停 .....	错误!未定义书签。
16.4.14 中断 .....	错误!未定义书签。
16.4.15 编程指南 .....	错误!未定义书签。
16.4.15.1 单块传输 .....	错误!未定义书签。
16.4.15.2 基于链表的多块传输 .....	错误!未定义书签。
16.5 寄存器 .....	错误!未定义书签。
16.5.1 MDMA 通用寄存器 .....	错误!未定义书签。
16.5.1.1 MDMA ID 寄存器 (MDMA_ID) .....	错误!未定义书签。
16.5.1.2 MDMA 版本寄存器 (MDMA_VERSION) .....	错误!未定义书签。
16.5.1.3 MDMA 配置寄存器 (MDMA_CFG) .....	错误!未定义书签。
16.5.1.4 MDMA 通道使能寄存器 (MDMA_CHEN) .....	错误!未定义书签。
16.5.1.5 MDMA 通道挂起寄存器 (MDMA_CHSUSP) .....	错误!未定义书签。

16.5.1.6 MDMA 中断状态寄存器 (MDMA_INTSTS) .....	错误!未定义书签。
16.5.1.7 MDMA 通用寄存器中断清除寄存器 (MDMA_CRINTCLR) .....	错误!未定义书签。
16.5.1.8 MDMA 通用寄存器中断状态使能寄存器 (MDMA_CRINTSTSEN) .....	错误!未定义书签。
16.5.1.9 MDMA 通用寄存器中断信号使能寄存器 (MDMA_CRINTSGLEN) .....	错误!未定义书签。
16.5.1.10 MDMA 通用寄存器中断状态寄存器 (MDMA_CRINTSTS) .....	错误!未定义书签。
16.5.1.11 MDMA 软件复位寄存器 (MDMA_SWRST) .....	错误!未定义书签。
16.5.1.12 MDMA 低功耗配置寄存器 (MDMA_LPCFG) .....	错误!未定义书签。
16.5.2 MDMA 通道 n 寄存器 .....	错误!未定义书签。
16.5.2.1 MDMA 通道 n 源地址寄存器 (MDMA_CHnSA) .....	错误!未定义书签。
16.5.2.2 MDMA 通道 n 目标地址寄存器 (MDMA_CHnDA) .....	错误!未定义书签。
16.5.2.3 MDMA 通道 n 块传输大小寄存器 (MDMA_CHnBTS) .....	错误!未定义书签。
16.5.2.4 MDMA 通道 n 控制寄存器 (MDMA_CHnCTRL) .....	错误!未定义书签。
16.5.2.5 MDMA 通道 n 配置寄存器 (MDMA_CHnCFG) .....	错误!未定义书签。
16.5.2.6 MDMA 通道 n 链表指针寄存器 (MDMA_CHnLLP) .....	错误!未定义书签。
16.5.2.7 MDMA 通道 n 状态寄存器 (MDMA_CHnSTS) .....	错误!未定义书签。
16.5.2.8 MDMA 通道 n 软件握手源寄存器 (MDMA_CHnSHSRC) .....	错误!未定义书签。
16.5.2.9 MDMA 通道 n 软件握手目标寄存器 (MDMA_CHnSHDST) .....	错误!未定义书签。
16.5.2.10 MDMA 通道 n 块传输恢复请求寄存器 (MDMA_CHnBTRR) .....	错误!未定义书签。
16.5.2.11 MDMA 通道 n AXI QoS 寄存器 (MDMA_CHnAXIQOS) .....	错误!未定义书签。
16.5.2.12 MDMA 通道 n 中断状态使能寄存器 (MDMA_CHnINTSTSEN) .....	错误!未定义书签。
16.5.2.13 MDMA 通道 n 中断状态寄存器 (MDMA_CHnINTSTS) .....	错误!未定义书签。
16.5.2.14 MDMA 通道 n 中断信号使能寄存器 (MDMA_CHnINTSGLEN) .....	错误!未定义书签。
16.5.2.15 MDMA 通道 n 中断清除寄存器 (MDMA_CHnINTCLR) .....	错误!未定义书签。
<b>17 超高精度定时器(SHRTIM1/SHRTIM2).....</b>	<b>1054</b>
17.1 简介 .....	1054
17.2 主要特性 .....	1054
17.3 功能描述 .....	1055
17.3.1 概述 .....	1055
17.3.2 SHRTIM 引脚和内部信号 .....	1057
17.3.3 时钟 .....	1061
17.3.3.1 术语定义 .....	1061
17.3.3.2 定时器时钟和预分频器 .....	1062
17.3.3.3 初始化 .....	1063
17.3.3.4 死区发生器时钟 .....	1063
17.3.3.5 斩波级时钟 .....	1063
17.3.3.6 突发模式预分频器 .....	1063
17.3.3.7 故障输入采样时钟 .....	1064
17.3.3.8 外部事件输入采样时钟 .....	1064
17.3.4 定时器 A..F 定时单元 .....	1064
17.3.4.1 翻转事件 .....	1067
17.3.4.2 定时器复位 .....	1067
17.3.4.3 重复计数器 .....	1068
17.3.4.4 置位/ 复位纵横开关 .....	1070

17.3.4.5 发生更新事件时置位/ 复位.....	1071
17.3.4.6 半占空比模式.....	1071
17.3.4.7 交错模式.....	1071
17.3.4.8 空占空比异常情况.....	1072
17.3.4.9 交换模式.....	1072
17.3.4.10 捕获.....	1073
17.3.4.11 自动延迟模式.....	1074
17.3.4.12 半触发模式.....	1077
17.3.4.13 推挽模式.....	1078
17.3.4.14 死区.....	1081
17.3.5 主定时器.....	1084
17.3.6 上下计数模式.....	1085
17.3.7 置位/ 复位事件优先级和窄脉冲管理.....	1094
17.3.8 外部事件全局调节.....	1096
17.3.8.1 外部事件延迟.....	1098
17.3.9 定时单元中的外部事件过滤.....	1099
17.3.9.1 消隐模式.....	1100
17.3.9.2 窗口模式.....	1102
17.3.9.3 外部事件计数器.....	1104
17.3.10 延迟保护.....	1105
17.3.10.1 延迟空闲模式.....	1105
17.3.10.2 均衡空闲.....	1109
17.3.10.3 均衡空闲的自动恢复.....	1112
17.3.11 寄存器预装载和更新管理.....	1112
17.3.12 “大于”比较的 PWM 模式.....	1116
17.3.13 事件在多个定时器之间的传播.....	1117
17.3.13.1 由主定时器更新触发的 TIMx 更新.....	1117
17.3.13.2 由 TIMy 更新触发的 TIMx 更新.....	1118
17.3.13.3 引发 TIMx 更新的 TIMx 计数器复位.....	1119
17.3.13.4 引发 TIMx 计数器复位的 TIMx 更新.....	1120
17.3.14 输出管理.....	1121
17.3.15 斩波.....	1123
17.3.16 突发模式控制器.....	1125
17.3.16.1 突发模式时钟.....	1127
17.3.16.2 突发模式触发.....	1127
17.3.16.3 突发模式延迟进入.....	1128
17.3.16.4 突发模式退出.....	1130
17.3.16.5 突发模式寄存器预装载和更新.....	1131
17.3.16.6 通过复合寄存器进行突发模式仿真.....	1132
17.3.17 故障保护.....	1133
17.3.18 辅助输出.....	1138
17.3.19 将 SHRTIM 与其他定时器或 SHRTIM 实例同步.....	1140
17.3.19.1 同步输出.....	1140
17.3.19.2 同步输入.....	1141

17.3.20 ADC 触发器.....	1143
17.3.20.1 ADC 后置缩放器.....	1145
17.3.21 DAC 触发器.....	1147
17.3.22 SHRTIM 中断.....	1151
17.3.23 DMA.....	1153
17.3.24 SHRTIM 初始化.....	1157
17.3.25 调试.....	1158
17.3.25.1 MCU 停止工作期间的定时器行为 (SHRTIM1_STOP=1 时).....	1158
17.4 SHRTIM 寄存器.....	1159
17.4.1 SHRTIM 主定时器的寄存器.....	1159
17.4.1.1 SHRTIM 主定时器控制寄存器 (SHRTIM_MCTRL).....	1159
17.4.1.2 SHRTIM 主定时器状态寄存器 (SHRTIM_MINTSTS).....	1162
17.4.1.3 SHRTIM 主定时器中断清零寄存器 (SHRTIM_MINTCLR).....	1163
17.4.1.4 SHRTIM 主定时器中断/DMA 使能寄存器 (SHRTIM_MIDEN).....	1164
17.4.1.5 SHRTIM 主定时器计数寄存器 (SHRTIM_MCNT).....	1166
17.4.1.6 SHRTIM 主定时器周期寄存器 (SHRTIM_MPRD).....	1166
17.4.1.7 SHRTIM 主定时器重复计数寄存器 (SHRTIM_MREPT).....	1167
17.4.1.8 SHRTIM 主定时器比较 1 寄存器 (SHRTIM_MCMP1DAT).....	1167
17.4.1.9 SHRTIM 主定时器比较 2 寄存器 (SHRTIM_MCMP2DAT).....	1168
17.4.1.10 SHRTIM 主定时器比较 3 寄存器 (SHRTIM_MCMP3DAT).....	1168
17.4.1.11 SHRTIM 主定时器比较 4 寄存器 (SHRTIM_MCMP4DAT).....	1169
17.4.1.12 SHRTIM 同步输出寄存器 (SHRTIM_SYNCOUT).....	1169
17.4.1.13 SHRTIM 调试冻结禁能寄存器 (SHRTIM_FRZDIS).....	1170
17.4.2 SHRTIM 定时器单元的寄存器.....	1171
17.4.2.1 SHRTIM 定时器 x 控制寄存器 (SHRTIM_TxCTRL).....	1171
17.4.2.2 SHRTIM 定时器 x 中断状态寄存器 (SHRTIM_TxINTSTS).....	1175
17.4.2.3 SHRTIM 定时器 x 中断清零寄存器 (SHRTIM_TxINTCLR).....	1179
17.4.2.4 SHRTIM 定时器 x 中断/DMA 使能寄存器 (SHRTIM_TxIDEN).....	1180
17.4.2.5 SHRTIM 定时器 x 计数寄存器 (SHRTIM_TxCNT).....	1183
17.4.2.6 SHRTIM 定时器 x 周期寄存器 (SHRTIM_TxPRD).....	1183
17.4.2.7 SHRTIM 定时器 x 重复计数寄存器 (SHRTIM_TxREPT).....	1184
17.4.2.8 SHRTIM 定时器 x 比较 1 寄存器 (SHRTIM_TxCMP1DAT).....	1185
17.4.2.9 SHRTIM 定时器 x 比较器 1 复合寄存器 (SHRTIM_TxRCMP1DAT).....	1186
17.4.2.10 SHRTIM 定时器 x 比较 2 寄存器 (SHRTIM_TxCMP2DAT).....	1186
17.4.2.11 SHRTIM 定时器 x 比较 3 寄存器 (SHRTIM_TxCMP3DAT).....	1187
17.4.2.12 SHRTIM 定时器 x 比较 4 寄存器 (SHRTIM_TxCMP4DAT).....	1188
17.4.2.13 SHRTIM 定时器 x 捕获 1 寄存器 (SHRTIM_TxCPT1).....	1188
17.4.2.14 SHRTIM 定时器 x 捕获 2 寄存器 (SHRTIM_TxCPT2).....	1189
17.4.2.15 SHRTIM 定时器 x 死区寄存器 (SHRTIM_TxDT).....	1190
17.4.2.16 SHRTIM 定时器 x 输出 1 置位寄存器 (SHRTIM_TxSET1).....	1191
17.4.2.17 SHRTIM 定时器 x 输出 1 复位寄存器 (SHRTIM_TxRST1).....	1194
17.4.2.18 SHRTIM 定时器 x 输出 2 置位寄存器 (SHRTIM_TxSET2).....	1194
17.4.2.19 SHRTIM 定时器 x 输出 2 复位寄存器 (SHRTIM_TxRST2).....	1195
17.4.2.20 SHRTIM 定时器 x 外部事件过滤寄存器 1 (SHRTIM_TxEXEVFLT1).....	1195

17.4.2.21 SHRTIM 定时器 x 外部事件过滤寄存器 2 (SHRTIM_TxEXEVFLT2) .....	1197
17.4.2.22 SHRTIM 定时器 A 计数器复位寄存器 (SHRTIM_TACNTRST) .....	1199
17.4.2.23 SHRTIM 定时器 B 计数器复位寄存器 (SHRTIM_TBCNTRST) .....	1200
17.4.2.24 SHRTIM 定时器 C 计数器复位寄存器 (SHRTIM_TCCNTRST) .....	1201
17.4.2.25 SHRTIM 定时器 D 计数器复位寄存器 (SHRTIM_TDCNTRST) .....	1201
17.4.2.26 SHRTIM 定时器 E 计数器复位寄存器 (SHRTIM_TECNTRST) .....	1201
17.4.2.27 SHRTIM 定时器 F 计数器复位寄存器 (SHRTIM_TFCNTRST) .....	1202
17.4.2.28 SHRTIM 定时器 x 斩波寄存器 (SHRTIM_TxCHOP) .....	1202
17.4.2.29 SHRTIM 定时器 A 捕获 1 控制寄存器 (SHRTIM_TACPT1CTRL) .....	1203
17.4.2.30 SHRTIM 定时器 A 捕获 2 控制寄存器 (SHRTIM_TACPT2CTRL) .....	1206
17.4.2.31 SHRTIM 定时器 B 捕获 1 控制寄存器 (SHRTIM_TBCPT1CTRL) .....	1206
17.4.2.32 SHRTIM 定时器 B 捕获 2 控制寄存器 (SHRTIM_TBCPT2CTRL) .....	1207
17.4.2.33 SHRTIM 定时器 C 捕获 1 控制寄存器 (SHRTIM_TCCPT1CTRL) .....	1207
17.4.2.34 SHRTIM 定时器 C 捕获 2 控制寄存器 (SHRTIM_TCCPT2CTRL) .....	1207
17.4.2.35 SHRTIM 定时器 D 捕获 1 控制寄存器 (SHRTIM_TDCPT1CTRL) .....	1208
17.4.2.36 SHRTIM 定时器 D 捕获 2 控制寄存器 (SHRTIM_TDCPT2CTRL) .....	1208
17.4.2.37 SHRTIM 定时器 E 捕获 1 控制寄存器 (SHRTIM_TECPT1CTRL) .....	1208
17.4.2.38 SHRTIM 定时器 E 捕获 2 控制寄存器 (SHRTIM_TECPT2CTRL) .....	1209
17.4.2.39 SHRTIM 定时器 F 捕获 1 控制寄存器 (SHRTIM_TFCPT1CTRL) .....	1209
17.4.2.40 SHRTIM 定时器 F 捕获 2 控制寄存器 (SHRTIM_TFCPT2CTRL) .....	1209
17.4.2.41 SHRTIM 定时器 x 输出寄存器 (SHRTIM_TxOUT) .....	1210
17.4.2.42 SHRTIM 定时器 x 故障寄存器 (SHRTIM_TxFALT) .....	1213
17.4.2.43 SHRTIM 定时器 x 控制寄存器 2 (SHRTIM_TxCTRL2) .....	1214
17.4.2.44 SHRTIM 定时器 x 外部事件过滤寄存器 3 (SHRTIM_TxEXEVFLT3) .....	1217
17.4.2.45 SHRTIM 定时器 x 比较 5 寄存器 (SHRTIM_TxCMP5DAT) .....	1218
17.4.3 SHRTIM 通用寄存器 .....	1219
17.4.3.1 SHRTIM 控制寄存器 1 (SHRTIM_CTRL1) .....	1219
17.4.3.2 SHRTIM 控制寄存器 2 (SHRTIM_CTRL2) .....	1220
17.4.3.3 SHRTIM 中断状态寄存器 (SHRTIM_INTSTS) .....	1222
17.4.3.4 SHRTIM 中断清零寄存器 (SHRTIM_INTCLR) .....	1223
17.4.3.5 SHRTIM 中断使能寄存器 (SHRTIM_INTEN) .....	1224
17.4.3.6 SHRTIM 输出使能寄存器 (SHRTIM_OEN) .....	1225
17.4.3.7 SHRTIM 输出禁能寄存器 (SHRTIM_ODIS) .....	1226
17.4.3.8 SHRTIM 输出禁能状态寄存器 (SHRTIM_ODISSTS) .....	1227
17.4.3.9 SHRTIM 突发模式控制寄存器 (SHRTIM_BMCTRL) .....	1228
17.4.3.10 SHRTIM 突发模式触发寄存器 (SHRTIM_BMTG) .....	1230
17.4.3.11 SHRTIM 突发模式比较寄存器 (SHRTIM_BMCMP) .....	1232
17.4.3.12 SHRTIM 突发模式周期寄存器 (SHRTIM_BMPRD) .....	1232
17.4.3.13 SHRTIM 外部事件控制寄存器 1 (SHRTIM_EXEVCTRL1) .....	1233
17.4.3.14 SHRTIM 外部事件控制寄存器 2 (SHRTIM_EXEVCTRL2) .....	1234
17.4.3.15 SHRTIM 外部事件控制寄存器 3 (SHRTIM_EXEVCTRL3) .....	1235
17.4.3.16 SHRTIM 外部事件控制寄存器 4 (SHRTIM_EXEVCTRL4) .....	1237
17.4.3.17 SHRTIM 的 ADC 触发 1 的源组 1 (SHRTIM_ADTG1SRC1) .....	1238
17.4.3.18 SHRTIM 的 ADC 触发 1 的源组 2 (SHRTIM_ADTG1SRC2) .....	1241

17.4.3.19 SHRTIM 的 ADC 触发 2 的源组 1 (SHRTIM_ADTG2SRC1) .....	1243
17.4.3.20 SHRTIM 的 ADC 触发 2 的源组 2 (SHRTIM_ADTG2SRC2) .....	1244
17.4.3.21 SHRTIM 的 ADC 触发 3 的源组 1 (SHRTIM_ADTG3SRC1) .....	1244
17.4.3.22 SHRTIM 的 ADC 触发 3 的源组 2 (SHRTIM_ADTG3SRC2) .....	1244
17.4.3.23 SHRTIM 的 ADC 触发 4 的源组 1 (SHRTIM_ADTG4SRC1) .....	1245
17.4.3.24 SHRTIM 的 ADC 触发 4 的源组 2 (SHRTIM_ADTG4SRC2) .....	1245
17.4.3.25 SHRTIM 故障输入寄存器 1 (SHRTIM_FALTIN1) .....	1246
17.4.3.26 SHRTIM 故障输入寄存器 2 (SHRTIM_FALTIN2) .....	1248
17.4.3.27 SHRTIM 故障输入寄存器 3 (SHRTIM_FALTIN3) .....	1249
17.4.3.28 SHRTIM 故障输入寄存器 4 (SHRTIM_FALTIN4) .....	1251
17.4.3.29 SHRTIM 突发 DMA 主定时器更新寄存器 (SHRTIM_BDMTUPD) .....	1252
17.4.3.30 SHRTIM 突发 DMA 定时器 x 更新寄存器 (SHRTIM_BDTxUPD) .....	1253
17.4.3.31 SHRTIM 突发 DMA 数据寄存器 (SHRTIM_BDDAT) .....	1255
17.4.3.32 SHRTIM ADC 触发扩展寄存器 1 (SHRTIM_ADTGEX1) .....	1256
17.4.3.33 SHRTIM ADC 触发扩展寄存器 2 (SHRTIM_ADTGEX2) .....	1258
17.4.3.34 SHRTIM ADC 触发更新寄存器 (SHRTIM_ADTGUPD) .....	1259
17.4.3.35 SHRTIM ADC 后分频寄存器 1 (SHRTIM_ADCPSC1) .....	1260
17.4.3.36 SHRTIM ADC 后分频寄存器 2 (SHRTIM_ADCPSC2) .....	1261
17.4.3.37 SHRTIM 软件故障寄存器 (SHRTIM_SFTFALT) .....	1262
17.4.3.38 SHRTIM 软件延迟保护寄存器 (SHRTIM_SFTDP) .....	1263
17.4.3.39 SHRTIM 故障输入寄存器 5 (SHRTIM_FALTIN5) .....	1265
17.4.3.40 SHRTIM 外部事件控制寄存器 5 (SHRTIM_EXEVCTRL5) .....	1266
17.4.3.41 SHRTIM Extend Register (SHRTIM_EXTEND) .....	1267
<b>18 高级控制定时器 (ATIM1/ ATIM2/ ATIM3/ ATIM4) .....</b>	<b>1268</b>
18.1 ATIMx (x=1-4) 简介 .....	1268
18.2 ATIMx (x=1-4) 框图 .....	1269
18.3 ATIMx (x=1-4) 的引脚及内部信号 .....	1269
18.3.1 ATIMx 的 tim_ti1/ tim_ti2/ tim_ti3/ tim_ti4 信号源 .....	1270
18.3.2 ATIMx 的 tim_itr 信号源 .....	1272
18.3.3 ATIMx 的 tim_etr 信号源 .....	1273
18.3.4 ATIMx 的刹车 1 输入信号源 .....	1274
18.3.5 ATIMx 的刹车 2 输入信号源 .....	1274
18.3.6 ATIMx 的 tim_ocref_clr 输入信号源 .....	1275
18.4 ATIMx (x=1-4) 功能描述 .....	1275
18.4.1 时基单元 .....	1275
18.4.1.1 预分频器描述 .....	1275
18.4.2 计数器模式 .....	1276
18.4.2.1 向上计数模式 .....	1276
18.4.2.2 向下计数模式 .....	1278
18.4.2.3 中央对齐模式 .....	1279
18.4.2.3.1 中央对齐对称模式 .....	1279
18.4.2.3.2 中央对齐非对称模式 .....	1281
18.4.3 重复计数器 .....	1285



18.4.4 时钟选择 .....	1287
18.4.4.1 内部时钟源(CK_INT).....	1287
18.4.4.2 外部时钟源模式 1.....	1288
18.4.4.3 外部时钟源模式 2.....	1289
18.4.5 捕获/比较通道 .....	1291
18.4.6 输入捕获模式 .....	1293
18.4.7 PWM 输入模式 .....	1294
18.4.8 强制输出模式 .....	1295
18.4.9 输出比较模式 .....	1295
18.4.10 PWM 模式 .....	1297
18.4.10.1 PWM 中央对齐模式 .....	1297
18.4.10.2 PWM 中央对齐非对称模式 .....	1298
18.4.10.3 PWM 边沿对齐模式 .....	1298
18.4.11 单脉冲模式 .....	1299
18.4.11.1 特殊情况: OCx 快速使能: .....	1300
18.4.12 在外部事件上清除 OCxREF 信号 .....	1301
18.4.13 互补输出和死区插入 .....	1302
18.4.13.1 重定向 OCxREF 到 OCx 或 OCxN .....	1303
18.4.14 刹车功能 .....	1304
18.4.14.1 刹车滤波 .....	1308
18.4.15 双向刹车 .....	1308
18.4.16 调试模式 .....	1310
18.4.17 ATIMx 定时器和外部触发的同步 .....	1310
18.4.17.1 从模式: 复位模式 .....	1310
18.4.17.2 从模式: 触发模式 .....	1311
18.4.17.3 从模式: 门控模式 .....	1312
18.4.17.4 从模式: 触发模式 +外部时钟模式 2 .....	1312
18.4.17.5 从模式: 组合复位+触发模式 .....	1313
18.4.17.6 从模式: 组合门控+复位模式 .....	1314
18.4.18 定时器同步 .....	1315
18.4.19 触发 ADC .....	1315
18.4.20 产生六步 PWM 输出 .....	1315
18.4.21 编码器接口模式 .....	1316
18.4.21.1 正交编码模式 .....	1316
18.4.21.2 脉冲电平编码模式 .....	1320
18.4.21.3 双脉冲编码模式 .....	1321
18.4.22 与霍尔传感器的接口 .....	1323
18.5 ATIMx 寄存器描述 .....	1325
18.5.1 控制寄存器 1 (TIMx_CTRL1) .....	1325
18.5.2 控制寄存器 2 (TIMx_CTRL2) .....	1327
18.5.3 状态寄存器 (TIMx_STS) .....	1330
18.5.4 事件产生寄存器 (TIMx_EVTGEN) .....	1333
18.5.5 从模式控制寄存器 (TIMx_SMCTRL) .....	1334
18.5.6 DMA/中断使能寄存器 (TIMx_DINTEN) .....	1337

18.5.7 捕获/比较模式寄存器 1 (TIMx_CCMOD1) .....	1339
18.5.8 捕获/比较模式寄存器 2 (TIMx_CCMOD2) .....	1342
18.5.9 捕获/比较模式寄存器 3 (TIMx_CCMOD3) .....	1344
18.5.10 捕获/比较使能寄存器 (TIMx_CCEN) .....	1345
18.5.11 捕获/比较寄存器 1 (TIMx_CCDA1) .....	1348
18.5.12 捕获/比较寄存器 2 (TIMx_CCDA2) .....	1349
18.5.13 捕获/比较寄存器 3 (TIMx_CCDA3) .....	1350
18.5.14 捕获/比较寄存器 4 (TIMx_CCDA4) .....	1350
18.5.15 捕获/比较寄存器 5 (TIMx_CCDA5) .....	1351
18.5.16 捕获/比较寄存器 6 (TIMx_CCDA6) .....	1352
18.5.17 预分频器 (TIMx_PSC) .....	1352
18.5.18 自动重装载寄存器 (TIMx_AR) .....	1353
18.5.19 计数器 (TIMx_CNT) .....	1353
18.5.20 重复计数寄存器 (TIMx_REPCNT) .....	1353
18.5.21 刹车和死区寄存器 (TIMx_BKDT) .....	1354
18.5.22 捕获/比较寄存器 7 (TIMx_CCDA7) .....	1357
18.5.23 捕获/比较寄存器 8 (TIMx_CCDA8) .....	1357
18.5.24 捕获/比较寄存器 9 (TIMx_CCDA9) .....	1358
18.5.25 刹车 1 滤波寄存器 (TIMx_BKFR) .....	1358
18.5.26 输入选择寄存器 (TIMx_INSEL) .....	1359
18.5.27 复用功能寄存器 1 (TIMx_AF1) .....	1361
18.5.28 复用功能寄存器 2 (TIMx_AF2) .....	1362
18.5.29 刹车 2 滤波寄存器 (TIMx_BKFR2) .....	1364
18.5.30 DMA 控制寄存器 (TIMx_DCTRL) .....	1365
18.5.31 连续模式的 DMA 地址 (TIMx_DADDR) .....	1366
<b>19 通用定时器 GTIMAx(x=1-7).....</b>	<b>1368</b>
19.1 GTIMAx(x=1-7)简介 .....	1368
19.2 GTIMAx(x=1-7)主要特性 .....	1368
19.3 GTIMAx(x=1-7)框图 .....	1369
19.4 GTIMAx(x=1-7)的引脚及内部信号 .....	1369
19.4.1 GTIMAx 的 tim_ti1/ tim_ti2/ tim_ti3/ tim_ti4 信号源 .....	1370
19.4.2 GTIMAx 的 tim_itr 信号源 .....	1372
19.4.3 GTIMAx 的 tim_etr 信号源 .....	1374
19.4.4 GTIMAx 的 tim_ocref_clr 输入信号源 .....	1375
19.5 GTIMAx(x=1-7)功能描述 .....	1376
19.5.1 时基单元 .....	1376
19.5.1.1 预分频器描述 .....	1376
19.5.2 计数器模式 .....	1377
19.5.2.1 向上计数模式 .....	1377
19.5.2.2 向下计数模式 .....	1379
19.5.2.3 中央对齐模式 .....	1380
19.5.3 时钟选择 .....	1382
19.5.3.1 内部时钟源(CK_INT) .....	1383

19.5.3.2 外部时钟源模式 1.....	1384
19.5.3.3 外部时钟源模式 2.....	1385
19.5.4 捕获/比较通道 .....	1386
19.5.5 输入捕获模式 .....	1389
19.5.5.1 通道输入滤波.....	1390
19.5.6 PWM 输入模式.....	1390
19.5.7 强制输出模式.....	1391
19.5.8 输出比较模式 .....	1391
19.5.9 PWM 模式 .....	1393
19.5.9.1 PWM 中央对齐模式.....	1393
19.5.9.2 PWM 边沿对齐模式.....	1394
19.5.10 单脉冲模式.....	1395
19.5.10.1 特殊情况：OCx 快速使能： .....	1396
19.5.11 在外部事件上清除 OCxREF 信号 .....	1397
19.5.12 调试模式.....	1398
19.5.13 GTIMAx 定时器和外部触发的同步 .....	1398
19.5.13.1 从模式：复位模式.....	1398
19.5.13.2 从模式：触发模式.....	1399
19.5.13.3 从模式：门控模式.....	1400
19.5.13.4 从模式：触发模式 +外部时钟模式 2.....	1400
19.5.14 定时器同步 .....	1401
19.5.14.1 主定时器作为另一个定时器的预分频器 .....	1402
19.5.14.2 主定时器使能另一个定时器.....	1402
19.5.14.3 主定时器启动另一个定时器.....	1404
19.5.14.4 使用一个外部触发同步地启动 2 个定时器 .....	1405
19.5.15 触发 ADC.....	1406
19.5.16 编码器接口模式.....	1406
19.5.16.1 正交编码模式.....	1406
19.5.16.2 脉冲电平编码模式.....	1410
19.5.16.3 双脉冲编码模式.....	1411
19.5.17 与霍尔传感器的接口 .....	1413
19.6 GTIMAx(x=1-7)寄存器描述 .....	1413
19.6.1 控制寄存器 1 (TIMx_CTRL1) .....	1414
19.6.2 控制寄存器 2 (TIMx_CTRL2) .....	1416
19.6.3 状态寄存器 (TIMx_STS) .....	1417
19.6.4 事件产生寄存器 (TIMx_EVTGEN) .....	1418
19.6.5 从模式控制寄存器 (TIMx_SMCTRL) .....	1420
19.6.6 DMA/中断使能寄存器 (TIMx_DINTEN) .....	1422
19.6.7 捕获/比较模式寄存器 1 (TIMx_CCMOD1) .....	1425
19.6.8 捕获/比较模式寄存器 2 (TIMx_CCMOD2) .....	1428
19.6.9 捕获/比较使能寄存器 (TIMx_CCEN) .....	1430
19.6.10 捕获/比较寄存器 1 (TIMx_CC DAT1) .....	1431
19.6.11 捕获/比较寄存器 2 (TIMx_CC DAT2) .....	1432
19.6.12 捕获/比较寄存器 3 (TIMx_CC DAT3) .....	1432

19.6.13	捕获比较寄存器 4 (TIMx_CC4)	1433
19.6.14	预分频器 (TIMx_PSC)	1434
19.6.15	自动重装载寄存器 (TIMx_AR)	1434
19.6.16	计数器 (TIMx_CNT)	1435
19.6.17	通道1 滤波寄存器 (TIMx_C1FILT)	1435
19.6.18	通道2 滤波寄存器 (TIMx_C2FILT)	1436
19.6.19	通道3 滤波寄存器 (TIMx_C3FILT)	1437
19.6.20	通道4 滤波寄存器 (TIMx_C4FILT)	1438
19.6.21	输入通道滤波输出寄存器 (TIMx_FILTO)	1439
19.6.22	输入选择寄存器 (TIMx_INSEL)	1439
19.6.23	DMA 控制寄存器 (TIMx_DCTRL)	1441
19.6.24	连续模式的DMA 地址 (TIMx_DADDR)	1442
<b>20</b>	<b>通用定时器 GTIMBx(x=1-3)</b>	<b>1444</b>
20.1	GTIMBx(x=1-3)简介	1444
20.2	GTIMBx(x=1-3)主要特性	1444
20.3	GTIMBx(x=1-3)框图	1445
20.4	GTIMBx(x=1-3)的引脚及内部信号	1445
20.4.1	GTIMBx 的 tim_ti1/ tim_ti2/ tim_ti3/ tim_ti4 信号源	1446
20.4.2	GTIMBx 的 tim_itr 信号源	1448
20.4.3	GTIMBx 的 tim_etr 信号源	1450
20.4.4	GTIMBx 的刹车 1 输入信号源	1451
20.4.5	GTIMBx 的 tim_ocref_clr 输入信号源	1451
20.5	GTIMBx(x=1-3)功能描述	1452
20.5.1	时基单元	1452
20.5.1.1	预分频器描述	1452
20.5.2	计数器模式	1453
20.5.2.1	向上计数模式	1453
20.5.2.2	向下计数模式	1456
20.5.2.3	中央对齐模式	1456
20.5.2.3.1	中央对齐对称模式	1456
20.5.2.3.2	中央对齐非对称模式	1458
20.5.3	重复计数器	1459
20.5.4	时钟选择	1462
20.5.4.1	内部时钟源(CK_INT)	1462
20.5.4.2	外部时钟源模式 1	1463
20.5.4.3	外部时钟源模式 2	1464
20.5.5	捕获/比较通道	1465
20.5.6	输入捕获模式	1467
20.5.7	PWM 输入模式	1468
20.5.8	强制输出模式	1469
20.5.9	输出比较模式	1469
20.5.10	PWM 模式	1471
20.5.10.1	PWM 中央对齐模式	1471

20.5.10.2 PWM 中央对齐非对称模式 .....	1472
20.5.10.3 PWM 边沿对齐模式 .....	1472
20.5.11 组合 PWM 模式 .....	1473
20.5.12 单脉冲模式 .....	1475
20.5.12.1 特殊情况：OCx 快速使能： .....	1476
20.5.13 可再触发单脉冲模式 .....	1476
20.5.14 在外部事件上清除 OCxREF 信号 .....	1476
20.5.15 互补输出和死区插入 .....	1478
20.5.15.1 重定向 OCxREF 到 OCx 或 OCxN .....	1479
20.5.16 刹车功能 .....	1480
20.5.16.1 刹车滤波 .....	1482
20.5.17 双向刹车 .....	1483
20.5.18 调试模式 .....	1484
20.5.19 GTIMBx 定时器和外部触发的同步 .....	1484
20.5.19.1 从模式：复位模式 .....	1484
20.5.19.2 从模式：触发模式 .....	1485
20.5.19.3 从模式：门控模式 .....	1486
20.5.19.4 从模式：触发模式 +外部时钟模式 2 .....	1487
20.5.19.5 从模式：组合复位+触发模式 .....	1488
20.5.19.6 从模式：组合门控+复位模式 .....	1489
20.5.20 定时器同步 .....	1490
20.5.21 触发 ADC .....	1490
20.5.22 产生六步 PWM 输出 .....	1490
20.5.23 编码器接口模式 .....	1491
20.5.23.1 正交编码模式 .....	1491
20.5.23.2 脉冲电平编码模式 .....	1495
20.5.23.3 双脉冲编码模式 .....	1496
20.5.24 与霍尔传感器的接口 .....	1498
20.5.25 UDITF 位重映射 .....	1498
20.6 GTIMBx(x=1,2,3)寄存器描述 .....	1498
20.6.1 控制寄存器 1 (TIMx_CTRL1) .....	1499
20.6.2 控制寄存器 2 (TIMx_CTRL2) .....	1501
20.6.3 状态寄存器 (TIMx_STS) .....	1503
20.6.4 事件产生寄存器 (TIMx_EVTGEN) .....	1505
20.6.5 从模式控制寄存器 (TIMx_SMCTRL) .....	1506
20.6.6 DMA/中断使能寄存器 (TIMx_DINTEN) .....	1509
20.6.7 捕获/比较模式寄存器 1 (TIMx_CCMOD1) .....	1511
20.6.8 捕获/比较模式寄存器 2 (TIMx_CCMOD2) .....	1515
20.6.9 捕获/比较模式寄存器 3 (TIMx_CCMOD3) .....	1519
20.6.10 捕获/比较使能寄存器 (TIMx_CCEN) .....	1520
20.6.11 捕获/比较寄存器 1 (TIMx_CC DAT1) .....	1522
20.6.12 捕获/比较寄存器 2 (TIMx_CC DAT2) .....	1523
20.6.13 捕获/比较寄存器 3 (TIMx_CC DAT3) .....	1524
20.6.14 捕获/比较寄存器 4 (TIMx_CC DAT4) .....	1525

20.6.15 捕获/比较寄存器 5 (TIMx_CCDA5)	1526
20.6.16 预分频器 (TIMx_PSC)	1526
20.6.17 自动重载寄存器 (TIMx_AR)	1527
20.6.18 计数器 (TIMx_CNT)	1527
20.6.19 重复计数寄存器 (TIMx_REPCNT)	1528
20.6.20 刹车和死区寄存器 (TIMx_BKDT)	1528
20.6.21 刹车1 滤波寄存器 (TIMx_BKFR)	1530
20.6.22 通道1 滤波寄存器 (TIMx_C1FILT)	1531
20.6.23 通道2 滤波寄存器 (TIMx_C2FILT)	1532
20.6.24 通道3 滤波寄存器 (TIMx_C3FILT)	1533
20.6.25 通道4 滤波寄存器 (TIMx_C4FILT)	1534
20.6.26 输入通道滤波输出寄存器 (TIMx_FILTO)	1535
20.6.27 输入选择寄存器 (TIMx_INSEL)	1536
20.6.28 复用功能寄存器 1 (TIMx_AF1)	1537
20.6.29 DMA 控制寄存器 (TIMx_DCTRL)	1539
20.6.30 连续模式的DMA 地址 (TIMx_DADDR)	1540
<b>21 基本定时器 (BTIM1/BTIM2/BTIM3/BTIM4)</b>	<b>1542</b>
21.1 BTIMx (x=1-4) 简介	1542
21.2 BTIMx (x=1-4) 主要特性	1542
21.3 BTIMx (x=1-4) 功能描述	1542
21.3.1 时基单元	1542
21.3.1.1 预分频器描述	1542
21.3.2 计数模式	1543
21.3.2.1 向上计数模式	1543
21.3.3 时钟选择	1546
21.3.3.1 内部时钟源 (CK_INT)	1546
21.3.4 调试模式	1546
21.4 BTIMx (x=1-4) 寄存器描述	1546
21.4.1 控制寄存器 1 (TIMx_CTRL1)	1546
21.4.2 控制寄存器 2 (TIMx_CTRL2)	1547
21.4.3 状态寄存器 (TIMx_STS)	1548
21.4.4 事件产生寄存器 (TIMx_EVTGEN)	1549
21.4.5 DMA/中断使能寄存器 (TIMx_DINTEN)	1549
21.4.6 预分频器 (TIMx_PSC)	1550
21.4.7 自动重载寄存器 (TIMx_AR)	1550
21.4.8 计数器 (TIMx_CNT)	1551
<b>22 低功耗定时器 (LPTIM)</b>	<b>1552</b>
22.1 简介	1552
22.2 主要特性	1552
22.3 功能框图	1553
22.4 功能描述	1554
22.4.1 复位和时钟	1554

22.4.2 分频系数 .....	1554
22.4.3 毛刺滤波器 .....	1554
22.4.4 开启定时器 .....	1555
22.4.5 多路触发器 .....	1555
22.4.6 工作模式 .....	1556
22.4.7 波形发生器 .....	1558
22.4.8 寄存器更新 .....	1559
22.4.9 计数器模式 .....	1560
22.4.10 编码器模式 .....	1560
22.4.11 非正交编码器模式 .....	1561
22.4.12 超时功能 .....	1563
22.4.13 LPTIM 中断 .....	1563
22.5 LPTIM 寄存器 .....	1564
22.5.1 LPTIM 中断状态寄存器 (LPTIM_INTSTS) .....	1564
22.5.2 LPTIM 中断清除寄存器 (LPTIM_INTCLR) .....	1565
22.5.3 LPTIM 中断使能寄存器 (LPTIM_INTEN) .....	1565
22.5.4 LPTIM 配置寄存器 (LPTIM_CFG) .....	1566
22.5.5 LPTIM 控制寄存器 (LPTIM_CTRL) .....	1569
22.5.6 LPTIM 比较寄存器 (LPTIM_CMP) .....	1570
22.5.7 LPTIM 自动重载寄存器 (LPTIM_ARR) .....	1571
22.5.8 LPTIM 计数寄存器 (LPTIM_CNT) .....	1571
22.5.9 LPTIM 选项寄存器 (LPTIM_OPT) .....	1572
<b>23 独立看门狗 (IWDG) .....</b>	<b>1573</b>
23.1 概述 .....	1573
23.2 主要特征 .....	1573
23.3 功能描述 .....	1573
23.3.1 寄存器访问保护 .....	1574
23.3.2 调试模式 .....	1574
23.3.3 IWDG 冻结 .....	1574
23.4 用户界面 .....	1574
23.4.1 操作流程 .....	1574
23.4.2 IWDG 配置流程 .....	1575
23.5 IWDG 寄存器 .....	1575
23.5.1 IWDG 密钥寄存器 (IWDG_KEY) .....	1575
23.5.2 IWDG 状态寄存器 (IWDG_STS) .....	1576
23.5.3 IWDG 预分频寄存器 (IWDG_PREDIV) .....	1576
23.5.4 IWDG 重装载寄存器 (IWDG_RELV) .....	1577
<b>24 窗口看门狗 (WWDG) .....</b>	<b>1579</b>
24.1 概述 .....	1579
24.2 主要特征 .....	1579
24.3 功能描述 .....	1579
24.4 刷新看门狗和中断产生的时序 .....	1581

24.5 调试模式 .....	1582
24.6 用户界面 .....	1582
24.6.1 WWDG 配置流程 .....	1582
24.7 WWDG 寄存器 .....	1582
24.7.1 WWDG 配置寄存器 (WWDG_CFG) .....	1582
24.7.2 WWDG 控制寄存器 (WWDG_CTRL) .....	1583
24.7.3 WWDG 状态寄存器 (WWDG_STS) .....	1583
<b>25 实时时钟(RTC) .....</b>	<b>1585</b>
25.1 简介 .....	1585
25.1.1 主要特性 .....	1586
25.2 RTC 功能描述 .....	1587
25.2.1 RTC 框图 .....	1587
25.2.2 RTC 控制的 GPIO .....	1588
25.2.3 RTC 寄存器写保护 .....	1588
25.2.4 RTC 时钟和预分频 .....	1588
25.2.5 RTC 日历 .....	1589
25.2.6 日历初始化和配置 .....	1589
25.2.7 日历读取 .....	1590
25.2.8 校准时钟输出 .....	1590
25.2.9 可编程闹钟 .....	1591
25.2.10 闹钟配置 .....	1591
25.2.11 闹钟输出 .....	1591
25.2.12 周期性自动唤醒 .....	1591
25.2.13 唤醒定时器配置 .....	1592
25.2.14 时间戳功能 .....	1592
25.2.15 入侵检测 .....	1593
25.2.16 夏令令功能配置 .....	1593
25.2.17 RTC 亚秒寄存器位移操作 .....	1594
25.2.18 RTC 数字时钟精密校准 .....	1594
25.2.19 RTC 低功耗模式 .....	1595
25.2.20 RTC_OUT1(PC13)和 RTC_OUT2(PB2/PI8)配置选中映射关系 .....	1595
25.3 RTC 寄存器 .....	1596
25.3.1 RTC 日历时间寄存器 (RTC_TSH) .....	1596
25.3.2 RTC 日历日期寄存器 (RTC_DATE) .....	1597
25.3.3 RTC 控制寄存器(RTC_CTRL) .....	1597
25.3.4 RTC 初始状态寄存器 (RTC_INITSTS) .....	1600
25.3.5 RTC 预分频寄存器(RTC_PRE) .....	1603
25.3.6 RTC 唤醒定时器寄存器(RTC_WKUPT) .....	1604
25.3.7 RTC 闹钟 A 寄存器(RTC_ALARM_A) .....	1604
25.3.8 RTC 闹钟 B 寄存器 (RTC_ALARM_B) .....	1605
25.3.9 RTC 写保护寄存器(RTC_WRP) .....	1606
25.3.10 RTC 亚秒寄存器(RTC_SUBS) .....	1607
25.3.11 RTC 平移控制寄存器(RTC_SCTRL) .....	1608



25.3.12	RTC 时间戳时间寄存器 (RTC_TST)	1608
25.3.13	RTC 时间戳日期寄存器 (RTC_TSD)	1609
25.3.14	RTC 时间戳亚秒寄存器(RTC_TSSS)	1610
25.3.15	RTC 校准寄存器(RTC_CALIB)	1610
25.3.16	RTC 闹钟 A 亚秒寄存器(RTC_ALRMASS)	1611
25.3.17	RTC 闹钟 B 亚秒寄存器 (RTC_ALRMBSS)	1612
25.3.18	RTC 选项寄存器 (RTC_OPT)	1613
25.3.19	RTC 备份寄存器 (RTC_BKP(1~32))	1614
25.3.20	RTC 入侵配置寄存器 (RTC_TMPCFG)	1614
25.3.21	RTC 入侵控制寄存器 (RTC_TMPCTRLx) (x=[1..8])	1616
<b>26</b>	<b>模拟/数字转换 (ADC)</b>	<b>1618</b>
26.1	简述	1618
26.2	主要特征	1618
26.3	框图	1620
26.4	ADC 引脚与内部信号	1621
26.5	功能描述	1622
26.5.1	ADC 使能-禁用控制	1624
26.5.2	ADC 启动和停止操作	1625
26.5.2.1	ADC 启动操作	1625
26.5.2.2	ADC 停止操作	1626
26.5.3	通道配置	1627
26.5.4	触发源	1632
26.5.5	内部通道	1633
26.5.6	ADC 基本时序	1633
26.5.7	ADC 转换模式	1636
26.5.7.1	单次转换	1637
26.5.7.2	扫描转换	1638
26.5.7.3	连续转换	1639
26.5.7.4	间断转换	1640
26.5.7.5	规则组	1641
26.5.7.6	注入组	1642
26.5.8	自动注入转换	1643
26.5.9	过采样	1644
26.5.10	模式组合	1648
26.5.11	ADC 工作模式	1649
26.5.12	独立模式	1650
26.5.13	双 ADC 模式	1650
26.5.13.1	仅规则同步模式	1651
26.5.13.2	仅规则交叉模式	1653
26.5.13.3	仅注入同步模式	1655
26.5.13.4	仅注入交替触发模式	1656
26.5.13.5	规则同步和注入同步组合模式	1657
26.5.13.6	规则同步和注入交替触发模式	1657

26.5.13.7 规则交叉和注入同步结合模式.....	1658
26.5.13.8 双 ADC 模式下的转换停止.....	1658
26.5.14 三 ADC 模式.....	1659
26.5.14.1 仅规则同步模式.....	1660
26.5.14.2 仅规则交叉模式.....	1660
26.5.14.3 仅注入同步模式.....	1661
26.5.14.4 仅注入交替触发模式.....	1661
26.5.14.5 规则同步和注入同步结合.....	1662
26.5.14.6 规则同步和注入交替触发结合.....	1662
26.5.14.7 规则交叉和注入同步结合.....	1663
26.5.14.8 三 ADC 模式下的停止转换.....	1663
26.6 ADC 校准.....	1663
26.6.1 ADC 校准时序.....	1663
26.6.2 ADC 校准配置.....	1664
26.7 偏移补偿.....	1665
26.8 增益补偿.....	1666
26.9 数据对齐.....	1666
26.10 数据管理.....	1667
26.10.1 数据格式.....	1668
26.10.1.1 常规格式.....	1668
26.10.1.2 增益补偿格式.....	1669
26.10.1.3 过采样格式.....	1671
26.10.2 FIFO 缓冲(仅适用于规则转换).....	1672
26.10.3 DMA 管理数据(仅适用于规则转换).....	1673
26.10.3.1 多 ADC 模式下的 DMA 请求.....	1676
26.10.3.2 DSMU 管理数据(仅适用于规则转换).....	1678
26.10.3.3 多 ADC 模式下的 DSMU 传输.....	1679
26.10.4 溢出/下溢检测(仅适用于规则转换).....	1680
26.10.5 数据清除.....	1681
26.11 模拟看门狗.....	1681
26.11.1 AWDx 标志位与中断.....	1681
26.11.2 模拟看门狗 1.....	1681
26.11.3 模拟看门狗 2、3.....	1682
26.11.4 ADCy_AWDx_OUT 信号输出生成.....	1682
26.12 温度传感器.....	1682
26.12.1 温度值测量.....	1683
26.13 中断.....	1683
26.14 寄存器.....	1684
26.14.1 ADC 状态寄存器 (ADC_STS).....	1684
26.14.2 ADC 控制寄存器 1 (ADC_CTRL1).....	1686
26.14.3 ADC 状态寄存器 2 (ADC_CTRL2).....	1689
26.14.4 ADC 控制寄存器 3 (ADC_CTRL3).....	1693
26.14.5 ADC 采样时间寄存器 1 (ADC_SAMPT1).....	1695
26.14.6 ADC 采样时间寄存器 2 (ADC_SAMPT2).....	1696

26.14.7 ADC 采样时间寄存器 3 (ADC_SAMPT3) .....	1697
26.14.8 ADC 差分模式选择寄存器 (ADC_DIFSEL) .....	1698
26.14.9 ADC 模拟看门狗输出定时器寄存器 x (ADC_AWDOTIM) .....	1698
26.14.10 ADC 数据偏移寄存器 x (ADC_OFFSETx) (x=1..4) .....	1699
26.14.11 ADC 看门狗 1 高阈值寄存器 (ADC_AWD1HIGH) .....	1700
26.14.12 ADC 看门狗 1 低阈值寄存器 (ADC_AWD1LOW) .....	1700
26.14.13 ADC 看门狗 2 高阈值寄存器 (ADC_AWD2HIGH) .....	1701
26.14.14 ADC 看门狗 2 低阈值寄存器 (ADC_AWD2LOW) .....	1701
26.14.15 ADC 看门狗 3 高阈值寄存器 (ADC_AWD3HIGH) .....	1702
26.14.16 ADC 看门狗 3 低阈值寄存器 (ADC_AWD3LOW) .....	1702
26.14.17 ADC 模拟看门狗 2 配置寄存器 (ADC_AWD2EN) .....	1703
26.14.18 ADC 模拟看门狗 3 配置寄存器 (ADC_AWD3EN) .....	1703
26.14.19 ADC 模拟看门狗 2 中断使能寄存器 (ADC_AWD2INTEN) .....	1704
26.14.20 ADC 模拟看门狗 3 中断使能寄存器 (ADC_AWD3INTEN) .....	1704
26.14.21 ADC 模拟看门狗 2 状态寄存器 (ADC_AWD2STS) .....	1705
26.14.22 ADC 模拟看门狗 3 状态寄存器 (ADC_AWD3STS) .....	1705
26.14.23 ADC 规则序列寄存器 1 (ADC_RSEQ1) .....	1706
26.14.24 ADC 规则序列寄存器 2 (ADC_RSEQ2) .....	1706
26.14.25 ADC 规则序列寄存器 3 (ADC_RSEQ3) .....	1707
26.14.26 ADC 规则序列寄存器 4 (ADC_RSEQ4) .....	1708
26.14.27 ADC 注入序列寄存器 (ADC_JSEQ) .....	1708
26.14.28 ADC 注入数据寄存器 x (ADC_JDATx) (x = 1..4) .....	1709
26.14.29 ADC 规则数据寄存器 (ADC_DAT) .....	1709
26.14.30 ADC FIFO 配置寄存器 (ADC_FIFOCFG) .....	1710
26.14.31 ADC FIFO 状态寄存器 (ADC_FIFOSTS) .....	1711
26.14.32 ADC 延迟采样寄存器 (ADC_DLYSMP) .....	1712
26.14.33 ADC 过采样寄存器 (ADC_OSCFG) .....	1713
26.14.34 ADC 内部寄存器配置寄存器 (ADC_INTLRCFG) .....	1715
26.14.35 ADC 增益补偿寄存器 (ADC_GCOMP) .....	1715
26.14.36 ADC 上电配置寄存器 (ADC_PUCFG) .....	1716
<b>27 数字/模拟转换 (DAC) .....</b>	<b>1718</b>
27.1 简述 .....	1718
27.1.1 主要特征 .....	1718
27.2 DAC 概述 .....	1718
27.3 DAC 功能描述与操作说明 .....	1720
27.3.1 DAC 开启 .....	1720
27.3.2 DAC 输出缓冲器 .....	1720
27.3.3 DAC 数据格式 .....	1720
27.3.3.1 数据对齐 .....	1720
27.3.3.2 有符号/无符号数据 .....	1722
27.3.4 DAC 触发 .....	1722
27.3.5 DAC 转换 .....	1724
27.3.6 DAC 输出电压 .....	1725

27.3.7 DMA 请求.....	1725
27.3.7.1 DMA 下溢.....	1726
27.3.7.2 DMA 双数据模式.....	1726
27.3.8 噪声产生.....	1726
27.3.9 三角波产生.....	1727
27.3.10 锯齿波产生.....	1728
27.3.11 DAC 缓冲器校准.....	1730
27.4 双 DAC 转换操作.....	1731
27.4.1 不使用波形发生器的独立触发.....	1731
27.4.2 产生相同噪声的独立触发.....	1731
27.4.3 产生不同噪声的独立触发.....	1732
27.4.4 产生相同三角波的独立触发.....	1732
27.4.5 产生不同三角波的独立触发.....	1733
27.4.6 产生相同锯齿波的独立触发.....	1733
27.4.7 产生不同锯齿波的独立触发.....	1733
27.4.8 同时软件启动.....	1734
27.4.9 不使用波形发生器的同步触发.....	1734
27.4.10 产生相同噪声的同步触发.....	1735
27.4.11 产生不同噪声的同步触发.....	1735
27.4.12 产生相同三角波的同步触发.....	1735
27.4.13 产生不同三角波的同步触发.....	1736
27.4.14 产生相同锯齿波的同步触发.....	1736
27.4.15 产生不同锯齿波的同步触发.....	1737
27.5 DAC 中断.....	1737
27.6 DAC 寄存器.....	1737
27.6.1 DACxy 控制寄存器 (DACxy_CTRL) (xy = 12、34、56).....	1737
27.6.2 DACxy 软件触发寄存器 (DACxy_SOTTR).....	1741
27.6.3 DACx 数据输出寄存器 (DACx_DATO).....	1742
27.6.4 DACy 数据输出寄存器 (DACy_DATO).....	1742
27.6.5 DACx 的 8 位右对齐数据保持寄存器 (DACx_DR8).....	1743
27.6.6 DACx 的 12 位左对齐数据保持寄存器 (DACx_DL12).....	1743
27.6.7 DACx 的 12 位右对齐数据保持寄存器 (DACx_DR12).....	1744
27.6.8 DACy 的 8 位右对齐数据保持寄存器 (DACy_DR8).....	1744
27.6.9 DACy 的 12 位左对齐数据保持寄存器 (DACy_DL12).....	1745
27.6.10 DACy 的 12 位右对齐数据保持寄存器 (DACy_DR12).....	1745
27.6.11 双 DACxy 的 8 位右对齐数据保持寄存器 (DACxy_DR8D).....	1746
27.6.12 双 DACxy 的 12 位左对齐数据保持寄存器 (DACxy_DL12D).....	1746
27.6.13 双 DACxy 的 12 位右对齐数据保持寄存器 (DACxy_DR12D).....	1747
27.6.14 DACxy 选择控制寄存器 (DACxy_SELCTRL).....	1747
27.6.15 DACxy 状态寄存器 (DACxy_STS).....	1752
27.6.16 DACxy 通用控制寄存器 (DACxy_GCTRL).....	1753
27.6.17 DACxy 锯齿波步进寄存器 (DACxy_STINC).....	1754
27.6.18 DACxy 锯齿波复位寄存器 (DACxy_STRST).....	1755
27.6.19 DACxy 校准控制寄存器 (DACxy_CALC).....	1755

<b>28 比较器 (COMP)</b> .....	<b>1757</b>
28.1 COMP 系统连接框图 .....	1757
28.2 COMP 特性 .....	1758
28.3 COMP 配置流程 .....	1759
28.4 COMP 工作模式 .....	1759
28.4.1 窗口比较器 .....	1759
28.4.2 独立比较器 .....	1759
28.5 比较器互联关系 .....	1760
28.6 中断 .....	1760
28.7 寄存器 .....	1761
28.7.1 COMP1 控制寄存器 (COMP1_CTRL) .....	1761
28.7.2 COMP1 滤波控制寄存器 (COMP1_FILC) .....	1763
28.7.3 COMP1 滤波时钟寄存器 (COMP1_FILP) .....	1763
28.7.4 COMP2 控制寄存器 (COMP2_CTRL) .....	1764
28.7.5 COMP2 滤波控制寄存器 (COMP2_FILC) .....	1766
28.7.6 COMP2 滤波时钟寄存器 (COMP2_FILP) .....	1767
28.7.7 COMP3 控制寄存器 (COMP3_CTRL) .....	1767
28.7.8 COMP3 滤波控制寄存器 (COMP3_FILC) .....	1769
28.7.9 COMP3 滤波时钟寄存器 (COMP3_FILP) .....	1770
28.7.10 COMP4 控制寄存器 (COMP4_CTRL) .....	1770
28.7.11 COMP4 滤波控制寄存器 (COMP4_FILC) .....	1772
28.7.12 COMP4 滤波时钟寄存器 (COMP4_FILP) .....	1773
28.7.13 比较器低功耗模式寄存器 (COMP_LPMODE) .....	1773
28.7.14 COMP 窗口比较寄存器 (COMP_WINMODE) .....	1774
28.7.15 COMP 锁寄存器 (COMP_LOCK) .....	1774
28.7.16 COMP 中断使能寄存器 (COMP_INTEN) .....	1775
28.7.17 COMP 中断状态寄存器 (COMP_INTSTS) .....	1776
28.7.18 COMP 输出到定时器使能寄存器 (COMP_OTIMEN) .....	1776
<b>29 电压参考缓冲器 (VREFBUF)</b> .....	<b>1778</b>
29.1 简介 .....	1778
29.2 功能描述 .....	1778
29.2.1 电压参考缓冲器挡位选择 .....	1778
29.2.2 电压参考缓冲器模式选择 .....	1778
29.2.3 VREFBUF 修调 .....	1779
29.3 寄存器 .....	1779
29.3.1 VREFBUF 修调寄存器 .....	1779
29.3.2 VREFBUF 状态寄存器 (VREFBUF_STS) .....	1780
29.3.3 VREFBUF 控制寄存器 1 (VREFBUF_CTRL1) .....	1780
29.3.4 VREFBUF 控制寄存器 2 (VREFBUF_CTRL2) .....	1781
29.3.5 VREFBUF 修调寄存器 2 (VREFBUF_TRIM2) .....	1781
<b>30 滤波算法加速器 (FMAC)</b> .....	<b>1783</b>
30.1 FMAC 简介 .....	1783

30.2 FMAC 主要特性 .....	1783
30.3 FMAC 功能描述 .....	1784
30.3.1 通用描述 .....	1784
30.3.2 缓冲区 .....	1784
30.3.3 输入缓冲区 .....	1785
30.3.4 输出缓冲区 .....	1787
30.3.5 初始化函数 .....	1788
30.3.6 滤波器函数 .....	1789
30.3.7 定点数据格式 .....	1791
30.3.8 FIR 滤波器 .....	1791
30.3.9 IIR 滤波器 .....	1792
30.4 FMAC 寄存器 .....	1794
30.4.1 FMAC 寄存器总览 .....	1794
30.4.2 FMAC X1 缓冲区配置寄存器 (FMAC_X1BUFCFG) .....	1794
30.4.3 FMAC X2 缓冲区配置寄存器 (FMAC_X2BUFCFG) .....	1795
30.4.4 FMAC Y 缓冲区配置寄存器 (FMAC_YBUFCFG) .....	1796
30.4.5 FMAC 参数配置寄存器 (FMAC_PARAMCFG) .....	1796
30.4.6 FMAC 控制寄存器 (FMAC_CTRL) .....	1797
30.4.7 FMAC 状态寄存器 (FMAC_STS) .....	1799
30.4.8 FMAC 写数据寄存器 (FMAC_WDAT) .....	1800
30.4.9 FMAC 读数据寄存器 (FMAC_RDAT) .....	1800
<b>31 CORDIC 处理器 (CORDIC) .....</b>	<b>1802</b>
31.1 简介 .....	1802
31.2 主要特性 .....	1802
31.3 功能框图 .....	1802
31.4 功能描述 .....	1803
31.4.1 CORDIC 函数 .....	1803
31.4.2 数据格式 .....	1807
31.4.3 比例因子 .....	1808
31.4.4 精度 .....	1808
31.4.5 工作模式 .....	1810
31.4.5.1 零开销模式 .....	1810
31.4.5.2 轮询模式 .....	1811
31.4.5.3 中断模式 .....	1811
31.4.5.4 DMA 模式 .....	1811
31.5 CORDIC 寄存器 .....	1813
31.5.1 CORDIC 寄存器总览 .....	1813
31.5.2 CORDIC 控制状态寄存器 (CORDIC_CTRLSTS) .....	1814
31.5.3 CORDIC 写数据寄存器 (CORDIC_WDAT) .....	1816
31.5.4 CORDIC 读数据寄存器 (CORDIC_RDAT) .....	1817
<b>32 适用于 <math>\Sigma\Delta</math> 调制器的数字滤波器(DSMU).....</b>	<b>1819</b>
32.1 简介 .....	1819

32.2 主要特性 .....	1819
32.3 功能资源 .....	1820
32.4 DSMU 功能描述 .....	1821
32.4.1 DSMU 框图 .....	1821
32.4.2 DSMU 信号 .....	1822
32.4.2.1 外部信号连接 .....	1822
32.4.2.2 外部触发信号 .....	1822
32.4.2.3 刹车信号连接 .....	1823
32.4.3 DSMU 复位和时钟 .....	1823
32.4.3.1 DSMU 时钟 .....	1823
32.4.3.2 时钟配置序列 .....	1824
32.4.4 串行通道收发器 .....	1824
32.4.4.1 通道输入选择 .....	1824
32.4.4.2 输出时钟配置 .....	1825
32.4.4.3 SPI 数据输入格式操作 .....	1825
32.4.4.4 曼彻斯特编码数据输入格式操作 .....	1826
32.4.4.5 时钟缺失检测 .....	1826
32.4.4.6 曼彻斯特/SPI 格式数据同步 .....	1827
32.4.4.7 外部串行时钟频率测量 .....	1828
32.4.4.8 通道偏移校准设置 .....	1828
32.4.4.9 数据右移 .....	1829
32.4.4.10 配置输入串行接口 .....	1829
32.4.5 并行通道收发器 .....	1829
32.4.5.1 从内部 ADC 输入 .....	1830
32.4.5.2 从存储器输入(通过 CPU/DMA 直接写入) .....	1830
32.4.6 通道选择 .....	1831
32.4.7 数字滤波器配置 .....	1832
32.4.8 积分器单元 .....	1833
32.4.9 模拟看门狗 .....	1834
32.4.10 短路检测器 .....	1835
32.4.11 极值检测器 .....	1836
32.4.12 数据输出单元 .....	1836
32.4.13 有符号数据格式 .....	1837
32.4.14 启动转换 .....	1837
32.4.14.1 注入转换 (Injected conversion) .....	1837
32.4.14.2 规则转换 (Regular conversions) .....	1838
32.4.15 连续和快速模式 .....	1838
32.4.16 请求优先级 .....	1838
32.4.17 DSMU 中断 .....	1839
32.4.18 DSMU DMA 传输 .....	1841
32.5 DSMU 寄存器 .....	1842
32.5.1 DSMU 寄存器总览 .....	1842
32.5.2 DSMU 通道 y 配置寄存器 1 (DSMU_CHyCFG1) .....	1848
32.5.3 DSMU 通道 y 配置寄存器 2 (DSMU_CHyCFG2) .....	1850

32.5.4 DSMU 通道 y 短路检测与模拟看门狗寄存器(DSMU_CHyAWDSCDET).....	1851
32.5.5 DSMU 通道 y 看门狗滤波结果寄存器(DSMU_CHyAWDDAT) .....	1852
32.5.6 DSMU 通道 y 输入数据寄存器(DSMU_CHyDATIN) .....	1852
32.5.7 DSMU 滤波器 x 控制寄存器 1 (DSMU_FLTxCTRL1).....	1853
32.5.8 DSMU 滤波器 x 控制寄存器 2 (DSMU_FLTxCTRL2).....	1856
32.5.9 DSMU 滤波器 x 状态寄存器 (DSMU_FLTxSTS).....	1857
32.5.10 DSMU 滤波器中断标志清除寄存器 (DSMU_FLTxINTCLR).....	1859
32.5.11 DSMU 滤波器 x 注入通道组寄存器(DSMU_FLTxJCHG) .....	1860
32.5.12 DSMU 滤波器 x 配置寄存器 (DSMU_FLTxFCTRL).....	1861
32.5.13 DSMU 滤波器 x 注入转换结果寄存器 (DSMU_FLTxJDAT).....	1862
32.5.14 DSMU 滤波器 x 规则转换结果寄存器 (DSMU_FLTxRDAT).....	1862
32.5.15 DSMU 滤波器 x 模拟看门狗高阈值寄存器(DSMU_FLTxAWDHT).....	1863
32.5.16 DSMU 滤波器 x 模拟看门狗低阈值寄存器 (DSMU_FLTxAWDLT).....	1864
32.5.17 DSMU 滤波器 x 模拟看门狗状态寄存器(DSMU_FLTxAWDSTS) .....	1864
32.5.18 DSMU 滤波器 x 模拟看门狗清除标志寄存器 (DSMU_FLTxAWDCLR) .....	1865
32.5.19 DSMU 滤波器 x 极值检测器最大值寄存器 (DSMU_FLTxEXDETMAX).....	1866
32.5.20 DSMU 滤波器 x 极值检测器最小值寄存器 (DSMU_FLTxEXDETMIN) .....	1866
32.5.21 DSMU 滤波器 x 转换时间寄存器 (DSMU_FLTxCOVTIM) .....	1867
<b>33 通用同步异步收发器(USART) .....</b>	<b>1868</b>
33.1 概述 .....	1868
33.2 主要特性 .....	1868
33.3 功能框图 .....	1869
33.4 功能描述 .....	1869
33.4.1 USART 帧格式 .....	1870
33.4.2 USART FIFO 和阈值 .....	1871
33.4.3 发送器 .....	1872
33.4.3.1 空闲帧 .....	1872
33.4.3.2 字符发送 .....	1872
33.4.3.3 停止位 .....	1872
33.4.3.4 断开帧 .....	1873
33.4.3.5 发送流程 .....	1873
33.4.3.6 单字节通信 .....	1873
33.4.4 接收器 .....	1874
33.4.4.1 起始位检测 .....	1874
33.4.4.2 停止位 .....	1875
33.4.4.3 接收流程 .....	1875
33.4.4.4 空闲帧检测 .....	1876
33.4.4.5 断开帧检测 .....	1876
33.4.4.6 帧错误 .....	1876
33.4.4.7 溢出错误 .....	1876
33.4.4.8 噪声错误 .....	1876
33.4.5 分数波特率计算 .....	1877
33.4.5.1 分频系数 USARTDIV 与 USART_BRCF 寄存器配置 .....	1877



33.4.6 USART 接收器容忍时钟的变化 .....	1880
33.4.7 校验控制 .....	1880
33.4.8 DMA 通信 .....	1881
33.4.8.1 DMA 发送 .....	1881
33.4.8.2 DMA 接收 .....	1882
33.4.9 硬件流控 .....	1883
33.4.9.1 RTS 流控制 .....	1883
33.4.9.2 CTS 流控制 .....	1884
33.4.10 多处理器通信 .....	1884
33.4.10.1 空闲总线检测 .....	1885
33.4.10.2 地址标识检测 .....	1885
33.4.11 同步模式 .....	1886
33.4.11.1 同步时钟 .....	1886
33.4.11.2 同步发送 .....	1886
33.4.11.3 同步接收 .....	1886
33.4.12 单线半双工模式 .....	1888
33.4.13 接收器超时 .....	1889
33.4.14 数据错误丢弃功能 .....	1889
33.4.15 串行 IrDA 红外编解码模式 .....	1889
33.4.15.1 IrDA 正常模式 .....	1889
33.4.15.2 IrDA 低功耗模式 .....	1890
33.4.16 LIN 模式 .....	1891
33.4.16.1 LIN 发送 .....	1891
33.4.16.2 LIN 接收 .....	1891
33.4.17 智能卡模式 (ISO7816) .....	1893
33.5 中断请求 .....	1895
33.6 模式配置 .....	1898
33.7 USART 寄存器 .....	1898
33.7.1 USART 控制寄存器 1(USART_CTRL1) .....	1898
33.7.2 USART 控制寄存器 2(USART_CTRL2) .....	1901
33.7.3 USART 控制寄存器 3(USART_CTRL3) .....	1903
33.7.4 USART 状态寄存器 (USART_STS) .....	1904
33.7.5 USART 数据寄存器(USART_DAT) .....	1907
33.7.6 USART 波特率配置寄存器 (USART_BRCF) .....	1908
33.7.7 USART 保护时间和预分频寄存器(USART_GTP) .....	1908
33.7.8 USART FIFO 寄存器(USART_FIFO) .....	1909
33.7.9 USART 空闲帧宽度寄存器(USART_IFW) .....	1911
33.7.10 USART 接收超时宽度寄存器(USART_RTO) .....	1911
<b>34 低功耗通用异步接收器 (LPUART) .....</b>	<b>1912</b>
34.1 概述 .....	1912
34.2 主要特性 .....	1912
34.3 功能框图 .....	1913
34.4 功能描述 .....	1913

34.4.1 LPUART 帧格式.....	1914
34.4.2 发送器.....	1914
34.4.2.1 发送流程.....	1915
34.4.3 接收器.....	1916
34.4.3.1 起始位侦测.....	1916
34.4.3.2 接收流程.....	1916
34.4.3.3 溢出错误.....	1917
34.4.3.4 噪音错误.....	1917
34.4.4 分数波特率的产生.....	1918
34.4.4.1 通过 LPUART_BRCFG1 及 LPUART_BRRCFG2 设置波特率.....	1919
34.4.5 检验控制.....	1920
34.4.6 DMA 应用.....	1920
34.4.6.1 DMA 发送.....	1920
34.4.6.2 DMA 接收.....	1921
34.4.7 硬件流控.....	1922
34.4.7.1 RTS 流控制.....	1922
34.4.7.2 CTS 流控制.....	1923
34.4.8 低功耗唤醒.....	1924
34.5 中断请求.....	1924
34.6 LPUART 寄存器.....	1925
34.6.1 LPUART 状态寄存器 (LPUART_STS).....	1925
34.6.2 LPUART 中断使能寄存器 (LPUART_INTEN).....	1926
34.6.3 LPUART 控制寄存器 (LPUART_CTRL).....	1928
34.6.4 LPUART 波特率配置寄存器 1 (LPUART_BRCFG1).....	1930
34.6.5 LPUART 发送数据寄存器 (LPUART_TXDAT).....	1930
34.6.6 LPUART 波特率配置寄存器 2 (LPUART_BRCFG2).....	1931
34.6.7 LPUART 唤醒数据寄存器 (LPUART_WUDAT1).....	1931
34.6.8 LPUART 唤醒数据寄存器 (LPUART_WUDAT2).....	1931
34.6.9 LPUART 接收数据寄存器 (LPUART_RXDAT).....	1932
<b>35 内部集成电路总线(I2C).....</b>	<b>1933</b>
35.1 概述.....	1933
35.2 I2C 主要特性.....	1933
35.3 I2C 框图.....	1934
35.4 功能描述.....	1934
35.4.1 时钟要求.....	1934
35.4.2 模式选择.....	1935
35.4.2.1 I2C 初始化.....	1935
35.4.2.2 数据传输.....	1936
35.4.3 硬件传输管理.....	1936
35.4.4 I2C 从机模式.....	1937
35.4.4.1 I2C 从机初始化.....	1937
35.4.4.2 从器件字节控制模式.....	1938
35.4.4.3 从发送器.....	1939

35.4.4.3.1 发送示例序列.....	1939
35.4.4.3.2 无延长发送示例序列.....	1940
35.4.4.3.3 TXFIFO 传输的示例序列.....	1940
35.4.4.3.4 TXFIFO 实现无延长发送的示例序列.....	1941
35.4.4.4 从接收器.....	1941
35.4.4.4.1 DMA 接收的示例序列.....	1941
35.4.5 I2C 主机模式.....	1942
35.4.5.1 I2C 主机初始化.....	1942
35.4.5.2 主发送器.....	1943
35.4.5.2.1 TXFIFO 进行传输的示例序列.....	1944
35.4.5.2.2 高速模式进行传输的示例序列.....	1944
35.4.5.3 主接收器.....	1945
35.4.5.3.1 重复起始条件接收数据的示例序列.....	1945
35.4.5.3.2 RXFIFO 接收数据的示例序列.....	1946
35.4.6 I2C_BUSTM 与 I2C_HSBUSTIM 配置示例.....	1947
35.4.7 SMBus 特征.....	1947
35.4.7.1 总线协议.....	1947
35.4.7.2 SMBus 初始化.....	1948
35.4.7.3 SMBus 从发送器.....	1950
35.4.7.3.1 CRC+DMA 进行传输的示例序列.....	1950
35.4.7.4 SMBus 从接受器.....	1950
35.4.7.4.1 CRC+10 位地址进行接收的示例序列.....	1951
35.4.7.5 SMBus 主发送器.....	1951
35.4.7.5.1 CRC+DMA 进行传输的示例序列.....	1951
35.4.7.6 SMBus 主接受器.....	1952
35.4.7.7 CRC 接收的示例序列.....	1952
35.4.8 错误情况.....	1952
35.4.9 使用 DMA 进行发送.....	1954
35.4.10 使用 DMA 进行接收.....	1955
35.4.11 FIFO 控制器的限制.....	1955
35.4.12 I2C 中断.....	1955
35.4.13 I2C 调试模式.....	1956
35.5 I2C 寄存器.....	1956
35.5.1 I2C 控制寄存器 1(I2C_CTRL1).....	1956
35.5.2 I2C 控制寄存器 2(I2C_CTRL2).....	1958
35.5.3 I2C 自身地址寄存器 1(I2C_ADR1).....	1960
35.5.4 I2C 自身地址寄存器 2(I2C_ADR2).....	1960
35.5.5 I2C 时序寄存器(I2C_BUSTM).....	1961
35.5.6 I2C 超时寄存器 (I2C_TMOUTR).....	1962
35.5.7 I2C 中断和状态寄存器(I2C_STSINT).....	1963
35.5.8 I2C 中断清零寄存器(I2C_INTCLR).....	1965
35.5.9 I2C PEC 寄存器(I2C_CRCR).....	1966
35.5.10 I2C 接收数据寄存器(I2C_RDR).....	1966
35.5.11 I2C 发送数据寄存器(I2C_WDR).....	1967

35.5.12 I2C 高速时序寄存器(I2C_HSBUSTM).....	1967
35.5.13 FIFO 控制与状态寄存器(I2C_FIFOCSR).....	1968
35.5.14 I2C 快速命令地址寄存器(I2C_QCMD).....	1969
35.5.15 I2C 模拟噪声滤波器寄存器(I2C_GFLTRCTRL).....	1970
<b>36 串行外设接口/内置音频总线 (SPI/I2S) .....</b>	<b>1971</b>
36.1 简介 .....	1971
36.1.1 SPI 简介 .....	1971
36.1.2 I2S 简介 .....	1971
36.2 主要特征 .....	1971
36.2.1 SPI 主要特征 .....	1971
36.2.2 I2S 主要特征 .....	1971
36.3 SPI 功能描述 .....	1972
36.3.1 SPI 工作原理 .....	1972
36.3.1.1 通用描述 .....	1972
36.3.1.2 NSS 引脚管理 .....	1973
36.3.1.3 SPI 时序模式.....	1975
36.3.1.4 数据格式 .....	1976
36.3.1.5 CRC 计算 .....	1976
36.3.1.6 FIFO 功能.....	1977
36.3.2 用户配置过程 .....	1977
36.3.2.1 配置 SPI 为从模式.....	1977
36.3.2.2 配置 SPI 为主模式.....	1978
36.3.2.3 配置 SPI 单工通信.....	1979
36.3.3 数据传输和接收过程 .....	1980
36.3.3.1 接收和传输 Buffers.....	1980
36.3.3.2 主模式下启动传输.....	1980
36.3.3.3 主模式下启动接收.....	1981
36.3.3.4 数据收发处理.....	1981
36.3.3.5 主模式或从模式下的全双工收发流程 .....	1982
36.3.3.6 主模式或从模式下的双线单向收发流程 .....	1983
36.3.3.7 双向传输流程.....	1984
36.3.3.8 主机双线单向仅接收模式 (SPI_CTRL1.MSEL = 1, SPI_CTRL1.BIDIMODE = 0, SPI_CTRL1.RONLY = 1) .....	1984
36.3.3.9 双向接收流程 (BIDIMODE=1 且 BIDIOE=0) .....	1985
36.3.3.10 连续传输与非连续传输.....	1985
36.3.3.11 SPI 初始化过程.....	1986
36.3.3.12 SPI 协议基本的发送和接收处理 .....	1986
36.3.4 CRC 计算 .....	1986
36.3.5 状态标志 .....	1988
36.3.6 关闭 SPI.....	1988
36.3.7 使用 DMA 进行 SPI 通讯.....	1989
36.3.8 错误标志位 .....	1990
36.3.9 SPI 中断.....	1991

36.4 I2S 功能描述.....	1992
36.4.1 I2S 全双工 .....	1993
36.4.2 支持的音频协议 .....	1994
36.4.2.1 I2S 飞利浦标准 .....	1995
36.4.2.2 MSB 对齐标准 .....	1996
36.4.2.3 LSB 对齐标准 .....	1997
36.4.2.4 PCM 标准 .....	1998
36.4.3 时钟发生器 .....	1999
36.4.4 I <sup>2</sup> S 发送和接收流程 .....	2001
36.4.5 I2S 主模式 .....	2002
36.4.5.1 主模式发送流程.....	2002
36.4.5.2 主模式接收流程.....	2002
36.4.6 I2S 从模式（全双工） .....	2003
36.4.6.1 从模式发送流程.....	2003
36.4.6.2 从模式接收流程.....	2004
36.4.7 状态标识 .....	2004
36.4.8 错误标志位 .....	2005
36.4.9 I2S 中断 .....	2005
36.4.10 DMA 功能.....	2005
36.5 SPI 和 I2S 寄存器 .....	2006
36.5.1 SPI 控制寄存器 1（SPI_CTRL1）(I2S 模式下不使用).....	2006
36.5.2 SPI 控制寄存器 2（SPI_CTRL2） .....	2008
36.5.3 SPI 状态寄存器（SPI_STS） .....	2009
36.5.4 SPI 数据寄存器（SPI_DAT） .....	2011
36.5.5 SPI 发送 CRC 寄存器（SPI_CRCTDAT） .....	2012
36.5.6 SPI 接收 CRC 寄存器（SPI_CRCRDAT） .....	2012
36.5.7 SPI CRC 多项式寄存器（SPI_CRCPOLY） .....	2013
36.5.8 SPI_I2S 配置寄存器（SPI_I2S_CFGR） .....	2013
36.5.9 SPI_I2S 预分频寄存器（SPI_I2S_PREDIV） .....	2014
36.5.10 SPI 接收 FIFO 数据寄存器（SPI_RX_FIFO） .....	2015
36.5.11 SPI FIFO 个数配置寄存器（SPI_FIFO_NUM） .....	2015
36.5.12 SPI FIFO 计数配置寄存器（SPI_FIFO_CNT） .....	2016
36.5.13 SPI 传输个数配置寄存器（SPI_TRANS_NUM） .....	2016
36.5.14 SPI 时钟采样延迟寄存器（SPI_CR3） .....	2017
36.5.15 I2S_EXT 控制寄存器（I2S_CTRL2） .....	2017
36.5.16 I2S_EXT 状态寄存器（I2S_STS） .....	2018
36.5.17 I2S_EXT 数据寄存器（I2S_DAT） .....	2019
36.5.18 I2S_EXT 配置寄存器（I2S_CFGR） .....	2020
<b>37 多线串行外设接口（xSPI） .....</b>	<b>2022</b>
37.1 xSPI 简介 .....	2022
37.2 xSPI 主要特性 .....	2022
37.3 xSPI 框图 .....	2023
37.4 功能描述 .....	2023

37.4.1 xSPI 命令序列 .....	2023
37.4.2 xSPI 编程指南 .....	2024
37.4.2.1 xSPI 间接模式 .....	2024
37.4.2.1.1 xSPI 间接发送操作 .....	2025
37.4.2.1.2 xSPI 间接接收操作 .....	2027
37.4.2.1.3 CTRL0 寄存器 .....	2029
37.4.2.1.4 CTRL1 寄存器 .....	2030
37.4.2.1.5 BAUDR 寄存器 .....	2031
37.4.2.1.6 TXFT 寄存器 .....	2031
37.4.2.1.7 RXFT 寄存器 .....	2031
37.4.2.1.8 ENH_CTRL0 寄存器 .....	2031
37.4.2.1.9 SLAVE_EN 寄存器 .....	2032
37.4.2.1.10 STS 寄存器 .....	2032
37.4.2.1.11 DATx 寄存器 .....	2033
37.4.2.2 DMA 模式 .....	2033
37.4.2.2.1 DMA_CTRL 寄存器 .....	2033
37.4.2.2.2 DMATDL_CTRL 寄存器 .....	2033
37.4.2.2.3 DMARDL_CTRL 寄存器 .....	2033
37.4.2.3 XIP 模式 .....	2033
37.4.2.3.1 XIP_INCR_TOC 寄存器 .....	2034
37.4.2.3.2 XIP_WRAP_TOC 寄存器 .....	2034
37.4.2.3.3 XIP_CTRL 寄存器 .....	2034
37.4.2.3.4 XIP_SLAVE_EN 寄存器 .....	2035
37.4.3 大小端 .....	2035
37.4.4 数据传输 .....	2037
37.4.5 时钟分频比 .....	2037
37.4.5.1 主设备 .....	2037
37.4.5.2 从设备 .....	2038
37.4.6 接收与发送 FIFO .....	2038
37.4.7 增强型 SPI .....	2039
37.4.7.1 增强型写操作 .....	2039
37.4.7.2 增强型读操作 .....	2042
37.4.8 接收数据 (RXD) 采样延迟 .....	2044
37.4.9 读数据选通信号 .....	2045
37.4.10 时钟延展 .....	2045
37.4.11 双倍数据速率 (DDR, Dual-Data Rate) .....	2046
37.4.12 Hyperbus 协议 .....	2047
37.4.12.1 读事务 .....	2049
37.4.12.2 写事务 .....	2049
37.4.13 XIP 模式 .....	2050
37.4.13.1 XIP 传输 .....	2051
37.4.13.2 AHB 等待传输 .....	2052
37.4.13.3 提前突发终止 (Early Burst Termination) .....	2052
37.4.13.4 模式位支持 .....	2052

37.4.14 XIP 模式下的连续传输.....	2052
37.4.15 XIP 模式下的数据预取.....	2053
37.4.16 DMA 控制接口.....	2054
37.4.17 错误响应.....	2055
37.4.18 寄存器.....	2055
37.4.18.1 xSPI 控制寄存器 0 (XSPI_CTRL0) .....	2055
37.4.18.2 xSPI 控制寄存器 1 (XSPI_CTRL1) .....	2059
37.4.18.3 xSPI 使能寄存器 (XSPI_EN) .....	2059
37.4.18.4 xSPI MW 控制寄存器 (XSPI_MW_CTRL) .....	2060
37.4.18.5 xSPI 从设备使能寄存器 (XSPI_SLAVE_EN) .....	2060
37.4.18.6 xSPI 波特率选择寄存器 (XSPI_BAUD) .....	2061
37.4.18.7 xSPI 发送缓存阈值寄存器 (XSPI_TXFT) .....	2062
37.4.18.8 xSPI 接收缓存阈值寄存器 (XSPI_RXFT) .....	2062
37.4.18.9 xSPI 发送缓存数据量寄存器 (XSPI_TXFN) .....	2063
37.4.18.10 xSPI 接收缓存数据量寄存器 (XSPI_RXFN) .....	2063
37.4.18.11 xSPI 状态寄存器 (XSPI_STS) .....	2064
37.4.18.12 xSPI 中断屏蔽寄存器 (XSPI_IMASK) .....	2065
37.4.18.13 xSPI 中断状态寄存器 (XSPI_ISTS) .....	2066
37.4.18.14 xSPI 原始中断状态寄存器 (XSPI_RISTS) .....	2067
37.4.18.15 xSPI 发送缓存上/下溢中断清除寄存器 (XSPI_TXEICR_CLR) .....	2069
37.4.18.16 xSPI 接收缓存上溢中断清除寄存器 (XSPI_RXFOI_CLR) .....	2069
37.4.18.17 xSPI 接收缓存下溢中断清除寄存器 (XSPI_RXFUI_CLR) .....	2069
37.4.18.18 xSPI 多主冲突中断清除寄存器 (XSPI_MMC_CLR) .....	2070
37.4.18.19 xSPI 中断清除寄存器 (XSPI_ICLR) .....	2070
37.4.18.20 xSPI DMA 控制寄存器 (XSPI_DMA_CTRL) .....	2071
37.4.18.21 xSPI DMA 发送阈值控制寄存器 (XSPI_DMATDL_CTRL) .....	2072
37.4.18.22 xSPI DMA 接收阈值控制寄存器 (XSPI_DMARDL_CTRL) .....	2072
37.4.18.23 xSPI 识别码配置寄存器 (XSPI_IDR) .....	2073
37.4.18.24 xSPI 组件版本寄存器 (XSPI_VERSION_ID) .....	2073
37.4.18.25 xSPI 数据寄存器 (XSPI_DATx) .....	2073
37.4.18.26 xSPI 接收采样延迟寄存器 (XSPI_RX_DELAY) .....	2074
37.4.18.27 xSPI 增强型 SPI 模式控制寄存器 (XSPI_ENH_CTRL0) .....	2075
37.4.18.28 xSPI 发送驱动边沿寄存器 (XSPI_DDR_TXDE) .....	2077
37.4.18.29 xSPI XIP 模式位寄存器 (XSPI_XIP_MODE) .....	2077
37.4.18.30 xSPI XIP INCR 传输操作码寄存器 (XSPI_XIP_INCR_TOC) .....	2078
37.4.18.31 xSPI XIP WRAP 传输操作码寄存器 (XSPI_XIP_WRAP_TOC) .....	2078
37.4.18.32 xSPI XIP 控制寄存器 (XSPI_XIP_CTRL) .....	2078
37.4.18.33 xSPI XIP 从设备使能寄存器 (XSPI_XIP_SLAVE_EN) .....	2081
37.4.18.34 xSPI XIP 接收缓存上溢中断清除寄存器 (XSPI_XIP_RXFOI_CLR) .....	2081
37.4.18.35 xSPI XIP 连续传输超时寄存器 (XSPI_XIP_TOUT) .....	2082
37.4.18.36 xSPI XIP 写 INCR 传输操作码寄存器 (XSPI_XIP_WRITE_INCR_INST) .....	2082
37.4.18.37 xSPI XIP 写 WRAP 传输操作码寄存器 (XSPI_XIP_WRITE_WRAP_INST) .....	2083
37.4.18.38 xSPI XIP 写控制寄存器 (XSPI_XIP_WRITE_CTRL) .....	2083
37.4.18.39 xSPI XIP 写时序寄存器 (XSPI_XIP_WRITE_TIMING) .....	2084

37.4.18.40 xSPI RXDS 延时线寄存器 (XSPI_RXDS_DELAY_CTRL)	2085
<b>38 灵活的外部存储控制器 (FEMC)</b>	<b>2087</b>
38.1 介绍	2087
38.2 主要功能	2087
38.3 框图	2088
38.4 引脚定义	2089
38.5 时钟和复位	2090
38.6 外部设备地址映像	2090
38.7 内存控制操作	2091
38.7.1 芯片配置寄存器	2091
38.7.1.1 控制命令	2092
38.7.1.1.1 设备引脚机制	2092
38.7.1.1.2 软件机制	2093
38.8 SRAM 接口内存访问	2095
38.8.1 标准 SRAM 访问	2095
38.8.1.1 内存地址移位	2095
38.8.1.2 内存突发对齐	2095
38.8.1.3 内存突发长度	2095
38.8.2 SRAM 接口时序图	2096
38.8.2.1 异步读取	2096
38.8.2.2 复用模式下异步读取	2097
38.8.2.3 异步写入	2098
38.8.2.4 复用模式下异步写入	2099
38.8.2.5 异步页面模式读取	2100
38.8.2.6 同步突发读取	2101
38.8.2.7 多路复用模式下同步突发读取	2102
38.8.2.8 同步突发写入	2103
38.8.2.9 多路复用模式下同步突发写入	2104
38.8.2.10 同步读取和异步写入	2105
38.8.2.11 同步模式下, 对 trc 和 twc 进行编程	2106
38.8.2.12 SRAM 内存接口的片选断言	2106
38.8.3 Nand 接口内存访问	2106
38.8.3.1 两阶段 Nand 访问	2106
38.8.3.2 Nand 命令阶段传输	2107
38.8.3.3 Nand 数据阶段传输	2108
38.8.3.4 Nand 接口时序图	2111
38.8.3.4.1 命令阶段访问	2112
38.8.3.4.2 数据阶段访问	2113
38.8.3.4.3 命令到数据阶段访问	2114
38.8.3.4.4 数据到命令阶段访问	2115
38.8.3.5 Nand 事务格式	2116
38.8.4 错误纠正码 (ECC)	2120
38.8.4.1 操作	2121



38.8.4.2 寻址 .....	2122
38.8.4.2.1 正常模式寻址 .....	2122
38.8.4.2.2 第二种寻址模式 .....	2122
38.8.4.3 数据 .....	2123
38.8.4.4 地址跳转 .....	2123
38.8.4.4.1 使用完整命令跳转 .....	2123
38.8.4.4.2 使用列更改命令跳转 .....	2123
38.8.4.4.3 禁止跳转 .....	2123
38.8.4.5 地址模式 .....	2123
38.8.4.5.1 FEMC_ECCCFG.JUMP[1:0] = 00 禁止跳转 .....	2124
38.8.4.5.2 FEMC_ECCCFG.JUMP[1:0] = 01 列更改命令跳转 .....	2124
38.8.4.5.3 FEMC_ECCCFG.JUMP[1:0] = 10 完整命令跳转 .....	2124
38.8.4.5.4 FEMC_ECCCFG.JUMP[1:0] != 00 并且禁止 A8 输出 .....	2125
38.8.4.6 Cache 模式访问 .....	2125
38.8.4.7 错误码 .....	2125
38.8.4.8 ECC 中断 .....	2125
38.8.4.9 纠正错误 .....	2126
38.8.5 中断 .....	2126
38.8.6 编程指南 .....	2126
38.8.6.1 FEMC 配置 .....	2127
38.8.6.2 内存初始化 .....	2127
38.8.6.3 内存访问 .....	2129
38.9 FEMC 寄存器 .....	2130
38.9.1 FEMC 状态寄存器 (FEMC_STS) .....	2130
38.9.2 FEMC 状态寄存器 1 (FEMC_STS1) .....	2131
38.9.3 FEMC 配置寄存器 (FEMC_CFG) .....	2131
38.9.4 FEMC 配置清除寄存器 (FEMC_CCFG) .....	2132
38.9.5 FEMC 控制寄存器 (FEMC_CTRL) .....	2133
38.9.6 FEMC 时序配置寄存器 (FEMC_TCFG) .....	2133
38.9.7 FEMC 操作模式配置寄存器 (FEMC_OMCFG) .....	2134
38.9.8 FEMC 刷新周期寄存器 (FEMC_PRE) .....	2136
38.9.9 SRAMNOR-Flash 时序状态寄存器 (FEMC_SNTSTS1/2/3/4) .....	2137
38.9.10 SRAMNOR-Flash 操作状态寄存器 (FEMC_SNOMSTS1/2/3/4) .....	2137
38.9.11 Nand Flash 时序状态寄存器 (FEMC_NTSTS1/2) .....	2139
38.9.12 Nand Flash 操作模式状态寄存器 (FEMC_NTSTS1/2) .....	2140
38.9.13 Nand ECC 状态寄存器 (FEMC_ECCSTS) .....	2140
38.9.14 Nand ECC 配置寄存器 (FEMC_ECCCFG) .....	2142
38.9.15 Nand ECC 命令 0 寄存器 (FEMC_ECCMD0) .....	2143
38.9.16 Nand ECC 命令 1 寄存器 (FEMC_ECCMD1) .....	2144
38.9.17 Nand ECC 地址 0 寄存器 (FEMC_ECCADDR0) .....	2145
38.9.18 Nand ECC 地址 1 寄存器 (FEMC_ECCADDR1) .....	2145
38.9.19 Nand ECC 块寄存器 (FEMC_ECCBLK0/1/2/3) .....	2145
38.9.20 Nand ECC Extra 块寄存器 (FEMC_ECCEBLK) .....	2146
38.9.21 FEMC SRAM/NOR 设置地址寄存器 (FEMC_SNADDR1/2/3/4) .....	2147

38.9.22 FEMC Nand 设置地址寄存器 (FEMC_NADDR1/2) .....	2148
38.9.23 FEMC SRAM/NOR 模式寄存器 (FEMC_SNMOD) .....	2148
38.9.24 FEMC Nand 模式寄存器 (FEMC_NMOD) .....	2149
38.9.25 FEMC 重映射模式寄存器 (FEMC_REMAP) .....	2150
<b>39 安全数字多媒体卡(SDMMC) .....</b>	<b>2151</b>
39.1 简介 .....	2151
39.2 主要特性 .....	2151
39.3 框图 .....	2152
39.4 引脚定义 .....	2156
39.5 功能描述 .....	2158
39.5.1 时钟 .....	2158
39.5.2 复位 .....	2159
39.5.3 频率范围 .....	2159
39.5.4 DMA 和非 DMA 传输中的 FIFO 超限和欠限条件 .....	2160
39.5.5 发送 CMD/DAT 延迟 .....	2160
39.5.6 接收时钟分接延时 .....	2160
39.5.7 高级 DMA (ADMA) .....	2161
39.5.7.1 ADMA2 框图 .....	2162
39.5.7.2 ADMA2 编程示例 .....	2162
39.5.7.3 数据地址和数据长度要求 .....	2163
39.5.7.4 描述符表 .....	2163
39.5.7.5 ADMA2 状态 .....	2164
39.5.8 编程序列 .....	2166
39.5.8.1 非 DMA 传输 .....	2166
39.5.8.2 DMA 传输 .....	2169
39.5.8.3 ADMA 传输 .....	2171
39.5.8.4 中止传输 .....	2173
39.5.8.4.1 同步中止 .....	2173
39.5.8.4.2 异步中止 .....	2174
39.5.8.5 启动操作 .....	2175
39.5.8.5.1 正常启动操作 .....	2175
39.5.8.5.2 备用启动操作 .....	2176
39.5.8.5.3 读取启动代码块操作 .....	2177
39.5.8.6 电压切换顺序 .....	2179
39.5.8.7 重新调谐程序 .....	2181
39.5.8.7.1 采样时钟调谐 .....	2181
39.5.8.7.2 调谐模式 .....	2181
39.5.8.7.3 时钟调谐程序 .....	2182
39.5.9 调谐框图 .....	2183
39.6 SDMMC 封装寄存器 .....	2186
39.6.1 SDMMC 配置 1 寄存器(SDMMC_CFG1) .....	2186
39.6.2 SDMMC 配置 2 寄存器(SDMMC_CFG2) .....	2187
39.6.3 SDMMC 配置 3 寄存器(SDMMC_CFG3) .....	2189

39.6.4 SDMMC 预设值 0 控制寄存器(SDMMC_PV0CTRL).....	2189
39.6.5 SDMMC 预设值 1 控制寄存器(SDMMC_PV1CTRL).....	2190
39.6.6 SDMMC 预设值 2 控制寄存器(SDMMC_PV2CTRL).....	2191
39.6.7 SDMMC 预设值 3 控制寄存器(SDMMC_PV3CTRL).....	2192
39.6.8 SDMMC TX 和 RX 延迟控制寄存器(SDMMC_DLYCTRL) .....	2193
39.7 SDHOST 寄存器.....	2194
39.7.1 SDHOST SDMA 系统地址/参数 2 寄存器(SDHOST_DSADD).....	2194
39.7.2 SDHOST 块计数和大小配置寄存器(SDHOST_BLKCFG).....	2195
39.7.3 SDHOST 参数 1 寄存器(SDHOST_CMDARG1) .....	2196
39.7.4 SDHOST 发送模式寄存器(SDHOST_TMODE) .....	2196
39.7.5 SDHOST 命令响应 0 寄存器(SDHOST_CMDRSP0).....	2199
39.7.6 SDHOST 命令响应 1 寄存器(SDHOST_CMDRSP1).....	2199
39.7.7 SDHOST 命令响应 2 寄存器(SDHOST_CMDRSP2).....	2200
39.7.8 SDHOST 命令响应 3 寄存器(SDHOST_CMDRSP3).....	2200
39.7.9 SDHOST Buffer 数据端口寄存器(SDHOST_BUFDAT).....	2200
39.7.10 SDHOST 当前状态寄存器(SDHOST_PRESTS) .....	2201
39.7.11 SDHOST 控制 1 寄存器(SDHOST_CTRL1).....	2204
39.7.12 SDHOST 控制 2 寄存器(SDHOST_CTRL2) .....	2207
39.7.13 SDHOST 中断状态寄存器(SDHOST_INTSTS) .....	2209
39.7.14 SDHOST 中断状态使能寄存器(SDHOST_IE).....	2213
39.7.15 SDHOST 中断信号使能寄存器(SDHOST_ISE).....	2215
39.7.16 SDHOST 控制状态寄存器(SDHOST_CTRLSTS).....	2217
39.7.17 SDHOST 能力 0 状态寄存器(SDHOST_CAP0STS).....	2220
39.7.18 SDHOST 能力 1 状态寄存器(SDHOST_CAP1STS).....	2222
39.7.19 SDHOST 状态强制事件寄存器(SDHOST_STSFE) .....	2223
39.7.20 SDHOST ADMA 错误状态寄存器(SDHOST_ADMAESTS) .....	2224
39.7.21 SDHOST ADMA 系统地址 0 寄存器(SDHOST_ASADD0) .....	2225
39.7.22 SDHOST ADMA 系统地址 1 寄存器(SDHOST_ASADD1) .....	2226
39.7.23 SDHOST 预设值 0 状态寄存器(SDHOST_PV0STS).....	2226
39.7.24 SDHOST 预设值 1 状态寄存器(SDHOST_PV1STS).....	2227
39.7.25 SDHOST 预设值 2 状态寄存器(SDHOST_PV2STS).....	2228
39.7.26 SDHOST 预设值 3 状态寄存器(SDHOST_PV3STS).....	2229
39.7.27 SDHOST 启动超时控制寄存器(SDHOST_BOOTCTRL) .....	2230
<b>40 通用串行总线高速双角色接口 (USB_HS_Host/Device) .....</b>	<b>2230</b>
40.1 概述.....	2230
40.2 USBHS 主要特性 .....	2230
40.3 USBHS 功能说明 .....	2232
40.3.1 USBHS 框图 .....	2232
40.3.2 USBHS 引脚和内核信号 .....	2232
40.3.3 USBHS 内置高速 PHY .....	2232
40.4 USBHS 双角色设备.....	2233
40.4.1 ID 线检测.....	2233
40.5 USB 设备 .....	2233

40.5.1 USB 设备状态 .....	2233
40.5.1.1 供电状态 .....	2233
40.5.1.1.1 默认状态 .....	2233
40.5.1.1.2 软断开 .....	2233
40.5.1.1.3 挂起状态 .....	2233
40.5.2 USB 设备端点 .....	2234
40.5.2.1 端点控制 .....	2234
40.5.2.2 端点传输 .....	2234
40.5.2.3 端点状态/中断 .....	2234
40.6 USB 主机 .....	2235
40.6.1 USB 主机状态 .....	2235
40.6.1.1 给主机端口供电 .....	2235
40.6.1.2 主机检测设备连接 .....	2235
40.6.1.3 主机检测设备断开 .....	2235
40.6.1.4 主机枚举 .....	2235
40.6.1.5 主机挂起 .....	2235
40.6.2 主机通道 .....	2236
40.6.2.1 主机通道控制 .....	2236
40.6.2.2 主机通道传输 .....	2236
40.6.2.3 主机通道状态/中断 .....	2236
40.6.3 主机调度器 .....	2237
40.7 SOF 帧 .....	2237
40.7.1 主机 SOF .....	2238
40.7.2 设备 SOF .....	2238
40.7.3 动态更新 USBHS_HFRI 寄存器 .....	2238
40.8 电源选项 .....	2238
40.9 USB 数据FIFO .....	2239
40.9.1 设备FIFO 架构 .....	2239
40.9.1.1 设备 RX FIFO .....	2239
40.9.1.2 设备 TX FIFO .....	2240
40.9.2 主机FIFO 架构 .....	2240
40.9.2.1 主机 RX FIFO .....	2240
40.9.2.2 主机 TX FIFO .....	2240
40.9.3 FIFO RAM 分配 .....	2241
40.9.3.1 Device 模式 .....	2241
40.9.3.2 Host 模式 .....	2242
40.10 USBHS 配置流程 .....	2242
40.10.1 模块初始化 .....	2242
40.10.2 主机初始化 .....	2243
40.10.3 设备初始化 .....	2243
40.11 USBHS 寄存器 .....	2244
40.11.1 USBHS 全局控制和状态寄存器 .....	2244
40.11.1.1 USBHS 全局控制和状态寄存器 (USBHS_GCTRLSTS) .....	2244
40.11.1.2 USBHS 全局 AHB 配置寄存器 (USBHS_GAHBCFG) .....	2245

40.11.1.3	USBHS 全局配置寄存器 (USBHS_GCFG)	2246
40.11.1.4	USBHS 全局复位控制寄存器 (USBHS_GRSTCTRL)	2248
40.11.1.5	USBHS 全局中断状态寄存器 (USBHS_GINTSTS)	2250
40.11.1.6	USBHS 全局中断使能寄存器 (USBHS_GINTEN)	2253
40.11.1.7	USBHS 全局接收状态寄存器/接收状态读取和弹出寄存器 (USBHS_GRXSTS/USBHS_GRXSTSP)	2256
40.11.1.8	USBHS 全局接收 FIFO 大小寄存器 (USBHS_GRXFSIZ)	2258
40.11.1.9	USBHS 全局非周期性发送 FIFO 大小寄存器 (USBHS_GNPTXFSIZ) /设备 IN 端点 0 发送 FIFO 大小寄存器 (USBHS_DINEP0TXFSIZ)	2258
40.11.1.10	USBHS 全局非周期性发送 FIFO 状态寄存器 (USBHS_GNPTXFSTS)	2259
40.11.1.11	USBHS ID 寄存器 (USBHS_CID)	2260
40.11.1.12	USBHS 全局断电寄存器 (USBHS_GPD)	2260
40.11.1.13	USBHS 主机周期性发送 FIFO 大小 (USBHS_HPTXFSIZ)	2262
40.11.1.14	USBHS 设备 IN 端点周期性发送 FIFO 大小 (USBHS_DINEPPTXFSIZx) (x=[1..8])	2262
40.11.2	USBHS 主机控制和状态寄存器	2263
40.11.2.1	USBHS 主机配置寄存器 (USBHS_HCFG)	2263
40.11.2.2	USBHS 主机帧间隔寄存器 (USBHS_HFRI)	2264
40.11.2.3	USBHS 主机帧编号/帧剩余时间寄存器 (USBHS_HFNUM)	2264
40.11.2.4	USBHS 主机周期性发送 FIFO/队列状态寄存器 (USBHS_HPTXFQSTS)	2265
40.11.2.5	USBHS 主机所有通道中断寄存器 (USBHS_HACHINT)	2266
40.11.2.6	USBHS 主机所有通道中断使能寄存器 (USBHS_HACHINTEN)	2266
40.11.2.7	USBHS 主机端口控制和状态寄存器 (USBHS_HPCS)	2267
40.11.2.8	USBHS 主机通道控制寄存器 (USBHS_HCHxCTRL) (x=[0..15])	2269
40.11.2.9	USBHS 主机通道分裂控制寄存器 (USBHS_HCHxSCTRL) (x=[0..15])	2270
40.11.2.10	USBHS 主机通道中断状态寄存器 (USBHS_HCHxINTSTS) (x=[0..15])	2271
40.11.2.11	USBHS 主机通道中断使能寄存器 (USBHS_HCHxINTEN) (x=[0..15])	2272
40.11.2.12	USBHS 主机通道传输大小寄存器 (USBHS_HCHxTXSIZ) (x=[0..15])	2274
40.11.2.13	USBHS 主机通道 DMA 地址寄存器 (USBHS_HCHxDMADD) (x=[0..15])	2274
40.11.3	USBHS 设备控制和状态寄存器	2275
40.11.3.1	USBHS 设备配置寄存器 (USBHS_DCFG)	2275
40.11.3.2	USBHS 设备控制寄存器 (USBHS_DCTRL)	2276
40.11.3.3	USBHS 设备状态寄存器 (USBHS_DSTS)	2278
40.11.3.4	USBHS 设备 IN 端点通用中断寄存器 (USBHS_DINEPINTEN)	2279
40.11.3.5	USBHS 设备 OUT 端点通用中断寄存器 (USBHS_DOUTEPINTEN)	2280
40.11.3.6	USBHS 设备所有端点中断状态寄存器 (USBHS_DAEPINTSTS)	2281
40.11.3.7	USBHS 设备所有端点中断使能寄存器 (USBHS_DAEPINTEN)	2282
40.11.3.8	USBHS 设备阈值控制寄存器 (USBHS_DTHRCTRL)	2282
40.11.3.9	USBHS 设备 IN 端点 FIFO 空中断使能寄存器 (USBHS_DINEPFEINTEN)	2283
40.11.3.10	USBHS 设备每个端点中断状态寄存器 (USBHS_DEEPINTSTS)	2284
40.11.3.11	USBHS 设备每个端点中断使能寄存器 (USBHS_DEEPINTEN)	2284
40.11.3.12	USBHS 设备每个 IN 端点中断寄存器 (USBHS_DINEPxINTEN) (x=[0..8])	2285
40.11.3.13	USBHS 设备每个 OUT 端点中断寄存器 (USBHS_DOUTEPxINTEN) (x=[0..8])	2286
40.11.3.14	USBHS 设备 IN 端点 0 控制寄存器 (USBHS_DINEP0CTRL)	2287
40.11.3.15	USBHS 设备每个 IN 端点控制寄存器 (USBHS_DINEPxCTRL) (x=[1..8])	2289
40.11.3.16	USBHS 设备每个 IN 端点中断状态寄存器 (USBHS_DINEPxINTSTS) (x=[0..8])	2291

40.11.3.17	USBHS 设备 IN 端点 0 传输大小寄存器 (USBHS_DINEP0TXSIZ) .....	2293
40.11.3.18	USBHS 设备每个 IN 端点传输大小寄存器 (USBHS_DINEPxTXSIZ) (x=[1..8]) .....	2293
40.11.3.19	USBHS 设备每个 IN 端点 DMA 地址寄存器 (USBHS_DINEPxDMADD) (x=[0..8]) .....	2294
40.11.3.20	USBHS 设备每个 IN 端点 TX FIFO 状态寄存器 (USBHS_DINEPxTXFSTS) (x=[0..8]) .....	2295
40.11.3.21	USBHS 设备 OUT 端点 0 控制寄存器 (USBHS_DOUTEPOCTRL) .....	2295
40.11.3.22	USBHS 设备每个 OUT 端点控制寄存器 (USBHS_DOUTEPxCTRL) (x=[1..8]) .....	2297
40.11.3.23	USBHS 设备每个 OUT 端点中断状态寄存器 (USBHS_DOUTEPxINTSTS) (x=[0..8]) .....	2299
40.11.3.24	USBHS 设备 OUT 端点 0 传输大小寄存器 (USBHS_DOUTEPOTXSIZ) .....	2300
40.11.3.25	USBHS 设备每个 OUT 端点传输大小寄存器 (USBHS_DOUTEPxTXSIZ) (x=[1..8]) .....	2301
40.11.3.26	USBHS 设备每个 OUT 端点 DMA 地址寄存器 (USBHS_DOUTEPxDMADD) (x=[0..8]) .....	2302
40.11.4	USBHS 电源控制寄存器 .....	2302
40.11.4.1	USBHS 电源控制寄存器 (USBHS_PWRCTRL) .....	2302
40.11.4.2	USBHS 电源控制寄存器 1 (USBHS_PWRCTRL1) .....	2303
40.11.5	USBHS Wrapper 控制寄存器 .....	2304
40.11.5.1	USBHS Wrapper 控制寄存器 (USBHS_WRPCTRL) .....	2304
40.11.5.2	USBHS Wrapper 配置寄存器 (USBHS_WRPCFG) .....	2305
<b>41</b>	<b>数据波特率可变的控制器局域网 (FDCAN) .....</b>	<b>2307</b>
41.1	概述 .....	2307
41.2	主要特性 .....	2307
41.3	消息 RAM .....	2308
41.3.1	消息 RAM 配置 .....	2308
41.3.2	专用接收缓冲和接收 FIFO .....	2308
41.3.3	发送缓冲 .....	2310
41.3.4	发送事件 FIFO .....	2312
41.3.5	标准消息 ID 过滤器 .....	2313
41.3.6	扩展消息 ID 过滤器 .....	2314
41.3.7	触发存储器 .....	2315
41.4	基本功能描述 .....	2317
41.4.1	工作模式 .....	2318
41.4.1.1	软件初始化 .....	2318
41.4.1.2	正常工作模式 .....	2319
41.4.1.3	CAN FD 工作模式 .....	2319
41.4.1.4	收发器延迟补偿 .....	2320
41.4.1.5	受限工作模式 .....	2322
41.4.1.6	总线监控模式 (静默模式) .....	2322
41.4.1.7	禁止自动重传 (DAR) 模式 .....	2322
41.4.1.8	掉电 (休眠) 模式 .....	2323
41.4.1.9	测试模式 .....	2323
41.4.1.10	外部回环模式 .....	2324
41.4.1.11	内部回环模式 .....	2324
41.4.1.12	应用看门狗 .....	2324
41.4.1.13	时间戳生成 .....	2325
41.4.1.14	超时计数器 .....	2325

41.4.2 接收处理 .....	2325
41.4.2.1 接收过滤器 .....	2325
41.4.2.1.1 范围过滤 .....	2326
41.4.2.1.2 特定 ID 过滤 .....	2326
41.4.2.1.3 经典位掩码过滤 .....	2327
41.4.2.1.4 标准消息 ID 过滤 .....	2327
41.4.2.1.5 扩展消息 ID 过滤 .....	2328
41.4.2.2 接收 FIFO .....	2329
41.4.2.2.1 接收 FIFO 阻止模式 .....	2330
41.4.2.2.2 接收 FIFO 覆盖模式 .....	2331
41.4.2.3 专用接收缓冲 .....	2332
41.4.2.4 调试消息过滤 .....	2333
41.4.3 发送处理 .....	2333
41.4.3.1 发送暂停 .....	2333
41.4.3.2 专用发送缓冲 .....	2334
41.4.3.3 发送 FIFO .....	2334
41.4.3.4 发送队列 .....	2335
41.4.3.5 专用发送缓冲与发送 FIFO 混合使用 .....	2335
41.4.3.6 专用发送缓冲与发送队列混合使用 .....	2335
41.4.3.7 发送取消 .....	2336
41.4.3.8 发送事件 FIFO .....	2336
41.4.4 FIFO 确认 .....	2337
41.4.5 位时序 .....	2337
41.5 TTCAN 功能描述 .....	2338
41.5.1 参考消息 .....	2338
41.5.1.1 Level 1 .....	2338
41.5.1.2 Level 2 .....	2339
41.5.1.3 Level 0 .....	2339
41.5.2 TTCAN 配置 .....	2339
41.5.2.1 TTCAN 时序 .....	2339
41.5.2.1.1 接口信号时序 .....	2341
41.5.2.2 消息调度 .....	2341
41.5.2.3 触发存储器 .....	2342
41.5.2.3.1 触发器类型 .....	2342
41.5.2.3.2 节点触发器列表的限制条件 .....	2343
41.5.2.3.3 触发器处理示例 .....	2344
41.5.2.3.4 配置错误检测 .....	2345
41.5.2.4 调度初始化 .....	2345
41.5.2.4.1 时间被控节点 .....	2345
41.5.2.4.2 潜在时间主控节点 .....	2346
41.5.3 TTCAN 间隙控制 .....	2346
41.5.4 停止监视 .....	2347
41.5.5 本地时间、周期时间、全局事件和外部时钟同步 .....	2347
41.5.6 TTCAN 错误级别 .....	2350

41.5.7 TTCAN 消息处理.....	2351
41.5.7.1 参考消息 .....	2351
41.5.7.2 消息接收 .....	2351
41.5.7.3 消息发送 .....	2352
41.5.7.3.1 在专用时间窗口中发送 .....	2352
41.5.7.3.2 在仲裁时间窗口中发送 .....	2353
41.5.7.3.3 在合并仲裁时间窗口中发送 .....	2353
41.5.8 TTCAN 中断和错误处理.....	2353
41.5.9 Level 0.....	2354
41.5.9.1 同步 .....	2354
41.5.9.2 错误级别处理.....	2355
41.5.9.3 主控/被控节点关系.....	2355
41.5.10 与外部时间调度同步 .....	2356
41.6 FDCAN 寄存器.....	2357
41.6.1 FDCAN 内核释放寄存器(FDCAN_CREL) .....	2357
41.6.2 FDCAN 字节序寄存器(FDCAN_ENDN).....	2358
41.6.3 FDCAN 数据位定时和预分频寄存器(FDCAN_DBTP).....	2358
41.6.4 FDCAN 测试寄存器(FDCAN_TEST).....	2359
41.6.5 FDCAN RAM 看门狗寄存器(FDCAN_RWD) .....	2360
41.6.6 FDCAN 控制寄存器(FDCAN_CCCR).....	2360
41.6.7 FDCAN 标称位定时和预分频寄存器(FDCAN_NBTP).....	2362
41.6.8 FDCAN 时间戳计数器配置寄存器(FDCAN_TSCC).....	2363
41.6.9 FDCAN 时间戳计数器值寄存器(FDCAN_TSCV).....	2364
41.6.10 FDCAN 超时计数器配置寄存器(FDCAN_TOCC) .....	2364
41.6.11 FDCAN 超时计数器值寄存器(FDCAN_TOCV).....	2365
41.6.12 FDCAN 错误计数器寄存器(FDCAN_ECR).....	2366
41.6.13 FDCAN 协议状态寄存器(FDCAN_PSR) .....	2366
41.6.14 FDCAN 发生器延迟补偿寄存器(FDCAN_TDCR) .....	2368
41.6.15 FDCAN 中断寄存器(FDCAN_IR).....	2369
41.6.16 FDCAN 中断使能寄存器(FDCAN_IE).....	2372
41.6.17 FDCAN 中断线选择寄存器(FDCAN_ILS).....	2375
41.6.18 FDCAN 中断线使能寄存器(FDCAN_ILE) .....	2377
41.6.19 FDCAN 全局过滤器配置寄存器(FDCAN_GFC).....	2378
41.6.20 FDCAN 标准 ID 过滤器配置寄存器(FDCAN_SIDFC) .....	2379
41.6.21 FDCAN 扩展 ID 过滤器配置寄存器(FDCAN_XIDFC).....	2380
41.6.22 FDCAN 扩展 ID 和掩码寄存器(FDCAN_XIDAM).....	2380
41.6.23 FDCAN 高优先级消息状态寄存器(FDCAN_HPMS).....	2381
41.6.24 FDCAN 新数据 1 寄存器(FDCAN_NDAT1).....	2382
41.6.25 FDCAN 新数据 2 寄存器(FDCAN_NDAT2).....	2382
41.6.26 FDCAN 接收 FIFO 0 配置寄存器(FDCAN_RXF0C).....	2383
41.6.27 FDCAN 接收 FIFO 0 状态寄存器(FDCAN_RXF0S).....	2383
41.6.28 FDCAN 接收 FIFO 0 确认寄存器(FDCAN_RXF0A) .....	2384
41.6.29 FDCAN 接收缓冲区配置寄存器(FDCAN_RXBC).....	2385
41.6.30 FDCAN 接收 FIFO 1 配置寄存器(FDCAN_RXF1C).....	2385



41.6.31 FDCAN 接收 FIFO 1 状态寄存器(FDCAN_RXF1S).....	2386
41.6.32 FDCAN 接收 FIFO 1 确认寄存器(FDCAN_RXF1A) .....	2387
41.6.33 FDCAN 接收缓冲区/FIFO 元素大小配置寄存器(FDCAN_RXESC) .....	2387
41.6.34 FDCAN 发送缓冲区配置寄存器(FDCAN_TXBC) .....	2389
41.6.35 FDCAN 发送 FIFO/队列状态寄存器(FDCAN_TXFQS) .....	2390
41.6.36 FDCAN 发送缓冲区元素大小配置寄存器(FDCAN_TXESC) .....	2390
41.6.37 FDCAN 发送缓冲区请求挂起寄存器(FDCAN_TXBRP).....	2391
41.6.38 FDCAN 发送缓冲区添加请求寄存器(TXBAR).....	2392
41.6.39 FDCAN 发送缓冲区取消请求寄存器(FDCAN_TXBCR) .....	2393
41.6.40 FDCAN 发送缓冲区发送已发生寄存器(FDCAN_TXBTO).....	2393
41.6.41 FDCAN 发送缓冲区取消完成寄存器(FDCAN_TXBCF).....	2394
41.6.42 FDCAN 发送缓冲区发送中断使能寄存器(FDCAN_TXBTIE).....	2394
41.6.43 FDCAN 发送缓冲区取消完成中断使能寄存器(FDCAN_TXBCIE).....	2395
41.6.44 FDCAN 发送事件 FIFO 配置寄存器(FDCAN_TXEFC) .....	2395
41.6.45 FDCAN 发送事件 FIFO 状态寄存器(FDCAN_TXEFS).....	2396
41.6.46 FDCAN 发送事件 FIFO 确认寄存器(FDCAN_TXEFA).....	2397
41.6.47 FDCAN TT 触发存储器配置寄存器(FDCAN_TTMC) .....	2397
41.6.48 FDCAN TT 参考消息配置寄存器(FDCAN_TTRMC) .....	2398
41.6.49 FDCAN TT 运行配置寄存器(FDCAN_TTOCF) .....	2399
41.6.50 FDCAN TT 矩阵限制寄存器(FDCAN_TTMLM) .....	2400
41.6.51 FDCAN TUR 配置寄存器(FDCAN_TURCF).....	2401
41.6.52 FDCAN TT 运行控制寄存器(FDCAN_TTOCN).....	2403
41.6.53 FDCAN TT 全局时间预值寄存器(FDCAN_TTGTP).....	2404
41.6.54 FDCAN TT 时间标记寄存器(FDCAN_TTMK).....	2405
41.6.55 FDCAN TT 中断寄存器(FDCAN_TTIR).....	2406
41.6.56 FDCAN TT 中断使能寄存器 (FDCAN_TTIE) .....	2408
41.6.57 FDCAN TT 中断线选择寄存器(FDCAN_TTILS).....	2410
41.6.58 FDCAN TT 运行状态寄存器(FDCAN_TTOST).....	2412
41.6.59 FDCAN TUR 分子实际寄存器(FDCAN_TURNA) .....	2414
41.6.60 FDCAN TT 本地和全局时间寄存器(FDCAN_TTLGT) .....	2414
41.6.61 FDCAN TT 周期时间和计数寄存器(FDCAN_TTCTC) .....	2415
41.6.62 FDCAN TT 捕获时间寄存器(FDCAN_TTCPT).....	2415
41.6.63 FDCAN TT 周期同步标记寄存器(FDCAN_TTCSM).....	2416
41.6.64 FDCAN 外部信号选择寄存器(FDCAN_TTSS) .....	2416
<b>42 DSI 主机 (DSI) .....</b>	<b>2418</b>
42.1 介绍 .....	2418
42.2 主要功能 .....	2418
42.3 功能框图 .....	2419
42.4 工作模式 .....	2419
42.5 DSI-2 主机视频接口 .....	2420
42.5.1 DSI-2 主机视频时序 .....	2420
42.5.1.1 自动设置时序参数.....	2421
42.5.1.2 手动设置时序参数.....	2422

42.5.2 视频模式 .....	2423
42.5.2.1 Non-Burst 模式 .....	2424
42.5.2.2 Burst 模式 .....	2428
42.5.3 时序重建差异 .....	2429
42.6 DSI-2 主机 APB 接口 .....	2430
42.6.1 使用 APB 接口传输数据包 .....	2430
42.7 DSI 主机控制器时钟 .....	2431
42.7.1 连续时钟模式 .....	2431
42.7.2 非连续时钟模式 .....	2432
42.8 Skew 校准 .....	2433
42.9 DSI-2 主机控制器配置 .....	2435
42.9.1 DSI-2 主机控制器时钟输入和选择 .....	2435
42.9.1.1 hse_ref_clk .....	2435
42.9.1.2 dsi_bus_clk .....	2435
42.9.1.3 dsi_ker_clk .....	2435
42.9.1.4 dsi_ulps_clk .....	2435
42.9.1.5 dsi_tx_esc_clk .....	2435
42.9.1.6 dsi_vid_clk .....	2436
42.9.2 DSI-2 主机控制器复位和初始化 .....	2436
42.9.3 DSI-2 主机控制器中断 .....	2436
42.9.3.1 DSI-2 主控制器错误处理 .....	2436
42.9.3.2 DSI-2 主机控制器中断作为唤醒事件 .....	2437
42.10 DPHY 物理层 .....	2437
42.10.1 DPHY 功能 .....	2437
42.10.2 DPHY 系统级概述 .....	2437
42.10.3 功能概述 .....	2438
42.10.3.1 时钟生成器 .....	2438
42.10.3.2 LP-TX .....	2438
42.10.3.3 HS-TX .....	2438
42.10.3.4 LP-RX .....	2438
42.10.3.5 LP-CD .....	2438
42.10.3.6 物理层协议接口 .....	2439
42.10.4 DPHY 时序 .....	2439
42.10.5 DPHY 模式 .....	2441
42.10.5.1 控制模式（停止状态） .....	2441
42.10.5.2 高速模式 .....	2441
42.10.5.3 Escape 模式 .....	2443
42.10.5.4 低功耗数据传输（LPDT） .....	2444
42.10.5.5 复位触发 .....	2444
42.10.5.6 超低功耗状态（ULPS） .....	2444
42.11 DPHY 配置 .....	2444
42.11.1 参考时钟周期和设置 .....	2444
42.11.2 Escape 时钟周期 .....	2444
42.11.3 Lane 交换功能 .....	2445

42.12 DSI 寄存器.....	2446
42.12.1 DSI 主机基础寄存器.....	2446
42.12.1.1 DSI 主机通道配置寄存器 (DSI_NUMLANES) .....	2446
42.12.1.2 DSI 主机连续高速时钟配置寄存器 (DSI_CONTHSCLK) .....	2446
42.12.1.3 DSI 主机 DPHY 配置寄存器 1 (DSI_TPRE) .....	2447
42.12.1.4 DSI 主机 DPHY 配置寄存器 2 (DSI_TPOST) .....	2448
42.12.1.5 DSI 主机 DPHY 配置寄存器 3 (DSI_TXGAP) .....	2448
42.12.1.6 DSI 主机自动插入 EOTP 寄存器 (DSI_AUTOINSERT_EOTP) .....	2449
42.12.1.7 DSI 主机失能 RX CRC 校验寄存器 (DSI_DISRXCRCCHK) .....	2449
42.12.1.8 DSI 主机高速 TX 超时配置寄存器 (DSI_HSTXTOCNT) .....	2450
42.12.1.9 DSI 主机低功耗 RX 超时配置寄存器 (DSI_LRXTOCNT) .....	2451
42.12.1.10 DSI 主机总线周转超时配置寄存器 (DSI_BTATOCNT) .....	2451
42.12.1.11 DSI DPHY 唤醒时序参数寄存器 (DSI_TWAKEUP) .....	2452
42.12.1.12 DSI 主机失能 Burst 寄存器 (DSI_DISBST) .....	2453
42.12.1.13 DSI 主机外设状态寄存器 (DSI_STS) .....	2453
42.12.1.14 DSI 主机 RX 错误状态寄存器 (DSI_ERRSTS) .....	2455
42.12.2 DSI 主机 PHY Lane 使能寄存器.....	2455
42.12.2.1 DSI 主机 CLK 通道使能寄存器 (DSI_CLKLANEN) .....	2455
42.12.2.2 DSI 主机数据通道使能寄存器 (DSI_DATLANEN) .....	2456
42.12.3 DSI 主机偏斜校准寄存器.....	2457
42.12.3.1 DSI 主机初始偏斜校准时间寄存器 (DSI_SKEWCALTIMI) .....	2457
42.12.3.2 DSI 主机周期性偏斜校准时间寄存器 (DSI_SKEWCALTIMP) .....	2457
42.12.3.3 DSI 主机周期偏斜校准寄存器 (VID_SKEWCALINE) .....	2458
42.12.4 DSI 主机视频接口.....	2458
42.12.4.1 DSI 主机 VID 使能寄存器 (VID_EN) .....	2458
42.12.4.2 DSI 主机 VID 每包像素配置寄存器 (VID_PIXPERPKT) .....	2459
42.12.4.3 DSI 主机 VID 像素负载大小寄存器 (VID_PIXPLDSIZ) .....	2460
42.12.4.4 DSI 主机 VID 像素 MSB 对齐使能寄存器 (VID_PIXALIGN) .....	2460
42.12.4.5 DSI 主机 VID 像素格式寄存器 (VID_PIXFMT) .....	2461
42.12.4.6 DSI 主机 VID 垂直同步极性寄存器 (VIEW_VSUNSPOL) .....	2461
42.12.4.7 DSI 主机 VID 水平同步极性寄存器 (VID_HSYNCPOL) .....	2462
42.12.4.8 DSI 主机 VID 视频模式寄存器 (VID_VIDEOMOD) .....	2462
42.12.4.9 DSI 主机 VID Override 模式寄存器 (VID_OVERRIDE) .....	2463
42.12.4.10 DSI 主机 VID 行开始延迟寄存器 (VID_STD) .....	2464
42.12.4.11 DSI 主机 VID HFP 寄存器 (VID_HFP) .....	2464
42.12.4.12 DSI 主机 VID HBP 寄存器 (VID_HBP) .....	2465
42.12.4.13 DSI 主机 VID HSA 寄存器 (VID_HSA) .....	2465
42.12.4.14 DSI 主机每个视频行数据包数量寄存器 (VID_PKTPERLINE) .....	2466
42.12.4.15 DSI 主机 VID VBP 寄存器 (VID_VBP) .....	2467
42.12.4.16 DSI 主机 VID VFP 寄存器 (VID_VFP) .....	2467
42.12.4.17 DSI 主机 VID BLLP 模式寄存器 (VID_BLLPMOD) .....	2467
42.12.4.18 DSI 主机 VID 空包 BLLP 寄存器 (VID_NULLPKTBLLP) .....	2468
42.12.4.19 DSI 主机 VID 垂直有效寄存器 (VID_VACT) .....	2468
42.12.4.20 DSI 主机 VID 虚拟通道寄存器 (VID_VC) .....	2469

42.12.4.21 DSI 主机 VID 外部数据包使能寄存器 (VID_EXTPKTEN) .....	2469
42.12.4.22 DSI 主机 VID 垂直同步开始有效载荷寄存器 (VID_VSSPLD) .....	2470
42.12.4.23 DSI 主机 VID 每个数据包有效载荷大小寄存器 (VID_PLDPERPKT) .....	2471
42.12.5 DSI 主机 APB Packet 接口寄存器 .....	2472
42.12.5.1 DSI 主机 TX 有效载荷寄存器 (DSI_TXPLD) .....	2472
42.12.5.2 DSI 主机数据包控制寄存器 (DSI_PKTCTRL) .....	2472
42.12.5.3 DSI 主机数据包发送寄存器 (DSI_SENDBPKT) .....	2473
42.12.5.4 DSI 主机数据包状态寄存器 (DSI_PKTSTS) .....	2474
42.12.5.5 DSI 主机数据包接收有效载荷寄存器 (DSI_PKTRXPLD) .....	2475
42.12.5.6 DSI 主机 RX 数据包头寄存器 (DSI_PKTRXHDR) .....	2476
42.12.6 DSI Wrapper 寄存器 .....	2476
42.12.6.1 DSI Wrapper 控制寄存器 (DSI_WRPCTRL) .....	2476
42.12.6.2 DSI Wrapper 状态寄存器 (DSI_WRPSTS) .....	2477
42.12.6.3 DSI PHY 控制寄存器 1 (DSIPHY_CTRL1) .....	2479
42.12.6.4 DSI PHY 控制寄存器 2 (DSIPHY_CTRL2) .....	2480
42.12.6.5 DSI PHY 控制寄存器 3 (DSIPHY_CTRL3) .....	2481
42.12.6.6 DSI PHY PLL 控制寄存器 1 (DSIPHY_PLLCTRL1) .....	2481
42.12.6.7 DSI PHY PLL 控制寄存器 2 (DSIPHY_PLLCTRL2) .....	2481
42.12.6.8 DSI PHY PLL 控制寄存器 3 (DSIPHY_PLLCTRL3) .....	2482
42.12.6.9 DSI PHY PLL 控制寄存器 4 (DSIPHY_PLLCTRL4) .....	2483
42.12.6.10 DSI PHY PLL 控制寄存器 5 (DSIPHY_PLLCTRL5) .....	2483
42.12.6.11 DSI PHY PLL 状态寄存器 (DSIPHY_PLLSTS) .....	2484
<b>43 JPEG 编解码器(JPEG) .....</b>	<b>2485</b>
43.1 简介 .....	2485
43.2 主要特性 .....	2485
43.3 文中缩写 .....	2485
43.4 架构框图 .....	2486
43.5 功能描述 .....	2487
43.5.1 JPEG 多路复用器控制 .....	2487
43.5.2 RBC .....	2487
43.5.2.1 特性 .....	2487
43.5.2.2 功能概述 .....	2487
43.5.2.3 输入格式 .....	2488
43.5.2.4 AXI 附加存储器 .....	2490
43.5.3 编码器 .....	2490
43.5.3.1 特性 .....	2490
43.5.3.2 功能概述 .....	2491
43.5.3.3 配置 .....	2492
43.5.3.4 压缩图像 .....	2492
43.5.3.5 动态重构 .....	2493
43.5.3.6 文件头重新配置 .....	2493
43.5.3.7 全动态重构 .....	2493
43.5.3.8 输出流 .....	2493

43.5.3.9	文件头 .....	2494
43.5.3.10	编码器管道 .....	2494
43.5.3.11	文件尾.....	2495
43.5.3.12	缩写格式 .....	2495
43.5.3.13	吞吐量和延迟.....	2495
43.5.4	解码器 .....	2495
43.5.4.1	特性 .....	2495
43.5.4.2	功能概述 .....	2495
43.5.4.3	标记 .....	2496
43.5.4.4	压缩数据的缩写格式.....	2497
43.5.4.5	表格规范的缩写格式.....	2497
43.5.4.6	限制 .....	2497
43.5.4.7	错误处理 .....	2497
43.5.4.7.1	未知标记错误.....	2497
43.5.4.7.2	意外标记错误.....	2497
43.5.4.7.3	霍夫曼解码错误.....	2497
43.5.4.7.4	标记段太短.....	2498
43.5.4.7.5	引用 SOS 中未定义的组件.....	2498
43.5.4.7.6	引用未定义的表.....	2498
43.5.4.7.7	EOI 标记缺失 .....	2498
43.5.4.8	预共享霍夫曼表和量化表.....	2498
43.5.4.9	吞吐量和延迟.....	2499
43.5.5	BRC .....	2499
43.5.5.1	特性 .....	2499
43.5.5.2	功能概述 .....	2499
43.5.5.3	输入格式 .....	2500
43.5.5.4	AXI 附件存储器.....	2501
43.5.5.5	上采样模式 .....	2502
43.5.6	SGDMA.....	2502
43.5.6.1	特性 .....	2503
43.5.6.2	功能框图 .....	2503
43.5.6.3	块描述 .....	2504
43.5.6.3.1	AXI SGDMA 通道顶层实体.....	2504
43.5.6.3.2	控制和状态寄存器 (CSR) .....	2504
43.5.6.3.3	数据总线对齐模块.....	2505
43.5.6.3.4	数据 FIFO 和 AXI4 流外围接口.....	2506
43.5.6.3.5	数据 buffer .....	2506
43.5.6.3.6	DMA 控制.....	2507
43.5.6.3.6.1	使能/清除行为 .....	2507
43.5.6.3.6.2	阻塞/非阻塞中断 .....	2507
43.5.6.3.6.3	错误处理 .....	2507
43.5.6.3.6.4	AXI4 地址对齐.....	2508
43.5.6.3.6.5	H2P 控制 FSM .....	2508
43.5.6.3.6.6	P2H 控制 FSM .....	2509

43.5.6.4 AXI 读/写通道控制 FSM.....	2509
43.5.6.5 描述符和描述符列表结构.....	2511
43.5.6.5.1 通过内存访问描述符.....	2512
43.5.6.5.2 通过 CSR 接口编程描述符.....	2513
43.5.7 编程指南.....	2515
43.6 寄存器总览.....	2515
43.6.1 类型控制寄存器.....	2515
43.6.1.1 JPEG 控制寄存器 (JPEG_CTRL).....	2516
43.6.2 SGDMA 寄存器.....	2516
43.6.2.1 DMA 控制寄存器 (JPEGDMA_CTRL).....	2516
43.6.2.2 DMA 状态寄存器 (JPEGDMA_STS).....	2518
43.6.2.3 DMA 中断控制寄存器 (JPEGDMA_IE).....	2518
43.6.2.4 DMA 中断状态寄存器 (JPEGDMA_INTSTS).....	2519
43.6.2.5 DMA 几乎超出描述符阈值寄存器 (JPEGDMA_AOODT).....	2520
43.6.2.6 DMA 最大突发大小寄存器 (JPEGDMA_MBSIZE).....	2520
43.6.2.7 DMA 分散聚集列表指针寄存器 (JPEGDMA_SGLP).....	2521
43.6.2.8 DMA 分散聚集列表大小寄存器 (JPEGDMA_SGLSIZE).....	2521
43.6.2.9 DMA 分散聚集列表头部寄存器 (JPEGDMA_SGLHEAD).....	2522
43.6.2.10 DMA 分散聚集列表尾部寄存器 (JPEGDMA_SGLTAIL).....	2522
43.6.2.11 DMA 内存读地址寄存器 (JPEGDMA_MRADD).....	2523
43.6.2.12 DMA 内存写地址寄存器 (JPEGDMA_MWADD).....	2523
43.6.2.13 DMA 描述符标志寄存器 (JPEGDMA_DESCF).....	2524
43.6.2.14 DMA 描述符内存块大小寄存器 (JPEGDMA_DESC_MBSIZE).....	2524
43.6.2.15 DMA 描述符内存已用空间寄存器 (JPEGDMA_DESC_MUS).....	2525
43.6.2.16 DMA 描述符内存块地址寄存器 (JPEGDMA_DESC_MBADD).....	2525
43.6.2.17 DMA 描述符链接地址寄存器 (JPEGDMA_DESC_LINK).....	2526
43.6.2.18 DMA 参数配置寄存器 (JPEGDMA_PARACFG).....	2526
43.6.2.19 DMA 数据 FIFO 深度寄存器 (JPEGDMA_FIFODP).....	2527
43.6.3 解码寄存器.....	2527
43.6.3.1 解码模式寄存器 (JPEGDEC_MODE).....	2527
43.6.3.2 解码错误寄存器 (JPEGDEC_ERROR).....	2528
43.6.3.3 未知标记错误位置寄存器 (JPEGDEC_UNLOC).....	2528
43.6.3.4 意外标记错误位置寄存器 (JPEGDEC_UELOC).....	2529
43.6.3.5 霍夫曼错误符号寄存器 (JPEGDEC_HESYM).....	2529
43.6.3.6 霍夫曼 ECS 编码符号错误寄存器 (JPEGDEC_HESYMECS).....	2530
43.6.3.7 霍夫曼符号错误位置寄存器 (JPEGDEC_HUF_SELOC).....	2530
43.6.3.8 表访问请求寄存器 (JPEGDEC_TAB_ACCREQ).....	2530
43.6.3.9 霍夫曼表 0 EOB 符号寄存器 (JPEGDEC_HUFTAB0_EOB).....	2531
43.6.3.10 霍夫曼表 1 EOB 符号寄存器 (JPEGDEC_HUFTAB1_EOB).....	2531
43.6.3.11 霍夫曼表 2 EOB 符号寄存器 (JPEGDEC_HUFTAB2_EOB).....	2532
43.6.3.12 霍夫曼表 3 EOB 符号寄存器 (JPEGDEC_HUFTAB3_EOB).....	2532
43.6.3.13 霍夫曼表访问地址寄存器 (JPEGDEC_HUF_ADDR).....	2533
43.6.3.14 霍夫曼表访问数据寄存器 (JPEGDEC_HUF_DATA).....	2533
43.6.3.15 霍夫曼表访问剩余字节寄存器 (JPEGDEC_HUF_REM).....	2534

43.6.3.16 量化表 0 寄存器 (JPEGDEC_QT0).....	2534
43.6.3.17 量化表 1 寄存器 (JPEGDEC_QT1).....	2535
43.6.3.18 量化表 2 寄存器 (JPEGDEC_QT2).....	2535
43.6.3.19 量化表 3 寄存器 (JPEGDEC_QT3).....	2535
43.6.4 编码寄存器.....	2536
43.6.4.1 霍夫曼表 x 寄存器 (x = 0, 1, 2, 3).....	2536
43.6.4.1.1 代码偏移及长度寄存器 (JPEGENC_HUFTAB_COL).....	2536
43.6.4.1.2 代码起始寄存器 (JPEGENC_HUFTAB_CST).....	2537
43.6.4.1.3 ZRL 及 EOB 符号寄存器 (JPEGENC_HUFTAB_SYM).....	2537
43.6.4.2 量化表 0 寄存器 (JPEGENC_QT0).....	2538
43.6.4.3 量化表 1 寄存器 (JPEGENC_QT1).....	2538
43.6.4.4 量化表 2 寄存器 (JPEGENC_QT2).....	2539
43.6.4.5 量化表 3 寄存器 (JPEGENC_QT3).....	2539
43.6.4.6 JPEG 头/尾 buffer 寄存器 (JPEGENC_HFBUF).....	2540
43.6.4.7 JPEG 头端地址寄存器 (JPEGENC_HEADD).....	2541
43.6.4.8 霍夫曼表 0 结束地址寄存器 (JPEGENC_HUFTAB0E).....	2541
43.6.4.9 霍夫曼表 1 结束地址寄存器 (JPEGENC_HUFTAB1E).....	2542
43.6.4.10 霍夫曼表 2 结束地址寄存器 (JPEGENC_HUFTAB2E).....	2542
43.6.4.11 霍夫曼表 3 结束地址寄存器 (JPEGENC_HUFTAB3E).....	2542
43.6.4.12 JPEG 文件尾结束地址寄存器 (JPEGENC_FEADD).....	2543
43.6.4.13 编码控制寄存器 (JPEGENC_CTRL).....	2543
43.6.4.14 动态重配置寄存器 (JPEGENC_DYNRCFG).....	2544
43.6.4.15 文件头部分选择寄存器 (JPEGENC_HSEL).....	2544
43.6.4.16 管道状态寄存器 (JPEGENC_PIPESTS).....	2545
43.6.4.17 重启间隔控制寄存器 (JPEGENC_RICTRL).....	2546
43.6.4.18 文件头/文件尾 RAM 大小寄存器 (JPEGENC_HFSIZE).....	2546
43.6.4.19 输出 buffer 大小寄存器 (JPEGENC_OBSIZE).....	2547
43.6.5 块到光栅(BRC)寄存器.....	2547
43.6.5.1 BRC 初始化寄存器 (JPEGBRC_INIT).....	2547
43.6.5.2 BRC 使能寄存器 (JPEGBRC_EN).....	2548
43.6.5.3 AXI Buffer 基地址寄存器 (JPEGBRC_BUFBADD).....	2548
43.6.5.4 AXI Buffer 大小寄存器 (JPEGBRC_BUFSIZE).....	2549
43.6.5.5 上采样模式寄存器 (JPEGBRC_USMODE).....	2549
43.6.6 光栅到块(RBC)寄存器.....	2550
43.6.6.1 RBC 初始化寄存器 (JPEGRBC_INIT).....	2550
43.6.6.2 RBC 使能寄存器 (JPEGRBC_EN).....	2550
43.6.6.3 转换输入采样顺序寄存器 (JPEGRBC_SWITCH).....	2551
43.6.6.4 帧宽度寄存器 (JPEGRBC_FRMW).....	2551
43.6.6.5 帧高度寄存器 (JPEGRBC_FRMH).....	2552
43.6.6.6 像素格式寄存器 (JPEGRBC_PFORM).....	2552
43.6.6.7 组件名称寄存器 (JPEGRBC_CNAME).....	2553
43.6.6.8 组件 0 开始地址寄存器 (JPEGRBC_C0SADD).....	2553
43.6.6.9 组件 0 结束地址寄存器 (JPEGRBC_C0EADD).....	2554
43.6.6.10 每个扫描 0 的块数寄存器 (JPEGRBC_BPS0).....	2554

43.6.6.11 每个扫描 1 和 2 的块数寄存器 (JPEG_RBC_BPS12).....	2555
43.6.6.12 MCU 行扫描 0 寄存器(JPEG_RBC_ROWS0).....	2555
43.6.6.13 MCU 行扫描 1 和 2 寄存器(JPEG_RBC_ROWS12).....	2556
43.6.6.14 帧高度半寄存器(JPEG_RBC_HHALF).....	2557
43.6.6.15 块行步长扫描模式 0 寄存器 (JPEG_RBC_BLSS0).....	2557
43.6.6.16 块行步长扫描模式 1 和 2 寄存器 (JPEG_RBC_BLSS12).....	2558
43.6.6.17 扫描模式 0 下的每 MCU 行块数寄存器 (JPEG_RBC_BPRS0).....	2558
43.6.6.18 扫描模式 1,2 下的每 MCU 行块 (JPEG_RBC_BPRS12).....	2559
43.6.6.19 最大支持宽度寄存器 (JPEG_RBC_MAXW).....	2559
43.6.6.20 最大支持高度寄存器(JPEG_RBC_MAXH).....	2560
43.6.6.21 最大支持 buffer 大小寄存器 (JPEG_RBC_MBSIZE).....	2560
<b>44 LCD 显示控制器 (LCDC) .....</b>	<b>2561</b>
44.1 概述.....	2561
44.2 LCDC 主要特性.....	2561
44.3 LCDC 功能描述.....	2563
44.3.1 框图.....	2563
44.3.2 LCDC 引脚和信号接口.....	2563
44.4 LCDC 可编程参数.....	2565
44.4.1 LCDC 全局配置参数 .....	2565
44.4.1.1 同步时序配置示例.....	2566
44.4.1.2 可编程极性 .....	2566
44.4.1.3 背景色 .....	2566
44.4.1.4 抖动 .....	2566
44.4.1.5 重载影子寄存器.....	2566
44.4.2 层可编程参数 .....	2567
44.4.2.1 窗口 .....	2567
44.4.2.2 像素格式 .....	2567
44.4.2.3 查色表 .....	2570
44.4.2.4 颜色帧缓冲地址.....	2570
44.4.2.5 颜色帧缓冲区长度.....	2570
44.4.2.6 颜色帧缓冲区间距.....	2570
44.4.2.7 层混合 .....	2570
44.4.2.8 默认颜色 .....	2571
44.4.2.9 色键 .....	2571
44.5 LCDC 中断 .....	2571
44.6 LCDC 配置流程.....	2572
44.7 LCDC 寄存器 .....	2574
44.7.1 LCDC 同步大小控制寄存器 (LCDC_SYNCCTRL) .....	2574
44.7.2 LCDC 后沿控制寄存器 (LCDC_BPCTRL) .....	2574
44.7.3 LCDC 有效宽度控制寄存器 (LCDC_AWCTRL) .....	2575
44.7.4 LCDC 总宽度控制寄存器 (LCDC_TWCTRL) .....	2575
44.7.5 LCDC 全局控制寄存器 (LCDC_GCTRL) .....	2576
44.7.6 LCDC 影子重载控制寄存器 (LCDC_SRCTRL) .....	2577



44.7.7	LCDC 背景色控制寄存器 (LCDC_BCCTRL)	2578
44.7.8	LCDC 中断使能寄存器 (LCDC_INTEN)	2578
44.7.9	LCDC 中断状态寄存器 (LCDC_INTSTS)	2579
44.7.10	LCDC 中断清除寄存器 (LCDC_INTCLR)	2580
44.7.11	LCDC 中断位置控制寄存器 (LCDC_LINTPCTRL)	2580
44.7.12	LCDC 当前位置状态寄存器 (LCDC_CPSTS)	2581
44.7.13	LCDC 当前显示状态寄存器 (LCDC_CDSTS)	2581
44.7.14	LCDC 外部显示控制寄存器 (LCDC_EXTDCTRL)	2582
44.7.15	LCDC 层影子重载控制寄存器 (LCDC_LSRCTRL)	2583
44.7.16	LCDC 层控制寄存器 (LCDC_LCTRL)	2583
44.7.17	LCDC 窗口水平位置控制寄存器 (LCDC_WHPCTRL)	2585
44.7.18	LCDC 窗口垂直位置控制寄存器 (LCDC_WVPCTRL)	2585
44.7.19	LCDC 色键控制寄存器 (LCDC_CKCTRL)	2586
44.7.20	LCDC 像素格式控制寄存器 (LCDC_PFCTRL)	2586
44.7.21	LCDC 恒定 Alpha 控制寄存器 (LCDC_CACTRL)	2587
44.7.22	LCDC 默认颜色控制寄存器 (LCDC_DCCTRL)	2587
44.7.23	LCDC 混合系数控制寄存器 (LCDC_BFCTRL)	2588
44.7.24	LCDC 辅助帧缓冲控制寄存器 (LCDC_AFBCTRL)	2589
44.7.25	LCDC 帧缓冲区地址寄存器 (LCDC_CFBADDR)	2591
44.7.26	LCDC 帧缓冲区长度寄存器 (LCDC_CFBLEN)	2591
44.7.27	LCDC 帧缓冲区行数寄存器 (LCDC_CFBNUM)	2592
44.7.28	LCDC 辅助帧缓冲区 0 地址寄存器 (LCDC_AFBADDR0)	2592
44.7.29	LCDC 辅助帧缓冲区 1 地址寄存器 (LCDC_AFBADDR1)	2593
44.7.30	LCDC 辅助帧缓冲区长度寄存器 (LCDC_AFBLEN)	2593
44.7.31	LCDC 辅助帧缓冲区行数寄存器 (LCDC_AFBNUM)	2594
44.7.32	LCDC CLUT 写寄存器 (LCDC_CLUTWR)	2594
44.7.33	LCDC 缩放输入大小寄存器 (LCDC_SINS)	2595
44.7.34	LCDC 缩放输出大小寄存器 (LCDC_SOUTS)	2595
44.7.35	LCDC 垂直缩放因子寄存器 (LCDC_VSF)	2596
44.7.36	LCDC 垂直缩放相位寄存器 (LCDC_VSP)	2596
44.7.37	LCDC 水平缩放因子寄存器 (LCDC_HSF)	2596
44.7.38	LCDC 水平缩放相位寄存器 (LCDC_HSP)	2597
44.7.39	LCDC YCbCr 比例寄存器 1 (LCDC_YUVS1)	2597
44.7.40	LCDC YCbCr 比例寄存器 2 (LCDC_YUVS2)	2598
44.7.41	LCDC 自定义格式寄存器 1 (LCDC_FCF1)	2599
44.7.42	LCDC 自定义格式寄存器 2 (LCDC_FCF2)	2599
<b>45</b>	<b>图形处理单元 (GPU)</b>	<b>2601</b>
45.1	概述	2601
45.2	主要功能	2601
45.3	框图	2603
45.4	功能描述	2605
45.4.1	流控制器 (STC)	2605
45.4.1.1	流格式	2605

45.4.1.2 流命令 .....	2605
45.4.1.3 启动命令流执行 .....	2606
45.4.1.4 中断/错误 .....	2606
45.4.2 像素选择单元 (PSU) .....	2607
45.4.2.1 限制器 .....	2607
45.4.2.2 枚举步骤 .....	2607
45.4.2.3 贝塞尔(Bézier)后处理 .....	2608
45.4.3 清除单元 (CLR) .....	2608
45.4.4 纹素 U/V 插值 (TXI) .....	2608
45.4.5 纹素地址计算 (TXA) .....	2609
45.4.5.1 基本功能 .....	2609
45.4.5.2 子模块结构 .....	2611
45.4.6 纹理缓存/调度程序 (TXC/TXS) .....	2612
45.4.6.1 获取缓存行 .....	2612
45.4.6.2 调试模式 .....	2612
45.4.7 RLE 解码器 (RLD) .....	2612
45.4.7.1 基本功能 .....	2612
45.4.7.2 RLE 格式 .....	2613
45.4.8 纹素处理 (TXP) .....	2613
45.4.8.1 子模块结构 .....	2613
45.4.8.2 CLUT 查找 .....	2614
45.4.8.3 滤波/ARGB 映射结合 .....	2614
45.4.9 颜色单元 (COL) .....	2614
45.4.10 帧缓冲区读取决策 (FBD) .....	2615
45.4.11 帧缓冲区缓存/调度程序 (FBC/FBS) .....	2616
45.4.11.1 基本功能 .....	2616
45.4.11.2 调试模式 .....	2616
45.4.12 混合单元 (BLU) .....	2616
45.4.12.1 基本功能 .....	2616
45.4.12.2 预乘 .....	2617
45.4.12.3 Alpha/颜色写屏蔽 .....	2618
45.4.12.4 Alpha/颜色混合因子 .....	2618
45.4.12.5 颜色通道混合 .....	2618
45.4.12.6 覆盖混合 .....	2618
45.4.12.7 后分割 .....	2618
45.4.12.8 抖动 .....	2619
45.4.12.9 转换输出 .....	2619
45.5 寄存器 .....	2619
45.5.1 流控制器 (STC) 寄存器 .....	2619
45.5.1.1 硬件版本寄存器 (VERSION) .....	2619
45.5.1.2 配置 1 寄存器 (CONFIG_1) .....	2619
45.5.1.3 配置 2 寄存器 (CONFIG_2) .....	2620
45.5.1.4 配置 3 寄存器 (CONFIG_3) .....	2621
45.5.1.5 繁忙状态标志寄存器 (BUSY_STATUS) .....	2621

45.5.1.6	STC 控制寄存器 (CONTROL)	2622
45.5.1.7	中断状态寄存器 (INTERRUPT_STATUS)	2623
45.5.1.8	流地址寄存器 (STREAM_ADDRESS)	2625
45.5.1.9	环形队列暂停地址寄存器 (RING_PAUSE_ADDRESS)	2625
45.5.1.10	当前环形队列地址寄存器 (CURRENT_RING_ADDRESS)	2626
45.5.1.11	当前流地址寄存器 (CURRENT_STREAM_ADDRESS)	2626
45.5.1.12	当前校验和寄存器 (CURRENT_CHECKSUM)	2627
45.5.1.13	同步 ID 寄存器 (SYNC_ID_n, n=0~2)	2627
45.5.1.14	调用栈指针寄存器 (CALL_STACK_POINTER)	2628
45.5.1.15	调用栈指针寄存器 (CALL_STACK_ENTRY_n, n=0~7)	2628
45.5.1.16	性能计数器寄存器 (PERFORMANCE_COUNTER_VALUES_n, n=0~3)	2629
45.5.1.17	突发长度限制写寄存器 (BURST_LENGTH_LIMIT_WRITE)	2629
45.5.1.18	突发长度限制读 0 寄存器 (BURST_LENGTH_LIMIT_READ_0)	2630
45.5.1.19	突发长度限制读 1 寄存器 (BURST_LENGTH_LIMIT_READ_1)	2631
45.5.2	像素选择单元 (PSU) 寄存器	2631
45.5.2.1	限制器边框最小值寄存器 (LIM_BBOX_MIN)	2631
45.5.2.2	限制器边框最大值寄存器 (LIM_BBOX_MAX)	2632
45.5.2.3	限制器起始位置寄存器 (LIM_START)	2632
45.5.2.4	限制器控制寄存器 (LIM_CTRL)	2633
45.5.2.5	限制器线条寄存器 (LIM_STRIPE)	2634
45.5.2.6	贝塞尔控制寄存器 (BEZ_CTRL)	2634
45.5.2.7	贝塞尔限制器偏移 0 寄存器 (BEZ_VOFF_0)	2635
45.5.2.8	贝塞尔限制器偏移 1 寄存器 (BEZ_VOFF_1)	2635
45.5.2.9	贝塞尔限制器抗锯齿控制寄存器 (BEZ_AA_CTRL)	2636
45.5.2.10	贝塞尔限制器起始值寄存器 (LIM_VSTART_n, n=0~5)	2637
45.5.2.11	贝塞尔限制器 x 增量寄存器 (LIM_DX_n, n=0~5)	2637
45.5.2.12	贝塞尔限制器 y 增量寄存器 (LIM_DY_n, n=0~5)	2638
45.5.2.13	调试控制寄存器 (DEBUG_CTRL)	2638
45.5.2.14	限制器边框限制寄存器 (LIM_BBOX_MAX)	2639
45.5.3	纹理 U/V 插值寄存器	2639
45.5.3.1	U 偏移量 0 寄存器 (TXA_U_OFFSET_0)	2639
45.5.3.2	V 偏移量 0 寄存器 (TXA_V_OFFSET_0)	2640
45.5.3.3	U 的 X 增量寄存器 (TXA_DUX_0)	2640
45.5.3.4	U 的 Y 增量寄存器 (TXA_DUY_0)	2641
45.5.3.5	V 的 X 增量寄存器 (TXA_DVX_0)	2641
45.5.3.6	V 的 Y 增量寄存器 (TXA_DVY_0)	2642
45.5.3.7	U 偏移量 1 寄存器 (TXA_U_OFFSET_1)	2642
45.5.3.8	V 偏移量 1 寄存器 (TXA_V_OFFSET_1)	2643
45.5.3.9	U 的 X 增量寄存器 (TXA_DUX_1)	2643
45.5.3.10	U 的 Y 增量寄存器 (TXA_DUY_1)	2643
45.5.3.11	V 的 X 增量寄存器 (TXA_DVX_1)	2644
45.5.3.12	V 的 Y 增量寄存器 (TXA_DVY_1)	2644
45.5.4	纹理 RHW 和 Z 插值寄存器	2645
45.5.4.1	TXA 的 Z 偏移量寄存器 (TXA_Z_OFFSET)	2645

45.5.4.2 TXA 的 ZX 增量寄存器 (TXA_DZX) .....	2645
45.5.4.3 TXA 的 ZY 增量寄存器 (TXA_DZY) .....	2646
45.5.4.4 TXA 的 Z_RHW 偏移量寄存器 (TXA_Z_RHW_OFFSET) .....	2646
45.5.4.5 TXA 的 Z_RHWX 增量寄存器 (TXA_Z_DRHWX) .....	2647
45.5.4.6 TXA 的 Z_RHWY 增量寄存器 (TXA_Z_DRHWY) .....	2647
45.5.4.7 TXA 的 RHW 偏移量寄存器 (TXA_RHW_OFFSET_0) .....	2648
45.5.4.8 TXA 的 RHWX 增量寄存器 (TXA_DRHWX_0) .....	2648
45.5.4.9 TXA 的 RHWY 增量寄存器 (TXA_DRHWY_0) .....	2649
45.5.4.10 TXA 的 RHW 偏移量寄存器 (TXA_RHW_OFFSET_1) .....	2649
45.5.4.11 TXA 的 RHWX 增量寄存器 (TXA_DRHWX_1) .....	2650
45.5.4.12 TXA 的 RHWY 增量寄存器 (TXA_DRHWY_1) .....	2650
45.5.5 纹素地址计算(TXA)寄存器 .....	2651
45.5.5.1 TXA 纹理单元大小寄存器 0 (TXA_SIZE_0) .....	2651
45.5.5.2 TXA 入口寄存器 0 (TXA_ACCESS_0) .....	2651
45.5.5.3 TXA 纹理单元大小寄存器 1 (TXA_SIZE_1) .....	2652
45.5.5.4 TXA 入口寄存器 1 (TXA_ACCESS_1) .....	2653
45.5.6 全局和帧缓存寄存器 .....	2654
1.1.1.1. 纹理单元全局寄存器 (TEX_GLOBAL) .....	2654
1.1.1.2. 颜色单元全局寄存器 (COL_GLOBAL) .....	2655
1.1.1.3. 帧缓存获取配置寄存器 (FBD_CONFIG) .....	2655
1.1.1.4. 帧缓存调度间距寄存器 (FBS_PITCH) .....	2656
1.1.1.5. 帧缓存调度跨度配置寄存器 (FBS_SPAN_CONFIG) .....	2657
1.1.1.6. RLD 起始地址寄存器 (RLD_START_ADDRESS) .....	2658
1.1.1.7. 常量颜色寄存器 (COL_CONST_COLOR_n, n=0~3) .....	2658
45.5.7 纹理和纹素处理 (TXP) 寄存器 .....	2659
45.5.7.1 纹理单元模式寄存器 (TEX_MODE_n, n=0~1) .....	2659
45.5.7.2 TXC 起始地址寄存器 (TXC_START_ADDRESS_n, n=0~1) .....	2662
45.5.7.3 TXP 控制寄存器 (TXP_CTRL_n, n=0~1) .....	2662
45.5.7.4 TXP 颜色检查表偏移量寄存器 (TXP_CLUT_OFFSET_n, n=0~1) .....	2663
45.5.7.5 TXP 色彩键寄存器 (TXP_COLOR_KEY_n, n=0~1) .....	2664
45.5.7.6 TXP 颜色填充寄存器 (TXP_FILL_COLOR_n, n=0~1) .....	2664
45.5.7.7 TXP 滤波比例偏差寄存器 (TXP_FILTER_SCALE_BIAS_n, n=0~1) .....	2665
45.5.8 颜色单元 (COL) 寄存器 .....	2666
45.5.8.1 颜色单元 ARGB Op1a 寄存器 (COL_ARGB_OP1A_n, n=0~2) .....	2666
45.5.8.2 颜色单元 ARGB Op1b 寄存器 (COL_ARGB_OP1B_n, n=0~2) .....	2670
45.5.8.3 颜色单元 ARGB Op2a 寄存器 (COL_ARGB_OP2A_n, n=0~2) .....	2674
45.5.8.4 颜色单元 ARGB Op2b 寄存器 (COL_ARGB_OP2B_n, n=0~2) .....	2678
45.5.8.5 颜色单元 ARGB Op3 寄存器 (COL_ARGB_OP3_n, n=0~2) .....	2682
45.5.8.6 颜色单元 ARGB 输出寄存器 (COL_ARGB_OUT_n, n=0~2) .....	2686
45.5.9 混合单元 (BLU) 寄存器 .....	2688
45.5.9.1 帧缓存像素格式寄存器 (FB_PIXEL_ORG) .....	2688
45.5.9.2 FBC 起始地址寄存器 (FBC_START_ADDRESS) .....	2689
45.5.9.3 BLU 颜色混合寄存器 (BLU_BLEND) .....	2690
45.5.9.4 BLU 颜色抖动寄存器 (BLU_DITHER) .....	2692

45.5.9.5 BLU 写控制寄存器 (BLU_WRITE) .....	2693
45.5.10 性能计数器 (PFC) 寄存器 .....	2694
45.5.10.1 PFC 使能寄存器 (PFC_ENABLE) .....	2694
45.5.10.2 PFC 清除寄存器 (PFC_CLEAR) .....	2694
45.5.10.3 PFC 事件选择寄存器 (PFC_EVENT_SELECT_n, n=0~3) .....	2695
45.5.11 清除单元 (CLR) 寄存器 .....	2698
45.5.11.1 清除单元颜色值寄存器 (CLR_VALUE) .....	2699
45.5.11.2 CLR 行配置寄存器 (CLR_LINE_CONFIG) .....	2699
45.5.11.3 CLR 控制寄存器 (CLR_CTRL) .....	2700
45.5.11.4 CLR 起始地址寄存器 (CLR_START_ADDRESS) .....	2700
45.5.12 查找表 (LUT) 条目寄存器 .....	2701
<b>46 DVP 接口 (DVP) .....</b>	<b>2702</b>
46.1 简介 .....	2702
46.2 主要特性 .....	2702
46.3 功能框图 .....	2702
46.4 接口时序 .....	2703
46.5 DVP 时钟 .....	2703
46.6 功能描述和操作说明 .....	2703
46.6.1 操作流程 .....	2703
46.6.2 数据传输和同步 .....	2704
46.6.2.1 硬件同步模式 .....	2704
46.6.2.2 内嵌码同步模式 .....	2704
46.6.3 捕获模式 .....	2705
46.6.3.1 快照模式 (单帧捕获) .....	2705
46.6.3.2 连续采集模式 .....	2706
46.6.4 裁剪功能 .....	2706
46.6.5 跳行功能 .....	2707
46.6.6 FIFO 和 DMA .....	2709
46.6.7 中断 .....	2709
46.7 DVP 寄存器 .....	2710
46.7.1 DVP 控制寄存器 (DVP_CTRL) .....	2710
46.7.2 DVP 中断使能寄存器 (DVP_INTEN) .....	2711
46.7.3 DVP 中断状态寄存器 (DVP_INTSTS) .....	2712
46.7.4 DVP 端口配置寄存器 (DVP_PORTCFG) .....	2714
46.7.5 DVP FIFO 配置寄存器 (DVP_FIFOCFG) .....	2717
46.7.6 DVP 起始存储地址 1 寄存器 (DVP_SMADDR1) .....	2719
46.7.7 DVP 起始存储地址 2 寄存器 (DVP_SMADDR2) .....	2719
46.7.8 DVP 缓存区大小寄存器 (DVP_FBS) .....	2720
46.7.9 DVP 区块 1 像素字节计数寄存器 (DVP_FPBC1) .....	2720
46.7.10 DVP 区块 2 像素字节计数寄存器 (DVP_FPBC2) .....	2721
46.7.11 DVP 裁剪起始 XY 坐标寄存器 (DVP_CSXY) .....	2721
46.7.12 DVP 裁剪终止 XY 坐标寄存器 (DVP_CEXY) .....	2722
46.7.13 DVP 内嵌码同步标志寄存器 (DVP_EMSC) .....	2723

46.7.14 DVP 内嵌码同步掩码寄存器 (DVP_EMSCM) .....	2724
<b>47 以太网 (ETH) .....</b>	<b>2726</b>
47.1 简介 .....	2726
47.2 主要特性 .....	2726
47.2.1 MAC 特性 .....	2726
47.2.2 MAC 事务层 (MTL) 特性 .....	2728
47.2.3 DMA 特性 .....	2729
47.2.4 总线接口特性 .....	2729
47.2.5 监控、测试和调试特性 .....	2729
47.3 功能框图 .....	2730
47.3.1 DMA .....	2730
47.3.2 MTL .....	2730
47.3.3 MAC .....	2730
47.4 引脚和信号 .....	2731
47.5 功能描述 .....	2734
47.5.1 DMA 功能描述 .....	2734
47.5.1.1 总线突发访问 .....	2734
47.5.1.2 数据缓冲区对齐 .....	2735
47.5.1.3 缓冲区大小计算 .....	2735
47.5.1.4 DMA 仲裁 .....	2736
47.5.1.5 发送操作: 非 OSP 模式 .....	2736
47.5.1.6 发送操作: OSP 模式 .....	2738
47.5.1.7 发送数据包处理 .....	2741
47.5.1.8 发送轮询暂停 .....	2741
47.5.1.9 接收操作 .....	2741
47.5.1.10 接收描述符获取 .....	2743
47.5.1.11 接收数据包处理 .....	2743
47.5.1.12 对 DMA 的错误响应 .....	2744
47.5.2 MTL 功能描述 .....	2744
47.5.2.1 发送操作 .....	2744
47.5.2.2 单数据包发送操作 .....	2745
47.5.2.3 双数据包发送操作 .....	2746
47.5.2.4 冲突期间的重传 .....	2747
47.5.2.5 发送状态字 .....	2747
47.5.2.6 接收操作 .....	2747
47.5.2.7 多数数据包接收操作 .....	2748
47.5.2.8 接收操作中的错误处理 .....	2748
47.5.2.9 接收状态字 .....	2748
47.5.3 MAC 功能描述 .....	2748
47.5.3.1 MAC 发送 .....	2748
47.5.3.2 发送总线接口单元模块 .....	2750
47.5.3.3 发送数据包控制器模块 .....	2750
47.5.3.4 发送协议引擎模块 .....	2751

47.5.3.5 发送调度模块.....	2752
47.5.3.6 发送 CRC 模块.....	2753
47.5.3.7 发送流量控制器模块.....	2753
47.5.3.8 MAC 接收.....	2754
47.5.3.9 接收协议引擎模块.....	2754
47.5.3.10 接收 CRC 模块.....	2755
47.5.3.11 接收数据包控制器模块.....	2755
47.5.3.12 接收流量控制器模块.....	2756
47.5.3.13 接收总线接口单元模块.....	2757
47.5.3.14 地址过滤模块.....	2757
47.5.3.15 双 VLAN 处理.....	2757
47.5.3.16 源地址和 VLAN 插入/替换/删除.....	2758
47.5.4 PHY 接口描述.....	2760
47.5.4.1 站管理代理 (SMA).....	2760
47.5.4.2 介质独立接口 (MII).....	2762
47.5.4.3 精简介质独立接口 (RMII).....	2763
47.5.4.4 千兆介质独立接口 (GMII).....	2766
47.5.5 数据包过滤.....	2768
47.5.5.1 MAC 源地址或目的地址过滤.....	2770
47.5.5.2 VLAN 过滤.....	2772
47.5.5.3 第 3 层和第 4 层过滤.....	2773
47.5.6 IEEE 1588 时间戳.....	2774
47.5.6.1 时钟类型.....	2775
47.5.6.2 延迟请求-响应机制.....	2776
47.5.6.3 点对点 PTP 透明时钟 (P2P TC) 消息.....	2778
47.5.6.4 时间戳校准.....	2779
47.5.6.5 PTP 处理和控制的.....	2780
47.5.6.6 发送路径功能.....	2783
47.5.6.7 接收路径功能.....	2783
47.5.6.8 IEEE 1588 系统时间源.....	2784
47.5.6.9 系统时间寄存器模块.....	2784
47.5.6.10 IEEE 1588 高字寄存器.....	2786
47.5.6.11 IEEE 1588 辅助快照.....	2786
47.5.6.12 灵活秒脉冲输出.....	2787
47.5.6.13 PTP 时间戳减荷.....	2788
47.5.6.14 一步时间戳.....	2791
47.5.7 发送校验和减荷.....	2793
47.5.7.1 IP 报头校验和引擎.....	2794
47.5.7.2 TCP/UDP/ICMP 校验和引擎.....	2794
47.5.8 接收校验和减荷.....	2795
47.5.9 TCP 分段减荷.....	2797
47.5.9.1 带 TSO 功能的 DMA 操作.....	2797
47.5.9.2 TCP/IP 报头字段.....	2799
47.5.9.3 分段数据包的报头和有效负载字段.....	2800

47.5.9.4 上下文描述符序列.....	2801
47.5.9.5 构建 TSO 功能的描述符和数据包 .....	2801
47.5.10 IPv4 ARP 减荷 .....	2802
47.5.11 低功耗管理 (PMT) .....	2803
47.5.11.1 魔术数据包模式.....	2803
47.5.11.2 远程唤醒数据包模式.....	2804
47.5.12 节能型以太网 (EEE) .....	2806
47.5.12.1 发送路径功能.....	2807
47.5.12.2 发送路径中 LPI 模式的自动进入/退出.....	2808
47.5.12.3 接收路径功能.....	2808
47.5.12.4 LPI 定时器 .....	2809
47.5.13 MAC 管理计数器 .....	2810
47.5.14 Loopback 模式 .....	2811
47.5.15 描述符.....	2811
47.5.15.1 描述符结构 .....	2812
47.5.15.2 发送描述符 .....	2813
47.5.15.3 接收描述符 .....	2823
47.5.16 以太网中断 .....	2831
47.5.16.1 DMA 中断.....	2831
47.5.16.2 MTL 中断.....	2833
47.5.16.3 MAC 中断.....	2833
47.5.17 编程指南 .....	2834
47.5.17.1 DMA 初始化 .....	2834
47.5.17.2 MTL 初始化.....	2835
47.5.17.3 MAC 初始化 .....	2835
47.5.17.4 执行正常接收和发送操作.....	2836
47.5.17.5 停止和开始发送.....	2836
47.5.17.6 在 Rx DMA 中切换到新描述符列表.....	2837
47.5.17.7 切换 AHB 时钟频率 .....	2837
47.5.17.8 PHY 接口链路状态转换--链路断开时发送和接收时钟处于运行状态 .....	2837
47.5.17.9 PHY 接口链路状态转换--链路断开时发送和接收时钟处于停止状态 .....	2838
47.5.17.10 IEEE 1588 时间戳--系统时间生成.....	2838
47.5.17.11 IEEE 1588 时间戳--系统时间粗略校准.....	2838
47.5.17.12 IEEE 1588 时间戳--系统时间精密校准.....	2839
47.5.17.13 PTP 减荷--自动定期生成 PTP 同步消息.....	2839
47.5.17.14 PTP 减荷--定期生成 PTP Pdelay_Req 消息.....	2839
47.5.17.15 PTP 减荷--生成普通/边界主模式 PTP 响应消息.....	2840
47.5.17.16 PTP 减荷--生成普通/边界从模式 PTP 响应消息.....	2840
47.5.17.17 PTP 减荷--生成透明从模式 PTP 响应消息.....	2840
47.5.17.18 PTP 减荷--生成透明主模式 PTP 响应消息.....	2841
47.5.17.19 PTP 减荷--生成点对点透明模式 PTP 响应消息.....	2841
47.5.17.20 EEE--进入和退出 Tx LPI 模式 .....	2842
47.5.17.21 灵活秒脉冲输出--在 PPS 上生成单脉冲.....	2843
47.5.17.22 灵活秒脉冲输出--在 PPS 上生成下一个脉冲.....	2843



47.5.17.23 灵活秒脉冲输出--在 PPS 上生成脉冲列.....	2843
47.5.17.24 灵活秒脉冲输出--生成中断而不影响 PPS.....	2844
47.5.17.25 TCP 分段减荷 (TSO) .....	2844
47.5.17.26 接收路径上的 VLAN 过滤.....	2844
47.6 寄存器.....	2846
47.6.1 ETH MAC 寄存器 .....	2846
47.6.1.1 ETH MAC 配置寄存器 (ETH_MACCFG) .....	2846
47.6.1.2 ETH MAC 扩展配置寄存器 (ETH_MACEXTCFG) .....	2851
47.6.1.3 ETH MAC 数据包过滤器寄存器 (ETH_MACPFLT) .....	2852
47.6.1.4 ETH MAC 看门狗超时寄存器 (ETH_MACWDGTO) .....	2855
47.6.1.5 ETH MAC 哈希表寄存器 0 (ETH_MACHASHTR0) .....	2856
47.6.1.6 ETH MAC 哈希表寄存器 1 (ETH_MACHASHTR1) .....	2857
47.6.1.7 ETH VLAN 标签寄存器 (ETH_MACVLANTAG) .....	2858
47.6.1.8 ETH VLAN 哈希表寄存器 (ETH_MACVHASHT) .....	2860
47.6.1.9 ETH VLAN 包含寄存器 (ETH_MACVLANINC) .....	2861
47.6.1.10 ETH 内部 VLAN 包含寄存器 (ETH_MACIVLANINC) .....	2862
47.6.1.11 ETH MAC 发送流量控制寄存器 (ETH_MACTXFLWCTRL) .....	2863
47.6.1.12 ETH MAC 接收流量控制寄存器 (ETH_MACRXFLWCTRL) .....	2865
47.6.1.13 ETH MAC 中断状态寄存器 (ETH_MACINTSTS) .....	2866
47.6.1.14 ETH MAC 中断使能寄存器 (ETH_MACINTEN) .....	2868
47.6.1.15 ETH MAC 接收发送状态寄存器 (ETH_MACRXTXSTS) .....	2869
47.6.1.16 ETH PMT 控制状态寄存器 (ETH_MACPMTCTRLSTS) .....	2871
47.6.1.17 ETH MAC 远程唤醒过滤寄存器 (ETH_MACRWUPFLT) .....	2873
47.6.1.18 ETH LPI 控制状态寄存器 (ETH_MACLPICTRLSTS) .....	2873
47.6.1.19 ETH LPI 定时器控制寄存器 (ETH_MACLPITIMCTRL) .....	2875
47.6.1.20 ETH LPI 进入定时器寄存器 (ETH_MACLPIETYTIM) .....	2876
47.6.1.21 ETH MAC 1 微秒节拍计数器寄存器 (ETH_MAC1USTICCNT) .....	2877
47.6.1.22 ETH MAC 版本寄存器 (ETH_MACVER) .....	2877
47.6.1.23 ETH MAC 调试寄存器 (ETH_MACDBG) .....	2878
47.6.1.24 ETH MAC 硬件特性寄存器 0 (ETH_MACHWF0) .....	2878
47.6.1.25 ETH MAC 硬件特性寄存器 1 (ETH_MACHWF1) .....	2881
47.6.1.26 ETH MAC 硬件特性寄存器 2 (ETH_MACHWF2) .....	2884
47.6.1.27 ETH MAC 硬件特性寄存器 3 (ETH_MACHWF3) .....	2885
47.6.1.28 ETH MAC MDIO 地址寄存器 (ETH_MACMDIOADDR) .....	2887
47.6.1.29 ETH MAC MDIO 数据寄存器 (ETH_MACMDIODATA) .....	2890
47.6.1.30 ETH MAC ARP 地址寄存器 (ETH_MACARPADDR) .....	2890
47.6.1.31 ETH CSR 软件控制寄存器 (ETH_MACCSRSWCTRL) .....	2891
47.6.1.32 ETH MAC 演示时间纳秒寄存器 (ETH_MACPTNS) .....	2891
47.6.1.33 ETH MAC 演示时间更新寄存器 (ETH_MACPTUPDT) .....	2892
47.6.1.34 ETH MAC 地址 0 高位寄存器 (ETH_MACADDR0H) .....	2892
47.6.1.35 ETH MAC 地址 0 低位寄存器 (ETH_MACADDR0L) .....	2893
47.6.1.36 ETH MAC 地址 1 高位寄存器 (ETH_MACADDR1H) .....	2893
47.6.1.37 ETH MAC 地址 1 低位寄存器 (ETH_MACADDR1L) .....	2894
47.6.1.38 ETH MAC 地址 2 高位寄存器 (ETH_MACADDR2H) .....	2895

47.6.1.39	ETH MAC 地址 2 低位寄存器 (ETH_MACADDR2L)	2896
47.6.1.40	ETH MAC 地址 3 高位寄存器 (ETH_MACADDR3H)	2896
47.6.1.41	ETH MAC 地址 3 低位寄存器 (ETH_MACADDR3L)	2897
47.6.1.42	ETH MMC 控制寄存器 (ETH_MMCTRL)	2897
47.6.1.43	ETH MMC 接收中断寄存器 (ETH_MMCRXINT)	2899
47.6.1.44	ETH MMC 发送中断寄存器 (ETH_MMCTXINT)	2900
47.6.1.45	ETH MMC 接收中断屏蔽寄存器 (ETH_MMCRXINTMSK)	2902
47.6.1.46	ETH MMC 发送中断屏蔽寄存器 (ETH_MMCTXINTMSK)	2903
47.6.1.47	ETH 发送单次冲突良好数据包寄存器 (ETH_MMCTXSCGP)	2904
47.6.1.48	ETH 发送多次冲突良好数据包寄存器 (ETH_MMCTXMCGP)	2905
47.6.1.49	ETH 发送良好数据包寄存器 (ETH_MMCTXPCG)	2905
47.6.1.50	ETH 接收广播良好数据包寄存器 (ETH_MMCRXBPG)	2906
47.6.1.51	ETH 接收多播良好数据包寄存器 (ETH_MMCRXMPG)	2906
47.6.1.52	ETH 接收 CRC 错误数据包寄存器 (ETH_MMCRXCRCEP)	2906
47.6.1.53	ETH 接收对齐错误数据包寄存器 (ETH_MMCRXAEP)	2907
47.6.1.54	ETH 接收单播良好数据包 (ETH_MMCRXUPG)	2907
47.6.1.55	ETH 发送 LPI 微秒计数器寄存器 (ETH_MMCTXLPIUS)	2907
47.6.1.56	ETH 发送 LPI 转换计数器寄存器 (ETH_MMCTXLPITRAN)	2908
47.6.1.57	ETH 接收 LPI 微秒计数器寄存器 (ETH_MMCRXLPIUS)	2908
47.6.1.58	ETH 接收 LPI 转换计数器寄存器 (ETH_MMCRXLPITRAN)	2909
47.6.1.59	ETH MMC IPC 接收中断屏蔽寄存器 (ETH_MMCIPCRINTMSK)	2909
47.6.1.60	ETH MMC IPC 接收中断寄存器 (ETH_MMCIPCRINT)	2911
47.6.1.61	ETH 接收 IPv4 良好数据包寄存器 (ETH_MMCRXIPV4GP)	2912
47.6.1.62	ETH 接收 IPv6 良好数据包寄存器 (ETH_MMCRXIPV6GP)	2913
47.6.1.63	ETH 接收 UDP 良好数据包寄存器 (ETH_MMCRXUDPGP)	2913
47.6.1.64	ETH 接收 UDP 错误数据包寄存器 (ETH_MMCRXUDPEP)	2913
47.6.1.65	ETH 接收 TCP 良好数据包寄存器 (ETH_MMCRXTCPGP)	2914
47.6.1.66	ETH 接收 TCP 错误数据包寄存器 (ETH_MMCRXTCEP)	2914
47.6.1.67	ETH 接收 ICMP 良好数据包寄存器 (ETH_MMCRXICMPGP)	2915
47.6.1.68	ETH 接收 ICMP 错误数据包寄存器 (ETH_MMCRXICMPEP)	2915
47.6.1.69	ETH 第 3 层和第 4 层过滤器 0 控制寄存器 (ETH_MACL3L4F0CTRL)	2915
47.6.1.70	ETH 第 4 层过滤器 0 端口寄存器 (ETH_MACL4F0PORT)	2918
47.6.1.71	ETH 第 3 层过滤器 0 地址 0 寄存器 (ETH_MACL3F0ADDR0)	2919
47.6.1.72	ETH 第 3 层过滤器 0 地址 1 寄存器 (ETH_MACL3F0ADDR1)	2919
47.6.1.73	ETH 第 3 层过滤器 0 地址 2 寄存器 (ETH_MACL3F0ADDR2)	2920
47.6.1.74	ETH 第 3 层过滤器 0 地址 3 寄存器 (ETH_MACL3F0ADDR3)	2920
47.6.1.75	ETH 第 3 层和第 4 层过滤器 1 控制寄存器 (ETH_MACL3L4F1CTRL)	2921
47.6.1.76	ETH 第 4 层过滤器 1 端口寄存器 (ETH_MACL4F1PORT)	2923
47.6.1.77	ETH 第 3 层过滤器 1 地址 0 寄存器 (ETH_MACL3F1ADDR0)	2924
47.6.1.78	ETH 第 3 层过滤器 1 地址 1 寄存器 (ETH_MACL3F1ADDR1)	2924
47.6.1.79	ETH 第 3 层过滤器 1 地址 2 寄存器 (ETH_MACL3F1ADDR2)	2925
47.6.1.80	ETH 第 3 层过滤器 1 地址 3 寄存器 (ETH_MACL3F1ADDR3)	2925
47.6.1.81	ETH MAC 时间戳控制寄存器 (ETH_MACTSCTRL)	2926
47.6.1.82	ETH MAC 亚秒增量寄存器 (ETH_MACSUBSINC)	2929

47.6.1.83	ETH MAC 系统时间秒寄存器 (ETH_MACSYSTS)	2929
47.6.1.84	ETH MAC 系统时间纳秒寄存器 (ETH_MACSYSTNS)	2930
47.6.1.85	ETH MAC 系统时间秒更新寄存器 (ETH_MACSYSTSUP)	2930
47.6.1.86	ETH MAC 系统时间纳秒更新寄存器 (ETH_MACSYSTNSUP)	2931
47.6.1.87	ETH MAC 时间戳加数寄存器 (ETH_MACTSADD)	2931
47.6.1.88	ETH MAC 系统时间高字秒寄存器 (ETH_MACSYSTHWS)	2932
47.6.1.89	ETH MAC 时间戳状态寄存器 (ETH_MACTSSTS)	2932
47.6.1.90	ETH MAC 发送时间戳状态纳秒寄存器 (ETH_MACTXTSSTNS)	2934
47.6.1.91	ETH MAC 发送时间戳状态秒寄存器 (ETH_MACTXTSTSS)	2935
47.6.1.92	ETH MAC 辅助控制寄存器 (ETH_MACAUXCTRL)	2935
47.6.1.93	ETH MAC 辅助时间戳纳秒寄存器 (ETH_MACAUXTSNS)	2936
47.6.1.94	ETH MAC 辅助时间戳秒寄存器 (ETH_MACAUXTSS)	2937
47.6.1.95	ETH MAC 时间戳入口不对称校正寄存器 (ETH_MACTSIGASYC)	2937
47.6.1.96	ETH MAC 时间戳出口不对称校正寄存器 (ETH_MACTSEGASYC)	2938
47.6.1.97	ETH MAC 时间戳入口校正纳秒寄存器 (ETH_MACTSIGCNS)	2938
47.6.1.98	ETH MAC 时间戳出口校正纳秒寄存器 (ETH_MACTSEGCNS)	2938
47.6.1.99	ETH MAC 时间戳入口时延寄存器 (ETH_MACTSIGLAT)	2939
47.6.1.100	ETH MAC 时间戳出口时延寄存器 (ETH_MACTSEGLAT)	2939
47.6.1.101	ETH MAC PPS 控制寄存器 (ETH_MACPPSCTRL)	2940
47.6.1.102	ETH MAC PPS 目标时间秒寄存器 (ETH_MACPPSTTS)	2942
47.6.1.103	ETH MAC PPS 目标时间纳秒寄存器 (ETH_MACPPSTTNS)	2943
47.6.1.104	ETH MAC PPS 间隔寄存器 (ETH_MACPPSINTE)	2944
47.6.1.105	ETH MAC PPS 宽度寄存器 (ETH_MACPPSWID)	2944
47.6.1.106	ETH MAC PTO 控制寄存器 (ETH_MACPTOCTRL)	2945
47.6.1.107	ETH MAC 源端口标识 0 寄存器 (ETH_MACSRCPID0)	2946
47.6.1.108	ETH MAC 源端口标识 1 寄存器 (ETH_MACSRCPID1)	2946
47.6.1.109	ETH MAC 源端口标识 2 寄存器 (ETH_MACSRCPID2)	2947
47.6.1.110	ETH MAC 日志消息间隔寄存器 (ETH_MACLOGMINTE)	2947
47.6.2	ETH MTL 寄存器	2948
47.6.2.1	ETH MTL 操作模式寄存器 (ETH_MTL0PMOD)	2948
47.6.2.2	ETH MTL 中断状态寄存器 (ETH_MTLINTSTS)	2949
47.6.2.3	ETH MTL 发送队列操作模式寄存器 (ETH_MTLTXQOPMOD)	2949
47.6.2.4	ETH MTL 发送队列下溢寄存器 (ETH_MTLTXQUDF)	2951
47.6.2.5	ETH MTL 发送队列调试寄存器 (ETH_MTLTXQDBG)	2951
47.6.2.6	ETH MTL 队列中断控制状态寄存器 (ETH_MTLQINTCTRLSTS)	2952
47.6.2.7	ETH MTL 接收队列操作模式寄存器 (ETH_MTLRXQOPMOD)	2953
47.6.2.8	ETH MTL 接收队列丢失和上溢数据包计数寄存器 (ETH_MTLRXQMPOFCNT)	2954
47.6.2.9	ETH MTL 接收队列调试寄存器 (ETH_MTLRXQDBG)	2955
47.6.3	ETH DMA 寄存器	2956
47.6.3.1	ETH DMA 模式寄存器 (ETH_DMAMODE)	2956
47.6.3.2	ETH DMA 系统总线模式寄存器 (ETH_DMASBMODE)	2958
47.6.3.3	ETH DMA 中断状态寄存器 (ETH_DMAINTSTS)	2959
47.6.3.4	ETH DMA 调试状态寄存器 (ETH_DMADBGSTS)	2960
47.6.3.5	ETH DMA 通道 0 控制寄存器 (ETH_DMACH0CTRL)	2961

47.6.3.6 ETH DMA 通道 0 发送控制寄存器 (ETH_DMACH0TXCTRL) .....	2962
47.6.3.7 ETH DMA 通道 0 接收控制寄存器 (ETH_DMACH0RXCTRL) .....	2963
47.6.3.8 ETH DMA 通道 0 发送描述符列表地址寄存器 (ETH_DMACH0TXDLA) .....	2965
47.6.3.9 ETH DMA 通道 0 接收描述符列表地址寄存器 (ETH_DMACH0RXDLA) .....	2965
47.6.3.10 ETH DMA 通道 0 发送描述符尾指针寄存器 (ETH_DMACH0TXDTP) .....	2966
47.6.3.11 ETH DMA 通道 0 接收描述符尾指针寄存器 (ETH_DMACH0RXDTP) .....	2966
47.6.3.12 ETH DMA 通道 0 发送描述符环长度寄存器 (ETH_DMACH0TXDRLEN) .....	2967
47.6.3.13 ETH DMA 通道 0 接收控制寄存器 2 (ETH_DMACH0RXCTRL2) .....	2967
47.6.3.14 ETH DMA 通道 0 中断使能寄存器 (ETH_DMACH0INTEN) .....	2968
47.6.3.15 ETH DMA 通道 0 接收中断看门狗定时器寄存器 (ETH_DMACH0RXINTWT) .....	2970
47.6.3.16 ETH DMA 通道 0 当前应用程序发送描述符寄存器 (ETH_DMACH0CATXD) .....	2971
47.6.3.17 ETH DMA 通道 0 当前应用程序接收描述符寄存器 (ETH_DMACH0CARXD) .....	2971
47.6.3.18 ETH DMA 通道 0 当前应用程序发送缓冲区寄存器 (ETH_DMACH0CATXB) .....	2971
47.6.3.19 ETH DMA 通道 0 当前应用程序接收缓冲区寄存器 (ETH_DMACH0CARXB) .....	2972
47.6.3.20 ETH DMA 通道 0 状态寄存器 (ETH_DMACH0STS) .....	2972
47.6.3.21 ETH DMA 通道 0 丢失帧计数寄存器 (ETH_DMACH0DPCNT) .....	2976
47.6.3.22 ETH DMA 通道 0 接收 ERI 计数寄存器 (ETH_DMACH0RXERICNT) .....	2976

## **48 EtherCAT 从站控制器 (ESC) ..... 2978**

48.1 简介 .....	错误!未定义书签。
48.2 主要特性 .....	错误!未定义书签。
48.3 功能框图 .....	错误!未定义书签。
48.4 引脚定义 .....	错误!未定义书签。
48.5 功能描述 .....	错误!未定义书签。
48.5.1 EtherCAT 协议 .....	错误!未定义书签。
48.5.1.1 EtherCAT 报头 .....	错误!未定义书签。
48.5.1.2 EtherCAT 数据报 .....	错误!未定义书签。
48.5.1.3 EtherCAT 寻址模式 .....	错误!未定义书签。
48.5.1.3.1 设备寻址 .....	错误!未定义书签。
48.5.1.3.2 逻辑地址 .....	错误!未定义书签。
48.5.1.4 工作计数器 .....	错误!未定义书签。
48.5.1.5 EtherCAT 命令类型 .....	错误!未定义书签。
48.5.2 帧处理 .....	错误!未定义书签。
48.5.2.1 循环控制和循环状态 .....	错误!未定义书签。
48.5.2.2 帧处理顺序 .....	错误!未定义书签。
48.5.2.3 影子缓冲区 .....	错误!未定义书签。
48.5.2.4 循环帧 .....	错误!未定义书签。
48.5.2.5 非 EtherCAT 协议 .....	错误!未定义书签。
48.5.2.6 端口 0 的特殊功能 .....	错误!未定义书签。
48.5.3 物理层通用特性 .....	错误!未定义书签。
48.5.3.1 链接状态 .....	错误!未定义书签。
48.5.3.2 FIFO 大小缩减 .....	错误!未定义书签。
48.5.4 以太网物理层 .....	错误!未定义书签。
48.5.4.1 MII 接口 .....	错误!未定义书签。

48.5.4.2 链接检测 .....	错误!未定义书签。
48.5.4.2.1 标准链接检测 .....	错误!未定义书签。
48.5.4.2.1.1 LINK_MII 信号 .....	错误!未定义书签。
48.5.4.2.1.2 MI 链接检测和配置 .....	错误!未定义书签。
48.5.4.2.2 增强链接检测 .....	错误!未定义书签。
48.5.4.3 管理接口 (MI) .....	错误!未定义书签。
48.5.4.3.1 PHY 地址/PHY 地址偏移 .....	错误!未定义书签。
48.5.4.3.2 MI 读/写示例 .....	错误!未定义书签。
48.5.4.3.3 MI 接口分配到 ECAT/PDI .....	错误!未定义书签。
48.5.4.3.4 MI 协议 .....	错误!未定义书签。
48.5.4.4 MII 管理示例示意图 .....	错误!未定义书签。
48.5.5 FMMU .....	错误!未定义书签。
48.5.5.1 FMMU 映射示例 .....	错误!未定义书签。
48.5.5.2 FMMU 限制 .....	错误!未定义书签。
48.5.5.3 附加 FMMU 特性 .....	错误!未定义书签。
48.5.6 同步管理器 .....	错误!未定义书签。
48.5.6.1 缓冲模式 .....	错误!未定义书签。
48.5.6.2 邮箱模式 .....	错误!未定义书签。
48.5.6.3 PDI 寄存器功能通过写入确认 .....	错误!未定义书签。
48.5.6.4 中断和看门狗触发生成, 锁存事件生成 .....	错误!未定义书签。
48.5.6.5 重复邮箱通信 .....	错误!未定义书签。
48.5.6.6 通过 PDI 停用同步管理器 .....	错误!未定义书签。
48.5.7 分布式时钟 .....	错误!未定义书签。
48.5.7.1 时钟同步 .....	错误!未定义书签。
48.5.7.1.1 系统时间 .....	错误!未定义书签。
48.5.7.1.2 参考时钟 .....	错误!未定义书签。
48.5.7.1.3 本地时钟 .....	错误!未定义书签。
48.5.7.1.4 主时钟 .....	错误!未定义书签。
48.5.7.1.5 偏移 .....	错误!未定义书签。
48.5.7.1.6 漂移 .....	错误!未定义书签。
48.5.7.2 时钟同步过程 .....	错误!未定义书签。
48.5.7.2.1 传播延迟测量 .....	错误!未定义书签。
48.5.7.2.2 偏移补偿 .....	错误!未定义书签。
48.5.7.2.3 重置时间控制循环 .....	错误!未定义书签。
48.5.7.2.4 漂移补偿 .....	错误!未定义书签。
48.5.7.3 时钟同步初始化示例 .....	错误!未定义书签。
48.5.7.4 同步信号和锁存信号 .....	错误!未定义书签。
48.5.7.4.1 同步信号生成 .....	错误!未定义书签。
48.5.7.4.2 SYNC1 生成 .....	错误!未定义书签。
48.5.7.4.3 同步信号初始化示例 .....	错误!未定义书签。
48.5.7.4.4 锁存信号 .....	错误!未定义书签。
48.5.7.4.5 ECAT 或 PDI 控制 .....	错误!未定义书签。
48.5.7.5 通信模式 .....	错误!未定义书签。
48.5.8 EtherCAT 状态机 .....	错误!未定义书签。

48.5.9 内存空间 .....	错误!未定义书签。
48.5.10 SII EEPROM .....	错误!未定义书签。
48.5.10.1 SII EEPROM 内容 .....	错误!未定义书签。
48.5.10.2 SII EEPROM 逻辑接口 .....	错误!未定义书签。
48.5.10.2.1 SII EEPROM 错误 .....	错误!未定义书签。
48.5.10.2.2 SII EEPROM 接口分配到 ECAT/PDI .....	错误!未定义书签。
48.5.10.2.3 读/写/重新加载示例 .....	错误!未定义书签。
48.5.10.3 SII EEPROM 电气接口 .....	错误!未定义书签。
48.5.10.3.1 地址分配 .....	错误!未定义书签。
48.5.10.3.2 写访问 .....	错误!未定义书签。
48.5.10.3.3 读访问 .....	错误!未定义书签。
48.5.11 中断 .....	错误!未定义书签。
48.5.11.1 AL 事件请求 (PDI 中断) .....	错误!未定义书签。
48.5.11.2 ECAT 事件请求 (ECAT 中断) .....	错误!未定义书签。
48.5.12 看门狗 .....	错误!未定义书签。
48.5.12.1 进程数据看门狗 .....	错误!未定义书签。
48.5.12.2 PDI 看门狗 .....	错误!未定义书签。
48.5.13 错误计数器 .....	错误!未定义书签。
48.5.13.1 帧错误检测 .....	错误!未定义书签。
48.5.13.2 错误和转发错误 .....	错误!未定义书签。
48.5.14 LED 信号 (指示灯) .....	错误!未定义书签。
48.5.14.1 RUN LED .....	错误!未定义书签。
48.5.14.2 ERR LED .....	错误!未定义书签。
48.5.14.3 STATE LED 和 STATE_RUN LED .....	错误!未定义书签。
48.5.14.4 LINKACT LED .....	错误!未定义书签。
48.5.15 过程数据接口 (PDI) .....	错误!未定义书签。
48.5.15.1 PDI 选择和配置 .....	错误!未定义书签。
48.5.15.2 PDI 寄存器功能通过写入确认 .....	错误!未定义书签。
48.5.16 写保护 .....	错误!未定义书签。
48.5.16.1 寄存器写保护 .....	错误!未定义书签。
48.5.16.2 ESC 写保护 .....	错误!未定义书签。
48.5.17 ESC 复位 .....	错误!未定义书签。
48.5.18 编程指南 .....	错误!未定义书签。
48.5.18.1 ESC 配置和初始化 .....	错误!未定义书签。
48.5.18.2 同步信号初始化 .....	错误!未定义书签。
48.6 寄存器 .....	错误!未定义书签。
48.6.1 ESC 封装器寄存器 .....	错误!未定义书签。
48.6.1.1 ESC 封装器控制状态寄存器 (ESC_WRACTRLSTS) .....	错误!未定义书签。
48.6.1.2 ESC 封装器配置寄存器 0 (ESC_WRACFG0) .....	错误!未定义书签。
48.6.1.3 ESC 封装器配置寄存器 1 (ESC_WRACFG1) .....	错误!未定义书签。
48.6.1.4 ESC 封装器中断状态寄存器 (ESC_WRAINTSTS) .....	错误!未定义书签。
48.6.2 ESC 模块寄存器 .....	错误!未定义书签。
48.6.2.1 ESC 类型寄存器 (ESC_TYPE) .....	错误!未定义书签。
48.6.2.2 ESC 版本寄存器 (ESC_REVISION) .....	错误!未定义书签。

48.6.2.3 ESC 构建寄存器 (ESC_BUILD) .....	错误!未定义书签。
48.6.2.4 ESC FMMU 数量寄存器 (ESC_FMMUNUM) .....	错误!未定义书签。
48.6.2.5 ESC 同步管理器数量寄存器 (ESC_SMNUM) .....	错误!未定义书签。
48.6.2.6 ESC RAM 大小寄存器 (ESC_RAMSIZE) .....	错误!未定义书签。
48.6.2.7 ESC 端口描述符寄存器 (ESC_PORTDES) .....	错误!未定义书签。
48.6.2.8 ESC 特性寄存器 (ESC_FEATURE) .....	错误!未定义书签。
48.6.2.9 ESC 配置站地址寄存器 (ESC_CFGSA) .....	错误!未定义书签。
48.6.2.10 ESC 配置站别名寄存器 (ESC_CFGSALIAS) .....	错误!未定义书签。
48.6.2.11 ESC 寄存器写使能寄存器 (ESC_REGWEN) .....	错误!未定义书签。
48.6.2.12 ESC 寄存器写保护寄存器 (ESC_REGWP) .....	错误!未定义书签。
48.6.2.13 ESC 写使能寄存器 (ESC_ESCWEN) .....	错误!未定义书签。
48.6.2.14 ESC 写保护寄存器 (ESC_ESCWP) .....	错误!未定义书签。
48.6.2.15 ECAT 复位 ESC 寄存器 (ESC_RSTECAT) .....	错误!未定义书签。
48.6.2.16 PDI 复位 ESC 寄存器 (ESC_RSTPDI) .....	错误!未定义书签。
48.6.2.17 ESC DL 控制寄存器 (ESC_DLCTRL) .....	错误!未定义书签。
48.6.2.18 ESC 物理读/写偏移寄存器 (ESC_RWOFFSET) .....	错误!未定义书签。
48.6.2.19 ESC DL 状态寄存器 (ESC_DLSTS) .....	错误!未定义书签。
48.6.2.20 ESC AL 控制寄存器 (ESC_ALCTRL) .....	错误!未定义书签。
48.6.2.21 ESC AL 状态寄存器 (ESC_ALSTS) .....	错误!未定义书签。
48.6.2.22 ESC AL 状态码寄存器 (ESC_ALSTSC) .....	错误!未定义书签。
48.6.2.23 ESC RUN LED 覆盖寄存器 (ESC_RUNLEDOVE) .....	错误!未定义书签。
48.6.2.24 ESC ERR LED 覆盖寄存器 (ESC_ERRLEDOVE) .....	错误!未定义书签。
48.6.2.25 ESC PDI 控制寄存器 (ESC_PDISTR) .....	错误!未定义书签。
48.6.2.26 ESC 配置寄存器 (ESC_CFG) .....	错误!未定义书签。
48.6.2.27 ESC PDI 信息寄存器 (ESC_PDIINFO) .....	错误!未定义书签。
48.6.2.28 ESC PDI 配置寄存器 (ESC_PDICFG) .....	错误!未定义书签。
48.6.2.29 ESC 同步/锁存 PDI 配置寄存器 (ESC_PDISLCFG) .....	错误!未定义书签。
48.6.2.30 ESC PDI 扩展配置寄存器 (ESC_PDIEXTCFG) .....	错误!未定义书签。
48.6.2.31 ESC ECAT 事件屏蔽寄存器 (ESC_ECATEMSK) .....	错误!未定义书签。
48.6.2.32 ESC AL 事件屏蔽寄存器 (ESC_ALEMSK) .....	错误!未定义书签。
48.6.2.33 ESC ECAT 事件请求寄存器 (ESC_ECATEREQ) .....	错误!未定义书签。
48.6.2.34 ESC AL 事件请求寄存器 (ESC_ALEREQ) .....	错误!未定义书签。
48.6.2.35 ESC RX 错误计数器 n 寄存器 (ESC_RXERRCNTn) .....	错误!未定义书签。
48.6.2.36 ESC 转发 RX 错误计数器 n 寄存器 (ESC_FWDRXERRCNTn) .....	错误!未定义书签。
48.6.2.37 ESC ECAT 处理单元错误计数器寄存器 (ESC_EPUERRCNT) .....	错误!未定义书签。
48.6.2.38 ESC PDI 错误计数器寄存器 (ESC_PDIERRCNT) .....	错误!未定义书签。
48.6.2.39 ESC PDI 错误码寄存器 (ESC_PDIERRCODE) .....	错误!未定义书签。
48.6.2.40 ESC 丢失链接计数器 n 寄存器 (ESC_LOSTLINKCNTn) .....	错误!未定义书签。
48.6.2.41 ESC 看门狗分频寄存器 (ESC_WDDIV) .....	错误!未定义书签。
48.6.2.42 ESC 看门狗时间 PDI 寄存器 (ESC_WDTPDI) .....	错误!未定义书签。
48.6.2.43 ESC 看门狗时间进程数据寄存器 (ESC_WDTPD) .....	错误!未定义书签。
48.6.2.44 ESC 看门狗状态处理数据寄存器 (ESC_WDSTSPD) .....	错误!未定义书签。
48.6.2.45 ESC 看门狗计数器过程数据寄存器 (ESC_WDCNTPD) .....	错误!未定义书签。
48.6.2.46 ESC 看门狗计数器 PDI 寄存器 (ESC_WDCNTPDI) .....	错误!未定义书签。

48.6.2.47 ESC EEPROM 配置寄存器 (ESC_EEPROMCFG) .....	错误!未定义书签。
48.6.2.48 ESC EEPROM PDI 访问状态寄存器 (ESC_EEPROMPDIA) .....	错误!未定义书签。
48.6.2.49 ESC EEPROM 控制状态寄存器 (ESC_EEPROMCTRLSTS) .....	错误!未定义书签。
48.6.2.50 ESC EEPROM 地址寄存器 (ESC_EEPROMADDR) .....	错误!未定义书签。
48.6.2.51 ESC EEPROM 数据寄存器 (ESC_EEPROMDAT) .....	错误!未定义书签。
48.6.2.52 ESC MII 管理控制状态寄存器 (ESC_MICTRLSTS) .....	错误!未定义书签。
48.6.2.53 ESC PHY 地址寄存器 (ESC_PHYADDR) .....	错误!未定义书签。
48.6.2.54 ESC PHY 寄存器地址寄存器 (ESC_PHYREGADDR) .....	错误!未定义书签。
48.6.2.55 ESC PHY 数据寄存器 (ESC_PHYDAT) .....	错误!未定义书签。
48.6.2.56 ESC MII 管理 ECAT 访问状态寄存器 (ESC_MIECATAS) .....	错误!未定义书签。
48.6.2.57 ESC MII 管理 PDI 访问状态寄存器 (ESC_MIPDIAS) .....	错误!未定义书签。
48.6.2.58 ESC PHY 端口 n 状态寄存器 (ESC_PHYPnSTS) .....	错误!未定义书签。
48.6.2.59 ESC FMMU n 逻辑起始地址寄存器 (ESC_FMMUnLSA) .....	错误!未定义书签。
48.6.2.60 ESC FMMU n 长度寄存器 (ESC_FMMUnLEN) .....	错误!未定义书签。
48.6.2.61 ESC FMMU n 逻辑起始位寄存器 (ESC_FMMUnLSATB) .....	错误!未定义书签。
48.6.2.62 ESC FMMU n 逻辑停止位寄存器 (ESC_FMMUnLSTPB) .....	错误!未定义书签。
48.6.2.63 ESC FMMU n 物理起始地址寄存器 (ESC_FMMUnPSA) .....	错误!未定义书签。
48.6.2.64 ESC FMMU n 物理起始位寄存器 (ESC_FMMUnPSATB) .....	错误!未定义书签。
48.6.2.65 ESC FMMU n 类型寄存器 (ESC_FMMUnTYPE) .....	错误!未定义书签。
48.6.2.66 ESC FMMU n 激活寄存器 (ESC_FMMUnACT) .....	错误!未定义书签。
48.6.2.67 ESC 同步管理器 n 物理起始地址寄存器 (ESC_SMnPSA) .....	错误!未定义书签。
48.6.2.68 ESC 同步管理器 n 长度寄存器 (ESC_SMnLEN) .....	错误!未定义书签。
48.6.2.69 ESC 同步管理器 n 控制寄存器 (ESC_SMnCTRL) .....	错误!未定义书签。
48.6.2.70 ESC 同步管理器 n 状态寄存器 (ESC_SMnSTS) .....	错误!未定义书签。
48.6.2.71 ESC 同步管理器 n 激活寄存器 (ESC_SMnACT) .....	错误!未定义书签。
48.6.2.72 ESC 同步管理器 n PDI 控制寄存器 (ESC_SMnPDICTRL) .....	错误!未定义书签。
48.6.2.73 ESC DC 接收时间端口 0 寄存器 (ESC_DCRXTIMP0) .....	错误!未定义书签。
48.6.2.74 ESC DC 接收时间端口 1 寄存器 (ESC_DCRXTIMP1) .....	错误!未定义书签。
48.6.2.75 ESC DC 系统时间寄存器 (ESC_DCSYSTIM) .....	错误!未定义书签。
48.6.2.76 ESC DC 接收时间 ECAT 处理单元寄存器 (ESC_DCRXTIMEPU) .....	错误!未定义书签。
48.6.2.77 ESC DC 系统时间偏移寄存器 (ESC_DCSYSTIMOST) .....	错误!未定义书签。
48.6.2.78 ESC DC 系统时间延迟寄存器 (ESC_DCSYSTIMDLY) .....	错误!未定义书签。
48.6.2.79 ESC DC 系统时间差寄存器 (ESC_DCSYSTIMDIFF) .....	错误!未定义书签。
48.6.2.80 ESC DC 速度计数器启动寄存器 (ESC_DCSCSAT) .....	错误!未定义书签。
48.6.2.81 ESC DC 速度计数器差寄存器 (ESC_DCSCDIFF) .....	错误!未定义书签。
48.6.2.82 ESC DC 系统时间差滤波深度寄存器 (ESC_DCSTDFD) .....	错误!未定义书签。
48.6.2.83 ESC DC 速度计数器滤波深度寄存器 (ESC_DCSCFD) .....	错误!未定义书签。
48.6.2.84 ESC DC 循环单元控制寄存器 (ESC_DCCUCTRL) .....	错误!未定义书签。
48.6.2.85 ESC DC 激活寄存器 (ESC_DCACT) .....	错误!未定义书签。
48.6.2.86 ESC DC 脉冲长度寄存器 (ESC_DCSSPLEN) .....	错误!未定义书签。
48.6.2.87 ESC DC 激活状态寄存器 (ESC_DCACTSTS) .....	错误!未定义书签。
48.6.2.88 ESC DC SYNC0 状态寄存器 (ESC_DCSYNC0STS) .....	错误!未定义书签。
48.6.2.89 ESC DC SYNC1 状态寄存器 (ESC_DCSYNC1STS) .....	错误!未定义书签。
48.6.2.90 ESC DC 起始时间周期操作寄存器 (ESC_DCSTCOPE) .....	错误!未定义书签。



48.6.2.91 ESC DC Next SYNC1 脉冲寄存器 (ESC_DCNSYNC1P) .....	错误!未定义书签。
48.6.2.92 ESC DC SYNC0 周期时间寄存器 (ESC_DCSYNC0CT) .....	错误!未定义书签。
48.6.2.93 ESC DC SYNC1 周期时间寄存器 (ESC_DCSYNC1CT) .....	错误!未定义书签。
48.6.2.94 ESC DC Latch0 控制寄存器 (ESC_DCLATCH0CTRL) .....	错误!未定义书签。
48.6.2.95 ESC DC Latch1 控制寄存器 (ESC_DCLATCH1CTRL) .....	错误!未定义书签。
48.6.2.96 ESC DC Latch0 状态寄存器 (ESC_DCLATCH0STS) .....	错误!未定义书签。
48.6.2.97 ESC DC Latch1 状态寄存器 (ESC_DCLATCH1STS) .....	错误!未定义书签。
48.6.2.98 ESC DC Latch0 时间正边沿寄存器 (ESC_DCNLATCH0TPE) .....	错误!未定义书签。
48.6.2.99 ESC DC Latch0 时间负边沿寄存器 (ESC_DCNLATCH0TNE) .....	错误!未定义书签。
48.6.2.100 ESC DC Latch1 时间正边沿寄存器 (ESC_DCNLATCH1TPE) .....	错误!未定义书签。
48.6.2.101 ESC DC Latch1 时间负边沿寄存器 (ESC_DCNLATCH1TNE) .....	错误!未定义书签。
48.6.2.102 ESC DC ECAT 缓冲区更改事件时间寄存器 (ESC_DCECATBCET) .....	错误!未定义书签。
48.6.2.103 ESC DC PDI 缓冲区起始事件时间寄存器 (ESC_DCPDIBSET) .....	错误!未定义书签。
48.6.2.104 ESC DC PDI 缓冲区更改事件时间寄存器 (ESC_DCPDIBCET) .....	错误!未定义书签。
48.6.2.105 ESC 产品 ID 寄存器 (ESC_PRODUCTID) .....	错误!未定义书签。
48.6.2.106 ESC 供应商 ID 寄存器 (ESC_VENDORID) .....	错误!未定义书签。
<b>49 安全数据处理单元 (SDPU) .....</b>	<b>3084</b>
49.1 概述 .....	3084
49.2 主要特性 .....	3084
49.3 框图 .....	3085
<b>50 CRC 计算单元(CRC) .....</b>	<b>3086</b>
50.1 简介 .....	3086
50.2 主要特性 .....	3086
50.3 CRC 框图 .....	3086
50.4 功能描述 .....	3087
50.4.1 CRC 操作流程 .....	3087
50.4.2 详细描述 .....	3087
50.4.2.1 数据反序 .....	3087
50.4.2.2 初始化 .....	3088
50.4.2.3 独立数据寄存器 .....	3088
50.4.2.4 多项式配置 .....	3088
50.5 CRC 寄存器 .....	3089
50.5.1 CRC 寄存器总览 .....	3089
50.5.2 CRC 数据寄存器(CRC_DAT) .....	3090
50.5.3 CRC 独立数据寄存器(CRC_IDAT) .....	3090
50.5.4 CRC 控制寄存器(CRC_CTRL) .....	3091
50.5.5 LRC 校验值寄存器 (CRC_LRC) .....	3092
50.5.6 CRC 初始值寄存器(CRC_INIT) .....	3092
50.5.7 CRC 多项式寄存器(CRC_POL) .....	3093
50.5.8 CRC 输入异或寄存器(CRC_INXORDAT) .....	3093
50.5.9 CRC 输出结果异或寄存器 (CRC_OUTXORDAT) .....	3093
<b>51 DBG .....</b>	<b>3095</b>

51.1 介绍 .....	3095
51.2 主要特点 .....	3095
51.3 调试基础设施功能描述 .....	3096
51.3.1 调试基础设施框图 .....	3096
51.3.2 调试端口 .....	3096
51.3.3 调试访问端口功能描述 .....	3099
51.3.3.1 串行线和 JTAG 调试端口 (SWJ-DP) .....	3099
51.3.3.2 访问端口功能描述 .....	3101
51.3.4 Cortex-M7 调试功能描述 .....	3103
51.3.5 Cortex-M4 调试功能描述 .....	3104
51.3.6 DBG 功能描述 .....	3105
51.3.6.1 在不同模式下的调试支持 .....	3105
51.4 寄存器 .....	3106
51.4.1 ID 寄存器(DBG_ID) .....	3106
51.4.2 控制寄存器(DBG_CTRL) .....	3107
51.4.3 M7APB1 冻结寄存器 (DBG_M7APB1FZ) .....	3108
51.4.4 M4APB1 外设冻结寄存器(DBG_M4APB1FZ) .....	3109
51.4.5 M7APB2 外设冻结寄存器(DBG_M7APB2FZ) .....	3110
51.4.6 M4APB2 外设冻结寄存器(DBG_M4APB2FZ) .....	3111
51.4.7 M7APB5 外设冻结寄存器 (DBG_M7APB5FZ) .....	3111
51.4.8 M4APB5 外设冻结寄存器(DBG_M4APB5FZ) .....	3112
51.4.9 M7APB6 外设冻结寄存器 (DBG_M7APB6FZ) .....	3113
51.4.10 M4APB6 外设冻结寄存器(DBG_M4APB6FZ) .....	3114
52 版本历史 .....	3115
53 声明 .....	3116

## 表目录

表 2-1 总线主设备到总线从设备的互连 .....	135
表 2-2 ASIB 配置 .....	137
表 2-3 AMIB 配置 .....	138
表 2-4 AHB 指令和数据缓存的奇偶校验监控映射 .....	171
表 2-5 N32H7xx 内存映射和默认内存属性 .....	180
表 2-6 N32H7xx 外设寻址 .....	182
表 2-7 SIP 闪存组织 .....	192
表 2-8 SIP Flash 主存储区寻址 .....	192
表 2-9 外部存储器映射 .....	193
表 2-10 ECCMON 映射 .....	197
表 2-11 每位对应的存储器 .....	199
表 2-12 TCM 大小配置映射 .....	210
表 2-13 TCM ECC 错误注入 .....	214
表 3-1 连接到封装引脚或焊球的 PWR 输入/输出信号 .....	222
表 3-2 芯片 VCORE 供电模式 .....	223
表 3-3 CPU 域电源模式控制信号 .....	230
表 3-4 CPU 低功耗模式转换条件 .....	232
表 3-5 芯片组件在不同电源模式下的电源状态 .....	233
表 3-6 系统低功耗模式转换条件 .....	234
表 3-7 OTP 电源模式控制 .....	235
表 3-8 SRAM 省电模式定义 .....	236
表 3-9 TCM 内存电源模式和控制 .....	236
表 3-10 内存电源模式和控制 .....	239
表 3-11 DCDC 输出电压配置 .....	252
表 3-12 DCDC VSEL_POR/VSEL_BOR 映射 .....	253
表 3-13 DCDC 输出电压配置 .....	255
表 4-1 外设复位 .....	307
表 4-2 PLL 典型参数 .....	322
表 4-3 系统时钟模式 .....	326
表 4-4 外设时钟门控逻辑真值表 .....	332
表 5-1 定时器内部触发输入（第一部分） .....	579

表 5-2 定时器内部触发输入（第二部分） .....	579
表 5-3 定时器外部部触发输入（第一部分） .....	580
表 5-4 定时器外部部触发输入（第二部分） .....	580
表 5-5 定时器内部触发清除有效参考电平输入（第一部分） .....	581
表 5-6 定时器内部触发清除有效参考电平输入（第二部分） .....	581
表 5-7 定时器输入通道 1（第一部分） .....	581
表 5-8 定时器输入通道 1（第二部分） .....	581
表 5-9 定时器输入通道 2（第一部分） .....	581
表 5-10 定时器输入通道 2（第二部分） .....	582
表 5-11 定时器输入通道 3（第一部分） .....	582
表 5-12 定时器输入通道 3（第二部分） .....	582
表 5-13 定时器输入通道 4（第一部分） .....	582
表 5-14 定时器输入通道 4（第二部分） .....	582
表 5-15 高级定时器刹车信号 2 输入 .....	583
表 5-16 高级定时器刹车信号 1 输入 .....	583
表 5-17SHRTIM 更新事件 .....	583
表 5-18SHRTIM 同步输入 .....	583
表 5-19SHRTIM 故障输入 .....	584
表 5-20ADC1/2/3 触发输入 .....	584
表 5-21DAC1/2 触发映射 .....	585
表 5-22DAC3/4 触发映射 .....	586
表 5-23DAC5/6 触发映射 .....	587
表 5-24DSMU 触发输入 .....	588
表 5-25ETH 触发输入 .....	589
表 5-26FDCAN 事件输入 .....	589
表 5-27LPTIMER 触发输入 .....	590
表 5-28 比较器消隐输入 .....	590
表 5-29DMAMUX2 输入请求映射 .....	591
表 5-30DMAMUX2DMA 触发输入 .....	592
表 5-31DMAMUX1 输入请求映射 .....	593
表 5-32DMAMUX1DMA 触发输入 .....	598
表 5-33DMAMUX1DMA 同步输入 .....	599

表 6-1 SDRAMC 引脚定义 .....	601
表 6-2 SDRAMC GPIO 配置 .....	602
表 6-3 SDRAM 设备型号的存储器大小 .....	605
表 6-4 SDRAM 设备型号的模式寄存器 .....	605
表 6-5 SDRAM 设备模式的时序要求 .....	605
表 6-6 SDRAM 初始化流程示例 .....	606
表 6-7 SDRAM 设备支持的地址范围 .....	609
表 7-1 授权的 AHB 总线主设备 ID .....	640
表 8-1 DCMU 主要特征 .....	648
表 8-2 DCMU 可编程复位 .....	651
表 8-3 基于发送和接收寄存器的消息传输协议 .....	653
表 8-4 中断消息传输协议(通用型) .....	654
表 8-5 处理器 A 执行共享内存独占访问 .....	655
表 8-6 处理器 B 扫描交互信息 .....	655
表 8-7 处理器 B 接受处理器 A 的独占访问请求 .....	656
表 8-8 处理器 B 拒绝处理器 A 的独占访问请求 .....	656
表 8-9 数据包传输流程 .....	656
表 9-1 OPTC 特性描述 .....	672
表 9-2 有效标签和读取/编程地址示例 .....	677
表 9-3 未使用标签保护示例 .....	677
表 10-1 Flash 选项字节结构 .....	694
表 10-2 OPT 选项字节结构 .....	696
表 10-3 TCM 大小配置表 .....	697
表 10-4 FLASH 用户配置表 .....	703
表 10-5 产品生命周期安全管理 .....	705
表 10-6 不同 RDP 等级下的 RDP 值 .....	706
表 10-7 SIP Flash RDP 保护 .....	708
表 10-8 BOOTROM RDP 保护 .....	709
表 10-9 RAM/TCM/RTC 备份寄存器 RDP 保护 .....	711
表 10-10 OPT RDP 保护 .....	712
表 10-11 N32H7xx 加密加速器特性 .....	715
表 12-1 IO 端口配置表 .....	748

表 12-2 IO 不同配置的输入输出特性 .....	749
表 12-3 MCO 复用功能重映射 .....	754
表 12-4 时间戳输入复用功能重映射 .....	755
表 12-5 SHRTIM1 复用功能重映射 .....	756
表 12-6 SHRTIM2 复用功能重映射 .....	757
表 12-7 ATIM1 复用功能重映射 .....	757
表 12-8 ATIM2 复用功能重映射 .....	758
表 12-9 ATIM3 复用功能重映射 .....	759
表 12-10 ATIM4 复用功能重映射 .....	760
表 12-11 GTIM1 复用功能重映射 .....	760
表 12-12 GTIM2 复用功能重映射 .....	761
表 12-13 GTIM3 复用功能重映射 .....	761
表 12-14 GTIM4 复用功能重映射 .....	762
表 12-15 GTIM5 复用功能重映射 .....	762
表 12-16 GTIM6 复用功能重映射 .....	762
表 12-17 GTIM7 复用功能重映射 .....	763
表 12-18 GTIMB1 复用功能重映射 .....	763
表 12-19 GTIMB2 复用功能重映射 .....	764
表 12-20 GTIMB3 复用功能重映射 .....	764
表 12-21 LPTIM1 复用功能重映射 .....	765
表 12-22 LPTIM2 复用功能重映射 .....	765
表 12-23 LPTIM3 复用功能重映射 .....	765
表 12-24 LPTIM4 复用功能重映射 .....	765
表 12-25 LPTIM5 复用功能重映射 .....	766
表 12-26 FDCAN1 复用功能重映射 .....	766
表 12-27 FDCAN2 复用功能重映射 .....	766
表 12-28 FDCAN3 复用功能重映射 .....	766
表 12-29 FDCAN4 复用功能重映射 .....	767
表 12-30 FDCAN5 复用功能重映射 .....	767
表 12-31 FDCAN6 复用功能重映射 .....	767
表 12-32 FDCAN7 复用功能重映射 .....	768
表 12-33 FDCAN8 复用功能重映射 .....	768

表 12-34 DVP1 复用功能重映射 .....	768
表 12-35 DVP2 复用功能重映射 .....	770
表 12-36 FEMC 复用功能重映射 .....	771
表 12-37 USART1 复用功能重映射 .....	775
表 12-38 USART2 复用功能重映射 .....	776
表 12-39 USART3 复用功能重映射 .....	776
表 12-40 USART4 复用功能重映射 .....	776
表 12-41 USART5 复用功能重映射 .....	777
表 12-42 USART6 复用功能重映射 .....	777
表 12-43 USART7 复用功能重映射 .....	777
表 12-44 USART8 复用功能重映射 .....	778
表 12-45 UART9 复用功能重映射 .....	778
表 12-46 UART10 复用功能重映射 .....	779
表 12-47 UART11 复用功能重映射 .....	779
表 12-48 UART12 复用功能重映射 .....	780
表 12-49 UART13 复用功能重映射 .....	780
表 12-50 UART14 复用功能重映射 .....	780
表 12-51 UART15 复用功能重映射 .....	781
表 12-52 LPUART1 复用功能重映射 .....	781
表 12-53 LPUART2 复用功能重映射 .....	781
表 12-54 I2C1 复用功能重映射 .....	782
表 12-55 I2C2 复用功能重映射 .....	782
表 12-56 I2C3 复用功能重映射 .....	782
表 12-57 I2C4 复用功能重映射 .....	783
表 12-58 I2C5 复用功能重映射 .....	783
表 12-59 I2C6 复用功能重映射 .....	783
表 12-60 I2C7 复用功能重映射 .....	784
表 12-61 I2C8 复用功能重映射 .....	784
表 12-62 I2C9 复用功能重映射 .....	784
表 12-63 I2C10 复用功能重映射 .....	785
表 12-64 SPI1 复用功能重映射 .....	785
表 12-65 SPI2 复用功能重映射 .....	786

表 12-66 SPI3 复用功能重映射 .....	786
表 12-67 SPI4 复用功能重映射 .....	787
表 12-68 SPI5 复用功能重映射 .....	787
表 12-69 SPI6 复用功能重映射 .....	787
表 12-70 SPI7 复用功能重映射 .....	788
表 12-71 I2S1 复用功能重映射.....	788
表 12-72 I2S2 复用功能重映射.....	789
表 12-73 I2S3 复用功能重映射.....	789
表 12-74 I2S4 复用功能重映射.....	790
表 12-75 SPI/I2S 复用功能重映射.....	790
表 12-76 XSPI2 复用功能重映射 .....	790
表 12-77 ETH1 复用功能重映射 .....	792
表 12-78 ETH2 复用功能重映射 .....	793
表 12-79 ESC 复用功能重映射.....	794
表 12-80 SDRAM 复用功能重映射 .....	797
表 12-81 LCD 复用功能重映射 .....	800
表 12-82 SDMMC1 复用功能重映射 .....	803
表 12-83 SDMMC2 复用功能重映射 .....	804
表 12-84 USB1_HS 复用功能重映射 .....	805
表 12-85 USB2_HS 复用功能重映射 .....	805
表 12-86 DSMU 复用功能重映射.....	805
表 12-87 EVENT 复用功能重映射 .....	806
表 12-88 COMP1 复用功能重映射.....	807
表 12-89 COMP2 复用功能重映射.....	807
表 12-90 COMP3 复用功能重映射.....	807
表 12-91 COMP4 复用功能重映射.....	807
表 12-92 RTC 复用功能重映射.....	807
表 12-93 ADC/DAC IO 配置 .....	808
表 12-94 SHRTIM IO 配置 .....	808
表 12-95 ATIM1/2/3/4 IO 配置.....	808
表 12-96 GTIMA1~7 IO 配置.....	808
表 12-97 GTIMB1/2/3 IO 配置.....	809



表 12-98 LPTIM1/2/3/4/5 IO 配置 .....	809
表 12-99 FDCAN1/2/3/4/5/6/7/8 IO 配置.....	809
表 12-100 DVP1/2 IO 配置.....	809
表 12-101 FEMC IO 配置.....	809
表 12-102 U(S)ARTx (USART : x = {1..8}, UART : x = {1..7}) IO 配置 .....	810
表 12-103 LPUART1/2 IO 配置 .....	810
表 12-104 I2C (x= {1..10}) IO 配置 .....	810
表 12-105 SPI(x={1..7}) IO 配置 .....	811
表 12-106 I2S (x={1..4}) IO 配置.....	811
表 12-107 DSMU IO 配置 .....	811
表 12-108 XSPI1/2 IO 配置 .....	812
表 12-109 ETH1/2 IO 配置 .....	812
表 12-110 USBHS IO 配置 .....	813
表 12-111 ESC IO 配置.....	813
表 12-112 SDRAM IO 配置.....	814
表 12-113 LCD IO 配置.....	814
表 12-114 SDMMC1/2 IO 配置 .....	814
表 12-115 Other IO 配置.....	815
表 12-116 GPIO PAD 类型 .....	815
表 12-117 高速 PAD .....	875
表 13-1 NVIC1 和 NVIC2 映射.....	882
表 13-2 EXTI 事件输入配置和寄存器控制.....	891
表 13-3 可配置和直接事件的 EXTI 映射 .....	893
表 13-4 EXTI 事件输入映射 .....	895
表 14-1 DMAMUX 输入和输出 .....	915
表 14-2 DMAMUX 中断信号 .....	919
表 15-1 输类型和流量控制器组合 .....	934
表 15-2 硬件握手接口 .....	937
表 15-3 硬件握手接口 .....	940
表 16-1 流量控制器和硬件握手接口 .....	<b>错误!未定义书签。</b>
表 16-2 多块传输的寄存器更新方法 .....	<b>错误!未定义书签。</b>
表 17-1 SHRTIM 输入输出概述 .....	1057

表 17-2 外部事件映射与关联特性 .....	1059
表 17-3 更新使能输入与源 .....	1060
表 17-4Burst 模式的时钟源 .....	1060
表 17-5Fault 输入.....	1060
表 17-6SHRTIM DAC 触发互联.....	1061
表 17-7 $f_{SHRTIM} = 312.5\text{MHz}$ 时的定时分辨率和最小 PWM 频率 .....	1062
表 17-8 周期和比较寄存器最小值和最大值 .....	1065
表 17-9 定时器工作模式 .....	1065
表 17-10 定时器 A 到 F 之间的事件映射 .....	1070
表 17-11 交错模式选择 .....	1072
表 17-12 交错模式中比较 1..3 的值 .....	1072
表 17-13 死区分辨率和最大绝对值 .....	1082
表 17-14 翻转事件目的地和模式编程 .....	1091
表 17-15 根据 UPDOWNM 位设置的 EXEVxFLT[3:0] 代码.....	1093
表 17-16 外部事件映射和关联特性 .....	1097
表 17-17 输出置位/ 复位延迟和抖动与外部事件工作模式的关系 .....	1098
表 17-18 每个定时器的过滤信号映射 .....	1100
表 17-19 每个定时器的窗口信号映射 (EXEVxFLT [3:0] = 1111).....	1103
表 17-20 SHRTIM 可预装载控制寄存器和关联的更新源 .....	1112
表 17-21 更新使能输入和源 .....	1114
表 17-22 主定时器更新事件传播 .....	1118
表 17-23TIMx 更新事件传播.....	1118
表 17-24 能够生成更新事件的复位事件 .....	1119
表 17-25 用于定时器复位的更新事件传播 .....	1120
表 17-26 输出状态编程, $x = A..F$ , $y = 1$ 或 $2$ .....	1121
表 17-27 突发模式的定时器输出编程 .....	1126
表 17-28 来自通用定时器的突发模式时钟源 .....	1127
表 17-29 故障输入.....	1134
表 17-30 采样速率和滤波器长度与 FALTxFLT[3:0] 和时钟设置的关系.....	1135
表 17-31 故障输入消隐事件 .....	1136
表 17-32 故障 1..6 计数器复位源 .....	1137
表 17-33 同步事件的作用与定时器工作模式之间的关系 .....	1142

表 17-34 SHRTIM 中断汇总 .....	1152
表 17-35 SHRTIM DMA 请求汇总 .....	1153
表 18-1 ATIMx 输入/输出引脚 .....	1269
表 18-2 ATIMx 内部输入/输出信号 .....	1270
表 18-3 tim_ti1 输入信号源 .....	1270
表 18-4 tim_ti2 输入信号源 .....	1271
表 18-5 tim_ti3 输入信号源 .....	1271
表 18-6 tim_ti4 输入信号源 .....	1272
表 18-7 tim_itr 输入信号源 .....	1272
表 18-8 tim_etr 输入信号源 .....	1273
表 18-9 ATIMx 的刹车 1 输入信号源.....	1274
表 18-10 ATIMx 的刹车 2 输入信号源.....	1274
表 18-11 ATIMx 的 tim_ocref_clr 输入信号源 .....	1275
表 18-12 定时器输出行为与 tim_brk/ tim_brk2 输入.....	1307
表 18-13 刹车保护状态解除条件 .....	1309
表 18-14 计数方向与编码器信号的关系 (CC1P=CC2P=0) .....	1317
表 18-15 计数方向与编码器信号和极性设置的关系 .....	1321
表 18-16 带刹车功能的互补输出通道 OCx 和 OCxN 的控制位.....	1347
表 19-1 GTIMAx 输入/输出引脚.....	1369
表 19-2 GTIMAx 内部输入/输出信号 .....	1370
表 19-3 tim_ti1 输入信号源 .....	1370
表 19-4 tim_ti2 输入信号源 .....	1371
表 19-5 tim_ti3 输入信号源 .....	1371
表 19-6 tim_ti4 输入信号源 .....	1372
表 19-7 tim_itr 输入信号源 .....	1372
表 19-8 tim_etr 输入信号源 .....	1374
表 19-9 GTIMAx 的 tim_ocref_clr 输入信号源 .....	1375
表 19-10 计数方向与编码器信号的关系 (CC1P=CC2P=0) .....	1407
表 19-11 计数方向与编码器信号和极性设置的关系 .....	1411
表 19-12 标准 OCx 的输出控制位.....	1431
表 20-1 GTIMBx 输入/输出引脚.....	1445
表 20-2 GTIMBx 内部输入/输出信号 .....	1446

表 20-3 tim_ti1 输入信号源 .....	1446
表 20-4 tim_ti2 输入信号源 .....	1447
表 20-5 tim_ti3 输入信号源 .....	1447
表 20-6 tim_ti4 输入信号源 .....	1448
表 20-7 tim_itr 输入信号源 .....	1448
表 20-8 tim_etr 输入信号源 .....	1450
表 20-9 GTIMBx 的刹车 1 输入信号源 .....	1451
表 20-10 GTIMBx 的 tim_ocref_clr 输入信号源 .....	1451
表 20-11 刹车保护状态解除条件 .....	1483
表 20-12 计数方向与编码器信号的关系 (CC1P=CC2P=0) .....	1492
表 20-13 计数方向与编码器信号和极性设置的关系 .....	1496
表 20-14 带刹车功能的互补输出通道 OCx 和 OCxN 的控制位 .....	1521
表 22-1 预分频因子 .....	1554
表 22-2 LPTIM_CFG.TRGSEL[3:0]对应的 10 个触发输入 .....	1555
表 22-3 编码器计数的场景 .....	1561
表 22-4 中断事件 .....	1563
表 23-1 IWDG 计数最大和最小复位时间 .....	1575
表 24-1 WWDG 的最大和最小计数时间 .....	1582
表 25-1 RTC 功能支持 .....	1586
表 25-2 RTC 低功耗模式 .....	1595
表 25-3 RTC OUT 映射 .....	1595
表 26-1 ADC 引脚定义 .....	1621
表 26-2 ADC 外部硬件触发选择 .....	1632
表 26-3 ADC 触发极性选择 .....	1633
表 26-4 转换模式汇总 .....	1636
表 26-5 过采样模式汇总 .....	1645
表 26-6 转换模式组合 .....	1648
表 26-7 ADC 工作模式 .....	1649
表 26-8 用于校准的 ADC 内部寄存器 .....	1664
表 26-9 偏移计算与数据结果对比 .....	1666
表 26-10 常规格式 .....	1668
表 26-11 GCOMP 格式 .....	1670

表 26-12 中断列表.....	1684
表 27-1 DAC 特征.....	1718
表 27-2 DAC 引脚.....	1719
表 27-3 DAC1/2/3/4 输出特性 .....	1720
表 27-4 12-bit 数据格式 .....	1722
表 27-5 DAC 外部触发.....	1722
表 27-6 DAC 锯齿波步进触发源信号.....	1723
表 27-7 DAC1-DAC2 转换时间描述.....	1724
表 27-8 DAC3-DAC6 转换时间描述.....	1724
表 29-1 电压参考缓冲器挡位选择 .....	1778
表 29-2 电压参考缓冲区模式 .....	1778
表 30-1 FMAC 寄存器总览.....	1794
表 31-1 CORDIC 函数总览.....	1803
表 31-2 Cosine 参数.....	1803
表 31-3 Sine 参数.....	1804
表 31-4 Phase 参数.....	1804
表 31-5 Modulus 参数.....	1805
表 31-6 Arctangent 参数 .....	1805
表 31-7 Hyperbolic cosine 参数.....	1805
表 31-8 Hyperbolic sine 参数.....	1806
表 31-9 Hyperbolic arctangent 参数 .....	1806
表 31-10 Natural logarithm 参数.....	1806
表 31-11 Square root 参数.....	1807
表 31-12 CORDIC 精度.....	1808
表 31-13 PHASE 和 MODULUS 精度补充表.....	1810
表 31-14 Cordic 寄存器总览 .....	1813
表 32-1 DSMU 功能资源列表.....	1820
表 32-2 DSMU 外部信号 .....	1822
表 32-3 DSMU 外部触发信号.....	1822
表 32-4 DSMU 刹车信号 .....	1823
表 32-5 DSMU_CHyDATIN 数据组合模式.....	1831
表 32-6 不同 FOSR 配置下滤波器最大输出分辨率示例 .....	1833

表 32-7 不同 IOSR 配置下的积分器最大分辨率 (Sinc3 滤波, FOSSR=256) .....	1833
表 32-8 DSMU 中断请求 .....	1840
表 32-9 DSMU 寄存器总览 .....	1842
表 33-1 停止位配置 .....	1872
表 33-2 噪声检测的数据采样 .....	1876
表 33-3 设置波特率时的误差计算 .....	1878
表 33-4 设置波特率时的误差计算 .....	1879
表 33-5 当 DIV_Decimal =0 时, USART 接收器的容忍度 .....	1880
表 33-6 当 DIV_Decimal !=0 时, USART 接收器的容忍度 .....	1880
表 33-7 帧格式 .....	1880
表 33-8 USART 中断请求 .....	1895
表 33-9 USART 模式设置 <sup>(1)</sup> .....	1898
表 34-2 噪声检测的数据采样 .....	1918
表 35-1 I2C 时序设置 .....	1947
表 35-2 I2C 配置 .....	1948
表 35-3 TMOUTA TMIDLE=1 .....	1949
表 35-4 TMOUTB .....	1949
表 35-5 TMOUTA TMIDLE=0 .....	1949
表 35-6 I2C 中断请求 .....	1955
表 37-1 Hyperbus CA 格式 .....	2048
表 37-2 HSIZE 至数据帧大小的解码 .....	2050
表 37-3 HBURST 至数据帧数量的映射 (XSPI_XIP_CTRL.DFSHC=0) .....	2051
表 38-1 FEMC 引脚定义 .....	2089
表 38-2 SRAM 接口支持时序参数 .....	2096
表 38-3 异步读取的寄存器设置 .....	2096
表 38-4 复用模式异步读取的寄存器设置 .....	2097
表 38-5 异步写入的寄存器设置 .....	2098
表 38-6 复用模式异步写入的寄存器设置 .....	2099
表 38-7 异步页面模式读取的寄存器设置 .....	2101
表 38-8 同步突发读取的寄存器设置 .....	2101
表 38-9 复用模式下同步突发读取的寄存器设置 .....	2102
表 38-10 同步突发写入的寄存器设置 .....	2103

表 38-11 复用模式下同步突发写入的寄存器设置 .....	2104
表 38-12 同步读取和异步写入的寄存器设置 .....	2105
表 38-13 awaddr[ ]和 araddr[ ]信号字段含义 .....	2107
表 38-14 Nand 接口时序参数 .....	2112
表 38-15 NAND Flash 地址输入的寄存器设置 .....	2112
表 38-16 地址输入 awaddr 字段的示例 .....	2113
表 38-17 NAND Flash 读取的寄存器设置 .....	2113
表 38-18 地址输入 awaddr 字段的示例 .....	2114
表 38-19 地址锁存到数据阶段的寄存器设置 .....	2114
表 38-20 命令锁存到数据阶段的寄存器设置 .....	2114
表 38-21 命令锁存到数据阶段的寄存器设置 .....	2115
表 38-22 正常模式寻址 .....	2122
表 38-23 第二模式寻址 .....	2123
表 38-24 FEMC_ECCSTS.FAILF[4:0]位和 FEMC_ECCSTS.CORCTF[4:0]位的解码含义 .....	2126
表 39-1 SDMMC1 引脚定义 .....	2156
表 39-2 SDMMC2 引脚定义 .....	2157
表 39-3 ADMA 长度字段 .....	2164
表 39-4 ADMA2 状态 .....	2165
表 39-5 非 DMA 传输 .....	2168
表 39-6 DMA 传输 .....	2170
表 39-7 ADMA 传输流 .....	2172
表 39-8 同步中止流 .....	2174
表 39-9 异步中止流 .....	2175
表 39-10 电压切换顺序 .....	2180
表 40-1 USBHS 输入/输出信号 .....	2232
表 40-2 TRDTIM 值 (FS) .....	2247
表 40-3 TRDTIM 值 (HS) .....	2248
表 41-1 接收缓冲与接收 FIFO 数据结构 .....	2309
表 41-2 专用发送缓冲与发送 FIFO/发送队列数据结构 .....	2310
表 41-3 发送事件 FIFO 数据结构 .....	2312
表 41-4 标准消息 ID 过滤器数据结构 .....	2313
表 41-5 扩展消息 ID 过滤器数据结构 .....	2314

表 41-6 触发存储器数据结构 .....	2315
表 41-7 CAN FD 数据域长度定义 .....	2320
表 41-8 CAN FD 数据域长度定义 .....	2330
表 41-9 专用接收缓冲过滤器配置示例 .....	2332
表 41-10 调试消息过滤器配置示例 .....	2333
表 41-11 发送消息帧配置 .....	2333
表 41-12 专用发送缓冲、发送 FIFO/队列元素大小 .....	2334
表 41-13 Level 1 参考消息的第一个字节 .....	2338
表 41-14 Level 2 参考消息的前四个字节 .....	2339
表 41-15 Level 0 参考消息的前四个字节 .....	2339
表 41-16 TUR 配置示例 .....	2340
表 41-17 系统矩阵，节点 A .....	2344
表 41-18 触发器列表，节点 A .....	2344
表 41-19 随参考消息一起发送的数据字节数 .....	2351
表 42-1 DSI-2 主机视频接口输入像素格式 .....	2420
表 42-2 DSI-2 主机视频接口视频事件 .....	2421
表 42-3 Blanking 数据包组合 .....	2424
表 42-4 DSI-2 主机连续时钟模式 .....	2431
表 42-5 DSI-2 主机非连续时钟模式 .....	2432
表 42-6 DSI-2 TX 控制器 SkewCal 定时器值范围 .....	2434
表 42-7 DSI-2 主机控制器视频错误 .....	2436
表 42-8 D-PHY SoT 时序参数 .....	2440
表 42-9 D-PHY EoT 时序参数 .....	2440
表 42-10 Escape 模式进入命令 .....	2444
表 42-11 参考时钟频率选择 .....	2444
表 42-12 DSIPHY_CTRL1.LxSEL[2:0] 设置 .....	2445
表 43-1 文中缩写 .....	2485
表 43-2 非交错格式的输入组件排序 .....	2489
表 43-3 4:4:4 交错格式的输入组件排序 .....	2489
表 43-4 4:2:2 交错格式的输入组件排序 .....	2490
表 43-5 4:2:0 交错格式的输入组件排序 .....	2490
表 43-6 单色交错格式的输入元件排序 .....	2490



表 43-7 每种支持模式的“块线大小”参数的表达式.....	2490
表 43-8 通常出现在文件头/文件尾缓冲区中的标记.....	2492
表 43-9 通常出现在页眉/页脚缓冲区中的标记.....	2492
表 43-10 解码器解释的标记.....	2496
表 43-11 非交错格式的输出组件排序.....	2501
表 43-12 4:4:4 交错格式的输出组件排序.....	2501
表 43-13 4:2:2 交错格式的输出组件排序.....	2501
表 43-14 4:2:0 交错格式的输出组件排序.....	2501
表 43-15 单色交错格式的输出元件排序.....	2501
表 43-16 正确操作所需的最小内存字节数.....	2502
表 43-17 如何计算标准 4:4:4、4:2:2 和 4:2:0 格式的每个 MCU 的块数和每行 MCU 的数量的示例	2502
表 43-18 在各种实施选项的情况下，选择的上采样模式与使用的模式.....	2502
表 43-19 数据总线对齐 FSM 状态.....	2505
表 43-20 错误类型.....	2507
表 43-21 H2P 控制 FSM 状态.....	2508
表 43-22 P2H 控制 FSM 状态.....	2509
表 43-23 AXI 通道控制 FSM 状态.....	2510
表 43-24 8 字描述符结构.....	2511
表 43-25 4 字描述符结构.....	2512
表 44-1 LCDC 引脚.....	2563
表 44-2 LCDC 内部信号.....	2563
表 44-3 像素数据映射与颜色格式.....	2568
表 44-4 LCDC 中断请求.....	2572
表 44-5 YCbCr 4:2:2 交错模式分量输入顺序.....	2590
表 44-6 YCbCr 4:2:0 半平面模式分量输入顺序.....	2591
表 44-7 YCbCr 4:4:4 交错模式分量输入顺序.....	2591
表 45-1 行程包 RLE 格式.....	2613
表 45-2 原始包 RLE 格式.....	2613
表 46-1 DVP 接口信号.....	2704
表 47-1 ETH1 外设引脚.....	2731
表 47-2 ETH2 外设引脚.....	2733
表 47-3 以太网内部信号.....	2733

表 47-4 数据缓冲区对齐示例 .....	2735
表 47-5 暂停数据包位域 .....	2753
表 47-6 Tx MAC 流量控制 .....	2754
表 47-7 Rx MAC 流量控制 .....	2756
表 47-8 发送路径上的双 VLAN 处理 .....	2758
表 47-9 接收路径上的双 VLAN 处理 .....	2758
表 47-10 MDIO 帧格式 (Clause 45) .....	2760
表 47-11 MDIO 帧格式 (Clause 22) .....	2761
表 47-12 DA 过滤 .....	2771
表 47-13 SA 过滤 .....	2771
表 47-14 VLAN 匹配状态 .....	2772
表 47-15 普通时钟: 快照的 PTP 消息 .....	2775
表 47-16 端对端透明时钟: 快照的 PTP 消息 .....	2775
表 47-17 点对点透明时钟: 快照的 PTP 消息 .....	2776
表 47-18 PTP 消息格式 .....	2780
表 47-19 IPv4-UDP PTP 数据包控制和状态所需字段 .....	2781
表 47-20 IPv6-UDP PTP 数据包控制和状态所需字段 .....	2781
表 47-21 以太网 PTP 数据包控制和状态所需字段 .....	2782
表 47-22 时间戳快照与 ETH_MACTSCTRL 寄存器的关系 .....	2784
表 47-23 PTP 消息生成标准 .....	2788
表 47-24 MAC 发送 PTP 模式和一步时间戳操作 <sup>(1)</sup> .....	2791
表 47-25 不同数据包类型的发送校验和减荷引擎功能 .....	2795
表 47-26 不同数据包类型的接收校验和减荷引擎功能 .....	2796
表 47-27 TSO: TCP 和 IP 报头字段 .....	2800
表 47-28 远程唤醒过滤寄存器 .....	2805
表 47-29 最大接收数据包大小 .....	2811
表 47-30 发送正常描述符 (读格式) .....	2814
表 47-31 TDES0 正常描述符 (读格式) .....	2814
表 47-32 TDES1 正常描述符 (读格式) .....	2814
表 47-33 TDES2 正常描述符 (读格式) .....	2814
表 47-34 TDES3 正常描述符 (读格式) .....	2815
表 47-35 发送正常描述符 (回写格式) .....	2817

表 47-36 TDES0 正常描述符（回写格式） .....	2817
表 47-37 TDES1 正常描述符（回写格式） .....	2818
表 47-38 TDES2 正常描述符（回写格式） .....	2818
表 47-39 TDES3 正常描述符（回写格式） .....	2818
表 47-40 发送上下文描述符 .....	2820
表 47-41 TDES0 上下文描述符 .....	2821
表 47-42 TDES1 上下文描述符 .....	2821
表 47-43 TDES2 上下文描述符 .....	2821
表 47-44 TDES3 上下文描述符 .....	2821
表 47-45 接收正常描述符（读格式） .....	2823
表 47-46 RDES0 正常描述符（读格式） .....	2823
表 47-47 RDES1 正常描述符（读格式） .....	2823
表 47-48 RDES2 正常描述符（读格式） .....	2824
表 47-49 RDES3 正常描述符（读格式） .....	2824
表 47-50 接收正常描述符（回写格式） .....	2824
表 47-51 RDES0 正常描述符（回写格式） .....	2825
表 47-52 RDES1 正常描述符（回写格式） .....	2825
表 47-53 RDES2 正常描述符（回写格式） .....	2826
表 47-54 RDES3 正常描述符（回写格式） .....	2827
表 47-55 接收上下文描述符 .....	2830
表 47-56 RDES0 上下文描述符 .....	2830
表 47-57 RDES1 上下文描述符 .....	2830
表 47-58 RDES2 上下文描述符 .....	2830
表 47-59 RDES3 上下文描述符 .....	2830
表 47-60 传输完成中断行为 .....	2832
表 47-61 基于 S2KP 和 JE 位的巨型数据包状态 .....	2851
表 48-1 ESC 引脚定义 .....	错误!未定义书签。
表 48-2 EtherCAT 帧头 .....	错误!未定义书签。
表 48-3 EtherCAT 数据报 .....	错误!未定义书签。
表 48-4 工作计数器增量 .....	错误!未定义书签。
表 48-5 EtherCAT 命令类型 .....	错误!未定义书签。
表 48-6 特殊/未使用的 MII 接口信号 .....	错误!未定义书签。

表 48-7 以太网链接检测组合 .....	错误!未定义书签。
表 48-8 FMMU 配置示例 .....	错误!未定义书签。
表 48-9 ESC 配置区域 .....	错误!未定义书签。
表 48-10 SII EEPROM 内容摘录 .....	错误!未定义书签。
表 48-11 错误计数器概述 .....	错误!未定义书签。
表 48-12 错误及对应的错误计数器 .....	错误!未定义书签。
表 48-13 RUN LED 状态指示 .....	错误!未定义书签。
表 48-14 自动 ESC ERR LED 状态指示 .....	错误!未定义书签。
表 48-15 LINKACT LED 状态指示 .....	错误!未定义书签。
表 48-16 受 PDI 寄存器功能写确认影响的功能/寄存器 .....	错误!未定义书签。
表 50-1 REV_IN 功能示例 .....	3087
表 50-2 BYTEENDIAN 功能示例 .....	3087
表 50-3 REVOUT 功能示例 .....	3088
表 50-4 CRC 多项式配置示例 .....	3088
表 50-5 1.5.1 CRC 寄存器总览 .....	3089
表 51-1 JTAG/串行线调试端口引脚 .....	3096
表 51-2 跟踪端口引脚 .....	3097
表 51-3 串行线跟踪端口引脚 .....	3097
表 51-4 触发引脚（仅使用 CM7 的 CTI/CTO 的通道 0） .....	3097
表 51-5 跟踪模式配置 .....	3098
表 51-6 数据包请求阶段 .....	3099
表 51-7 确认响应 .....	3100
表 51-8 数据传输阶段 .....	3100

## 图目录

图 2-1 N32H7xx 的系统架构 .....	134
图 2-2 N32H7xx 的总线架构 .....	135
图 2-3 ECCMON 模块框图 .....	196
图 2-4 TCM 控制器框图 .....	208
图 2-5 时钟和复位域 .....	209
图 2-6 TCM 控制器和 ECC 监视器连接 .....	212
图 2-7 ECC 数据分配 .....	213
图 3-1 芯片电源框架 .....	221
图 3-2 上电复位和掉电复位波形图 .....	225
图 3-3 PVD 阈值波形 .....	226
图 3-4 AVD 阈值波形 .....	227
图 3-5 BOR 阈值波形 .....	228
图 3-6 备份域电压阈值的波形 .....	229
图 3-7 CPU 域电源模式转换图 .....	231
图 3-8 系统电源模式转换 .....	234
图 4-1 RCC 模块图 .....	303
图 4-2 NRST 复位生成 .....	305
图 4-3 时钟树 .....	314
图 4-4 时钟源稳定 .....	315
图 4-5 LSI CSS Control Flow .....	320
图 4-6 I/O 时钟 .....	325
图 4-7 系统总线和 CPU 的时钟 .....	326
图 4-8 Ethernet1 .....	333
图 4-9 Ethernet2 .....	334
图 4-10 SDMMC1 .....	335
图 4-11 SDMMC2 .....	335
图 4-12 USB1 .....	336
图 4-13 USB2 .....	336
图 4-14 ADC(n) {n=1,2,3} .....	337
图 4-15 Ethercat .....	338
图 4-16 I2C(n) {n=1,2,3} .....	338

图 4-17 I2C(n) {n=4,5,6} .....	338
图 4-18 I2C(n) {n=7,8,9,10} .....	339
图 4-19 FDCANn {n=1,2,5,6} .....	339
图 4-20 FDCAN(n) {n=3,4,7,8} .....	339
图 4-21 DSMU .....	340
图 4-22 FEMC .....	340
图 4-23 DSI .....	341
图 4-24 LCDC .....	342
图 4-25 XSPI(n) {n=1,2} .....	342
图 4-26 SDRAM .....	343
图 4-27 USART(n) {n=1,2} .....	343
图 4-28 USART(n) {n=3,4} .....	344
图 4-29 USART(n) {n=5,6,7,8} .....	344
图 4-30 UART(n) {n=9,10,11,12} .....	344
图 4-31 UART(n) {n=13,14,15} .....	345
图 4-32 SPI(n) {n=1,2} .....	345
图 4-33 SPI(n) {n=3} .....	345
图 4-34 SPI(n) {n=4,5,6,7} .....	346
图 4-35 I2S(n) {n=1,2} .....	346
图 4-36 I2S(n) {n=3,4} .....	346
图 4-37 BTIM(n) {n=1,2,3,4} .....	347
图 4-38 ATIM(n) {n=1,2} .....	347
图 4-39 ATIM(n) {n=3,4} .....	347
图 4-40 GTIMA(n) {n=1,2,3} .....	348
图 4-41 GTIMA(n) {n=4,5,6,7} .....	348
图 4-42 GTIMB(n) {n=1,2,3} .....	348
图 4-43 SHRTIM(n) {n=1,2} .....	349
图 4-44 DMA(n) {n=1,2,3} .....	350
图 4-45 DMAMUX1 .....	350
图 4-46 DMAMUX2 .....	350
图 4-47 MDMA .....	351
图 4-48 ECCMON1 .....	351

图 4-49 ECCMON2.....	351
图 4-50 ECCMON3.....	352
图 4-51 ECCMON_AHBCACHE.....	352
图 4-52 DAC(n) {n=12}.....	352
图 4-53 DAC(n) {n=34, 56}.....	352
图 4-54 WWDG1.....	353
图 4-55 WWDG2.....	353
图 4-56 FMAC.....	353
图 4-57 SDPU.....	354
图 4-58 CORDIC.....	354
图 4-59 SEMA4.....	354
图 4-60 CRC.....	355
图 4-61 PWR.....	355
图 4-62 GPIO.....	356
图 4-63 AFIO.....	356
图 4-64 EXTI.....	357
图 4-65 RTC.....	357
图 4-66 IWDG(n) {n=1,2}.....	358
图 4-67 OTPC.....	358
图 4-68 GPU.....	359
图 4-69 DVP(n) {n=1,2}.....	359
图 4-70 JPEG.....	360
图 4-71 AHB_SRAM.....	361
图 4-72 TCM_AXI_SRAM.....	361
图 4-73 AXI_ROM.....	362
图 4-74 DCMU.....	362
图 4-75 TRNG.....	362
图 4-76 LPTIM(n) {n=1,2,3,4}.....	363
图 4-77 LPUART(n) {n=1,2}.....	363
图 4-78 COMP.....	364
图 6-1 SRAM 控制器框图.....	601
图 6-2 SDRAM 行激活.....	610

图 6-3 Single 写传输，不带自动预充 .....	611
图 6-4 Single 写传输，带自动预充 .....	612
图 6-5 Burst 写传输，不带自动预充 .....	612
图 6-6 Burst 写终止 .....	613
图 6-7 Burst 写传输，带自动预充 .....	613
图 6-8 Single 读传输，不带自动预充 .....	614
图 6-9 Single 读传输，带自动预充 .....	615
图 6-10 Burst 读传输，不带自动预充 .....	615
图 6-11 Burst 读传输，带自动预充 .....	616
图 6-12 预充选定 Bank .....	617
图 6-13 预充所有 Banks .....	617
图 6-14 自动刷新 .....	618
图 7-1 SEMA4 顶层模块框图 .....	635
图 7-2 AHB 单次读写过程状态图 .....	636
图 7-3 信号量释放时触发中断的流程 .....	639
图 8-1 DCMU 框图 .....	650
图 8-2 DCMU 消息传输 .....	651
图 8-3 基于发送和接受寄存器的消息传输模型 .....	653
图 8-4 基于通用中断的消息传输模型 .....	654
图 9-1 OTPC 系统框图 .....	673
图 9-2 OTPC 块控制框图 .....	674
图 9-3 APB 时钟域中的时钟预标量框图。 .....	676
图 9-4 读地址计算逻辑 .....	678
图 9-5 OTPC 读状态机和时序 1 .....	678
图 9-6 OTPC 编程状态机 .....	679
图 9-7 OTPC 寄存器模块向 OTPC 提供的编程信号 .....	680
图 10-1 N32H7xx 系统安全架构 .....	694
图 10-2 Flash 安全区域分区 .....	701
图 10-3 Flash 安全区域分区 .....	704
图 10-4 RDP 转换 .....	705
图 11-1 RTAD 框图 .....	744
图 11-2 RTAD 工作流程图 .....	746



图 12-1 I/O 端口的基本结构.....	748
图 12-2 输入浮空/上拉/下拉/复用配置.....	750
图 12-3 输出模式配置.....	751
图 12-4 复用功能配置.....	752
图 12-5 高阻抗的模拟模式配置.....	752
图 13-1 外部中断/事件控制器框图.....	891
图 13-2 可配置事件触发逻辑.....	892
图 13-3 直接事件触发逻辑.....	893
图 14-1 DMAMUX 功能框图.....	915
图 14-2 DMAMUX 同步事件生成示例 1.....	917
图 14-3 DMAMUX 同步事件生成示例 2.....	918
图 15-1 DMA 框图.....	930
图 15-2 非存储外设的传输层次结构.....	932
图 15-3 内存传输层次结构.....	933
图 15-4 硬件握手接口--外设不是流量控制器.....	937
图 15-5 硬件握手接口--外设是流量控制器.....	940
图 15-6 通过外设中断的事务请求.....	942
图 15-7 使用链表的多块传输.....	943
图 15-8 流量控制配置.....	944
图 15-9 主总线接口的仲裁流程图.....	948
图 15-10 目标散射传输.....	949
图 15-11 源聚集传输.....	950
图 16-1 MDMA 框图.....	错误!未定义书签。
图 16-2 非存储外设的传输层次结构.....	错误!未定义书签。
图 16-3 内存传输层次结构.....	错误!未定义书签。
图 16-4 单仲裁器方案--读仲裁器.....	错误!未定义书签。
图 16-5 单仲裁器方案--写仲裁器.....	错误!未定义书签。
图 16-6 多仲裁器方案--读仲裁器.....	错误!未定义书签。
图 16-7 多仲裁器方案--写仲裁器.....	错误!未定义书签。
图 16-8 硬件握手接口.....	错误!未定义书签。
图 16-9 流量控制配置 <sup>(1)</sup> .....	错误!未定义书签。
图 16-10 MDMA 链表项（描述符）.....	错误!未定义书签。

图 16-11 MDMA 中断生成 <sup>(1)(2)(3)</sup> .....	错误!未定义书签。
图 17-1 SHRTIM 概览.....	1056
图 17-2 计数和捕获寄存器形式 vs 时钟分频因子.....	1062
图 17-3 定时器 A...F 概览.....	1064
图 17-4 连续定时器工作模式.....	1066
图 17-5 单发定时器工作模式.....	1066
图 17-6 定时器复位重新同步（预分频比大于 32）.....	1068
图 17-7 连续模式下的重复率与 SHRTIM_TxREPT 内容.....	1069
图 17-8 单发模式下的重复计数器行为.....	1069
图 17-9 比较事件对输出的操作：发生比较 1 时置位，发生比较 2 时复位.....	1071
图 17-10 定时单元捕获电路.....	1073
图 17-11 自动延迟概述（仅限比较 2 寄存器）.....	1074
图 17-12 自动延迟比较.....	1076
图 17-13 半触发模式示例.....	1078
图 17-14 推挽模式框图.....	1079
图 17-15 推挽模式示例.....	1079
图 17-16 带死区的推挽.....	1080
图 17-17 已插入死区的互补输出.....	1081
图 17-18 死区插入与死区符号（1 表示负死区）.....	1081
图 17-19 低脉宽的互补输出 (SDTR = SDTF = 0).....	1083
图 17-20 低脉宽的互补输出 (SDTR = SDTF = 1).....	1083
图 17-21 低脉宽的互补输出 (SDTR = 0, SDTF = 1).....	1083
图 17-22 低脉宽的互补输出 (SDTR = 1, SDTF = 0).....	1084
图 17-23 主定时器概览.....	1084
图 17-24 上下计数模式下的基本对称波形.....	1086
图 17-25 上下计数模式下的复杂对称波形.....	1086
图 17-26 上下计数模式下的不对称波形.....	1087
图 17-27 上下计数模式中的外部事件管理.....	1088
图 17-28 交错上下计数器操作.....	1088
图 17-29 交错上下计数器操作.....	1089
图 17-30 推挽上下模式示例.....	1091
图 17-31 具有“大于”比较的上下模式.....	1091

图 17-32 上下+单发，翻转事件的产生.....	1092
图 17-33 在周期事件上置位输出的上下模式，OUTROM[1:0]=10.....	1092
图 17-34 上下计数模式中的重复计数器行为.....	1093
图 17-35 窄脉冲生成的短距离置位/复位管理.....	1094
图 17-36 外部事件条件概览（显示了 1 条通道）.....	1097
图 17-37 外部事件下降沿的延迟（计数器复位和输出置位）.....	1099
图 17-38 外部事件的延迟（发生外部事件时，输出复位）.....	1099
图 17-39 事件消隐模式.....	1100
图 17-40 事件延迟模式.....	1100
图 17-41 采用边沿有效触发的外部触发消隐.....	1101
图 17-42 外部触发消隐，电平有效触发.....	1102
图 17-43 事件窗口模式.....	1102
图 17-44 采用边沿有效触发的外部触发窗口.....	1103
图 17-45 外部触发窗口，电平有效触发.....	1103
图 17-46 外部事件计数器 – 通道 A.....	1104
图 17-47 外部事件计数器累积模式 (EXEVRSTM = 1, EXEVCNT = 2).....	1105
图 17-48 延迟空闲模式进入.....	1106
图 17-49 突发模式和延迟保护优先级 (DIDL = 0).....	1107
图 17-50 突发模式和延迟保护优先级 (DIDL = 1).....	1108
图 17-51 均衡空闲保护示例.....	1109
图 17-52 重新同步的定时器更新 (SHRTIM_TBCTRL 中的 TAUEN = 1).....	1115
图 17-53“大于”PWM 模式的提前开启和提前关断的行为.....	1117
图 17-54 输出管理概览.....	1122
图 17-55SHRTIM 输出状态和转换.....	1122
图 17-56 载波频率信号插入.....	1123
图 17-57 已使能斩波模式的 SHRTIM 输出.....	1124
图 17-58 突发模式工作示例.....	1125
图 17-59 发生外部事件时触发突发模式.....	1128
图 17-60 使能死区且 IDLESx = 1 时的延迟突发模式进入.....	1128
图 17-61 死区内的延迟突发模式进入.....	1129
图 17-62 死区发生器使能时的突发模式退出.....	1130
图 17-63 突发模式仿真示例.....	1132

图 17-64 故障保护电路（完全显示了 FAULT1，部分显示了 FAULT2..6） .....	1133
图 17-65 故障信号过滤（ $FALT_xFLT[3:0]=0010$ ； $f_{SAMPLING}=f_{SHRTIM}$ ， $N=4$ ） .....	1135
图 17-66 故障计数器累积模式（ $FALT_xRSTM=1$ ， $FALT_xCNT[3:0]=2$ ）.....	1136
图 17-67 辅助输出.....	1138
图 17-68 突发模式期间的辅助输出和主输出（ $DIDL_x=0$ ）.....	1139
图 17-69 退出突发模式时辅助输出上的死区失真 .....	1139
图 17-70 同步启动模式下计数器的行为 .....	1143
图 17-71 ADC 触发器选择概览.....	1144
图 17-72 ADC 触发器.....	1144
图 17-73 上计数模式中的 ADC 触发器后置缩放.....	1146
图 17-74 上/下计数模式中的 ADC 触发器后置缩放.....	1146
图 17-75 上/下计数模式 + 单发模式中的 ADC 触发 .....	1147
图 17-76 在单个 <code>shrtim_dac_trgx</code> 输出上组合多个更新 .....	1147
图 17-77 DAC 双触发器示例.....	1149
图 17-78 用于斜坡补偿的 DAC 触发器.....	1149
图 17-79 DAC 触发器概览.....	1150
图 17-80 DMA 突发概览.....	1154
图 17-81 突发 DMA 工作流程图.....	1155
图 17-82 DMA 突发传输后进行寄存器更新 .....	1156
图 18-1 ATIMx 框图 .....	1269
图 18-2 当预分频的参数从 1 到 4，计数器的时序图 .....	1276
图 18-3 当内部时钟分频因子 = $2/N$ 时，向上计数的时序图.....	1277
图 18-4 当 $ARPEN=0/1$ 产生更新事件时，向上计数的时序图.....	1278
图 18-5 内部时钟分频因子 = $2/N$ 时，向下计数时序图.....	1279
图 18-6 内部时钟分频因子 = $2/N$ ，中央对齐时序图.....	1280
图 18-7 包含计数器上溢和下溢的中央对齐时序图( $ARPEN=1$ ) .....	1281
图 18-8 非对称模式对应的输出波形 .....	1282
图 18-9 $CCDAT_x(x=4,7,8,9)$ ，当 $DIR=0$ 时触发 ADC.....	1283
图 18-10 $CCDAT_x(x=4,7,8,9)$ ，当 $DIR=1$ 时触发 ADC.....	1284
图 18-11 $CCDAT_x(x=4,7,8,9)$ ，当 $DIR=1$ 或 $DIR=0$ 时触发 ADC.....	1285
图 18-12 向下计数模式下的重复计数时序图 .....	1286
图 18-13 向上计数模式下的重复计数时序图 .....	1286

图 18-14 中央对齐模式下的重复计数时序图 .....	1287
图 18-15 正常模式下的控制电路，内部时钟除以 1 .....	1288
图 18-16 TI2 外部时钟连接示例 .....	1288
图 18-17 外部时钟模式 1 的控制电路 .....	1289
图 18-18 外部触发输入框图 .....	1290
图 18-19 外部时钟模式 2 的控制电路 .....	1290
图 18-20 捕获/比较通道（例如：通道 1 输入级） .....	1291
图 18-21 捕获/比较通道 1 主电路 .....	1292
图 18-22 通道 x 的输出部分（x= 1,2,3,4；以通道 1 为例子） .....	1293
图 18-23 PWM 输入模式时序 .....	1295
图 18-24 输出比较模式，开启 OC1 .....	1296
图 18-25 中央对齐的 PWM 波形 (AR=8) .....	1298
图 18-26 边沿对齐 PWM 波形 (AR=8) .....	1299
图 18-27 单脉冲模式示例 .....	1300
图 18-28 外部事件清除 OCxREF 信号 .....	1301
图 18-29 清除 TIMx 的 OCxREF .....	1302
图 18-30 带死区插入的互补输出 .....	1303
图 18-31 刹车输入 .....	1305
图 18-32 响应刹车的输出行为 .....	1306
图 18-33 tim_brk 和 tim_brk2 使能后的 PWM 输出状态 (OSS1=1) .....	1307
图 18-34 tim_brk 使能后的 PWM 输出状态 (OSS1=0) .....	1308
图 18-35 滑动滤波 .....	1308
图 18-36 输出重定向 .....	1310
图 18-37 复位模式下的控制电路 .....	1311
图 18-38 触发器模式下的控制电路 .....	1311
图 18-39 门控模式下的控制电路 .....	1312
图 18-40 外部时钟模式 2+触发模式下的控制电路 .....	1313
图 18-41 组合复位+触发模式下的控制电路 .....	1314
图 18-42 组合门控+复位模式下的控制电路 .....	1315
图 18-43 产生六步 PWM，使用 COM 的例子 (OSSR=1) .....	1316
图 18-44 编码器仅在 TI1 计数 .....	1317
图 18-45 编码器仅在 TI2 计数 .....	1318

图 18-46 编码器在 TI1 和 TI2 上计数.....	1318
图 18-47 T2 是高电平时, 计数器只在 TI1 计数.....	1318
图 18-48 T1 是高电平时, 计数器只在 TI2 计数.....	1319
图 18-49 编码器模式下的计数器操作实例.....	1319
图 18-50 IC1FP1 反相的编码器接口模式实例.....	1320
图 18-51 脉冲电平编码模式 (CC1P=CC2P=0).....	1321
图 18-52 双脉冲编码模式 (CC1P = CC2P = 0).....	1322
图 18-53 双脉冲编码模式 (CC1P = CC2P = 1).....	1322
图 18-54 霍尔传感器接口的实例.....	1324
图 19-1 GTIMAx (x=1-7) 框图.....	1369
图 19-2 当预分频的参数从 1 到 4, 计数器的时序图.....	1376
图 19-3 当内部时钟分频因子 = 2/N 时, 向上计数的时序图.....	1378
图 19-4 当 ARPEN=0/1 产生更新事件时, 向上计数的时序图.....	1379
图 19-5 内部时钟分频因子 = 2/N 时, 向下计数时序图.....	1380
图 19-6 内部时钟分频因子 = 2/N, 中央对齐时序图.....	1381
图 19-7 包含计数器上溢和下溢的中央对齐时序图(ARPEN=1).....	1382
图 19-8 正常模式下的控制电路, 内部时钟除以 1.....	1383
图 19-9 TI2 外部时钟连接示例.....	1384
图 19-10 外部时钟模式 1 的控制电路.....	1385
图 19-11 外部触发输入框图.....	1385
图 19-12 外部时钟模式 2 的控制电路.....	1386
图 19-13 捕获/比较通道 (例如: 通道 1 输入级).....	1387
图 19-14 捕获/比较通道 1 主电路.....	1388
图 19-15 通道 x 的输出部分 (x = 1/2/3/4, 以通道 4 为例子).....	1389
图 19-16 滑动滤波.....	1390
图 19-17 PWM 输入模式时序.....	1391
图 19-18 输出比较模式, 开启 OC1.....	1392
图 19-19 中央对齐的 PWM 波形 (AR=8).....	1394
图 19-20 边沿对齐 PWM 波形 (AR=8).....	1395
图 19-21 单脉冲模式示例.....	1396
图 19-22 外部事件清除 OCxREF 信号.....	1397
图 19-23 清除 TIMx 的 OCxREF.....	1398

图 19-24 复位模式下的控制电路 .....	1399
图 19-25 触发器模式下的控制电路 .....	1399
图 19-26 门控模式下的控制电路 .....	1400
图 19-27 外部时钟模式 2+触发模式下的控制电路 .....	1401
图 19-28 主/从定时器的例子 .....	1402
图 19-29 GTIMA 2 由 ATIM1 的 OC1REF 门控 .....	1403
图 19-30 GTIMA 2 由 ATIM1 的使能门控 .....	1404
图 19-31 使用 ATIM1 的更新触发 GTIMA 2 .....	1405
图 19-32 使用 ATIM1 的 TI1 输入触发 ATIM1 和 GTIMA 2 .....	1406
图 19-33 编码器仅在 TI1 计数 .....	1408
图 19-34 编码器仅在 TI2 计数 .....	1408
图 19-35 编码器在 TI1 和 TI2 上计数 .....	1408
图 19-36 T2 是高电平时, 计数器只在 TI1 计数 .....	1409
图 19-37 T1 是高电平时, 计数器只在 TI2 计数 .....	1409
图 19-38 编码器模式下的计数器操作实例 .....	1410
图 19-39 IC1FP1 反相的编码器接口模式实例 .....	1410
图 19-40 脉冲电平编码模式 (CC1P=CC2P=0) .....	1411
图 19-41 双脉冲编码模式 (CC1P = CC2P = 0) .....	1412
图 19-42 双脉冲编码模式 (CC1P = CC2P = 1) .....	1413
图 20-1 GTIMBx 框图 .....	1445
图 20-2 当预分频的参数从 1 到 4, 计数器的时序图 .....	1452
图 20-3 当内部时钟分频因子 = 2/N 时, 向上计数的时序图 .....	1454
图 20-4 当 ARPEN=0/1 产生更新事件时, 向上计数的时序图 .....	1455
图 20-5 内部时钟分频因子 = 2/N 时, 向下计数时序图 .....	1456
图 20-6 内部时钟分频因子 = 2/N, 中央对齐时序图 .....	1457
图 20-7 包含计数器上溢和下溢的中央对齐时序图(ARPEN=1) .....	1458
图 20-8 非对称模式对应的输出波形 .....	1459
图 20-9 向下计数模式下的重复计数时序图 .....	1460
图 20-10 向上计数模式下的重复计数时序列图 .....	1461
图 20-11 中央对齐模式下的重复计数时序图 .....	1461
图 20-12 正常模式下的控制电路, 内部时钟除以 1 .....	1462
图 20-13 TI2 外部时钟连接示例 .....	1463

图 20-14 外部时钟模式 1 的控制电路 .....	1464
图 20-15 外部触发输入框图 .....	1464
图 20-16 外部时钟模式 2 的控制电路 .....	1465
图 20-17 捕获/比较通道 (例如: 通道 1 输入级) .....	1465
图 20-18 捕获/比较通道 1 主电路 .....	1466
图 20-19 通道 x 的输出部分 (x=1; 以通道 1 为例子) .....	1467
图 20-20 通道 x 的输出部分 (x=2, 3, 4; 以通道 4 为例子) .....	1467
图 20-21 PWM 输入模式时序 .....	1469
图 20-22 输出比较模式, 开启 OC1 .....	1470
图 20-23 中央对齐的 PWM 波形 (AR=8) .....	1472
图 20-24 边沿对齐 PWM 波形 (AR=8) .....	1473
图 20-25 通道 1 和通道 3 上的组合 PWM 模式 .....	1474
图 20-26 单脉冲模式示例 .....	1475
图 20-27 可再触发单脉冲模式 1 .....	1476
图 20-28 外部事件清除 OCxREF 信号 .....	1477
图 20-29 清除 TIMx 的 OCxREF .....	1477
图 20-30 带死区插入的互补输出 .....	1479
图 20-31 刹车输入 .....	1480
图 20-32 响应刹车的输出行为 .....	1482
图 20-33 滑动滤波 .....	1482
图 20-34 输出重定向 .....	1484
图 20-35 复位模式下的控制电路 .....	1485
图 20-36 触发器模式下的控制电路 .....	1486
图 20-37 门控模式下的控制电路 .....	1487
图 20-38 外部时钟模式 2+触发模式下的控制电路 .....	1488
图 20-39 组合复位+触发模式下的控制电路 .....	1489
图 20-40 组合门控+复位模式下的控制电路 .....	1490
图 20-41 产生六步 PWM, 使用 COM 的例子 (OSSR=1) .....	1491
图 20-42 编码器仅在 TI1 计数 .....	1492
图 20-43 编码器仅在 TI2 计数 .....	1493
图 20-44 编码器在 TI1 和 TI2 上计数 .....	1493
图 20-45 T2 是高电平时, 计数器只在 TI1 计数 .....	1493



图 20-46 T1 是高电平时，计数器只在 TI2 计数.....	1494
图 20-47 编码器模式下的计数器操作实例.....	1494
图 20-48 IC1FP1 反相的编码器接口模式实例.....	1494
图 20-49 脉冲电平编码模式 (CC1P=CC2P=0).....	1496
图 20-50 双脉冲编码模式 (CC1P = CC2P = 0).....	1497
图 20-51 双脉冲编码模式 (CC1P = CC2P = 1).....	1497
图 21-1 BTIMx 的框图 (x = 1,2,3,4).....	1542
图 21-2 预分频器分频从 1 到 4 的计数器时序图.....	1543
图 21-3 向上计数时序图，内部时钟分频因子 = 2/N.....	1544
图 21-4 ARPEN=0/1 时向上计数、更新事件的时序图.....	1545
图 21-5 正常模式下的控制电路，内部时钟分频系数为 1.....	1546
图 22-1 LPTIM 主框图.....	1553
图 22-2 毛刺滤波器时序图.....	1555
图 22-3 LPTIM 输出波形，连续计数模式配置.....	1556
图 22-4 LPTIM 输出波形，单触发计数模式配置.....	1557
图 22-5 LPTIM 输出波形，一次模式.....	1557
图 22-6 波形发生器.....	1559
图 22-7 编码器模式计数序列.....	1561
图 22-8 非正交编码器正常工作 Input1、Input2 波形.....	1562
图 22-9 非正交编码器非正常工作 Input1、Input2 波形.....	1562
图 23-1 独立看门功能框图.....	1573
图 24-1 窗口看门狗功能框图.....	1580
图 24-2 WWDG 的刷新窗口和中断时序.....	1581
图 25-1 RTC 功能框图.....	1587
图 26-1 框图.....	1620
图 26-2 时钟方案.....	1622
图 26-3 复位方案.....	1623
图 26-4 ADC 使能-失能序列 (ADC_PUCFG.RSTMD=0).....	1624
图 26-5 规则通道转换的启动与停止.....	1626
图 26-6 注入通道转换的启动与停止.....	1627
图 26-7 动态修改序列长度.....	1628
图 26-8 动态修改序列长度 (SEQUPMD=0).....	1628

图 26-9 动态修改序列长度 (SEQUPMD=1) .....	1628
图 26-10 ADC1 通道连接 .....	1629
图 26-11 ADC2 通道连接 .....	1630
图 26-12 ADC3 通道连接 .....	1631
图 26-13 ADC 规则通道转化的基本时序 .....	1634
图 26-14 ADC 注入通道的转换时序 .....	1635
图 26-15 注入触发中断规则转换 .....	1636
图 26-16 单次转换 .....	1638
图 26-17 扫描转换 .....	1639
图 26-18 连续转换 .....	1640
图 26-19 间断转换 .....	1641
图 26-20 自动注入转换 .....	1643
图 26-21 过采样 .....	1644
图 26-22 过采样转换 (CTU=0) .....	1646
图 26-23 过采样转换 (CTU=1) .....	1647
图 26-24 过采样转换 (间断) .....	1648
图 26-25 双 ADC 仅规则同步模式 .....	1651
图 26-26 双 ADC 仅规则同步模式 DMAMD=01 .....	1653
图 26-27 双 ADC 仅规则同步模式 DMAMD=10 .....	1653
图 26-28 双 ADC 仅规则交叉模式 .....	1654
图 26-29 双 ADC 规则交叉模式(DMAMD=01) .....	1654
图 26-30 双 ADC 规则交叉模式(DMAMD=10) .....	1655
图 26-31 双 ADC 仅注入交错模式 .....	1655
图 26-32 双 ADC 仅注入交替触发 .....	1656
图 26-33 规则同步+注入交替触发结合 .....	1658
图 26-34 注入转换过程中出现触发信号的情况 .....	1658
图 26-35 校准时序 .....	1664
图 26-36 规则转换结果数据管理流程 .....	1667
图 26-37 注入转换结果数据管理流程 .....	1667
图 26-38 数据格式 .....	1668
图 26-39 常规格式 .....	1669
图 26-40 GCOMP 格式 .....	1671

图 26-41 过采样格式 (例如: OSS=移位 3 位).....	1672
图 26-42 FIFO 缓存 .....	1673
图 26-43 DMA 请求(FIFO 失能) .....	1674
图 26-44 DMA 请求(FIFO 使能) .....	1674
图 26-45 DMA 请求(DMAMD= 01).....	1676
图 26-46 DMA 请求(DMAMD= 10).....	1677
图 26-47 DSMU 传输 .....	1678
图 26-48 双 ADC 模式下的 DSMU 传输 .....	1679
图 26-49 三 ADC 模式下的 DSMU 传输 .....	1680
图 26-50 温度传感器通道框图 .....	1683
图 27-1 DAC 框图.....	1719
图 27-2 单 DAC 模式的数据寄存器.....	1721
图 27-3 DAC 同步输出时的数据格式.....	1721
图 27-4 触发禁能时转换时序图 .....	1725
图 27-5 DAC LFSR 算法 .....	1727
图 27-6 带 LFSR 波形生成的 DAC 转换 (使能软件触发) .....	1727
图 27-7 DAC 三角波生成.....	1728
图 27-8 带三角生成的 DAC 转换 (使能软件触发, HFSEL[1:0] = 0b'01) .....	1728
图 27-9 递减锯齿波生成.....	1729
图 27-10 DAC 递增锯齿波复位信号触发与步进触发优先级 .....	1730
图 28-1 比较器 1 和 2 连接图 .....	1757
图 28-2 比较器 3 和 4 连接图 .....	1758
图 30-1 FMAC 框图.....	1784
图 30-2 输入缓冲区示意图 .....	1785
图 30-3 循环输入缓冲区示意图 .....	1786
图 30-4 循环输入缓冲区运行示意图 .....	1786
图 30-5 循环输出缓冲区示意图 .....	1787
图 30-6 循环输出缓冲区运行示意图 .....	1788
图 30-7 FIR 滤波器结构图.....	1789
图 30-8 IIR 滤波器结构图.....	1790
图 31-1 CORDIC 框图.....	1802
图 32-1 DSMU 功能框图 .....	1821

图 32-2 DSMU channel mux .....	1825
图 32-3 SPI 格式时钟缺失检测时序图 .....	1827
图 32-4 曼彻斯特编码时钟缺失检测时序图 .....	1827
图 32-5 曼彻斯特编码首次解码 (曼彻斯特同步).....	1828
图 32-6 数据右移示例 .....	1829
图 32-7 Sinc3 滤波频率响应示例图 .....	1833
图 33-1 USART 框图 .....	1869
图 33-2 字长=8 设置.....	1870
图 33-3 字长=9 设置.....	1871
图 33-4 停止位配置 .....	1873
图 33-5 发送时 TXC/TXDE 的变化情况 .....	1874
图 33-6 起始位检测 .....	1875
图 33-7 DMA 发送.....	1882
图 33-8 DMA 接收.....	1883
图 33-9 两个 USART 间的硬件流控制 .....	1883
图 33-10 RTS 流控制.....	1884
图 33-11 CTS 流控制.....	1884
图 33-12 静默模式下的空闲总线检测 .....	1885
图 33-13 静默模式下的地址标识检测 .....	1886
图 33-14 USART 同步传输示例 .....	1887
图 33-15 USART 数据时钟时序示例 (WL=0) .....	1887
图 33-16 USART 数据时钟时序示例 (WL=1) .....	1888
图 33-17 RX 数据采样/保持时间 .....	1888
图 33-18 IrDA SIR ENDEC-框图 .....	1890
图 33-19 IrDA 数据调制 (3/16)-正常模式.....	1891
图 33-20 LIN 模式下的断开检测 (11 位断开帧长度-设置了 LINBDL 位) .....	1892
图 33-21 LIN 模式下的断开检测与帧错误的检测.....	1893
图 33-22 ISO7816-3 异步协议 .....	1894
图 33-23 使用 1.5 停止位检测奇偶检验错误 .....	1895
图 33-24 USART 中断请求 .....	1897
图 34-1 LPUART 框图.....	1913
图 34-2 帧格式.....	1914

图 34-3 发送时 TXC 的变化情况 .....	1916
图 34-4 检测噪声的数据采样 .....	1918
图 35-1 I2C 功能框图 .....	1934
图 35-2 I2C 总线协议 .....	1935
图 36-1 音频采样频率定义 .....	2000
图 37-1 xSPI 框图 .....	2023
图 37-2 Octal SPI 命令序列 .....	2024
图 37-3 典型写操作时序 .....	2025
图 37-4 指令和地址都以标准 SPI 格式发送时序 .....	2026
图 37-5 指令以标准 SPI 模式发送，地址以 CTRL0.SPIFRF 制定模式发送时序 .....	2026
图 37-6 指令和地址以 XSPI_CTRL0.SPIFRF 制定模式发送时序 .....	2026
图 37-7 只有指令阶段的发送时序 .....	2026
图 37-8 典型读操作时序 .....	2027
图 37-9 地址和指令都以标准 SPI 格式接收时序 .....	2027
图 37-10 指令以标准 SPI 模式发送，地址以 XSPI_CTRL0.SPIFRF 制定模式接收时序 .....	2028
图 37-11 指令和地址以 XSPI_CTRL0.SPIFRF 制定模式接收时序 .....	2028
图 37-12 只有 Wait cycles 阶段的接收时序 .....	2029
图 37-13 32 位写读格式 .....	2035
图 37-14 错误的 16 位读取格式 .....	2036
图 37-15 使能 DFS-HC 时正确的 16 位读取格式 .....	2037
图 37-16 最大 sclk_out/ssi_clk 时钟比 .....	2038
图 37-17 典型写操作 .....	2040
图 37-18 指令和地址均以标准 SPI 格式传输 .....	2040
图 37-19 指令以标准 (SPI) 格式传输，地址以增强型 SPI 格式传输 .....	2041
图 37-20 指令和地址均以增强型 SPI (串行外设接口) 格式传输 .....	2041
图 37-21 仅指令以增强型 SPI (串行外设接口) 格式传输 .....	2041
图 37-22 典型读操作 .....	2042
图 37-23 指令和地址均以标准 SPI (串行外设接口) 格式传输 .....	2042
图 37-24 指令以标准 (SPI) 格式传输，地址以增强型 SPI (串行外设接口) 格式传输 .....	2043
图 37-25 指令和地址均以增强型 SPI (串行外设接口) 格式传输 .....	2043
图 37-26 无指令、无地址的读传输 .....	2044
图 37-27 往返延迟 .....	2044

图 37-28 从 flash 读取数据时的读数据选通信号.....	2045
图 37-29 双倍数据速率 (DDR) 格式的指令、地址与数据.....	2046
图 37-30 XSPI_DDR_TXDE 寄存器值为 0 时的双倍数据速率 (DDR) 传输.....	2047
图 37-31 XSPI_DDR_TXDE 寄存器值为 1 时的双倍数据速率 (DDR) 传输.....	2047
图 37-32 Hyperbus 读命令.....	2049
图 37-33 Hyperbus 写命令.....	2050
图 37-34 DMA 握手.....	2055
图 38-1 FEMC 框图.....	2089
图 38-2 FEMC 存储块.....	2091
图 38-3 芯片配置寄存器.....	2092
图 38-4 设备引脚机制.....	2093
图 38-5 软件机制.....	2094
图 38-6 一次异步读传输.....	2097
图 38-7 复用模式下一次异步读传输.....	2098
图 38-8 一次异步写传输.....	2099
图 38-9 复用模式异步写传输 (FEMC_TCFG.WERR=0).....	2100
图 38-10 复用模式异步写传输 (FEMC_TCFG.WERR=1).....	2100
图 38-11 异步页面模式读取传输.....	2101
图 38-12 同步突发读取传输.....	2102
图 38-13 复用模式下同步突发读取传输.....	2103
图 38-14 同步突发写入传输.....	2104
图 38-15 复用模式下同步突发写入传输.....	2105
图 38-16 同步读取、异步写入传输.....	2106
图 38-17 Nand 闪存页读取操作步骤.....	2109
图 38-18 Nand 闪存页编程操作步骤.....	2110
图 38-19 Nand 闪存状态寄存器读取步骤.....	2111
图 38-20 命令阶段地址输入.....	2113
图 38-21 NAND 闪存读取数据.....	2113
图 38-22 地址锁存到数据阶段时序图.....	2114
图 38-23 命令锁存到数据阶段时序图.....	2115
图 38-24 读取数据阶段和 FEMC_NWE 的下一个断言时序图.....	2116
图 38-25 Nand 读格式示例 (1/2).....	2117

图 38-26 Nand 读格式示例 (2/2) .....	2118
图 38-27 Nand 写格式示例 (1/2) .....	2119
图 38-28 Nand 写格式示例 (2/2) .....	2120
图 38-29 ECC 块结构 .....	2121
图 38-30 ECC 状态框图 .....	2121
图 38-31 ECC 基本操作 .....	2122
图 38-32 ECC 禁止跳转写 .....	2124
图 38-33 ECC 列更改命令跳转写 .....	2124
图 38-34 ECC 完整命令跳转写 .....	2124
图 38-35 FEMC_ECCCFG.JUMP[1:0] != 00 并且禁止 A8 输出 .....	2125
图 38-36 通用编程流程 .....	2127
图 38-37 FEMC 和内存初始化流程 (1/2) .....	2128
图 38-38 FEMC 和内存初始化流程 (2/2) .....	2129
图 39-1 SDMMC 顶层示意图 .....	2152
图 39-2 SDMMC Top 框图 .....	2152
图 39-3 SDMMC 框图 .....	2153
图 39-4 SDMMC 时钟架构 .....	2159
图 39-5 ADMA2 框图 .....	2162
图 39-6 ADMA2 数据传输示例 .....	2162
图 39-7 32 位描述符表 .....	2163
图 39-8 ADMA2 状态图 .....	2165
图 39-9 使用 DAT 行序列进行数据传输 (不使用 DMA) .....	2167
图 39-10 使用 DAT 行序列传输数据 (使用 DMA) .....	2169
图 39-11 ADMA 传输流 .....	2172
图 39-12 同步中止传输 .....	2174
图 39-13 异步中止流 .....	2175
图 39-14 启动代码访问流程图 .....	2178
图 39-15 电压切换顺序 .....	2180
图 39-16 时钟调谐过程 .....	2182
图 39-17 SD/SDIO 写中断周期 .....	2183
图 39-18 SD/SDIO 读中断周期 .....	2183
图 39-19 SD/SDIO 挂起/恢复时序 .....	2183

图 39-20 在连续数据块之间终止的启动操作时序 .....	2184
图 39-21 传输过程中终止的启动操作时序 .....	2184
图 39-22 备用启动操作，在连续数据块之间终止 .....	2184
图 39-23 备用启动操作，传输过程中终止 .....	2185
图 39-24 DDR50 模式下的数据包格式 - 普通数据 .....	2185
图 39-25 DDR50 模式下的数据包格式 - 宽幅数据 .....	2185
图 40-1 USBHS 模块框图 .....	2232
图 40-2 设备模式下的 FIFO 地址映射 .....	2239
图 40-3 主机模式下的 FIFO 地址映射 .....	2240
图 41-1 FDCAN 消息 RAM 分配示例图 .....	2308
图 41-2 FDCAN 功能框图 .....	2317
图 41-3 FDCAN 收发器延迟测量 .....	2321
图 41-4 FDCAN 总线监控模式引脚控制 .....	2322
图 41-5 FDCAN 外部回环模式引脚控制 .....	2324
图 41-6 FDCAN 内部回环模式引脚控制 .....	2324
图 41-7 FDCAN 标准消息 ID 过滤流程 .....	2328
图 41-8 FDCAN 扩展消息 ID 过滤流程 .....	2329
图 41-9 FDCAN Rx FIFO 状态图 .....	2330
图 41-10 FDCAN Rx FIFO 已满 .....	2331
图 41-11 FDCAN Rx FIFO 覆盖示例 .....	2332
图 41-12 FDCAN 专用 Tx buffer 与 Tx FIFO 混合配置示例图 .....	2335
图 41-13 FDCAN Tx buffer 与 Tx 队列混合配置示例图 .....	2336
图 41-14 FDCAN 位时序 .....	2337
图 41-15 周期时间和全局事件同步 .....	2348
图 41-16 TTCAN 0 级和 2 级偏移补偿 .....	2349
图 41-17 0 级调度同步状态机 .....	2355
图 41-18 0 级主控和被控节点关系 .....	2356
图 42-1 MIPI DSI Wrapper 架构 .....	2419
图 42-2 DSI-2 主机视频时序 .....	2421
图 42-3 DSI-2 主机视频接口高速数据传输模式 .....	2423
图 42-4 同步脉冲的非突发模式下的帧 .....	2425
图 42-5 使用同步脉冲的非突发模式下的 VACT 区域 .....	2426



图 42-6 同步事件的非突发模式下的帧 .....	2427
图 42-7 使用同步事件的非突发模式下的 VACT 区域 .....	2428
图 42-8 突发模式下的帧 .....	2429
图 42-9 DSI-2 主机连续时钟模式 .....	2431
图 42-10 DSI-2 主机非连续时钟模式 .....	2432
图 42-11 DSI-2 TX 控制器初始偏斜校准操作 .....	2434
图 42-12 DSI-2 TX 控制器周期偏斜校准操作 .....	2434
图 42-13 MIPI D-PHY TX 的典型应用和系统级框图 .....	2438
图 42-14 时钟和数据通道进入高速传输 .....	2439
图 42-15 时钟和数据通道退出高速传输 .....	2440
图 42-16 D-PHY 工作模式图 .....	2441
图 42-17 高速数据传输序列 .....	2442
图 42-18 高速传输状态图 .....	2443
图 42-19 Lane 切换示例 .....	2445
图 43-1 JPEG 编解码器架构 .....	2486
图 43-2 显示 RBC 在 JPEG 编码中的使用 .....	2488
图 43-3 输入采样顺序 .....	2489
图 43-4 使用的组件采样命名指南 .....	2489
图 43-5 JPEG 编码器核心框图 .....	2491
图 43-6 输出流中的标记段序列 .....	2491
图 43-7 每个标记段的数据源描述 .....	2494
图 43-8 JPEG 解码器核心框图 .....	2496
图 43-9 显示 BRC 在 JPEG 解码中的使用 .....	2500
图 43-10 组件中采样命名指南 .....	2501
图 43-11 H2P 通道框图 .....	2503
图 43-12 P2H 通道框图 .....	2504
图 43-13 数据总线对齐 FSM .....	2506
图 43-14 AXI RD 通道控制 FSM 的状态转换 .....	2510
图 43-15 AXI WR 通道控制 FSM 的状态转换 .....	2510
图 43-16 AXI 响应通道控制 FSM 的状态转换 .....	2510
图 43-17 描述符内存存储的简单列表表示 .....	2514
图 43-18 用于描述符内存存储的环形缓冲区的表示 .....	2515

图 44-1 框图.....	2563
图 44-2 LCDC 同步时序 .....	2565
图 44-3 层窗口可编程参数 .....	2567
图 44-4 两图层与背景层混合 .....	2571
图 44-5 中断.....	2572
图 45-1 GPU 框图 .....	2603
图 45-2 像素管道框图 .....	2604
图 45-3 不同滤波器核示例 .....	2610
图 45-4 纹理地址计算结构框图 .....	2611
图 45-5 纹素处理框图 .....	2614
图 45-6 颜色单元内核 Alpha/RGB 路径 .....	2615
图 45-7 混合单元框图 .....	2617
图 45-8 Alpha 混合因子生成 .....	2618
图 46-1 DVP 框图 .....	2702
图 46-2 DVP 接口时序示例 .....	2703
图 46-3 普通模式下的帧组成 .....	2705
图 46-4 索尼模式下的帧组成 .....	2705
图 46-5 DVP 裁剪功能 .....	2707
图 46-6 跳行功能: HISKIP=3, HRSKIP=3.....	2708
图 46-7 跳行功能: HISKIP=3, HRSKIP=14.....	2709
图 47-1 以太网功能框图 .....	2731
图 47-2 Tx DMA 操作流程图 (非 OSP 模式) .....	2738
图 47-3 Tx DMA 操作流程图 (OSP 模式) .....	2740
图 47-4 Rx DMA 操作流程图 .....	2743
图 47-5 MTL 单数据包发送流程图 .....	2746
图 47-6 MAC 发送流程图 .....	2750
图 47-7 MAC 接收流程图 .....	2755
图 47-8 SMA 接口 .....	2760
图 47-9 MII 信号 .....	2762
图 47-10 RMII 信号 .....	2764
图 47-11 RMII 发送位序图 .....	2765
图 47-12 RMII 接收位序图 .....	2766

图 47-13 GMII 信号.....	2767
图 47-14 数据包过滤顺序.....	2769
图 47-15 网络时间同步.....	2777
图 47-16 支持点对点路径校准的时钟的传播延迟计算.....	2778
图 47-17 使用精密方法更新系统时间.....	2785
图 47-18 TCP 分段概览.....	2797
图 47-19 TCP 分段减荷流程图.....	2799
图 47-20 分段数据包的报头和负载字段.....	2801
图 47-21 LPI 转换（发送）.....	2808
图 47-22 LPI 转换（接收）.....	2809
图 47-23 描述符环结构.....	2812
图 47-24 DMA 描述符环.....	2813
图 48-1 顶层封装器框图.....	错误!未定义书签。
图 48-2 ESC 框图.....	错误!未定义书签。
图 48-3 带有 EtherCAT 数据的以太网帧.....	错误!未定义书签。
图 48-4 EtherCAT 数据报.....	错误!未定义书签。
图 48-5 帧处理.....	错误!未定义书签。
图 48-6 循环帧.....	错误!未定义书签。
图 48-7 链接检测.....	错误!未定义书签。
图 48-8 MII 管理示例示意图.....	错误!未定义书签。
图 48-9 FMMU 映射示例.....	错误!未定义书签。
图 48-10 同步管理器缓冲区分配.....	错误!未定义书签。
图 48-11 同步管理器缓冲模式交互.....	错误!未定义书签。
图 48-12 同步管理器邮箱交互.....	错误!未定义书签。
图 48-13 读取邮箱时重复请求的处理.....	错误!未定义书签。
图 48-14 传播延迟、偏移和漂移补偿.....	错误!未定义书签。
图 48-15 同步信号生成模式.....	错误!未定义书签。
图 48-16 SYNC0/1 周期时间示例.....	错误!未定义书签。
图 48-17 EtherCAT 状态机.....	错误!未定义书签。
图 48-18 内存地址空间概述.....	错误!未定义书签。
图 48-19 SII EEPROM 布局.....	错误!未定义书签。
图 48-20 PDI 中断屏蔽和中断信号.....	错误!未定义书签。

图 48-21 ECAT 中断屏蔽.....	错误!未定义书签。
图 50-1 CRC 模块框图.....	3086
图 51-1 调试框图.....	3096
图 51-2SWD 成功写入传输.....	3100
图 51-3SWD 成功读取传输.....	3100
图 51-4ARMCortex-M7 调试子系统.....	3103
图 51-5ARMCortex-M4 调试子系统.....	3104

## 1 文中的缩写

### 1.1 寄存器描述表中使用的缩写列表

在对寄存器的描述中使用了下列缩写：

read/write(rw)	软件能读写此位。
read-only(r)	软件只能读此位。
write-only(w)	软件只能写此位，读此位将返回复位值。
read/clear(rc_w1)	软件可以读此位，也可以通过写‘1’清除此位，写‘0’对此位无影响。
read/clear(rc_w0)	软件可以读此位，也可以通过写‘0’清除此位，写‘1’对此位无影响。
read/clearbyread(rc_r)	软件可以读此位，读此位将自动地清除它为‘0’，写‘0’对此位无影响。
read/set(rs)	软件可以读也可以设置此位，写‘0’对此位无影响。
read/set by read (rs_r)	软件可读此位，读取操作会自动将该位置 1，写操作对此位无影响。
read-onlywritetrigger(rt_w)	软件可以读此位，写‘0’或‘1’触发一个事件但对此位数值没有影响。
read-write, automatic clear(rw1_ac)	读写属性，自动清此位：向该位写‘1’后，将等待操作完成并自动清除该位；向该位写‘0’则无任何效果。
toggle(t)	软件只能通过写‘1’来翻转此位，写‘0’对此位无影响。
Reserved(Res.)	保留位，必须保持默认值不变。

### 1.2 可用的外设

有关 N32H7xx 系列全部型号，某外设存在与否及其数量，请查阅相应型号的数据手册。

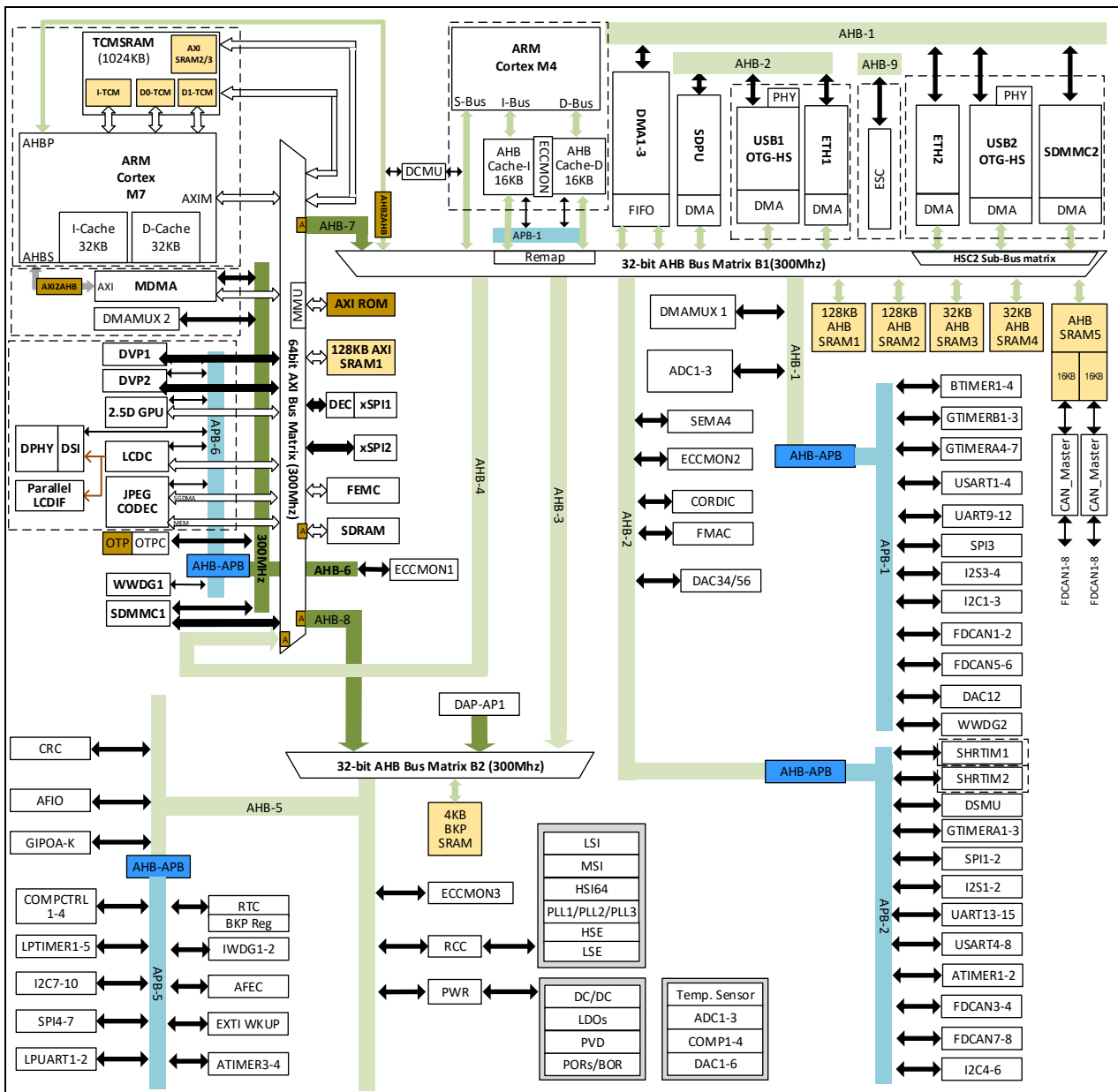
## 2 内存和总线架构

### 2.1 系统架构

N32H7xx 是一款高性能微控制器，基于高性能 ARM Cortex-M7 32 位 RISC 内核和低功耗 ARM Cortex-M4 32 位 RISC 内核，分别运行在 600MHz 和 300MHz。

它嵌入了多个总线矩阵，如图 2-1 所示。这允许在性能和功耗之间达到最佳平衡。这还使得高效的高速外设同时操作成为可能，并在多个主设备（不同主设备位于独立的总线矩阵中）同时活动时消除总线拥塞。

图 2-1 N32H7xx 的系统架构



### 2.1.1 总线矩阵互连

N32H7xx 具有三个独立的总线矩阵：

- 64 位 AXI 总线矩阵：它具有高性能处理能力，专用于需要高带宽的操作。高带宽外设均连接到 AXI 总线。有关更多详细信息，请参阅第 2.1.2 章。
- 32 位 AHB 总线矩阵 1：通信外设和定时器连接到这些总线矩阵。有关更多详细信息，请参阅第 2.1.2.2.1 章。
- 32 位 AHB 总线矩阵 2：复位、时钟控制、电源管理和 GPIO 位于此域中。一些低功耗模块如 LPUART/LPTIM/COMP/RTC/IWDG/EXTI 被添加到此域中用于唤醒目的。还包括多个定时器和通信模块，用于 CM7 处于活动状态而 CM4、AHB 总线矩阵 1 及其外设可以禁用以减少功耗的应用。有关更多详细信息，请参阅第 2.1.2.2.2 章。

所有总线矩阵和 CM4 可以运行高达 300MHz，而 CM7 CPU、ITCM-RAM 和 DTCM-RAM 可以运行高达 600MHz。所有总线矩阵通过跨域总线连接在一起，以允许位于某个域的主设备访问位于另一个域的从设备。

图 2-1 显示了 N32H7xx 的总线主设备到总线从设备的互连，这允许将总线主设备与总线从设备互连。有关所有总线主设备和从设备的更多详细信息，请参阅图 2-2。

图 2-2 N32H7xx 的总线架构

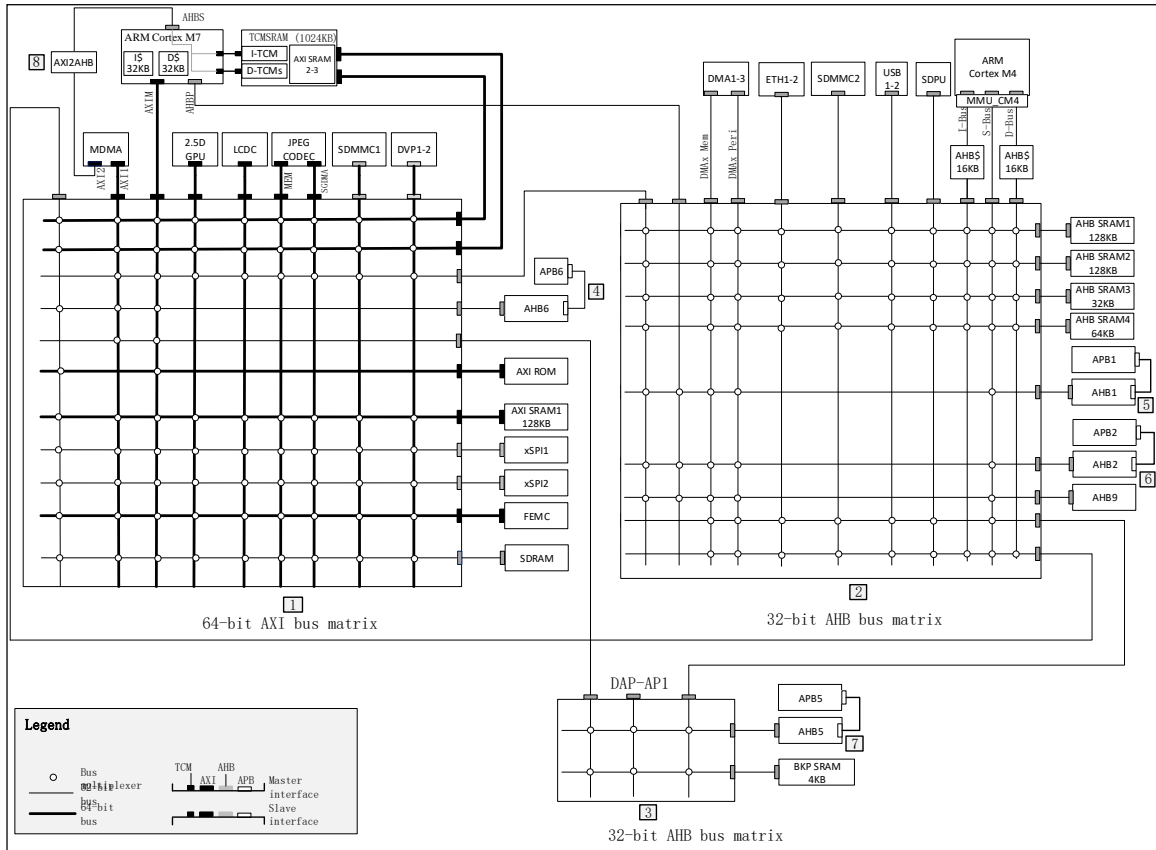


表 2-1 总线主设备到总线从设备的互连

	Cortex M7 - AXIM	Cortex M7 - ITCM	Cortex M7 - DTCM	Cortex M7 - AHB	MDMA - AXI 1	MDMA - AXI 2	LCDC/GPU	JPEG CODEC	SDMMC1	DVP1-2	Cortex M4 - I-Bus	Cortex M4 - D-Bus	Cortex M4 - S-Bus	DMA 1-3 (MBus)	DMA 1-3 (PBUS)	ETH1-2/USB1-2	SDMMC2/SDPU	DAP-AP1
ITCM	-	D	-	-	-	8	-	-	-	-	-	-	-	-	-	-	-	-
DTCM	-	-	D	-	-	8	-	-	-	-	-	-	-	-	-	-	-	-
AHB-6 Peri	1	-	-	-	1	-	-	-	-	-	21	21	21	21	21	21	21	-
APB-6 Peri	14	-	-	-	14	-	-	-	-	-	214	214	214	214	214	214	214	-
AXI ROM	1	-	-	-	-	-	-	-	-	-	21	21	-	-	-	-	-	-
AXI SRAM1-3	1	-	-	-	1	-	1	1	1	1	21	21	21	21	21	21	21	-
xSPI1	1	-	-	-	1	-	1	1	1	1	21	21	21	21	21	21	21	-
xSPI2	1	-	-	-	1	-	1	1	1	1	21	21	21	21	21	21	21	-
FEMC	1	-	-	-	1	-	1	1	1	1	21	21	21	21	21	21	21	-

SDRAM	1	-	-	-	1	-	1	1		1	1	21	21	21	21	21	21	21	-
AHBSRAM 1-5	12	-	-	-	12	-	12	12		12	12	2	2	2	2	2	2	2	-
AHB9-Peri				2	12	-	12	12		12	12	-	-	2	2	2			
AHB-1 Peri	-	-	-	2	12	-	12	12		12	12	-	-	2	2	2	-	-	-
APB-1 Peri	-	-	-	25	125	-	125	125		125	125	-	-	25	25	25	-	-	-
AHB-2 Peri	-	-	-	2	12	-	12	12		12	12	-	-	2	2	2	-	-	-
APB-2 Peri	-	-	-	26	126	-	126	126		126	126	-	-	26	26	26	-	-	-
AHB-5 Peri	13	-	-	-	13	-	-	-		-	-	-	-	23	23	23	-	-	3
APB-5 Peri	137	-	-	-	137	-	-	-		-	-	-	-	237	237	237	-	-	3
BKP RAM	13	-	-	-	13	-	-	-		-	-	-	-	23	23	23	23	23	3

**加粗:** 64 位, **普通:** 32 位

访问可能性和实用性: 任何数字 = 可以访问, “-” = 无法访问, 阴影 = 访问有用/可用

访问路径: D=直接, 1=通过 AXI 总线矩阵, 2=通过 AHB 总线矩阵 1, 3=通过 AHB 总线矩阵 2, 4=通过 AHB/APB 桥 1 (AHB6 到 APB6), 5=通过 AHB/APB 桥 2 (AHB1 到 APB1), 6=通过 AHB/APB 桥 3 (AHB2 到 APB2), 7=通过 AHB/APB 桥 4 (AHB5 到 APB5), 8=通过 AXI2AHB 桥到 Cortex®-M7 的 AHBS

多位数字 = 互连路径按照数字的顺序通过多个矩阵或/和桥梁



## 2.1.2 总线矩阵

### 2.1.2.1 AXI 总线矩阵

#### 2.1.2.1.1 介绍

AXI 总线矩阵基于 Arm® CoreLink™ NIC-400 网络互连和 ARM AXI4 到 AHB-Lite 桥接器 (AAB)。NIC-400 AXI 互连具有 10 个发起端口, 即 ASIB (AMBA 从接口块), 以及 11 个目标端口, 即 AMIB (AMBA 主接口块)。ASIB 通过 AXI 交换矩阵连接到 AMIB。每个 ASIB 是 AXI 总线或 AHB 上的从设备。同样, 每个 AMIB 是 AXI 或 AHB 总线上的主设备。当 ASIB 或 AMIB 连接到 AHB 时, 它在 AHB 和 AXI 协议之间进行转换。

#### 2.1.2.1.2 主要特点

- 64 位 AXI 互连, 包含 10 个 ASIB 和 11 个 AMIB
- AHB 到 AXI 桥功能内置于 AMIBs 中
- AXI 到 AHB 协议转换在 ASIB 和连接的从设备之间
- 可编程流量优先级管理
- 软件可通过 GPV (全局编程器视图) 进行配置

#### 2.1.2.1.3 功能描述

##### 主控总线

- ARM Cortex-M7 64 位 AXI 总线
- MDMA 64 位 AXI 总线
- GPU 64 位 AXI 总线
- LCD 控制器 (LCDC) 64 位 AXI 总线
- JPEG CODEC SGDMA 64 位 AXI 总线
- JPEG CODEC MEM 64 位 AXI 总线
- SDMMC1 64 位 AHB 总线
- DVP1 64 位 AHB 总线
- DVP2 64 位 AHB 总线
- 跨域 AHB4 总线, 用于连接 AHB 总线矩阵 1 到 AXI 总线矩阵的 32 位的 AHB 总线。

表 2-2 总结了 AXI 互连的 10 个 ASIB 的特性。

表 2-2 ASIB 配置

主机	名称	协议	总线宽度	R/W 发起能力
M1	CM7 AXIM	AXI4	64	7/32
M2	MDMA	AXI4	64	16/16
M3	GPU	AXI3	64	8/8
M4	LCDC	AXI4	64	16/1

M5	JPEG-SGDMA	AXI4	64	16/2
M6	JPEG-MEM	AXI4	64	3/3
M7	SDMMC1	AHB	64	1/1
M8	DVP1	AHB	64	1/1
M9	DVP2	AHB	64	1/1
M10	AHB4	AHB	32	1/1

### 总线从设备

- 嵌入式 AXI 只读存储器 (ROM)
- 128KB AXI SRAM
- 最多 512KB AXI SRAM 2 (与 TCM 共享, 可通过软件配置)
- 最多 512KB AXI SRAM 3 (与 TCM 共享, 可通过软件配置)
- 2 个 xSPI 存储器接口在 32 位 AHB 总线访问上
- FEMC 内存接口通过 AXI 总线以 64 位访问
- SDRAM 内存接口通过 32 位访问 AHB 总线
- 跨域 AHB7 总线, 用于连接 AXI 总线矩阵到 AHB 总线矩阵 1 的 32 位的 AHB 总线。
- 跨域 AHB8 总线, 用于连接 AXI 总线矩阵和 AHB 总线矩阵 2 的 32 位的 AHB 总线。
- AHB6 外设包括 AHB 到 APB 桥和 APB6 外设

表 2-3 总结了 AXI 互连的 11 个 AMIB 的特性。

表 2-3 AMIB 配置

从机	名称	协议	总线宽度	R/W/总接收量
S1	AXI ROMC	AXI3	64	1/1/1
S2	AXI SRAM1	AXI3	64	1/2/3
S3	AXI SRAM2	AXI3	64	1/2/3
S4	AXI SRAM3	AXI3	64	1/2/3
S5	xSPI1	AXI4 <sup>(1)</sup>	32	2/2/4
S6	xSPI2	AXI4 <sup>(1)</sup>	32	2/2/4
S7	FEMC	AXI3	64	3/3/3
S8	SDRAM	AXI4 <sup>(1)</sup>	32	2/2/4
S9	AHB6	AXI4 <sup>(1)</sup>	32	2/2/4
S10	AHB7	AXI4 <sup>(1)</sup>	32	2/2/4
S11	AHB8	AXI4 <sup>(1)</sup>	32	2/2/4

(1) 转换为 AHB 协议是通过位于各自 AMIB 之间并连接从设备的 AAB 完成的。

### 服务质量 (QoS)

当两个 ASIB 同时尝试访问同一个 AMIB 时, AXI 开关矩阵基于优先级的仲裁。每个 ASIB 都有可编程的读通道和写通道优先级, 称为 QoS, 范围从 0 到 15, 值越高, 优先级越高。读通道的 QoS 值在相应的读 QoS 寄存器(GPV\_M7AXIM\_RQOS)中编程, 写通道的 QoS 值在相应的写 QoS 寄存器(GPV\_M7AXIM\_WQOS)

中编程。所有通道的默认 QoS 值为 0（最低优先级）。

如果两个同时发生的事务到达同一个 AMIB，则优先级较高的事务会先于优先级较低的事务通过。如果两个事务具有相同的 QoS 值，则采用最近最少使用（LRU）优先级方案。

QoS 值应根据应用的延迟要求进行编程。为 ASIB 设置更高的优先级可确保由相关总线主设备发起的事务具有更低的延迟。这对于实时受限任务（如图像处理（GPU/LCDC/DVP/JPEG））非常有用。为能够对同一从设备进行频繁访问的主设备（如 Cortex-M7 CPU）分配高优先级可能会阻止其他低优先级主设备对该从设备的访问。

### 2.1.2.1.4 全局编程器视图 (GPV)

GPV 包含 AXI 互连的配置寄存器。这些寄存器仅可由 Cortex-M7 CPU 访问。

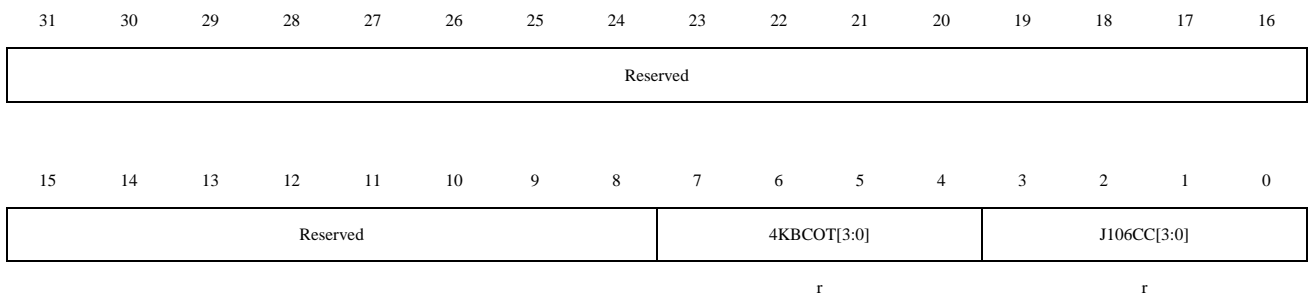
#### GPV 互连寄存器

请注意，仅允许 32 位字访问。不允许未对齐的访问。

#### 2.1.2.1.4.1 外设 ID 4 寄存器(GPV\_FERID4)

偏移地址：0x00001FD0

复位值：0x0000 0004

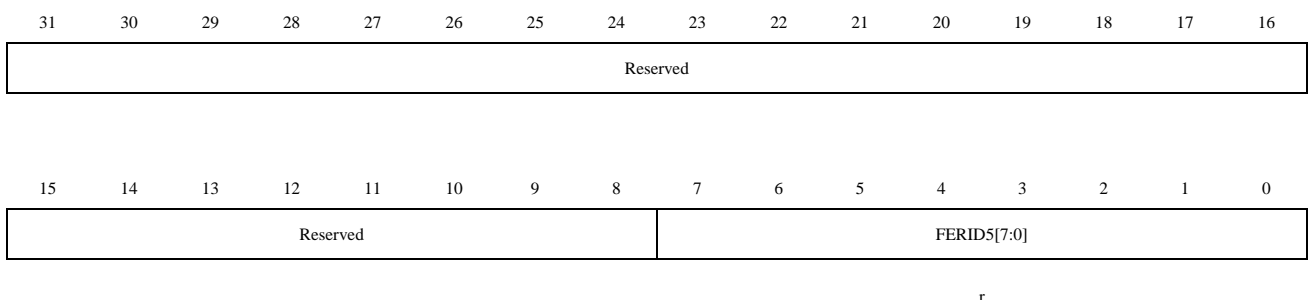


位域	名称	描述
31:8	Reserved	保留，必须保持复位值
7:4	4KBCOT[3:0]	4KB 计数，寄存器文件大小 0x0：无
3:0	J106CC[3:0]	JEP106 连续代码 0x4：ARM

#### 2.1.2.1.4.2 外设 ID 5 寄存器(GPV\_FERID5)

偏移地址：0x00001FD4

复位值：0x0000 0000

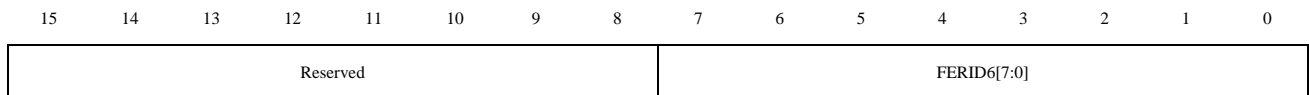
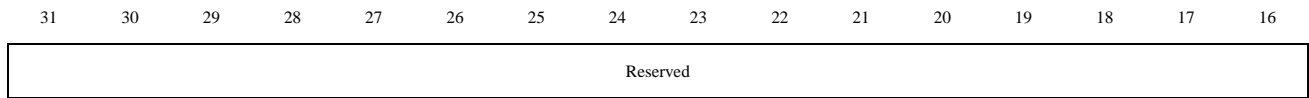


位域	名称	描述
31:8	Reserved	保留，必须保持复位值
7:0	FERID5[7:0]	保留

### 2.1.2.1.4.3 外设 ID 6 寄存器(GPV\_FERID6)

偏移地址：0x00001FD8

复位值：0x0000 0000



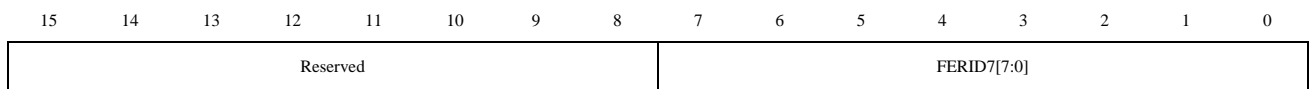
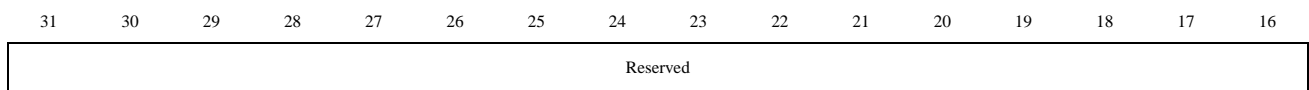
r

位域	名称	描述
31:8	Reserved	保留，必须保持复位值
7:0	FERID6[7:0]	保留

### 2.1.2.1.4.4 外设 ID 7 寄存器(GPV\_FERID7)

偏移地址：0x00001FDC

复位值：0x0000 0000



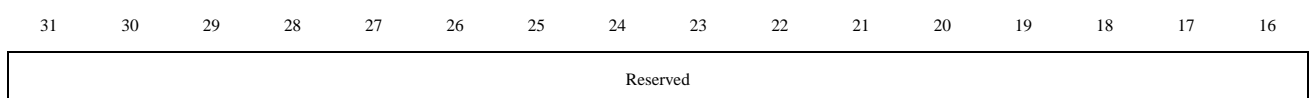
r

位域	名称	描述
31:8	Reserved	保留，必须保持复位值
7:0	FERID7[7:0]	保留

### 2.1.2.1.4.5 外设 ID 0 寄存器(GPV\_FERID0)

偏移地址：0x00001FE0

复位值：0x0000 0000



Reserved	PNUML[7:0]
----------	------------

r

位域	名称	描述
31:8	Reserved	保留, 必须保持复位值
7:0	PNUML[7:0]	部件编号[7:0]. 0x00: 部件编号 = 0x400

#### 2.1.2.1.4.6 外设 ID 1 寄存器(GPV\_FERID1)

偏移地址: 0x00001FE4

复位值: 0x0000 00B4

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							J106IDL[3:0]			PNUMH[3:0]					

r

r

位域	名称	描述
31:8	Reserved	保留, 必须保持复位值
7:4	J106IDL[3:0]	JEP106 身份 [3:0] 0xB: ARM JEDEC 代码
3:0	PNUMH[3:0]	部件编号[11:8] 0x4: 部件编号 = 0x400

#### 2.1.2.1.4.7 外设 ID 2 寄存器(GPV\_FERID2)

偏移地址: 0x00001FE8

复位值: 0x0000 006B

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							PREV[3:0]			J106CF	J106IDH[3:0]				

r

r

r

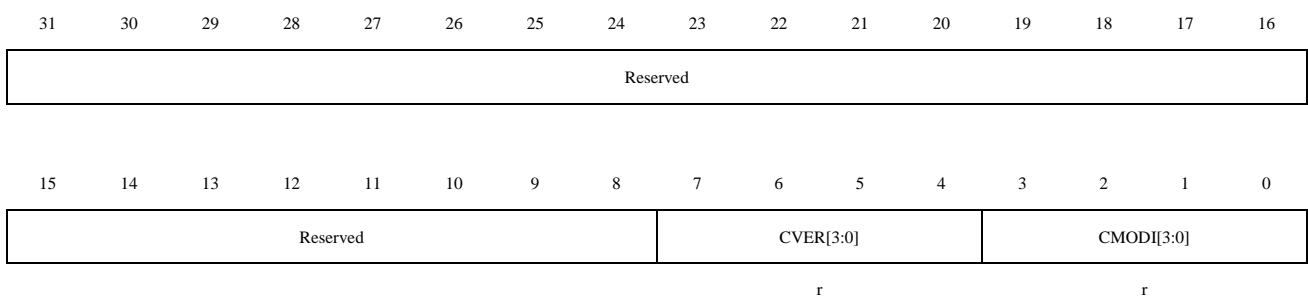
位域	名称	描述
----	----	----

31:8	Reserved	保留，必须保持复位值
7:4	PREV[3:0]	部分修订 0x6
3	J106CF	JEP106 代码标志 0x1: JEDEC 分配代码
2:0	J106IDH[[2:0]	JEP106 身份 [6:4]. 0x3: ARM JEDEC 代码

### 2.1.2.1.4.8 外设 ID 3 寄存器(GPV\_FERID3)

偏移地址: 0x00001FEC

复位值: 0x0000 0000

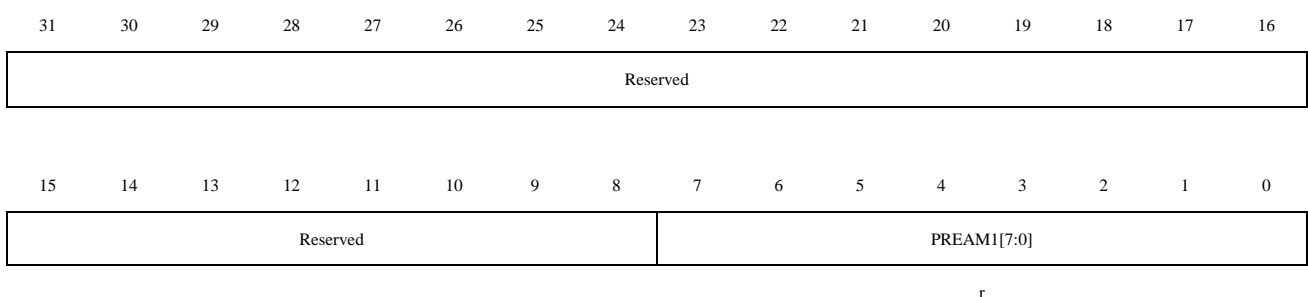


位域	名称	描述
31:8	Reserved	保留，必须保持复位值
7:4	CVER[3:0]	客户版本 0x0: 无
3:0	CMODI[3:0]	客户修改 0x0: 无

### 2.1.2.1.4.9 组件 ID 0 寄存器(GPV\_COMID0)

偏移地址: 0x00001FF0

复位值: 0x0000 000D



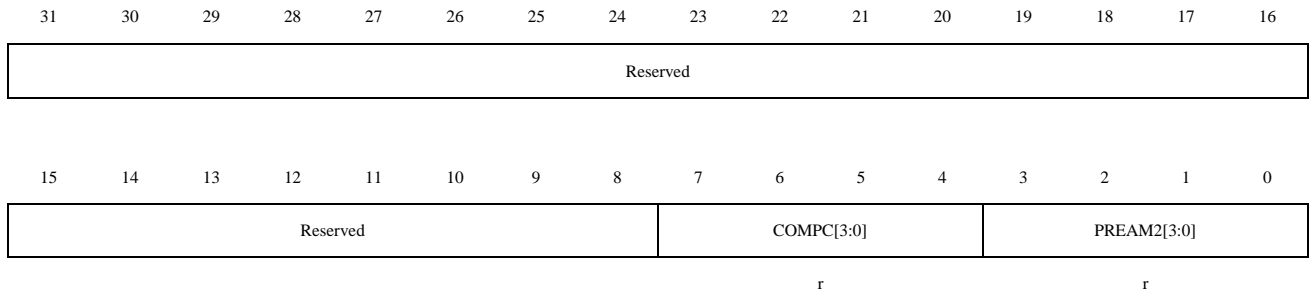
位域	名称	描述
31:8	Reserved	保留，必须保持复位值

7:0	PREAM1[7:0]	前导码[7:0] 0xD: 通用 ID 值
-----	-------------	--------------------------

### 2.1.2.1.4.10 组件 ID 1 寄存器(GPV\_COMID1)

偏移地址: 0x00001FF4

复位值: 0x0000 00F0

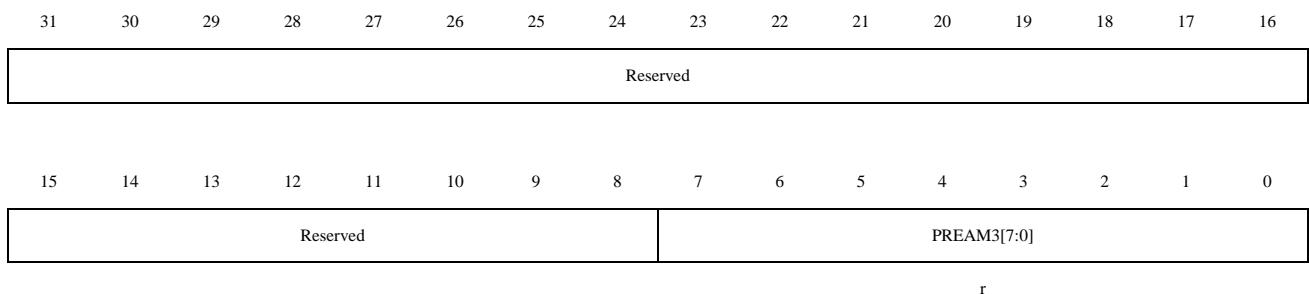


位域	名称	描述
31:8	Reserved	保留, 必须保持复位值
7:4	COMPC[3:0]	组件类别 0xF: 通用 IP 组件类别
3:0	PREAM2[3:0]	前导码[11:8] 0x0: 通用 ID 值

### 2.1.2.1.4.11 组件 ID 2 寄存器(GPV\_COMID2)

偏移地址: 0x00001FF8

复位值: 0x0000 0005



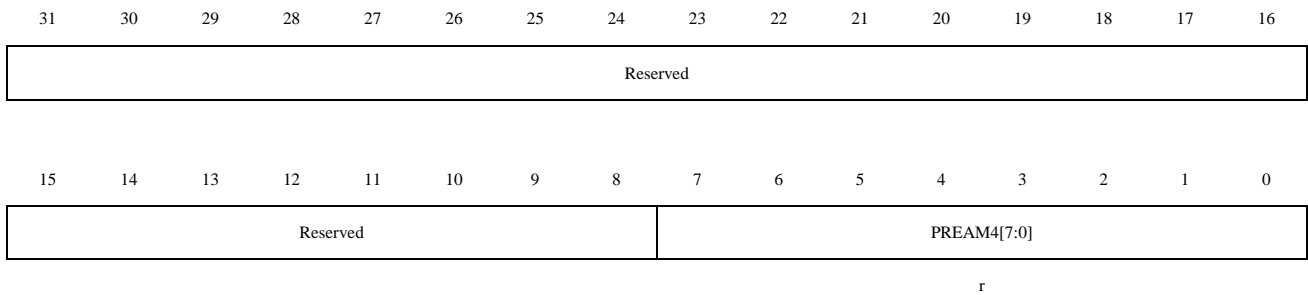
位域	名称	描述
31:8	Reserved	保留, 必须保持复位值
7:0	PREAM3[7:0]	前导位 [19:12] 0x05: 通用 ID 值

### 2.1.2.1.4.12 组件 ID 3 寄存器(GPV\_COMID3)

偏移地址: 0x00001FFC



复位值：0x0000 0000

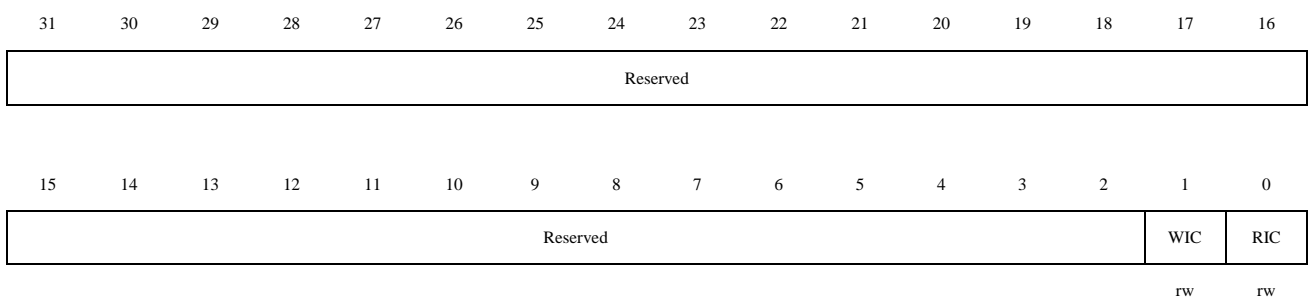


位域	名称	描述
31:8	Reserved	保留，必须保持复位值
7:0	PREAM4[7:0]	前导位[27:20]。

#### 2.1.2.1.4.13 AXI ROM 发布功能修改寄存器 (GPV\_AXIROM\_IFMOD)

地址偏移：0x00002008

复位值：0x0000 0000



位域	名称	描述
31:2	Reserved	保留，必须保持复位值
1	WIC	写发布能力 将前述交换仲裁方案的写发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1
0	RIC	读发布能力 将前述交换仲裁方案的读取发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1

#### 2.1.2.1.4.14 AXISRAM1 发布功能修改寄存器 (GPV\_AXISRAM1\_IFMOD)

偏移地址：0x00003008

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														WIC	RIC
														rw	rw

位域	名称	描述
31:2	Reserved	保留，必须保持复位值
1	WIC	写发布能力 将前述交换仲裁方案的写发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1
0	RIC	读发布能力 将前述交换仲裁方案的读取发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1

#### 2.1.2.1.4.15 AXISRAM2 发布功能修改寄存器 (GPV\_AXISRAM2\_IFMOD)

偏移地址：0x00004008

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														WIC	RIC
														rw	rw

位域	名称	描述
31:2	Reserved	保留，必须保持复位值
1	WIC	写发布能力 将前述交换仲裁方案的写发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1

0	RIC	读发布能力 将前述交换仲裁方案的读取发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1
---	-----	--

### 2.1.2.1.4.16 XSPI1 发布功能修改寄存器 (GPV\_XSPI1\_IFMOD)

偏移地址：0x00005008

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														WIC	RIC
														rw	rw

位域	名称	描述
31:2	Reserved	保留，必须保持复位值
1	WIC	写发布能力 将前述交换仲裁方案的写发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1
0	RIC	读发布能力 将前述交换仲裁方案的读取发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1

### 2.1.2.1.4.17 XSPI2 发布功能修改寄存器 (GPV\_XSPI2\_IFMOD)

偏移地址：0x00006008

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														WIC	RIC
														rw	rw

位域	名称	描述
31:2	Reserved	保留，必须保持复位值
1	WIC	写发布能力 将前述交换仲裁方案的写发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1
0	RIC	读发布能力 将前述交换仲裁方案的读取发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1

#### 2.1.2.1.4.18 FEMC 发布功能修改寄存器 (GPV\_FEMC\_IFMOD)

偏移地址：0x00007008

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													WIC	RIC	
													rw	rw	

位域	名称	描述
31:2	Reserved	保留，必须保持复位值
1	WIC	写发布能力 将前述交换仲裁方案的写发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1
0	RIC	读发布能力 将前述交换仲裁方案的读取发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1

#### 2.1.2.1.4.19 SDRAM 发布功能修改寄存器 (GPV\_SDRAM\_IFMOD)

偏移地址：0x00008008

复位值：0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved															
----------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved														WIC	RIC
														rw	rw

位域	名称	描述
31:2	Reserved	保留，必须保持复位值
1	WIC	写发布能力 将前述交换仲裁方案的写发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1
0	RIC	读发布能力 将前述交换仲裁方案的读取发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1

### 2.1.2.1.4.20 AHBP6 发布功能修改寄存器 (GPV\_AHBP6\_IFMOD)

偏移地址：0x00009008

复位值：0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved															
----------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved														WIC	RIC
														rw	rw

位域	名称	描述
31:2	Reserved	保留，必须保持复位值
1	WIC	写发布能力 将前述交换仲裁方案的写发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1

0	RIC	读发布能力 将前述交换仲裁方案的读取发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1
---	-----	--

#### 2.1.2.1.4.21 AHBP7 发布功能修改寄存器 (GPV\_AHBP7\_IFMOD)

偏移地址：0x0000a008

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														WIC	RIC
														rw	rw

位域	名称	描述
31:2	Reserved	保留，必须保持复位值
1	WIC	写发布能力 将前述交换仲裁方案的写发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1
0	RIC	读发布能力 将前述交换仲裁方案的读取发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1

#### 2.1.2.1.4.22 AHBP8 发布功能修改寄存器 (GPV\_AHBP8\_IFMOD)

偏移地址：0x0000b008

复位值：0x0000 0000

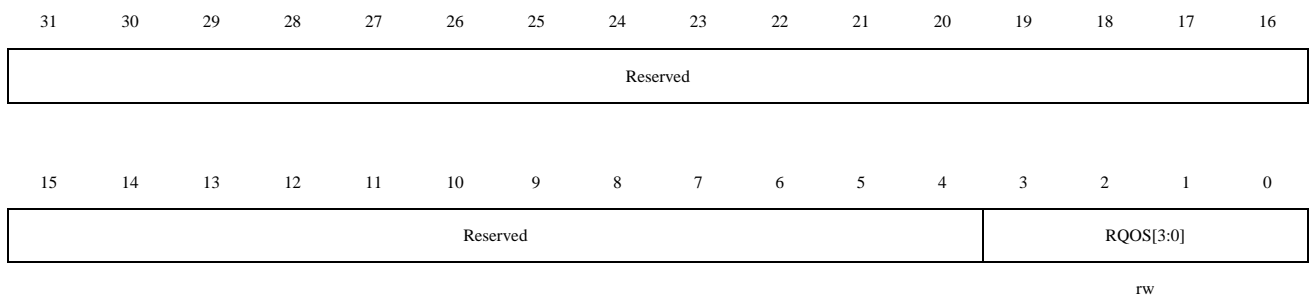
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														WIC	RIC

位域	名称	描述
31:2	Reserved	保留，必须保持复位值
1	WIC	写发布能力 将前述交换仲裁方案的写发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1
0	RIC	读发布能力 将前述交换仲裁方案的读取发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1

#### 2.1.2.1.4.23 CM7 AXIM 读取 QoS 寄存器 (GPV\_M7AXIM\_RQOS)

偏移地址：0x00042100

复位值：0x0000 0000

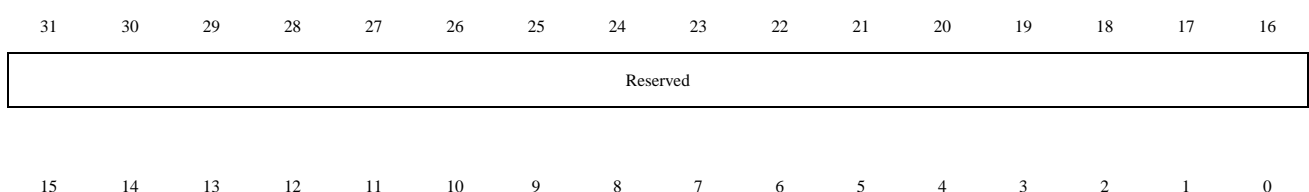


位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3:0	RQOS[3:0]	读取通道 QoS 设置 0x0：最低优先级 0xF：最高优先级

#### 2.1.2.1.4.24 CM7 AXIM 写入 QoS 寄存器(GPV\_M7AXIM\_WQOS)

偏移地址：0x00042104

复位值：0x0000 0000



Reserved	WQOS
	rw

位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3:0	WQOS	将通道 QoS 设置写入 0x0：最低优先级 0xF：最高优先级

#### 2.1.2.1.4.25 CM7 AXIM 发布功能修改寄存器 (GPV\_M7AXIM\_IFMOD)

偏移地址：0x00042108

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													WIC	RIC	
													rw	rw	

位域	名称	描述
31:2	Reserved	保留，必须保持复位值
1	WIC	写发布能力 将前述交换仲裁方案的写发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1
0	RIC	读发布能力 将前述交换仲裁方案的读取发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1

#### 2.1.2.1.4.26 MDMA 读取 QoS 寄存器(GPV\_MDMA\_RQOS)

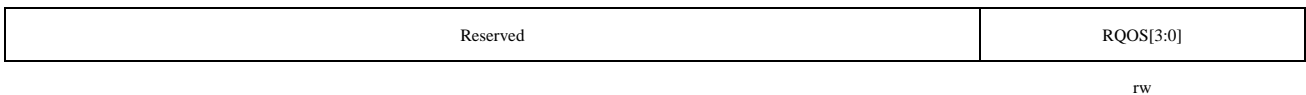
偏移地址：0x00043100

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



rw

位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3:0	RQOS[3:0]	读取通道 QoS 设置 0x0: 最低优先级 0xF: 最高优先级

### 2.1.2.1.4.27 MDMA 写 QoS 寄存器(GPV\_MDMA\_WQOS)

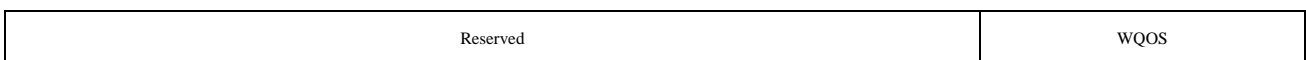
偏移地址: 0x00043104

复位值: 0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



rw

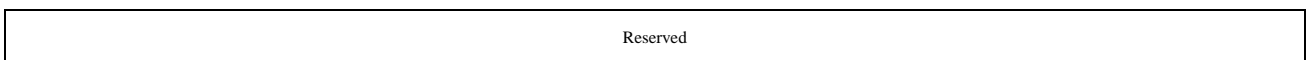
位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3:0	WQOS[3:0]	将通道 QoS 设置写入 0x0: 最低优先级 0xF: 最高优先级

### 2.1.2.1.4.28 MDMA 发布功能修改寄存器 (GPV\_MDMA\_IFMOD)

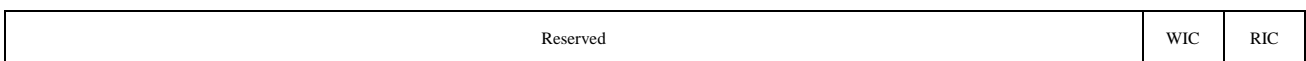
偏移地址: 0x00043108

复位值: 0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



rw

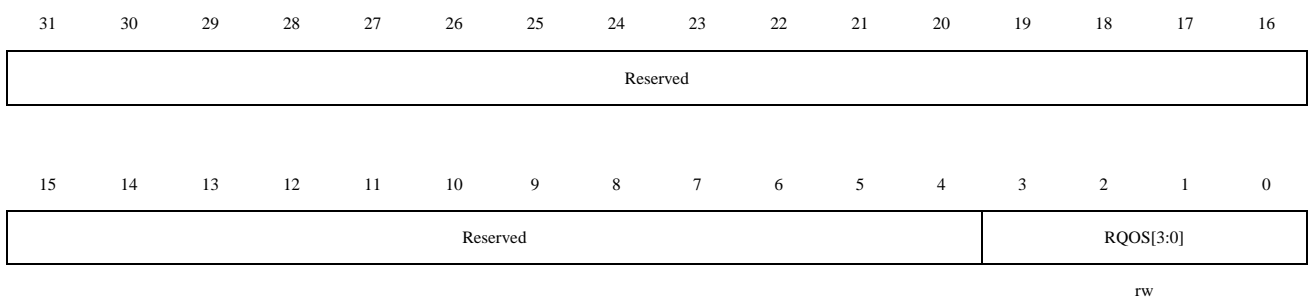
rw

位域	名称	描述
31:2	Reserved	保留，必须保持复位值
1	WIC	写发布能力 将前述交换仲裁方案的写发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1
0	RIC	读发布能力 将前述交换仲裁方案的读取发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1

#### 2.1.2.1.4.29 GPU 读取 QoS 寄存器(GPV\_GPU\_RQOS)

偏移地址：0x00044100

复位值：0x0000 0000



位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3:0	RQOS[3:0]	读取通道 QoS 设置 0x0：最低优先级 0xF：最高优先级

#### 2.1.2.1.4.30 GPU 写入 QoS 寄存器(GPV\_GPU\_WQOS)

偏移地址：0x00044104

复位值：0x0000 0000



位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3:0	WQOS[3:0]	将通道 QoS 设置写入 0x0: 最低优先级 0xF: 最高优先级

### 2.1.2.1.4.31 GPU 发布功能修改寄存器 (GPV\_GPU\_IFMOD)

偏移地址: 0x00044108

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														WIC	RIC
														rw	rw

位域	名称	描述
31:2	Reserved	保留，必须保持复位值
1	WIC	写发布能力 将前述交换仲裁方案的写发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0: 正常发布功能 1: 将发布功能强制置 1
0	RIC	读发布能力 将前述交换仲裁方案的读取发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0: 正常发布功能 1: 将发布功能强制置 1

### 2.1.2.1.4.32 LCDC 读取 QoS 寄存器(GPV\_LCDC\_RQOS)

偏移地址: 0x00045100

复位值: 0x0000 0000

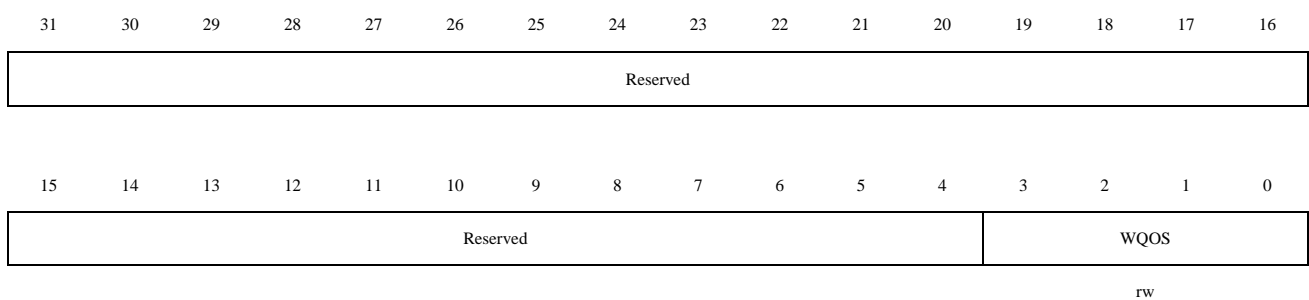
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														RQOS[3:0]	

位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3:0	RQOS[3:0]	读取通道 QoS 设置 0x0: 最低优先级 0xF: 最高优先级

### 2.1.2.1.4.33 LCDC 写入 QoS 寄存器 (GPV\_LCDC\_WQOS)

偏移地址: 0x00045104

复位值: 0x0000 0000



位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3:0	WQOS[3:0]	将通道 QoS 设置写入 0x0: 最低优先级 0xF: 最高优先级

### 2.1.2.1.4.34 LCDC 发布功能修改寄存器 (GPV\_LCDC\_IFMOD)

偏移地址: 0x00045108

复位值: 0x0000 0000



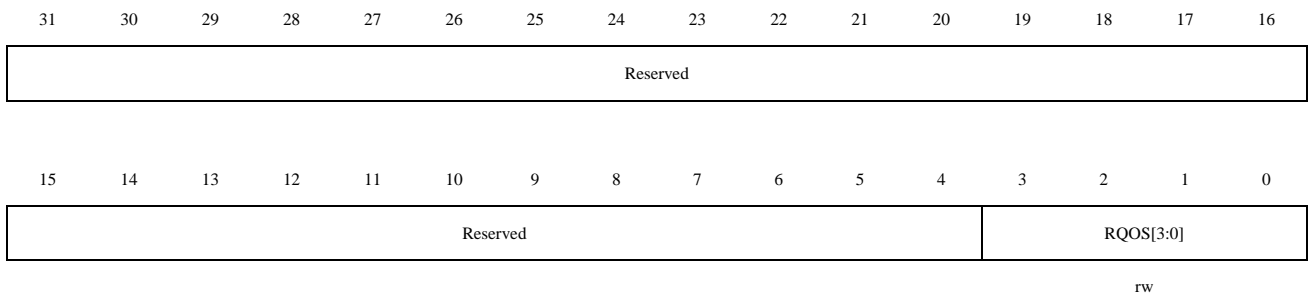
位域	名称	描述
31:2	Reserved	保留，必须保持复位值
1	WIC	写发布能力

		将前述交换仲裁方案的写发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1
0	RIC	读发布能力 将前述交换仲裁方案的读取发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1

### 2.1.2.1.4.35 JPEG SGDMA 读取 QoS 寄存器(GPV\_JPEGSQD\_RQOS)

偏移地址：0x00046100

复位值：0x0000 0000



位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3:0	RQOS[3:0]	读取通道 QoS 设置 0x0：最低优先级 0xF：最高优先级

### 2.1.2.1.4.36 JPEG SGDMA 写入 QoS 寄存器(GPV\_JPEGSQD\_WQOS)

偏移地址：0x00046104

复位值：0x0000 0000



位域	名称	描述
31:4	Reserved	保留，必须保持复位值

3:0	WQOS[3:0]	将通道 QoS 设置写入 0x0: 最低优先级 0xF: 最高优先级
-----	-----------	--

### 2.1.2.1.4.37 JPEG SGDMA 发布功能修改寄存器 (GPV\_JPEGSD\_IFMOD)

偏移地址: 0x00046108

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														WIC	RIC
														rw	rw

位域	名称	描述
31:2	Reserved	保留, 必须保持复位值
1	WIC	写发布能力 将前述交换仲裁方案的写发布功能设置为 1。寄存器位为高电平有效, 其用途如下: 0: 正常发布功能 1: 将发布功能强制置 1
0	RIC	读发布能力 将前述交换仲裁方案的读取发布功能设置为 1。寄存器位为高电平有效, 其用途如下: 0: 正常发布功能 1: 将发布功能强制置 1

### 2.1.2.1.4.38 JPEG MEM 读取 QoS 寄存器(GPV\_JPEGM\_RQOS)

偏移地址: 0x00047100

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														RQOS[3:0]	
														rw	

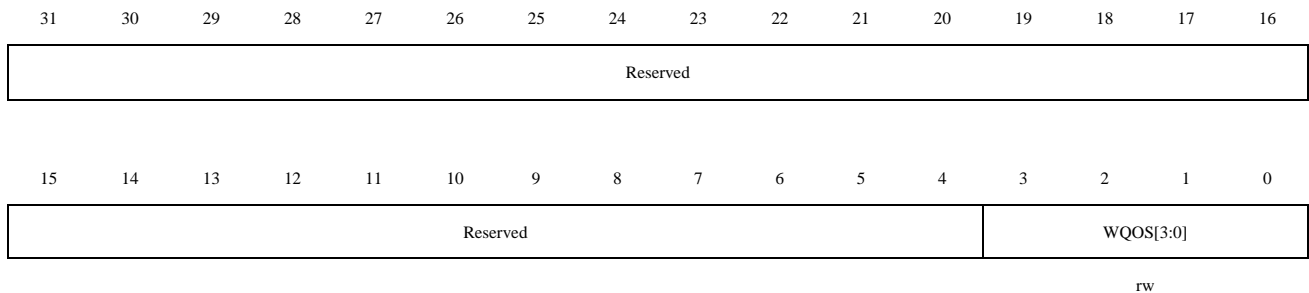
位域	名称	描述
----	----	----

31:4	Reserved	保留，必须保持复位值
3:0	RQOS[3:0]	读取通道 QoS 设置 0x0: 最低优先级 0xF: 最高优先级

#### 2.1.2.1.4.39 JPEG MEM 写入 QoS 寄存器(GPV\_JPEGM\_WQOS)

偏移地址：0x00047104

复位值：0x0000 0000

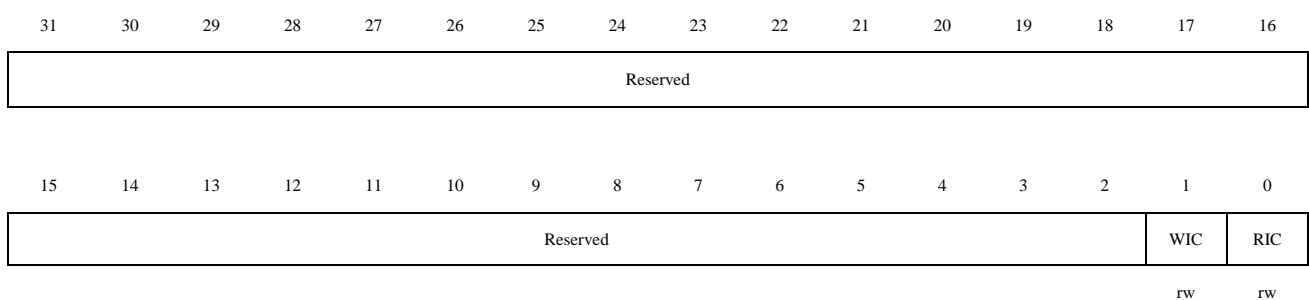


位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3:0	WQOS[3:0]	将通道 QoS 设置写入 0x0: 最低优先级 0xF: 最高优先级

#### 2.1.2.1.4.40 JPEG MEM 发布功能修改寄存器 (GPV\_JPEGM\_IFMOD)

偏移地址：0x00047108

复位值：0x0000 0000



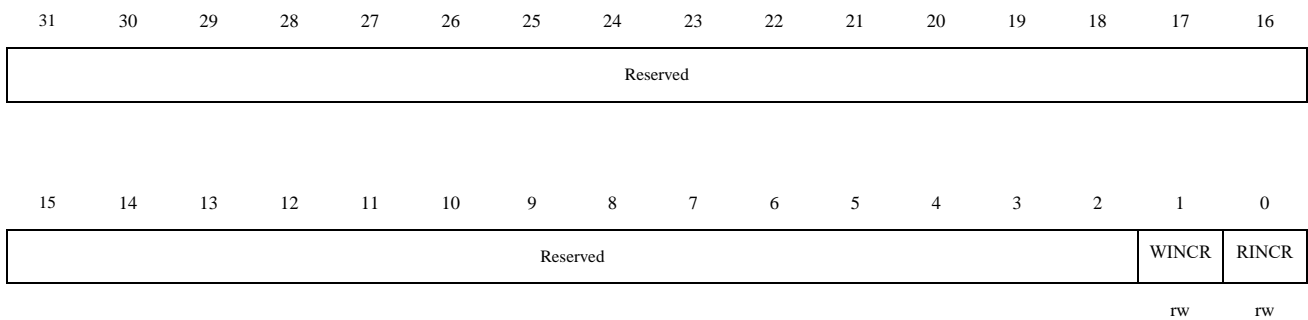
位域	名称	描述
31:2	Reserved	保留，必须保持复位值
1	WIC	写发布能力 将前述交换仲裁方案的写发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0: 正常发布功能 1: 将发布功能强制置 1

0	RIC	<p>读发布能力</p> <p>将前述交换仲裁方案的读取发布功能设置为 1。寄存器位为高电平有效，其用途如下：</p> <p>0：正常发布功能</p> <p>1：将发布功能强制置 1</p>
---	-----	---

#### 2.1.2.1.4.41 SDMMC1 读写 INCR 寄存器 (GPV\_SDMMC1\_RWINCR)

偏移地址：0x00048028

复位值：0x0000 0000

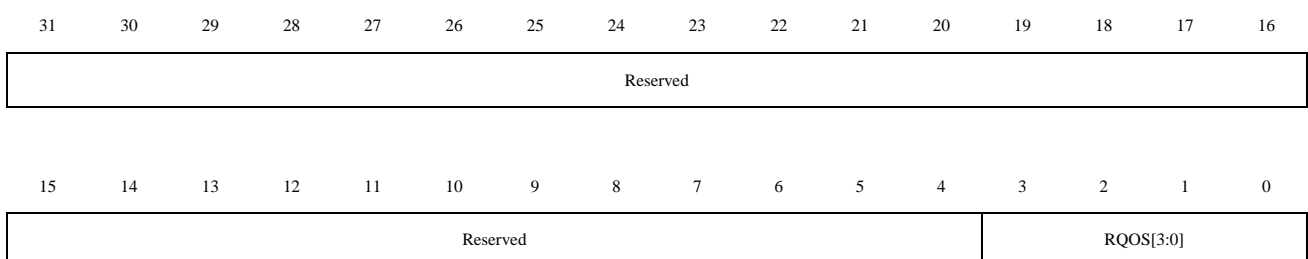


位域	名称	描述
31:2	Reserved	保留，必须保持复位值
1	WINCR	<p>0：将固定长度突发写入 AXI 固定长度突发，并且只有最后一个 AHB-Lite 写入数据节拍接收到整个 AHB-Lite 事务的 AXI 缓冲响应。将 INCR 突发写入一系列 AXI 单次操作，并且每个 AHB-Lite 写入节拍都通过 AXI 缓冲写入响应进行确认。</p> <p>1：将所有 AHB-Lite 写入事务转换为一系列单节拍 AXI 事务，并且每个 AHB-Lite 写入节拍都通过 AXI 缓冲写入响应进行确认。</p>
0	RINCR	<p>0：将固定长度突发读取转换为 AXI 固定长度突发读取。将 INCR 突发读取转换为一系列 AXI 单次读取。</p> <p>1：将所有 AHB-Lite 读取事务转换为一系列单拍 AXI 事务。</p>

#### 2.1.2.1.4.42 SDMMC1 读取 QoS 寄存器(GPV\_SDMMC1\_RQOS)

偏移地址：0x00048100

复位值：0x0000 0000





位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3:0	RQOS[3:0]	读取通道 QoS 设置 0x0: 最低优先级 0xF: 最高优先级

#### 2.1.2.1.4.43 SDMMC1 写入 QoS 寄存器(GPV\_SDMMC1\_WQOS)

偏移地址：0x00048104

复位值：0x0000 0000



位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3:0	WQOS[3:0]	将通道 QoS 设置写入 0x0: 最低优先级 0xF: 最高优先级

#### 2.1.2.1.4.44 SDMMC1 发布功能修改寄存器 (GPV\_SDMMC1\_IFMOD)

偏移地址：0x00048108

复位值：0x0000 0000



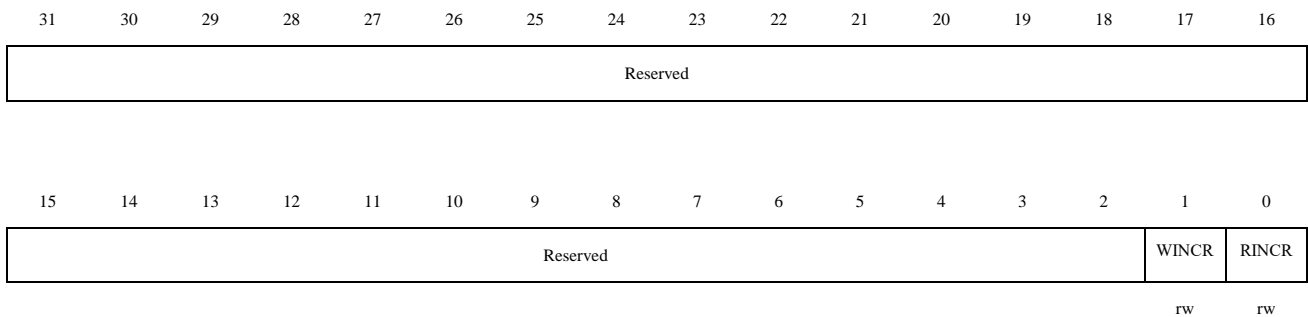
位域	名称	描述
31:2	Reserved	保留，必须保持复位值
1	WIC	写发布能力

		将前述交换仲裁方案的写发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1
0	RIC	读发布能力 将前述交换仲裁方案的读取发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1

#### 2.1.2.1.4.45 DVP1 读写 INCR 寄存器 (GPV\_DVP1\_RWINCR)

偏移地址：0x00049028

复位值：0x0000 0000

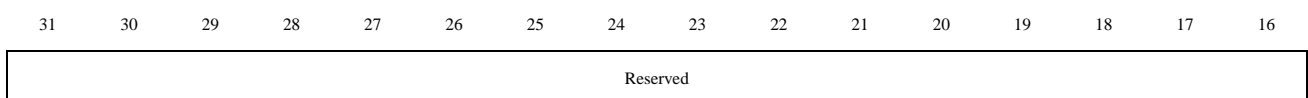


位域	名称	描述
31:2	Reserved	保留，必须保持复位值
1	WINCR	0：将固定长度突发写入 AXI 固定长度突发，并且只有最后一个 AHB-Lite 写入数据节拍接收到整个 AHB-Lite 事务的 AXI 缓冲响应。将 INCR 突发写入一系列 AXI 单次操作，并且每个 AHB-Lite 写入节拍都通过 AXI 缓冲写入响应进行确认。 1：将所有 AHB-Lite 写入事务转换为一系列单节拍 AXI 事务，并且每个 AHB-Lite 写入节拍都通过 AXI 缓冲写入响应进行确认。
0	RINCR	0：将固定长度突发读取转换为 AXI 固定长度突发读取。将 INCR 突发读取转换为一系列 AXI 单次读取。 1：将所有 AHB-Lite 读取事务转换为一系列单拍 AXI 事务。

#### 2.1.2.1.4.46 DVP1 读取 QoS 寄存器(GPV\_DVP1\_RQOS)

偏移地址：0x00049100

复位值：0x0000 0000



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	RQOS[3:0]
----------	-----------

rw

位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3:0	RQOS[3:0]	读取通道 QoS 设置 0x0: 最低优先级 0xF: 最高优先级

#### 2.1.2.1.4.47 DVP1 写入 QoS 寄存器(GPV\_DVP1\_WQOS)

偏移地址：0x00049104

复位值：0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved
----------

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	WQOS[3:0]
----------	-----------

rw

位域	名称	描述
31:4	Reserved	保留
3:0	WQOS[3:0]	将通道 QoS 设置写入 0x0: 最低优先级 0xF: 最高优先级

#### 2.1.2.1.4.48 DVP1 发布功能修改寄存器 (GPV\_DVP1\_IFMOD)

偏移地址：0x00049108

复位值：0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved
----------

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	WIC	RIC
----------	-----	-----

rw

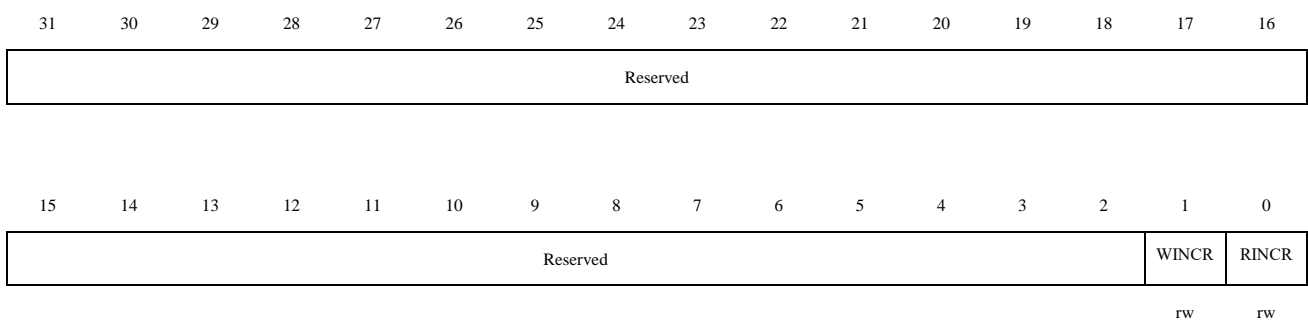
rw

位域	名称	描述
31:2	Reserved	保留，必须保持复位值
1	WIC	写发布能力 将前述交换仲裁方案的写发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1
0	RIC	读发布能力 将前述交换仲裁方案的读取发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1

#### 2.1.2.1.4.49 DVP2 读写 INCR 寄存器 (GPV\_DVP2\_RWINCR)

偏移地址：0x0004A028

复位值：0x0000 0000



位域	名称	描述
31:2	Reserved	保留，必须保持复位值
1	WINCR	0：将固定长度突发写入 AXI 固定长度突发，并且只有最后一个 AHB-Lite 写入数据节拍接收到整个 AHB-Lite 事务的 AXI 缓冲响应。将 INCR 突发写入一系列 AXI 单次操作，并且每个 AHB-Lite 写入节拍都通过 AXI 缓冲写入响应进行确认。 1：将所有 AHB-Lite 写入事务转换为一系列单节拍 AXI 事务，并且每个 AHB-Lite 写入节拍都通过 AXI 缓冲写入响应进行确认。
0	RINCR	0：将固定长度突发读取转换为 AXI 固定长度突发读取。将 INCR 突发读取转换为一系列 AXI 单次读取。 1：将所有 AHB-Lite 读取事务转换为一系列单拍 AXI 事务。

#### 2.1.2.1.4.50 DVP2 读取 QoS 寄存器(GPV\_DVP2\_RQOS)

偏移地址：0x0004A100

复位值：0x0000 0000

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

Reserved
----------

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

Reserved	RQOS[3:0]
----------	-----------

rw

位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3:0	RQOS[3:0]	读取通道 QoS 设置 0x0: 最低优先级 0xF: 最高优先级

#### 2.1.2.1.4.51 DVP2 写入 QoS 寄存器(GPV\_DVP2\_WQOS)

偏移地址: 0x0004A104

复位值: 0x0000 0000

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

Reserved
----------

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

Reserved	WQOS[3:0]
----------	-----------

rw

位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3:0	WQOS[3:0]	将通道 QoS 设置写入 0x0: 最低优先级 0xF: 最高优先级

#### 2.1.2.1.4.52 DVP2 发布功能修改寄存器 (GPV\_DVP2\_IFMOD)

偏移地址: 0x0004A108

复位值: 0x0000 0000

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

Reserved
----------

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

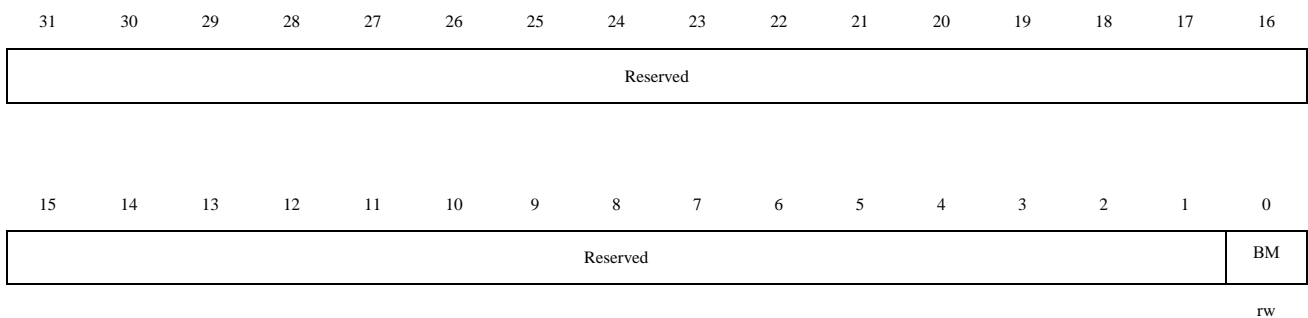
Reserved	WIC	RIC
----------	-----	-----

位域	名称	描述
31:2	Reserved	保留，必须保持复位值
1	WIC	写发布能力 将前述交换仲裁方案的写发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1
0	RIC	读发布能力 将前述交换仲裁方案的读取发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0：正常发布功能 1：将发布功能强制置 1

#### 2.1.2.1.4.53 AHB4 IB 旁路合并寄存器 (GPV\_AHB4IB\_BM)

偏移地址：0x0004B024

复位值：0x0000 0000

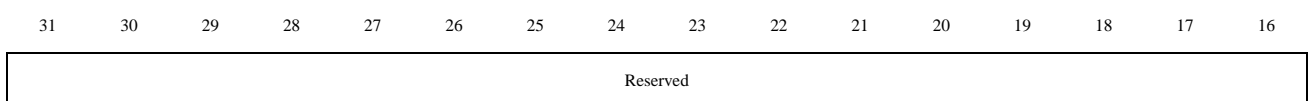


位域	名称	描述
31:1	Reserved	保留，必须保持复位值
0	BM	除非协议要求，否则禁止使用增大器进行事务变更 0：正常工作 1：在允许的情况下，通过的事务未发生变化

#### 2.1.2.1.4.54 AHB4 IB 读写 INCR 寄存器 (GPV\_AHB4IB\_RWINCR)

偏移地址：0x0004B028

复位值：0x0000 0000



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	WINCR	RINCR
----------	-------	-------

rw rw

位域	名称	描述
31:2	Reserved	保留，必须保持复位值
1	WINCR	0: 将固定长度突发写入 AXI 固定长度突发，并且只有最后一个 AHB-Lite 写入数据节拍接收到整个 AHB-Lite 事务的 AXI 缓冲响应。将 INCR 突发写入一系列 AXI 单次操作，并且每个 AHB-Lite 写入节拍都通过 AXI 缓冲写入响应进行确认。 1: 将所有 AHB-Lite 写入事务转换为一系列单节拍 AXI 事务，并且每个 AHB-Lite 写入节拍都通过 AXI 缓冲写入响应进行确认。
0	RINCR	0: 将固定长度突发读取转换为 AXI 固定长度突发读取。将 INCR 突发读取转换为一系列 AXI 单次读取。 1: 将所有 AHB-Lite 读取事务转换为一系列单拍 AXI 事务。

#### 2.1.2.1.4.55 AHB4 IB 读取 QoS 寄存器(GPV\_AHB4IB\_RQOS)

偏移地址: 0x0004B100

复位值: 0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved
----------

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	RQOS[3:0]
----------	-----------

rw

位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3:0	RQOS[3:0]	读取通道 QoS 设置 0x0: 最低优先级 0xF: 最高优先级

#### 2.1.2.1.4.56 AHB4 IB 写入 QoS 寄存器(GPV\_AHB4IB\_WQOS)

偏移地址: 0x0004B104

复位值: 0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved
----------

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	WQOS[3:0]
----------	-----------

rw

位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3:0	WQOS[3:0]	将通道 QoS 设置写入 0x0: 最低优先级 0xF: 最高优先级

### 2.1.2.1.4.57 AHB4 IB 发布功能修改寄存器 (GPV\_AHB4IB\_IFMOD)

偏移地址: 0x0004B108

复位值: 0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved
----------

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	WIC	RIC
----------	-----	-----

rw

rw

位域	名称	描述
31:2	Reserved	保留，必须保持复位值
1	WIC	写发布能力 将前述交换仲裁方案的写发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0: 正常发布功能 1: 将发布功能强制置 1
0	RIC	读发布能力 将前述交换仲裁方案的读取发布功能设置为 1。寄存器位为高电平有效，其用途如下： 0: 正常发布功能 1: 将发布功能强制置 1



### 2.1.2.2 AHB 总线矩阵

#### 2.1.2.2.1 AHB 总线矩阵 1

AHB 总线矩阵 1 由 17 个主设备和 10 个从设备组成，如图 2-2 所示。当多个主设备同时请求访问同一个从设备时，将使用轮询调度机制进行访问仲裁。

##### 主控总线

- ARM Cortex-M4 I 总线
- ARM Cortex-M4 D-bus
- ARM Cortex-M4 S 总线
- DMA1-3 P 总线
- DMA1-3 M 总线
- ETH1-2 主总线
- USB1-2 主总线
- SDMMC2 主总线
- ARM Cortex-M7 AHBP 总线
- 跨域 AHB7 总线，一个 32 位的 AHB 总线，用于连接 AXI 总线矩阵到 AHB 总线矩阵 1。
- SDPU 主总线

##### 从设备总线

- 128KB AHB SRAM 1
- 128KB AHB SRAM 2
- 32KB AHB SRAM 3
- 32KB AHB SRAM 4
- 32KB AHB SRAM 5
- AHB1 外设包括 AHB2APB1 桥和 APB1 外设
- AHB2 外设包括 AHB2APB2 桥和 APB2 外设
- 跨域 AHB3 总线，用于连接 AHB 总线矩阵 1 和 AHB 总线矩阵 2D 的 32 位的 AHB 总线
- 跨域 AHB4 总线，用于连接 AHB 总线矩阵 1 到 AXI 总线矩阵的 32 位的 AHB 总线。
- AHBP9 外围仅包括 ESC

#### 2.1.2.2.2 AHB 总线矩阵 2

AHB 总线矩阵 2 由 3 个主设备和 2 个从设备组成，如图 2-2 所示。当多个主设备同时请求访问同一个从设备时，将使用轮询调度机制进行访问仲裁。

##### 主控总线

- 跨域 AHB8 总线，用于连接 AXI 总线矩阵和 AHB 总线矩阵 2 的 32 位的 AHB 总线。

- 跨域 AHB3 总线，用于连接 AHB 总线矩阵 1 和 AHB 总线矩阵 2 的 32 位的 AHB 总线。
- DAP-AP1，调试访问端口 AP1，允许调试器访问连接到 AHB 总线矩阵 2 的外设，包括 DBGMCU

#### 从设备总线

- 4KB 备份 SRAM
- AHB5 外设包括 AHB2APB5 桥和 APB5 外设

### 2.1.3 总线桥

为了使具有不同类型总线的外设能够相互通信，系统中有许多总线到总线的桥接器。

#### AHB 到 APB 桥

系统由四个 AHB2APB 桥组成：AHB2APB1、AHB2APB2、AHB2APB5 和 AHB2APB6。这是为了允许各自 APB 总线上的外设连接到其各自的 AHB 总线。

#### AXI 到 AHB 桥

该系统由一个 AXI2AHB 桥组成。该桥用于将来自 MDMA 的 AXI 信号转换为 AHB 信号，以通过 AHBS 端口访问 CM7 TCM 存储器。

#### AHB 到 AHB 桥

该系统由两个 AHB2AHB 桥组成。一个用于将 AHB 信号从 CM7 内核时钟域下的 CM7 AHBP 总线传输到 AHB 总线矩阵 1 时钟域，另一个用于将 AHB 总线矩阵 1 域的时序隔离到 AHB 总线矩阵 2 域。

### 2.1.4 AHB Cache

由于 Cortex-M4 没有内部缓存，为了在访问具有较大等待状态的存储器(如外部 Flash 存储器)时提高 Cortex-M4 CPU 的性能，使用了 AHB 缓存来位于 Cortex-M4 的 I-bus/D-bus 与 AHB 总线矩阵 1 之间。

*注意：Cortex-M4 访问 AHB SRAM1-5 时，不会产生任何等待状态，因此对此类内存访问，Cache 会被旁路。*

获取更多详细信息，请参阅 Arm@CoreLink™ AHB 缓存技术参考手册。

#### 2.1.4.1 AHB 指令 Cache

指令缓存位于 Cortex-M4 I-bus 和 AHB 总线矩阵 1 之间。经常使用的数据会被复制到缓存中，以便将来访问时无需等待状态，从而最大限度地减少对外部存储器的指令获取访问，这些访问会导致较长的延迟。

#### 2.1.4.2 AHB 数据 Cache

数据缓存位于 Cortex-M4 D-bus 和 AHB 总线矩阵 1 之间。通过相同的机制，它可以提高 CPU 性能，尤其适用于前一条指令对同一存储器的取指操作处于阻塞状态时，发生字面量加载的场景。

#### 2.1.4.3 奇偶校验监视器

为了数据完整性，这些 AHB 缓存使用奇偶校验。AHB 缓存 (iCache/dCache) 中 16 个存储单元的奇偶校验错误由 AHB\_CACHE\_PARMON 模块监控。每个缓存有 8 个存储单元，包括 4 个数据 RAM 和 4 个 TAG RAM。

如表 2-4 所示，寄存器映射的前 2KB 分配给 AHB iCache 中的 8 个存储库。寄存器映射的剩余 2KB 分配给 AHB dCache 中的 8 个存储库。数据 RAM 支持按字节写入，因此奇偶校验是按字节进行的，而 TAG RAM

是完整的 22 位数据写入，因此奇偶校验是按 22 位数据进行的。

注意: `AHB_CACHE_PARMON.PMEN` 通常用于启用 AHB iCache 和 dCache 所有 16 个存储库的奇偶校验。

表 2-4 AHB 指令和数据缓存的奇偶校验监控映射

监控单位	SRAM (大小)	索引(n)	地址偏移
1 (iCache)	数据 RAM 0 (1024x32) 使用 32 位数据和 4 位奇偶校验码	1	0x000
	数据 RAM 1 (1024x32) 使用 32 位数据和 4 位奇偶校验码	2	
	数据 RAM 2 (1024x32) 使用 32 位数据和 4 位奇偶校验码	3	
	数据 RAM 3 (1024x32) 使用 32 位数据和 4 位奇偶校验码	4	
	TAG RAM 0 (128x22) 使用 22 位数据和 1 位奇偶校验码	5	
	TAG RAM 1 (128x22) 使用 22 位数据和 1 位奇偶校验码	6	
	TAG RAM 2 (128x22) 使用 22 位数据和 1 位奇偶校验码	7	
	TAG RAM 3 (128x22) 使用 22 位数据和 1 位奇偶校验码	8	
2 (dCache)	数据 RAM 0 (1024x32) 使用 32 位数据和 4 位奇偶校验码	1	0x800
	数据 RAM 1 (1024x32) 使用 32 位数据和 4 位奇偶校验码	2	
	数据 RAM 2 (1024x32) 使用 32 位数据和 4 位奇偶校验码	3	
	数据 RAM 3 (1024x32) 使用 32 位数据和 4 位奇偶校验码	4	
	TAG RAM 0 (128x22) 使用 22 位数据和 1 位奇偶校验码	5	
	TAG RAM 1 (128x22) 使用 22 位数据和 1 位奇偶校验码	6	
	TAG RAM 2 (128x22) 使用 22 位数据和 1 位奇偶校验码	7	
	TAG RAM 3 (128x22) 使用 22 位数据和 1 位奇偶校验码	8	

### 2.1.4.4 奇偶校验监视器寄存器

AHB\_CACHE\_PARMON 寄存器可以通过字节、半字（16 位）或字（32 位）访问。

注意：“n”表示相应RAM的索引号，如表2-4所示。

#### 2.1.4.4.1 AHB\_CACHE\_PARMON 控制寄存器 1(AHB\_CACHE\_PARMON\_CTRL1)

偏移地址：0x00

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		PEINTEN[7:0]										Reserved			
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														PMEN	
rw															

位域	名称	描述																								
31	Reserved	保留，必须保持复位值																								
30:23	PEINTEN[7:0]	奇偶校验错误检测中断使能位： 0：中断已禁用 1：中断已启用 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <tr> <td style="width: 5%;">bit0</td><td style="width: 5%;">bit1</td><td style="width: 5%;">bit2</td><td style="width: 5%;">bit3</td><td style="width: 5%;">bit4</td><td style="width: 5%;">bit5</td><td style="width: 5%;">bit6</td><td style="width: 5%;">bit7</td></tr> <tr> <td>Data</td><td>Data</td><td>Data</td><td>Data</td><td>Tag</td><td>Tag</td><td>Tag</td><td>Tag</td></tr> <tr> <td>Sram0</td><td>Sram1</td><td>Sram2</td><td>Sram3</td><td>Sram0</td><td>Sram1</td><td>Sram2</td><td>Sram3</td></tr> </table>	bit0	bit1	bit2	bit3	bit4	bit5	bit6	bit7	Data	Data	Data	Data	Tag	Tag	Tag	Tag	Sram0	Sram1	Sram2	Sram3	Sram0	Sram1	Sram2	Sram3
bit0	bit1	bit2	bit3	bit4	bit5	bit6	bit7																			
Data	Data	Data	Data	Tag	Tag	Tag	Tag																			
Sram0	Sram1	Sram2	Sram3	Sram0	Sram1	Sram2	Sram3																			
22:1	Reserved	保留，必须保持复位值																								
0	PMEN	奇偶校验监控使能位： 0：奇偶校验监控已禁用 1：奇偶校验监视器已启用 注意：只有第一个监控单元中的PMEN位用于启用/禁用AHB iCache和dCache中所有SRAM存储块的奇偶校验。第二个监控单元的PMEN位未被使用。																								

#### 2.1.4.4.2 AHB\_CACHE\_PARMON 控制寄存器 2 (AHB\_CACHE\_PARMON\_CTRL2)

偏移地址：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		PFOEN[7:0]										Reserved			
rw															

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved
----------

位域	名称	描述
31	Reserved	保留，必须保持复位值
30:23	PFOEN[7:0]	奇偶校验错误标志输出启用。 每个位对应一个不同的内存，每个位对应的内存请参考 AHB_CACHE_PARMON_CTRL1.PEINTEN。 1: PFOEN 是输出 0: 禁用。 <i>注意：启用时，输出将保持活动状态（高电平），直到所有 PFOEN 被清除。</i>
22:0	Reserved	保留，必须保持复位值

### 2.1.4.4.3 AHB\_CACHE\_PARMON 错误注入寄存器 (AHB\_CACHE\_PARMON\_EINJ)

偏移地址：0x08

复位值：0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

ECSELTR3	ECSELTR2	ECSELTR1	ECSELTR0	ECSELDR3	ECSELDR2	ECSELDR1	ECSELDR0
----------	----------	----------	----------	----------	----------	----------	----------

rw	rw	rw	rw	rw	rw	rw	rw
----	----	----	----	----	----	----	----

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

ERICTR3	ERICTR2	ERICTR1	ERICTR0	ERICDR3	ERICDR2	ERICDR1	ERICDR0
---------	---------	---------	---------	---------	---------	---------	---------

rw	rw	rw	rw	rw	rw	rw	rw
----	----	----	----	----	----	----	----

位域	名称	描述
31:30	ECSELTR3[1:0]	错误事件捕获选择用于 TAG RAM3 x0: 捕获奇偶校验错误事件的首次遇到。 x1: 未捕获 <i>注意：从一种模式切换到另一种模式时，相应的标志将被清除。</i>
29:28	ECSELTR2[1:0]	错误事件捕获选择用于 TAG RAM2 x0: 捕获奇偶校验错误事件的首次遇到。 x1: 未捕获 <i>注意：从一种模式切换到另一种模式时，相应的标志将被清除。</i>

27:26	ECSELTR1[1:0]	错误事件捕获选择用于 TAG RAM1 x0: 捕获奇偶校验错误事件的首次遇到。 x1: 未捕获 <i>注意: 从一种模式切换到另一种模式时, 相应的标志将被清除。</i>
25:24	ECSELTR0[1:0]	错误事件捕获选择用于 TAG RAM0 x0: 捕获奇偶校验错误事件的首次遇到。 x1: 未捕获 <i>注意: 从一种模式切换到另一种模式时, 相应的标志将被清除。</i>
23:22	ECSELDR3[1:0]	数据 RAM3 的错误事件捕获选择 x0: 捕获奇偶校验错误事件的首次遇到。 x1: 未捕获 <i>注意: 从一种模式切换到另一种模式时, 相应的标志将被清除。</i>
21:20	ECSELDR2[1:0]	数据 RAM2 的错误事件捕获选择 x0: 捕获奇偶校验错误事件的首次遇到。 x1: 未捕获 <i>注意: 从一种模式切换到另一种模式时, 相应的标志将被清除。</i>
19:18	ECSELDR1[1:0]	错误事件捕获选择用于数据 RAM1 x0: 捕获奇偶校验错误事件的首次遇到。 x1: 未捕获 <i>注意: 从一种模式切换到另一种模式时, 相应的标志将被清除。</i>
17:16	ECSELDR0[1:0]	错误事件捕获选择用于数据 RAM0 x0: 捕获奇偶校验错误事件的首次遇到。 x1: 未捕获 <i>注意: 从一种模式切换到另一种模式时, 相应的标志将被清除。</i>
15:14	ERICTR3 [1:0]	错误注入控制用于 TAG RAM3 00: 无错误注入 01 或 10: 向 32 位内存输出中注入 1 位错误 11: 向 32 位内存输出中注入 2 位错误
13:12	ERICTR2 [1:0]	错误注入控制用于 TAG RAM2 00: 无错误注入 01 或 10: 向 32 位内存输出中注入 1 位错误 11: 向 32 位内存输出中注入 2 位错误
11:10	ERICTR1 [1:0]	错误注入控制用于 TAG RAM1 00: 无错误注入 01 或 10: 向 32 位内存输出中注入 1 位错误 11: 向 32 位内存输出中注入 2 位错误
9:8	ERICTR0 [1:0]	错误注入控制用于 TAG RAM0 00: 无错误注入 01 或 10: 向 32 位内存输出中注入 1 位错误 11: 向 32 位内存输出中注入 2 位错误
7:6	ERICDR3 [1:0]	数据 RAM3 的错误注入控制 00: 无错误注入 01 或 10: 向 32 位内存输出中注入 1 位错误

		11: 向 32 位内存输出中注入 2 位错误
5:4	ERICDR2[1:0]	数据 RAM2 的错误注入控制 00: 无错误注入 01 或 10: 向 32 位内存输出中注入 1 位错误 11: 向 32 位内存输出中注入 2 位错误
3:2	ERICDR1[1:0]	数据 RAM1 的错误注入控制 00: 无错误注入 01 或 10: 向 32 位内存输出中注入 1 位错误 11: 向 32 位内存输出中注入 2 位错误
1:0	ERICDR0 [1:0]	数据 RAM0 的错误注入控制 00: 无错误注入 01 或 10: 向 32 位内存输出中注入 1 位错误 11: 向 32 位内存输出中注入 2 位错误

#### 2.1.4.4.4 AHB\_CACHE\_PARMON 中断影子状态寄存器 (AHB\_CACHE\_PARMON\_INTFS)

地址偏移: 0x0C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								PEIF[7:0]							
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															

位域	名称	描述
31:24	Reserved	保留, 必须保持复位值
23:16	PEIF[7:0]	奇偶校验错误检测中断挂起标志 每个位对应一个不同的内存, 每个位对应的内存请参考 AHB_CACHE_PARMON_CTRL1.PEINTEN。
15:0	Reserved	保留, 必须保持复位值

#### 2.1.4.4.5 AHB\_CACHE\_PARMON 内存 x 中断状态寄存器 (AHB\_CACHE\_PARMON\_INTFx, x=1~8)

偏移地址: (5x-1) \*4, x=1~8

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	PEDCIFR	Reserved
----------	---------	----------

rc\_w1

位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3	PEDCIFR	奇偶校验错误检测和校正中断挂起标志在读取访问时触发。 0：上述错误未被检测到 1：检测到上述错误 将“1”写入此位以清除此标志。当此标志被设置且其对应的中断使能位（PEINTEN）被设置时，将生成中断。
2:0	Reserved	保留，必须保持复位值

#### 2.1.4.4.6 AHB\_CACHE\_PARMON 内存 x ECC 故障事件地址寄存器 (AHB\_CACHE\_PARMON\_FEADR<sub>x</sub>, x=1~8)

偏移地址：(5x) \*4, x=1~8

复位值：0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

PEAD	Reserved	PER	Reserved	FEADR[27:16]
------	----------	-----	----------	--------------

rc\_w1

rc\_w1

r

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

FEADR[15:0]
-------------

r

位域	名称	描述
[31]	PEAD	奇偶校验错误事件和失败地址已检测到 请参考 ECSELDR <sub>x</sub> 或 ECSELTR <sub>x</sub> 寄存器获取错误事件捕获规则。该位由硬件设置为“1”，表示检测到错误事件，并将其相关的失败地址、数据和代码分别捕获到 FEADR、PEDAT 和 PECOD 寄存器中。 <i>注意：写入“1”以清除此位，同时如果设置了 FEAD，它们也会被清除。如果更改了 ECSELDR<sub>x</sub> 或 ECSELTR<sub>x</sub> 的值，此位也将被清除。</i>
[30]	Reserved	保留，必须保持复位值
29	PER	读取时发生奇偶校验错误事件 此位与 PEAD 一起工作。如果捕获的错误事件是读取访问，硬件会将此位设置为“1”。

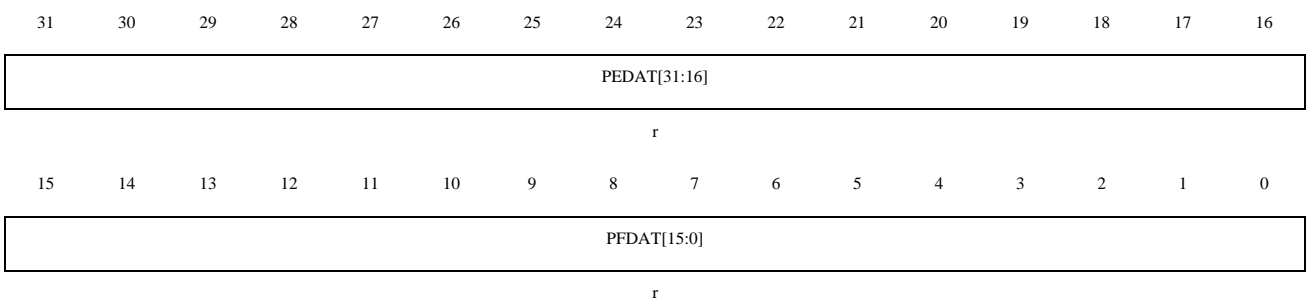


		注意：写入“1”以清除此位，同时如果设置了FEAD，它们也会被清除。如果更改了ECSELDRx或ECSELTRx的值，此位也将被清除。
28	Reserved	保留，必须保持复位值
27:0	FEADR[27:0]	失败事件地址。 它是只读的。仅当PEAD设置为“1”时才有效。该寄存器将在FEAD清除之前被锁定。 注意：此地址是对应内存的本地地址，而不是总线地址。 只有前10位地址对数据RAMx有效，而前7位地址对标签RAMx有效。 对于数据RAMx：失败地址={ FEADR [9:0] } 对于标签RAMx：失败地址={ FEADR [6:0] }

#### 2.1.4.4.7 AHB\_CACHE\_PARMON 内存 x ECC 故障事件数据寄存器 (AHB\_CACHE\_PARMON\_FEDATx, x=1~8)

偏移地址：(5x+1)\*4, x=1~8

复位值：0x0000 0000

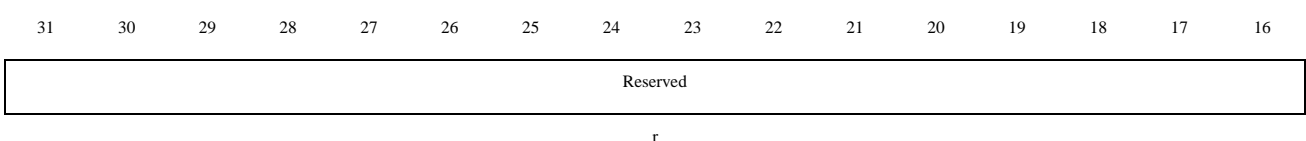


位域	名称	描述
31:0	PEDAT[31:0]	奇偶校验错误低数据位 此数据寄存器用于存储错误事件被捕获时的低DW位错误数据。只有当PFAD设置为“1”时，该值才有效。在PFAD清除之前，此寄存器将被锁定。 对于数据RAMx，有效位为32位 对于TAG RAMx，有效位为22位

#### 2.1.4.4.8 AHB\_CACHE\_PARMON 内存 x ECC 故障事件 ECC 代码寄存器 (AHB\_CACHE\_PARMON\_FECODx, x=1~8)

偏移地址：(5x+3)\*4, x=1~8

复位值：0x0000 0000



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PECOD[15:0]
-------------

r

位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	PECOD[15:0]	奇偶校验错误代码 此数据寄存器用于在错误事件被捕获时存储奇偶校验码。仅当 PEAD 设置为“1”时，该值才有效。 <i>注意：在 PEAD 清除之前，此数据寄存器被锁定。</i> 对于数据 RAMx，有 4 位是有效的。 对于 TAG RAMx，1 位是有效的

## 2.1.5 CPU 总线

### Cortex-M7 AXI 主总线

Cortex-M7 CPU 使用 64 位宽的 AXI4 主接口访问所有内存（不包括 I/DTCM）和外设（不包括 AHB1/AHB2/AHB9/APB1/APB2 外设）。AXI 总线将 CPU 连接到 AXI 总线矩阵。

### Cortex-M7 ITCM 总线

Cortex-M7 CPU 使用 64 位 ITCM 总线来获取指令以及访问 ITCM 内存中的数据，无需等待状态。关键代码或函数应放入 ITCM 中以实现高性能。

### Cortex-M7 DTCM 总线

Cortex-M7 CPU 使用 2x32 位 DTCM 总线访问 DTCM 内存中的数据。而且也可以从其中获取指令。

### Cortex-M7 AHBS 总线

Cortex-M7 CPU 使用这个 32 位 AHBS 总线使 MDMA 控制器能够访问 ITCM 和 DTCM。

### Cortex-M7 AHBP 总线

Cortex-M7 CPU 使用这个 32 位 AHBP 总线通过 AHB 总线矩阵 1 访问 AHB1/AHB2/AHB9/APB1/APB2 外设。

### Cortex-M4 I-Bus

Cortex-M4 CPU 通过 AHB 总线矩阵 1 使用 32 位 I-Bus 访问代码区域从 0x0000\_0000 到 0x1FFF\_FFFF 的指令：AHB SRAM1-5、AXI SRAM1-3、BOOTROM、BOOTPATCH 和 xSPI1/2 闪存。

### Cortex-M4 D-Bus

Cortex-M4 CPU 通过 AHB 总线矩阵 1 使用 32 位 D-Bus 在代码区域从 0x0000\_0000 到 0x1FFF\_FFFF 访问数据和文字池：AHB SRAM1-5、AXI SRAM1-3、BOOTROM、BOOTPATCH 和 xSPI1/2 闪存。

### Cortex-M4 S-Bus

Cortex-M4 CPU 通过 AHB 总线矩阵 1 使用 32 位 S-Bus 访问设备映射中地址高于 0x2000\_0000 的所有存储

器和外设。它也可以处理指令获取，但效率低于 I-bus。

## 2.1.6 总线主设备

### MDMA 控制器

MDMA 有两个总线主控：

- 一个 AXI 64 位总线，连接到 AXI 总线矩阵，用于访问所有内部和外部存储器，除了 ITCM/DTCM 存储器。
- 另一个 AXI 64 位总线，通过 AXI2AHB 桥连接到 Cortex-M7 CPU AHBS 端口，以访问 ITCM 和 DTCM 存储器。

MDMA 被设计用于在内存之间传输数据，支持链表传输，可以在无需 CPU 干预的情况下执行链式传输列表。

### GPU

GPU（图像处理单元）具有 64 位 AXI 主总线，连接到 AXI 总线矩阵，用于访问内部和外部存储器以进行图像操作。

### LCDC

LCDC 显示控制器（LCDC）使用 64 位总线，连接到 AXI 总线矩阵，以访问内部或外部存储器以获取图像/视频数据。

### JPEG 编解码器

JPEG 编解码器（编/解码器）使用 2 个 64 位总线，如下所示：

- 64 位 SGDMA（Scatter-Gather DMA）总线，连接到 AXI 总线矩阵，用于访问内部或外部存储器以进行图像/视频压缩/解压缩
- 64 位 MEM 总线，连接到 AXI 总线矩阵，用于访问内部或外部存储器，以临时缓冲光栅到块/块到光栅转换操作。

### SDMMC1

SDMMC1 使用 64 位 AHB 总线，通过 AXI 总线矩阵连接，以访问内部或外部存储器进行数据存储。

### SDMMC2

SDMMC2 使用 32 位 AHB 总线，通过连接到 AHB 总线矩阵 1，访问内部或外部存储器进行数据存储。

### DVP1-2

DVP1-2 使用 64 位 AHB 总线，通过 AXI 总线矩阵连接，以访问内部或外部存储器进行帧缓冲。

### DMA1-3

DMA1-3 有两个 32 位总线——存储器总线和外设总线，连接到 AHB 总线矩阵 1。

内存总线允许在内存之间传输数据。

外设总线允许外设与存储器之间的数据传输。

### ETH1-2

ETH1-2 使用 32 位 AHB 总线，连接到 AHB 总线矩阵 1，以访问内部或外部存储器进行数据存储。

### USB1-2

USB1-2 使用 32 位 AHB 总线，连接到 AHB 总线矩阵 1，以访问内部或外部存储器进行数据存储。

### SDPU

SDPU 使用 32 位 AHB 总线，通过连接到 AHB 总线矩阵 1，访问内部或外部存储器进行数据存储。

## 2.2 内存器组织架构

### 2.2.1 介绍

N32H7xx 内存在同一个线性（即地址连续）4GB 地址空间内，包括代码内存、数据内存、寄存器和 IO 端口。它采用小端格式对齐。整个内存分为 9 个主要块，如表 2-5 所示。

### 2.2.2 内存映射和寄存器寻址

表 2-5 N32H7xx 内存映射和默认内存属性

区域	起始地址	结束地址	大小	Cortex M7	Cortex M4
供应商特定	0xE010_0000	0xFFFF_FFFF	511MB	保留	保留
Private Peripheral (External)	0xE00F_F000	0xE00F_FFFF	4KB	PPB ROM 表	ROM 表
	0xE00F_E000	0xE00F_EFFF	4KB	处理器 ROM 表	外部 PPB
	0xE00F_D000	0xE00F_DFFF	4KB	系统 ROM 表	
	0xE004_3000	0xE00F_CFFF	744KB	外部 PPB	
	0xE004_2000	0xE004_2FFF	4KB	CTI	
	0xE004_1000	0xE004_1FFF	4KB	ETM	ETM
	0xE004_0000	0xE004_0FFF	4KB	TPIU	TPIU
Private Peripheral (Internal)	0xE000_F000	0xE003_FFFF	196KB	保留	保留
	0xE000_E000	0xE000_EFFF	4KB	M7 外设 (SCS/NVIC/MPU/FPU)	M4 外设 (SCB/ST/NVIC/MPU/FPU)
	0xE000_3000	0xE000_DFFF	44KB	保留	保留
	0xE000_2000	0xE000_2FFF	4KB	FPB	FPB
	0xE000_1000	0xE000_1FFF	4KB	DWT	DWT
	0xE000_0000	0xE000_0FFF	4KB	ITM	ITM
外部设备	0xD000_0000	0xDFFF_FFFF	256MB	SDRAM 2	
	0xCC00_0000	0xCFFF_FFFF	64MB	SDRAM 1 (或重新映射 FEMC SRAM/NOR/PSRAM 存储区 4)	
	0xC800_0000	0xCBFF_FFFF	64MB	SDRAM 1 (或重新映射 FEMC SRAM/NOR/PSRAM 存储区 3)	
	0xC400_0000	0xC7FF_FFFF	64MB	SDRAM 1 (或重新映射 FEMC SRAM/NOR/PSRAM 存储区 2)	

区域	起始地址	结束地址	大小	Cortex M7	Cortex M4
	0xC000_0000	0xC3FF_FFFF	64MB	SDRAM 1 (或重新映射 FEMC SRAM/NOR/PSRAM 存储区 1)	
	0xB000_0000	0xBFFF_FFFF	256MB	FEMC NAND 闪存存储器存储区 2	
	0xA000_0000	0xAFFF_FFFF	256MB	FEMC NAND 闪存存储器存储区 1	
外部存储器(WT)	0x9000_0000	0x9FFF_FFFF	256MB	xSPI2	
	0x8000_0000	0x8FFF_FFFF	256MB	xSPI1	
外部存储器(WBWA)	0x7000_0000	0x7FFF_FFFF	256MB	保留	
	0x6C00_0000	0x6FFF_FFFF	64MB	FEMC SRAM/NOR/PSRAM 存储区 4 (或重新映射 SDRAM 1 的存储区 4)	
	0x6800_0000	0x6BFF_FFFF	64MB	FEMC SRAM/NOR/PSRAM 存储区 3 (或重新映射 SDRAM 1 存储区 3)	
	0x6400_0000	0x67FF_FFFF	64MB	FEMC SRAM/NOR/PSRAM 存储区 2 (或重新映射 SDRAM 1 的存储区 2)	
	0x6000_0000	0x63FF_FFFF	64MB	FEMC SRAM/NOR/PSRAM 存储区 1 (或重新映射 SDRAM 1 存储区 1)	
外设	0x4000_0000	0x5FFF_FFFF	512MB	外设	
RAM(WBWA)	0x3810_0000	0x3FFF_FFFF	127MB	保留	
	0x3800_1000	0x380F_FFFF	1020KB	保留	
	0x3800_0000	0x3800_0FFF	4KB	备份 SRAM	
	0x3010_0000	0x37FF_FFFF	127MB	保留	
	0x3005_8000	0x300F_FFFF	672KB	保留	
	0x3005_0000	0x3005_7FFF	32KB	AHB SRAM 5	
	0x3004_8000	0x3004_FFFF	32KB	AHB SRAM 4	
	0x3004_0000	0x3004_7FFF	32KB	AHB SRAM 3	
	0x3002_0000	0x3003_FFFF	128KB	AHB SRAM 2	
	0x3000_0000	0x3001_FFFF	128KB	AHB SRAM 1	
	0x2420_0000	0x2FFF_FFFF	190MB	保留	
	0x2412_0000	0x241F_FFFF	896KB	保留	
	0x240A_0000	0x2411_FFFF	512KB	AXI SRAM 3 <sup>(3)</sup>	
	0x2402_0000	0x2409_FFFF	512KB	AXI SRAM 2 <sup>(3)</sup>	
	0x2400_0000	0x2401_FFFF	128KB	AXI SRAM 1	
	0x2010_0000	0x23FF_FFFF	63MB	保留	
	0x2000_0000	0x200F_FFFF	1MB	DTCM	保留
代码(WT)	0x1FFF_C000	0x1FFF_FFFF	16KB	保留	
	0x1FFF_A000	0x1FFF_BFFF	8KB	保留	
	0x1FFF_8000	0x1FFF_9FFF	8KB	选项字节 (OB_FLASH)	
	0x1FFF_0000	0x1FFF_7FFF	32KB	引导 ROM (引导程序)	
	0x1FFC_0000	0x1FFE_FFFF	838KB	保留	
	0x1FF0_0000	0x1FF1_BFFF	122KB	引导补丁	
	0x1900_0000	0x1FEF_FFFF	127MB	保留	
	0x1700_0000	0x18FF_FFFF	32MB	xSPI2 BANK1/2(别名) <sup>(2)</sup>	

区域	起始地址	结束地址	大小	Cortex M7	Cortex M4
	0x16FE_0000	0x16FF_FFFF	128KB	保留	
	0x1500_0000	0x16FD_FFFF	31.875MB	xSPI1 BANK1/2(别名) <sup>(2)</sup>	
	0x1420_0000	0x14FF_FFFF	14MB	保留	
	0x1412_0000	0x141F_FFFF	896KB	保留	
	0x140A_0000	0x1411_FFFF	512KB	AXI SRAM 3 <sup>(3)</sup> (别名) <sup>(2)</sup>	
	0x1402_0000	0x1409_FFFF	512KB	AXI SRAM 2 <sup>(3)</sup> (别名) <sup>(2)</sup>	
	0x1400_0000	0x1401_FFFF	128KB	AXI SRAM 1 (别名) <sup>(2)</sup>	
	0x1020_0000	0x13FF_FFFF	62MB	保留	
	0x1005_8000	0x101F_FFFF	1632KB	保留	
	0x1005_0000	0x1005_7FFF	32KB	AHB SRAM 5 (别名) <sup>(2)</sup>	
	0x1004_8000	0x1004_FFFF	32KB	AHB SRAM 4 (别名) <sup>(2)</sup>	
	0x1004_0000	0x1004_7FFF	32KB	AHB SRAM 3 (别名) <sup>(2)</sup>	
	0x1002_0000	0x1003_FFFF	128KB	AHB SRAM 2 (别名) <sup>(2)</sup>	
	0x1000_0000	0x1001_FFFF	128KB	AHB SRAM 1 (别名) <sup>(2)</sup>	
	0x0010_0000	0x0FFF_FFFF	255MB	保留	
	0x0000_0000	0x000F_FFFF	1MB	ITCM	初始化向量表重映射 <sup>(1)</sup>

(1) 在启动过程中使用引导程序 (CM7) 编程的 MMU\_M4\_BOOT\_ADDR 重新映射

(2) 别名用于维护 M4 Harvard 架构, 其中代码和数据分别访问。仅适用于 CPU。

(3) 大小可以通过 OTP 或软件配置在启动/运行时更改。

有关外设的详细地址, 请参阅下表。

表 2-6 N32H7xx 外设寻址

起始地址	结束地址	大小	总线	外设寄存器
0x5810_0000	0x5FFF_FFFF	127MB	AHB5	保留
0x5803_9000	0x580F_FFFF	796KB		保留
0x5803_8000	0x5803_8FFF	4KB		保留
0x5803_7000	0x5803_7FFF	4KB		保留
0x5803_6000	0x5803_6FFF	4KB		ECCMON3
0x5803_5800	0x5803_5FFF	2KB		保留
0x5803_5400	0x5803_57FF	1KB		DBGMCU
0x5803_5000	0x5803_53FF	1KB		GPIOK
0x5803_4C00	0x5803_4FFF	1KB		GPIIOJ
0x5803_4800	0x5803_4BFF	1KB		GPIIOI
0x5803_4400	0x5803_47FF	1KB		GPIIOH

0x5803_4000	0x5803_43FF	1KB		GPIOG
0x5803_3C00	0x5803_3FFF	1KB		GPIOF
0x5803_3800	0x5803_3BFF	1KB		GPIOE
0x5803_3400	0x5803_37FF	1KB		GPIOD
0x5803_3000	0x5803_33FF	1KB		GPIOC
0x5803_2C00	0x5803_2FFF	1KB		GPIOB
0x5803_2800	0x5803_2BFF	1KB		GPIOA
0x5803_2400	0x5803_27FF	1KB		AFIO
0x5803_2000	0x5803_23FF	1KB		CRC
0x5803_1000	0x5803_1FFF	4KB		PWR
0x5803_0000	0x5803_0FFF	4KB		RCC
0x5800_5C00	0x5802_FFFF	169KB		APB5
0x5800_5800	0x5800_5BFF	1KB	LPTIMER5	
0x5800_5400	0x5800_57FF	1KB	RTC	
0x5800_5000	0x5800_53FF	1KB	IWDG2	
0x5800_4C00	0x5800_4FFF	1KB	IWDG1	
0x5800_4800	0x5800_4BFF	1KB	COMP(COMP1-4)	
0x5800_4400	0x5800_47FF	1KB	ATIMER4	
0x5800_4000	0x5800_43FF	1KB	ATIMER3	
0x5800_3C00	0x5800_3FFF	1KB	I2C10	
0x5800_3800	0x5800_3BFF	1KB	I2C9	
0x5800_3400	0x5800_37FF	1KB	I2C8	
0x5800_3000	0x5800_33FF	1KB	I2C7	
0x5800_2C00	0x5800_2FFF	1KB	SPI7	
0x5800_2800	0x5800_2BFF	1KB	SPI6	
0x5800_2400	0x5800_27FF	1KB	SPI5	
0x5800_2000	0x5800_23FF	1KB	SPI4	
0x5800_1C00	0x5800_1FFF	1KB	LPTIMER4	
0x5800_1800	0x5800_1BFF	1KB	LPTIMER3	

0x5800_1400	0x5800_17FF	1KB		LPTIMER2	
0x5800_1000	0x5800_13FF	1KB		LPTIMER1	
0x5800_0C00	0x5800_0FFF	1KB		LPUART2	
0x5800_0800	0x5800_0BFF	1KB		LPUART1	
0x5800_0400	0x5800_07FF	1KB		AFEC	
0x5800_0000	0x5800_03FF	1KB		EXTI WKUP	
0x5120_0000	0x57FF_FFFF	110MB		AHB6	保留
0x5112_1000	0x511F_FFFF	892KB	保留		
0x5112_0800	0x5112_0FFF	2KB	MDMA_WRAPPER		
0x5112_0000	0x5112_07FF	2KB	DMAMUX 2 (MDMA)		
0x5111_C000	0x5111_FFFF	16KB	保留		
0x5111_8000	0x5111_BFFF	16KB	OTPC		
0x5111_0400	0x5111_7FFF	31KB	保留		
0x5111_0100	0x5111_03FF	768B	保留		
0x5111_0000	0x5111_00FF	256B	SDMMC1		
0x5110_7400	0x5110_FFFF	35KB	保留		
0x5110_7000	0x5110_73FF	1KB	SDMMC1_CFG		
0x5110_6000	0x5110_6FFF	4KB	SDRAM		
0x5110_5000	0x5110_5FFF	4KB	MMU		
0x5110_4000	0x5110_4FFF	4KB	ECCMON1		
0x5110_2000	0x5110_3FFF	8KB	MDMA		
0x5110_1000	0x5110_1FFF	4KB	xSPI2		
0x5110_0000	0x5110_0FFF	4KB	xSPI1		
0x5100_0000	0x510F_FFFF	1MB	GPV		
0x5010_0000	0x50FF_FFFF	15MB	APB6		保留
0x500A_0000	0x500F_FFFF	384KB			保留
0x5009_1000	0x5009_FFFF	60KB		保留	
0x5009_0800	0x5009_0FFF	2KB		JPEG CTRL	
0x5009_0400	0x5009_07FF	1KB		JPEG P2H SGDMA	



0x5009_0000	0x5009_03FF	1KB		JPEG BRC
0x5008_0800	0x5008_FFFF	62KB		保留
0x5008_0000	0x5008_07FF	2KB		JPEG DEC
0x5007_0800	0x5007_FFFF	62KB		保留
0x5007_0400	0x5007_07FF	1KB		JPEG H2P SGDMA
0x5007_0000	0x5007_03FF	1KB		JPEG RBC
0x5006_0000	0x5006_FFFF	64KB		JPEG ENC
0x5004_D000	0x5005_FFFF	76KB		保留
0x5004_C000	0x5004_CFFF	4KB		FEMC
0x5004_B000	0x5004_BFFF	4KB		TCMSRAMC
0x5004_AC00	0x5004_AFFF	1KB		DSIHOST_WRAPPER
0x5004_A800	0x5004_ABFF	1KB		WWDG1
0x5004_A000	0x5004_A7FF	2KB		LCDC
0x5004_9000	0x5004_9FFF	4KB		DVP2
0x5004_8000	0x5004_8FFF	4KB		DVP1
0x5004_4000	0x5004_7FFF	16KB		保留
0x5004_0000	0x5004_3FFF	16KB		2.5D GPU
0x5000_0000	0x5003_FFFF	256KB		DSI-Host
0x4020_0000	0x4FFF_FFFF	254MB		保留
0x4014_0400	0x401F_FFFF	767KB		保留
0x4014_0000	0x4014_03FF	1KB		USBCTRL1_WRAPPER
0x4010_0000	0x4013_FFFF	256KB		USBCTRL1
0x400F_9000	0x400F_FFFF	28KB		保留
0x400F_8000	0x400F_8FFF	4KB	AHB2	DCMUB (CM4)
0x400F_7000	0x400F_7FFF	4KB		DCMUA (CM7)
0x400F_6000	0x400F_6FFF	4KB		SEMA4
0x400F_4000	0x400F_5FFF	8KB		ETH1
0x400F_2000	0x400F_3FFF	8KB		SDPU
0x400F_1C00	0x400F_1FFF	1KB		DAC56

0x400F_1800	0x400F_1BFF	1KB		DAC34
0x400F_1400	0x400F_17FF	1KB		FMAC
0x400F_1000	0x400F_13FF	1KB		CORDIC
0x400F_0000	0x400F_0FFF	4KB		ECCMON2
0x400D_FC00	0x400E_FFFF	65KB		保留
0x400D_F800	0x400D_FBFF	1KB		UART15
0x400D_F400	0x400D_F7FF	1KB		UART14
0x400D_F000	0x400D_F3FF	1KB		UART13
0x400D_EC00	0x400D_EFFF	1KB		USART8
0x400D_E800	0x400D_EBFF	1KB		USART7
0x400D_E400	0x400D_E7FF	1KB		USART6
0x400D_E000	0x400D_E3FF	1KB		USART5
0x400D_DC00	0x400D_DFFF	1KB		I2C6
0x400D_D800	0x400D_DBFF	1KB		I2C5
0x400D_D400	0x400D_D7FF	1KB		I2C4
0x400D_D000	0x400D_D3FF	1KB		GTIMERA3
0x400D_CC00	0x400D_CFFF	1KB	APB2	GTIMERA2
0x400D_C800	0x400D_CBFF	1KB		GTIMERA1
0x400D_C400	0x400D_C7FF	1KB		SPI2
0x400D_C000	0x400D_C3FF	1KB		SPI1
0x400D_BC00	0x400D_BFFF	1KB		I2S2
0x400D_B800	0x400D_BBFF	1KB		I2S1
0x400D_B400	0x400D_B7FF	1KB		ATIMER2
0x400D_B000	0x400D_B3FF	1KB		ATIMER1
0x400D_A000	0x400D_AFFF	4KB		DSMU
0x400D_9000	0x400D_9FFF	4KB		SHRTIM2
0x400D_8000	0x400D_8FFF	4KB		SHRTIM1
0x400D_1000	0x400D_7FFF	28KB		保留
0x400D_0C00	0x400D_0FFF	1KB		FDCAN 8

0x400D_0800	0x400D_0BFF	1KB		FDCAN 7
0x400D_0400	0x400D_07FF	1KB		FDCAN 4
0x400D_0000	0x400D_03FF	1KB		FDCAN 3
0x400C_0400	0x400C_FFFF	63KB	AHB9	保留
0x400C_0000	0x400C_03FF	1KB		ESC_WRAPPER
0x400B_0000	0x400B_FFFF	64KB		ESC
0x400A_8000	0x400A_FFFF	32KB	AHB1	保留
0x400A_0400	0x400A_7FFF	31KB		保留
0x400A_0000	0x400A_03FF	1KB		USBCTRL2_WRAPPER
0x4006_0000	0x4009_FFFF	256KB		USBCTRL2
0x4005_0400	0x4005_FFFF	63KB		保留
0x4005_0100	0x4005_03FF	768B		保留
0x4005_0000	0x4005_00FF	256B		SDMMC2
0x4004_A400	0x4004_FFFF	23KB		保留
0x4004_A000	0x4004_A3FF	1KB		SDMMC2_CFG
0x4004_9800	0x4004_9FFF	2KB		保留
0x4004_9400	0x4004_97FF	1KB		保留
0x4004_9000	0x4004_93FF	1KB		保留
0x4004_8800	0x4004_8FFF	2KB		保留
0x4004_8400	0x4004_87FF	1KB		保留
0x4004_8000	0x4004_83FF	1KB		保留
0x4004_7400	0x4004_7FFF	3KB		保留
0x4004_7000	0x4004_73FF	1KB		DMA3
0x4004_6C00	0x4004_6FFF	1KB		DMA2
0x4004_6800	0x4004_6BFF	1KB		DMA1
0x4004_6400	0x4004_67FF	1KB		DMAMUX1 (DMA1-3)
0x4004_6000	0x4004_63FF	1KB		保留
0x4004_5000	0x4004_5FFF	4KB		AHB_CACHE_PARMON
0x4004_4C00	0x4004_4FFF	1KB		保留

0x4004_4800	0x4004_4BFF	1KB		ADC3
0x4004_4400	0x4004_47FF	1KB		ADC2
0x4004_4000	0x4004_43FF	1KB		ADC1
0x4004_2000	0x4004_3FFF	8KB		ETH2
0x4004_0000	0x4004_1FFF	8KB		保留
0x4001_1400	0x4003_FFFF	187KB	APB1	保留
0x4001_1000	0x4001_13FF	1KB		保留
0x4001_0C00	0x4001_0FFF	1KB		BTIMER4
0x4001_0800	0x4001_0BFF	1KB		BTIMER3
0x4001_0400	0x4001_07FF	1KB		保留
0x4001_0000	0x4001_03FF	1KB		WWDG2
0x4000_FC00	0x4000_FFFF	1KB		DAC12
0x4000_F800	0x4000_FBFF	1KB		I2S4
0x4000_F400	0x4000_F7FF	1KB		I2S3
0x4000_F000	0x4000_F3FF	1KB		I2C3
0x4000_EC00	0x4000_EFFF	1KB		I2C2
0x4000_E800	0x4000_EBFF	1KB		I2C1
0x4000_E400	0x4000_E7FF	1KB		SPI3
0x4000_E000	0x4000_E3FF	1KB		UART12
0x4000_DC00	0x4000_DFFF	1KB		UART11
0x4000_D800	0x4000_DBFF	1KB		UART10
0x4000_D400	0x4000_D7FF	1KB		UART9
0x4000_D000	0x4000_D3FF	1KB		USART4
0x4000_CC00	0x4000_CFFF	1KB		USART3
0x4000_C800	0x4000_CBFF	1KB		USART2 <sup>(1)</sup>
0x4000_C400	0x4000_C7FF	1KB		USART1 <sup>(1)</sup>
0x4000_C000	0x4000_C3FF	1KB		GTIMERA7
0x4000_BC00	0x4000_BFFF	1KB		GTIMERA6
0x4000_B800	0x4000_BBFF	1KB		GTIMERA5

0x4000_B400	0x4000_B7FF	1KB	GTIMERA4
0x4000_B000	0x4000_B3FF	1KB	GTIMERB3
0x4000_AC00	0x4000_AFFF	1KB	GTIMERB2
0x4000_A800	0x4000_ABFF	1KB	GTIMERB1
0x4000_A400	0x4000_A7FF	1KB	BTIMER2
0x4000_A000	0x4000_A3FF	1KB	BTIMER1
0x4000_9000	0x4000_9FFF	4KB	AHB dCache
0x4000_8000	0x4000_8FFF	4KB	AHB iCache
0x4000_1000	0x4000_7FFF	28KB	保留
0x4000_0C00	0x4000_0FFF	1KB	FDCAN 6
0x4000_0800	0x4000_0BFF	1KB	FDCAN 5
0x4000_0400	0x4000_07FF	1KB	FDCAN 2
0x4000_0000	0x4000_03FF	1KB	FDCAN 1

(1) 尽管 USART1/2 位于 APB1 区域，它们的总线时钟可以高达 AHB1 hclk。这是为了支持高达 25Mbps 的高波特率。

## 2.3 N32H7xx 存储器

### 2.3.1 介绍

N32H7xx 具有不同大小的嵌入式分散 SRAM、SIP（合封）Flash 和外部存储器接口，例如 FEMC、SDRAM 和 xSPI2。分散架构配置提供了根据应用需求划分内存资源的灵活性，以便在应用代码大小、数据大小和节能之间获得合适的性能权衡。此外，嵌入式 ROM 用作初始引导加载程序和安全引导，而嵌入式 OTP 用于非易失性系统和用户配置。

### 2.3.2 嵌入式 SRAM

N32H7xx 设备包括一个大的内部 RAM，容量高达 1484KB，分为最多十一块，分散在四个域中。

#### 位于 Cortex-M7 CPU 内核域的 TCM RAMs

位于此域的 RAM 如下：

- 高达 1MB 的指令 RAM（ITCM-RAM）

ITCM RAM 映射在地址 0x0000 0000。它只能被 Cortex-M7 CPU 内核和 MDMA 访问（即使 CPU 处于睡眠模式）。CPU 通过 ITCM 总线访问，MDMA 通过内核的 AHBS 总线访问。Cortex-M7 可以按字节、半字（16 位）、字（32 位）或双字（64 位）访问。ITCM-RAM 可以在最大 CPU 时钟频率下 0 等待状态访问。

ITCM-RAM 的大小可以以 128KB 为单位增加到最多 1MB，但会以牺牲 DTCM-RAM 和 AXI-SRAM2/3 为代价。

- 高达 1MB 的数据 RAM（DTCM-RAM）

它被分为两个 DTCM-RAM，每个都可以进行 32 位访问。这两个存储器分别连接到 Cortex-M7 的 D0TCM 和 D1TCM 端口，如图 2-2 所示，并且由于 Cortex-M7 的双发射功能，可以并行使用（用于加载/存储操作）。

DTCM-RAM 映射在地址 0x2000 0000 的 DTCM 接口上。它可以通过 Cortex-M7 的 DTCM 总线 and 通过 Cortex-M7 的 AHBS 总线由 MDMA 访问。Cortex-M7 可以以字节、半字（16 位）、字（32 位）或双字（64 位）的形式访问。

DTCM-RAM 在最大 Cortex-M7 时钟速度下可无延迟访问。Cortex-M7 和 MDMA 对 DTCM-RAM 的并发访问以及它们的优先级可以通过 Cortex-M7 本身的从属控制寄存器（CM7\_AHBSR 寄存器）进行处理。可以为 Cortex-M7 访问 DTCM-RAM 相对于 MDMA 赋予更高的优先级。

有关此寄存器的更多详细信息，请参阅 Arm Cortex-M7 处理器 - 技术参考手册。

#### 位于 AXI 总线域的 RAMs

位于 AXI 总线域的 RAM 如下：

- 128KB 的 AXI SRAM1

AXI SRAM1 映射在地址 0x2400 0000。它可以通过 AHB 跨域总线 AHB4 由仅位于 AXI 和 AHB 总线矩阵 1 域中的所有主设备访问。位于 AHB 总线矩阵 2 域中的 DAP-AP1 主设备无法访问此内存。

AXI SRAM1 通过 64 位宽的 AXI 总线连接到 AXI 总线矩阵，可以以字节（8 位）、半字（16 位）、全字

(32 位) 或双字 (64 位) 的形式进行访问。请参阅表 2-1 了解所有可能的 AXI SRAM1 访问方式。AXI SRAM 可用于读/写数据存储以及代码执行。它以与 AXI 总线矩阵相同的频率访问(最高可达 300MHz)。

#### ■ 最多 512KB 的 AXI RAM2 (与 ITCM 和 DTCM 共享)

它可以在 I/DTCM 或 AXI SRAM2 之间共享, 具有 128-Kbyte 的粒度。当用作 AXI SRAM2 时, 其访问方式与 AXI SRAM 相同, 只是它映射在地址 0x2402 0000, 与固定的 AXI SRAM1 相邻。它可以以字节 (8 位)、半字 (16 位)、全字 (32 位) 或双字 (64 位) 的形式访问。

此功能可以通过 TCM\_SZ\_CFG\_OTP 选项字节或 TCM 中的软件配置进行配置。有关更多详细信息, 请参阅 TCM 章节。

#### ■ 最多 512KB 的 AXI RAM3 (与 ITCM 和 DTCM 共享)

它可以在 I/DTCM 或 AXI SRAM3 之间共享, 粒度为 128-Kbyte。当用作 AXI SRAM3 时, 其访问方式与 AXI SRAM 相同, 但映射到地址 0x240A 0000, 与 AXI SRAM2 连续。它可以以字节 (8 位)、半字 (16 位)、全字 (32 位) 或双字 (64 位) 进行访问。

此功能可以通过 TCM\_SZ\_CFG\_OTP 选项字节或 TCM 中的软件配置进行配置。有关更多详细信息, 请参阅 TCM 章节。

### 位于 AHB 总线域 1 的 RAMs

AHB SRAM1、SRAM2、SRAM3、SRAM4 和 SRAM5 可以通过 AHB 跨域总线 AHB7 由仅位于 AXI 和 AHB 总线矩阵 1 中的所有主设备访问。它们可以按字节、半字 (16 位) 或字 (32 位) 访问。请参阅表 2-1 了解 SRAM1-5 访问方式。它们可用于读/写数据存储以及代码执行。这些存储器以 AHB 总线矩阵频率 (最高 300MHz) 访问。每个存储器都有自己的 AHB 总线, 将其连接到 AHB 总线矩阵。这使得在多个主设备同时访问时, 能够消除总线争用并保持高系统性能。

以下是 AHB SRAM 基地址:

- AHB SRAM1 的容量可达 128 K 字节, 映射在地址 0x3000 0000 处。
- AHB SRAM2 的容量可达 128 K 字节, 映射在地址 0x3002 0000 处。
- AHB SRAM3 的 32 K 字节映射到地址 0x3004 0000。
- AHB SRAM4 的 32 K 字节映射在地址 0x3004 8000。
- AHB SRAM5 的 32 K 字节映射在地址 0x3005 0000。

上述 SRAM 可以被本地 DMA (位于 AHB 总线矩阵 1 域) 用作该域中外设数据的缓冲区。在传输结束时, 可以使用 MDMA 将数据传输到 AHB 总线矩阵 1 域, 以便 Cortex-M7 进行高速处理。此外, AHB SRAM5 被分为两个存储块, 并可与 FDCAN1-8 共享, 作为其本地 RAM, 用于需要帧数据缓冲的应用中。

### 位于 AHB 总线域 2 的 RAMs

备份 SRAM 位于 AHB 总线域 2, 大多数位于 AXI 和 AHB 总线矩阵 1 的主设备可以通过 AHB 域间总线 AHB3 和 AHB8 在基地址 0x3800 0000 处访问。请参阅表 2-1 了解备份 SRAM 访问方式。它可以以字节、半字 (16 位) 或字 (32 位) 进行访问。

所有内部系统 RAM 都包括错误校正码 (ECC)。ECC 可以通过相应的 ECC 监控模块进行编程。有关更多详细信息, 请参阅 ECCMON 章节。

### 2.3.3 嵌入式 ROM

N32H7xx 具有 32KB 的嵌入式 ROM。它包含一个小型引导程序，允许芯片从其他来源（如外部 Flash）启动。

嵌入式 ROM 映射在地址 0x1FFF 0000 处。它分为两部分：安全代码和 API。安全代码只能由 Cortex-M7 访问，而 API 区域可以由 Cortex-M7 和 Cortex-M4 CPU 共同访问。

AXI ROM 通过 64 位宽的 AXI 总线连接到 AXI 总线矩阵，可以以字节（8 位）、半字（16 位）、全字（32 位）或双字（64 位）的形式访问。它以与 AXI 总线矩阵相同的频率访问（最高可达 300MHz）。

ROM 受 ECC 保护。请参考第 2.4 章。

### 2.3.4 嵌入式 OTP

N32H7xx 具有嵌入式 4KB OTP。它用于存储非易失性信息和配置。

- 制造数据：存储器修复、模拟微调、芯片 ID 等
- Boot 配置
- 关键和安全敏感信息（国家机密密钥等）
- 用户配置，例如选项字节

它不是直接映射的，而是通过 32 位 AHB6 总线间接访问，该总线连接到 AXI 总线矩阵。仅允许 32 位访问。

### 2.3.5 SIP Flash

N32H7xx 设备具有一个 SIP Flash 设备，其大小可达 4MB，如表 2-7 所示。

物理地址的前 128KB 的用途如下：

- BOOTPATCH：大小最多为 112KB，用于作为 BOOTROM API 更新的补丁。
- OB\_FLASH：大小最多为 8KB，根据应用需求由终端用户用于非易失性配置。

剩余部分用于用户应用代码。

表 2-7 SIP 闪存组织

名称	大小 (KB)	物理地址		总线地址	
		开始	结束	开始	结束
引导补丁	112	0x80000000	0x8001BFFF	0x1FF00000	0x1FF1BFFF
OB 闪存	8	0x8001C000	0x8001DFFF	0x1FFF8000	0x1FFF9FFF
保留	8	0x8001E000	0x8001FFFF	0x1FFFA000	0x1FFFBFFF
闪存主程序（用户应用）	最大值 3968	0x80020000	0x803FFFFF	0x15000000	0x153DFFFF

表 2-8 SIP Flash 主存储区寻址

闪存大小 (KB) <sup>(1)</sup>	物理地址		总线地址	
	开始	结束	开始	结束
2048	0x80020000	0x801FFFFFFF	0x15000000	0x151DFFFF



4096	0x80020000	0x803FFFFFF	0x15000000	0x153DFFFF
------	------------	-------------	------------	------------

(1) 前 128KB 始终固定用作 BOOTPATCH/OB\_FLASH。

## 2.3.6 外部存储器

除了内部存储器和存储控制器（如 USB 和 SDDMMC）之外，用户还可以通过灵活存储控制器（FEMC）、SDRAM 控制器和 xSPI 控制器扩展 N32H7xx 存储器，如表 2-9 所示。

### FEMC SRAM/PSRAM/NOR FLASH

四个外部存储器，每个 64MB，专用于 FEMC 的 SRAM/PSRAM/NOR Flash，从 0x6000 0000 开始。

### FEMC NAND 闪存

两组 FEMC NAND 存储器映射在 0xA000 0000，每组最大容量为 256MB。

### SDRAM

最多支持两个 SDRAM 设备，每个存储库最多支持 256MB。SDRAM1 的基地址为 0xC000 0000，而 SDRAM2 映射在 0xD000 0000。通过 FEMC\_CTRL 寄存器，SDRAM1 的映射可以与 FEMC SRAM/PSRAM/NOR FLASH 交换。

### xSPI 闪存

xSPI 接口是一种专门的通信接口，针对单、双或四 SPI 闪存。它可以每个实例扩展内部闪存 256MB，并可用于存储图像应用中的图像数据或包含用于执行用户应用的代码。

表 2-9 外部存储器映射

起始地址	结束地址	大小	内存分配
0xD000_0000	0xDFFF_FFFF	256MB	SDRAM2
0xCC00_0000	0xCFFF_FFFF	64MB	SDRAM1 (或重新映射 FEMC SRAM/NOR/PSRAM 存储区 4)
0xC800_0000	0xCBFF_FFFF	64MB	SDRAM1 (或重新映射 FEMC SRAM/NOR/PSRAM 存储区 3)
0xC400_0000	0xC7FF_FFFF	64MB	SDRAM1 (或重新映射 FEMC SRAM/NOR/PSRAM 存储区 2)
0xC000_0000	0xC3FF_FFFF	64MB	SDRAM1 (或重新映射 FEMC SRAM/NOR/PSRAM 存储区 1)
0xB000_0000	0xBFFF_FFFF	256MB	FEMC NAND 闪存存储器存储区 2
0xA000_0000	0xAFFF_FFFF	256MB	FEMC NAND 闪存存储器存储区 1
0x9000_0000	0x9FFF_FFFF	256MB	xSPI2
0x8000_0000	0x8FFF_FFFF	256MB	xSPI1
0x7000_0000	0x7FFF_FFFF	256MB	保留
0x6C00_0000	0x6FFF_FFFF	64MB	FEMC SRAM/NOR/PSRAM 存储区 4 (或重新映射 SDRAM1 的存储区 4)
0x6800_0000	0x6BFF_FFFF	64MB	FEMC SRAM/NOR/PSRAM 存储区 3 (或重新映射 SDRAM1 存储区 3)
0x6400_0000	0x67FF_FFFF	64MB	FEMC SRAM/NOR/PSRAM 存储区 2

起始地址	结束地址	大小	内存分配
			(或重新映射 SDRAM1 的存储区 2)
0x6000_0000	0x63FF_FFFF	64MB	FEMC SRAM/NOR/PSRAM 存储区 1 (或重新映射 SDRAM1 存储区 1)

## 2.4 ECC 监控器 (ECCMON)

### 2.4.1 概述

N32H7xx 系列配备了 RAM/ROM ECC 监控单元，该单元可实时监测 ECC 状态，在访问 RAM/ROM 过程中发生 ECC 错误时可及时通知应用程序。

### 2.4.2 主要特性

片上 SRAMs/ROM 都被 ECC 保护，其 ECC 机制基于单纠错双检错 (SECDED) 算法，支持单位错误检测、双位错误检测以及单位错误纠正功能。

- 每 32 位数据添加 ECC 校验位；
- ITCM - RAM 和 AXI - SRAM1 支持每 64 位数据添加 ECC 校验位；

若使能 ECCMON，在每次存储器读取操作或部分写入操作时都会自动执行 ECC 校验。

ECCMON 支持以下功能：

- 可编程 ECC 使能控制；
- 可旁路临时数据寄存器（仅适用于 AHB SRAMs）；
- 支持 1-bit/2-bit 错误注入；
- 生成 ECC 错误事件中断；
- 识别错误存储地址与错误数据；
- 输出 ECC 错误事件；

### 2.4.3 功能描述

#### 2.4.3.1 框图

N32H7xx 系列的每个 RAM/ROM 区域均配备有专属的 RAM/ROM ECC 控制器，该控制器主要负责以下工作：

- ECC 编码：计算 ECC 校验码并将其写入 SRAM；
- ECC 解码：读取存储器数据并对 ECC 校验码进行解码；
- 错误检测：单位错误和双位错误的检测；
- 错误纠正：对单位错误执行纠正；
- 高效部分写入操作：RAM ECC 控制器针对部分写入操作采用读 - 修改 - 写的处理方式。在循环内按字节写入数据的应用场景中，为提升处理效率，读 - 修改 - 写过程中的数据会暂时存储在 32 位缓冲区中，直至同一地址的完整数据字更新完成后，再写入 SRAM；若下一次访问为读取操作，或为不同地址的写入操作，则缓冲区中的数据会立即写回存储器，此功能可通过软件进行配置；
- 错误注入：提供单位和双位错误注入功能，用于调试和测试；

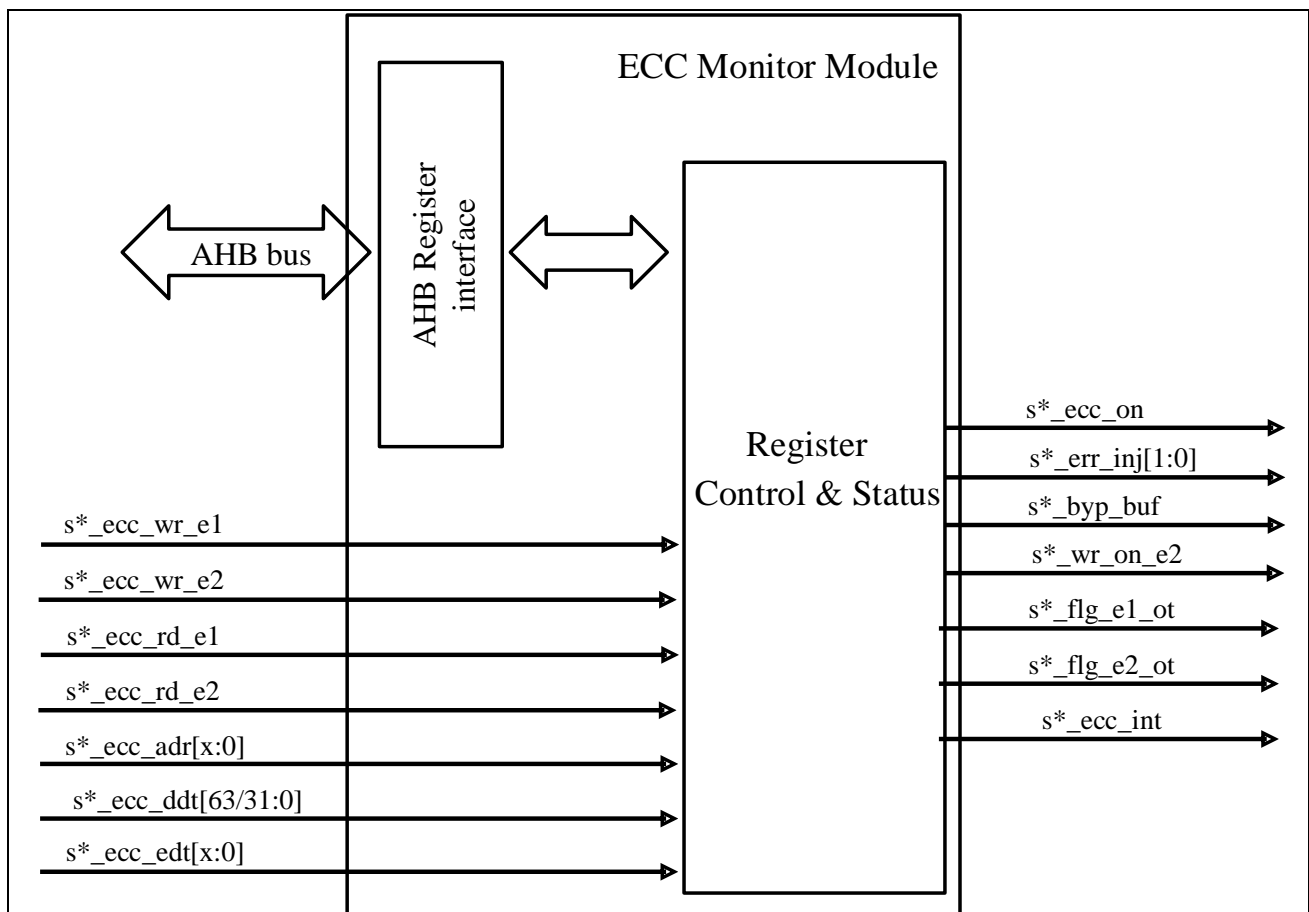
每个 RAM 域都有一个专用的 ECCMON（详见 2.4.3.2），允许从所有 RAM/ROM ECC 控制器收集 ECC 状

态，并为 CPU 提供检查 ECC 状态的机制。

图 2-3 为 ECCMON 模块的框图，ECCMON 模块从 RAM/ROM ECC 控制器收集 ECC 状态，如下所示：

- s\*\_ecc\_wr\_e1: 部分写入操作时的单位错误指示（仅适用于 RAM）；
- s\*\_ecc\_rd\_e1: 读取操作时的单位错误指示；
- s\*\_ecc\_wr\_e2: 部分写入操作时的双位错误指示（仅适用于 RAM）；
- s\*\_ecc\_rd\_e2: 读取操作时的双位错误指示；
- s\*\_ecc\_adr: 错误地址；
- s\*\_ecc\_ddt: 错误数据；
- s\*\_ecc\_edt: 错误 ECC 校验码；

图 2-3 ECCMON 模块框图



此外，ECCMON 还通过以下控制信号对 RAM/ROM ECC 控制器进行管理：

- s\*\_ecc\_on: ECC 编码与解码使能，支持软件编程配置；
- s\*\_err\_inj: 错误注入控制，用于调试和测试；
- s\*\_byp\_buf: 可选旁路 AHB RAM ECC 控制器中的临时数据缓冲区；

如果 TDRBYP 被设置为“0”（默认），在部分写入时，读-修改-写数据将临时写入 32 位缓冲区，而不是 RAM。

如果 TDRBYP 设置为“1”，则每次部分写入都会直接触发对存储器的读-修改-写操作。

- s\*\_wr\_on\_e2:当在读-修改-写中检测到 2 位 ECC 错误时覆盖数据的选项；默认，不进行覆盖。这意味着对于那个 32 位字将保持不变，不发生写操作。这只适用于 RAM；
- s\*\_flg\_e1\_ot:单位错误事件输出，内联到 TIM
- s\*\_flg\_e2\_ot:双位错误事件输出，内联到 TIM

### 2.4.3.2 ECCMON 映射

N32H7xx 有 3 个 ECCMON 单元，RAM/ROMECC 控制器的输入映射如表 2-10 所示。ECC 状态寄存器和控制寄存器在 2.4.3.3 章节中描述。

表 2-10 ECCMON 映射

ECCMON 单元	监控器编号	SRAM	索引 (n)	偏移地址
ECCMON1	1	AXI ROM 64 位数据, 8 位 ECC 校验码	1	0x000
		AXI SRAM1 64 位数据, 8 位 ECC 校验码	2	
	2	AXI SRAM2 64 位数据, 每 32 位数据有 7 位 ECC 校验码 (在 ECCMON 寄存器中有 16 位的 ECC 码)	1	0x400
		AXI SRAM3 64 位数据, 每 32 位数据有 7 位 ECC 校验码 (在 ECCMON 寄存器中有 16 位的 ECC 码)	2	
	3	ITCM SRAM 64 位数据, 8 位 ECC 校验码	1	0x800
	4	D0TCM 32 位数据, 7 位 ECC 校验码	1	0xC00
		D1TCM 32 位数据, 7 位 ECC 校验码	2	
	ECCMON2	NA	AHB SRAM1 32 位数据, 7 位 ECC 校验码	1
AHB SRAM2 32 位数据, 7 位 ECC 校验码			2	
AHB SRAM3 32 位数据, 7 位 ECC 校验码			3	
AHB SRAM4 32 位数据, 7 位 ECC 校验码			4	
AHB SRAM5 bank 1 32 位数据, 7 位 ECC 校验码			5	
AHB SRAM5 bank 2 32 位数据, 7 位 ECC 校验码			6	
ECCMON3	NA	Backup SRAM 32 位数据, 7 位 ECC 校验码	1	0x000

### 2.4.3.3 ECCMON 寄存器

ECCMON 寄存器可以通过字节、半字（16 位）或字（32 位）访问。

注意，“n”为表 2-10 中相应存储器的索引号。

#### 2.4.3.3.1 ECCMON 控制寄存器 1(ECCMON\_CTRL1)

偏移地址: 0x00

复位值: 0x01(只有 ECCMON1P1), 0x0(除了 ECCMON1P1)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		E2INTEN[5:0]						Reserved		E1INTEN[5:0]					
rw						rw									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		TDRBYP[5:0]						Reserved		ECCEN[5:0]					
rw						rw									

位域	名称	描述
31:30	Reserved	保留，必须保持复位值。
29:24	E2INTEN[5:0]	ECC 2-bit 错误中断使能（ECC 2-bit Error interrupt enable） 每一位对应一个存储器，对应关系参考 ECCMON_CTRL1.ECCEN。 0: 禁用中断 1: 使能中断
23:22	Reserved	保留，必须保持复位值。
21:16	E1INTEN[5:0]	ECC 1-bit 错误中断使能（ECC 1-bit Error interrupt enable） 每一位对应一个存储器，对应关系参考 ECCMON_CTRL1.ECCEN。 0: 禁用中断 1: 使能中断
15:14	Reserved	保留，必须保持复位值。
13:8	TDRBYP[5:0]	临时数据寄存器旁路控制（Temporary data register bypass control） 每一位对应一个存储器，对应关系参考 ECCMON_CTRL1.ECCEN。 0: 部分写入操作时，读 - 修改 - 写数据暂存至临时数据寄存器 1: 旁路临时数据寄存器，读 - 修改 - 写数据直接写回存储器 注：仅适用于 ECCMON2。
7:6	Reserved	保留，必须保持复位值。
5:0	ECCEN[5:0]	ECC 使能（ECC enable） 0: 禁用 ECC 1: 使能 ECC 除 ROM 外，其余存储器的 ECC 功能默认被禁用。 每一位对应一个存储器，对应关系参考 ECCMON_CTRL1.ECCEN。

**表 2-11 每位对应的存储器**

	ECCMON1P1	ECCMON1P2	ECCMON1P3	ECCMON1P4	ECCMON2	ECCMON3
bit 0	AXI ROM	AXI SRAM2	ITCM SRAM	D0TCM	AHB SRAM1	Backup SRAM
bit 1	AXI SRAM1	AXI SRAM3	保留	D1TCM	AHB SRAM2	保留
bit 2	保留	保留	保留	保留	AHB SRAM3	保留
bit 3	保留	保留	保留	保留	AHB SRAM4	保留
bit 4	保留	保留	保留	保留	AHB SRAM5 bank1	保留
bit 5	保留	保留	保留	保留	AHB SRAM5 bank2	保留

### 2.4.3.3.2 ECCMON 控制寄存器 2(ECCMON\_CTRL2)

偏移地址: 0x04

复位值: 0x0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			E2FOEN[5:0]					Reserved			E1FOEN[5:0]				
rw					rw										
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved										WROE2EN[5:0]					
rw															

位域	名称	描述
31:30	Reserved	保留, 必须保持复位值。
29:24	E2FOEN[5:0]	ECC 2 位错误输出使能位 (ECC 2-bit error flag output enable) 每一位对应一个存储器, 对应关系参考 ECCMON_CTRL1.ECCEN。 0: 禁用输出 1: (E2DCIFR   E2DCIFW)输出到 Sn_FLG_E2_OT 口 <i>注: 使能后, 输出信号将保持高电平有效, 直至所有 E2DCIFR 和 E2DCIFW 位清零。</i>
23:22	Reserved	保留, 必须保持复位值。
21:16	E1FOEN[5:0]	ECC 1 位错误输出使能位 (ECC 1bit error flag output enable) 每一位对应一个存储器, 对应关系参考 ECCMON_CTRL1.ECCEN。 0: 禁用输出 1: (E1DCIFR   E1DCIFW) 输出到 Sn_FLG_E1_OT 口 0: Disabled. <i>注: 使能后, 输出信号将保持高电平有效, 直至所有 E1DCIFR 和 E1DCIFW 位清零。</i>

15:6	Reserved	保留，必须保持复位值。
5:0	WROE2EN[5:0]	ECC 2 位错误时部分写入使能（Partial write on ECC 2-bit enable） 每一位对应一个存储器，对应关系参考 ECCMON_CTRL1.ECCEN。 1: 检测到 ECC 双位错误时，允许部分写入操作执行读 - 修改 - 写 0: 检测到 ECC 双位错误时，禁止部分写入操作覆盖数据

### 2.4.3.3 ECCMON 错误注入寄存器 (ECCMON\_EINJ)

偏移地址: 0x08

复位值: 0x0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				ECSEL6[1:0]		ECSEL5[1:0]		ECSEL4[1:0]		ECSEL3[1:0]		ECSEL2[1:0]		ECSEL1[1:0]	
				rw		rw		rw		rw		rw		rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				ERICTR6[1:0]		ERICTR5[1:0]		ERICTR4[1:0]		ERICTR3[1:0]		ERICTR2[1:0]		ERICTR1[1:0]	
				rw		rw		rw		rw		rw		rw	

位域	名称	描述
31:28	Reserved	保留，必须保持复位值。
27:26	ECSEL6[1:0]	ECC 错误捕获选择 6（ECC Error capture selection 6）- 用于 AHB SRAM5 bank2 00: 捕获 1 位或 2 位 ECC 错误事件 01: 只捕获 1 位 ECC 错误事件 10: 只捕获 2 位 ECC 错误事件 11: 不捕获 <i>注意：从一种模式切换到另一种模式时，对应的 EER，EEW，E1EAD 和 E2EAD 将被清除。只适用于 ECCMON2。</i>
25:24	ECSEL5[1:0]	ECC 错误捕获选择 5（ECC Error capture selection 5）- 用于 AHB SRAM5 bank1 00: 捕获 1 位或 2 位 ECC 错误事件 01: 只捕获 1 位 ECC 错误事件 10: 只捕获 2 位 ECC 错误事件 11: 不捕获 <i>注意：从一种模式切换到另一种模式时，对应的 EER，EEW，E1EAD 和 E2EAD 将被清除。只适用于 ECCMON2。</i>
23:22	ECSEL4[1:0]	ECC 错误捕获选择 4（ECC Error capture selection 4）- 用于 AHB SRAM4 00: 捕获 1 位或 2 位 ECC 错误事件 01: 只捕获 1 位 ECC 错误事件 10: 只捕获 2 位 ECC 错误事件 11: 不捕获



		注意：从一种模式切换到另一种模式时，对应的EER，EEW，E1EAD和E2EAD将被清除。只适用于ECCMON2。
21:20	ECSEL3[1:0]	ECC 错误捕获选择 3 (ECC Error capture selection 3) - 用于 AHB SRAM3 00: 捕获 1 位或 2 位 ECC 错误事件 01: 只捕获 1 位 ECC 错误事件 10: 只捕获 2 位 ECC 错误事件 11: 不捕获 注意：从一种模式切换到另一种模式时，对应的EER，EEW，E1EAD和E2EAD将被清除。只适用于ECCMON2。
19:18	ECSEL2[1:0]	ECC 错误捕获选择 2 (ECC Error capture selection 2) 00: 捕获 1 位或 2 位 ECC 错误事件 01: 只捕获 1 位 ECC 错误事件 10: 只捕获 2 位 ECC 错误事件 11: 不捕获 注意：从一种模式切换到另一种模式时，对应的EER，EEW，E1EAD和E2EAD将被清除。 每个ECCMON对应的存储器如下： ECCMONIP1: AXI SRAM1 ECCMONIP2: AXI SRAM3 ECCMONIP4: DITCM ECCMON2: AHB SRAM2
17:16	ECSEL1[1:0]	ECC 错误捕获选择 1 (ECC Error capture selection 1) 00: 捕获 1 位或 2 位 ECC 错误事件 01: 只捕获 1 位 ECC 错误事件 10: 只捕获 2 位 ECC 错误事件 11: 不捕获 注意：从一种模式切换到另一种模式时，对应的EER，EEW，E1EAD和E2EAD将被清除。 每个ECCMON对应的存储器如下： ECCMONIP1: AXI ROM ECCMONIP2: AXI SRAM2 ECCMONIP3: ITCM ECCMONIP4: D0TCM ECCMON2: AHB SRAM1 ECCMON3: Backup SRAM
15:12	Reserved	保留，必须保持复位值。
11:10	ERICTR6[1:0]	错误注入控制 6 (Error injection control 6) -用于 AHB SRAM5 bank2 00: 无错误注入 01 或 10: 向 32 位存储器输出注入 1 位错误 11: 向 32 位存储器输出注入 2 位错误 注意：只适用于ECCMON2。
9:8	ERICTR5[1:0]	错误注入控制 5 (Error injection control 5) -用于 AHB SRAM5 bank12 00: 无错误注入

		01 或 10: 向 32 位存储器输出注入 1 位错误 11: 向 32 位存储器输出注入 2 位错误 <i>注意: 只适用于 ECCMON2。</i>
7:6	ERICTR4[1:0]	错误注入控制 4 (Error injection control 4) -用于 AHB SRAM4 00: 无错误注入 01 或 10: 向 32 位存储器输出注入 1 位错误 11: 向 32 位存储器输出注入 2 位错误 <i>注意: 只适用于 ECCMON2。</i>
5:4	ERICTR3[1:0]	错误注入控制 3 (Error injection control 3) -用于 AHB SRAM3 00: 无错误注入 01 或 10: 向 32 位存储器输出注入 1 位错误 11: 向 32 位存储器输出注入 2 位错误 <i>注意: 只适用于 ECCMON2。</i>
3:2	ERICTR2[1:0]	错误注入控制 2 (Error injection control 2) 00: 无错误注入 01 或 10: 向 32 位存储器输出注入 1 位错误 11: 向 32 位存储器输出注入 2 位错误 每个 ECCMON 对应的存储器如下: ECCMON1P1: AXI SRAM1 ECCMON1P2: AXI SRAM3 ECCMON1P4: D1TCM ECCMON2: AHB SRAM2
1:0	ERICTR1[1:0]	错误注入控制 1 (Error injection control 1) 00: 无错误注入 01 或 10: 向 32 位存储器输出注入 1 位错误 11: 向 32 位存储器输出注入 2 位错误 每个 ECCMON 对应的存储器如下: ECCMON1P1: AXI ROM ECCMON1P2: AXI SRAM2 ECCMON1P3: ITCM ECCMON1P4: D0TCM ECCMON2: AHB SRAM1 ECCMON3: Backup SRAM

#### 2.4.3.3.4 ECCMON 中断标志影子寄存器 (ECCMON\_INTFS)

偏移地址: 0x0C

复位值: 0x0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved										E2DCIF[5:0]					
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved										E1DCIF[5:0]					

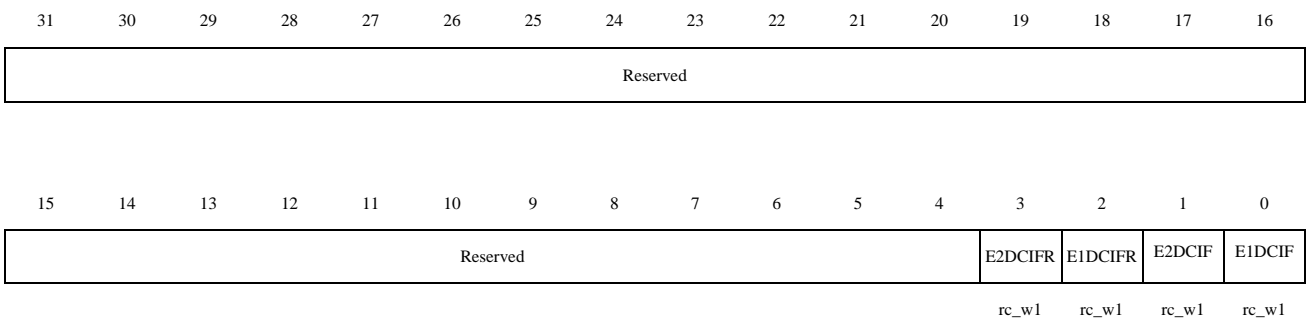
r

位域	名称	描述
31:22	Reserved	保留，必须保持复位值。
21:16	E2DCIF[5:0]	ECC 2 位错误中断挂起标志（ECC 2-bit error interrupt pending flag） 每一位对应一个存储器，对应关系参考 ECCMON_CTRL1.ECCEN。 此位是 ECC 2 位错误检测中断挂起标志阴影寄存器。当 E2DCIFR 或 E2DCIFW 的值为 1 时，该值为 1。
15:6	Reserved	保留，必须保持复位值。
5:0	E1DCIF[5:0]	ECC 1 位错误中断挂起标志（ECC 1-bit error interrupt pending flag） 每一位对应一个存储器，对应关系参考 ECCMON_CTRL1.ECCEN。 此位是 ECC 1 位错误检测中断挂起标志阴影寄存器。当 E1DCIFR 或 E1DCIFW 的值为 1 时，该值为 1。

#### 2.4.3.3.5 ECCMON 存储器 x 中断标志寄存器 (ECCMON\_INTFx, x=1~n)

偏移地址:  $(5x-1) * 4, x=1\sim n$

复位值: 0x0



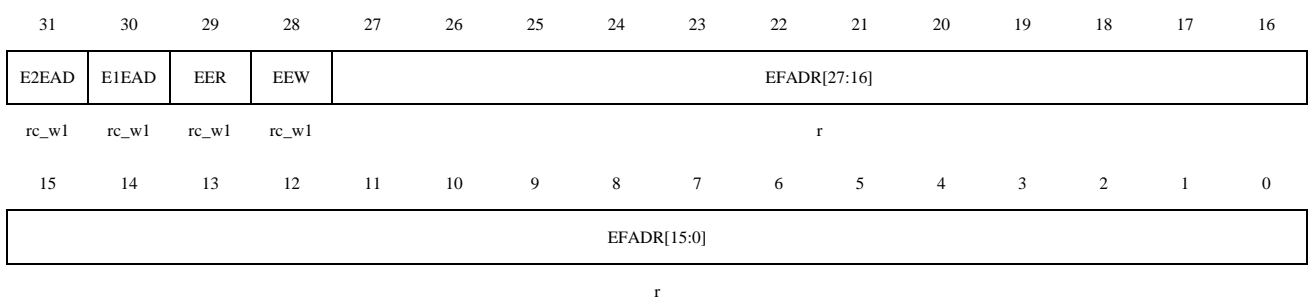
位域	名称	描述
31:4	Reserved	保留，必须保持复位值。
3	E2DCIFR	读访问时 ECC 2 位错误中断标志（ECC 2-bit error interrupt pending flag on read access） 0: 未检测到错误 1: 检测到错误 写 1 清零该标志位。当该位置 1 且对应的中断使能位（E2INTEN）已使能时，将产生中断。
2	E1DCIFR	读访问时 ECC 1 位错误中断标志（ECC 1-bit error interrupt pending flag on read access） 0: 未检测到错误 1: 检测到错误

		写 1 清零该标志位。当该位置 1 且对应的中断使能位（E1INTEN）已使能时，将产生中断。
1	E2DCIFW	部分写访问时 ECC 2 位错误中断标志（ECC 2-bit error interrupt pending flag on partial write access） 0: 未检测到错误 1: 检测到错误 写 1 清零该标志位。当该位置 1 且对应的中断使能位（E2INTEN）已使能时，将产生中断。
0	E1DCIFW	部分写访问时 ECC 1 位错误中断标志（ECC 1-bit error interrupt pending flag on partial write access） 0: 未检测到错误 1: 检测到错误 写 1 清零该标志位。当该位置 1 且对应的中断使能位（E1INTEN）已使能时，将产生中断。

#### 2.4.3.3.6 ECCMON 存储器 x ECC 失败地址寄存器 (ECCMON\_FEADR<sub>x</sub>, x=1~n)

偏移地址: (5x) \*4, x=1~n

复位值: 0x0



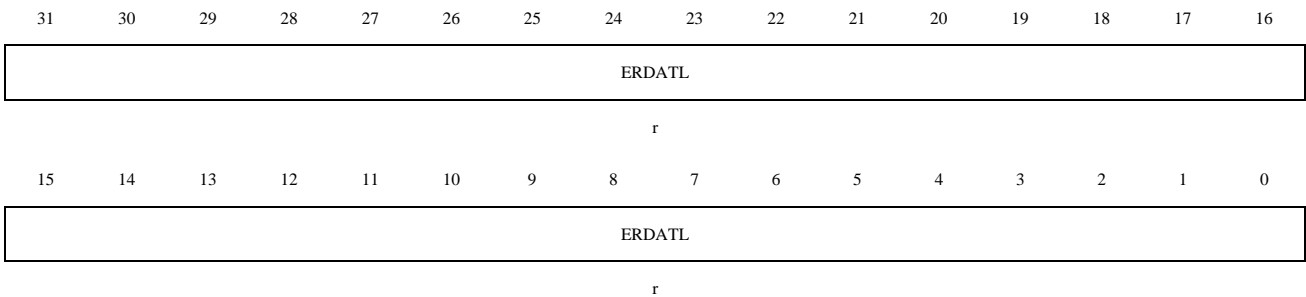
位域	名称	描述
31	E2EAD	检测到 ECC 2 位错误事件和错误地址标志（ECC 2-bit error event and failing address detected） 有关 ECC 错误事件捕获规则，请参阅 ECSEL <sub>x</sub> 寄存器。该位被硬件设置为“1”，表示检测到 ECC 2 位错误事件及其相关的故障地址，数据和 ECC 码分别被捕获到 EFADR、ERDAT 和 ERCOD 寄存器中。 <i>注：写“1”清除该位，同时清除 EER 和 EEW 设置。如果改变了 ECSEL<sub>x</sub> 值，该位也将被清除。</i>
30	E1EAD	检测到 ECC 1 位错误事件和错误地址标志（ECC 1-bit error event and failing address detected） 有关 ECC 错误事件捕获规则，请参阅 ECSEL <sub>x</sub> 寄存器。该位被硬件设置为“1”，表示检测到 ECC 1 位错误事件及其相关的故障地址，数据和 ECC 码分别被捕获到 EFADR、ERDAT 和 ERCOD 寄存器中。 <i>注：写“1”清除该位，同时清除 EER 和 EEW 设置。如果改变了 ECSEL<sub>x</sub> 值，该位也将被清除。</i>

29	EER	<p>读访问时有 ECC 错误事件 (ECC error event in read)</p> <p>这位与 E1EAD 和 E2EAD 一起工作。如果捕获到读访问时产生 Error 事件则硬件将此位设置为“1”。</p> <p><i>注意：写“1”清除该位，同时清除 E1EAD 和 E2EAD，如果它们被设置。如果改变了 ECSELx 值，该位也将被清除。</i></p>
28	EEW	<p>部分写访问时有 ECC 错误事件 (ECC error event in partial write)</p> <p>这位与 E1EAD 和 E2EAD 一起工作。如果捕获到部分写访问时产生 Error 事件则硬件将此位设置为“1”。</p> <p><i>注意：写“1”清除该位，同时清除 E1EAD 和 E2EAD，如果它们被设置。如果改变了 ECSELx 值，该位也将被清除。</i></p>
27:0	EFADR[27:0]	<p>ECC 失败事件地址 (ECC failing event address)</p> <p>此寄存器用于存储 ECC 失败事件地址。它是只读的。仅当 E1EAD 或 E2EAD 设置为“1”时有效。这个寄存器将被锁定，直到 E1EAD 和 E2EAD 都被清除。</p> <p><i>注意，这个地址是存储器的本地地址，而不是总线地址。</i></p> <p><i>对于 AXI SRAM2 (64 位):</i>                  失败地址={EFADR [27:0],3'h0}+ AXI_SRAM2_base (0x24020000)。  <i>对于 AHB SRAM3 (32 位):</i>                  失败地址={EFADR [27:0],2'h0}+ AHB_SRAM2_base (0x300A0000)。</p>

#### 2.4.3.3.7 ECCMON 存储器 x ECC 失败事件数据低位寄存器 (ECCMON\_FEDATLx, x=1~n)

偏移地址:  $(5x+1) * 4, x=1\sim n$

复位值: 0x0

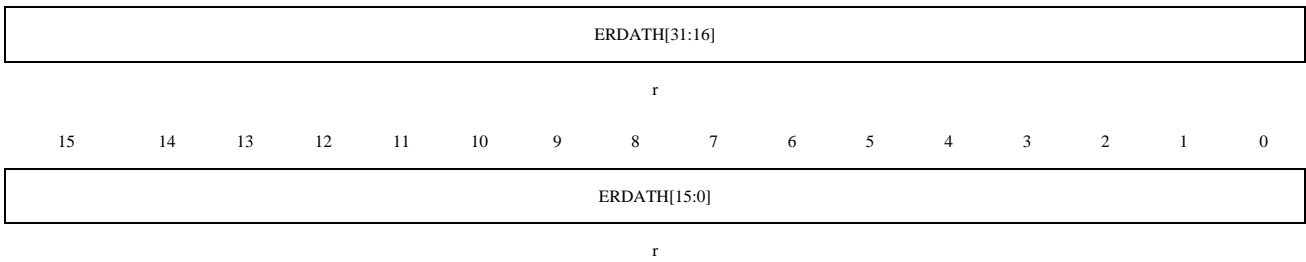


位域	名称	描述
31:0	ERDATL	<p>ECC 错误数据低位 (ECC error data low)</p> <p>当捕获 ECC 错误事件时，该数据寄存器用于存储低 32 位错误数据。仅当 E1EAD 或 E2EAD 值为“1”时有效。这个寄存器将被锁定，直到 E1EAD 和 E2EAD 都被清除。</p>

#### 2.4.3.3.8 ECCMON 存储器 x ECC 失败事件数据高位寄存器 (ECCMON\_FEDATHx, x=1~n)

偏移地址:  $(5x+2) * 4, x=1\sim n$



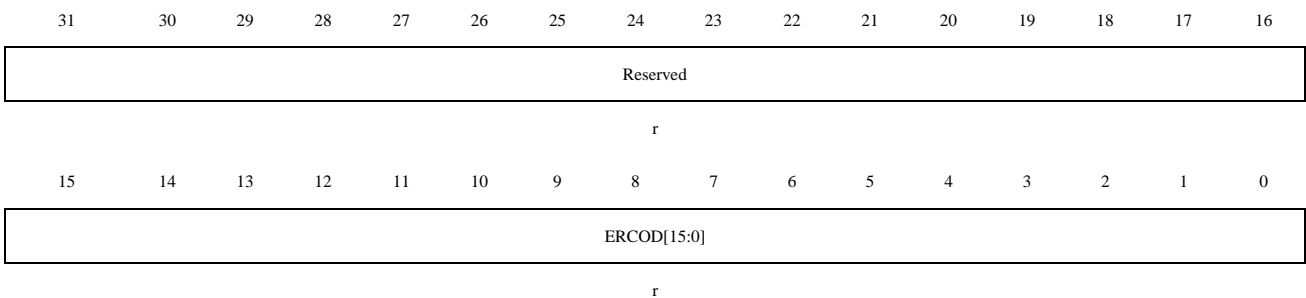


位域	名称	描述
31:0	ERDATH	ECC 错误数据高位（ECC error data high） 当捕获 ECC 错误事件时，该数据寄存器用于存储低 32 位错误数据。仅当 E1EAD 或 E2EAD 值为“1”时有效。这个寄存器将被锁定，直到 E1EAD 和 E2EAD 都被清除。

#### 2.4.3.3.9 ECCMON 存储器 x ECC 失败事件 ECC 码寄存器 (ECCMON\_FECODx, x=1~n)

偏移地址:  $(5x+3) * 4, x=1\sim n$

复位值: 0x0



位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	ERCOD[15:0]	ECC 错误码（ECC error code） 此寄存器用于在捕获 ECC 错误事件时存储 ECC 码。仅当 E1EAD 或 E2EAD 值为“1”时有效。 <i>注意：这个寄存器将被锁定，直到 E1EAD 和 E2EAD 都被清除。</i> 对于 AXI ROM, AXI SRAM1/ITCM SRAM, 8 位有效。 对于 AXI SRAM 2 和 AXI SRAM 3, 16 位有效, ECC 码排列如下: <i>{1'b0, upper_32bit_ecc_code, 1'b0, lower_32bit_ecc_code}</i> 对于其他存储器, 7 位有效。

## 2.5 紧耦合存储控制器(TCMC)

### 2.5.1 介绍

紧耦合存储器 (TCM) 是 ARM 的一种特殊缓存单元设计, 用于减少传统缓存的不确定性。传统缓存在请求包命中缓存时可以快速提供数据或指令, 但在未命中缓存时需要更多的读取时间。这使得对某些指令或数据的访问时间变得不可预测, 主要取决于替换策略和缓存大小。TCM 用于解决这个问题, 使对某些信息的访问更加可预测, 并加速特定应用程序。用户可以将特定功能的指令或数据放入 TCM 中, 这些指令/数据将永远不会被替换。ARM 建议用户将依赖时间可预测性的指令/数据放入 TCM, 例如指令处理, 图像处理程序和汽车响应指令。

ARM Cortex-CM7®(CM7) 提供两种类型的 TCM(ITCM 和 DTCM)以及三种 TCM 接口(ITCM、D0TCM、D1TCM)。指令 TCM (ITCM) 和数据 TCM (DTCM) 专用于存储不同类型的数据。

在使用外部 TCM 时, 用户只需将 SRAM 连接到 TCM 接口, 并相应地配置 CM7 内核以启用 CM7 的 TCM 功能。在 CM7 读取指令和数据以执行之前, 需要将指令和数据加载到 TCM SRAM 中。

在此芯片中, 我们使用外部 TCM, 该 TCM 控制器在 CM7 TCM 接口和 SRAM 存储单元之间进行桥接。SRAM 的容量为 1024KB, 可以以 128KB 为粒度配置为 ITCM 或 DTCM, 其余的内存空间将分配给两个 AXI SRAM2/3。TCM 控制器还支持 ECC 功能以保护数据。作为 TCM 的 SRAM 存储单元将以 CM7 CPU 时钟运行, 其余的 SRAM 存储单元 (如果有) 将作为普通的 AXI SRAM 使用, 并在 AXI 时钟下运行。

### 2.5.2 主要特点

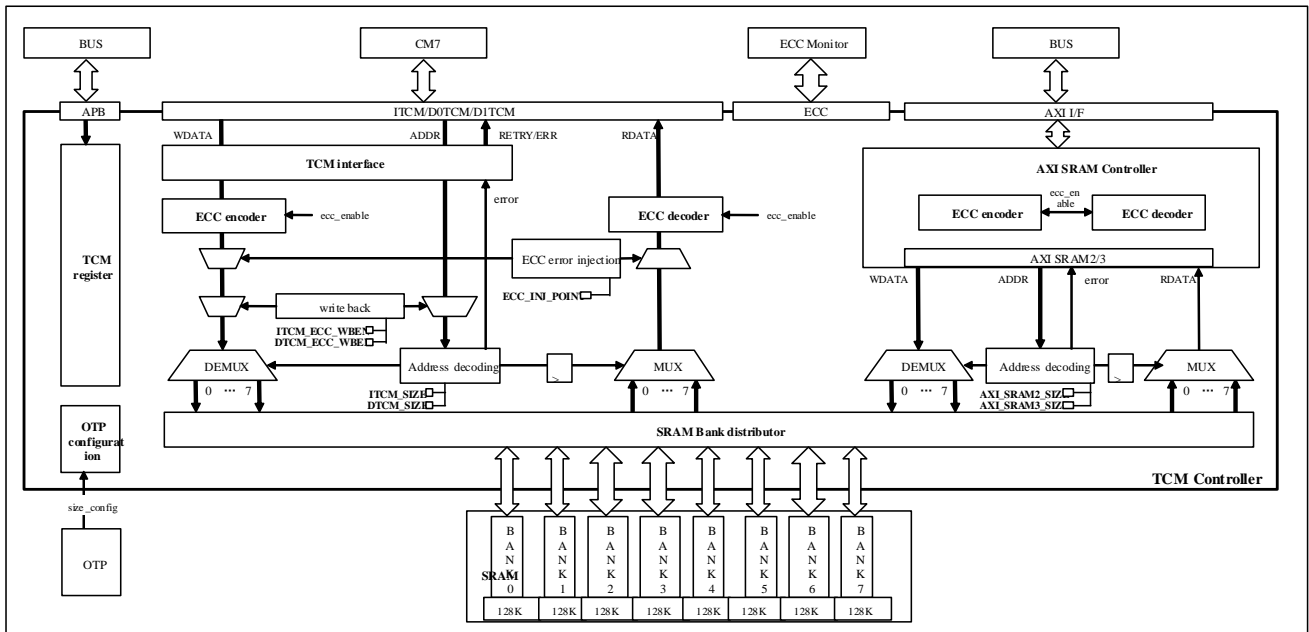
TCMC 支持的主要功能如下:

- 高达 1024KB TCM SRAM
- 接口: 64 位 I-TCM, 2x32 位 D-TCM, 64 位 AXI
- TCM 可以配置为 ITCM、DTCM 或 AXI SRAM2/3, 大小可以由用户以 128 KB 的颗粒度进行配置。
- 最大访问速度等于 CPU 运行时钟, 最高可达 600MHz
- 支持字节/半字/字的读写
- 支持 ECC (错误校正码)

### 2.5.3 框图

TCM 控制器的框图如下所示：

图 2-4 TCM 控制器框图



TCM 寄存器用于配置 TCM 大小（在定义 TCM 大小后，AXI SRAM2/3 的大小将自动计算）。在系统启动时，可以通过 OTP 来配置。用户还可以通过 APB 接口使用 TCM 寄存器配置与 ECC 相关的功能（回写、错误注入）。

ITCM/D0TCM/D1TCM 接口用于访问 TCM。它们直接连接到 CM7，因此 CM7 可以快速访问 TCM 中的数据。TCM 控制器实现了 ECC 编码器/解码器以支持 ECC 功能。ECC 配置通过 ECC 监视器执行。

除了 TCM 控制器外，它还实例化了一个特殊的 AXI SRAM 控制器来管理对 AXI SRAM2 和 SRAM3 的访问。该控制器还支持带有嵌入式 ECC 编码器/解码器的 ECC 功能。有关 ECC 的更多详细信息，请参见 ECC 监视器章节。

在配置 TCM 大小后，每个 ITCM/D0TCM/D1TCM/AXI SRAM2/AXI SRAM3 将被分配到特定且唯一的 SRAM 存储单元以进行访问。这是由 SRAM 存储单元分配器逻辑块完成的。详见表 2-12 中关于此分配的详细信息。



## 2.5.4 功能描述

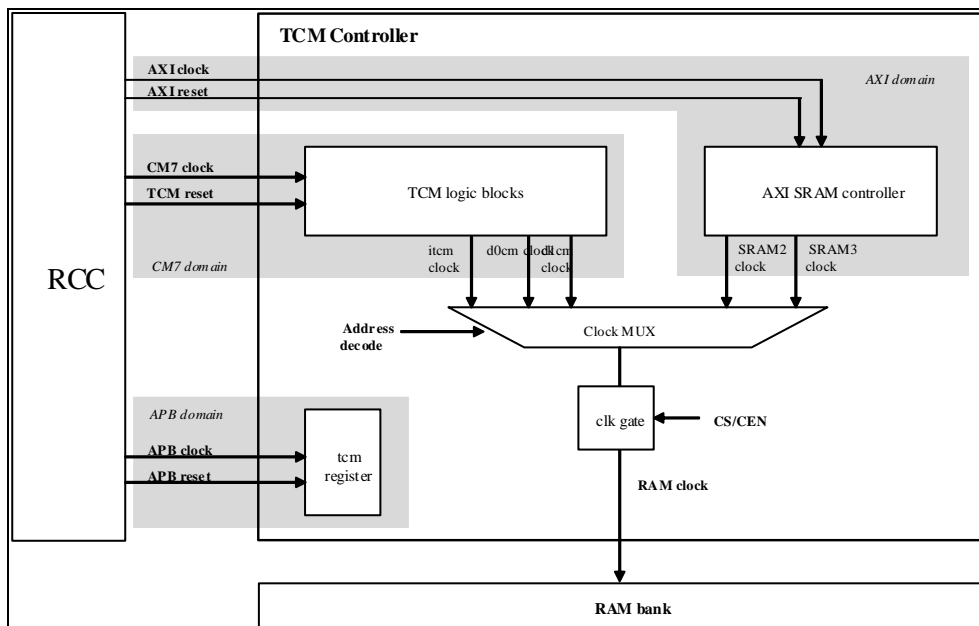
## 2.5.5 时钟和复位

有 3 个时钟域：

1. CM7 域：用于 TCM 访问。最大时钟频率为 600MHz。
2. AXI 总线域：用于 AXI SRAM2/3 访问。最大时钟频率为 300MHz。
3. APB 总线域：用于 APB 寄存器配置。最大时钟频率为 150MHz。

图 2-5 显示了 TCM 控制器的时钟/复位域结构。

图 2-5 时钟和复位域



## 2.5.6 大小配置

ITCM 和 DTCM 的大小可以通过在 TCM 寄存器中设置不同的值来更改。共有 1024 KB 的 SRAM 空间可供分配。对于 DTCM，D0TCM 和 D1TCM 的大小相同，均为 DTCM 大小的一半。因此，如果 DTCM 为 128 KB，D0TCM 和 D1TCM 将各占用 64 KB。ITCM 和 DTCM 大小的总和不应超过 1024 KB。

在根据需求配置 ITCM 和 DTCM 大小后，TCM 控制器使用以下公式计算 AXI SRAM 2/3 的大小：

- ◆ (ITCM 大小 + DTCM 大小) ≤ 512KB:
  - AXI SRAM 3 大小 = 512KB - (ITCM 大小 + DTCM 大小)
  - AXI SRAM 2 大小 = 512KB
- ◆ (ITCM 大小 + DTCM 大小) > 512KB:
  - AXI SRAM 3 大小 = 0 KB
  - AXI SRAM 2 大小 = 1024KB - (ITCM 大小 + DTCM 大小)

SRAM 存储块按以下顺序分布：ITCM，DTCM，AXI-SRAM3，AXI-SRAM2。

*注意：此顺序与系统内存映射的顺序不同。*

大小配置的详细信息显示在下表中。

表 2-12 TCM 大小配置映射

ITCMS 位设置	DTCMS 位设置	ITCM 大小	DTCM 大小	AXI SRAM3 大小	AXI SRAM2 大小	SRAM 存储器分布							
						块 0	块 1	块 2	块 3	块 4	块 5	块 6	块 7
0000	0000	0 KB	0 KB	512 KB	512 KB	R3	R3	R3	R3	R2	R2	R2	R2
0001	0000	128 KB	0 KB	384 KB	512 KB	I	R3	R3	R3	R2	R2	R2	R2
0010	0000	256 KB	0 KB	256 KB	512 KB	I	I	R3	R3	R2	R2	R2	R2
0011	0000	384 KB	0 KB	128 KB	512 KB	I	I	I	R3	R2	R2	R2	R2
0100	0000	512 KB	0 KB	0 KB	512 KB	I	I	I	I	R2	R2	R2	R2
0101	0000	640 KB	0 KB	0 KB	384 KB	I	I	I	I	I	R2	R2	R2
0110	0000	768 KB	0 KB	0 KB	256 KB	I	I	I	I	I	I	R2	R2
0111	0000	896 KB	0 KB	0 KB	128 KB	I	I	I	I	I	I	I	R2
1000	0000	1024 KB	0 KB	0 KB	0 KB	I	I	I	I	I	I	I	I
0000	0001	0 KB	128 KB	384 KB	512 KB	D	R3	R3	R3	R2	R2	R2	R2
0001	0001	128 KB	128 KB	256 KB	512 KB	I	D	R3	R3	R2	R2	R2	R2
0010	0001	256 KB	128 KB	128 KB	512 KB	I	I	D	R3	R2	R2	R2	R2
0011	0001	384 KB	128 KB	0 KB	512 KB	I	I	I	D	R2	R2	R2	R2
0100	0001	512 KB	128 KB	0 KB	384 KB	I	I	I	I	D	R2	R2	R2

0101	0001	640 KB	128 KB	0 KB	256 KB	I	I	I	I	I	D	R2	R2
0110	0001	768 KB	128 KB	0 KB	128 KB	I	I	I	I	I	I	D	R2
0111	0001	896 KB	128 KB	0 KB	0 KB	I	I	I	I	I	I	I	D
0000	0010	0 KB	256 KB	256 KB	512 KB	D	D	R3	R3	R2	R2	R2	R2
0001	0010	128 KB	256 KB	128 KB	512 KB	I	D	D	R3	R2	R2	R2	R2
0010	0010	256 KB	256 KB	0 KB	512 KB	I	I	D	D	R2	R2	R2	R2
0011	0010	384 KB	256 KB	0 KB	384 KB	I	I	I	D	D	R2	R2	R2
0100	0010	512 KB	256 KB	0 KB	256 KB	I	I	I	I	D	D	R2	R2
0101	0010	640 KB	256 KB	0 KB	128 KB	I	I	I	I	I	D	D	R2
0110	0010	768 KB	256 KB	0 KB	0 KB	I	I	I	I	I	I	D	D
0000	0011	0 KB	384 KB	128 KB	512 KB	D	D	D	R3	R2	R2	R2	R2
0001	0011	128 KB	384 KB	0 KB	512 KB	I	D	D	D	R2	R2	R2	R2
0010	0011	256 KB	384 KB	0 KB	384 KB	I	I	D	D	D	R2	R2	R2
0011	0011	384 KB	384 KB	0 KB	256 KB	I	I	I	D	D	D	R2	R2
0100	0011	512 KB	384 KB	0 KB	128 KB	I	I	I	I	D	D	D	R2
0101	0011	640 KB	384 KB	0 KB	0 KB	I	I	I	I	I	D	D	D
0000	0100	0 KB	512 KB	0 KB	512 KB	D	D	D	D	R2	R2	R2	R2
0001	0100	128 KB	512 KB	0 KB	384 KB	I	D	D	D	D	R2	R2	R2
0010	0100	256 KB	512 KB	0 KB	256 KB	I	I	D	D	D	D	R2	R2
0011	0100	384 KB	512 KB	0 KB	128 KB	I	I	I	D	D	D	D	R2
0100	0100	512 KB	512 KB	0 KB	0 KB	I	I	I	I	D	D	D	D
0000	0101	0 KB	640 KB	0 KB	384 KB	D	D	D	D	D	R2	R2	R2
0001	0101	128 KB	640 KB	0 KB	256 KB	I	D	D	D	D	D	R2	R2
0010	0101	256 KB	640 KB	0 KB	128 KB	I	I	D	D	D	D	D	R2
0011	0101	384 KB	640 KB	0 KB	0 KB	I	I	I	D	D	D	D	D
0000	0110	0 KB	768 KB	0 KB	256 KB	D	D	D	D	D	D	R2	R2
0001	0110	128 KB	768 KB	0 KB	128 KB	I	D	D	D	D	D	D	R2
0010	0110	256 KB	768 KB	0 KB	0 KB	I	I	D	D	D	D	D	D
0000	0111	0 KB	896 KB	0 KB	128 KB	D	D	D	D	D	D	D	R2
0001	0111	128 KB	896 KB	0 KB	0 KB	I	D	D	D	D	D	D	D
0000	1000	0 KB	1024 KB	0 KB	0 KB	D	D	D	D	D	D	D	D

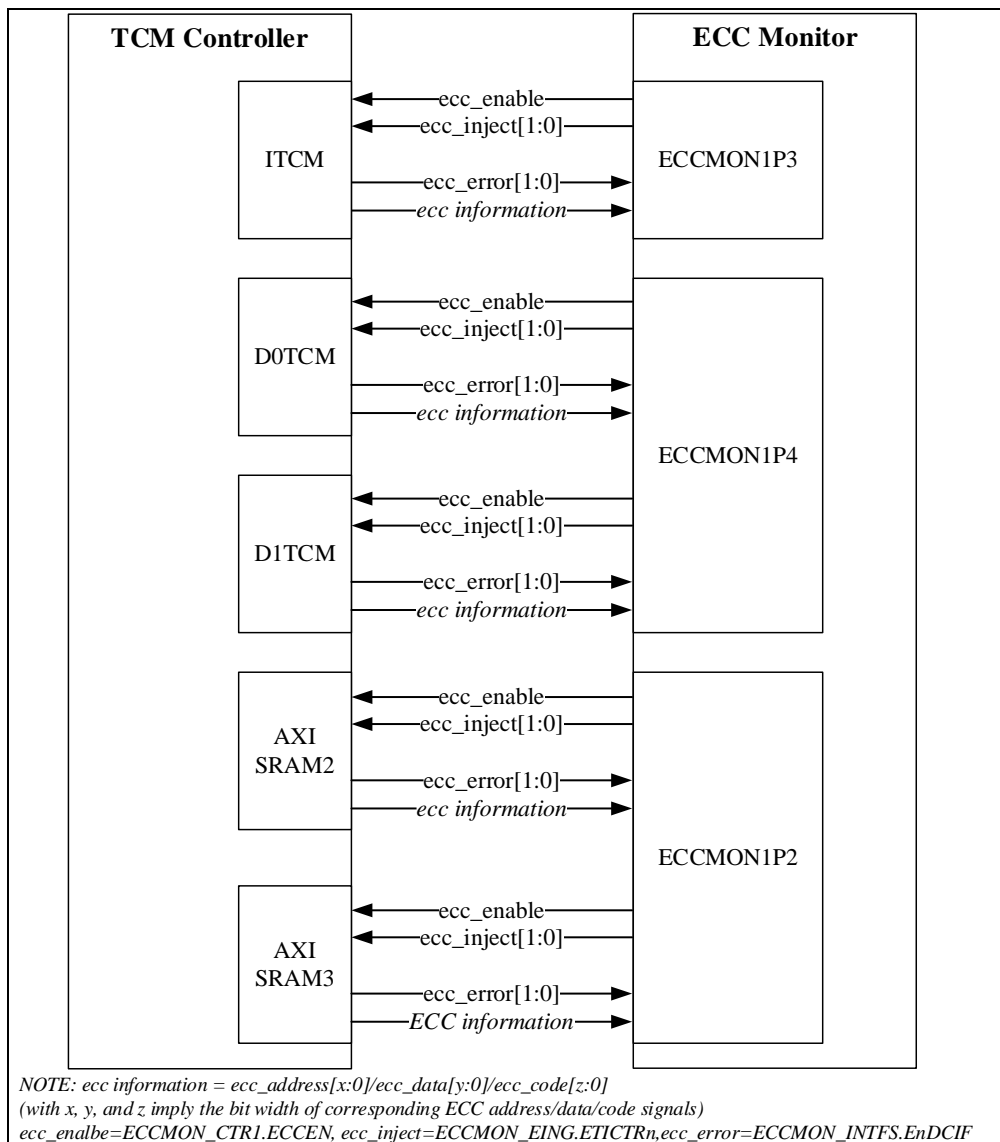
I – ITCM, D – DTCM, R2 – AXI SRAM2, R3 – AXI SRAM3

请参阅第 2.5.9 章编程指南以了解大小配置流程的更多详细信息。

## 2.5.7 ECC 功能

TCM 控制器支持 TCM 或 AXI SRAM2/3 访问的 ECC。此功能由 ECC 监视器启用，并向该模块提供 ECC 信息。用户可以通过 ECC 监视器注入错误位进行 ECC 测试。下图显示了 TCM 控制器与 ECC 监视器之间的连接。

图 2-6 TCM 控制器和 ECC 监视器连接

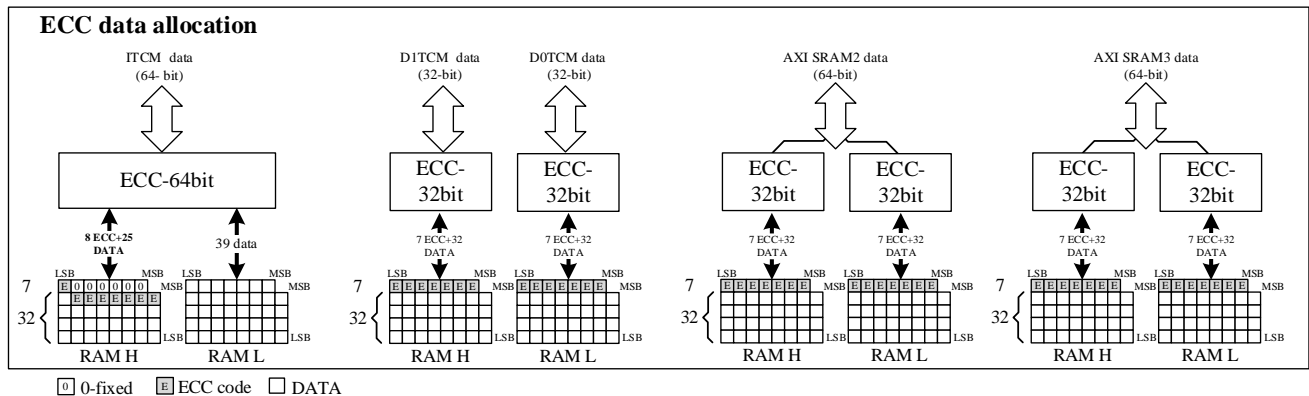


TCM 控制器使用的是纯组合逻辑的 ECC 编码器和解码器，具备单比特错误校正和双比特错误检测（SECDED）功能，并带有错误注入功能。ECC 功能的使能信号来自 ECC 监控器（ECCMON）。如果对应接口的 ECC 功能被启用（仅适用于 TCM），程序将仅以整个字为单位进行操作（所有字节通道均有效）。当启用 ECC 时，用户需要启用 CM7 的 RMW 功能。当发生 ECC 错误时，TCM 控制器会将 ECC 错误类型、地址、数据和对应的 ECC 码输出到 ECC 监控器。同时，它还会向 CM7 返回 RETRY 信号，使 CM7 能够感知到错误的读取数据，并决定丢弃该数据或尝试发起另一次读取。ITCM、D0TCM/D1TCM 和 AXI SRAM2/3

具有专用的 ECC 编码/解码逻辑。

AXI 接口是 64 位总线，但它们以两个 32 位数据的形式存储在 SRAM 中。每个 32 位部分支持 7 位 ECC 码。AXI ECC 码由 AXI 接口计算，并以  $2 \times (7 \text{ ECC} + 32 \text{ 数据})$  位的格式存储在 SRAM 中。D0TCM 和 D1TCM 数据以 32 位存储，每个都有 7 位 ECC。然而，ITCM 也是 64 位数据，但它仅使用 8 位 ECC 码进行编码。ECC 编码数据的数据结构如图 2-7 所示。

图 2-7 ECC 数据分配



当 ECC 被禁用 (ECCMON\_CTRL1.ECCEN=0) 时，SRAM 的 ECC 部分将不会被触及，用户无法访问该区域。当启用 ECC 功能 (ECCMON\_CTRL1.ECCEN=1) 时，在读取数据之前需要重新编程数据，否则，读取未受 ECC 保护的旧数据可能会导致获取错误数据或触发意外的 ECC 错误。

*注意-1: 当启用 ECC 功能时，TCM 控制器始终将数据视为完整字 (所有字节通道均有效)，无论来自 CM7 访问的数据选通信号信息如何。*

*注意-2: 此控制器不支持具有 3 个或更多错误位的 ECC。如果出现这种情况，数据可能无法预测。*

请参阅第 2.5.9 章编程指南以了解大小配置流程的更多详细信息。

### 2.5.7.1 ECC 写回

TCM 控制器在检测到 ECC 错误时会发出一次 RETRY 信号。这将使提供给 CM7 的数据无效，并且不会因错误数据而导致任何错误。在 CM7 接收到 RETRY 信号后，CM7 可能会在未来某个时间来获取数据，也可能不会。在 1 位错误的情况下，可以进行纠正，因此，为了确保下次 CM7 能够获取到正确的数据，TCM 控制器会将 ECC 纠正后的数据写回 SRAM。

默认情况下，此功能是启用的，但可以通过 TCM\_CTRL 寄存器中的 DTCMEWEN 和 ITCMEWEN 位配置来禁用它。

*注意 1: 如果在回写时有另一个具有相同地址的写访问发出，则回写将被丢弃。这保证了该写操作的数据不会丢失。*

*注意 2: 此功能不适用于 2 位错误检测的情况。*

*注意 3: 此功能不适用于访问 AXI SRAM2/3。*

### 2.5.7.2 ECC 错误注入

TCM 控制器在启用 ECC 时 (ECCMON\_CTRL1.ECCEN=1) 支持错误注入功能。该功能通过 2 位 ECC 错误注入信号 (ECCMON\_EINJ.ERICTRn[1:0]) 执行, 该信号由 ECC 监控器配置。每一位都会反转一个对应的数据位, 这会导致数据看起来被破坏, 并且 ECC 错误 (ECCMON\_INTFS.EnDCIF[1:0]) 会报告给 ECC 监控器。表 2-13 显示了被该 ECC 错误注入信号反转的数据位的位置。

表 2-13 TCM ECC 错误注入

接口	ECC 错误注入信号值	数据	ECC 错误类型
ITCM (64 位)	00	未改变	没有错误
	01	位 [5] 被反转, 其他: 未改变	检测到 1 位错误
	10	位 [20] 被反转, 其他: 未改变	检测到 1 位错误
	11	位 [5] 和位 [20] 被反转, 其他: 未改变	检测到 2 位错误
D0TCM (32 位)	00	未改变	没有错误
	01	位 [1] 被反转, 其他: 未改变	检测到 1 位错误
	10	位 [18] 被反转, 其他: 未改变	检测到 1 位错误
	11	位 [1] 和位 [18] 被反转, 其他: 未改变	检测到 2 位错误
D1TCM (32 位)	00	未改变	没有错误
	01	位 [3] 被反转, 其他: 未改变	检测到 1 位错误
	10	位 [6] 被反转, 其他: 未改变	检测到 1 位错误
	11	位 [3] 和位 [6] 被反转, 其他: 未改变	检测到 2 位错误
AXI SRAM2 (2 x 32 位)	00	未改变	没有错误
	01	位 [6] (包括低 32 位和高 32 位部分) 被反转, 其他: 未改变	检测到 1 位错误
	10	位 [25] (包括低 32 位和高 32 位部分) 被反转, 其他: 未改变	检测到 1 位错误
	11	位 [6] 和位 [25] (包括低 32 位和高 32 位部分) 被反转, 其他: 未改变	检测到 2 位错误
AXI SRAM3 (2 x 32 位)	00	未改变	没有错误
	01	位 [6] (包括低 32 位和高 32 位部分) 被反转, 其他: 未改变	检测到 1 位错误
	10	位 [25] (包括低 32 位和高 32 位部分) 被反转, 其他: 未改变	检测到 1 位错误
	11	位 [6] 和位 [25] (包括低 32 位和高 32 位部分) 被反转, 其他: 未改变	检测到 2 位错误

对于 TCM 访问, ECC 错误位可以注入到写数据路径或读数据路径中, 这可以通过 TCM\_CTRL 寄存器的 ECCINJP 位进行配置:

- ECCINJP=0 (默认值): 在读取数据路径上注入。反转逻辑在 ECC 解码器之前执行 (参见图 2-4)。在此模式下, SRAM 上的数据始终是正确的数据 (未损坏), 因此, 在 1 位错误校正的情况下, 写回数据变得没有意义。如果仅测试 ECC 错误检测而不测试写回功能, 用户可以使用此模式。
- ECCINJP=1: 在写入数据路径上注入。反转逻辑在 ECC 编码器之后执行 (见图 2-4), 因此, SRAM 上的数据是错误数据 (已损坏)。在发生 1 位错误的情况下, 写回功能可以使 SRAM 数据再次正确。用户

可以使用此模式测试带有写回功能的 ECC 错误检测。

## 2.5.8 中断

此控制器没有中断信号。然而，该控制器的以下错误信号可以与中断相关联，这些中断由其他模块（CM7，ECC 监视器）定义：

1. TCM 访问错误响应
2. AXI SRAM 2,3 访问错误响应
3. ECC 错误检测

## 2.5.9 编程指南

### 2.5.9.1 配置流程

在系统启动时配置 TCM 大小:

1. 准备具有 OTP 配置的 TCM 大小设置。
2. 系统启动完成后, 检查 TCM\_CTRL 寄存器的 CSA 位:
  - 如果 CSA = L: TCM 大小设置非法, 触发错误或中断到上层系统, 并且此时不访问 TCM 或 AXI SRAM2、3。
  - 如果 CSA = H: TCM 大小设置有效。通过读取 TCM\_CTRL 寄存器的 DTCMS、ITCMS、ARAM2S、ARAM3S 位重新检查大小配置。如果大小正确, 用户可以开始访问 TCM 或 AXI SRAM2、3。

通过 APB 总线配置 TCM 大小 (仅适用于 NATIONS 安全 BOOTROM):

1. 确保没有剩余访问 TCM 和 AXI SRAM2,3。
2. 通过设置 TCM\_CTRL 寄存器的 DTCMS 和 ITCMS 位来配置 TCM 大小。
3. 检查 TCM\_CTRL 寄存器的位 CSA。
  - 如果 CSA = L: TCM 大小设置非法, 触发错误或中断到上层系统, 并且此时不访问 TCM 或 AXI SRAM2、3。从步骤 2 重新尝试。
  - 如果 CSA = H: TCM 大小设置有效。通过读取 TCM\_CTRL 寄存器的 DTCMS、ITCMS、ARAM2S、ARAM3S 位重新检查大小配置。如果大小正确, 用户可以开始访问 TCM 或 AXI SRAM2、3。

注: 只有安全 BOOTROM 可以通过 APB 总线配置 TCM 大小。

### 2.5.9.2 ECC 注入测试流程

ITCM 1 位错误注入无回写功能测试:

1. 配置 ECC 监视器以启用 ECC: ECCMON\_CTRL1.ECCEN = 1, ECCMON\_EINJ.ERICTRn = 01 或 10。
2. 将 ECCINJP 设置为 0 (读取数据路径注入)
3. 将 ITCMEWEN 设置为 0 或 1 (任意)
4. 向 ITCM (地址 A) 授予写入权限
5. 向 ITCM 发出读取访问 (地址 A)。检查读取数据是否错误, 并且 ECC 错误是否被触发到 ECC 监视器。

ITCM 1 位错误注入带有写回功能测试:

1. 配置 ECC 监视器以启用 ECC: ECCMON\_CTRL1.ECCEN = 1, ECCMON\_EINJ.ERICTRn = 01 或 10。
2. 将 ECCINJP 设置为 1 (写入数据路径注入)
3. 向 ITCM (地址 A) 授予写入权限
4. 将 ITCMEWEN 设置为 0 (首先禁用回写功能)
5. 向 ITCM 发出读取访问 (地址 A)。检查读取数据是否错误, 并且 ECC 错误是否被触发到 ECC 监视器。
6. 再次授予对 ITCM (地址 A) 的读取访问权限。检查读取数据是否仍然错误, 并确认是否向 ECC 监视器触发了 ECC 错误。



7. 设置  $ITCMEWEN = 1$  (启用写回功能)
8. 向 ITCM 发出读取访问 (地址  $A$ )。检查读取数据是否错误, 并且 ECC 错误是否被触发到 ECC 监视器。
9. 再次授予对 ITCM (地址  $A$ ) 的读取访问权限。检查读取数据是否正确且无 ECC 错误。

#### ITCM 2 位错误注入测试:

1. 配置 ECC 监视器以启用 ECC:  $ECCMON\_CTR1.ECCEN = 1$ ,  $ECCMON\_EINJ.ERICTRn = 11$ 。
2. 将  $ECCINJP$  设置为 0 或 1 (任意)
3. 将  $ITCMEWEN$  设置为 0 或 1 (任意)
4. 向 ITCM (地址  $A$ ) 授予写入权限
5. 向 ITCM 发出读取访问 (地址  $A$ )。检查读取数据是否错误, 并且 ECC 错误是否被触发到 ECC 监视器。
6. 再次授予对 ITCM (地址  $A$ ) 的读取访问权限。检查读取数据是否仍然错误, 并确认 ECC 错误是否被触发到 ECC 监视器。

上述流程对于 D0TCM、D1TCM ECC 错误注入测试相似, 只是设置为 DTCMEWEN。

#### AXI SRAM2/3 带有 1 位错误注入测试:

1. 配置 ECC 监视器以启用 ECC:  $ECCMON\_CTR1.ECCEN = 1$ ,  $ECCMON\_EINJ.ERICTRn = 01$  或  $10$ 。
2. 向 AXI SRAM2 或 3 (地址  $A$ ) 发出写访问权限
3. 对 AXI SRAM2 或 3 (地址  $A$ ) 发出读取访问。检查读取数据是否错误, 并且 ECC 错误是否被触发到 ECC 监视器。
4. 再次发出对 AXI SRAM2 或 3 (地址  $A$ ) 的读取访问。检查读取数据是否仍然错误, 并且 ECC 错误是否被触发到 ECC 监视器。

#### AXI SRAM2/3 带有 2 位错误注入测试:

1. 配置 ECC 监视器以启用 ECC:  $ECCMON\_CTR1.ECCEN = 1$ ,  $ECCMON\_EINJ.ERICTRn = 11$ 。
2. 向 AXI SRAM2 或 3 (地址  $A$ ) 发出写访问权限
3. 向 AXI SRAM2 或 3 发出读取访问 (地址  $A$ )。检查读取数据是否错误, 并且 ECC 错误是否被触发到 ECC 监视器。
4. 再次发出对 AXI SRAM2 或 3 (地址  $A$ ) 的读取访问。检查读取数据是否仍然错误, 并且 ECC 错误是否被触发到 ECC 监视器。

## 2.5.10 寄存器

### 2.5.10.1 TCM 控制寄存器 (TCM\_CTRL)

偏移地址：0x00

复位值：0x44E0E000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ARAM3S				ARAM2S				DTCMEW EN	Reserved			DTCMS			
ro				ro				ro				ro			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ITCMEW EN	Reserved			ITCMS				Reserved		CSA	Reserved			ECCINJP	Reserved
ro				ro						ro				ro	

位域	名称	描述
31:28	ARAM3S	AXI SRAM 3 大小显示。一旦设置了 ITCM 和 DTCM 的大小，SRAM 的大小将在 1 个 APB 时钟周期后更新。大小映射如下所示（以 128 KB 为步长） 0000: 0 KB 0001: 128 KB 0010: 256 KB ..... 0111: 896 KB 1000: 1024 KB 以上以外：无效
27:24	ARAM2S	AXI SRAM 2 大小显示。一旦设置了 ITCM 和 DTCM 大小，SRAM 大小将在 1 个 APB 时钟周期后更新。大小映射如下所示（以 128 KB 为步长）： 0000: 0 KB 0001: 128 KB 0010: 256 KB ..... 0111: 896 KB 1000: 1024 KB 以上以外：无效
23	DTCMEWEN	DTCM ECC 回写使能 0: 回写禁用 1: 回写启用 此位用于对访问 D0TCM 或 D1TCM 时的 1 位 ECC 检测。
22:20	保留	保留，必须保持复位值
19:16	DTCMS	DTCM 大小设置。大小映射如下所示（步长为 128 KB）： 0000: 0 KB 0001: 128 KB 0010: 256 KB

		<p>.....</p> <p>0111: 896 KB</p> <p>1000: 1024 KB</p> <p>除此之外: 无效</p>
15	ITCMEWEN	ITCM ECC 回写使能 0: 回写禁用 1: 回写使能此位用于访问 ITCM 时的 1 位 ECC 检测。
14:12	保留	保留, 必须保持复位值
11:8	ITCMS	<p>ITCM 大小设置。大小映射如下所示 (步长为 128 KB):</p> <p>0000: 0 KB</p> <p>0001: 128 KB</p> <p>0010: 256 KB</p> <p>.....</p> <p>0111: 896 KB</p> <p>1000: 1024 KB</p> <p>以上以外: 无效</p>
7:6	保留	保留, 必须保持复位值
5	CSA	<p>可接受的可配置大小</p> <p>大小配置的指示已被 TCM 控制器接受。此位由硬件更新。在 SMU 流程完成或配置新大小后, 用户可以读取此寄存器以确认大小配置是正确的并已被 TCM 控制器接受。</p> <p>0: 配置不正确, 尚未被 TCM 接受。</p> <p>1: 配置正确, 已被 TCM 控制器接受。</p> <p>当 CSA=0 时, 对 TCM 和 SRAM2/3 发出的任何操作都将是非法且不可预测的。</p>
4:2	保留	保留, 必须保持复位值
1	ECCINJP	<p>ECC 注入位置设置用于 TCM 访问</p> <p>0: ECC 注入在读取数据路径上, 位于 ECC 解码器之前</p> <p>1: ECC 注入在写入数据路径上, 位于 ECC 编码器之后</p> <p>当注入在读取数据路径上时, 它不会破坏写入到内存数据的写入数据, 但无法测试回写功能。</p> <p>当注入在写入数据路径上时, 它会破坏写入到内存数据的写入数据, 并且可以测试回写功能。</p>
0	保留	保留, 必须保持复位值

**注意:** 此寄存器只能由 *NATIONS SECURE BOOTROM* 配置。

## 3 电源控制 (PWR)

### 3.1 介绍

电源控制部分定义了芯片的供电结构、低功耗技术的实现、功耗模式的转换控制以及时钟控制。电源结构、PWR 硬件和软件在两个 CPU 中运行，共同使芯片的性能尽可能接近所需的功耗。

芯片中实现的低功耗技术包括：电源门控、电压调节、时钟门控、时钟频率调节、CPU 和外设的低功耗模式：CPU 睡眠/深度睡眠；SRAM 电源门控；DCDC、SRAM、OTP 等的低功耗模式。

### 3.2 PWR 主要特性

PWR 支持的主要功能如下所示：

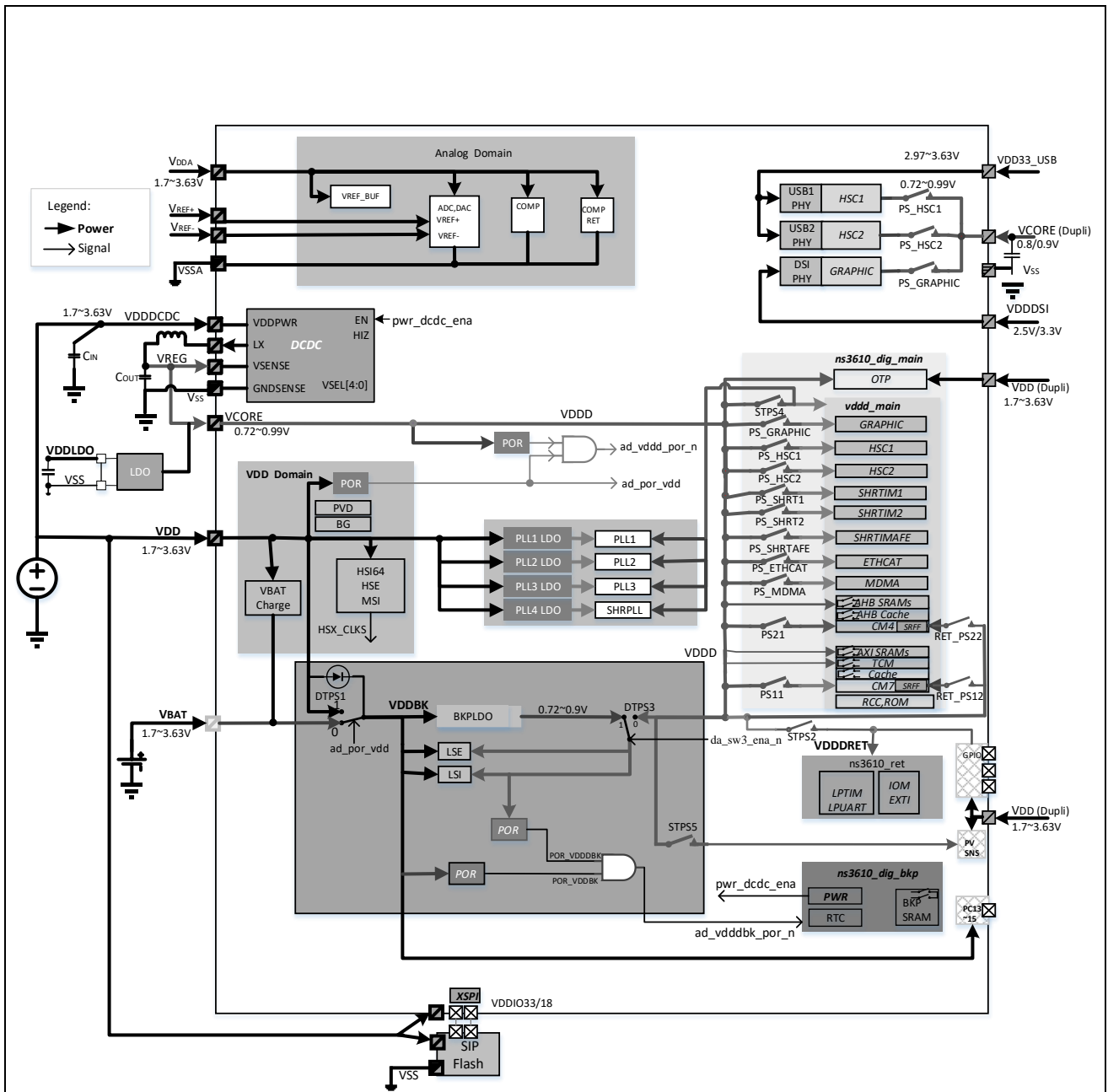
- 电源和供电域
  - ◆ 内核域 (VCORE)
  - ◆ VDD 域
  - ◆ 备份域 (VDDDBKP, VDDDBKP)
  - ◆ 保持域 (VDDDRET)
  - ◆ 模拟域 (VDDA)
- 系统供电电压稳压
  - ◆ SMPS 降压转换器(DCDC)
  - ◆ 主域稳压器(LDO)
- 外围电源稳压
  - ◆ USB 稳压器
  - ◆ DSI 稳压器
  - ◆ PLL 稳压器
- 电源监测
  - ◆ POR/PDR 监视器
  - ◆ BOR 监控器
  - ◆ PVD 监控器
  - ◆ AVD 监视器
  - ◆ VBAT 阈值
- 电源管理
  - ◆ VBAT 电池充电

- ◆ 工作模式
- ◆ 电压调节控制
- ◆ 低功耗模式

### 3.3 PWR 框图

该芯片的电源网络如下所示：

图 3-1 芯片电源框架



下表中列出了连接到封装引脚或焊球的 PWR 输入与输出信号。芯片的主要供电焊盘是 VDDSMPS、VDD 和 VDDA。

表 3-1 连接到封装引脚或焊球的 PWR 输入/输出信号

名称	信号类型	描述
VDD	输入	主 I/O 和 V <sub>DD</sub> 域供电输入
VDDA	输入	外部模拟外设的模拟电源供应
VREF+, VREF-	输入	外部参考电压用于 ADC 和 DAC
VBAT	输入	备用电池供电输入
VDDSMPS	输入	DCDC 电源输入
VLXSMPS	输出	DCDC 电源输出
VFBSMPS	输入	DCDC 反馈电压感应
VSSSMPS	输入	DCDC 接地
VCORE	输入/输出	数字内核域供应
VDD1P8	输入	1.8V 合封闪存电源
VDD33USB	输入/输出	USB 调节器供电输入输出
VSS	输入	主接地
VDDDSI	输入	DSI PHY 模拟电压输入
VCAPDSI	输入	DSI PHY 数字电源输入

### 3.4 功能描述

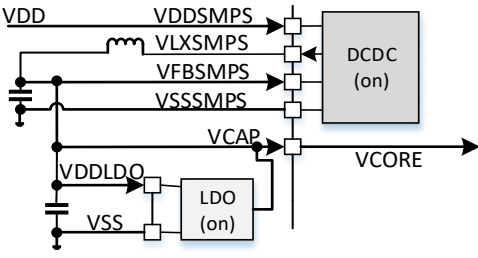
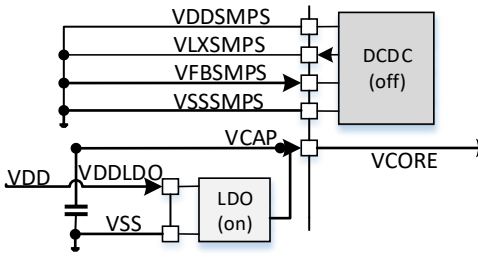
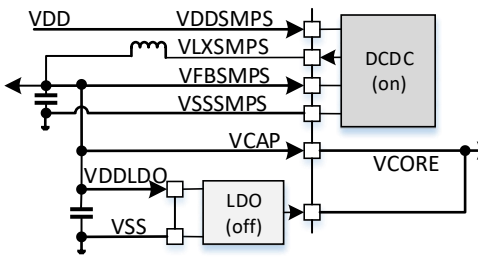
#### 3.4.1 数字主 V<sub>CORE</sub> 供电模式

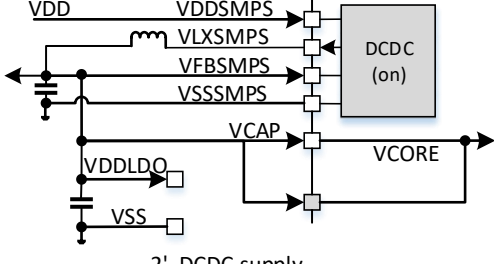
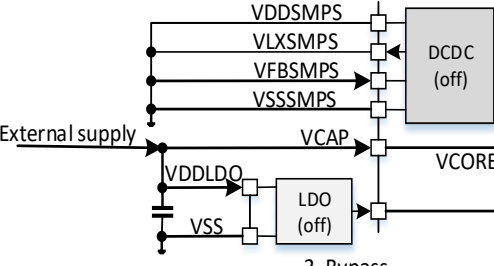
数字主电源 V<sub>CORE</sub> 可以由嵌入式 DCDC 稳压器或直接由外部电源供电。

如下所示，该芯片支持四种有效供电机制。

模式 0 是默认的过渡模式，仅在芯片上电时有效。软件必须在启动后，使用 PWR\_SYSCTRL4 配置电源模式。

表 3-2 芯片 V<sub>CORE</sub> 供电模式

模式	ML DO EN	DC DC EN	DCD CFR CEN	VCO RE SRC	连接图	描述
0	1	1	0	0	 <p>0*. Both LDO and DCDC supply</p>	这是在 V <sub>DDD</sub> 上电时的瞬态电源模式，此时 SMPS DCDC 和 LDO 均已启用。在 CM7 启动后，电源模式应配置为以下有效电源配置之一（1,2,3）。 注意：外部电源连接可以是任何有效的电源模式 1,2,3。这里使用模式 2 进行说明。
1	1	0	0	0	 <p>1. LDO supply</p>	主 LDO 给 V <sub>CORE</sub> 供电。 DCDC 禁用。 所有 DCDC 焊盘都已接地。
2	0	1	0 OR 1	0	 <p>2. DCDC supply</p>	DCDC 给 V <sub>CORE</sub> 供电。 LDO 禁用。 VDDLDO 可以连接到 DCDC 输出 VFBSMPS 或接地。 当 DCDC_FON=1 时，DCDC 将在低功耗模式下保持开启，输出电压与运行模式设置相同。

2'	0	1	0 OR 1	0	 <p>2'. DCDC supply</p>	<p>与模式 2 相同的配置，DCDC 供电 V<sub>CORE</sub>，但无 LDO。</p> <p>V<sub>DDLDO</sub> LDO 输出的焊盘应与引脚 V<sub>CAP</sub> 双重连接。</p>
3	0	0	0	1	 <p>3. Bypass</p>	<p>外部供应直接给 V<sub>CORE</sub> 供电。DCDC 和 LDO 都被禁用。</p>
所有其他供电组合无效					<p>如果软件尝试写入除模式 1、2 或 3 以外的无效配置，模式配置的寄存器位将保持锁定在模式 0，直到系统重置清除锁定为止。</p>	



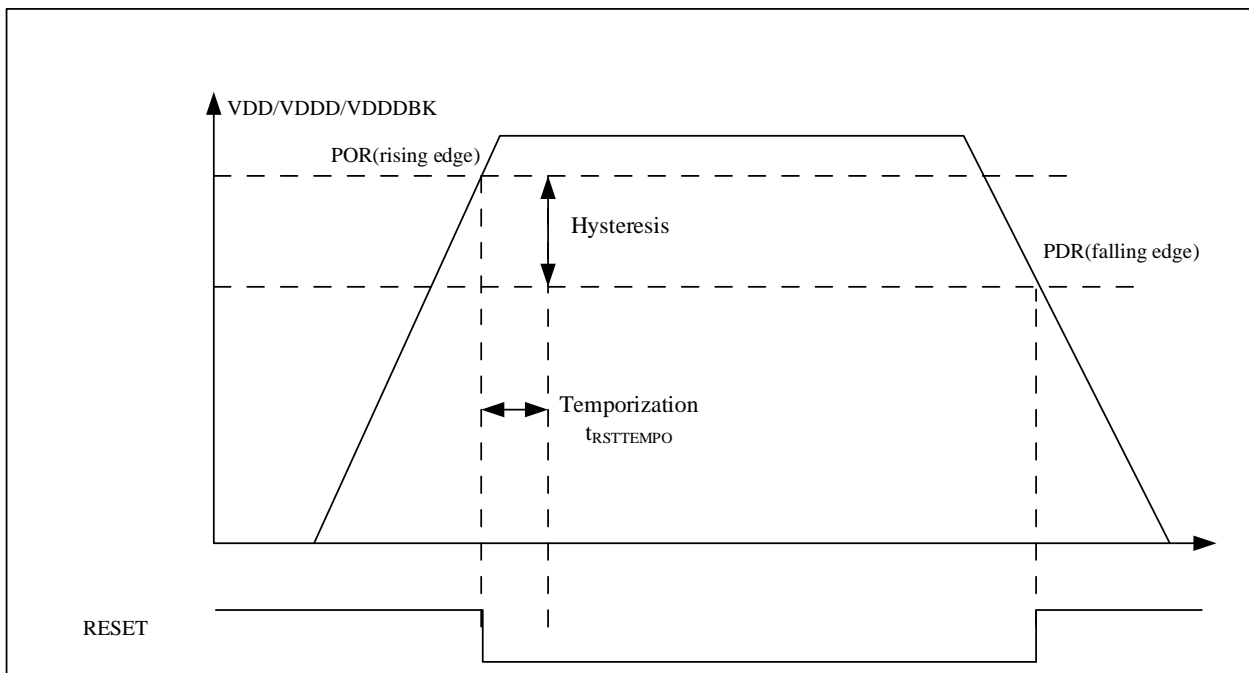
### 3.4.2 电源监控

#### 3.4.2.1 上电复位 (POR) 和掉电复位 (PDR)

上电复位 (POR) 和掉电复位 (PDR) 电路在芯片内部集成。当使用 POR/PDR 监控 VDD 电源时，它可以在最低 1.68V 的电压下运行。无需外部复位电路；当 VDD、VDDD 或 VDDDBK 低于指定阈值 (VPOR/PDR) 时，芯片将保持在复位状态。

有关电源复位阈值切换的详细信息，请参阅相关数据表的电气特性部分。

图 3-2 上电复位和掉电复位波形图

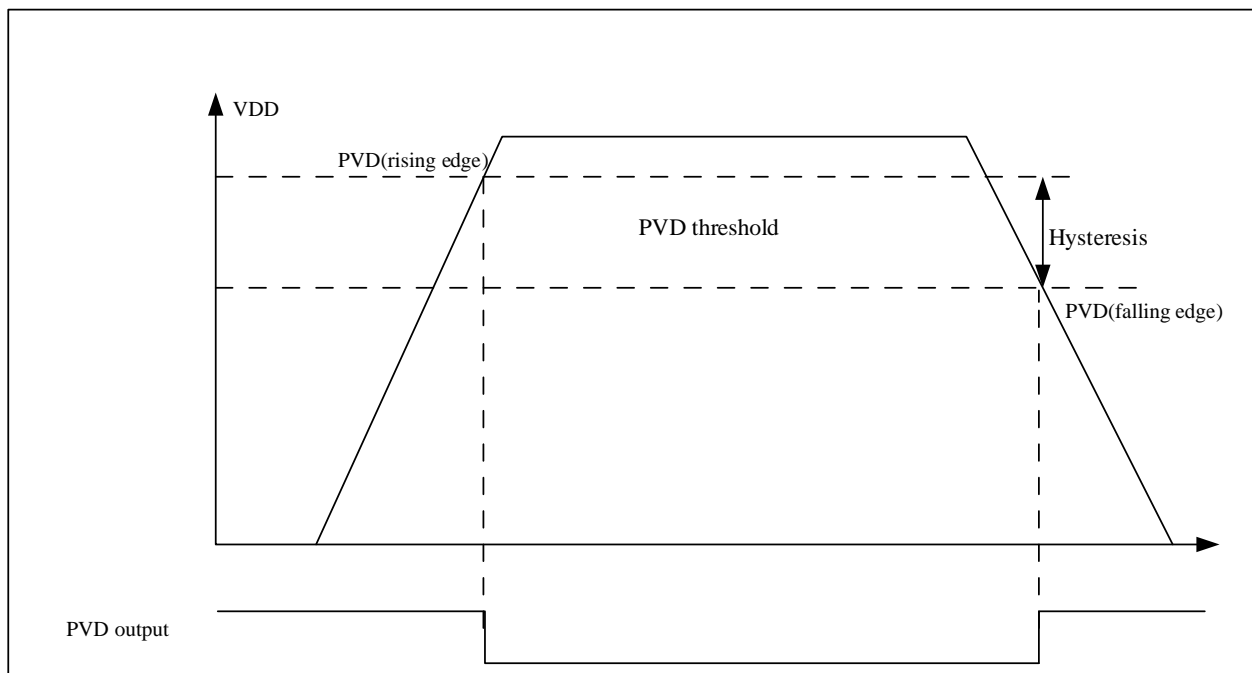


### 3.4.2.2 可编程电压检测器 (PVD)

PVD 可用于通过与电源控制寄存器中 AFEC\_CTRL.PRS[3:0]位设置的阈值进行比较来监控 VDD 电源。通过设置 PWR\_SYSCTRL1.PVDEN 启用 PVD。

PWR\_SYSCTRLSTS.PVDO 标志用于指示 VDD 是否高于/低于 PVD 电压阈值。此事件内部连接到外部中断线 16，如果在外部中断寄存器中启用了中断，将会生成中断。根据外部中断线 16 的上升/下降沿触发设置，当 VDD 低于 PVD 阈值或高于 PVD 阈值时，将发生 PVD 中断。例如，此功能可用于执行紧急关机任务。

图 3-3 PVD 阈值波形

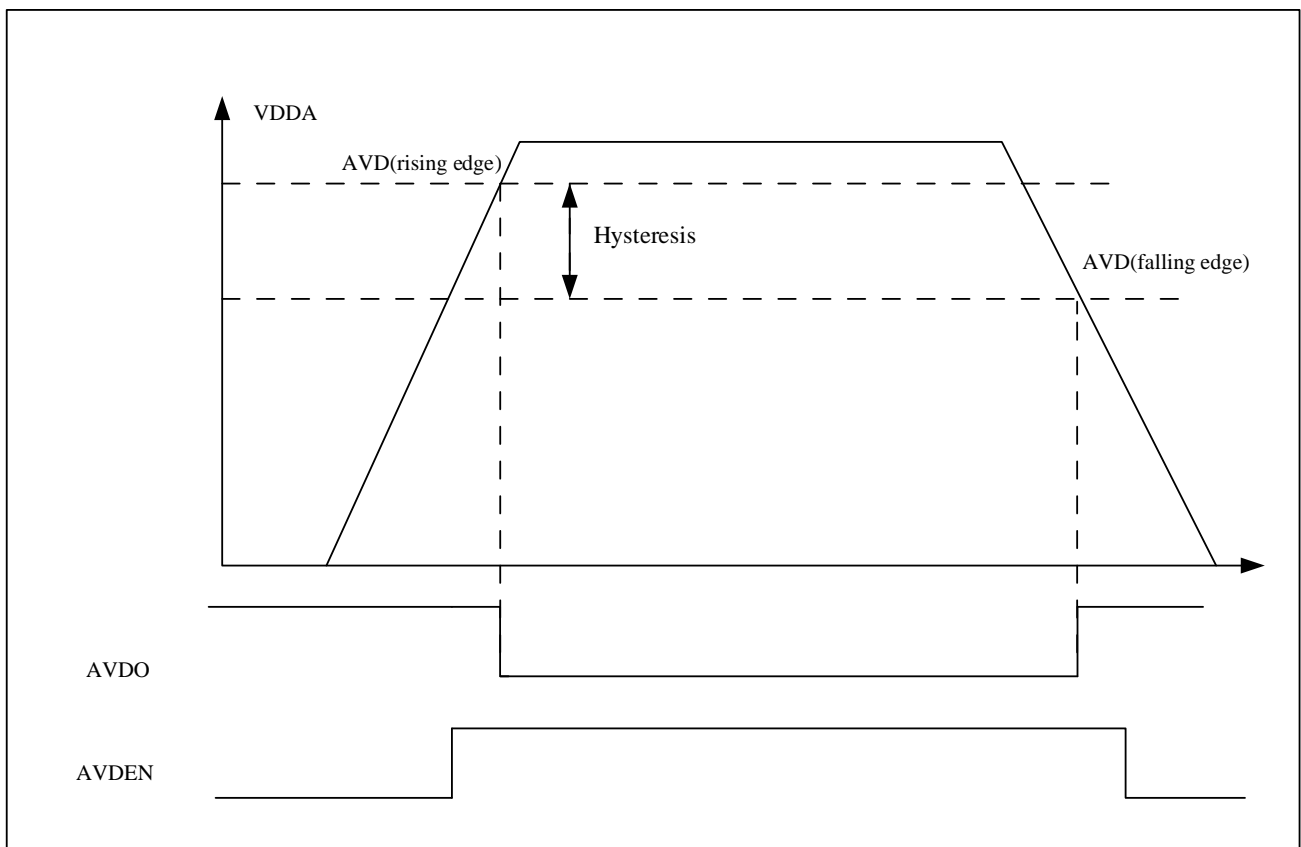


### 3.4.2.3 模拟电压检测器 (AVD)

AVD 可用于通过将其与 AFEC 控制寄存器中 AFEC.ALS[3:0]位选择的阈值进行比较来监测 VDDA 电源。

通过设置 PWR\_SYSCTRL1.AVDEN 位启用 AVD。PWR\_SYSCTRLSTS.AVDO 标志可用于指示 VDDA 是否高于或低于 AVD 阈值。此事件在内部连接到 EXTI，并且如果通过 EXTI 寄存器启用，可以生成中断。根据 EXTI 上升/下降沿配置，当 VDDA 降至 AVD 阈值以下和/或当 VDDA 升至 AVD 阈值以上时，可以生成 AVDO 中断。例如，服务例程可以指示当 VDDA 电源降至最低水平以下时的情况。

图 3-4 AVD 阈值波形



注意：有关阈值和迟滞值，请参阅数据手册。

### 3.4.2.4 欠压复位(BOR)

在上电期间，欠压复位（BOR）将使设备保持在复位状态，直到  $V_{DD}$  达到指定的  $V_{BOR}$  阈值。

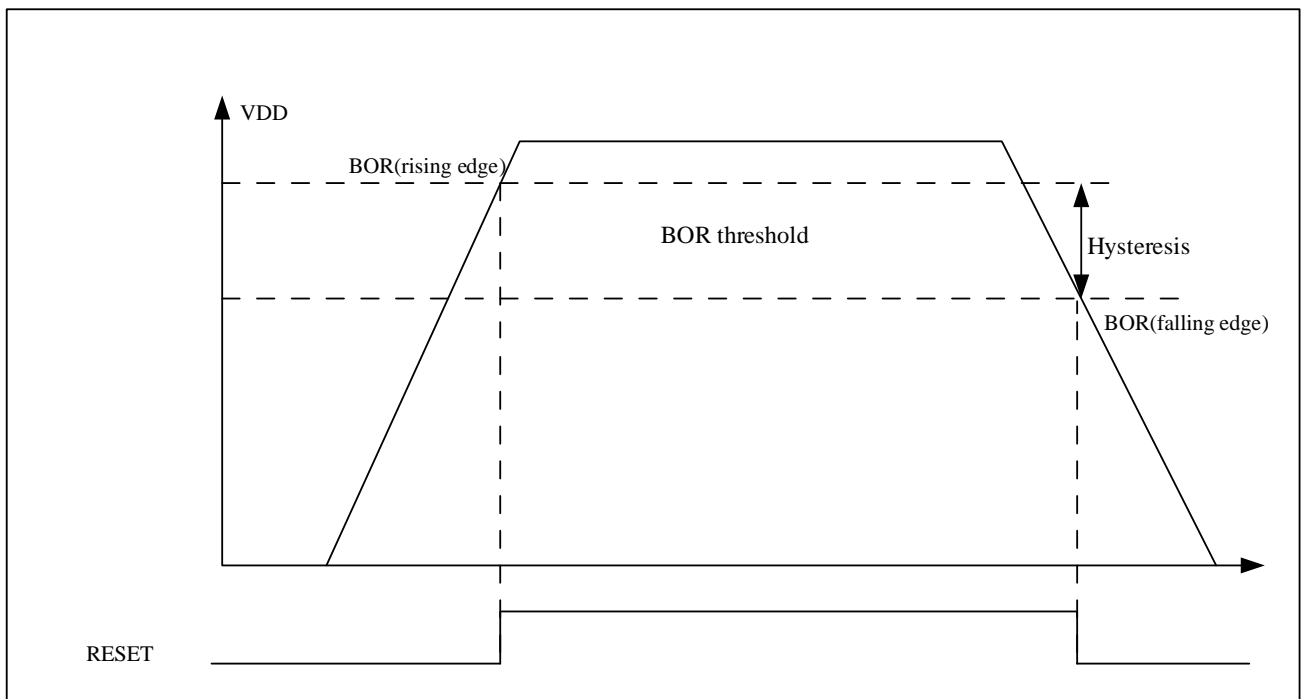
$V_{BOR}$  通过选项字节进行配置，并提供 7 个  $V_{BOR}$  阈值的选择。

- BOR 级别 0 - 复位电平阈值 1.67V（释放电平阈值 1.72V）
- BOR 级别 1 - 复位电平阈值 1.8V（释放电平阈值 1.9V）
- BOR 等级 2 - 复位电平阈值 2.1V（释放电平阈值 2.2V）
- BOR 等级 3 - 复位电平阈值 2.4V（释放电平阈值 2.5V）
- BOR 等级 4 - 复位电平阈值 2.7V（释放电平阈值 2.8V）
- BOR 等级 5 - 复位电平阈值 3.0V（释放电平阈值 3.1V）
- BOR 等级 6 - 复位电平阈值 3.35 V（释放电平阈值 3.45 V）

当电源电压 ( $V_{DD}$ ) 下降到所选的  $V_{BOR}$  阈值以下时，设备将会复位。

可以通过编程设备选项字节可以禁用 BOR。要禁用 BOR 功能，VDD 必须高于  $V_{BOR0}$  以启动设备选项字节编程，然后掉电复位（PDR）必须监控掉电过程。

图 3-5 BOR 阈值波形



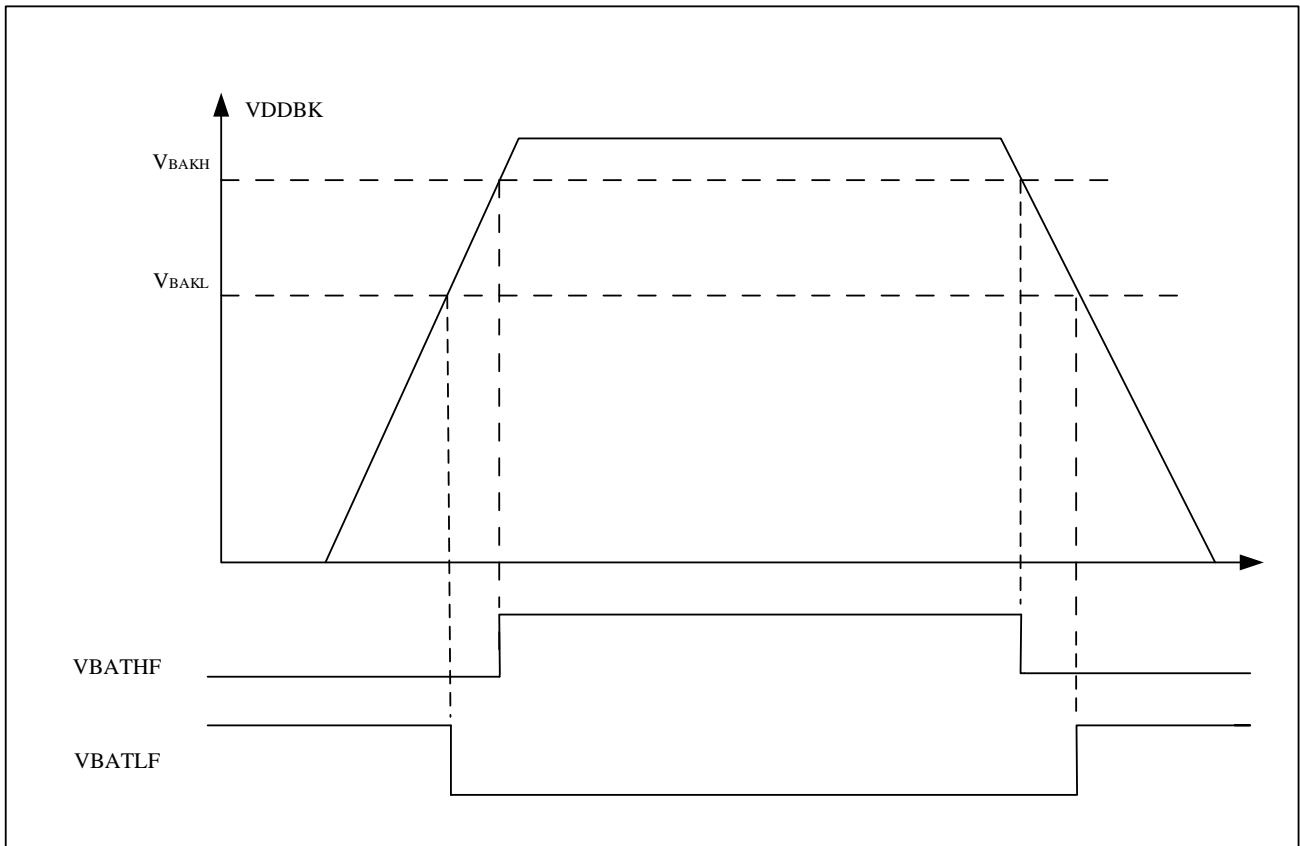
### 3.4.2.5 电池电压阈值

有一个内部电源开关，可以选择备份域的电压源  $V_{BAT}$  或  $V_{DD}$ 。当  $VABTMEN$  位置位时，可以通过高电压和低电压 ( $V_{BAKH}$  和  $V_{BAKL}$ ) 监测备份域的供电电压 ( $V_{DDBK}$ )，如果  $V_{DDBK}$  超过  $V_{BAKH}$  或低于  $V_{BAKL}$ ，标志位  $V_{BATHF}$  /  $V_{BATLF}$  将被置位。备份域电压阈值如下图所示。

$V_{BAKH}$  和  $V_{BAKL}$  连接到 RTC 入侵信号。

*注意：当设备不在  $V_{BAT}$  模式下运行时，电池电压监测会检查  $V_{DD}$  电平。*

图 3-6 备份域电压阈值的波形



*注意：有关阈值，请参考数据手册。*

### 3.4.3 电源模式

芯片的电源模式由两部分组成：CPU 电源模式和系统电源模式。

#### 3.4.3.1 CPU 域电源模式

两个 CPU 的电源模式是独立的。它们由各自的 CPU 控制状态机单独控制。

每个 CPU 都有以下电源模式。

- CPU 域运行模式 (Cn\_RUN)

CPU 正在运行。电源和 CPU 时钟已开启。外设时钟门控可由软件选择。

- CPU 域睡眠模式 (Cn\_SLP)

CPU 时钟被关闭。Cortex-M 内核的 SLEEP 被置位，但 SLEEPDEEP 未被置位。如果两个 CPU 都同意关闭特定外设的时钟，则外设可以运行或由软件控制时钟关闭。

- CPU 域 STOP0 模式 (Cn\_STP0)

CPU 时钟被关闭。来自 Cortex-M 内核的 SLEEPDEEP 被断言。外设可以由另一 CPU 的软件单独进行时钟门控。

系统电源模式取决于另一个 CPU 的电源模式状态。

- CPU 域 STOP2 模式 (Cn\_STP2)

CPU 允许进入保留模式以节省电能。系统电源模式取决于另一个 CPU 的电源模式状态。

- CPU 域待机模式 (Cn\_STBY)

CPU 允许进入待机模式以节省功耗。系统电源模式取决于另一个 CPU 的电源模式状态。

取决于 CPU 接口信号 Cn\_SLEEP 和 Cn\_SLEEPDEEP，以及 CPU 可配置寄存器 Cn\_PDDS 和 Cn\_STOP2S，CPU 域根据下表进入特定状态。

表 3-3 CPU 域电源模式控制信号

CPU	Cn_PDDS	Cn_STOP2S
Cn_RUN	X	X
Cn_SLP	X	X
Cn_STP0	0	0
Cn_STP2	0	1
Cn_STBY	1	X

上电后，系统在释放 POR\_BKP 后进入 S\_RUN 模式。CM7 域在释放 POR\_main 后也进入 C1\_RUN 模式。

在单核产品中，CM4 域始终保持 C2\_STANDBY 模式。否则，在释放 POR\_main 后，CM4 域将进入 C2\_RUN 模式。

两个 CPU 在 Cn\_RUN 模式和 CPU 低功耗模式之间的电源模式转换是独立运行的。而 Cn\_RUN 模式和系统低功耗模式之间的电源模式转换则取决于两个 CPU 的电源模式。

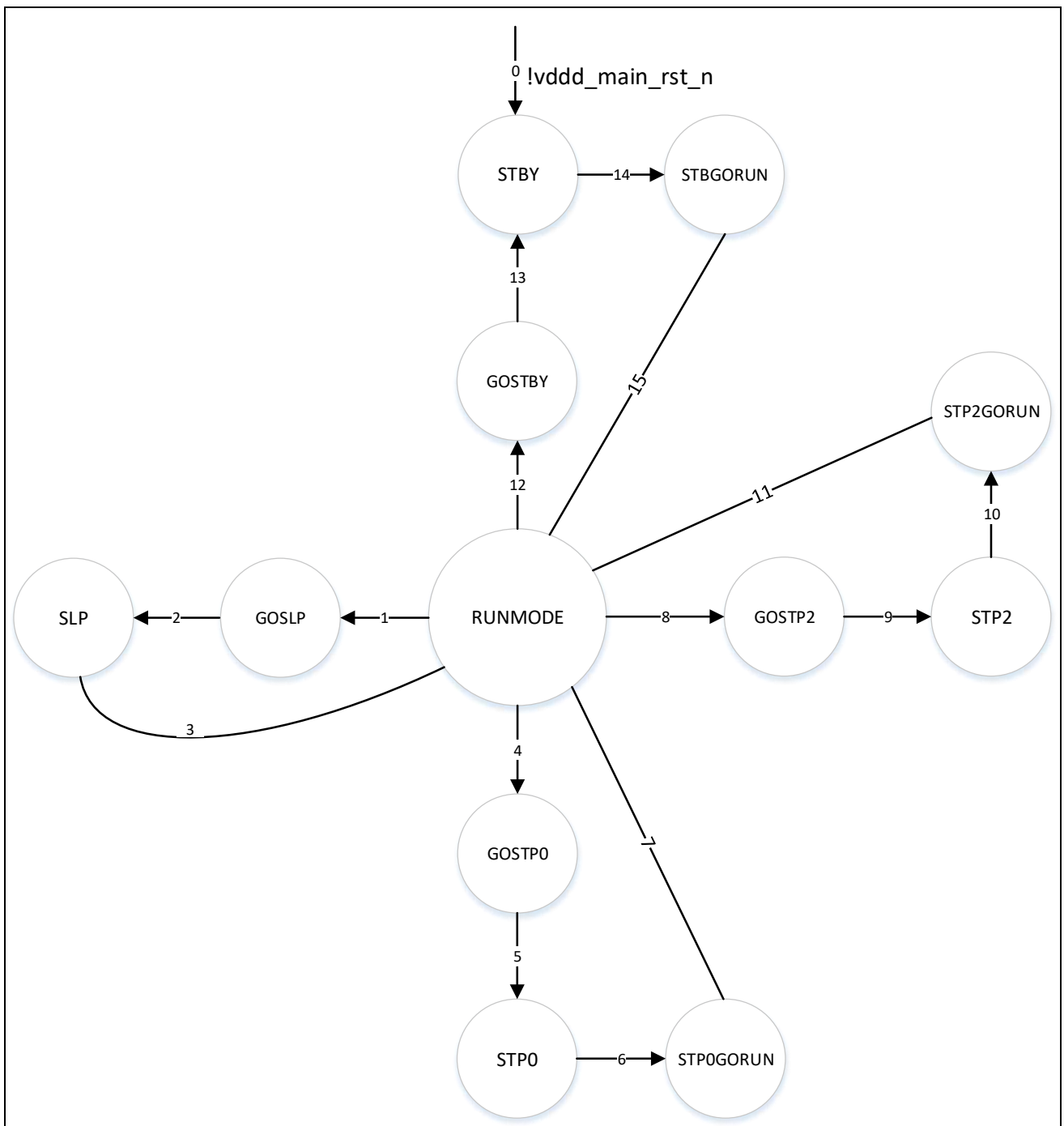
Cortex-M7 和 Cortex-M4 处理器各有两种睡眠模式：

1. 正常睡眠
2. 深度睡眠

SCR.SLEEPDEEP 的值决定处理器是进入正常睡眠模式还是深度睡眠模式。从 Cn\_RUN 模式到低功耗模式的转换总是由软件通过执行 WFI（等待事件）、WFE（等待中断）或 Sleep-on-Exit 指令发起。若软件决定进入正常休眠模式（Normal Sleep），则仅置位休眠模式，不会置位 CPU 深度休眠（SCR.SLEEPDEEP）位。

芯片系统和 CPU 的电源模式转换如下面的图所示。

图 3-7 CPU 域电源模式转换图



下表显示了 CPU 低功耗状态的转换条件。

表 3-4 CPU 低功耗模式转换条件

CPU 电源模式	进入	退出
Cn_SLP	Cn_SLEEP && ! Cn_SLEEPDEEP	中断   事件   调试请求
Cn_STP0	Cn_SLEEPDEEP 和 LPM1==1	EXTI 唤醒   NRST
Cn_STP2	Cn_SLEEPDEEP 和 LPM1==2	EXTI 唤醒   NRST
Cn_STBY	Cn_SLEEPDEEP 和 LPM1==3	WUP_IO   RTC   NRST



### 3.4.3.2 系统电源模式

取决于上述两个 CPU 的电源模式以及低功耗操作模式的唤醒源，该芯片可以在以下描述的系统电源模式下工作：

■ **系统运行模式(S\_RUN):**

上电后，芯片会立即进入 S\_RUN 模式。如果两个 CPU 中的任何一个处于 Cn\_RUN 或 Cn\_SLP 模式，芯片将保持在 RUN 模式。

■ **系统 STOP0 模式(S\_STP0):**

如果两个 CPU 中的任何一个进入 Cn\_STOP 模式，而另一个 CPU 处于 Cn\_STP0、Cn\_STP2 或 Cn\_STBY 模式的电源模式。

在硬件电源控制模式下，内核域中的所有外设都被时钟门控。在软件电源控制模式下，外设的时钟门控

■ **系统 STOP2 模式(S\_STP2):**

如果其中一个 CPU 正在转换到 Cn\_STBY 模式，而另一个 CPU 处于 Cn\_STP2 或 Cn\_STBY 模式，则芯片系统电源模式将更改为 S\_STP2。否则，如果另一个 CPU 处于 Cn\_STP0 模式，系统将进入 S\_STP0。

■ **系统待机模式(S\_STBY):**

只有当两个 CPU 都处于 Cn\_STBY 模式时，系统电源模式才会进入 S\_STBY。

表 3-5 芯片组件在不同电源模式下的电源状态

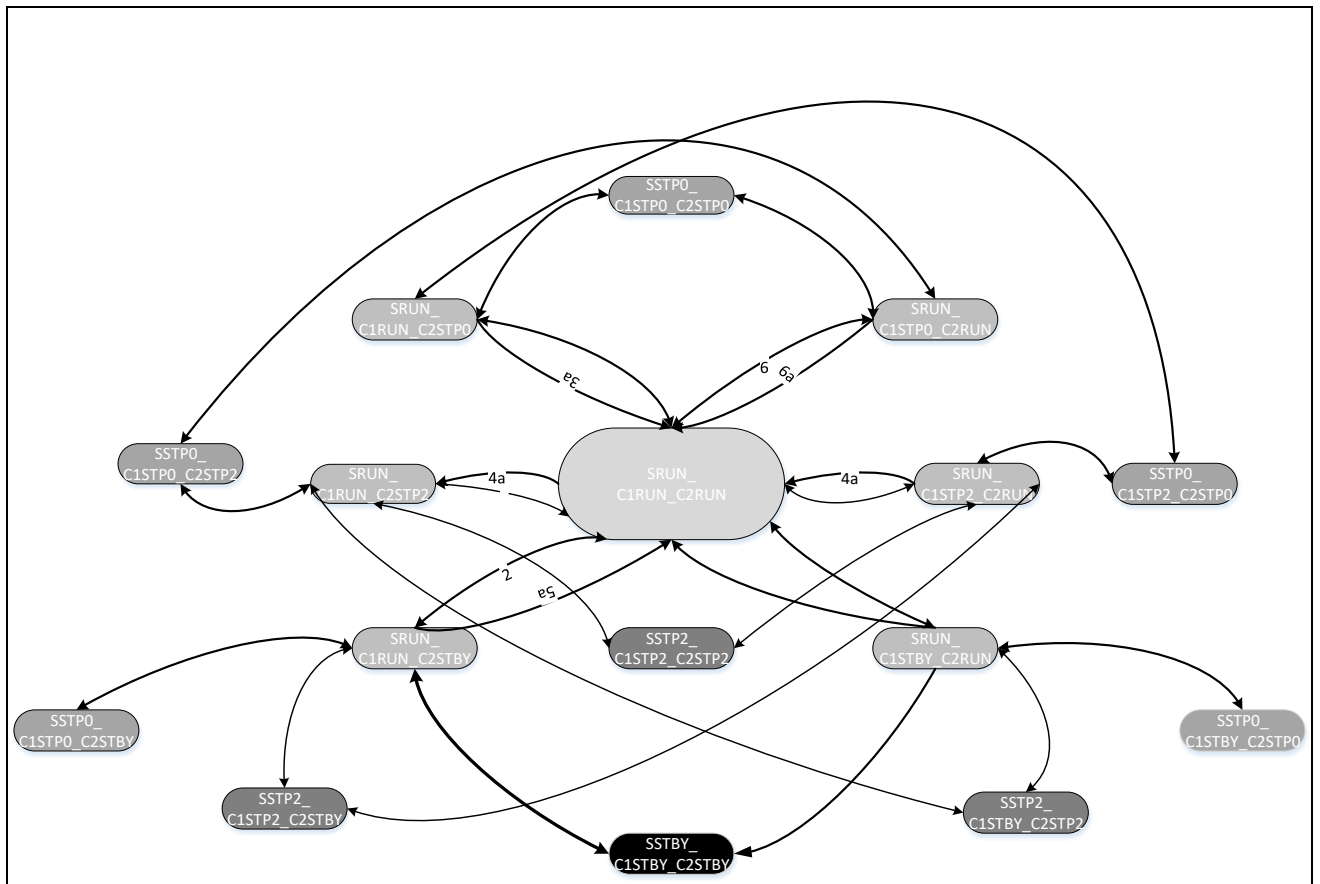
电源模式			主域			保持域	备份域
CPU1	CPU2	系统	CPU1 域	CPU2 域	外周		
RUN/SLP	RUN/SLP	SRUN_C1RUN_C2RUN	ON/HCG <sup>[1]</sup>	ON/HCG	SWPCG <sup>[3]</sup>	ON	ON
STP0	RUN/SLP	SRUN_C1STP0_C2RUN	HWCG <sup>[2]</sup>	ON/HCG	SWPCG		
STP2	RUN/SLP	SRUN_C1STP2_C2RUN	保持	ON/HCG	SWPCG		
STBY	RUN/SLP	SRUN_C1STBY_C2RUN	OFF	ON/HCG	SWPCG		
RUN/SLP	STP0	SRUN_C1RUN_C2STP0	ON/HCG	HWCG <sup>[4]</sup>	SWPCG		
RUN/SLP	STP2	SRUN_C1RUN_C2STP2	ON/HCG	保持	SWPCG		
RUN/SLP	STBY	SRUN_C1RUN_C2STBY	ON/HCG	OFF	SWPCG		
STP0	STP0	SSTP0_C1STP0_C2STP0	HWCG	HWCG	HWCG	ON	
STP2	STP0	SSTP0_C1STP2_C2STP0	保持	HWCG			
STBY	STP0	SSTP0_C1STBY_C2STP0	OFF	HWCG			
STP0	STP2	SSTP0_C1STP0_C2STP2	HWCG	保持			
STP0	STBY	SSTP0_C1STP0_C2STBY	HWCG	OFF			
STP2	STP2	SSTP2_C1STP2_C2STP2	保持	保持	OFF	ON	
STBY	STP2	SSTP2_C1STBY_C2STP2	OFF	保持			
STP2	STBY	SSTP2_C1STP2_C2STBY	保持	OFF			
STBY	STBY	SSTBY_C1STBY_C2STBY	OFF	OFF	OFF	OFF	ON
STBY	STBY	VBAT	OFF	OFF	OFF	OFF	

注意：

1. CPU HCLK 在 Cn\_SLP 模式下由 RCC 控制。
2. 在软件控制模式下，所有内核域外设 在 Cn\_RUN、Cn\_SLP 和 Cn\_STP 模式下由软件控制。在硬件控制模式下，外设的时钟根据硬件的电源模式被关闭。
3. SWPCG = 软件控制的电源或时钟门控。在系统运行的 SRUN\_C1XXX\_C2XXX 模式下，时钟和电源门控由软件控制。
4. HWCG = 硬件时钟门控。

取决于每个 CPU M7 和 M4 的电源状态，系统电源模式转换如下所示。

图 3-8 系统电源模式转换



下表显示了在系低功耗模式和与运行模式下状态的转换

表 3-6 系统低功耗模式转换条件

系统电源模式	输入	退出
S_STP0	$\sim(c2\_run   c2\_slp) \& c1\_stp$ OR $\sim(c1\_run   c1\_slp) \& c2\_stp$	EXTI1 或 EXTI2 唤醒或 NRST
S_STP2	$\sim(c2\_ret   c2\_stb) \& c1\_ret$ OR $(c1\_ret   c1\_stb) \& c2\_ret$	EXTI1 或 EXTI2 唤醒或 NRST
S_STBY	c1_stb 和 c2_stb	WUP_IO   RTC   NRST

## 3.5 编程指南

本节提供了与不同模块或子域的电源相关控制的指南。

### 3.5.1 OTP 功耗控制

OTP 内核电源在系统处于待机模式或通过软件将 OTP\_STP2\_DSTBY 寄存器设置为 1 时关闭（进入 OTP 深度待机模式）。

OTP 也可以在芯片处于 RUN 模式时，通过配置 PWR\_SYSCTRL2.OTP\_FRCSTB 和 PWR\_SYSCTRL2.OTP\_FRCDSTB 分别强制进入 Standby 或 Deep Standby 模式。

表 3-7 OTP 电源模式控制

芯片电源模式	OTP 模式	备注
RUN	在系统运行模式下，可以通过配置 OPT 进入待机或深度待机电源模式	通过分别设置以下寄存器： PWR_SYSCTRL2.OTP_FRC_STBY， PWR_SYSCTRL2.OTP_FRC_DSTBY
STP0	在系统 STOP0 模式时，可以通过配置 OPT 进入待机或深度待机电源模式。	通过在进入 STOP0 之前分别设置以下寄存器： PWR_SYSCTRL2.OTP_STB_INSTP0， PWR_SYSCTRL2.OTP_DSTB_INSTP0
STP2	在系统 STOP2 模式时，可以通过配置 OPT 进入待机或深度待机电源模式。	通过在进入 STOP2 之前分别设置以下寄存器： PWR_SYSCTRL2.OTP_STB_INSTP2， PWR_SYSCTRL2.OTP_DSTB_INSTP2
STBY	通过 PWR 进入待机模式	-

### 3.5.2 nRST\_STOP 和 nRST\_STBY

可以通过配置选项字节，在系统进入 STOP0/STOP2 模式时，可选择是进入对应的 STOP0/STOP2 模式，还是生成系统复位；

可以通过配置选项字节，在系统进入待机模式时，可选择是进入对应的待机模式，还是生成系统复位。

### 3.5.3 SRAM 省电模式

SRAM，包括 TCM、AXI SRAM、CM7 的缓存、AHB SRAM 和 CM4 的 AHB 缓存，配备了电源门控功能。这些存储器可以根据特定设置或内部控制逻辑在各种省电模式下运行。操作模式可以根据系统需求进行调整，以优化功耗和性能。

表 3-8 SRAM 省电模式定义

功耗模式	内存电源模式	唤醒时间	内存内容	备注
芯片使能	非常高	-	未损坏	SRAM 在操作模式下，可以读/写
芯片禁用	非常高	非常短	未损坏	SRAM 已禁用；无法读取/写入。启用后可立即访问。
选择性预充电	高	短	保持	SRAM 处于预充电模式。在进入和退出之前必须切换到芯片禁用模式。
保持模式 1	中等	中等	保持	存储器数据保持模式：漏电流更高，但唤醒时间更短
保持模式 2	低	长	保持	存储器数据保持模式：漏电流低于保持模式 1，但唤醒时间更长
关机	非常低	非常长	损坏	电源门控

### 3.5.4 在 CM7 电源模式中的 TCM 功耗控制

TCM 在不同 CM7 电源模式下的电源控制列在下表中。

表 3-9 TCM 内存电源模式和控制

CM7 功耗模式	内存电源模式	内存电源模式控制
C1_运行/休眠	芯片使能	动态硬件控制（非软件控制）
	芯片禁用	动态硬件控制（非软件控制）
C1_STP0	芯片禁用	控制寄存器 PWR_M7MEMLPCTRL。MEM_PGSTP0EN =0 PWR_M7MEMLPCTRL.MEM_RETSTP0EN =0
	选择性/预充电	PWR_M7MEMLPCTRL.MEM_PGSTP0EN =0 PWR_M7MEMLPCTRL.MEM_RETSTP0EN =1
	保持模式 1	PWR_M7MEMLPCTRL.MEM_PGSTP0EN =1 PWR_M7MEMLPCTRL.MEM_RETSTP0EN =1 PWR_M7TCMRET1Nx.M7TCM_RET1Nx[31:0]=0 PWR_M7TCMRET2Nx.M7TCM_RET2Nx[31:0]=1
	保持模式 2（缓存只能处于保持模式 1，	PWR_M7MEMLPCTRL.MEM_PGSTP0EN =1

	TCM 可以设置为保持模式 2)	PWR_M7MEMLPCTRL.MEM_RETSTP0EN =1 PWR_M7TCMRET1Nx.M7TCM_RET1Nx[31:0]=1 PWR_M7TCMRET2Nx.M7TCM_RET2Nx[31:0]=0
C1_STP2	保持模式 1	PWR_M7TCMRET1Nx.M7TCM_RET1Nx[31:0]=0 PWR_M7TCMRET2Nx.M7TCM_RET2Nx[31:0]=1
	保持模式 2	PWR_M7TCMRET1Nx.M7TCM_RET1Nx[31:0]=1 PWR_M7TCMRET2Nx.M7TCM_RET2Nx[31:0]=0
	关机	PWR_M7TCMRETxN0.M7TCM_RETxN0 [31:0]= 0 PWR_M7TCMRETxN1.M7TCM_RETxN1[31:0]= 0
C1_待机	关机	TCM SRAM 在 CM7 进入待机模式时由 PWR 硬件关闭电源。

### 3.5.5 TCM 部分断电

64 块 TCM/AXI SRAM 在上电时全部通电。在运行模式下，可以通过设置 PWR\_M7TCMPGx.TCM\_PG0/PWR\_M7TCMPGx.TCM\_PG1[n]位为‘1’部分断电。软件将 PG 位设置为‘1’后，相应的 TCM 区块会立即断电。

关闭 TCM 的一部分 SRAM 本质上涉及从由 SRAM 组成的菊花链中移除一个链接。为了避免影响链中的其他 SRAM，有必要首先将剩余的 SRAM 重新连接到菊花链中，隔离你希望关闭的 SRAM。然后，继续关闭其电源。当软件对某块 TCM SRAM 控制 PG 位时，应遵循以下顺序。

1. 软件程序 PWR\_M7TCMPG0/1.TCM\_PGx[n]设置为 1，序列号为 n 区块的 TCM 将被关闭电源。
2. PWR 需要将 PWR\_M7TCMPG0/1.TCM\_PGx[n]同步到 CM7 的 pwr\_cpu\_clk。
3. 旁路 PWR\_M7TCMRDYx。序列号为 n 区块的 TCM 的 CM\_NRDY[n]到链条上游链路的 pryd。n。
4. 关闭序列号为 n 区块的 TCM。

*注意：一次只能关闭一块 SRAM。如果需要关闭多块 SRAM，则需要按照上述顺序逐一关闭。这些步骤的时序由硬件保证。*

上电流程如下：先给静态随机存取存储器（SRAM）单元上电，等待对应的电源就绪位置 1 后，再将其重新接入菊花链中的对应位置。

1. 软件程序 PWR\_M7TCMPG0/1.TCM\_PGx[n]设置为 0，序列号为 n 区块将被开启。
2. PWR 需要将 PWR\_M7TCMPG0/1.TCM\_PGx[n]同步到 CM7 的 pwr\_cpu\_clk。
3. PWR\_M7TCMRDYx.TTCM 部件[n]的 CM\_NRDY[n]变为 0，表示它已通电。
4. 将内存模块插回菊花链中的原位。

时序由硬件保证。如果需要启动多个部件，软件应在启用下一个部件之前读取寄存器 PWR\_M7MEMLPSTS.TCMRDY 等于 1。

TCM 存储块在 C1\_RUN 模式下由软件关闭电源后，在 STOP0 模式下保持关闭状态。从 STOP0 模式唤醒后，它们默认保持关闭状态；软件应配置相应的 PWR\_M7TCMPG0/1.TCM\_PGx[n] 为‘0’以启动 TCM 块 [n]的电源。

### 3.5.6 系统内存电源模式和控制

系统内存包括 AHB SRAM1、AHB SRAM2、AHB SRAM3、AHB SRAM4、AHB SRAM5s1、AHB SRAM5s2 和 AXI SRAM1。系统内存在各种系统电源模式下的电源管理概述在下表中提供。

表 3-10 内存电源模式和控制

电源模式	内存电源模式	内存电源模式控制
运行/睡眠	芯片使能	动态硬件控制（非软件控制）
	芯片禁用	动态硬件控制（非软件控制）
停止 0	芯片禁用	PWR_SYSEMLPCTRL.MEM_PGSTP0EN =0 并且 PWR_SYSEMLPCTRL.MEM_RETSTP0EN =0
	选择性/预充电	PWR_SYSEMLPCTRL.MEM_PGSTP0EN =0 并且 PWR_SYSEMLPCTRL.MEM_RETSTP0EN =1
	保留 1	PWR_SYSEMLPCTRL.MEM_PGSTP0EN =1 并且 PWR_SYSEMLPCTRL.MEM_RETSTP0EN =1
停止 2	保留 1	PWR_SYSEMLPCTRL.AHBSRAMx_RET1n_EN=1 PWR_SYSEMLPCTRL.AXISRAM_RET1n_EN=0
	保留 2	PWR_SYSEMLPCTRL.AHBSRAMx_RET1n_EN=0 PWR_SYSEMLPCTRL.AHBSRAMx_RET2n_EN=1 PWR_SYSEMLPCTRL.AXISRAM_RET1n_EN=0 PWR_SYSEMLPCTRL.AXISRAM_RET2n_EN=1
	关机	PWR_SYSEMLPCTRL.AHBSRAMx_RET1n_EN=0 PWR_SYSEMLPCTRL.AHBSRAMx_RET2n_EN=0 PWR_SYSEMLPCTRL.AXISRAM_RET1n_EN=0 PWR_SYSEMLPCTRL.AXISRAM_RET2n_EN=0
待命	关机	当芯片切换到系统待机电源模式时，所有系统内存将进入掉电模式。

备注：

1. PWR\_M7MEMLPCTRL.MEM\_RETSTP0EN/PWR\_M4MEMLPCTRL.MEM\_RETSTP0EN/PWR\_SYSEMLPCTRL.MEM\_RETSTP0EN，M7/M4/系统内存中所有内存共享的相同控制。

### 3.5.7 CM7 I/D Cache 电源控制

CM7 嵌入式 I/D 缓存的电源状态不能单独控制；相反，它们与 CM7 内核一起开关。

### 3.5.8 CM4 I/D Cache 电源控制

CM4 AHB I/D 缓存可以通过软件一起关闭。I/D 缓存的电源控制基于 AHB 低功耗接口 Q 通道总线协议。

要将 I/D-Cache 置于静止状态，CM4 需要发送静止请求命令；

要从静止状态唤醒 I/D-Cache，CM4 需要发送静止唤醒命令；

### 3.5.9 BKP SRAM 电源控制

64KB 备份 SRAM 在系统 STOP0 和 STOP2 模式下保持芯片禁用模式。在系统待机和 VBAT 模式下，BKP SRAM 可以根据软件配置处于保持模式 1 或断电模式。有关更多信息，请参阅下表。

STBY	保持模式 1	BKP SRAM 进入保持模式 1 当系统处于 S_STBY 模式时，如果 PWR_M7CTRL2.BSRSTBRET =1 或 PWR_M4CTRL2.BSRSTBRET =1。
	关机	BKP SRAM 将在进入掉电模式时 当系统处于 S_STBY 模式时， PWR_M7CTRL2.BSRSTBRET = 0 和 PWR_M4CTRL2.BSRSTBRET = 0
VBAT	保持模式 1	BKP SRAM 进入保持模式 1 当系统处于 VBAT 模式时，如果 PWR_M7CTRL2.BSRSTBRET =1 或 PWR_M4CTRL2.BSRSTBRET =1
	关机	BKP SRAM 将在进入掉电模式时 当系统处于 VBAT 模式时， PWR_M7CTRL2.BSRSTBRET = 0 和 PWR_M4CTRL2.BSRSTBRET = 0



### 3.5.10 DBG 低功耗模式

低功耗模式可以通过根据以下内容设置相应的 DBG\_MCU 寄存器进行调试。

控制信号	DBG 寄存器	描述
DBGSTBY_CM7	DBG_CTRL[5]	0: CM7 进入正常的 CSTANDBY 模式。 1: CM7 进入 DBG STANDBY 模式
DBGSTP_CM7	DBG_CTRL[4]	0: CM7 进入正常 CSTOP0/CSTOP2 模式。 1: CM7 进入 DBG STOP0 或 DBG STOP2 模式。
DBGSLP_CM7	DBG_CTRL[3]	0: CM7 进入正常 CSLEEP 模式。 1: CM7 进入 DBG SLEEP 模式
DBGSTBY_CM4	DBG_CTRL[2]	0: CM4 进入正常 CSTANDBY 模式。 1: CM4 进入 DBG STANDBY 模式
DBGSTP_CM4	DBG_CTRL[1]	0: CM4 进入正常 CSTOP0/CSTOP2 模式。 1: CM4 进入 DBG STOP0 或 DBG STOP2 模式。
DBGSLP_CM4	DBG_CTRL[0]	0: CM4 进入正常 CSLEEP 模式。 1: CM4 进入 DBG SLEEP 模式

进入 DBG 低功耗模式时，电源/时钟不会像正常低功耗模式那样关闭。调试器仍然可以访问 CPU 内核或外设的寄存器。

只有正常低功耗模式的唤醒源可以唤醒相应的 DBG 低功耗模式。例如，用于睡眠唤醒的普通中断不应唤醒 DBG STP0、DBGSTP2 或 DBGSTBY。

CSTOP0 和 CSTOP2 共享相同的控制位 DBG\_STOP\_CM7/DBG\_STOP\_CM4。

两个 CPU 内核的 DBG 低功耗模式是独立控制的。例如，CM7 可以处于 DBG 低功耗模式，而 CM7 可以处于正常功耗模式。

当 PWR 主 FSM 从 DBGSTBY 模式退出时，PWR 发送请求，RCC 生成系统复位。

下表列出了围绕 DBGSLP、DBGSTP0 和 DBGSTBY 的转换条件。

序号	FROM	TO	条件	描述
1	运行模式	DBGSLP	睡眠&调试睡眠	系统进入 DBGSLP 模式
2	DBGSLP	运行模式	中断/事件	系统从 DBGSLP 模式唤醒
3	运行模式	DBGSTP0	SLEEPDEEP &~PDDS & DBG_STP0	系统进入 DBGSTP0 模式
4	DBGSTP0	运行模式	EXTI	系统从 DBGSTP0 模式唤醒
5	运行模式	DBGSTP2	SLEEPDEEP &~PDDS & DBG_STP2	系统进入 DBGSTP2 模式
6	DBGSTP2	运行模式	EXTI	系统从 DBGSTP2 模式唤醒
7	运行模式	DBGSTBY	SLEEPDEEP &PDDS & DBG_STBY	系统进入 DBGPD 模式
8	DBGSTBY	DBGSTBYGORUN	dbg_pd_wakeup	系统从 DBGPD 模式唤醒。
9	DBGPDGORUN	POWRON	-	在 DBGPDGORUN 状态下，RCC 生成低功耗复位，PWR 主 FSM 进

				入复位状态 POWRON。
--	--	--	--	---------------

### 3.5.11 图像域电源控制

功能子域的开关完全由软件控制。CM7 或 CM4 都可以控制任何子域电源。GPU、JPEC、LCDC 和 DVP 被分组到图像域中。图像域及其包含的 IP 的存储器的电源是分别控制的。存储器只有开或关两种状态，IP 的存储器不使用保留模式。

图像域的电源控制描述如下。

#### 3.5.11.1 开启图像域

要启动图像域，请按照以下步骤操作：

1. 如果 GPU 需要工作，请写入 `PWR_IPMEMCTRL.GPU_PGEN=0` 以打开 GPU 内存的电源。然后轮询 `PWR_IPMEMSTS.GPU_PRDY` 的值，直到其为 '1'，以确保 GPU 内存电源已打开。
2. 如果需要使用 LCDC，请写入 `PWR_IPMEMCTRL.LCDC_PGEN=0` 以开启 LCDC 内存的电源。然后轮询 `PWR_IPMEMSTS.LCDC_PRDY` 的值，直到其为 '1'，以确保 LCDC 内存电源已开启。
3. 如果需要使 JPEG 工作，请写入 `PWR_IPMEMCTRL.JPEG_PGEN=0` 以打开 JPEG 内存的电源。然后轮询 `PWR_IPMEMSTS.JPEG_PRDY` 的值直到为 '1'，以确保 JPEG 内存电源已打开。
4. 如果需要使 MIPI DSI 工作，请写入 `PWR_IPMEMCTRL.DSI_PGEN = 0` 以打开 DSI 内存的电源。然后轮询 `PWR_IPMEMSTS.DSI_PRDY` 的值，直到其为 '1'，以确保 DSI 内存电源已打开。
5. 如果需要 DVP 工作，请写入 `PWR_IPMEMCTRL.DVP_PGEN = 0` 以打开 DVP 内存的电源。然后轮询 `PWR_IPMEMSTS.DVP_PRDY` 的值直到为 '1'，以确保 LCDC 内存电源已打开。
6. 将 `PWR_SYSCTRL3.GRCPSWACK1` 设置为 1 会通过更高的浪涌电流减少图像域的启动时间。建议保持默认值 (0) 以控制浪涌电流。
7. 将 `PWR_SYSCTRL3.GRC_PGEN` 设置为 1，这将开启图像域的电源。
8. 轮询 `PWR_SYSCTRL3.GRC_PWRRDY` 的值，直到其读取为 1。
9. 将 `PWR_SYSCTRL3.GRC_FUCEN` 设置为 1，这将使图像域退出复位状态。
10. 设置 `PWR_SYSCTRL3.GRC_ISNEN=1`，以解除图像域输出信号的隔离状态。

#### 3.5.11.2 关闭图像域

要关闭图像域，请按照以下步骤操作：

1. 清除 `PWR_SYSCTRL3.GRC_ISNEN = 0`，以对图像域输出信号应用隔离。
2. 清除 `PWR_SYSCTRL3.GRC_FUCEN = 0`，这将使图像域进入复位状态。
3. 清除 `PWR_SYSCTRL3.GRC_PGEN = 0`，这将关闭图像域的电源。
4. 轮询 `PWR_SYSCTRL3.GRC_PWRRDY` 的值，直到其读取为 0。
5. 如果 GPU 正在工作，请写入 `PWR_IPMEMCTRL.GPU_PGEN = 1` 以关闭 GPU 内存的电源。然后轮询 `PWR_IPMEMSTS.GPU_PRDY` 的值直到为 '0'，以确保 GPU 内存电源已关闭。
6. 如果 LCDC 正在工作，请写入 `PWR_IPMEMCTRL.LCDC_PGEN = 1` 以关闭 LCDC 内存的电源。然后轮询 `PWR_IPMEMSTS.LCDC_PRDY` 的值直到为 '0'，以确保 LCDC 内存电源已关闭。

7. 如果 JPEG 正在工作，请写入 `PWR_IPMEMCTRL.JEPG_PGEN=1` 以关闭 JPEG 内存的电源。然后轮询 `PWR_IPMEMSTS.JEPG_PRDY` 的值直到为‘0’，以确保 JPEG 内存电源已关闭。
8. 如果 MIPI DSI 正在工作，请写入 `PWR_IPMEMCTRL.DSI_PGEN=1` 以关闭 MIPI DSI 存储器的电源。然后轮询 `PWR_IPMEMSTS.DSI_PRDY` 的值直到为 ‘0’，以确保 DSI 存储器电源已关闭。
9. 如果 DVP 正在工作，请写入 `PWR_IPMEMCTRL.DVP_PGEN=1` 以关闭 DVP 存储器的电源。然后轮询 `PWR_IPMEMSTS.DVP_PRDY` 的值直到为‘0’，以确保 DVP 存储器电源已关闭。

### 3.5.12 HSC1 域的电控制

功能子域的开关完全由软件控制。CM7 或 CM4 都可以控制任何子域的电。USB1、ETH1 被分组到 HSC1 域中。

HSC1 域的电和组成模块的存储器是分别控制的。存储器只有开启或关闭状态，未使用保留模式来管理模块的存储器。

HSC1 域的电控制如下所述

#### 3.5.12.1 在 HSC1 域上电

要启动 HSC1 域，请按照以下步骤操作：

1. 如果 USB1 需要工作，请写入 `PWR_IPMEMCTRL.USB1_PGEN=0` 以打开 USB1 内存的电。然后轮询 `PWR_IPMEMSTS.USB1_PRDY` 的值，直到其为 '1'，以确保 USB1 内存电已打开。
2. 如果 ETH1 需要工作，请写入 `PWR_IPMEMCTRL.ETH1_PGEN=0` 以开启 ETH1 内存的电。然后轮询 `PWR_IPMEMSTS.ETH1_PRDY` 的值，直到其为 '1'，以确保 ETH1 内存电已开启。
3. 将 `PWR_SYSCTRL3.HSC1_PSWACK1` 设置为 1 将减少 HSC1 域的上电时间，但会导致更高的浪涌电。建议保持默认值 (0) 以控制浪涌电。
4. 将 `PWR_SYSCTRL3.HSC1_PGEN` 设置为 1，这将开启 HSC1 域的电。
5. 轮询 `PWR_SYSCTRL3.HSC1_PWRRDY` 的值，直到其读取为 1。
6. 将 `PWR_SYSCTRL3.HSC1_FUCEN` 设置为 1，这将使 HSC1 域退出复位状态。
7. 将 `PWR_SYSCTRL3.HSC1_ISNEN` 设置为 1，以解除 HSC1 域输出信号的隔离状态。

#### 3.5.12.2 关闭 HSC1 域

要关闭 HSC1 域，请按照以下步骤操作：

1. 清除 `PWR_SYSCTRL3.HSC1_ISNEN=0`，以对 HSC1 域输出信号应用隔离。
2. 清除 `PWR_SYSCTRL3.HSC1_FUCEN=0`，这将使 HSC1 域进入复位状态。
3. 清除 `PWR_SYSCTRL3.HSC1_PGEN=0`，这将关闭 HSC1 域的电。
4. 轮询 `PWR_SYSCTRL3.HSC1_PWRRDY` 的值，直到其读取为 0。
5. 如果 USB1 正在工作，写入 `PWR_IPMEMCTRL.USB1_PGEN=1` 以关闭 USB1 内存的电。然后轮询 `PWR_IPMEMSTS.USB1_PRDY` 的值直到为 '0'，以确保 USB1 内存电已关闭。
6. 如果 ETH1 正在工作，请写入 `PWR_IPMEMCTRL.ETH1_PGEN=1` 以关闭 ETH1 内存的电。然后轮询 `PWR_IPMEMSTS.ETH1_PRDY` 的值直到为 '0'，以确保 ETH1 内存电已关闭。

### 3.5.13 HSC2 域的电 源控制

功能子域的开关完全由软件控制。CM7 或 CM4 都可以控制任何子域的电 源。

USB2、ETH2 和 SDMMC2 被分组到 HSC2 域中。HSC2 域的电 源控制如下所述。

HSC2 域的电 源和组成模块的存储器是分别控制的。存储器只有开或关两种状态，未对模块的存储器使用保留模式。

HSC2 域的电 源控制描述如下

#### 3.5.13.1 在 HSC2 域上电

要开启 HSC2 域，请按照以下步骤操作：

1. 如果需要使 USB2 工作，请写入 `PWR_IPMEMCTRL.USB2_PGEN=0` 以打开 USB2 内存的电 源。然后轮询 `PWR_IPMEMSTS.USB2_PRDY` 的值，直到其为 '1'，以确保 USB2 内存电 源已打开。
2. 如果 ETH2 需要工作，请写入 `PWR_IPMEMCTRL.ETH2_PGEN=0` 以开启 ETH2 内存的电 源。然后轮询 `PWR_IPMEMSTS.ETH2_PRDY` 的值，直到其为 '1'，以确保 ETH2 内存电 源已开启。
3. 如果需要使 SDMMC2 工作，请写入 `PWR_IPMEMCTRL.SDMMC2_PGEN=0` 以打开 SDMMC2 内存的电 源。然后轮询 `PWR_IPMEMSTS.SDMMC2_PRDY` 的值，直到其为 '1'，以确保 SDMMC2 内存电 源已打开。
4. 将 `PWR_SYSCTRL3.HSC2_PSWACK1` 设置为 1 将通过更高的浪涌电 流减少 HSC2 域的上电时间。建议保持默认值 (0) 以控制浪涌电 流。
5. 将 `PWR_SYSCTRL3.HSC2_PGEN` 设置为 1，这将开启 HSC2 域的电 源。
6. 轮询 `PWR_SYSCTRL3.HSC2_PWRRDY` 的值，直到其读取为 1。
7. 将 `PWR_SYSCTRL3.HSC2_FUCEN` 设置为 1，这将使 HSC2 域退出复位状态。
8. 将 `PWR_SYSCTRL3.HSC2_ISNEN` 设置为 1，以解除 HSC2 域输出信号的隔离状态。

#### 3.5.13.2 关闭 HSC2 域

要关闭 HSC2 域，请按照以下步骤操作：

1. 清除 `PWR_SYSCTRL3.HSC2_ISNEN = 0`，以对 HSC2 域输出信号应用隔离。
2. 清除 `PWR_SYSCTRL3.HSC2_FUCEN = 0`，这将使 HSC2 域进入复位状态（类似于 PDR）。
3. 清除 `PWR_SYSCTRL3.HSC2_PGEN=0`，这将关闭 HSC2 域的电 源。
4. 轮询 `PWR_SYSCTRL3.HSC2_PWRRDY` 的值，直到其读取为 0。（最好检查，但不是强制的。）
5. 如果 USB2 正在工作，请写入 `PWR_IPMEMCTRL.USB2_PGEN=1` 以关闭 USB2 内存的电 源。然后轮询 `PWR_IPMEMSTS.USB2_PRDY` 的值直到为 '0'，以确保 USB2 内存电 源已关闭。
6. 如果 ETH2 正在工作，请写入 `PWR_IPMEMCTRL.ETH2_PGEN=1` 以关闭 ETH2 内存的电 源。然后轮询 `PWR_IPMEMSTS.ETH2_PRDY` 的值直到为 '0'，以确保 ETH2 内存电 源已关闭。
7. 如果 SDMMC2 正在工作，请写入 `PWR_IPMEMCTRL.SDMMC2_PGEN=1` 以关闭 SDMMC2 内存的电 源。然后轮询 `PWR_IPMEMSTS.SDMMC2_PRDY` 的值，直到其为 '0'，以确保 SDMMC2 内存电 源已关闭。

### 3.5.14 MDMA 域的电源控制

功能子域的开关完全由软件控制。CM7 或 CM4 都可以控制任何子域的电源。

MDMA 被设置为一个独立的域。MDMA 域的电源控制如下所述。

#### 3.5.14.1 在 MDMA 域上通电

要启动 MDMA 域，请按照以下步骤操作：

1. 将 PWR\_MDMACRRL.MDMA\_PSWACK1 设置为 1 将通过更高的浪涌电流减少 MDMA 域的启动时间。建议保持默认值（0）以控制浪涌电流。
2. 将 PWR\_MDMACRRL.MDMA\_PGEN 设置为 1，这将开启 MDMA 域的电源。
3. 轮询 PWR\_MDMACRRL.MDMA\_PWRRDY 的值，直到其读取为 1。
4. 将 PWR\_MDMACRRL.MDMA\_FUCEN 设置为 1，这将使 MDMA 域退出复位状态。
5. 将 PWR\_MDMACRRL.MDMA\_ISNEN 设置为 1，以解除 MDMA 域输出信号的隔离状态。

#### 3.5.14.2 关闭 MDMA 域

要关闭 MDMA 域，请按照以下步骤操作：

1. 清除 PWR\_MDMACRRL.MDMA\_ISONEN = 0，以对 MDMA 输出信号应用隔离。
2. 清除 PWR\_MDMACRRL.MDMA\_FUCEN = 0，这将使 MDMA 域进入复位状态。
3. 清除 PWR\_MDMACRRL.MDMA\_PGEN=0，这将关闭对 MDAM 域的电源。
4. 轮询 PWR\_MDMACRRL.MDMA\_PWRRDY 的值，直到其读取为 0。

### 3.5.15 ESC 域的电源控制

功能子域的开关完全由软件控制。CM7 或 CM4 都可以控制任何子域的电源。

ESC 被设置为一个独立的域。ESC 域的电源控制如下所述。

#### 3.5.15.1 开启 ESC 域

要启动 ESC 域，请按照以下步骤操作：

1. 将 0 写入 PWR\_IPMEMCTRL.ESC\_PGEN，以开启 ESC 存储器的电源。
2. 轮询 PWR\_IPMEMSTS.ESC\_PRDY 的值直到为‘1’，以确保 ESC 内存电源已准备好。
3. 将 PWR\_ESCCTRL.ESC\_PSWACK1 设置为 1 将减少 ESC 域的上电时间，但会导致更高的浪涌电流。建议保持默认值（0）以控制浪涌电流。
4. 设置 PWR\_ESCCTRL.ESC\_PGEN = 1，这将开启 ESC 域的电源。
5. 轮询 PWR\_ESCCTRL.ESC\_PWRRDY 的值，直到其读取为 1。
6. 将 PWR\_ESCCTRL.ESC\_FUCEN 设置为 1，这将使 ESC 域退出复位状态。
7. 将 PWR\_ESCCTRL.ESC\_ISNEN 设置为 1，以解除 ESC 域输出信号的隔离状态。

#### 3.5.15.2 关闭 ESC 域

要关闭 ESC 域，请按照以下步骤操作：

1. 清除 PWR\_ESCCTRL.ESC\_ISNEN = 0，以对 ESC 输出信号应用隔离。
2. 清除 PWR\_ESCCTRL.ESC\_FUCEN = 0，这将使 ESC 域进入复位状态。
3. 清除 PWR\_ESCCTRL.ESC\_PGEN=0，这将关闭 ESC 域的电源。
4. 轮询 PWR\_ESCCTRL.ESC\_PWRRDY 的值，直到其读取为 0。
5. 写 1 到 PWR\_IPMEMCTRL.ESC\_PGEN，以关闭 ESC 存储器的电源。
6. 轮询 PWR\_IPMEMSTS.ESC\_PRDY 的值直到为‘0’，以确保 ESC 内存电源已关闭。



### 3.5.16 SHRT\_AFE 域的电 源控制

功能子域的开关完全由软件控制。CM7 或 CM4 都可以控制任何子域的电 源。

两个 SHRTIMER 共享相同的模拟前端 SHRT\_AFE。SHRTIM\_AFE、SHRT1 和 SHRT2 是可以单独控制的电 源域。

#### 3.5.16.1 开启 SHRT\_AFE 域

如果任何域 SHRT1 或 SHRT2 已通电，SHRT\_AFE 应首先通电。

要启动 SHRTA 域，请按照以下步骤操作：

1. 将 PWR\_SHRTIMCTRL.SHRA\_PSWACK1 设置为 1 将通过更高的浪涌电流减少 SHRT\_AFE 域的启动时间。建议保持默认值（0）以控制浪涌电流。
2. 将 PWR\_SHRTIMCTRL.SHRA\_PGEN 设置为 1，这将打开 SHRT\_AFE 域的电 源。
3. 轮询 PWR\_SHRTIMCTRL.SHRA\_PWRRDY 的值，直到其读取为 1。
4. 将 PWR\_SHRTIMCTRL.SHRA\_FUCEN 设置为 1，这将使 SHRT\_AFE 域退出复位状态。
5. 将 PWR\_SHRTIMCTRL.SHRA\_ISO\_EN\_N 设置为 1，以解除 SHRT\_AFE 域输出信号的隔离状态。

#### 3.5.16.2 关闭 SHRT\_AFE 域

只有当 SHRT1 和 SHRT2 都关闭时，SHRT\_AFE 才能关闭。

要关闭 SHRT\_AFE 域，请按照以下步骤操作：

1. 清除 PWR\_SHRTIMCTRL.SHRA\_ISONEN=0，以对 SHRT\_AFE 输出信号应用隔离。
2. 清除 PWR\_SHRTIMCTRL.SHRA\_FUCEN=0，这将使 SHRT\_AFE 域进入复位状态。
3. 清除 PWR\_SHRTIMCTRL.SHRA\_PGEN=0，这将关闭 SHRT\_AFE 域的电 源。
4. 轮询 PWR\_SHRTIMCTRL.SHRA\_PWRRDY 的值，直到其读取为 0。

### 3.5.17 SHRT1 域的电 源控制

功能子域的开关完全由软件控制。CM7 或 CM4 都可以控制任何子域的电 源。

两个 SHRTIMER 共享相同的模拟前端 SHRT\_AFE。SHRTIM\_AFE、SHRT1 和 SHRT2 是可以单独控制的电 源域。如果任何一个电 源域 SHRT1 或 SHRT2 被开启，SHRT\_AFE 也会被开启。只有当 SHRT1 和 SHRT2 都关闭时，SHRT\_AFE 才能关闭。

#### 3.5.17.1 在 SHRT1 域上电

如果 SHRT\_AFE 尚未开启，请先按照 3.5.16.1 的步骤开启 SHRT\_AFE。

要启动 SHRT1 域，请按照以下步骤操作：

1. 将 PWR\_SHRTIMCTRL.SHR1\_PSWACK1 设置为 1 将通过更高的浪涌电流减少 SHRT1 域的上电时 间。建议保持默认值（0）以控制浪涌电流。
2. 将 PWR\_SHRTIMCTRL.SHR1\_PGEN 设置为 1，这将开启对 SHRT1 域的电 源。
3. 轮询 PWR\_SHRTIMCTRL.SHR1\_PWRRDY 的值，直到其读取为 1。

4. 将 PWR\_SHRTIMCTRL.SHR1\_FUCEN 设置为 1，这将使 SHRT1 域退出复位状态。
5. 将 PWR\_SHRTIMCTRL.SHR1\_ISNEN\_N 设置为 1，以解除 SHRT1 域输出信号的隔离状态。

### 3.5.17.2 关闭 SHRT1 域

要关闭 SHRT1 域，请按照以下步骤操作：

1. 清除 PWR\_SHRTIMCTRL.SHR1\_ISNEN=0，以对 SHRT1 输出信号应用隔离。
2. 清除 PWR\_SHRTIMCTRL.SHR1\_FUCEN=0，这将使 SHRT1 域进入复位状态。
3. 清除 PWR\_SHRTIMCTRL.SHR1\_PGEN=0，这将关闭对 SHRT1 域的电
4. 轮询 PWR\_SHRTIMCTRL.SHR1\_PWRRDY 的值，直到其读取为 0。
5. 如果未使用 SHRT1，可以按照 3.5.16.2 的步骤关闭 SHART\_AFE 电源。

### 3.5.18 SHRT2 域的电

功能子域的开关完全由软件控制。CM7 或 CM4 都可以控制任何子域的电

两个 SHRTIMER 共享相同的模拟前端 SHRT\_AFE。SHRTIM\_AFE、SHRT1 和 SHRT2 是可以单独控制的电源域。如果任何一个电源域 SHRT1 或 SHRT2 被开启，SHRT\_AFE 也会被开启。只有当 SHRT1 和 SHRT2 都关闭时，SHRT\_AFE 才能关闭。

#### 3.5.18.1 在 SHRT2 域上通电

如果 SHART\_AFE 尚未开启，请先按照 3.5.16.1 的步骤开启 SHART\_AFE。

要启动 SHRT2 域，请按照以下步骤操作：

1. 将 PWR\_SHRTIMCTRL.SHR2\_PSWACK1 设置为 1 将通过更高的浪涌电流减少 SHRT2 域的上电时间。建议保持默认值（0）以控制浪涌电流。
2. 将 PWR\_SHRTIMCTRL.SHR2\_PGEN 设置为 1，这将开启 SHRT2 域的电
3. 轮询 PWR\_SHRTIMCTRL.SHR2\_PWRRDY 的值，直到其读取为 1。
4. 将 PWR\_SHRTIMCTRL.SHR2\_FUCEN 设置为 1，这将使 SHRT2 域退出复位状态。
5. 将 PWR\_SHRTIMCTRL.SHR2\_ISNEN 设置为 1，以解除 SHRT2 域输出信号的隔离状态。

#### 3.5.18.2 关闭 SHRT2 域

要关闭 SHRT2 域，请按照以下步骤操作：

1. 清除 PWR\_SHRTIMCTRL.SHR2\_ISNEN=0，以对 SHRT2 输出信号应用隔离。
2. 清除 PWR\_SHRTIMCTRL.SHR2\_FUCEN=0，这将使 SHRT2 域进入复位状态。
3. 清除 PWR\_SHRTIMCTRL.SHR2\_PGEN=0，这将关闭对 SHRT2 域的电
4. 轮询 PWR\_SHRTIMCTRL.SHR2\_PWRRDY 的值，直到其读取为 0。

如果未使用 SHRT2，可以按照 3.5.16.2 的步骤关闭 SHART\_AFE 电源。

### 3.5.19 电源控制的 FMAC

FMAC位于VDDD\_MAIN域中。FMAC模块通过VDDD供电和断电，由PWR硬件控制。FMAC存储器的电源状态完全由软件控制。

#### 3.5.19.1 打开 FMAC 内存电源

要在应用程序中启用 FMAC，请按照以下步骤先启动 FMAC 内存。

1. 将‘0’写入 PWR\_IPMEMCTRL.FMAC\_PGEN，以开启 FMAC 内存的电源。
2. 轮询 PWR\_IPMEMSTS.FMAC\_PRDY 的值直到为‘1’，以确保 FMAC 内存电源已准备好。

#### 3.5.19.2 关闭 FMAC 内存电源

当 FMAC 未使用时，请按照以下步骤关闭 FMAC 内存以节省电量：

1. 将‘1’写入 PWR\_IPMEMCTRL.FMAC\_PGEN，以关闭 FMAC 内存的电源。
2. 轮询 PWR\_IPMEMSTS.FMAC\_PRDY 的值直到为‘0’，以确保 FMAC 内存电源已关闭。

### 3.5.20 运行模式下的电压调节

VDDD 的电压可以在 0.8V 到 0.9V 之间调节。

在 DCDC 供电模式下，通过配置 AFEC 寄存器 DA\_DCDC\_VSEL，可以在 RUN 模式下设置 DCDC 电压。

用于测试或向芯片外部供电（通过设置 DCDC\_FON=1）的目的，DCDC 可以设置为输出高于 1V 的电压。为了确保 DCDC 安全输出高于 1V 的电压，应将 OTP 配置 DCDC\_HIGH\_VCORE\_EN 设置为 1，并将寄存器 DCDC\_VSELKEY 配置为 0xF。

DA\_DCDC\_VSEL 与 DCDC 在锁定和未锁定条件下输出电压的映射如下所示。

**表 3-11 DCDC 输出电压配置**

AFEC_DCDC_VSEL (from AFEC)	DCDC_VSELKEY!=0xF 或者 DCDC_HIGHT_VCORE_EN==0	DCDC_VSELKEY==0xF 和 DCDC_HIGHT_VCORE_EN==1
0000	0.60V	0.60V
0001	0.60V	0.60V
0010	0.65V	0.65V
0011	0.70V	0.70V
0100	0.75V	0.75V
0101	0.80V	0.80V
0110	0.85V	0.85V
0111	0.90V	0.90V
1000	0.95V	0.95V
1001	1.00V	1.00V
1010	<b>1.00V</b>	<b>1.05V</b>
1011	<b>1.00V</b>	<b>1.10V</b>
1100	<b>1.00V</b>	<b>1.15V</b>
1101	<b>1.00V</b>	<b>1.20V</b>
1110	<b>1.00V</b>	<b>1.25V</b>
1111	<b>1.00V</b>	<b>1.30V</b>

DCDC 嵌入了上电复位 (POR) 和欠压复位 (BOR) 电路。DCDC POR 和 BOR 的阈值电压分别由 AFEC 寄存器 AFEC\_DCDC\_VSEL\_POR 和 AFEC\_DCDC\_VSEL\_BOR 设置。DCDC POR 和 BOR 的阈值必须根据

DCDC 的调节输出电压进行设置。

表 3-12 DCDC VSEL\_POR/VSEL\_BOR 映射

AFEC_DCDC_VSEL_POR/BOR[4:0]	V <sub>MON,POR/BOR</sub> (V)	等效 POR 阈值电压(V)	等效 BOR 阈值电压(V)
00000	0.55	0.479	0.473
00001	0.60	0.522	0.516
00010	0.65	0.566	0.559
00011	0.70	0.609	0.602
00100	0.75	0.653	0.645
00101	0.80	0.696	0.688
00110	0.85	0.740	0.731
00111	0.90	0.783	0.774
01000	0.95	0.827	0.817
01001	1.00	0.871	0.86
01010	1.05	0.914	0.903
01011	1.10	0.957	0.946
01100	1.15	1.001	0.989
01101	1.20	1.044	1.032
01110	1.25	1.088	1.075
01111	1.30	1.131	1.118
其他（不允许）	>1.30	>=1.175	>=1.161

在主 LDO 供电模式下，PWR 寄存器 MLDO\_OVSEL 用于设置主 LDO 的输出电压。

在外部供电模式下，VDDD 的电压由用户决定。用户软件无法控制。软件应在启动时将 VDDDBK 和 PLL LDO 的电压设置为相同水平，以确保芯片内部不同电压不会导致大的泄漏或故障。

确保 BKPLDO、VDDD 的来源（主 LDO、DCDC 或外部电源）和 PLL 的 LDO 之间的电压对齐是至关重要的。

VDDD POR 监控 VDDD 的电压以生成 POR 复位。VDDD POR 由 PWR 寄存器 VDDD\_POR\_SEL 控制。为了确保电压平稳调整且无任何与电源相关的问题，在调整 VDDD 电压时必须遵循以下顺序，

在降低电压时，软件必须确保在对 VDDD 电压进行任何更改之前，先降低 VDDD POR 阈值电压，以防止触发 VDDD POR。在提高电压时，建议在调整 VDDD 电压后经过特定延迟后再调整 VDDD POR 阈值。

在 RUN 模式下，VDDDBK 电源由 VDDD 供电，BKPLDO 的输出电压配置不会影响 VDDDBK 电压。

VDDDBK POR 监控 VDDDBK 的电压。VDDDBK POR 的标称阈值固定为 0.7V。VDDDBK PDR 的标称阈值设置为 0.65V。VDDDBK POR 和 PDR 的阈值设置在一个即使电源降至 0.8V 也不会触发 POR 或 PDR 的值。

### 3.5.20.1 DCDC 从 0.9V 下调到 0.8V

在 DCDC 供电 VDDD 模式下操作时，请按照以下步骤将 DCDC 从 0.9V 降至 0.8V。

1. 通过将 PWR 寄存器 VDDD\_POR\_SEL 设置为 2'b00（POR 0.70V；PDR 0.65V）来设置 VDDD POR 阈

值:

2. 将 AFEC\_DCDC\_VSEL\_POR 设置为 5'b00101, 这将把 VMON,BOR 和 VMON,POR 都设置为 0.8V。  
请注意, 为了使 DCDC\_POR 和 DCDC\_BOR 具有有效行为, 必须确保 VMON,BOR 不大于 VMON,POR。
3. 将 DCDC 输出电压设置为 0.8V, 通过将 AFEC\_DCDC\_VSEL 配置为 2'b0101。

### 3.5.20.2 将 DCDC 从 0.8V 提高到 0.9V

在 DCDC 供电 VDDD 模式下操作时, 请按照以下步骤将 DCDC 从 0.8V 提高到 0.9V:

1. 将 DCDC 输出电压设置为 0.9V, 通过将 AFEC\_DCDC\_VSEL 配置为'b0111。
2. 将 AFEC\_DCDC\_VSEL\_POR 设置为 5'b00111, 这将把 VMON,BOR 和 VMON,POR 都设置为 0.9V。  
注意: 为了使 DCDC\_POR 和 DCDC\_BOR 具有有效行为, 必须确保 VMON,BOR 不大于 VMON,POR。
3. 通过将 PWR 寄存器 VDDD\_POR\_SEL 设置为 2'b11 (POR 0.80V; PDR 0.75V) 来设置 VDDD POR 阈值:

### 3.5.20.3 将主 LDO 从 0.9V 下调到 0.8V

在主 LDO 供电 VDDD 模式下操作时, 请按照以下步骤将主 LDO 从 0.9V 降至 0.8V:

1. 通过将 PWR 寄存器 VDDD\_POR\_SEL 设置为 2'b00 (POR 0.70V; PDR 0.65V) 来设置 VDDD POR 阈值:
2. 将主 LDO 输出电压设置为 0.8V, 通过将 MLDO\_OVSEL 配置为 2'b00 (0.8V)。

### 3.5.20.4 将主 LDO 从 0.8V 提高到 0.9V

在主 LDO 供电 VDDD 模式下操作时, 请按照以下步骤将主 LDO 从 0.8V 提高到 0.9V:

1. 将主 LDO 输出电压设置为 0.9V, 通过将 MLDO\_OVSEL 配置为 2'b10。
2. 通过将 PWR 寄存器 VDDD\_POR\_SEL 设置为 2'b11 (POR 0.80V; PDR 0.75V) 来设置 VDDD POR 阈值:

上述软件序列确保在降低 VDDD 电压之前降低 VDDD POR 阈值电压, 从而在降低 VDDD 电压时不会触发 VDDD POR。

### 3.5.20.5 将 BKPLDO 从 0.9V 下调到 0.8V

BKPLDO (ALDO) 的输出电压由 PWR 寄存器 BG\_VREF\_VSEL 控制。要将 BKPLDO 输出从 0.9V 降至 0.8V:

1. 通过配置 BG\_VREF\_VSEL=1(0.8v), 将 BKPLDO 输出电压设置为 0.8V。

### 3.5.20.6 将 BKPLDO 从 0.8V 提高到 0.9V

BKPLDO (ALDO) 的输出电压由 PWR 寄存器 BG\_VREF\_VSEL 控制。要将 BKPLDO 输出从 0.8V 提高到 0.9V:

1. 将 BKPLDO 输出电压设置为 0.9V, 通过配置 BG\_VREF\_VSEL=0(0.9V)。

## 3.5.21 低功耗模式下的电压调节

在切换到系统 STOP2 模式或 STANDBY 模式时, VDDD 的电源电压可以降至 0.8V。PWR 寄存器

MR\_LPVSELEN 的设置决定了系统是否会降低 VDDD 的电压。

### 3.5.21.1 将 DCDC 从 0.9V 下调到 0.8V

在 DCDC 供电模式下运行时，请按照以下步骤将 DCDC 输出电压调节配置为 0.8V，以适应系统电源模式 STOP2/STANDBY (MR\_STBY\_OFF\_EN = 0)：

1. 在系统运行模式下，DCDC 电压取决于 AFEC 寄存器 DA\_DCDC\_VSEL；DCDC 上电复位阈值电压取决于 DCDC\_VSEL\_POR，而 VDDD 上电复位取决于 AFEC 寄存器 VDDD\_POR\_MR\_SEL。
2. 配置 VDDD\_LPPOR\_VSEL='b00 (POR 为 0.7V，PDR 为 0.65V) 以设置低功耗模式下 VDDD POR 的阈值电压。
3. 通过配置 DCDC\_LPPORVSEL='b00101 (目标监控 0.8V) 来设置目标 DCDC POR 参考电压。
4. 在进入低功耗模式之前，配置 PWR 寄存器 DCDC\_LPVSEL='b0101(0.8V)以设置 STOP2/STANDBY 模式下的目标 DCDC 输出电压。

*注意：如果在目标应用中所有低功耗模式下 DCDC\_LPVSEL 是固定的，则无需在每次进入低功耗模式之前配置 DCDC\_LPVSEL。只需在系统初始化时配置一次即可。*

5. 通过配置 MR\_LPVSELEN，在 STOP2/STANDBY 模式下启用电压调节。
6. 启动系统电源模式向 STOP2/STANDBY 模式的切换。

在低功耗模式 STOP2/STANDBY 唤醒时，VDDD 的电压首先根据 AFEC 寄存器 DA\_DCDC\_VSEL 的设置进行调整，然后 VDDD 的 POR 阈值调整为 AFEC 寄存器 VDDD\_POR\_MR\_SEL。

此 PWR 硬件控制 VDDD POR 阈值调整和 DCDC 输出电压调整的顺序，以确保在电压调节期间不会触发 POR。

DCDC 可以通过将 DCDCFRcen 设置为 1 来强制启用。当启用此设置时，DCDC 将无论系统电源模式如何都运行，DCDC 的输出电压将由 DCDC\_FVSEL 的值决定。DCDC 的输出电压如表中所示。

**表 3-13 DCDC 输出电压配置**

DCDC_LPVSEL	DCDC_VSELKEY!=0xF 或 DCDC_HIGHT_VCORE_EN==0	DCDC_VSELKEY==0xF 和 DCDC_HIGHT_VCORE_EN==1
0000	0.60V	0.60V
0001	0.60V	0.60V
0010	0.65V	0.65V
0011	0.70V	0.70V
0100	0.75V	0.75V
0101	0.80V	0.80V
0110	0.85V	0.85V
0111	0.90V	0.90V
1000	0.95V	0.95V
1001	1.00V	1.00V
1010	<b>1.00V</b>	<b>1.05V</b>
1011	<b>1.00V</b>	<b>1.10V</b>
1100	<b>1.00V</b>	<b>1.15V</b>
1101	<b>1.00V</b>	<b>1.20V</b>

1110	1.00V	1.25V
1111	1.00V	1.30V

### 3.5.21.2 将主 LDO 从 0.9V 下调到 0.8V

在主 LDO 供电模式下运行时，请按照以下步骤将系统电源模式 STOP2/STANDBY (MR\_STBY\_OFF\_EN = 0) 中的主 LDO 输出电压调节配置为 0.8V：

1. 在系统运行模式下，主 LDO 电压取决于 PWR 寄存器 MLDO\_OVSEL，VDDD POR 取决于 AFEC 寄存器 VDDD\_POR\_MR\_SEL。
2. 配置 PWR 寄存器 VDDD\_LPPOR\_VSEL='b00 (POR 为 0.7V，PDR 为 0.65V) 以设置低功耗模式下 VDDD POR 的阈值电压。
3. 在进入低功耗模式之前，配置 PWR 寄存器 MLDO\_LPOVSEL='b00(0.8V)以设置 STOP2/STANDBY 模式下的目标主 LDO 输出电压。

*注意：如果不需要调整，则无需在每次进入低功耗模式之前配置 MLDO\_LPOVSEL。如果在目标应用中所有低功耗模式下都是固定的，只需在系统初始化时配置一次即可。*

4. 配置 MR\_LPVSELEN = 1，使能 STOP2/STANDBY 模式下的电压调节功能。
5. 启动系统电源模式向 STOP2/STANDBY 模式的切换。

在低功耗模式 STOP2/STANDBY 唤醒时，VDDD 的电压首先根据 PWR 寄存器 MLDO\_OVSEL 的设置进行调整，然后将 VDDD POR 阈值调整为 AFEC 寄存器 VDDD\_POR\_MR\_SEL。

此 PWR 硬件控制 VDDD POR 阈值调整和主 LDO 输出电压调整的顺序，以确保在电压调节期间不会触发 POR。

### 3.5.21.3 将 BKPLDO 从 0.9V 下调至 0.8V

如果 MR\_LPVSELEN 为 1，BKP LDO (ALDO) 的电压在低功耗模式 STOP2 和 STANDBY 下由 BG\_LPVREF\_VSEL 控制；否则，BKP LDO 的电压在 RUN 模式下由 BG\_VREF\_VSEL 控制。

按照以下步骤在低功耗模式下下调 BKP LDO：

1. 将 BKP LDO 输出电压设置为 0.8V，通过配置 BG\_LPVREF\_VSEL= 1(0.8V)。
2. 将 MR\_LPVSELEN 配置为 1，以启用低功耗模式下的电源调节。



## 3.6 寄存器

### 3.6.1 PWR M7 控制寄存器 1 (PWR\_M7CTRL1)

此寄存器允许控制 M7 内核电源。

偏移地址：0x00

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															CVBATF
															rc_w1
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											CSBF	CWKUP F	PDS	Reserved	
											rc_w1	rc_w1	rw		

位域	名称	描述
31:17	保留	保留，必须保持复位值
16	CVBATF	清除 VBAT 标志。 始终读取为 0。 0：无效 1：清除 PWR_M7CTRLSTS.SBF 和 PWR_M7CTRLSTS.VBATF 标志位。
15:4	保留	保留，必须保持复位值
3	CSBF	清除 STANDBY 标志。 始终读取为 0。 0：无效 1：清除 PWR_M7CTRLSTS.SBF 和 PWR_M7CTRLSTS.VBATF 标志。
2	CWKUPF	清除引脚唤醒位。 始终读取为 0。 0：无效 1：清除 PWR_M7CTRLSTS.WKUPxF 唤醒位。
1	PDS	掉电深度睡眠位。 0：当 M7 输出 DEEPSLEEP 为“1”时，芯片进入待机模式。 1：当 M7 输出 DEEPSLEEP 为“1”时，芯片进入停止模式。
0	保留	保留，必须保持复位值

### 3.6.2 PWR M7 控制状态寄存器 (PWR\_M7CTRLSTS)

此寄存器允许控制 M7 内核电源。

偏移地址：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved					WKUP6F	WKUP5F	WKUP4F	WKUP3F	WKUP2F	WKUP1F	WKUP0F	WKUP5 POL	WKUP4 POL	WKUP3 POL	WKUP2 POL
					r	r	r	r	r	r	r	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WKUP1 POL	WKUP0 POL	WKUP5 EN	WKUP4 EN	WKUP3 EN	WKUP2 EN	WKUP1 EN	WKUP0 EN	Reserved					VBATF	SBF	Reserved
rw	rw	rw	rw	rw	rw	rw	rw						r	r	

位域	名称	描述
31:27	保留	保留，必须保持复位值。
26	WKUP6F	RTC 唤醒标志。 此位由硬件设置为 1，并由硬件、系统复位或设置 PWR_M7CTRL1.CWKUPF 位清除。 0：未发生唤醒事件 1：在 RTC 闹钟上发生了唤醒事件
25	WKUP5F	WKUP5 引脚 PC1 唤醒标志。 此位由硬件设置为 1，并由硬件、系统复位或设置 PWR_M7CTRL1.CWKUPF 位清除。 0：未发生唤醒事件 1：WKUP 引脚上发生了唤醒事件 <i>注意：当 WKUP 引脚为高电平时，启用 WKUP 引脚进行唤醒将检测到一个额外的唤醒事件。</i>
24	WKUP4F	WKUP4 引脚 PI11 唤醒标志。 此位由硬件设置为 1，并由硬件、系统复位或设置 PWR_M7CTRL1.CWKUPF 位清除。 0：未发生唤醒事件 1：WKUP 引脚上发生了唤醒事件 <i>注意：当 WKUP 引脚为高电平时，启用 WKUP 引脚进行唤醒将检测到一个额外的唤醒事件。</i>
23	WKUP3F	WKUP3 引脚 PI8 唤醒标志。 此位由硬件设置为 1，并由硬件、系统复位或设置 PWR_M7CTRL1.CWKUPF 位清除。 0：未发生唤醒事件 1：WKUP 引脚上发生了唤醒事件 <i>注意：当 WKUP 引脚为高电平时，启用 WKUP 引脚进行唤醒将检测到一个额外的唤醒事件。</i>
22	WKUP2F	WKUP2 引脚 PC13 唤醒标志。 此位由硬件设置为 1，并由硬件、系统复位或设置 PWR_M7CTRL1.CWKUPF 位清除。 0：未发生唤醒事件 1：WKUP 引脚上发生了唤醒事件 <i>注意：当 WKUP 引脚为高电平时，启用 WKUP 引脚进行唤醒将检测到一个额外的唤醒事件。</i>

位域	名称	描述
		的唤醒事件。
21	WKUP1F	WKUP1 引脚 PA2 唤醒标志。 此位由硬件设置为 1，并由硬件、系统复位或设置 PWR_M7CTRL1.CWKUPF 位清除。 0：未发生唤醒事件 1：WKUP 引脚上发生了唤醒事件 <i>注意：当 WKUP 引脚为高电平时，启用 WKUP 引脚进行唤醒将检测到一个额外的唤醒事件。</i>
20	WKUP0F	WKUP0 引脚 PA0 唤醒标志。 此位由硬件设置为 1，并由硬件、系统复位或设置 PWR_M7CTRL1.CWKUPF 位清除。 0：未发生唤醒事件 1：WKUP 引脚上发生了唤醒事件 <i>注意：当 WKUP 引脚为高电平时，启用 WKUP 引脚进行唤醒将检测到一个额外的唤醒事件。</i>
19	WKUP5POL	唤醒极性用于 WKUP5 引脚 PC1。 使用高电平或低电平从待机模式唤醒时，请确保在更改唤醒方式时禁用唤醒使能。 0：高电平唤醒 1：低电平唤醒
18	WKUP4POL	唤醒极性用于 WKUP4 引脚 PI11。 使用高电平或低电平从待机模式唤醒时，请确保在更改唤醒方式时禁用唤醒使能。 0：高电平唤醒 1：低电平唤醒
17	WKUP3POL	唤醒极性用于 WKUP3 引脚 PI8。 使用高电平或低电平从待机模式唤醒时，请确保在更改唤醒方式时禁用唤醒使能。 0：高电平唤醒 1：低电平唤醒
16	WKUP2POL	唤醒极性用于 WKUP2 引脚 PC13。 使用高电平或低电平从待机模式唤醒时，请确保在更改唤醒方式时禁用唤醒使能。 0：高电平唤醒 1：低电平唤醒
15	WKUP1POL	唤醒极性用于 WKUP1 引脚 PA2。 使用高电平或低电平从待机模式唤醒时，请确保在更改唤醒方式时禁用唤醒使能。 0：高电平唤醒 1：低电平唤醒
14	WKUP0POL	唤醒极性用于 WKUP0 引脚 PA0。 使用高电平或低电平从待机模式唤醒时，请确保在更改唤醒方式时禁用唤醒使能。

位域	名称	描述
		0: 高电平唤醒 1: 低电平唤醒
13	WKUP5EN	WKUP5 引脚 PC1 唤醒启用 0: WKUP 引脚是一个通用 I/O, WKUP 引脚上的事件无法唤醒芯片退出待机模式。 1: WKUP 引脚用于从待机模式唤醒, 并被强制配置为输入下拉模式 (WKUP 引脚的上升沿将系统从待机模式唤醒)。 <i>注意: 此位在系统复位期间被清除。</i>
12	WKUP4EN	WKUP4 引脚 PI11 唤醒启用 0: WKUP 引脚是一个通用 I/O, WKUP 引脚上的事件无法唤醒芯片退出待机模式。 1: WKUP 引脚用于从待机模式唤醒, 并被强制配置为输入下拉模式 (WKUP 引脚的上升沿将系统从待机模式唤醒)。 <i>注意: 此位在系统复位期间被清除。</i>
11	WKUP3EN	WKUP3 引脚 PI8 唤醒启用 0: WKUP 引脚是一个通用 I/O, WKUP 引脚上的事件无法唤醒芯片退出待机模式。 1: WKUP 引脚用于从待机模式唤醒, 并被强制配置为输入下拉模式 (WKUP 引脚的上升沿将系统从待机模式唤醒)。 <i>注意: 此位在系统复位期间被清除。</i>
10	WKUP2EN	WKUP2 引脚 PC13 唤醒启用 0: WKUP 引脚是一个通用 I/O, WKUP 引脚上的事件无法唤醒芯片退出待机模式。 1: WKUP 引脚用于从待机模式唤醒, 并被强制配置为输入下拉模式 (WKUP 引脚的上升沿将系统从待机模式唤醒)。 <i>注意: 此位在系统复位期间被清除。</i>
9	WKUP1EN	WKUP1 引脚 PA2 唤醒启用 0: WKUP 引脚是一个通用 I/O, WKUP 引脚上的事件无法唤醒芯片退出待机模式。 1: WKUP 引脚用于从待机模式唤醒, 并被强制配置为输入下拉模式 (WKUP 引脚的上升沿将系统从待机模式唤醒)。 <i>注意: 此位在系统复位期间被清除。</i>
8	WKUP0EN	WKUP0 引脚 PA0 唤醒启用 0: WKUP 引脚是一个通用 I/O, WKUP 引脚上的事件无法唤醒芯片退出待机模式。 1: WKUP 引脚用于从待机模式唤醒, 并被强制配置为输入下拉 (WKUP 引脚的上升沿将系统从待机模式唤醒)。 <i>注意: 此位在系统复位期间被清除。</i>
7:3	保留	保留, 必须保持复位值
2	VBATF	VBAT 标志。 此位由硬件设置, 并通过 POR/PDR (上电/掉电复位) 或设置 PWR_M7CTRL1.CVBTF 位清除。 0: M7 内核未处于 VBAT 模式

位域	名称	描述
		1: M7 内核进入 VBAT 模式
1	SBF	待机标志。 此位由硬件设置, 并通过 POR/PDR (上电/掉电复位) 或设置 PWR_M7CTRL1.CSBF 位清除。 0: M7 内核未处于待机模式 1: M7 内核进入待机模式
0	保留	保留, 必须保持复位值。

### 3.6.3 PWR M7 控制寄存器 2 (PWR\_M7CTRL2)

此寄存器允许控制 M7 内核电源。

偏移地址: 0x08

复位值: 0x7FFF E904

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															TCM_RDYMD[1]
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCM_RDYMD[0]	PWR_RDYMD[1:0]	HCLK_ONINSLP	NRST_WUPEN	Reserved				RTC_ALM_WUPEN	Reserved				BSRSTB_RET	BSRVB_RET	STOP2EN
rw	rw	rw	rw					rw					rw	rw	rw

位域	名称	描述
31:17	保留	保留, 必须保持复位值。
16:15	TCM_RDYMD[1:0]	选择检查 CM7 域的 TCM 电源的就绪方式 00: 仅检查来自 TCM 电源开关的 RDY 信号 01: 检查在启用 CM7 域的 TCM 电源开关后的延迟 10: 检查来自 TCM 电源开关的延迟和 RDY 信号 11: 检查来自 TCM 电源开关的 RDY 信号后的延迟
14:13	PWR_RDYMD[1:0]	选择了检查 CM7 域电源就绪的方法 00: 仅检查来自电源开关的 RDY 信号 01: 检查启用 CM7 域电源开关后的延迟 10: 检查电源开关的延迟和 RDY 信号 11: 检查电源开关的 RDY 信号后的延迟
12	HCLK_ONINSLP	1: 当 M7 内核处于 SLEEP 模式时, HCLK 开启。 0: 当 M7 内核处于 SLEEP 模式时, HCLK 关闭。
11	NRST_WUPEN	NRST 唤醒事件在 M7 内核的待机模式下启用。 0: 禁用 NRST 事件唤醒 M7 内核 1: 启用 NRST 事件唤醒 M7 内核
10:9	保留	保留, 必须保持复位值。

位域	名称	描述
8	RTC_ALMWUPEN	在待机模式下，M7 内核启用 RTC_ALARM 唤醒。 0：禁用 RTC_ALARM 唤醒 M7 内核 1：使能 RTC_ALARM 唤醒 M7 内核
7:3	保留	保留，必须保持复位值。
2	BSRSTBRET	在待机模式下启用备份 SRAM 保持功能。 0：备份 SRAM 在待机模式下不保持 1：备份 SRAM 在待机模式下保持
1	BSRVBRET	在 VBAT 模式下启用备份 SRAM 保持功能。 0：备份 SRAM 在 VBAT 模式下不保持 1：备份 SRAM 在 VBAT 模式下保持
0	STOP2EN	M7 内核 STOP2 模式启用。 0：M7 内核进入 STOP0 模式 1：M7 内核进入 STOP2 模式

### 3.6.4 PWR M4 控制寄存器 1 (PWR\_M4CTRL1)

此寄存器允许控制 M4 内核电源。

地址偏移：0x20

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															CVBATF
re_w1															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												CSBF	CWKUPF	PDS	Reserved
												re_w1	re_w1	rw	

位域	名称	描述
31:17	保留	保留，必须保持复位值
16	CVBATF	清除 VBAT 标志。 始终读取为 0。 0：无效 1：清除 PWR_M4CTRLSTS.SBF 和 PWR_M4CTRLSTS.VBATF 标志。
15:4	保留	保留，必须保持复位值
3	CSBF	清除 STANDBY 标志。 始终读取为 0。 0：无效 1：清除 PWR_M4CTRLSTS.SBF 和 PWR_M4CTRLSTS.VBATF 标志。
2	CWKUPF	清除引脚唤醒位。 始终读取为 0。

位域	名称	描述
		0: 无效 1: 清除 PWR_M4CTRLSTS.WKUPxF 唤醒位。
1	PDS	深度睡眠位。 0: 当 M4 内核输出 DEEPSLEEP 为“1”时, 芯片进入待机模式。 1: 当 M4 内核输出 DEEPSLEEP 为“1”时, 芯片进入停止模式。
0	保留	保留, 必须保持复位值

### 3.6.5 PWR M4 控制状态寄存器 (PWR\_M4CTRLSTS)

此寄存器允许控制 M4 内核电源。

偏移地址: 0x24

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved						WKUP6F	WKUP5F	WKUP4F	WKUP3F	WKUP2F	WKUP1F	WKUP0F	WKUP5 POL	WKUP4 POL	WKUP3 POL	WKUP2 POL
						r	r	r	r	r	r	r	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
WKUP1 POL	WKUP0 POL	WKUP5 EN	WKUP4 EN	WKUP3 EN	WKUP2 EN	WKUP1 EN	WKUP0 EN	Reserved					VBATF	SBF	Reserved	
rw	rw	rw	rw	rw	rw	rw	rw						r	r		

位域	名称	描述
31:27	保留	保留, 必须保持复位值。
26	WKUP6F	RTC 唤醒标志。 此位由硬件设置为 1, 并由硬件、系统复位或设置 PWR_M4CTRL1.CWKUPF 位清除。 0: 未发生唤醒事件 1: 在 RTC 闹钟上发生了唤醒事件
25	WKUP5F	WKUP5 引脚 PC1 唤醒标志。 此位由硬件设置为 1, 并由硬件、系统复位或设置 PWR_M4CTRL1.CWKUPF 位清除。 0: 未发生唤醒事件 1: WKUP 引脚上发生了唤醒事件 <i>注意: 当 WKUP 引脚已为高电平时, 启用 WKUP 引脚进行唤醒将检测到一个额外的唤醒事件。</i>
24	WKUP4F	WKUP4 引脚 PI11 唤醒标志。 此位由硬件设置为 1, 并由硬件、系统复位或设置 PWR_M4CTRL1.CWKUPF 位清除。 0: 未发生唤醒事件 1: WKUP 引脚上发生了唤醒事件

位域	名称	描述
		注意：当 WKUP 引脚已为高电平时，启用 WKUP 引脚进行唤醒将检测到一个额外的唤醒事件。
23	WKUP3F	WKUP3 引脚 PI8 唤醒标志。 此位由硬件设置为 1，并由硬件、系统复位或设置 PWR_M4CTRL1.CWKUPF 位清除。 0：未发生唤醒事件 1：WKUP 引脚上发生了唤醒事件 注意：当 WKUP 引脚为高电平时，启用 WKUP 引脚进行唤醒将检测到一个额外的唤醒事件。
22	WKUP2F	WKUP2 引脚 PC13 唤醒标志。 此位由硬件设置为 1，并由硬件、系统复位或设置 PWR_M4CTRL1.CWKUPF 位清除。 0：未发生唤醒事件 1：WKUP 引脚上发生了唤醒事件 注意：当 WKUP 引脚为高电平时，启用 WKUP 引脚进行唤醒将检测到一个额外的唤醒事件。
21	WKUP1F	WKUP1 引脚 PA2 唤醒标志。 此位由硬件设置为 1，并由硬件、系统复位或设置 PWR_M4CTRL1.CWKUPF 位清除。 0：未发生唤醒事件 1：WKUP 引脚上发生了唤醒事件 注意：当 WKUP 引脚为高电平时，启用 WKUP 引脚进行唤醒将检测到一个额外的唤醒事件。
20	WKUP0F	WKUP0 引脚 PA0 唤醒标志。 此位由硬件设置为 1，并由硬件、系统复位或设置 PWR_M4CTRL1.CWKUPF 位清除。 0：未发生唤醒事件 1：WKUP 引脚上发生了唤醒事件 注意：当 WKUP 引脚已经处于高电平时，启用 WKUP 引脚进行唤醒将检测到一个额外的唤醒事件。
19	WKUP5POL	唤醒极性用于 WKUP5 引脚 PC1。 使用高电平或低电平从待机模式唤醒时，请确保在更改唤醒方式时禁用唤醒使能。 0：高电平唤醒 1：高电平唤醒
18	WKUP4POL	唤醒极性用于 WKUP4 引脚 PI11。 使用高电平或低电平从待机模式唤醒时，请确保在更改唤醒方式时禁用唤醒使能。 0：高电平唤醒 1：高电平唤醒
17	WKUP3POL	唤醒极性用于 WKUP3 引脚 PI8。 使用高电平或低电平从待机模式唤醒时，请确保在更改唤醒方式时禁用唤醒使能。



位域	名称	描述
		0: 高电平唤醒 1: 高电平唤醒
16	WKUP2POL	唤醒极性用于 WKUP2 引脚 PC13。 使用高电平或低电平从待机模式唤醒时, 请确保在更改唤醒方式时禁用唤醒使能。 0: 高电平唤醒 1: 高电平唤醒
15	WKUP1POL	唤醒极性用于 WKUP1 引脚 PA2。 使用高电平或低电平从待机模式唤醒时, 请确保在更改唤醒方式时禁用唤醒使能。 0: 高电平唤醒 1: 高电平唤醒
14	WKUP0POL	唤醒极性用于 WKUP0 引脚 PA0。 使用高电平或低电平从待机模式唤醒时, 请确保在更改唤醒方式时禁用唤醒使能。 0: 高电平唤醒 1: 高电平唤醒
13	WKUP5EN	WKUP5 引脚 PC1 唤醒启用 0: WKUP 引脚是一个通用 I/O, WKUP 引脚上的事件无法唤醒芯片退出待机模式。 1: WKUP 引脚用于从待机模式唤醒, 并被强制配置为输入下拉模式 (WKUP 引脚的上升沿将系统从待机模式唤醒)。 <i>注意: 此位在系统复位期间被清除。</i>
12	WKUP4EN	WKUP4 引脚 PI11 唤醒启用 0: WKUP 引脚是一个通用 I/O, WKUP 引脚上的事件无法唤醒芯片退出待机模式。 1: WKUP 引脚用于从待机模式唤醒, 并被强制配置为输入下拉模式 (WKUP 引脚的上升沿将系统从待机模式唤醒)。 <i>注意: 此位在系统复位期间被清除。</i>
11	WKUP3EN	WKUP3 引脚 PI8 唤醒启用 0: WKUP 引脚是一个通用 I/O, WKUP 引脚上的事件无法唤醒芯片退出待机模式。 1: WKUP 引脚用于从待机模式唤醒, 并强制配置为输入下拉模式 (WKUP 引脚的上升沿将系统从待机模式唤醒)。 <i>注意: 此位在系统复位期间被清除。</i>
10	WKUP2EN	WKUP2 引脚 PC13 唤醒启用 0: WKUP 引脚是一个通用 I/O, WKUP 引脚上的事件无法唤醒芯片退出待机模式。 1: WKUP 引脚用于从待机模式唤醒, 并被强制配置为输入下拉模式 (WKUP 引脚的上升沿将系统从待机模式唤醒)。 <i>注意: 此位在系统复位期间被清除。</i>
9	WKUP1EN	WKUP1 引脚 PA2 唤醒启用 0: WKUP 引脚是一个通用 I/O, WKUP 引脚上的事件无法唤醒芯片退出待机模

位域	名称	描述
		式。 1: WKUP 引脚用于从待机模式唤醒, 并强制配置为输入下拉模式 (WKUP 引脚的上升沿将系统从待机模式唤醒)。 <i>注意: 此位在系统复位期间被清除。</i>
8	WKUP0EN	WKUP0 引脚 PA0 唤醒启用 0: WKUP 引脚是一个通用 I/O, WKUP 引脚上的事件无法唤醒芯片退出待机模式。 1: WKUP 引脚用于从待机模式唤醒, 并强制配置为输入下拉模式 (WKUP 引脚的上升沿将系统从待机模式唤醒)。 <i>注意: 此位在系统复位期间被清除。</i>
7:3	保留	保留, 必须保持复位值
2	VBATF	VBAT 标志。 此位由硬件设置, 并通过 POR/PDR (上电/掉电复位) 或设置 PWR_M4CTRL1.CVBTF 位清除。 0: M4 内核未处于 VBAT 模式 1: M4 内核进入 VBAT 模式
1	SBF	待机标志。 此位由硬件设置, 并通过 POR/PDR (上电/掉电复位) 或设置 PWR_M4CTRL1.CSBF 位清除。 0: M4 内核未处于待机模式 1: M4 内核进入待机模式
0	保留	保留, 必须保持复位值。

### 3.6.6 PWR M4 控制寄存器 2 (PWR\_M4CTRL2)

此寄存器允许控制 M4 内核电源。

偏移地址: 0x28

复位值: 0x7FFF E904

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															MEM_RDYMD[1]
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MEM_RDYMD[0]	PWR_RDYMD[1:0]	Reserved	NRST_WUPEN	Reserved	RTC_ALM_WUPEN	Reserved						BSRSTB_RET	BSRVB_RET	STOP2EN	
rw	rw		rw		rw							rw	rw	rw	

位域	名称	描述
31:17	保留	保留, 必须保持复位值。
16:15	MEM_RDYMD[1:0]	选择检查 CM4 域内存电源准备好的方式

位域	名称	描述
		00: 仅检查来自电源开关的 RDY 信号 01: 检查 CM4 域电源开关启用后的延迟 10: 检查电源开关的延迟和 RDY 信号 11: 检查电源开关的 RDY 信号后的延迟
14:13	PWR_RDYMD[1:0]	选择检查 CM4 域电源就绪的方法 00: 仅检查来自电源开关的 RDY 信号 01: 检查 CM4 域电源开关启用后的延迟 10: 检查电源开关的延迟和 RDY 信号 11: 检查电源开关的 RDY 信号后的延迟
12	保留	保留, 必须保持复位值。
11	NRST_WUPEN	NRST 唤醒事件在 M4 内核的待机模式下启用。 0: 禁用 NRST 事件唤醒 M4 内核 1: 使能 NRST 事件唤醒 M4 内核
10:9	保留	保留, 必须保持复位值。
8	RTC_ALMWUPEN	在待机模式下为 M7 内核启用 RTC_ALARM 唤醒。 0: 禁用 RTC_ALARM 唤醒 M4 内核 1: 使能 RTC_ALARM 唤醒 M4 内核
7:3	保留	保留, 必须保持复位值。
2	BSRSTBRET	在待机模式下启用备份 SRAM 保持功能。 0: 备份 SRAM 在待机模式下不保持 1: 备份 SRAM 在待机模式下保持
1	BSRVBRET	在 VBAT 模式下启用备份 SRAM 保持功能。 0: 备份 SRAM 在 VBAT 模式下不保持 1: 备份 SRAM 在 VBAT 模式下保持
0	STOP2EN	M4 内核 STOP2 模式启用。 0: M4 内核进入 STOP0 模式 1: M4 内核进入 STOP2 模式

### 3.6.7 PWR 系统控制寄存器 1 (PWR\_SYSCTRL1)

地址偏移: 0x40

复位值: 0x0000 B801

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DCDC_VSELKEY[3:0]							NRST_DGFCNT[11:0]								
rw							rw								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NRST_DGFBP	Reserved	AGF_STB_WUPPPBP	AGF_DTA_SGBP	AGF_ARS_TOBP	Reserved	DBKP	Reserved	PVDEN	AVDEN	Reserved	SW3EN	BKPLDO_EN			
rw		rw	rw	rw		rw		rw	rw		rw	rw			

位域	名称	描述
31:28	DCDC_VSELKEY	DCDC_VSELKEY_UNLOCK 密钥。 如果 DCDC_VSELKEY = 4'hF, DCDC_VSELKEY_UNLOCK=1; 否则 DCDC_VSELKEY_UNLOCK=0;
27:16	NRST_DGFCNT	数字故障滤波器在 NRST 滤波脉冲宽度配置上。
15	NRST_DGFBP	旁路 NRST 上的数字毛刺滤波器。 0: 在 NRST 上启用数字毛刺滤波器。 1: 旁路 NRST 上的数字毛刺滤波器。
14	保留	保留, 必须保持复位值。
13	AGF_STBWUPBP	旁路待机唤醒引脚上的模拟毛刺滤波器 0: 在待机唤醒引脚上启用模拟毛刺滤波器。 1: 旁路待机唤醒引脚上的模拟毛刺滤波器。
12	AGF_DTASGBP	旁路某些 (例如复位) 数字到模拟使能信号的模拟毛刺滤波器 0: 在某些数字到模拟启用信号上启用模拟毛刺滤波器。 1: 旁路某些数字到模拟启用信号的模拟毛刺滤波器。
11	AGF_ARSTOBP	旁路模拟复位输出上的模拟毛刺滤波器。 0: 在模拟复位输出上启用模拟毛刺滤波器。 1: 旁路模拟复位输出上的模拟毛刺滤波器。
10:9	保留	保留, 必须保持复位值。
8	DBKP	取消备份域的写保护。 在复位状态下, RTC 和备份域寄存器受到保护, 以防止未经授权的写入。必须设置此位以启用对这些寄存器的写访问权限。 0: 禁能对 RTC 和备份寄存器的访问 1: 使能对 RTC 和备份寄存器的访问 <i>注意: 如果 RTC 时钟为 HSE/128, 则此位必须保持为 1。</i>
7:5	保留	保留, 必须保持复位值。
4	PVDEN	电源电压检测器 (PVD) 启用。此位由软件设置和清除。 0: 禁能 PVD 1: 使能 PVD
3	一个 VDEN	模拟电压检测器 (AVD) 启用。此位由软件设置和清除。 0: 禁能 AVD 1: 使能 AVD
2	保留	保留, 必须保持复位值。
1	SW3_SWEN	VDDD 备份来自备份 LDO。 0: PWR 硬件控制 SW3 1: 强制 VDDDBK 电源来自 BKP LDO。用于调试
0	BKPLDOEN	Backup LDO enable: 0: 禁能备份 LDO 1: 使能备份 LDO

### 3.6.8 PWR 系统控制状态寄存器 (PWR\_SYSCTRLSTS)

偏移地址: 0x44

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											PWDO	AWDO	Reserved	OPT_PWRRDY	DCDC_BPF
											r	r	r	r	r

位域	名称	描述
31:5	保留	保留，必须保持复位值。
4	PVDO	PVD 输出。 此位仅在通过 PWR_SYSCTRL1.PVDEN 位启用 PVD 时有效。 0: VDD 高于选择的 PVD 阈值 1: VDD 低于选择的 PVD 阈值 <i>注意: PVD 在待机模式下停止。因此，在待机模式或复位后，此位将保持为 0，直到设置 PWR_SYSCTRL1.PVDEN 位。</i>
3	AVDO	AVD 输出。 此位仅在通过 PWR_SYSCTRL1.AVDEN 位启用 AVD 时有效。 0: VDDA 等于或高于选择的 AVD 阈值 1: VDDA 低于选择的 AVD 阈值 <i>注意: AVD 在待机模式下停止。因此，在待机模式或复位后，该位保持为 0，直到设置 PWR_SYSCTRL1.AVDEN 位。</i>
2	保留	保留，必须保持复位值。
1	OTP_PWRRDY	OTP 电源已准备好 此位由硬件设置为 1。 0: 未准备好; 1: 准备就绪。
0	DCDC_BPF	工作模式是否为 DCDC 的旁路模式。 此位由硬件设置为 1。 0: DCDC 未在旁路模式下运行 1: DCDC 在旁路模式下运行

### 3.6.9 PWR 系统控制寄存器 2(PWR\_SYSCTRL2)

偏移地址: 0x48

复位值: 0x0001 07F2

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				OTP_LPCLKDIV[2:0]			OTP_FRCSTB	OTP_FRCSTB	OTP_STB_INSTP0	OTP_DSTB_INSTP0	OTP_STB_INSTP2	OTP_DSTB_INSTP2	EXTI_MASKRSTEN	Reserved	
				rw			rw	rw	rw	rw	rw	rw	rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				BKPLDO CTRLEN	Reserved								MR_STB OFFEN	Reserved	
				rw									rw		

位域	名称	描述
31:27	保留	保留，必须保持复位值。
26:24	OTP_LPCLKDIV	<p>pwr_sys_clk 的时钟分频器用于 OTP 低功耗模式控制。</p> <p>0: 不分频</p> <p>1: 除以 2;</p> <p>2: 除以 3;</p> <p>...</p> <p>7: 除以 8。</p> <p>分频后的时钟频率必须小于 48MHz。</p> <p>例如，当 pwr_sys_clk 的频率为 300MHz 时，除数值应为 6 或 7。</p>
23:22	OTP_FRCSTB 和 OTP_FRCSTB	<p>OTP_FRCSTB 和 OTP_FRCSTB 决定了所有系统电源模式下的 OTP 电源状态。</p> <p>00: 正常模式下的 OTP (OTP 电源由 OTP_STB_INSTP0 决定，</p> <p>01/11: OTP 在运行模式下被软件强制切换到 DSTBY 模式。</p> <p>10: OTP 在运行模式下被软件强制切换到 STBY 模式。</p> <p>OTP_DSTB_INSTP0 或 OTP_DSTB_INSTP2 或 OTP_STB_INSTP2)</p> <p>在 OTP_FRCSTB 被置为有效后，OTP 将保持在深度待机模式，直到 OTP_FRCSTB 被软件清零为 0。</p>
21:20	OTP_STB_INSTP0 和 OTP_DSTB_INSTP0	<p>OTP_STB_INSTP0 和 OTP_DSTB_INSTP0 决定系统 STOP0 模式下的 OTP 电源状态。</p> <p>这些位将在 {OTP_FRCSTB, OTP_FRCSTB} = 2'b00 时生效;</p> <p>00: OTP 在系统 stop0 模式下保持正常模式</p> <p>01/11: OTP 在系统 stop0 模式下保持在 DSTBY 模式</p> <p>10: OTP 在系统 stop0 模式下保持 STBY。</p> <p>从 STOP0 模式唤醒系统后，OTP 会自动从待机模式唤醒。</p>
19:18	OTP_STB_INSTP2 和 OTP_DSTB_INSTP2	<p>OTP_STB_INSTP2 和 OTP_DSTB_INSTP2 决定系统 STOP2 模式下的 OTP 电源状态。</p> <p>这些位将在 {OTP_FRCSTB, OTP_DFRSTB} = 2'b00 时生效;</p> <p>00: OTP 在系统 stop2 模式下保持正常模式</p> <p>01/11: OTP 在系统 stop2 模式下保持 DSTBY 模式。</p> <p>10: OTP 在系统 stop2 模式下进入 STBY。</p>
17	EXTI_MASKRSTEN	<p>0: 当 PWR 开始将 CPU<sub>n</sub> 降至待机模式时，如果系统仍处于运行模式，EXTI 仍然可以向 CPU<sub>n</sub> 发出中断。</p> <p>1: 当 PWR 开始将 CPU 降至待机模式时，EXTI 的 IMR<sub>n</sub>/EMR<sub>n</sub> 寄存器将被重</p>

位域	名称	描述
		置，EXTI 不会向 CPU 发送任何中断/事件。
16:12	保留	保留，必须保持复位值。
11	BKPLDO_CTRLLEN	此位与 PWR_SYSCTRL1.BKPLDOEN 和 PWR_SYSCTRL2.MR_STBOFFEN 一起决定 BKPLDO 的启用/禁用。 当 PWR_SYSCTRL1.BKPLDOEN = 1 时，它会强制打开 ALDO。 当 PWR_SYSCTRL1.BKPLDOEN = 0 时： BKPLDO_CTRLLEN = 0: 在系统运行模式下，BKPLDO 开启； BKPLDO_CTRLLEN = 1: 在系统运行模式下，BKPLDO 关闭； 如果 PWR_SYSCTRL2.MR_STBOFFEN = 0， BKPLDO_CTRLLEN = 0: BKPLDO 在系统待机模式下保持开启； BKPLDO_CTRLLEN = 1: BKPLDO 在系统待机模式下保持关闭； 如果 PWR_SYSCTRL2.MR_STBOFFEN = 1， BKPLDO 被打开，并且 VDDDBK 在进入系统待机模式之前切换回 BKPLDO； 注意：如果某些应用中需要 VBAT 模式，则不应设置此位。
10:2	保留	保留，必须保持复位值。
1	MR_STBOFFEN	MR 关闭当系统进入待机模式时是否启用 0: 系统进入待机模式时，MR 开启。 1: 当系统进入待机模式时，MR 关闭。
0	保留	保留，必须保持复位值。

### 3.6.10 PWR 系统控制寄存器 3(PWR\_SYSCTRL3)

偏移地址：0x4C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved										HSC2_PSWACK1	HSC1_PSWACK1	GRC_PSWACK1	Reserved	HSC2_PWRRDY	HSC1_PWRRDY	GRC_PWRRDY
										rw	rw	rw		r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved					HSC2_ISNEŃ	HSC1_ISNEŃ	GRC_ISNEŃ	Reserved	HSC2_FUCEN	HSC1_FUCEN	GRC_FUCEN	Reserved	HSC2_PGEN	HSC1_PGEN	GRC_PGEN	
					rw	rw	rw		rw	rw	rw		rw	rw	rw	

位域	名称	描述
31:23	保留	保留，必须保持复位值。
22	HSC2_PSWACK1	0: ACK1 延迟为 ENA2； 1: HSC2 域电源开关 ACK1 用作双输入头的 ENA2；
21	HSC1_PSWACK1	0: ACK1 延迟为 ENA2； 1: HSC1 域电源开关 ACK1 用作双输入头的 ENA2；
20	GRC_PSWACK1	0: ACK1 延迟为 ENA2；

位域	名称	描述
		1: 图像域电源开关 ACK1 用作双输入头的 ENA2;
19	保留	保留, 必须保持复位值。
18	HSC2_PWRRDY	HSC2 电源域就绪标志。 0: HSC2 电源域尚未准备好; 1: HSC2 电源域已准备好。
17	HSC1_PWRRDY	HSC1 电源域就绪标志。 0: HSC1 电源域尚未准备好; 1: HSC1 电源域已准备好。
16	GRC_PWRRDY	图像电源域就绪标志。 0: 图像电源域尚未准备好; 1: GRAPHIC 电源域已准备好。
15:11	保留	保留, 必须保持复位值。
10	HSC2_ISNEN	HSC2 电源域隔离信号 0: 禁用: 信号已隔离。 1: 启用: 信号通过
9	HSC1_ISNEN	HSC1 电源域隔离信号 0: 禁用: 信号已隔离。 1: 启用: 信号通过
8	GRC_ISNEN	图像电源域隔离信号 0: 禁用: 信号已隔离。 1: 启用: 信号通过
7	保留	保留, 必须保持复位值。
6	HSC2_FUCEN	HSC2 域功能模式启用; 0: 禁用 1: 启用
5	HSC1_FUCEN	HSC1 域功能模式启用; 0: 禁用 1: 启用
4	GRC_FUCEN	图像域功能模式启用; 0: 禁用 1: 启用
3	保留	保留, 必须保持复位值。
2	HSC2_PGEN	HSC2 域电源启用; 0: 禁用 1: 启用
1	HSC1_PGEN	HSC1 域电源启用; 0: 禁用 1: 启用
0	GRC_PGEN	图像域电源启用; 0: 禁用 1: 启用



### 3.6.11 PWR 系统控制寄存器 4(PWR\_SYSCTRL4)

偏移地址：0x50

复位值：0x070E 0206

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		MR_LP VSELEN	Reserved	DCDC_LPVSEL[3:0]				VDDD_ LPPORSEL[1:0]		DCDC_LPPORVSEL[3:0]				BG_LPVR EFVSEL	
		rw		rw				rw		rw				rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BG_VREF VSEL	Reserved	VDDD_PORSEL[1:0]		MLDO_LPO VSEL[1:0]		MLDO_OVSEL[1:0]		Reserved				DCDC FRCEN	DCDCEN	MLDOEN	VCORE SRC
rw		rw		rw		rw						rw	rw	rw	rw

位域	名称	描述
31:30	保留	保留，必须保持复位值。
29	MR_LP VSELEN	启用在低功耗模式下的目标 MR 电压输出 0：禁用 1：启用
28	保留	保留，必须保持复位值。
27:24	DCDC_LPVSEL[3:0]	在低功耗模式下 DCDC 电压目标值，仅当 MR_LP VSELEN = 1 时有效， DCDC 输出电压值每步 0.05V 0101：0.80V 0110：0.85V 0111：0.90V <i>注意：当 DCDC_VSEL_LMT_UNLOCK=0 时，配置高于 1.00V 的电压将被限制为 1.00V (VSEL=b1001)。</i>
23:22	VDDD_LPPOR SEL[1:0]	低功耗模式下的 VDDD POR 配置。 00：POR 是 0.7V，PDR 是 0.65V 01：POR 为 0.7V，PDR 为 0.65V 10：POR 为 0.75V，PDR 为 0.7V 11：POR 为 0.8V，PDR 为 0.75V
21:17	DCDC_LPPOR VSEL[4:0]	低功耗模式下，DCDC POR 电压值调节，每步 0.05V， 仅当 MR_LP VSELEN = 1 时有效 00101：0.8V 00110：0.85V 00111：0.9V
16	BG_LP VREF_ VSEL	在低功耗模式下 ALDO 目标参考，仅当 MR_LP VSELEN = 1 时有效。 0：BG 的电压为 0.9V 1：BG 的电压是 0.8V
15	BG_VREF_ VSEL	在运行模式下 ALDO 目标参考。 0：BG 的电压为 0.9V 1：BG 的电压是 0.8V

位域	名称	描述
14	保留	保留，必须保持复位值。
13:12	VDDD_POR SEL[1:0]	低功耗模式下的 VDDD 配置。 00: POR 是 0.7V, PDR 是 0.65V 10: POR 为 0.75V, PDR 为 0.7V 11: POR 为 0.8V, PDR 为 0.75V
11:10	MLDO_LPO VSEL[1:0]	主调节器 LDO 选项在 SYS STOP2 和 STANDBY 模式下的输出电压： 00: 0.80V 01: 0.85V 10: 0.90V 11: 0.90V
9:8	MLDO_OVSEL[1:0]	主调节器 LDO 选项在 SYS RUN 模式下的输出电压： 00: 0.80V 01: 0.85V 10: 0.90V 11: 0.90V
7:4	保留	保留，必须保持复位值。
3	DCDCFRGEN	0: DCDC 处于标准工作模式。 1: DCDC 被强制激活，以供电外部电路。与系统电源模式无关。
2	DCDCEN	0: DCDC 已停用； 1: DCDC 已激活；
1	MLDOEN	0: LDO 已停用； 1: LDO 已激活；
0	VCORESRC	1: VCORE/VDDD 由外部来源提供 0: VCORE 由 DCDC 或 LDO 提供

### 3.6.12 PWR 模块内存控制寄存器 (PWR\_IPMEMCTRL)

偏移地址：0x58

复位值：0x0000 1FFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		ESC_PGEN	FMAC_PGEN	SDMMC1_PGEN	USB1_PGEN	EHT1_PGEN	SDMMC2_PGEN	USB2_PGEN	ETH2_PGEN	DVP_PGEN	DSI_PGEN	JPEG_PGEN	LCDC_PGEN	GPU_PGEN	
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	

位域	名称	描述
31:13	保留	保留，必须保持复位值。
12	ESC_PGEN	ESC 内存电源门控启用

位域	名称	描述
		0: 电源开机 1: 电源关机
11	FMAC_PGEN	FMAC 内存电源门控启用 0: 电源开机 1: 电源关机
10	SDMMC1_PGEN	SDMMC1 内存电源门控启用 0: 电源开机 1: 电源关机
9	USB1_PGEN	USB1 内存电源门控启用 0: 电源开机 1: 电源关机
8	ETH1_PGEN	ETH1 内存电源门控启用 0: 电源开机 1: 电源关机
7	SDMMC2_PGEN	SDMMC2 内存电源门控启用 0: 电源开机 1: 电源关机
6	USB2_PGEN	USB2 内存电源门控启用 0: 电源开机 1: 电源关机
5	ETH2_PGEN	EHT2 存储电源门启用 0: 电源开机 1: 电源关机
4	DVP_PGEN	DVP 内存电源门控启用 0: 电源开机 1: 电源关机
3	DSI_PGEN	DSI 内存电源门控启用 0: 电源开机 1: 电源关机
2	JPEG_PGEN	JPEG 内存电源门控启用 0: 电源开机 1: 电源关机
1	LCDC_PGEN	LCDC 内存电源门控启用 0: 电源开机 1: 电源关机
0	GPU_PGEN	GPU 内存电源门控启用 0: 电源开机 1: 电源关机

### 3.6.13 PWR 模块内存状态寄存器 (PWR\_IPMEMSTS)

偏移地址: 0x5C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ALLIP_PRDY		Reserved													
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			ESC_PRDY	FMAC_PRDY	SDMMC1_PRDY	USB1_PRDY	EHT1_PRDY	SDMMC2_PRDY	USB2_PRDY	ETH2_PRDY	DVP_PRDY	DSI_PRDY	JPEG_PRDY	LCDC_PRDY	GPU_PRDY
			r	r	r	r	r	r	r	r	r	r	r	r	r

位域	名称	描述
31	ALLIP_PRDY	所有模块内存电源就绪状态 0: 所有模块内存电源未就绪; 1: 所有模块内存电源已就绪;
30:13	保留	保留, 必须保持复位值。
12	ESC_PRDY	ESC 内存电源就绪标志 0: 未就绪 1: 已就绪
11	FMAC_PRDY	FMAC 内存电源就绪标志 0: 未就绪 1: 已就绪
10	SDMMC1_PRDY	SDMMC1 内存电源就绪标志 0: 未就绪 1: 已就绪
9	USB1_PRDY	USB1 内存电源就绪标志 0: 未就绪 1: 已就绪
8	ETH1_PRDY	ETH1 内存电源就绪标志 0: 未就绪 1: 已就绪
7	SDMMC2_PRDY	SDMMC2 内存电源就绪标志 0: 未就绪 1: 已就绪
6	USB2_PRDY	USB2 内存电源就绪标志 0: 未就绪 1: 已就绪
5	ETH2_PRDY	EHT2 内存电源就绪标志 0: 未就绪 1: 已就绪
4	DVP_PRDY	DVP 内存电源就绪标志 0: 未就绪 1: 已就绪
3	DSI_PRDY	DSI 内存电源就绪标志

位域	名称	描述
		0: 未就绪 1: 已就绪
2	JPEG_PRDY	JPEG 内存电源就绪标志 0: 未就绪 1: 已就绪
1	LCDC_PRDY	LCDC 内存电源就绪标志 0: 未就绪 1: 已就绪
0	GPU_PRDY	GPU 内存电源就绪标志 0: 未就绪 1: 已就绪

### 3.6.14 PWR CM7 内存低功耗控制寄存器 (PWR\_M7MEMLPCTRL)

偏移地址: 0x60

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												MEM_PWGCFG[1:0]	MEM_RE TSTP0EN	MEM_PG STP0EN	
												rw	rw	rw	

位域	名称	描述
31:4	保留	保留, 必须保持复位值。
3:2	MEM_PGCFG	内存电源门控时序控制 00: 所有 cm7 内存在同一个菊花链 01: D-cache->I-cache->TCM 菊花链, dcache 和 icache 内并行, TCM 串行 10: D-cache + I-cache ->每 4 块 TCM 内存 (总共 64 块) 并行。 11: 所有 cm7 内存在同一个菊花链。
1:0	MEM_RETSTP0EN 和 MEM_PGSTP0EN	00: 芯片禁用模式下的所有 cm7 内存。 01: 所有 cm7 内存处于预充电模式。 10: 保留 11: 所有 cm7 内存处于保持模式 1。

### 3.6.15 PWR CM7 内存低功耗状态寄存器 (PWR\_M7MEMLPSTS)

偏移地址: 0x64

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCMRDY	Reserved														
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															

位域	名称	描述
31	TCMRDY	所有启用的 TCM 内存电源就绪标志 0: 未就绪 1: 已就绪
30:0	保留	保留, 必须保持复位值。

### 3.6.16 PWR CM7 TCM Part0 编程寄存器 (PWR\_M7TCMPG0)

偏移地址: 0x68

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCM_PG0[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCM_PG0[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:0	TCM_PG0[31:0]	软件控制以为 TCM Part0 内存供电门控。 0: PWR 硬件控制 TCM SRAM[i]; 1: TCM SRAM[i]已断电。 要在 SRAM 被软件断电后重新启用, 软件应将相应的位再次配置为‘0’。如果有多个 SRAM 需要启用/禁用, 则必须一次编程一个相应的位。在每次对该寄存器的写操作中, 应该只有一个位的值发生变化。 总线地址 TCM SRAMS 的映射: TCM_PG0[0]:0x2000 0000 – 0x2000 3FFF TCM_PG0[1]:0x2000 4000 – 0x2000 7FFF ..... TCM_PG0[31]: 0x2007 FBFF – 0x2007 FFFF

### 3.6.17 PWR CM7 TCM Part1 编程寄存器 (PWR\_M7TCMPG1)

偏移地址：0x6C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCM_PG1[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCM_PG1[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:0	TCM_PG1[31:0]	软件控制以电源门控 TCM Part1 存储器。 0: PWR 硬件控制 TCM SRAM[i+32]; 1: TCM SRAM[i+32]已断电。 要在 SRAM 被软件断电后重新启用，软件应将相应的位再次配置为‘0’。如果有多个 SRAM 需要启用/禁用，则必须一次编程一个相应的位。在每次对该寄存器的写操作中，应该只有一个位的值发生变化。 总线地址 TCM SRAMS 映射：TCM_PG1[0]: 0x2008 0000 – 0x2008 3FFF TCM_PG1[1]:0x2008 4000 – 0x2008 7FFF ..... TCM_PG1[31]: 0x200F FBFF – 0x200F FFFF

### 3.6.18 PWR CM7 TCM Part0 保持模式 1 寄存器 (PWR\_M7TCMRET1N0)

偏移地址：0x70

复位值：0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCM_RENT1N0[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCM_RENT1N0[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:0	TCM_RENT1N0[31:0]	内存状态取决于 {TCM_RENT1Nx,TCM_RENT2Nx } 00: CM7 TCM 存储器在进入 STOP2 时进入掉电模式

位域	名称	描述
		01/11: CM7 TCM 存储器在进入 STOP2 时进入保持模式 1 10: CM7 TCM 存储器在进入 STOP2 时进入保持模式 2

### 3.6.19 PWR CM7 TCM Part1 保持模式 1 寄存器 (PWR\_M7TCMRET1N1)

偏移地址: 0x74

复位值: 0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCM_RENT1N1[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCM_RENT1N1[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:0	TCM_RENT1N1[31:0]	内存状态取决于 { TCM_RENT1Nx,TCM_RENT2Nx } 00:CM7 TCM 存储器在进入 STOP2 时进入掉电模式 01/11:CM7 TCM 存储器在进入 STOP2 时进入保持模式 1 10:CM7 TCM 存储器在进入 STOP2 时进入保持模式 2

### 3.6.20 PWR CM7 TCM Part0 保持模式 2 寄存器 (PWR\_M7TCMRET2N0)

偏移地址: 0x78

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCM_RENT2N0[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCM_RENT2N0[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:0	TCM_RENT2N0[31:0]	内存状态取决于 {TCM_RENT1Nx,TCM_RENT2Nx } 00:CM7 TCM 存储器在进入 STOP2 时进入掉电模式 01/11:CM7 TCM 存储器在进入 STOP2 时进入保持模式 1 10:CM7 TCM 存储器在进入 STOP2 时进入保持模式 2



### 3.6.21 PWR CM7 TCM Part1 保持模式 2 寄存器 (PWR\_M7TCMRET2N1)

偏移地址：0x7C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCM_RENT2N1[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCM_RENT2N1[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:0	TCM_RENT2N1[31:0]	内存状态取决于 { TCM_RENT1Nx, TCM_RENT2Nx } 00:CM7 TCM 存储器在进入 STOP2 时进入掉电模式 01/11:CM7 TCM 存储器在进入 STOP2 时进入保持模式 1 10:CM7 TCM 存储器在进入 STOP2 时进入保持模式 2

### 3.6.22 PWR CM7 TCM Part0 电源就绪寄存器 (PWR\_M7TCMRDY0)

偏移地址：0x80

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCM_RDY[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCM_RDY[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位域	名称	描述
31:0	TCM_RDY[31:0]	0: TCM 电源未准备好; 1: TCM 电源已准备好;

### 3.6.23 PWR CM7 TCM Part1 电源就绪寄存器 (PWR\_M7TCMRDY1)

偏移地址：0x84

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCM_RDY[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCM_RDY[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位域	名称	描述
31:0	TCM_RDY[31:0]	0: TCM 电源未准备好; 1: TCM 电源已准备好;

### 3.6.24 PWR CM4 内存低功耗控制寄存器 (PWR\_M4MEMLPCTRL)

偏移地址: 0x90

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											MEM_PG STP0EN	MEM_RE TSTP0EN			
											rw	rw	rw		

位域	名称	描述
31:4	保留	保留, 必须保持复位值。
3:2	MEM_PGCFG	内存电源门控时序控制 00: 所有 cm4 内存在同一个菊花链 01: 所有内存并行 10: D-cache -> I-cache, 每组内并行 11: 所有 cm4 内存在同一个菊花链
1:0	MEM_PGSTP0EN 和 MEM_RETSTP0EN	00: 所有 cm4 内存处于芯片禁用模式。 01: 所有 cm4 内存处于预充电模式。 10: 保留 11: 所有 cm4 内存处于保持模式 1。

### 3.6.25 PWR 系统内存低功耗控制寄存器 (PWR\_SYSMEMLPCTRL)

偏移地址: 0xA0

复位值: 0x02AA A100

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PRDY	Reserved				AHBSRM5S2_RET2N	AHBSRM5S2_RET1N	AHBSRM5S1_RET2N	AHBSRM5S1_RET1N	AHBSRM4_RET2N	AHBSRM4_RET1N	AHBSRM3_RET2N	AHBSRM3_RET1N	AHBSRM2_RET2N	AHBSRM2_RET1N	AHBSRM1_RET2N
r					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AHBSRM1_RET1N	AXISRM_RET2N	AXISRM_RET1N	Reserved			MEM_RE_TSTP0EN	MEM_PG_STP0EN	Reserved	AHBSRM5S2_PG	AHBSRM5S1_PG	AHBSRM4_PG	AHBSRM3_PG	AHBSRM2_PG	AHBSRM1_PG	AXISRM_PG
rw	rw	rw				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31	PRDY	所有启用的系统内存电源就绪标志。 0: 未就绪 1: 已就绪
30:27	保留	保留，必须保持复位值。
26:25	AHBSRM5S2_RET2N 和 AHBSRM5S2_RET1N	系统 SRAM5S2 内存状态取决于 { AHBSRM5S2_RET2N, AHBSRM5S2_RET1N } 00: 系统内存在进入 STOP2 时进入掉电模式 01/11: 系统内存在进入 STOP2 时进入保持模式 1 10: 系统内存在进入 STOP2 时进入保持模式 2
24:23	AHBSRM5S1_RET2N 和 AHBSRM5S1_RET1N	系统 SRAM5S1 的内存状态取决于 {AHBSRM5S1_RET2N,AHBSRM5S1_RET1N} 00: 系统内存在进入 STOP2 时进入掉电模式 01/11: 系统内存在进入 STOP2 时进入保持模式 1 10: 系统内存在进入 STOP2 时进入保持模式 2
22:21	AHBSRM4_RET2N 和 AHBSRM4_RET1N	系统 SRAM4 内存状态取决于 { AHBSRM4_RET2N, AHBSRM4_RET1N } 00: 系统内存在进入 STOP2 时进入掉电模式 01/11: 系统内存在进入 STOP2 时进入保持模式 1 10: 系统内存在进入 STOP2 时进入保持模式 2
20:19	AHBSRM3_RET2N 和 AHBSRM3_RET1N	系统 SRAM3 内存状态取决于 { AHBSRM3_RET2N, AHBSRM3_RET1N } 00: 系统内存在进入 STOP2 时进入掉电模式; 01/11: 系统内存在进入 STOP2 时进入保持模式 1; 10: 系统内存在进入 STOP2 时进入保持模式 2;
18:17	AHBSRM2_RET2N 和 AHBSRM2_RET1N	系统 SRAM2 内存状态取决于 { AHBSRM2_RET2N, AHBSRM2_RET1N } 00: 系统内存在进入 STOP2 时进入掉电模式 01/11: 系统内存在进入 STOP2 时进入保持模式 1 10: 系统内存在进入 STOP2 时进入保持模式 2
16:15	AHBSRM1_RET2N 和 AHBSRM1_RET1N	系统 SRAM1 内存状态取决于 {AHBSRM1_RET2N, AHBSRM1_RET1N} 00: 系统内存在进入 STOP2 时进入掉电模式 01/11: 系统内存在进入 STOP2 时进入保持模式 1 10: 系统内存在进入 STOP2 时进入保持模式 2
14:13	AXISRM_RET2N 和 AXISRM_RET1N	系统 AXI SRAM 内存状态取决于 {AXISRM_RET2N, AXISRM_RET1N} 00: 系统内存在进入 STOP2 时进入掉电模式 01/11: 系统内存在进入 STOP2 时进入保持模式 1 10: 系统内存在进入 STOP2 时进入保持模式 2

位域	名称	描述
12:10	保留	保留，必须保持复位值。
9:8	MEM_RETSTP0EN 和 MEM_PGSTP0EN	00: 所有系统内存处于禁能状态。 01: 保留。 10: 所有系统内存处于预充电模式 11: 所有系统内存处于保持模式 1
7	保留	保留，必须保持复位值。
6	AHBSRM5S2_PG	软件控制在 SYS RUN 模式下为 AHB SRAM5S2 供电门控 0: AHBSRAM5S2 上电 1: AHBSRAM5S2 断电
5	AHBSRM5S1_PG	软件控制在系统运行模式下为 AHB SRAM5S1 供电门控 0: AHBSRAM5S1 上电 1: AHBSRAM5S1 断电
4	AHBSRM4_PG	软件控制在系统运行模式下为 AHB SRAM4 供电门控 0: AHBSRAM4 上电 1: AHBSRAM4 断电
3	AHBSRM3_PG	软件控制在 SYS RUN 模式下为 AHB SRAM3 供电门控 0: AHBSRAM3 上电 1: AHBSRAM3 断电
2	AHBSRM2_PG	软件控制在 SYS RUN 模式下为 AHB SRAM2 供电门控 0: AHBSRAM2 上电 1: AHBSRAM2 断电
1	AHBSRM1_PG	软件控制在系统运行模式下为 AHB SRAM1 供电门控 0: AHBSRAM1 上电 1: AHBSRAM1 断电
0	AXISRM_PG	软件控制在系统运行模式下为 AXI SRAM 供电门控 0: AXISRAM1 上电 1: AXISRAM1 断电

### 3.6.26 PWR 系统 SHRTIM 电源控制寄存器 (PWR\_SHRTIMCTRL)

偏移地址: 0xB0

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved											SHRA_PSWACK1	SHRA_PRDY	SHRA_ISNEN	SHRA_FUCEN	SHRA_PGEN	
											rw	r	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved		SHR2_PSWACK1	SHR2_PRDY	SHR2_ISNEN	SHR2_FUCEN	SHR2_PGEN	Reserved					SHR1_PSWACK1	SHR1_PRDY	SHR1_ISNEN	SHR1_FUCEN	SHR1_PGEN
		rw	r	rw	rw	rw						rw	r	rw	rw	rw

位域	名称	描述
30:21	保留	保留，必须保持复位值。
20	SHRA_PSWACK1	0: SHRTIM AFE 延迟为 ENA2; 1: SHRTIM AFE 域电源开关 ACK1 用作双输入头的 ENA2;
19	SHRA_PWRRDY	SHRTIM AFE 电源域就绪标志。 0: SHRTIM AFE 电源域未准备好; 1: SHRTIM AFE 电源域已准备好。
18	SHRA_ISNEN	SHRTIM AFE 电源域隔离信号 0: 禁用: 信号已隔离。 1: 启用: 信号通过
17	SHRA_FUCEN	功能模式启用用于 SHRTIM AFE; 0: 禁用 1: 启用
16	SHRA_PGEN	SHRTIM AFE 电源门启用 0: 电源开机 1: 电源关机
15:13	保留	保留，必须保持复位值。
12	SHR2_PSWACK1	0: SHRTIM2 延迟为 ENA2; 1: SHRTIM2 域电源开关 ACK1 用作双输入头的 ENA2;
11	SHR2_PWRRDY	SHRTIM2 电源域就绪标志。 0: SHRTIM2 电源域尚未准备好; 1: SHRTIM2 电源域已准备好。
10	SHR2_ISNEN	SHRTIM2 电源域隔离信号 0: 禁用: 信号已隔离。 1: 启用: 信号通过
9	SHR2_FUCEN	功能模式启用用于 SHRTIM2; 0: 禁用 1: 启用
8	SHR2_PGEN	SHRTIM2 电源门使能 0: 电源开机 1: 电源关机
7:5	保留	保留，必须保持复位值。
4	SHR1_PSWACK1	0: SHRTIM1 延迟为 ENA2; 1: SHRTIM1 域电源开关 ACK1 用作双输入头的 ENA2;
3	SHR1_PWRRDY	SHRTIM1 电源域就绪标志。 0: SHRTIM1 电源域尚未准备好; 1: SHRTIM1 电源域已准备好。
2	SHR1_ISNEN	SHRTIM1 电源域隔离信号 0: 禁用: 信号已隔离。 1: 启用: 信号通过
1	SHR1_FUCEN	为 SHRTIM1 启用功能模式; 0: 禁用 1: 启用

位域	名称	描述
0	SHR1_PGEN	SHRTIM1 电源门使能 0: 电源开机 1: 电源关机

### 3.6.27 PWR 系统 MDMA 电源控制寄存器 (PWR\_MDMACR)

地址偏移: 0xB4

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											MDMA PSWACK1	MDMA PRDY	MDMA ISNEN	MDMA FUCEN	MDMA PGEN
											rw	r	rw	rw	rw

位域	名称	描述
31:5	保留	保留, 必须保持复位值。
4	MDMA_PSWACK1	0: MDMA 延迟为 ENA2; 1: MDMA 域电源开关 ACK1 用作双输入头的 ENA2;
3	MDMA_PWRRDY	MDMA 电源域就绪标志。 0: MDMA 电源域尚未准备好; 1: MDMA 电源域已准备好。
2	MDMA_ISNEN	MDMA 电源域隔离信号 0: 禁用: 信号已隔离。 1: 启用: 信号通过
1	MDMA_FUCEN	功能模式启用用于 MDMA; 0: 禁用 1: 启用
0	MDMA_PGEN	MDMA 电源门启用 0: 电源开机 1: 电源关机

### 3.6.28 PWR 系统 ESC 电源控制寄存器 (PWR\_ESCCTRL)

偏移地址: 0xB8

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											ESC_PSWACK1	ESC_PRDY	ESC_ISNEN	ESC_FUCEN	ESC_PGEN
											rw	r	rw	rw	rw

位域	名称	描述
31:5	保留	保留，必须保持复位值。
4	ESC_PSWACK1	0: ESC 延迟为 ENA2; 1: ESC 域电源开关 ACK1 用作双输入头的 ENA2;
3	ESC_PWRRDY	ESC 电源域就绪标志。 0: ESC 电源域未准备好; 1: ESC 电源域已准备好。
2	ESC_ISNEN	ESC 电源域隔离信号 0: 禁用: 信号已隔离。 1: 启用: 信号通过
1	ESC_FUCEN	功能模式启用用于 ESC; 0: 禁用 1: 启用
0	ESC_PGEN	ESC 电源门启用 0: 电源开机 1: 电源关机

### 3.6.29 PWR EMC RET 控制寄存器 1 (PWR\_EMCRETCTRL1)

偏移地址: 0x100

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				RETGB3 DET	RETGB2 DET	RETGB1 DET	RETGB0 DET	RETGBN3 DET	RETGBN2 DET	RETGBN1 DET	RETGBN0 DET	RETCLP3 DET	RETCLP2 DET	RETCLP1 DET	RETCLP0 DET
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:12	保留	保留，必须保持复位值。
11	RETGB3DET	RET 域 EMC GB3 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测

10	RETGB2DET	RET 域 EMC GB2 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
9	RETGB1DET	RET 域 EMC GB1 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
8	RETGB0DET	RET 域 EMC GB0 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
7	RETGBN3DET	RET 域 EMC GBN3 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
6	RETGBN2DET	RET 域 EMC GBN2 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
5	RETGBN1DET	RET 域 EMC GBN1 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
4	RETGBN0DET	RET 域 EMC GBN0 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
3	RETCLP3DET	RET 域 EMC Clamp3 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
2	RETCLP2DET	RET 域 EMC Clamp2 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
1	RETCLP1DET	RET 域 EMC Clamp 1 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
0	RETCLP0DET	RET 域 EMC Clamp 0 检测启用 此位由软件设置和清除。 0: 禁用检测



		1: 启用检测
--	--	---------

### 3.6.30 PWR EMC RET 状态寄存器 1 (PWR\_EMCRETSTS1)

偏移地址: 0x104

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved							EMCFCLR	Reserved							
rc_w1															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				GB3F	GB2F	GB1F	GB0F	GBN3F	GBN2F	GBN1F	GBN0F	CLP3F	CLP2F	CLP1F	CLP0F
				r	r	r	r	r	r	r	r	r	r	r	r

位域	名称	描述
31:25	保留	保留, 必须保持复位值。
24	EMCFCLR	清除 EMC 标志: 0: 无效果 1: 清除 EMC 标志
23:12	保留	保留, 必须保持复位值。
11	GB3F	RET 域 EMC GB3 标志: 当 RET 域检测到 EMC GB3 事件时, 该位由硬件设置。向 EMCFCLR 位写入 1 会清除此位。 0: 无 EMC GB3 事件 1: EMC GB3 事件发生
10	GB2F	RET 域 EMC GB2 标志: 当 RET 域检测到 EMC GB2 事件时, 该位由硬件设置。向 EMCFCLR 位写入 1 会清除此位。 0: 无 EMC GB2 事件 1: EMC GB2 事件发生
9	GB1F	RET 域 EMC GB1 标志: 当 RET 域检测到 EMC GB1 事件时, 该位由硬件设置。将 1 写入 EMCFCLR 位可清除此位。 0: 无 EMC GB1 事件 1: EMC GB1 事件发生
8	GB0F	RET 域 EMC GB0 标志: 当 RET 域检测到 EMC GB0 事件时, 该位由硬件设置。向 EMCFCLR 位写入 1 会清除此位。 0: 无 EMC GB0 事件 1: EMC GB0 事件发生
7	GBN3F	RET 域 EMC GBN3 标志: 当 RET 域检测到 EMC GBN3 事件时, 该位由硬件设置。向 EMCFCLR 位

		<p>写入 1 会清除此位。</p> <p>0: 无 EMC GBN3 事件</p> <p>1: EMC GBN3 事件发生</p>
6	GBN2F	<p>RET 域 EMC GBN2 标志:</p> <p>当 RET 域检测到 EMC GBN2 事件时, 该位由硬件设置。向 EMCFCLR 位写入 1 可以清除此位。</p> <p>0: 无 EMC GBN2 事件</p> <p>1: EMC GBN2 事件发生</p>
5	GBN1F	<p>RET 域 EMC GBN1 标志:</p> <p>当 RET 域检测到 EMC GBN1 事件时, 该位由硬件设置。将 1 写入 EMCFCLR 位可清除此位。</p> <p>0: 无 EMC GBN1 事件</p> <p>1: EMC GBN1 事件发生</p>
4	GBN0F	<p>RET 域 EMC GBN0 标志:</p> <p>当 RET 域检测到 EMC GBN0 事件时, 该位由硬件设置。向 EMCFCLR 位写入 1 会清除此位。</p> <p>0: 无 EMC GBN0 事件</p> <p>1: EMC GBN0 事件发生</p>
3	CLP3F	<p>RET 域 EMC Clamp 3 标志:</p> <p>当 RET 域检测到 EMC Clamp3 事件时, 该位由硬件设置。向 EMCFCLR 位写入 1 可以清除此位。</p> <p>0: 无 EMC Clamp3 事件</p> <p>1: EMC Clamp3 事件发生</p>
2	CLP2F	<p>RET 域 EMC Clamp 2 标志:</p> <p>当 RET 域检测到 EMC Clamp2 事件时, 该位由硬件设置。向 EMCFCLR 位写入 1 可以清除此位。</p> <p>0: 无 EMC Clamp2 事件</p> <p>1: EMC Clamp2 事件发生</p>
1	CLP1F	<p>RET 域 EMC Clamp 1 标志:</p> <p>当 RET 域检测到 EMC Clamp1 事件时, 该位由硬件设置。向 EMCFCLR 位写入 1 会清除此位。</p> <p>0: 无 EMC Clamp1 事件</p> <p>1: EMC Clamp1 事件发生</p>
0	CLP0F	<p>RET 域 EMC Clamp 0 标志:</p> <p>当 RET 域检测到 EMC Clamp0 事件时, 该位由硬件设置。向 EMCFCLR 位写入 1 可以清除此位。</p> <p>0: 无 EMC Clamp0 事件</p> <p>1: EMC Clamp0 事件发生</p>

### 3.6.31 PWR EMC RET 控制寄存器 2 (PWR\_EMCRETCTRL2)

偏移地址: 0x108

复位值: 0x0000 0000

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

Reserved													
----------	--	--	--	--	--	--	--	--	--	--	--	--	--

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

Reserved	RETGB7 DET	RETGB6 DET	RETGB5 DET	RETGB4 DET	RETGBN7 DET	RETGBN6 DET	RETGBN5 DET	RETGBN4 DET	RETCLP7 DET	RETCLP6 DET	RETCLP5 DET	RETCLP4 DET
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:12	保留	保留，必须保持复位值。
11	RETGB7DET	RET 域 EMC GB7 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
10	RETGB6DET	RET 域 EMC GB6 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
9	RETGB5DET	RET 域 EMC GB5 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
8	RETGB4DET	RET 域 EMC GB4 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
7	RETGBN7DET	RET 域 EMC GBN7 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
6	RETGBN6DET	RET 域 EMC GBN6 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
5	RETGBN5DET	RET 域 EMC GBN5 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
4	RETGBN4DET	RET 域 EMC GBN4 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测

3	RETCLP7DET	RET 域 EMC Clamp7 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
2	RETCLP6DET	RET 域 EMC Clamp6 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
1	RETCLP5DET	RET 域 EMC Clamp5 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
0	RETCLP4DET	RET 域 EMC Clamp4 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测

### 3.6.32 PWR EMC RET 状态寄存器 2 (PWR\_EMCRETSTS2)

偏移地址: 0x10C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				GB7F	GB6F	GB5F	GB4F	GBN7F	GBN6F	GBN5F	GBN4F	CLP7F	CLP6F	CLP5F	CLP4F
				r	r	r	r	r	r	r	r	r	r	r	r

位域	名称	描述
31:12	保留	保留，必须保持复位值。
11	GB7F	RET 域 EMC GB7 标志： 当 RET 域检测到 EMC GB7 事件时，该位由硬件设置。向 EMCFLR 位写入 1 会清除此位。 0: 无 EMC GB7 事件 1: EMC GB7 事件发生
10	GB6F	RET 域 EMC GB6 标志： 当 RET 域检测到 EMC GB6 事件时，该位由硬件设置。向 EMCFLR 位写入 1 会清除此位。 0: 无 EMC GB6 事件 1: EMC GB6 事件发生
9	GB5F	RET 域 EMC GB5 标志：

		<p>当 RET 域检测到 EMC GB5 事件时，该位由硬件设置。将 1 写入 EMCFCLR 位会清除此位。</p> <p>0: 无 EMC GB5 事件 1: EMC GB5 事件发生</p>
8	GB4F	<p>RET 域 EMC GB4 标志:</p> <p>当 RET 域检测到 EMC GB4 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 会清除此位。</p> <p>0: 无 EMC GB4 事件 1: EMC GB4 事件发生</p>
7	GBN7F	<p>RET 域 EMC GBN7 标志:</p> <p>当 RET 域检测到 EMC GBN7 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 会清除此位。</p> <p>0: 无 EMC GBN7 事件 1: EMC GBN7 事件发生</p>
6	GBN6F	<p>RET 域 EMC GBN6 标志:</p> <p>当 RET 域检测到 EMC GBN6 事件时，该位由硬件设置。将 1 写入 EMCFCLR 位可清除此位。</p> <p>0: 无 EMC GBN6 事件 1: EMC GBN6 事件发生</p>
5	GBN5F	<p>RET 域 EMC GBN5 标志:</p> <p>当 RET 域检测到 EMC GBN5 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 会清除此位。</p> <p>0: 无 EMC GBN5 事件 1: EMC GBN5 事件发生</p>
4	GBN4F	<p>RET 域 EMC GBN4 标志:</p> <p>当 RET 域检测到 EMC GBN4 事件时，该位由硬件设置。将 1 写入 EMCFCLR 位可清除此位。</p> <p>0: 无 EMC GBN4 事件 1: EMC GBN4 事件发生</p>
3	CLP7F	<p>RET 域 EMC Clamp 7 标志:</p> <p>当 RET 域检测到 EMC Clamp7 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 可以清除此位。</p> <p>0: 无 EMC Clamp7 事件 1: EMC Clamp7 事件发生</p>
2	CLP6F	<p>RET 域 EMC Clamp 6 标志:</p> <p>当 RET 域检测到 EMC Clamp6 事件时，该位由硬件设置。将 1 写入 EMCFCLR 位可清除此位。</p> <p>0: 无 EMC Clamp6 事件 1: EMC Clamp6 事件发生</p>
1	CLP5F	<p>RET 域 EMC Clamp 5 标志:</p> <p>当 RET 域检测到 EMC Clamp5 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 可以清除此位。</p> <p>0: 无 EMC Clamp5 事件 1: EMC Clamp5 事件发生</p>

0	CLP4F	RET 域 EMC Clamp4 标志： 当 RET 域检测到 EMC Clamp4 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 可以清除此位。 0：无 EMC Clamp4 事件 1：EMC Clamp4 事件发生
---	-------	---

### 3.6.33 PWR EMC RET 控制寄存器 3 (PWR\_EMCRETCTRL3)

偏移地址：0x110

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				RETGB 11DET	RETGB 10DET	RETGB 9DET	RETGB 8DET	RETGBN 11DET	RETGBN 10DET	RETGBN 9DET	RETGBN 8DET	RETCLP 11DET	RETCLP 10DET	RETCLP 9DET	RETCLP 8DET
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:12	保留	保留，必须保持复位值。
11	RETGB11DET	RET 域 EMC GB11 检测启用 此位由软件设置和清除。 0：禁用检测 1：启用检测
10	RETGB10DET	RET 域 EMC GB10 检测启用 此位由软件设置和清除。 0：禁用检测 1：启用检测
9	RETGB9DET	RET 域 EMC GB9 检测启用 此位由软件设置和清除。 0：禁用检测 1：启用检测
8	RETGB8DET	RET 域 EMC GB8 检测启用 此位由软件设置和清除。 0：禁用检测 1：启用检测
7	RETGBN11DET	RET 域 EMC GBN11 检测启用 此位由软件设置和清除。 0：禁用检测 1：启用检测
6	RETGBN10DET	RET 域 EMC GBN10 检测启用 此位由软件设置和清除。

		0: 禁用检测 1: 启用检测
5	RETGBN9DET	RET 域 EMC GBN9 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
4	RETGBN8DET	RET 域 EMC GBN8 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
3	RETCLP11DET	RET 域 EMC Clamp11 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
2	RETCLP10DET	RET 域 EMC Clamp10 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
1	RETCLP9DET	RET 域 EMC Clamp9 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
0	RETCLP8DET	RET 域 EMC Clamp8 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测

### 3.6.34 PWR EMC RET 状态寄存器 3 (PWR\_EMCRETSTS3)

偏移地址: 0x114

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				GB11F	GB10F	GB9F	GB8F	GBN11F	GBN10F	GBN9F	GBN8F	CLP11F	CLP10F	CLP9F	CLP8F
				r	r	r	r	r	r	r	r	r	r	r	r

位域	名称	描述
31:12	保留	保留, 必须保持复位值。
11	GB11F	RET 域 EMC GB11 标志:

		<p>当 RET 域检测到 EMC GB11 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 会清除此位。</p> <p>0: 无 EMC GB11 事件 1: EMC GB11 事件发生</p>
10	GB10F	<p>RET 域 EMC GB10 标志:</p> <p>当 RET 域检测到 EMC GB10 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 会清除此位。</p> <p>0: 无 EMC GB10 事件 1: EMC GB10 事件发生</p>
9	GB9F	<p>RET 域 EMC GB9 标志:</p> <p>当 RET 域检测到 EMC GB9 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 会清除此位。</p> <p>0: 无 EMC GB9 事件 1: EMC GB9 事件发生</p>
8	GB8F	<p>RET 域 EMC GB8 标志:</p> <p>当 RET 域检测到 EMC GB8 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 会清除此位。</p> <p>0: 无 EMC GB8 事件 1: EMC GB8 事件发生</p>
7	GBN11F	<p>RET 域 EMC GBN11 标志:</p> <p>当 RET 域检测到 EMC GBN11 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 可以清除该位。</p> <p>0: 无 EMC GBN11 事件 1: EMC GBN11 事件发生</p>
6	GBN10F	<p>RET 域 EMC GBN10 标志:</p> <p>当 RET 域检测到 EMC GBN10 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 会清除此位。</p> <p>0: 无 EMC GBN10 事件 1: EMC GBN10 事件发生</p>
5	GBN9F	<p>RET 域 EMC GBN9 标志:</p> <p>当 RET 域检测到 EMC GBN9 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 会清除此位。</p> <p>0: 无 EMC GBN9 事件 1: EMC GBN9 事件发生</p>
4	GBN8F	<p>RET 域 EMC GBN8 标志:</p> <p>当 RET 域检测到 EMC GBN8 事件时，该位由硬件设置。将 1 写入 EMCFCLR 位可清除此位。</p> <p>0: 无 EMC GBN8 事件 1: EMC GBN8 事件发生</p>
3	CLP11F	<p>RET 域 EMC Clamp11 标志:</p> <p>当 RET 域检测到 EMC Clamp11 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 可以清除此位。</p> <p>0: 无 EMC Clamp11 事件 1: EMC Clamp11 事件发生</p>



2	CLP10F	RET 域 EMC Clamp10 标志： 当 RET 域检测到 EMC Clamp10 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 可以清除此位。 0：无 EMC Clamp10 事件 1：EMC Clamp10 事件发生
1	CLP9F	RET 域 EMC Clamp9 标志： 当 RET 域检测到 EMC Clamp9 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 会清除此位。 0：无 EMC Clamp9 事件 1：EMC Clamp9 事件发生
0	CLP8F	RET 域 EMC Clamp8 标志： 当 RET 域检测到 EMC Clamp8 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 可以清除此位。 0：无 EMC Clamp8 事件 1：EMC Clamp8 事件发生

### 3.6.35 PWR EMC RET 控制寄存器 4 (PWR\_EMCRETCTRL4)

偏移地址：0x118

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved					RETGB 14DET	RETGB 13DET	RETGB 12DET	Reserved	RETGBN 14DET	RETGBN 13DET	RETGBN 12DET	Reserved	RETCLP 14DET	RETCLP 13DET	RETCLP 12DET
					rw	rw	rw		rw	rw	rw		rw	rw	rw

位域	名称	描述
31:11	保留	保留，必须保持复位值。
10	RETGB14DET	RET 域 EMC GB14 检测启用 此位由软件设置和清除。 0：禁用检测 1：启用检测
9	RETGB13DET	RET 域 EMC GB13 检测启用 此位由软件设置和清除。 0：禁用检测 1：启用检测
8	RETGB12DET	RET 域 EMC GB12 检测启用 此位由软件设置和清除。 0：禁用检测 1：启用检测

7	保留	保留，必须保持复位值。
6	RETGBN14DET	RET 域 EMC GBN14 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
5	RETGBN13DET	RET 域 EMC GBN13 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
4	RETGBN12DET	RET 域 EMC GBN12 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
3	保留	保留，必须保持复位值。
2	RETCLP14DET	RET 域 EMC Clamp14 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
1	RETCLP13DET	RET 域 EMC Clamp13 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
0	RETCLP12DET	RET 域 EMC Clamp12 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测

### 3.6.36 PWR EMC RET 状态寄存器 4 (PWR\_EMCRETSTS4)

偏移地址: 0x11C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved					GB14F	GB13F	GB12F	Reserved	GBN14F	GBN13F	GBN12F	Reserved	CLP14F	CLP13F	CLP12F
					r	r	r		r	r	r		r	r	r

位域	名称	描述
31:11	保留	保留，必须保持复位值。
10	GB14F	RET 域 EMC GB14 标志:

		当 RET 域检测到 EMC GB14 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 会清除该位。 0: 无 EMC GB14 事件 1: EMC GB14 事件发生
9	GB13F	RET 域 EMC GB13 标志： 当 RET 域检测到 EMC GB13 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 会清除该位。 0: 无 EMC GB13 事件 1: EMC GB13 事件发生
8	GB12F	RET 域 EMC GB12 标志： 当 RET 域检测到 EMC GB12 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 会清除此位。 0: 无 EMC GB12 事件 1: EMC GB12 事件发生
7	保留	保留，必须保持复位值。
6	GBN14F	RET 域 EMC GBN14 标志： 当 RET 域检测到 EMC GBN14 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 会清除此位。 0: 无 EMC GBN14 事件 1: EMC GBN14 事件发生
5	GBN13F	RET 域 EMC GBN13 标志： 当 RET 域检测到 EMC GBN13 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 会清除此位。 0: 无 EMC GBN13 事件 1: EMC GBN13 事件发生
4	GBN12F	RET 域 EMC GBN12 标志： 当 RET 域检测到 EMC GBN12 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 会清除该位。 0: 无 EMC GBN12 事件 1: EMC GBN12 事件发生
3	保留	保留，必须保持复位值。
2	CLP14F	RET 域 EMC Clamp14 标志： 当 RET 域检测到 EMC Clamp14 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 可以清除此位。 0: 无 EMC Clamp14 事件 1: EMC Clamp14 事件发生
1	CLP13F	RET 域 EMC Clamp13 标志： 当 RET 域检测到 EMC Clamp13 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 可以清除此位。 0: 无 EMC Clamp13 事件 1: EMC Clamp13 事件发生
0	CLP12F	RET 域 EMC Clamp12 标志： 当 RET 域检测到 EMC Clamp12 事件时，该位由硬件设置。向 EMCFCLR

		位写入 1 可以清除此位。 0: 无 EMC Clamp12 事件 1: EMC Clamp12 事件发生
--	--	---

### 3.6.37 PWR EMC BKP 控制寄存器 (PWR\_EMCBKCTRL)

偏移地址: 0x120

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved							BKPGBD DET	Reserved				BKPGBN DET	Reserved			BKPCLP DET
							rw					rw				rw

位域	名称	描述
31:9	保留	保留, 必须保持复位值。
8	BKPGBDDET	备份域 EMC GB 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
7	保留	保留, 必须保持复位值。
4	BKPGBNDET	备份域 EMC GBN 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测
3:1	保留	保留, 必须保持复位值。
0	BKPCLPDET	备份域 EMC Clamp 检测启用 此位由软件设置和清除。 0: 禁用检测 1: 启用检测

### 3.6.38 PWR EMC BKP 状态寄存器 (PWR\_EMCRETSTS)

偏移地址: 0x124

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

Reserved	BKPGBF	Reserved	BKPGBNF	Reserved	BKPCLPF
	r		r		r

位域	名称	描述
31:9	保留	保留，必须保持复位值。
8	BKPGBF	备份域 EMC GB 标志： 当备份域检测到 EMC GB 事件时，该位由硬件设置。将 1 写入 EMCFCLR 位可清除此位。 0: 无 EMC GB 事件 1: 发生 EMC GB 事件
7:5	保留	保留，必须保持复位值。
4	BKPGBNF	备份域 EMC GBN 标志： 当 RET 域检测到 EMC GBN 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 会清除此位。 0: 无 EMC GBN 事件 1: EMC GBN 事件发生
3:1	保留	保留，必须保持复位值。
0	BKPCLPF	备份域 EMC Clamp 标志： 当 RET 域检测到 EMC Clamp 事件时，该位由硬件设置。向 EMCFCLR 位写入 1 可以清除此位。 0: 无 EMC Clamp 事件 1: 发生 EMC Clamp 事件

## 4 复位与时钟控制(RCC)

复位和时钟控制（RCC）模块负责为整个芯片生成复位信号和时钟信号，它嵌入了两个 CPU：一个 Arm® Cortex®-M7 和一个 Arm® Cortex®-M4，分别称为 CPU1(C1)和 CPU2(C2)。

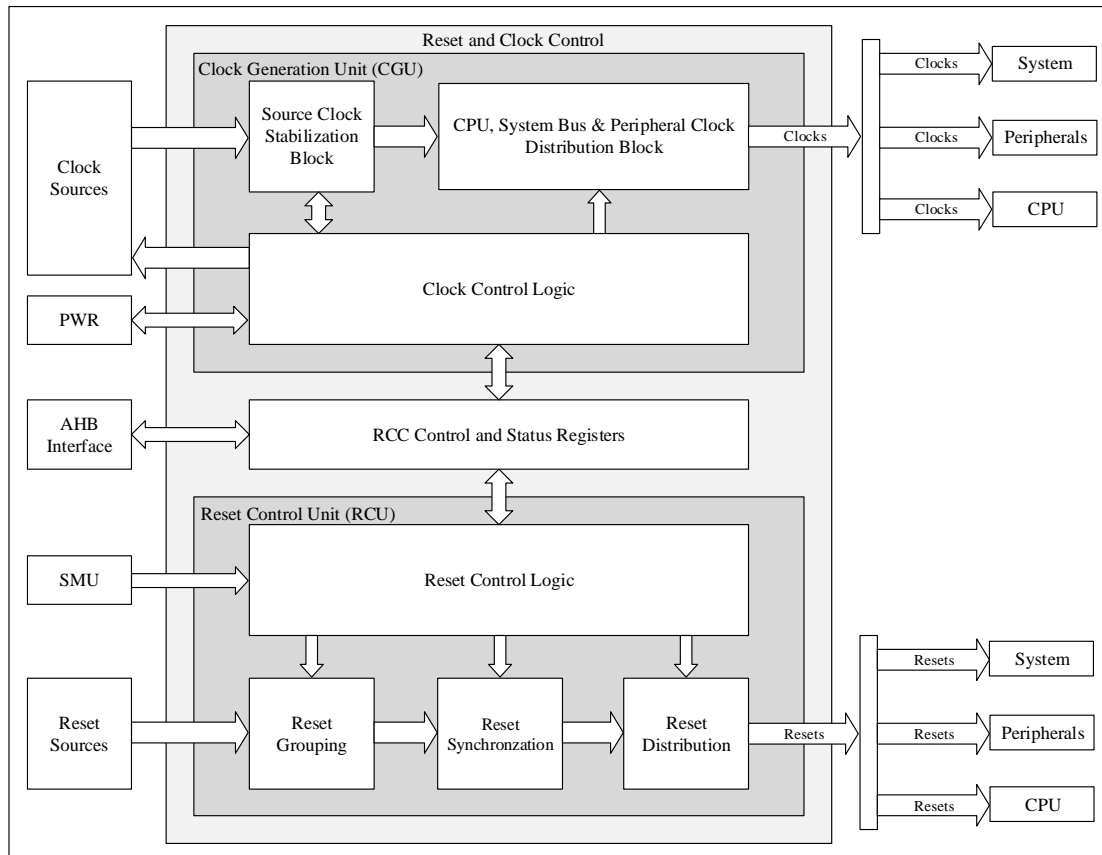
### 4.1 主要特性

RCC 支持的主要功能如下：

- 不同时钟源的时钟控制，例如
  - HSI（内部高速：64MHz）。
  - HSE（外部高速：4~50MHz）。
  - MSI（内部中速：16MHz）。
  - PLL（锁相环）
    - ◆ PLL1~3：400MHz~800MHz
    - ◆ SHRPLL：400MHz~1.25GHz
  - LSE（外部低速：32.768KHz）。
  - LSI（内部低速：32KHz）。
- CPU（M7 和 M4）时钟选择。
- 系统总线时钟选择。
- 外设时钟选择。
- HSE、LSE、LSI（主）和 PLL 的时钟源故障检测。
- HSE 和 LSE 的时钟频率漂移检测。
- 系统、CPU 和外设的复位生成。

## 4.2 模块图

图 4-1 RCC 模块图



RCC 模块分为：

- 时钟生成单元(CGU)

CGU 负责时钟源控制以及向系统、外设和 CPU 分配时钟。

- 复位控制单元(RCU)

RCU 负责复位控制以及向系统、外设和 CPU 分配复位信号。

- 寄存器接口

该模块由控制寄存器和状态寄存器组成，CPU 通过 AHB 接口访问这些寄存器。CPU 用控制寄存器提供时钟和复位控制信息，用状态寄存器报告 RCC 模块的状态。

RCC 逻辑根据系统电源域分为三个部分：

- RCC 内核域

该模块位于内核电源域，负责：

- 系统时钟选择和系统复位生成。
- 为 M4 和 M7 CPU 提供时钟和复位。
- 提供 AXI、AHB 和 APB 总线时钟和复位。
- 为内核电源域及其子域（例如 HSC、Ethercat、SHRTIM、CPU1(M7)、CPU2(M4)、MDMA 和图形子系

统) 中的外设提供时钟和复位。

- 为外设和系统时钟提供时钟门控控制、时钟分频和时钟源选择复用器。
- RCC 保持域

该模块位于保持电源域，负责为保持电源域中的外设提供时钟门控控制、时钟分频、时钟源选择复用器和复位控制。

- RCC BKP 域

该模块位于备份电源域，负责为备份电源域中的外设提供时钟门控控制、时钟分频、时钟源选择复用器和复位控制。

## 4.3 复位控制单元(RCU)

复位控制单元接收来自复位源(例如上电复位(POR)、NRST 引脚以及来自特定外设和 CPU 的复位请求)的输入，以产生系统复位、CPU 复位(M7 和 M4)以及外设复位。

寄存器 RCC\_CTRLSTS 包含与每个复位源对应的状态位。发生复位时，可以通过读取该寄存器来确定复位源。读取后，应将该寄存器中的 RMRSTF 位设置为 1'b1，以清除所有状态位。

### 4.3.1 上电复位(POR)

每个电源域都有一个 POR，用于复位该电源域中的所有寄存器。本系统中存在以下电源复位：

1. 内核电源域 POR (来自 AFE 和 PWR)。
2. 保持电源域 POR (来自 PWR)。
3. 备份电源域 POR (来自 AFE)。
4. C1(CM7)子域 POR (来自 PWR)。
5. C2(CM4)子域 POR (来自 PWR)。
6. HSC1 子系统 POR (来自 PWR)。
7. HSC2 子系统 POR (来自 PWR)。
8. SHRTIM 子域 POR (来自 PWR)。
9. 图形子系统 POR (来自 PWR)。
10. Ethercat 子域 POR (来自 PWR)。

### 4.3.2 系统复位

系统复位会将所有寄存器复位为其复位值，但复位状态寄存器(RCC\_CTRLSTS)中的复位标志和备份域中的某些寄存器(这些寄存器只能通过编程 BDRST 寄存器和备份域 POR 复位)除外。

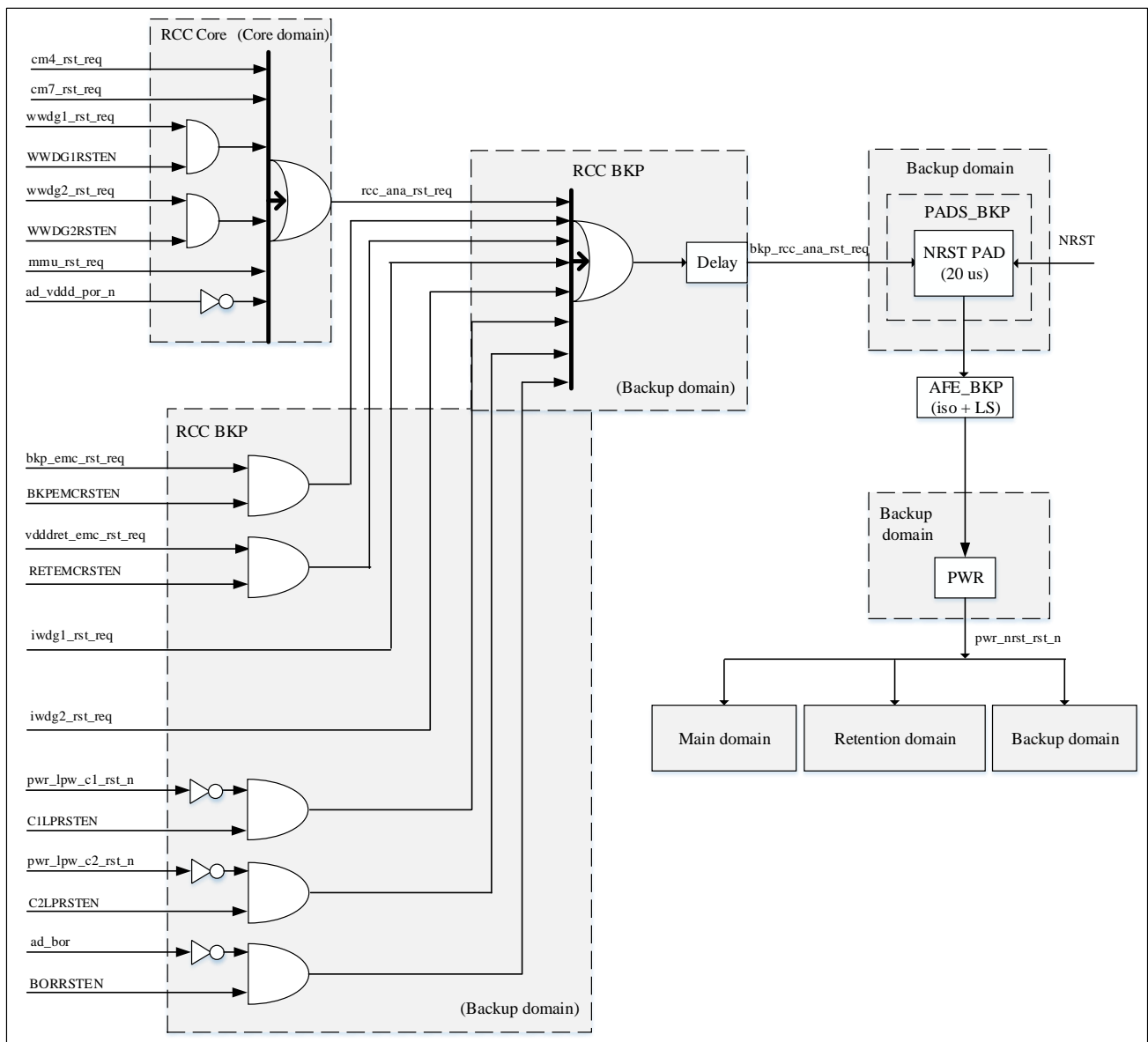
系统复位由以下来源触发：

- NRST 引脚。
- 来自 PWR 和 AFE 的 POR 复位(内核域)。
- IWDG 和 WWDG 复位请求。
- 来自 CPU (M7 和 M4) 的复位请求。
- EMC 复位请求。
- 来自 PWR 的低功耗复位请求。
- BOR 复位。



■ MMU 复位请求。

图 4-2 NRST 复位生成



CPU (M7 和 M4)、MMU 和 IWDG 的 NRST 复位请求信号不能由软件屏蔽 (控制)。其余 NRST 复位请求信号可以由软件控制。

● WWDG1:

RCC 寄存器位 RCC\_CFG1.WWDG1RSTEN 用于控制置起来自 WWDG1 复位源的 NRST 复位。

● WWDG2:

RCC 寄存器位 RCC\_CFG1.WWDG2RSTEN 用于控制置起来自 WWDG2 复位源的 NRST 复位。

● BKP\_EMC:

RCC 寄存器位 RCC\_BDCTRL.BKPEMCRSTEN 用于控制置起来自备份域 EMC 复位源的 NRST 复位。

● RET\_EMC:

RCC 寄存器位 RCC\_BDCTRL.RETEMCRSTEN 用于控制置起来自保持域 EMC 复位源的 NRST 复位。

- M7 CPU 子域低功耗 NRST 复位请求：

RCC 寄存器位 RCC\_BDCTRL.C1LPRSTEN 用于控制此 NRST 复位源。

- M4 CPU 子域低功耗 NRST 复位请求：

RCC 寄存器位 RCC\_BDCTRL.C2LPRSTEN 用于控制此 NRST 复位源。

- BOR：

RCC 寄存器位 RCC\_BDCTRL.BORRSTEN 用于控制因 BOR 复位而产生的 NRST 复位。

### 4.3.3 M7 CPU 复位

M7 CPU 具有内核复位和 POR 复位功能。

M7 内核复位有以下几种来源：

- 来自 PWR 和 AFE 的内核电源域 POR。
- 来自 PWR 的 CPU 复位请求。
- 来自 PWR 的 C1 域低功耗复位。
- 来自 PWR 的 C1 域 POR 复位。
- 系统复位(NRST)。
- WWDG1 复位请求。
- 来自 SMU 的系统启动完成信号。

M7 POR 复位有以下几种来源：

- 来自 PWR 和 AFE 的内核电源域 POR。
- 来自 PWR 的 C1 域 POR 复位。

### 4.3.4 M4 CPU 复位

M4 CPU 具有内核和 POR 复位功能。

M4 内核复位有以下几种来源：

- 来自 PWR 和 AFE 的内核电源域 POR。
- 来自 PWR 的 CPU 复位请求。
- 来自 PWR 的 C2 域低功耗复位。
- 来自 PWR 的 C2 域 POR 复位。
- 系统复位(NRST)。
- WWDG2 复位请求。
- 来自 SMU 的系统启动完成信号。
- 软复位 (AHB 寄存器)，使 M4 CPU 保持复位状态，直到 M7 CPU 启动完成。

M4 POR 复位有以下几种来源：

- 来自 PWR 和 AFE 的内核电源域 POR。
- 来自 PWR 的 C2 域 POR 复位。

### 4.3.5 外设复位

外设复位来源如下：

- 来自 AFE 和 PWR 的电源域 POR(core/ret/bkp)
- 来自 PWR 的子域复位（例如：HSC 子系统复位、图形子系统复位）。
- 系统复位(NRST)。
- 可独立软件编程复位（RCCAHB 寄存器）。

可用可配置寄存器位复位相应的外设。例如，将寄存器位 RCC\_AHB1RST1.ADC1RST 设置为 1，即可对 ADC1 外设进行软复位。

表 4-1 外设复位

Domain	Sub Domain	Peripheral	Peripheral Resets	Domain POR	Sub Domain POR	System reset	SMU control	I/O pad reset	Soft Reset Register
Core	HSC1	Ethernet1	eth1_bus_rst_n	Y	Y	Y	Y	N	ETH1RST
			eth1_ptp_rst_n	Y	Y	Y	Y	N	ETH1RST
		USB1	usb1_bus_rst_n	Y	Y	Y	Y	N	USB1RST
			usb1_por_rst_n	Y	Y	N	N	N	USB1PORRST
			usb1_wrap_rst_n	Y	Y	Y	Y	N	USB1WRAPRST
	HSC2	Ethernet2	eth2_bus_rst_n	Y	Y	Y	Y	N	ETH2RST
			eth2_ptp_rst_n	Y	Y	Y	Y	N	ETH2RST
		USB2	usb2_bus_rst_n	Y	Y	Y	Y	N	USB2RST
			usb2_por_rst_n	Y	Y	N	N	N	USB2PORRST
			usb2_wrap_rst_n	Y	Y	Y	Y	N	USB2WRAPRST
		SDMMC2	sdmmc2_bus_rst_n	Y	Y	Y	Y	N	SDHOST2RST
			sdmmc2_cfg_rst_n	Y	Y	Y	Y	N	SDMMC2RST
	Graphics	DVP{n=1,2}	dvp(n)_ahb_rst_n	Y	Y	Y	Y	N	DVP(n)RST
			dvp(n)_apb_rst_n	Y	Y	Y	Y	N	DVP(n)RST
		GPU	gpu_rst_n	Y	Y	Y	Y	N	GPURST

			dsi_esc_rst_n	Y	Y	Y	Y	N	DSIRST
			dsi_ulps_rst_n	Y	Y	Y	Y	N	DSIRST
			dsi_ker_rst_n	Y	Y	Y	Y	N	DSIRST
		DSI	dsi_cfg_rst_n	Y	Y	Y	Y	N	DSICFGRST
			dsi_bus_rst_n	Y	Y	Y	Y	N	DSIRST
			dsi_phy_rst_n	Y	Y	Y	Y	N	DSIRST
			dsi_vid_rst_n	Y	Y	Y	Y	N	DSIRST
		LCDC	lcdc_rst_n	Y	Y	Y	Y	N	LCDCRST
			jpeg_dec_axi_bus_rst_n	Y	Y	Y	Y	N	JPEGDRST
			jpeg_enc_axi_bus_rst_n	Y	Y	Y	Y	N	JPEGERST
		JPEG	jpeg_sgdma_h2p_rst_n	Y	Y	Y	Y	N	JPEGERST JPEGDRST
			jpeg_sgdma_p2h_rst_n	Y	Y	Y	Y	N	JPEGERST JPEGDRST
	Ethercat	Ethercat	ethercat_bus_rst_n	Y	Y	Y	Y	N	ESCRST
	SHRTIM1	SHRTIM1	shrtim1_ker_rst_n	Y	Y	Y	Y	N	SHRTIM1RST
			shrtim1_bus_rst_n	Y	Y	Y	Y	N	SHRTIM1RST
			shrtim1_sys_rst_n	Y	Y	Y	Y	N	N
			hrtim1_por_rst_n	Y	Y	N	N	N	N
	SHRTIM2	SHRTIM2	shrtim2_ker_rst_n	Y	Y	Y	Y	N	SHRTIM2RST
			shrtim2_bus_rst_n	Y	Y	Y	Y	N	SHRTIM2RST
			shrtim2_sys_rst_n	Y	Y	Y	Y	N	N
			hrtim2_por_rst_n	Y	Y	N	N	N	N
	SHRTIM_AFE	SHRTIM_AFE	shrtim_afe_por_rst_n	Y	Y	N	N	N	SHRTIMAFERST

N	ADC(n){n=1,2,3}	adc(n)_async_rst_n	Y	N	Y	Y	N	ADC(n)RST
		adc(n)_bus_rst_n	Y	N	Y	Y	N	ADC(n)RST
N	BTIM(n){n=1,2,3,4}	btimer(n)_rst_n	Y	N	Y	Y	N	BTIM(n)RST
N	GTIMA(n){n=1,2,3,4,5,6,7}	gtimera(n)_rst_n	Y	N	Y	Y	N	GTIMA(n)RST
N	GTIMB(n){n=1,2,3}	gtimerb(n)_rst_n	Y	N	Y	Y	N	GTIMB(n)RST
		gtimerb(n)_sys_rst_n	Y	N	Y	Y	N	N
N	USART(n){1,2,3,4,5,6,7,8}	usart(n)_rst_n	Y	N	Y	Y	N	USART(n)RST
N	UART(n){n=9~15}	uart(n)_rst_n	Y	N	Y	Y	N	UART(n)RST
N	SPI(n){n=1,2,3,4,5,6,7}	spi(n)_rst_n	Y	N	Y	Y	N	SPI(n)RST
N	I2S(n){1,2,3,4}	i2s(n)_ker_rst_n	Y	N	Y	Y	N	N
		i2s(n)_rst_n	Y	N	Y	Y	N	I2S(n)RST
N	I2C(n){n=1,2,3,4,5,6,7,8,9,10}	i2c(n)_bus_rst_n	Y	N	Y	Y	N	I2C(n)RST
		i2c(n)_ker_rst_n	Y	N	Y	Y	N	I2C(n)RST
N	FDCAN(n){n=1,2,3,4,5,6,7,8}	fdcan(n)_ker_rst_n	Y	N	Y	Y	N	FDCAN(n)RST
		fdcan(n)_bus_rst_n	Y	N	Y	Y	N	FDCAN(n)RST
N	DAC(n){n=12,34,56}	dacctrl(n)_rst_n	Y	N	Y	Y	N	DAC(n)RST
N	WWDG1	wwdg1_rst_n	Y	N	Y	Y	N	WWDG1RST
N	WWDG2	wwdg2_rst_n	Y	N	Y	Y	N	WWDG2RST
N	ECCMON1	eccmon1_rst_n	Y	N	Y	Y	N	ECCM1RST
		eccmon1_m7_rst_n	Y	N	Y	Y	N	ECCM1RST
N	ECCMON2	eccmon2_rst_n	Y	N	Y	Y	N	ECCM2RST
N	ECCMON3	eccmon3_rst_n	Y	N	Y	Y	N	ECCM3RST
N	ECCMON_AHBCACHE	eccmon_ahbcache_rst_n	Y	N	Y	Y	N	ECCMACRST

N	SDPU	sdpu_bus_rst_n	Y	N	Y	Y	N	SDPURST
N	CORDIC	cordic_rst_n	Y	N	Y	Y	N	CORDICRST
N	FMAC	fmac_bus_rst_n	Y	N	Y	Y	N	FMACRST
N	DSMU	dsmu_ker_rst_n	Y	N	Y	Y	N	DSMURST
		dsmu_ker_a_rst_n	Y	N	Y	Y	N	DSMURST
		dsmu_bus_rst_n	Y	N	Y	Y	N	DSMURST
N	ATIM(n){n=1,2,3,4}	atimer(n)_rst_n	Y	N	Y	Y	N	ATIM(n)RST
		atimer(n)_sys_rst_n	Y	N	Y	Y	N	N
N	CRC	crc_rst_n	Y	N	Y	Y	N	CRCRST
N	SEMA4	sema4_rst_n	Y	N	Y	Y	N	SEMA4RST
N	DMA_MUX1	dma_mux1_rst_n	Y	N	Y	Y	N	DMAMUX1RST
N	DMA_MUX2	dma_mux2_rst_n	Y	N	Y	Y	N	DMAMUX2RST
N	AFEC	afec_rst_n	Y	N	Y	N	N	N
		afec_por_rst_n	Y	N	N	N	N	N
MDMA	MDMA	mdma_axi_bus_rst_n	Y	Y	Y	Y	N	MDMARST
		mdma_m7_bus_rst_n	Y	Y	Y	Y	N	MDMARST
N	MMU	mmu_axi_rst_n	Y	N	Y	N	N	N
		mmu_hreset_n	Y	N	Y	Y	N	N
		mmu_por_rst_n	Y	N	N	N	N	N
N	SMU	smu_sys_rst_n	Y	N	Y	N	N	N
		smu_por_rst_n	Y	N	N	N	N	N
N	OTPC	otpc_bus_rst_n	Y	N	Y	Y	N	OTPCRST
		otpc_sys_rst_n	Y	N	Y	N	N	N
C1	TCM	tcm_core_rst_n	Y	Y	Y	Y	N	N

		tcm_axi_bus_rst_n	Y	Y	Y	Y	N	N
		tcm_apb_bus_rst_n	Y	Y	N	N	N	N
		tcm_axi_ramc(n)_rst_n	Y	Y	Y	Y	N	N
N	AXI_ROMC	axi_romc_rst_n	Y	N	Y	Y	N	N
N	AXI_RAMC	axi_ramc1_rst_n	Y	N	Y	Y	N	N
N	AHB_RAMC(n){n=1,2,3,4,5}	ramc(n)_rst_n	Y	N	Y	Y	N	N
N	AHB_RAMC_BKP	ramc_bkp_rst_n	Y	N	Y	Y	N	N
N	XSPI(n){n=1,2}	xspi(n)_ker_rst_n	Y	N	Y	Y	N	XSPI(n)RST
		xspi(n)_bus_rst_n	Y	N	Y	Y	N	XSPI(n)RST
		xspi(n)_timer_rst_n	Y	N	Y	Y	N	XSPI(n)RST
N	FEMC	femc_a_rst_n	Y	N	Y	Y	N	FEMCRST
		femc_m0_rst_n	Y	N	Y	Y	N	FEMCRST
		femc_m1_rst_n	Y	N	Y	Y	N	FEMCRST
		femc_cfg_rst_n	Y	N	Y	Y	N	FEMCCFGRST
N	SDRAM	sdram_mem_rst_n	Y	N	Y	Y	N	SDRAMRST
		sdram_c_rst_n	Y	N	Y	Y	N	SDRAMRST
		sdram_m_rst_n	Y	N	Y	Y	N	SDRAMRST
		sdram_bus_rst_n	Y	N	Y	Y	N	N
N	DMA(n){n=1,2,3}	dma(n)_rst_n	Y	N	Y	Y	N	DMA(n)RST
C2	CM4 Cache D	cah_d_rst_n	Y	Y	Y	Y	N	CAHDRST
C2	CM4 Cache I	cah_i_rst_n	Y	Y	Y	Y	N	CAHIRST
N	DCMU	dcmu_m7_rst_n	Y	N	Y	Y	N	DCMURST
		dcmu_m4_rst_n	Y	N	Y	Y	N	DCMURST
N	AXI Bus Matrix	axi_bus_matrix_gpv_rst	Y	N	Y	Y	N	N

			_n							
			axi_bus_matrix_m7_sync_rst_n	Y	N	Y	Y	N		
			axi_bus_matrix_m7_gpv_rst_n	Y	N	Y	Y	N		
			axi_bus_matrix_m4_sync_rst_n	Y	N	Y	Y	N		
			axi_bus_matrix_m4_gpv_rst_n	Y	N	Y	Y	N		
N	AHB Bus Matrix(n) {n=1,2}		ahb_bus_matrix(n)_sync_rst_n	Y	N	Y	Y	N	N	
HSC2	AHB Bus Matrix3		ahb_bus_matrix3_sync_rst_n	Y	Y	Y	Y	N	N	
N	Debug		rcc_sys_nrst	Y	N	N	N	Y	N	
			sys_dap_rst_n	Y	N	N	N	N	N	
			swd_por_rst_n	Y	N	N	N	N	N	
			dualcore_debug_por_rst_n	Y	N	N	N	N	N	
C2		m4_dap_rst_n	Y	Y	N	N	N	N		
N	EST		est_rst_n	Y	N	Y	N	N	N	
Retention	N	EXTI	exti_m4_rst_n	Y	N	Y	N	N	N	
			exti_m7_rst_n	Y	N	Y	N	N	N	
			exti_rst_n	Y	N	Y	N	N	N	
	N	AFIO		afio_rst_n	Y	N	Y	N	N	AFIORST
	N	GPIO(n) {n=A,B,C,D,E,F,G,H,I,J,K}		gpio(n)_rst_n	Y	N	Y	N	N	GPIO(n)RST
	N	LPTIM(n) {n=1,2,3,4,5}		lptim(n)_ker_rst_n	Y	N	Y	N	N	LPTIM(n)RST
			lptim(n)_prst_n	Y	N	Y	N	N	LPTIM(n)RST	



	N	LPUART(n){n=1,2}	lpuart(n)_ker_rst_n	Y	N	Y	N	N	LPUART(n)RST
			lpuart(n)_prst_n	Y	N	Y	N	N	LPUART(n)RST
	N	COMP	compctrl_ker_rst_n	Y	N	Y	N	N	COMPRST
			compctrl_prst_n	Y	N	Y	N	N	COMPRST
Backup	N	PWR	rcc_bkp_pwr_rst_n	Y	N	Y	N	N	PWRRST
	N	RTC	rtc_core_rst_n	Y	N	Y	N	N	BDRST
			rtc_pclk_rst_n	Y	N	N	N	N	BDRST
			rtccclk_rst_n	Y	N	N	N	N	BDRST
	N	IWDG(n){n=1,2}	iwdg(n)_ker_rst_n	Y	N	Y	N	N	N
			iwdg(n)_bus_rst_n	Y	N	Y	N	N	N
	N	AFEC_BKP	afec_bkp_rst_n	Y	N	Y	N	N	N
	N	AFIO_BKP	afio_bkp_rst_n	Y	N	Y	N	N	AFIORST
N	GPIOC_BKP	gpioc_bkp_rst_n	Y	N	Y	N	N	GPIOCRST	

## 4.4 时钟生成单元(CGU)

RCC 提供以下时钟发生器，以满足系统不同的频率要求：

- HSI（高速内部振荡器）时钟：64MHz
- HSE（高速外部振荡器）时钟：4 至 50MHz
- MSI（中速内部振荡器）时钟：16MHz
- LSE（低速外部振荡器）时钟：32.768kHz
- LSI（低速内部振荡器）时钟：32kHz
- PLL1、PLL2 和 PLL3 时钟：400 MHz ~ 800 MHz
- SHRPLL 时钟：400 MHz ~ 1.25GHz

该设计为应用程序提供了高度灵活性，可为 CPU 和外设选择合适时钟，尤其适用于需要特定时钟频率的外设（如以太网、USB、I2C 和 SDMMC）。

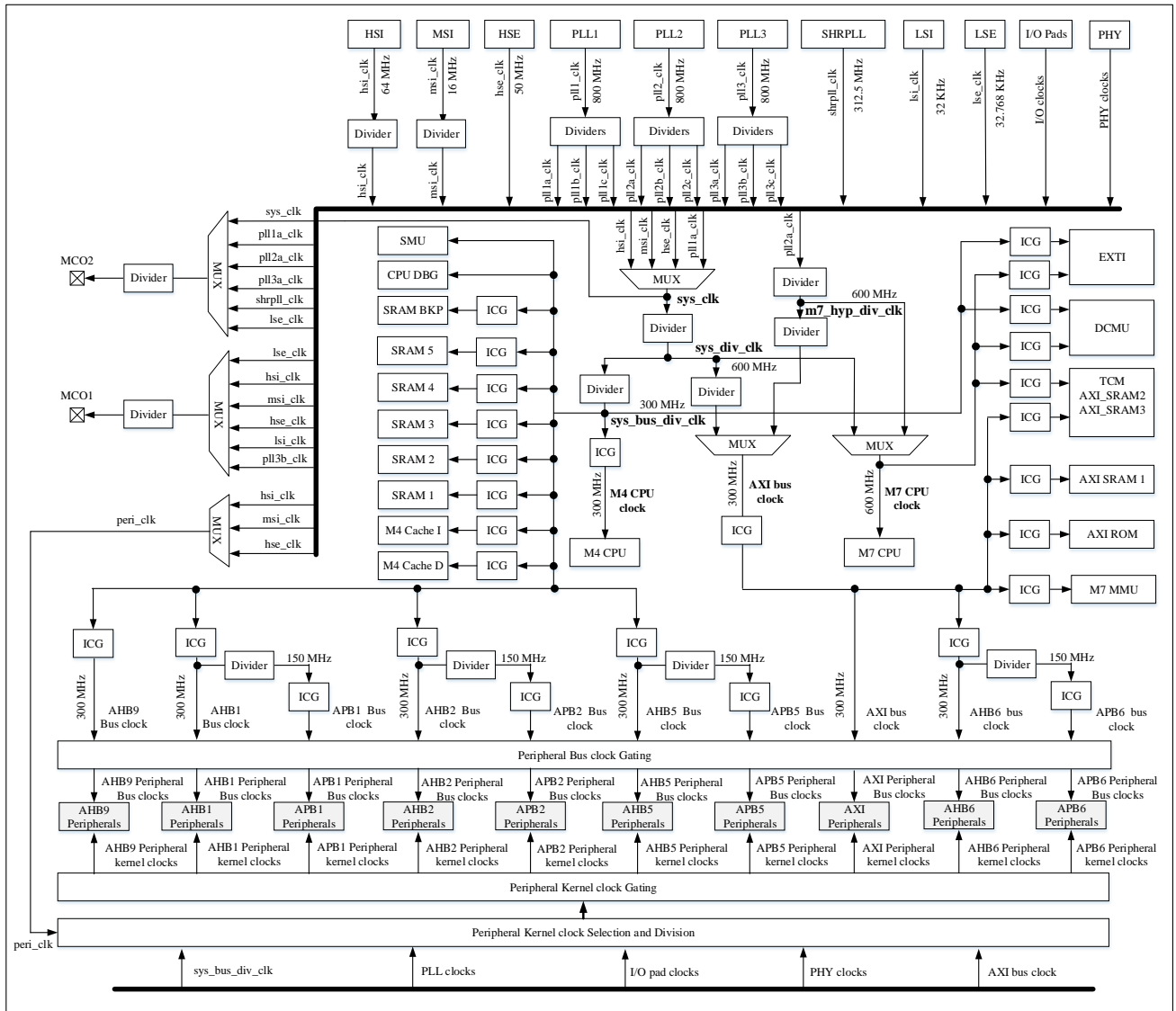
为优化功耗，每个时钟源均可独立启用或禁用。

RCC 提供多达 3 个 PLL，每个均可配置为整数或分数倍频比。这些 PLL 可为系统总线、CPU 及特定外设提供适配时钟频率。此外还为 SHRTIM 外配备专用 SHRPLL 时钟。

如图 4-3 所示，RCC 提供 2 个时钟输出（MCO1 和 MCO2），在时钟选择和频率调整上具有很大的灵活性。

### 4.4.1 时钟树

图 4-3 时钟树



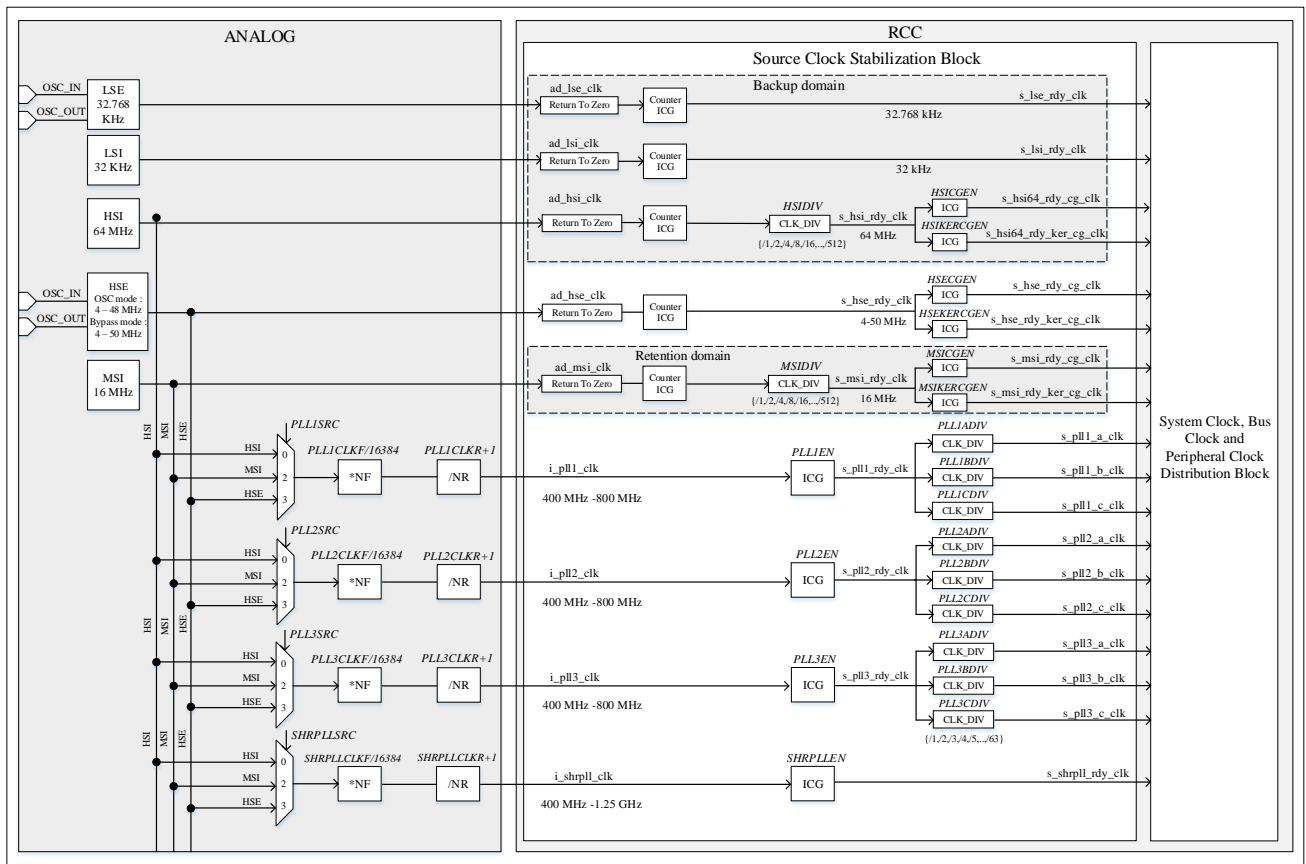
注：图中显示了每条时钟线的最大频率。

时钟生成单元(CGU)具有以下功能：

- 源时钟稳定：滤除源时钟占空比和幅度的变化。
- 利用时钟门控、时钟切换和时钟分频机制，将时钟分配给 CPU、系统总线和外设。

## 4.4.2 时钟源

图 4-4 时钟源稳定



### 4.4.2.1 HSI 时钟

64MHz 内部高速振荡器。

该振荡器的控制逻辑位于备份电源域。初始上电后以及从系统低功耗模式（S\_STP0, S\_STP2 和 S\_STBY）唤醒后，该时钟用作默认系统时钟。

HSI 的优势如下：

- 无需外部晶振，时钟源成本低廉。
- 启动时间比 HSE 更快。

但是，即使经过频率校准，HSI 的频率精度也低于外部晶振或陶瓷谐振器。

HSI 时钟使能由以下信号源控制：

- PWR 控制信号。
- RCC 控制寄存器(RCC\_SRCCTRL1.HSIEN)
- HSE CSS 逻辑。
- PLL 源时钟控制。

可以使用 RCC\_SRCCTRL1.HSIEN 位打开或关闭 HSI。

关闭 HSI 之前，应执行以下操作：

- 如果使用 HSI 时钟作为系统时钟，则将系统时钟切换为 MSI、HSE 或 PLL1（请勿选择 HSI 作为 PLL1 时钟源）。
- 如果任何外设使用 HSI 时钟作为外设内核时钟，则将外设内核时钟切换为任何其他时钟，或将时钟门控到外设。
- 如果使用 HSI 时钟作为 PLL 的时钟源，则禁用 PLL 时钟，并选择 MSI 或 HSE 作为 PLL 源。

RCC\_SRCCTRL1 寄存器中的 HSIRDF 和 AFEHSIRDF 标志指示 HSI 是否稳定。系统启动时，直到硬件置位该位后，HSI 输出时钟才会释放。

#### 4.4.2.1.1 HSI 调整

RCC 具有通过在 RCC\_SRCCTRL3.HSITRIM 中写入增量/减量因子来对 HIS Trim 值进行微调的功能。

HIS Trim 值每增加/减少 1，HSI 时钟频率的步长将为 150KHz。

HSICAL=内部调整值+HSITRIM。如果配置的 HSITRIM 值使 HSICAL 超出范围，则设置为原始 HIS Trim 值，并设置 RCC\_SRCCTRL2.HSICALEF 标志位。如果启用 RCC\_CLKINT2.HSICALEIE，也会产生中断。

#### 4.4.2.2 MSI 时钟

16MHz 中速振荡器。

该振荡器的控制逻辑位于保持电源域。在 S\_STP2 系统电源模式下，此时钟被保持电源域中的外设用作高速时钟。此时钟也可被选为某些外设的系统时钟和内核时钟。

MSI 时钟使能由以下源控制：

- RCC 控制寄存器(RCC\_SRCCTRL1.MSIEN)
- PLL 源时钟控制。

当 MSI 时钟使能后，来自模拟模块的 MSI 时钟开始翻转，但最初几个时钟周期的占空比和频率等参数并不可靠。为了确保时钟信号的占空比和频率稳定，需要设置一个延迟时间，该延迟时间值可在 RCC\_MSIRDDL.DELAY 中编程设置。等待一段时间（通常约为 1us）后，MSI 时钟即可用于系统操作。

RCC\_SRCCTRL1 寄存器中的标志 MSIRDF 和 AFEMSIRDF 指示 MSI 是否稳定。

#### 4.4.2.2.1 MSI 调整

RCC 具有通过在 RCC\_SRCCTRL2.MSITRIM 中写入增量/减量因子来对 MSI Trim 值进行微调的功能。

MSI Trim 值每增加/减少 1，MSI 时钟频率的步长将为 33.2KHz。

MSICAL=内部调整值+MSITRIM。如果配置的 MSITRIM 值使 MSICAL 超出范围，则设置为原始 MSI Trim 值，并设置 RCC\_SRCCTRL2.MSICALEF 标志位。如果启用 RCC\_CLKINT2.MSICALEIE，则会产生中断。

#### 4.4.2.3 HSE 时钟

4~48MHz（振荡器模式）和 4~50MHz（旁路模式）外部高速振荡器。

该振荡器的控制逻辑位于内核电源域。该时钟可用作系统时钟、某些外设的内核时钟以及某些物理层（USB、DSI 等）的参考时钟。

HSE 时钟使能由以下信号源控制。

- PWR 控制信号。

- RCC 控制寄存器 (RCC\_SRCCTRL1.HSEEN 和 RCC\_SRCCTRL1.HSEBP)
- HSE CSS 逻辑。
- PLL 源时钟控制。

当 HSE 时钟使能后, 来自模拟模块的 HSE 时钟开始翻转, 但最初的几个时钟周期在占空比和频率等参数方面并不可靠。为了确保时钟信号的占空比和频率稳定, 需要设置一个延迟时间, 该延迟时间值可在 RCC\_HSERDDL.DELAY 中编程设置。等待一段时间 (通常约为 1us) 后, HSE 时钟即可用于系统操作。

HSE 使能步骤如下:

1. 将 RCC\_HSERDDL.DELAY 位设置为指定值。
2. 将 RCC\_SRCCTRL1.HSERDCNTEN 位设置为 1'b0。
3. 选择晶振模式时, 将 RCC\_SRCCTRL1.HSEEN 位设置为 1'b1 (如果选择旁路模式, 则需要额外将 RCC\_SRCCTRL1.HSEBP 位设置为 1'b1)。
4. 等待预定时间。
5. 将 RCC\_SRCCTRL1.HSERDCNTEN 位设置为 1'b1。
6. 读取 RCC\_SRCCTRL1.HSERDF 位, 检查其是否设置为 1'b1。

#### 4.4.2.3.1 HSE 时钟安全系统(HSE CSS)与时钟偏移检测

HSE 时钟安全系统用于检测 HSE 时钟故障, 可通过 RCC\_SRCCTRL1.HSECSEN 位软件启用。

HSE 偏移检测功能可识别低至 5% 的 HSE 时钟频率偏移, 需通过 RCC\_SRCCTRL1.HSECSEN 位与 RCC\_HSEOS.HSEOSEN 位软件启用。

当发生 HSE 时钟故障或偏移检测事件时, 为确保系统时钟安全, 在以下条件下系统时钟将切换至 HSI 时钟:

- HSE 被选为系统时钟源
- HSE 被选为 PLL1/2 的参考时钟 (PLL1/2 被选为系统时钟源)

HSE 故障事件将发送至高级控制定时器的中断输入端, 并生成不可屏蔽中断(NMI)通知软件故障状态, 从而使 MCU 执行救援操作。

#### 时钟偏移检测

HSE 时钟偏移检测分为两个阶段:

- HSE 时钟频率校准阶段
- HSE 时钟频率偏移检测阶段

HSE 时钟频率校准阶段:

此阶段由 RCC\_HSECAL.HSECALCNTEN 使能。在此阶段, 特定频率的 HSE 时钟被 128 分频, 并使用校准计数器计数 HSE/128 时钟半周期内的 HSI 时钟脉冲数。该校准计数值存储在 RCC\_HSECAL.HSECALCNT 中, 并根据 HSE 时钟频率将相应的阈值写入 RCC\_HSEOS.HSEOSTHR。

例如, 当 HSE 为 48M 时, 所需的 HSECALCNT=64M/(48M/128)\*0.5=85, HSEOSTHR 配置为 3。

HSE 时钟频率漂移检测阶段:

此阶段由 RCC\_HSEOS.HSEOSEN 使能。在此阶段, 漂移计数器用于计数 HSE/128 时钟半周期内的 HSI 时钟脉冲数。将漂移计数器的值与校准计数器的值进行比较, 以确定是否存在 5% 的漂移。

用于检测 HSE 时钟中 5% 漂移的编程序列。

1. 如果 HSI 时钟已禁用，则执行该序列以启用 HSI 时钟。
2. 执行该序列以启用 HSE 时钟。
3. 将 RCC\_HSECAL 寄存器中的 HSECALCNTEN 位设置为 1'b1。
4. 读取 RCC\_HSECAL 寄存器中的 HSECALCNTF 位，检查其是否设置为 1'b1。重复此步骤，直到该位设置为 1'b1。
5. 读取 RCC\_HSECAL 寄存器中的位域 HSECALCNT。存储在该寄存器中的值可用于验证 HSE 时钟的频率。
6. 将与 HSE 频率对应的阈值写入 RCC\_HSEOS 寄存器的 HSEOSTHR 位域。阈值请参考 RCC 寄存器文件。
7. 将 RCC\_HSEOS 寄存器的 HSEOSEN 位设置为 1'b1。
8. 将 RCC\_SRCCTRL1 寄存器的 HSECSEN 位设置为 1'b1。
9. 如果检测到 HSE 时钟频率的漂移大于或等于 5%，则发出 HSECSS 中断，并在 RCC\_CLKINT1 寄存器中设置标志 HSECSSIF。
10. 读取 RCC\_HSEOS 寄存器的 HSEOSF 位。如果检测到频率漂移，该位将设置为 1'b1。
11. 将 RCC\_SRCCTRL1 寄存器的 HSEEN 位设置为 1'b0。读取 RCC\_SRCCTRL1 寄存器中的 HSERDF 位，检查其是否设置为 1'b0。重复此步骤，直到 HSERDF 位设置为 1'b0。
12. 将 RCC\_SRCCTRL1 寄存器中的 HSECSEN 位设置为 1'b0。
13. 将 RCC\_CLKINT1 寄存器中的 HSECSSIC 位设置为 1'b1。读取 RCC\_CLKINT1 寄存器中的 HSECSSIF 位，检查其是否设置为 1'b0。重复此步骤，直到 HSECSSIF 位设置为 1'b0。
14. 将 RCC\_HSEOS 寄存器中的 HSEOSF 位设置为 1'b1。
15. 将 RCC\_HSEOS 寄存器中的 HSEOSEN 位设置为 1'b0。
16. 将 RCC\_HSECAL 寄存器中的 HSECALCNTEN 位设置为 1'b0。

#### 4.4.2.4 LSI 时钟

32KHz 低速内部振荡器。

LSI 时钟由两个时钟源组成。

- LSI 主时钟源。
- LSI 辅助时钟源。

该振荡器的控制逻辑位于备份电源域。这是系统上电期间第一个翻转的时钟，并由备份电源域中的 PWR 使用，用于启动系统上电并从系统低功耗模式（如 S\_STBY 和 S\_STP2）唤醒。备份和保持电源域中的外设也使用此时钟。

LSI 主时钟使能由以下源控制。

- PWR 控制信号。
- RCC 控制寄存器（RCC\_BDCTRL.LSIEN 和 RCC\_BDCTRL.LSIRDEN）。
- LSICSS 逻辑。
- IWDG 控制信号。

RCC\_BDCTRL 寄存器中的标志 LSIRDEN 和 AFELSDEN 指示主 LSI 是否稳定。

LSI 辅助时钟使能由以下源控制。

- RCC 控制寄存器(RCC\_BDCTRL.LSISECEN)。

RCC\_BDCTRL 寄存器中的标志 LSISECRDEN 指示辅助 LSI 是否稳定。

#### 4.4.2.4.1 LSI 时钟安全系统(LSI CSS)

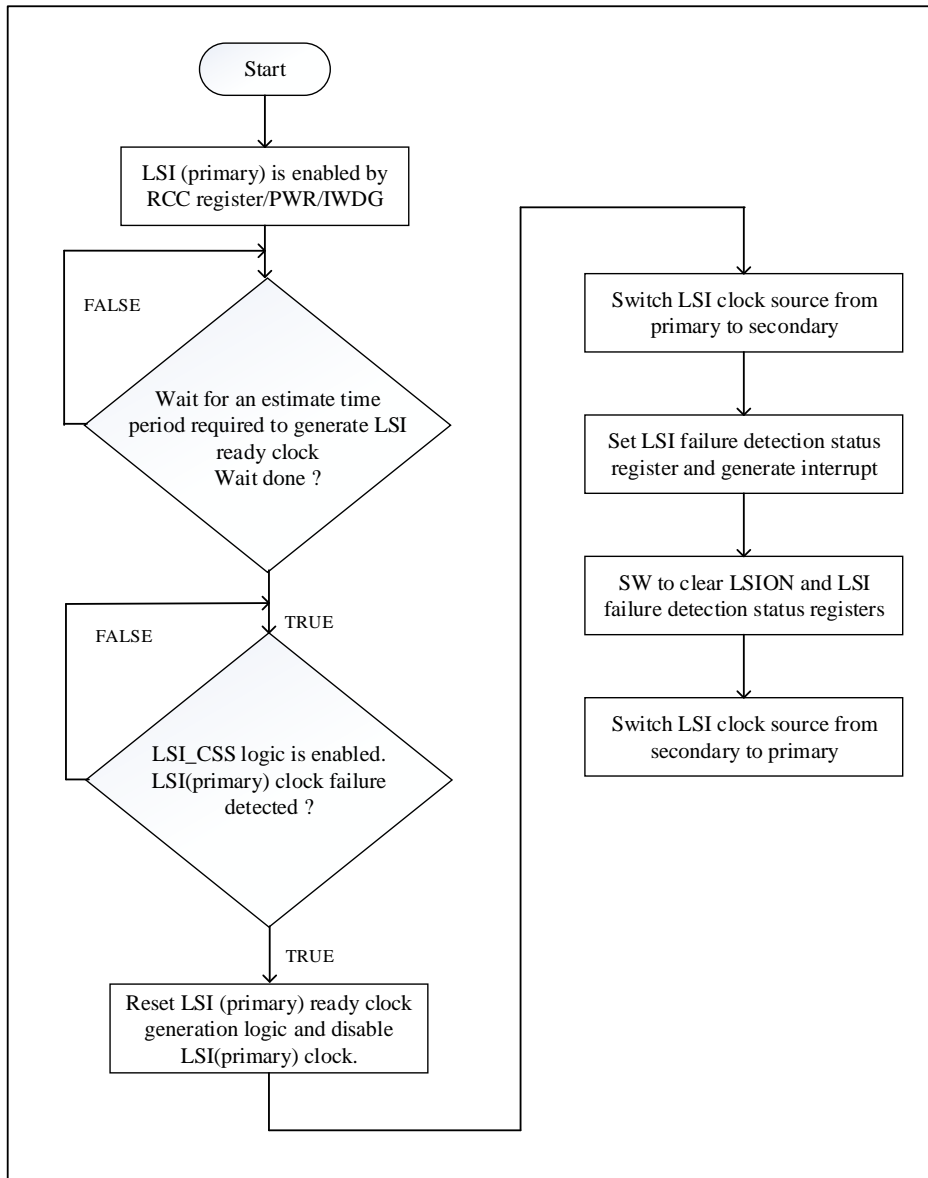
默认情况下，LSI 时钟来自 LSI 主时钟源。如果该时钟源无法生成 LSI 时钟，则 LSI 主时钟故障检测模块会检测到该故障，并将 LSI 时钟切换到 LSI 辅助时钟源。故障事件记录在 RCC 状态寄存器中，并产生中断，控制流程如图 4-5 所示。

在 S\_STP2 模式下，如果检测到主 LSI 故障，则 RTC tamper 中断信号（配置相应的 EXTI 时）会将系统唤醒至运行模式。在 S\_STBY 模式下，如果检测到主 LSI 故障，则 RTC PWR wakeup 事件信号会将系统唤醒至运行模式。

主 LSI 故障检测如下：

1. 将 RCC\_BDCTRL.LSICSSSEN 位和 RCC\_CLKINT3.LSIFIE 位设置为 1'b1
2. 如果检测到主 LSI 故障，则生成 RCC 中断，并将 RCC\_CLKINT3 寄存器中的中断状态标志 LSIFIF 位设置为 1'b1
3. 读取 RCC\_BDCTRL 寄存器中的 LSIPFF 位。如果该位设置为 1'b1，则表示主 LSI 已发生故障，LSI 时钟由辅助 LSI 提供。
4. 要重启主 LSI，必须执行以下步骤。如果不需要重启主 LSI，则系统将继续使用辅助 LSI。
5. 将 RCC\_CLKINT3 寄存器中的 LSIFIE 位设置为 1'b1。
6. 将 RCC\_BDCTRL 寄存器中的 LSIPFACK 位设置为 1'b1。
7. 读取 LSIPFF 位，检查其值是否为 1'b0。重复此步骤，直到 LSIPFF 位的值为 1'b0。
8. 将 RCC\_BDCTRL 寄存器中的 LSIPFACK 位置位为 1'b0。
9. 将 RCC\_BDCTRL 寄存器中的 LSIEN 位置位为 1'b1，复位主 LSI。

图 4-5 LSI CSS Control Flow



如果 BDCTRL.LSIOVREN 配置为 1，则可以根据 RCC\_BDCTRL.LSICSSSEN 通过软件切换时钟源。

#### 4.4.2.5 LSE 时钟

32.768KHz 低速外部振荡器。

该振荡器的控制逻辑位于备份电源域。该振荡器为备份和保持电源域的外设提供低频率且精确的时钟。

LSE 时钟使能由以下信号源控制：

- PWR 控制信号。
- RCC 控制寄存器（RCC\_BDCTRL.LSEEN 和 RCC\_BDCTRL.LSEBP）。
- LSECSS 和漂移检测逻辑。

当 LSE 时钟使能后，来自模拟模块的 LSE 时钟开始切换，但最初几个时钟周期的占空比和频率等参数并不可靠。为了确保时钟信号的占空比和频率稳定，需要一个延迟时间，该延迟时间值可在 RCC\_LSERDDL.DELAY 中编程设置。等待一段时间（通常约为 125ms）后，LSE 时钟即可用于系统操作。



LSE 使能步骤如下：

1. 如果需要配置旁路模式，请将 RCC\_BDCTRL 寄存器中的 LSEBP 位设置为 1'b1，否则设置为 1'b0。
2. 将 RCC\_LSERDDL 寄存器中的 DELAY 位设置为预定值。
3. 将 RCC\_BDCTRL 寄存器中的 LSERDCNTEN 位设置为 1'b0。
4. 将 RCC\_BDCTRL 寄存器中的 LSELDOEN 位设置为 1'b1。
5. 等待 60us。
6. 将 da\_lse\_agcopt 位设置为 1'b1（AFEC->TRIMR7|=0x00400000；仅适用于振荡器模式）
7. 将 RCC\_BDCTRL 寄存器中的 LSEEN 位设置为 1'b1。
8. 将 RCC\_BDCTRL 寄存器中的 LSERDEN 位设置为 1'b1。
9. 等待预定时间（10us）。
10. 将 RCC\_BDCTRL 寄存器中的 LSERDCNTEN 位设置为 1'b1。
11. 读取 RCC\_BDCTRL 寄存器中的 LSERDF 和 AFELSERDF 位。检查这些位是否设置为 1'b1。重复此步骤，直到这些位设置为 1'b1。

#### 4.4.2.5.1 LSE 时钟安全系统(LSE CSS)

时钟安全系统可以通过软件通过 RCC\_BDCTRL.LSECSEN 位启用。

时钟漂移检测可以通过软件通过 RCC\_BDCTRL.LSECSEN 和 RCC\_LSEOS.LSEOSEN 位启用。

LSE 时钟故障和漂移检测事件存储在 RCC 状态寄存器中，并会产生中断。此事件也可用作从系统低功耗状态（例如 S\_STP2 和 S\_STBY）唤醒的源。

#### 时钟偏移检测

LSE 时钟漂移检测分为两个阶段。

- LSE 时钟频率校准阶段。
- LSE 时钟频率漂移检测阶段。

LSE 时钟频率校准阶段：

此阶段由 RCC\_LSEOS.LSECALCNTEN 使能。在此阶段，LSE 时钟被 128 分频，并使用校准计数器计数 LSE/128 时钟半周期内 LSI 时钟脉冲的数量。此校准计数值存储在 RCC\_LSEOS.LSECALCNT 中，并根据 LSE 时钟频率写入 RCC\_LSEOS.LSEOSTHR。

例如，当 LSE 为 32.768K 时，所需的 LSECALCNT= $32K/(32.7368K/128)*0.5=62.5$ ，LSEOSTHR 配置为 5。

LSE 时钟频率漂移检测阶段：

此阶段由 RCC\_LSEOS.LSEOSEN 使能。在此阶段，漂移计数器用于计数 LSE/128 时钟半周期内 LSI 时钟脉冲的数量。将漂移计数器的值与校准计数器的值进行比较，以确定是否存在 10% 的漂移。

用于检测 LSE 时钟中 10% 漂移的编程序列。

1. 如果 LSI 时钟已禁用，则执行该序列以启用 LSI 时钟。
2. 执行该序列以启用 LSE 时钟。
3. 将 RCC\_LSEOS 寄存器中的 LSECALCNTEN 位设置为 1'b1。
4. 读取 RCC\_LSEOS 寄存器中的 LSECALCNTF 位，检查其是否设置为 1'b1。重复此步骤，直至该位设置为 1'b1。
5. 读取 RCC\_LSEOS 寄存器中的 LSECALCNT 位。该寄存器中存储的值可用于验证 LSE 时钟的频率。
6. 将与 LSE 频率对应的阈值写入 RCC\_LSEOS 寄存器中的 LSEOSTHR 位。有关阈值，请参阅 RCC 寄存

器文件。

7. 将 RCC\_LSEOS 寄存器中的 LSEOSEN 位设置为 1'b1。
8. 将 RCC\_BDCTRL 寄存器中的 LSECSSEN 位设置为 1'b1。
9. 将 RCC\_CLKINT1 寄存器中的 LSECSSIE 位设置为 1'b1。
10. 如果检测到 LSE 时钟频率的漂移大于或等于 10%，则 LSECSS 中断将被置位，并且 RCC\_CLKINT1 寄存器中的 LSECSSIF 标志位将被置位。RCC\_BDCTRL 寄存器中的 LSECSSF 位将被设置为 1'b1。读取这两个位以确认是否检测到 LSECSS。
11. 读取 RCC\_LSEOS 寄存器中的 LSEOSF 位。如果检测到频率漂移，该位将被设置为 1'b1。
12. 将 RCC\_BDCTRL 寄存器中的 LSELDOEN 和 LSEEN 位设置为 1'b0。
13. 将 RCC\_BDCTRL 寄存器中的 LSECSSEN 位设置为 1'b0。
14. 将 RCC\_CLKINT1 寄存器中的 LSECSSIC 位设置为 1'b1。
15. 将 RCC\_LSEOS 寄存器中的 LSEOSEN 位设置为 1'b0。
16. 将 RCC\_LSEOS 寄存器中的 LSECALCNTEN 为 1'b0。

#### 4.4.2.6 PLL 时钟

400~800MHz PLL(n)(n=1,2,3)和 400MHz~1.25GHz SHRPLL。

该振荡器的控制逻辑位于内核电源域。HSI、MSI 和 HSE 时钟可配置为 PLL 的时钟源。

- PLL1: 最高频率 800MHz，此 PLL 可用作系统时钟源和某些外设的内核时钟源。
- PLL2: 最高频率 800MHz，此 PLL 可用作系统时钟源和某些外设的内核时钟源。
- PLL3: 最高频率 800MHz，此 PLL 可用作某些外设的内核时钟源。
- SHRPLL: 最高频率 1.25GHz，此 PLL 可用作 SHRTIM 外设的内核时钟源。

PLL1、PLL2 和 PLL3 时钟输出经可配置数字分频器进一步分频，用作系统时钟或外设内核时钟。SHRPLL 时钟输出在 AFE 内部进行 4 分频，为 SHRTIM 外设生成 312.5MHz 时钟。

如图 4-4 所示，PLL 输出频率由以下公式生成：

$$F_{\text{pllout}} = F_{\text{in}} * \text{CLKF}[25:0] / 16384 / (\text{CLKR}[5:0] + 1)$$

此外， $\text{BWAJ}[11:0] = \text{CLKF}[25:0] / 32768 - 1$ 。

CLKF、CLKR 和 BWAJ 需要配置不同的参数，以确保 PLL 达到最佳性能，开发套件驱动程序中给出了算法代码。

PLL1、PLL2 和 PLL3 的 CLKF、CLKR 和 BWAJ 典型配置值如下表所示：

表 4-2 PLL 典型参数

Fin(MHz)	Fpllout(MHz)	CLKR[5:0]	CLKF[25:0]	BWAJ[11:0]
64	500	6'h00	26'h001F400	12'h002
64	720	6'h00	26'h002D000	12'h004
64	800	6'h00	26'h0032000	12'h005
64	624	6'h00	26'h0027000	12'h003
64	1250	6'h00	26'h004E200	12'h008
64	640	6'h00	26'h0028000	12'h004
64	532	6'h00	26'h0021400	12'h003
64	600	6'h00	26'h0025800	12'h003

64	400	6'h00	26'h0019000	12'h002
64	440	6'h00	26'h001B800	12'h002
64	528	6'h00	26'h0021000	12'h003
64	650	6'h00	26'h0028A00	12'h004
64	625	6'h00	26'h0027100	12'h003
64	480	6'h00	26'h001E000	12'h002
64	666	6'h00	26'h0029A00	12'h004
64	700	6'h00	26'h002BC00	12'h004
48	800	6'h02	26'h00C8000	12'h018
48	720	6'h00	26'h003C000	12'h006
48	640	6'h02	26'h00A0000	12'h013
48	624	6'h00	26'h0034000	12'h005
48	1250	6'h02	26'h0138800	12'h026
48	500	6'h02	26'h007D000	12'h00E
48	532	6'h02	26'h0085000	12'h00F
48	600	6'h00	26'h0032000	12'h005
48	440	6'h02	26'h006E000	12'h00C
48	528	6'h00	26'h002C000	12'h004
48	650	6'h02	26'h00A2800	12'h013
48	625	6'h02	26'h009C400	12'h012
48	480	6'h00	26'h0028000	12'h004
48	666	6'h00	26'h0037800	12'h005
48	700	6'h02	26'h00AF000	12'h014
48	400	6'h02	26'h0064000	12'h00B
48	450	6'h00	26'h0025800	12'h003
32	800	6'h00	26'h0064000	12'h00B
32	720	6'h00	26'h005A000	12'h00A
32	640	6'h00	26'h0050000	12'h009
32	624	6'h00	26'h004E000	12'h008
32	1250	6'h00	26'h009C400	12'h012
32	500	6'h00	26'h003E800	12'h006
32	532	6'h00	26'h0042800	12'h007
32	600	6'h00	26'h004B000	12'h008
32	440	6'h00	26'h0037000	12'h005
32	528	6'h00	26'h0042000	12'h007
32	650	6'h00	26'h0051400	12'h009
32	625	6'h00	26'h004E200	12'h008
32	480	6'h00	26'h003C000	12'h006
32	666	6'h00	26'h0053400	12'h009
32	700	6'h00	26'h0057800	12'h009
32	400	6'h00	26'h0032000	12'h005
32	450	6'h00	26'h0038400	12'h006

25	800	6'h00	26'h0080000	12'h00F
25	720	6'h04	26'h0240000	12'h047
25	640	6'h04	26'h0200000	12'h03F
25	624	6'h018	26'h09C0000	12'h137
25	1250	6'h00	26'h00C8000	12'h018
25	500	6'h00	26'h0050000	12'h009
25	532	6'h018	26'h0850000	12'h109
25	600	6'h00	26'h0060000	12'h00B
25	440	6'h04	26'h0160000	12'h02B
25	528	6'h018	26'h0840000	12'h0107
25	650	6'h00	26'h0068000	12'h00C
25	625	6'h00	26'h0064000	12'h00B
25	480	6'h04	26'h0180000	12'h02F
25	666	6'h018	26'h0A68000	12'h14C
25	700	6'h00	26'h0070000	12'h00D
25	400	6'h00	26'h0040000	12'h007
25	450	6'h00	26'h0048000	12'h008
16	800	6'h00	26'h00C8000	12'h018
16	720	6'h00	26'h00B4000	12'h015
16	624	6'h00	26'h009C000	12'h012
16	1250	6'h00	26'h0138800	12'h026
16	500	6'h00	26'h007D000	12'h00E
16	640	6'h00	26'h00A0000	12'h013
16	532	6'h00	26'h0085000	12'h00F
16	600	6'h00	26'h0096000	12'h011
16	440	6'h00	26'h006E000	12'h00C
16	528	6'h00	26'h0084000	12'h00F
16	650	6'h00	26'h00A2800	12'h013
16	625	6'h00	26'h009C400	12'h012
16	480	6'h00	26'h0078000	12'h00E
16	666	6'h00	26'h00A6800	12'h013
16	700	6'h00	26'h00AF000	12'h014
16	400	6'h00	26'h0064000	12'h00B
16	450	6'h00	26'h0070800	12'h00D
8	800	6'h00	26'h0190000	12'h031
8	500	6'h00	26'h00FA000	12'h01E

#### 4.4.2.6.1 PLL 故障检测

PLL 故障检测逻辑由 `RCC_PLLFD.PLL(n)FEN(n=1,2,3)`或 `RCC_PLLFD.SHRPLLFEN` 使能。

如果 `RCC_CLKINT3.PLL(n)LKFIE` 位设置为 `1'b1`，则锁定失败事件将记录在 `RCC_CLKINT3` 寄存器中，并用于产生不可屏蔽中断(NMI)。

在中断例程中执行以下操作：

- 读取 RCC\_CLKINT3.PLL(n)LKFIF 位。检查该位的读取值是否为 1'b1。
- 读取 RCC\_PLLFD.PLL(n)FF 位。检查该位的读取值是否为 1'b0。
- 将 1'b1 写入 RCC\_CLKINT3.PLL(n)LKFIC 位以清除中断标志。

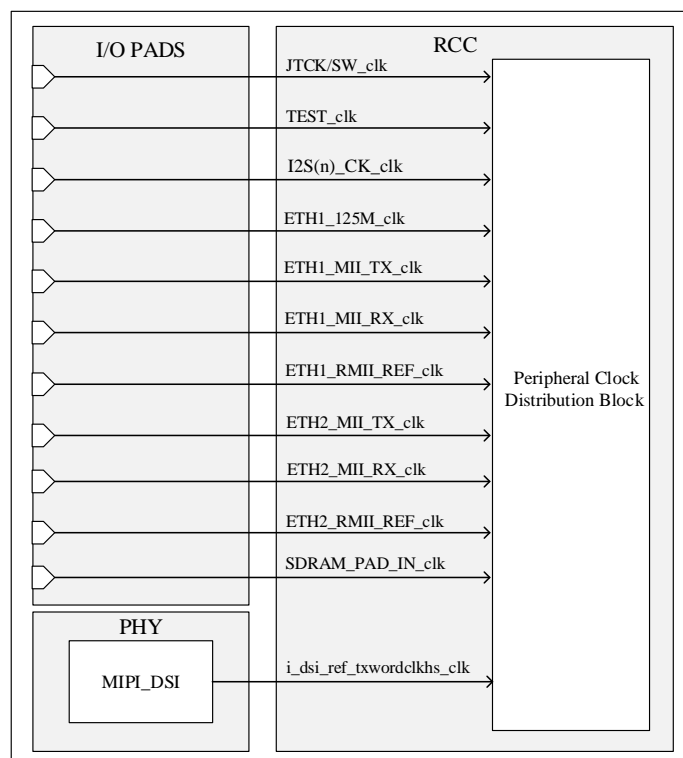
如果选择 PLL1 作为系统时钟源，则锁定失败时，系统时钟将切换到 HSI 时钟。这可以通过读取 RCC\_SRCCTRL1 寄存器中的 SCLKSTS 位来确认。

如果选择 PLL2 作为 M7 和 AXI 时钟源，则锁定失败时，M7 和 AXI 时钟将切换到系统时钟。这可以通过读取 RCC\_SRCCTRL2 寄存器中的 M7HYPSEL 和 AXIHYPSEL 位来确认。

#### 4.4.2.7 I/O 时钟

以太网、SDRAM、MIPI\_DSI 等模块的某些时钟通过 I/O 接口从外部提供。

图 4-6 I/O 时钟



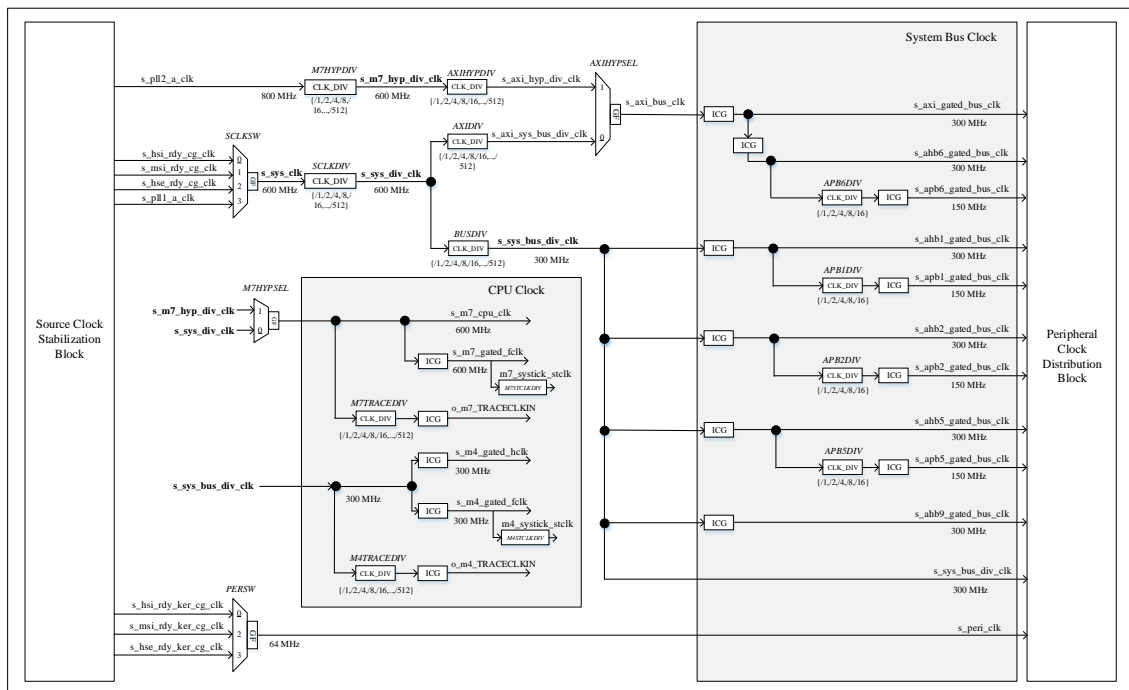
#### 4.4.3 系统总线和 CPU 时钟配置

系统上电和系统复位(NRST)事件后，M4 CPU 时钟、M7 CPU 时钟以及所有总线(AHB/APB/AXI)时钟将由 HSI 时钟源提供。之后，软件可以编程 RCC 寄存器，将系统时钟切换到 PLL，从而使系统能够在以下时钟模式下运行。软件还可以将系统时钟（M4 CPU、M7 CPU 和总线时钟）源编程为 HSE 或 MSI。

表 4-3 系统时钟模式

Operation Modes	Processor and Bus Max frequencies (MHz)					Clock source for Max frequencies			Comments
	CM7	AXI & AHB6	CM4 & AHB(1,2,5)	APB6	APB(1,2,5)	CM7	AXI & AHB6	CM4 & AHB(1,2,5)	
Mode 2	600	300	300	150	150	PLL2A	PLL1A	PLL1A	AXI/AHB from same pll
Mode 1	600	300	300	150	150	PLL2A	PLL2A	PLL1A	AXI/CM7 from same pll
Mode 0	600	300	300	150	150	PLL1A	PLL1A	PLL1A	All from same pll

图 4-7 系统总线和 CPU 的时钟



#### 4.4.3.1 设置系统时钟为模式 0

上电或 NRST 复位后，将系统时钟设置为模式 0 的编程序列：

1. 将 RCC\_SYSBUSDIV1 寄存器中的 AXIDIV[3:0]、AXIHYPDIV[3:0]和 BUSDIV[3:0]位设置为 4'b0001。
2. 等待 1us。
3. 将 RCC\_SYSBUSDIV2 寄存器中的 APB1DIV[2:0]、APB2DIV[2:0]、APB5DIV[2:0]和 APB6DIV[2:0]位设置为 3'b100。
4. 将 RCC\_PLL1CTRL1 寄存器中的 PLL1LDOEN 位设置为 1'b1。
5. 等待 10us，并将 RCC\_PLL1CTRL1 寄存器中的 PLL1PD 位设置为 1'b0。
6. 将 RCC\_PLL1CTRL1 寄存器中的 PLL1SRC[1:0]位设置为 2'b00。
7. 等待 10us，并将 RCC\_PLL1CTRL1 寄存器中的 PLL1RST 位设置为 1'b0。
8. 读取 RCC\_PLL1CTRL1 寄存器中的 PLL1PHLK 位。检查该位是否置为 1'b1。重复此步骤，直到 PLL1PHLK 位置为 1'b1。

9. 将 RCC\_PLL1CTRL1 寄存器中的 PLL1EN 位设置为 1'b1。
10. 等待 1us, 并将 RCC\_PLL1DIV 寄存器中的 PLL1ADIV[5:0]位设置为 6'b00\_0001。
11. 将 RCC\_SRCCTRL1 寄存器中的 SCLKSW 位设置为 2'b11。
12. 读取 RCC\_SRCCTRL1 寄存器中的 SCLKSTS 位, 检查该位是否置为 2'b11。

成功完成上述步骤后,CM4 系统时钟(s\_sys\_bus\_div\_clk)、AHB(1,2,5)、AXI 和 AHB6 时钟均设置为 300MHz。APB(1,2,5,6)时钟设置为 150MHz。CM7 时钟设置为 600MHz。CM7、CM4 系统时钟和 AXI 时钟的时钟源均为 PLL1。

#### 4.4.3.2 设置系统时钟为模式 1

上电或 NRST 复位后, 将系统时钟设置为模式 1 的编程序列:

1. 将 RCC\_SYSBUSDIV1 寄存器中的 AXIDIV[3:0]、AXIHYPDIV[3:0]和 BUSDIV[3:0]位设置为 4'b0001。
2. 等待 1us。
3. 将 RCC\_SYSBUSDIV2 寄存器中的 APB1DIV[2:0]、APB2DIV[2:0]、APB5DIV[2:0]和 APB6DIV[2:0]位设置为 3'b100。
4. 将 RCC\_PLL1CTRL1 寄存器中的 PLL1LDOEN 位设置为 1'b1。
5. 等待 10us, 并将 RCC\_PLL1CTRL1 寄存器中的 PLL1PD 位设置为 1'b0。
6. 将 RCC\_PLL1CTRL1 寄存器中的 PLL1SRC[1:0]位设置为 2'b00。
7. 等待 10us, 并将 RCC\_PLL1CTRL1 寄存器中的 PLL1RST 位设置为 1'b0。
8. 读取 RCC\_PLL1CTRL1 寄存器中的 PLL1PHLK 位。检查该位是否置为 1'b1。重复此步骤, 直到 PLL1PHLK 位置为 1'b1。
9. 将 RCC\_PLL1CTRL1 寄存器中的 PLL1EN 位设置为 1'b1。
10. 将 RCC\_PLL1DIV 寄存器中的 PLL1ADIV[5:0]位设置为 6'b00\_0001。
11. 将 RCC\_SRCCTRL1 寄存器中的 SCLKSW 位设置为 2'b11。
12. 读取 RCC\_SRCCTRL1 寄存器中的 SCLKSTS 位。检查该位是否置为 2'b11。
13. 将 RCC\_PLL2CTRL1 寄存器中的 PLL2BWAJ[11:0]位设置为 12'h004。
14. 将 RCC\_PLL2\_CR2 寄存器中的 PLL2CLKR[5:0]位设置为 6'h0, 将 PLL2CLKF[25:0]位设置为 26'h002\_5800。
15. 将位将 RCC\_PLL2CTRL1 寄存器中的 PLL2LDOEN 位设置为 1'b1。
16. 等待 10us, 并将 RCC\_PLL2CTRL1 寄存器中的 PLL2PD 位设置为 1'b0。
17. 将 RCC\_PLL2CTRL1 寄存器中的 PLL2SRC[1:0]位设置为 2'b00。
18. 将 RCC\_PLL2CTRL1 寄存器中的 PLL2RST 位设置为 1'b0。
19. 读取 RCC\_PLL2CTRL1 寄存器中的 PLL2PHLK 位。检查该位是否置为 1'b1。重复此步骤, 直到 PLL2PHLK 位置为 1'b1。
20. 将 RCC\_PLL2CTRL1 寄存器中的 PLL2EN 位设置为 1'b1。
21. 等待持续 1us, 并将 RCC\_PLL2DIV 寄存器中的 PLL2ADIV[5:0]位设置为 6'b00\_0001。
22. 将 RCC\_SRCCTRL2 寄存器中的 M7HYPSEL 和 AXIHYPSEL 位设置为 1'b1。

成功完成上述步骤后, CM4 系统时钟(s\_sys\_bus\_div\_clk)和 AHB(1,2,5)时钟设置为 300MHz。CM7 时钟设置为 600MHz。AXI 和 AHB6 时钟设置为 300MHz。APB(1,2,5,6)时钟设置为 150MHz。CM7、AXI、AHB6 和 APB6 时钟的时钟源将是 PLL2, 而 CM4 系统时钟 (s\_sys\_bus\_div\_clk) 和 AHB(1,2,5)时钟的时钟源将是 PLL1。

#### 4.4.3.3 设置系统时钟为模式 2

上电或 NRST 复位后, 将系统时钟设置为模式 2 的编程序列:

1. 将 RCC\_SYSBUSDIV1 寄存器中的 AXIDIV[3:0]、AXIHYPDIV[3:0]和 BUSDIV[3:0]位设置为 4'b0001。
2. 等待 1us。
3. 将 RCC\_SYSBUSDIV2 寄存器中的 APB1DIV[2:0]、APB2DIV[2:0]、APB5DIV[2:0]和 APB6DIV[2:0]位设置为 3'b100。
4. 将 RCC\_PLL1CTRL1 寄存器中的 PLL1LDOEN 位设置为 1'b1。
5. 等待 10us，并将 RCC\_PLL1CTRL1 寄存器中的 PLL1PD 位设置为 1'b0。
6. 将 RCC\_PLL1CTRL1 寄存器中的 PLL1SRC[1:0]位设置为 2'b00。
7. 等待 10us，并将 RCC\_PLL1CTRL1 寄存器中的 PLL1RST 位设置为 1'b0。
8. 读取 RCC\_PLL1CTRL1 寄存器中的 PLL1PHLK 位。检查该位是否置为 1'b1。重复此步骤，直到 PLL1PHLK 位置为 1'b1。
9. 将 RCC\_PLL1CTRL1 寄存器中的 PLL1EN 位设置为 1'b1。
10. 等待 1us，并将 RCC\_PLL1DIV 寄存器中的 PLL1ADIV[5:0]位设置为 6'b00\_0001。
11. 将 RCC\_SRCCTRL1 寄存器中的 SCLKSW 位设置为 2'b11。
12. 读取 RCC\_SRCCTRL1 寄存器中的 SCLKSTS 位。检查该位是否置为 2'b11。
13. 将 RCC\_PLL2CTRL1 寄存器中的 PLL2BWAJ[11:0]位设置为 12'h004。
14. 将 RCC\_PLL2CTRL2 寄存器中的 PLL2CLKR[5:0]位设置为 6'h0，并将 PLL2CLKF[25:0]位设置为 26'h002\_5800。
15. 将位将 RCC\_PLL2CTRL1 寄存器中的 PLL2LDOEN 设置为 1'b1。
16. 等待 10us，并将 RCC\_PLL2CTRL1 寄存器中的 PLL2PD 位设置为 1'b0。
17. 将 RCC\_PLL2CTRL1 寄存器中的 PLL2SRC[1:0]位设置为 2'b00。
18. 等待 10us，并将 RCC\_PLL2CTRL1 寄存器中的 PLL2RST 位设置为 1'b0。
19. 读取 RCC\_PLL2CTRL1 寄存器中的 PLL2PHLK 位。检查该位是否置为 1'b1。重复此步骤，直到 PLL2PHLK 位置为 1'b1。
20. 将 RCC\_PLL2CTRL1 寄存器中的 PLL2EN 位设置为 1'b1。
21. 等待 1us，并将 RCC\_PLL2DIV 寄存器中的 PLL2ADIV[5:0]位设置为 6'b000001。
22. 将 RCC\_SRCCTRL2 寄存器中的 M7HYPSEL 位设置为 1'b1。

成功完成上述步骤后，CM4 系统时钟(s\_sys\_bus\_div\_clk)和 AHB(1,2,5)时钟设置为 300MHz。CM7 时钟设置为 600MHz。AXI 和 AHB6 时钟设置为 300MHz。APB(1,2,5,6)时钟设置为 150MHz。CM7 的时钟源为 PLL2，CM4 系统时钟(s\_sys\_bus\_div\_clk)和 AXI 时钟的时钟源为 PLL1。

#### 4.4.3.4 使用 HSI 源打开 PLL1/2/3

使用 HSI 作为 PLL 源，开启 PLL1、PLL2 和 PLL3 时钟的编程序列：

1. 将 RCC\_SRCCTRL1 寄存器中的 HSIEN 位设置为 1'b1。
2. 读取 RCC\_SRCCTRL1 寄存器中的 HSIRDF 和 AFEHSIRDF 位。检查其是否置为 1。重复此步骤，直到 HSIRDF 位置为 1。



3. 上电或 NRST 复位后，默认执行步骤 1 和 2。
4. 读取 RCC\_PLL1CTRL1 寄存器，检查 PLL1PHLK 位是否置为 1'b0，PLL1EN 位是否置为 1'b0，PLL1RST 位是否置为 1'b1，PLL1PD 位是否置为 1'b1（默认值）。如果不是，则将 PLL1EN 位设置为 1'b0，将 PLL1RST 位设置为 1'b1，并读取 PLL1PHLK 位直到其置为 1'b0。将 PLL1PD 位设置为 1'b1。（如果选择 PLL1 作为系统时钟，则在执行此步骤之前，请按照相应的顺序将系统时钟切换到 HSI、MSI 或 HSE。）
5. 读取 RCC\_PLL1CTRL1 寄存器并检查 PLL1LDOEN 位是否置为 1'b1。如果不是，则将 PLL1LDOEN 位设置为 1'b1。
6. 等待 10us，然后将 RCC\_PLL1CTRL1 寄存器中的 PLL1PD 位设置为 1'b0。
7. 将 RCC\_PLL1CTRL1 寄存器中的 PLL1SRC[1:0]位设置为 2'b00。
8. 将 RCC\_PLL1CTRL1 寄存器中的 PLL1BWAJ[11:0]位设置为所需值。
9. 将 RCC\_PLL1CTRL2 寄存器中的 PLL1CLKR[5:0]和 PLL1CLKF[25:0]位设置为所需值。
10. 等待 10us，然后将 RCC\_PLL1CTRL1 寄存器中的 PLL1RST 位设置为 1'b0。
11. 读取 RCC\_PLL1CTRL1 寄存器中的 PLL1PHLK 位。检查该位是否置为 1'b1。重复此步骤，直到 PLL1PHLK 位置为 1'b1。
12. 将 RCC\_PLL1CTRL1 寄存器中的 PLL1EN 位设置为 1'b1。
13. 将 RCC\_PLL1DIV 寄存器中的 PLL1ADIV[5:0]、PLL1B\_DIV 和 PLL1C\_DIV 位设置为适当的时钟分频值。

注：此序列也适用于 PLL2 和 PLL3。

#### 4.4.3.5 使用 MSI 源打开 PLL1/2/3

使用 MSI 作为 PLL 源，开启 PLL1、PLL2 和 PLL3 时钟的编程序列：

1. 将 RCC\_SRCCTRL1 寄存器中的 MSIEN 位设置为 1'b1。
2. 读取 RCC\_SRCCTRL1 寄存器中的 MSIRDYF 和 AFEMSIRDF 位。检查其是否设置为 1。重复此步骤，直到 MSIRDYF 位设置为 1。
3. 读取 RCC\_PLL1CTRL1 寄存器，检查 PLL1PHLK 位是否置为 1'b0，PLL1EN 是否置为 1'b0，PLL1RST 位是否置为 1'b1，PLL1PD 位是否置为 1'b1（默认值）。如果不是，则将 PLL1EN 位设置为 1'b0，将 PLL1RST 位设置为 1'b1，并读取 PLL1PHLK 位，直到其置为 1'b0。将 PLL1PD 位设置为 1'b1。（如果选择 PLL1 作为系统时钟，则在执行此步骤之前，请按照相应的顺序将系统时钟切换到 HSI、MSI 或 HSE。）
4. 读取 RCC\_PLL1CTRL1 寄存器并检查 PLL1LDOEN 位是否置为 1'b1。如果不是，则将 PLL1LDOEN 位设置为 1'b1。
5. 等待 10us，然后将 RCC\_PLL1CTRL1 寄存器中的 PLL1PD 位设置为 1'b0。
6. 将 RCC\_PLL1CTRL1 寄存器中的 PLL1SRC[1:0]位设置为 2'b10。
7. 将 RCC\_PLL1CTRL1 寄存器中的 PLL1BWAJ[11:0]位设置为所需值。
8. 将 RCC\_PLL1CTRL2 寄存器中的 PLL1CLKR[5:0]和 PLL1CLKF[25:0]位设置为所需值。
9. 等待 10us，然后将 RCC\_PLL1CTRL1 寄存器中的 PLL1RST 位设置为 1'b0。
10. 读取 RCC\_PLL1CTRL1 寄存器中的 PLL1PHLK 位。检查该位是否置为 1'b1。重复此步骤，直到 PLL1PHLK 位置为 1'b1。
11. 将 RCC\_PLL1CTRL1 寄存器中的 PLL1EN 位设置为 1'b1。
12. 将 RCC\_PLL1DIV 寄存器中的 PLL1ADIV[5:0]、PLL1BDIV[5:0]和 PLL1CDIV[5:0]位设置为适当的时钟分频值。

注：此序列也适用于 PLL2 和 PLL3。

#### 4.4.3.6 使用 HSE 源打开 PLL1/2/3

使用 HSE 作为 PLL 源，开启 PLL1、PLL2 和 PLL3 时钟的编程序列：

1. 将 RCC\_SRCCTRL1 寄存器中的 HSEEN 位设置为 1'b1。
2. 读取 RCC\_SRCCTRL1 寄存器中的 HSERDF 位。检查其是否置为 1。重复此步骤，直到 HSERDF 位设置为 1。
3. 读取 RCC\_PLL1CTRL1 寄存器，检查 PLL1PHLK 位是否置为 1'b0，PLL1EN 位是否置为 1'b0，PLL1RST 位是否置为 1'b1，PLL1PD 位是否置为 1'b1（默认值）。如果不是，则将 PLL1EN 位设置为 1'b0，将 PLL1RST 位设置为 1'b1，并读取 PLL1PHLK 位，直到其置为 1'b0。将 PLL1PD 位设置为 1'b1。（如果选择 PLL1 作为系统时钟，则在执行此步骤之前，请按照相应的顺序将系统时钟切换到 HSI、MSI 或 HSE。）
4. 读取 RCC\_PLL1CTRL1 寄存器并检查 PLL1LDOEN 位是否置为 1'b1。如果不是，则将 PLL1LDOEN 位设置为 1'b1。
5. 等待 10us，然后将 RCC\_PLL1CTRL1 寄存器中的 PLL1PD 位设置为 1'b0。
6. 将 RCC\_PLL1CTRL1 寄存器中的 PLL1SRC[1:0]位设置为 2'b11。
7. 将 RCC\_PLL1CTRL1 寄存器中的 PLL1BWAJ[11:0]位设置为所需值。
8. 将 RCC\_PLL1CTRL2 寄存器中的 PLL1CLKR[5:0]和 PLL1CLKF[25:0]位设置为所需值。
9. 等待 10us，然后将 RCC\_PLL1CTRL1 寄存器中的 PLL1RST 位设置为 1'b0。
10. 读取 RCC\_PLL1CTRL1 寄存器中的 PLL1PHLK 位。检查该位是否置为 1'b1。重复此步骤，直到 PLL1PHLK 位置为 1'b1。
11. 将 RCC\_PLL1CTRL1 寄存器中的 PLL1EN 位设置为 1'b1。
12. 将 RCC\_PLL1DIV 寄存器中的 PLL1ADIV[5:0]、PLL1BDIV[5:0]和 PLL1CDIV[5:0]位设置为适当的时钟分频值。

注：此序列也适用于 PLL2 和 PLL3。

#### 4.4.3.7 使用 HIS/MSI/HSE 源打开 SHRPLL

以 HSI/MSI/HSE 作为 PLL 源，开启 SHRPLL 时钟（上电后或 NRST 后）的编程序列：

1. 执行序列，使能 HSI/HSE/MSI 时钟。
2. 将 RCC\_SHRPLLCTRL1 寄存器中的 SHRPLLLDOEN 位设置为 1'b1。
3. 等待 10us，然后将 RCC\_SHRPLLCTRL1 寄存器中的 SHRPLLPD 位设置为 1'b0。
4. 将 RCC\_SHRPLLCTRL1 寄存器中的 SHRPLLSRC[1:0]位设置为 2'b00/2'b10/2'b11，以选择 HSI/MSI/HSE 作为 SHRPLL 时钟源。
5. 将 RCC\_SHRPLLCTRL1 寄存器中的 SHRPLLBWAJ[11:0]位设置为所需值。仅当 PLL 输出频率要求与默认频率（1.25GHz/4=312.5MHz）不同时才执行此步骤，否则跳过此步骤。
6. 将 RCC\_SHRPLLCTRL2 寄存器中的 SHRPLLCLKR[5:0]和 SHRPLLCLKF[25:0]位设置为所需值。仅当 PLL 输出频率要求与默认频率（1.25GHz/4=312.5MHz）不同时才执行此步骤，否则跳过此步骤。
7. 等待 10us，并将 RCC\_PLL1CTRL1 寄存器中的 SHRPLLRST 位设置为 1'b0。
8. 读取 RCC\_SHRPLLCTRL1 寄存器中的 SHRPLLPHLK 位。检查该位是否置为 1'b1。重复此步骤，直到 SHRPLLPHLK 位置为 1'b1。
9. 将 RCC\_SHRPLLCTRL1 寄存器中的 SHRPLLEN 位设置为 1'b1。

#### 4.4.3.8 切换系统时钟到 HSI

将系统时钟切换到 HSI 的编程序列：

1. 在 RCC\_SYSBUSDIV1 寄存器的 SCLKDIV[3:0]和 BUSDIV[3:0]位字段中设置所需的预分频值。

2. 在 RCC\_SYSBUSDIV2 寄存器的 APB1DIV[2:0]、APB2DIV[2:0]、APB5DIV[2:0]和 APB6DIV[2:0]位字段中设置所需的预分频值。
3. 将 RCC\_SRCCTRL1 寄存器的 HSIEN 位设置为 1'b1。
4. 读取 RCC\_SRCCTRL1 寄存器的 HSIRDF 和 AFEHSIRDF 位。检查其是否置为 1。重复此步骤，直到这两个位都置为 1。
5. 将 RCC\_SRCCTRL1 寄存器中的 SCLKSW 位设置为 2'b00。
6. 读取 RCC\_SRCCTRL1 寄存器中的 SCLKSTS 位。检查该位的读取值是否为 2'b00。重复此步骤，直到该位的读取值也为 2'b00。
7. 系统上电或 NRST 复位后，默认执行上述步骤。

#### 4.4.3.9 切换系统时钟到 MSI

将系统时钟切换到 MSI 的编程序列：

1. 在 RCC\_SYSBUSDIV1 寄存器的 SCLKDIV[3:0]和 BUSDIV[3:0]位中设置所需的预分频值。
2. 在 RCC\_SYSBUSDIV2 寄存器的 APB1DIV[2:0]、APB2DIV[2:0]、APB5DIV[2:0]和 APB6DIV[2:0]位中设置所需的预分频值。
3. 将 RCC\_SRCCTRL1 寄存器的 MSIEN 位设置为 1'b1。
4. 读取 RCC\_SRCCTRL1 寄存器的 MSIRDYF 和 AFEMSIRDF 位。检查其是否置为 1'b1。重复此步骤，直到这两个位都置为 1'b1。
5. 将 RCC\_SRCCTRL1 寄存器中的 SCLKSW 位设置为 2'b01。
6. 读取 RCC\_SRCCTRL1 寄存器中的 SCLKSTS 位。检查该位的读取值是否为 2'b01。重复此步骤，直到该位的读取值为 2'b01。

#### 4.4.3.10 切换系统时钟到 HSE

将系统时钟切换到 HSE 的编程序列：

1. 在 RCC\_SYSBUSDIV1 寄存器的 SCLKDIV[3:0]和 BUSDIV[3:0]位中设置所需的预分频值。
2. 在 RCC\_SYSBUSDIV2 寄存器的 APB1DIV[2:0]、APB2DIV[2:0]、APB5DIV[2:0]和 APB6DIV[2:0]位中设置所需的预分频值。
3. 将 RCC\_SRCCTRL1 寄存器的 HSEEN 位设置为 1'b1。
4. 读取 RCC\_SRCCTRL1 寄存器的 HSERDF 位。检查其是否置为 1'b1。重复此步骤，直到 HSERDF 位置为 1'b1。
5. 将 RCC\_SRCCTRL1 寄存器中的 SCLKSW 位设置为 2'b10。
6. 读取 RCC\_SRCCTRL1 寄存器中的 SCLKSTS 位。检查该位的读取值是否为 2'b10。重复此步骤，直到该位的读取值为 2'b10。

#### 4.4.3.11 切换系统时钟到 PLL1

将系统时钟切换到 PLL1 的编程序列：

1. 在 RCC\_SYSBUSDIV1 寄存器的 SCLKDIV[3:0]和 BUSDIV[3:0]位中设置所需的预分频值。
2. 在 RCC\_SYSBUSDIV2 寄存器的 APB1DIV[2:0]、APB2DIV[2:0]、APB5DIV[2:0]和 APB6DIV[2:0]位中设置所需的预分频值。
3. 按照相应的顺序将 PLL1 源时钟设置为 HSI、MSI 或 HSE。
4. 将 RCC\_SRCCTRL1 寄存器的 SCLKSW 位设置为 2'b11。
5. 读取 RCC\_SRCCTRL1 寄存器的 SCLKSTS 位。检查该位的读取值是否为 2'b11。重复此步骤直到该位读取值为 2'b11。

#### 4.4.4 外设时钟配置

在系统中，外设时钟分为两类。

**外设内核时钟：**此时钟可以来自系统总线时钟、外部时钟或系统时钟源(HSE,HSI,LSE,LSI,PLL)。此时钟可能与系统总线时钟不同步。可编程预分频器（分频器）和时钟选择多路复用器用于内核时钟源的选择和分频。

**外设总线时钟：**此时钟源自系统总线时钟，用于访问其寄存器。此时钟通常是 AHB、APB 或 AXI 时钟，具体取决于外设连接到哪条总线。

每个外设都可以分配给 M4 或 M7 CPU。分配信息在 RCC 寄存器中编程。每个外设都提供一个低功耗时钟使能寄存器，用于在低功耗模式下启用/禁用内核和总线时钟。分配寄存器、低功耗时钟使能寄存器和 M4/M7 CPU 功耗模式被视为每个外设时钟门控逻辑的输入。

时钟门控控制模块有两个集成时钟门控（ICG），一个用于门控外设内核时钟，另一个用于门控外设总线时钟，外设时钟门控逻辑真值表如下：

表 4-4 外设时钟门控逻辑真值表

Inputs			Outputs	
Cn_Perx_EN <sup>(1)</sup>	Cn_Perx_LPEN	Cn_state	Perx_ker_clk_en	Perx_bus_clk_en
0	X	X	0	0
1	X	Cn_RUN	1	1
1	1	Cn_SLP	1	1
1	0		0	0
1	0	Cn_STP0/ Cn_STP2/	0	0
1	1		1	0
1	X	Cn_STBY/	0	0

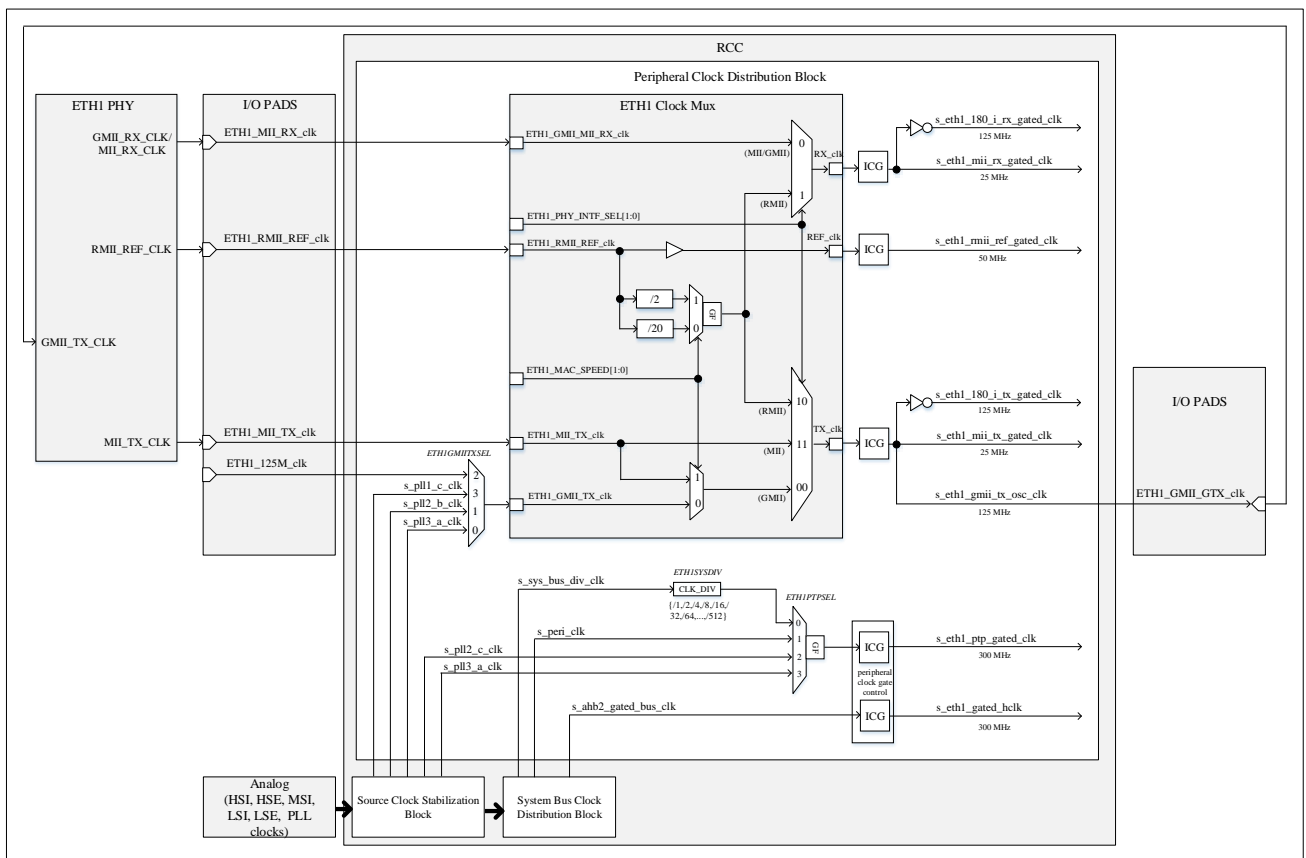
注：Perx 表示不同的外设，Cn 表示不同的内核（C1 表示 M7，C2 表示 M4）。

DMA(n)、UART(n)、GPIO(n)等外设不需要特定的内核时钟频率，只需配置外设总线时钟（打开相应的总线并启用位）。

FDCAN(n)、I2S(n)等外设需要足够快的时钟来生成正确的通信速率，因此需要选择不同的内核时钟源。为此，可以从以下选项中选择时钟源：

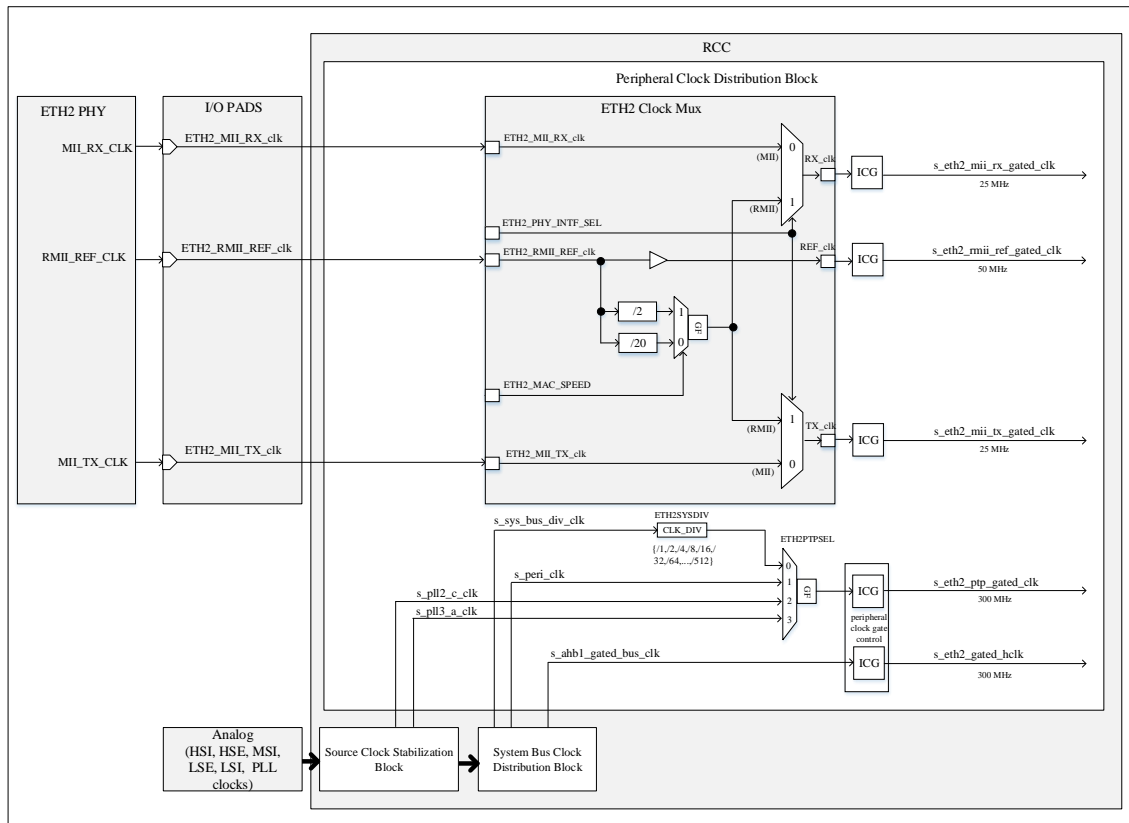
- 当需要减少活动 PLL 数量时，选择 PLL1
- 如果需要更高的灵活性，选择 PLL2 或 PLL3。例如，此解决方案允许通过 PLL1 更改系统总线时钟频率，而不会影响某些串行接口的速度。
- 适用于低功耗用例选择 HSI、MSI、HSE、LSI 或 LSE。

### 4.4.4.1 Ethernet

**图 4-8 Ethernet1**


注：通过配置 M7ETH2TXEN、M4ETH2TXEN、M7ETH2TXLPEN、M4ETH2TXLPEN、M7ETH2RXEN、M4ETH2RXEN、M7ETH2RXLPEN、M4ETH2RXLPEN、M7ETH2MACEN、M4ETH2MACEN、M7ETH2MACLPEN 和 M4ETH2MACLPEN 来启用模块时钟

图 4-9 Ethernet2



注：通过配置 M7ETH1TXEN、M4ETH1TXEN、M7ETH1TXLPEN、M4ETH1TXLPEN、M7ETH1RXEN、M4ETH1RXEN、M7ETH1RXLPEN、M4ETH1RXLPEN、M7ETH1MACEN、M4ETH1MACEN、M7ETH1MACLPEN 和 M4ETH1MACLPEN 来启用模块时钟

4.4.4.2 SDMMC

图 4-10 SDMMC1

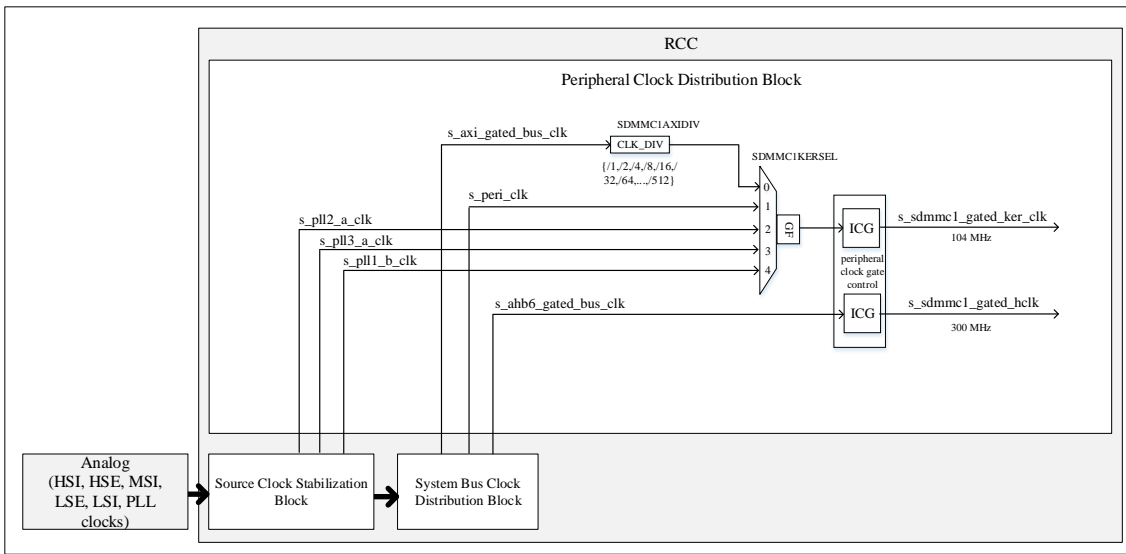
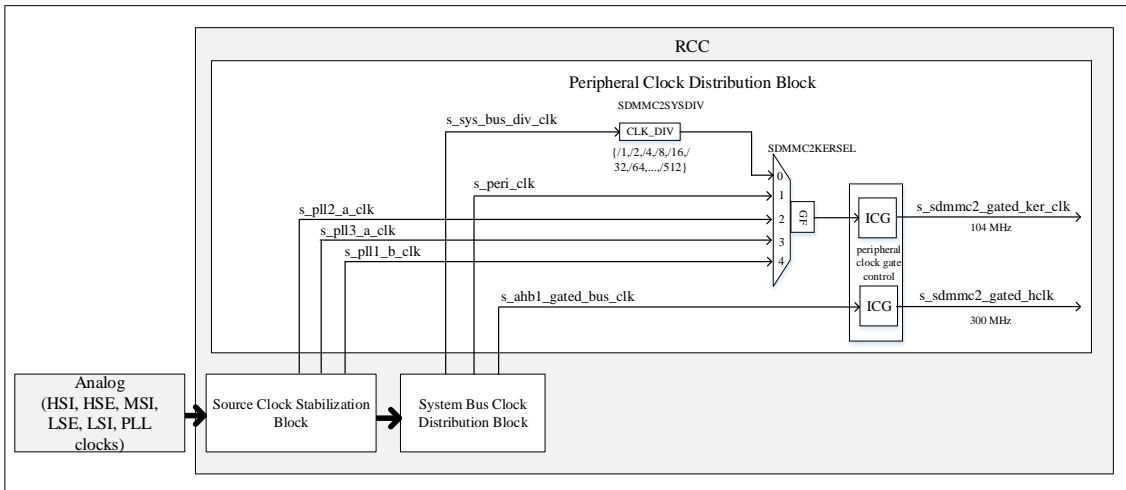


图 4-11 SDMMC2



### 4.4.4.3 USB

注：ref\_clk 输出至 USB PHY

图 4-12 USB1

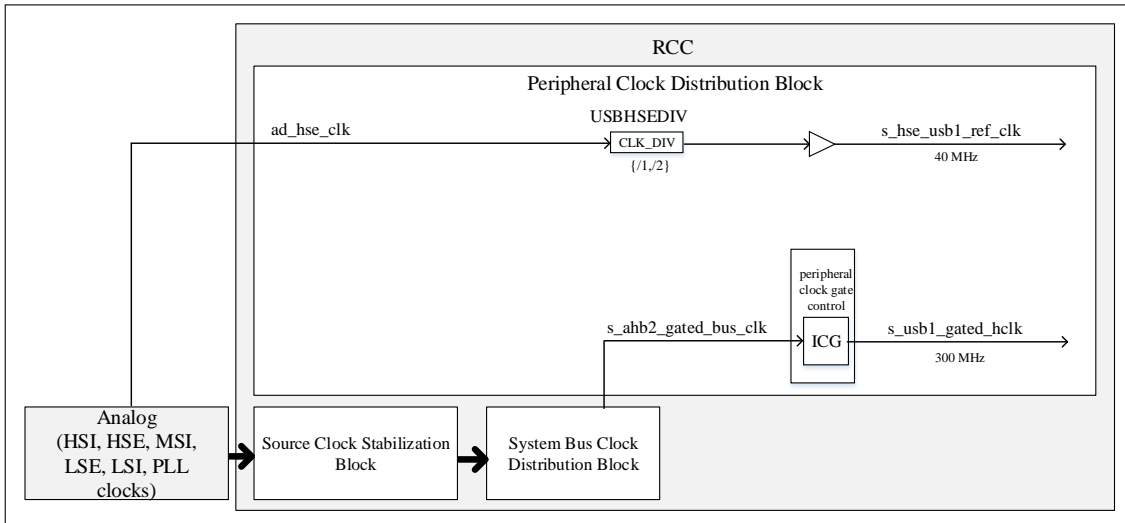
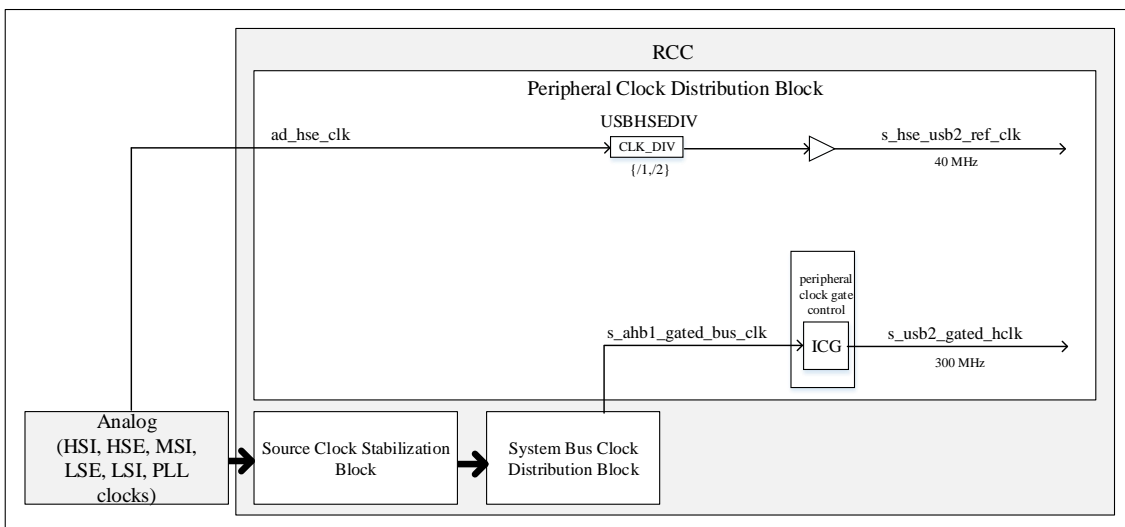


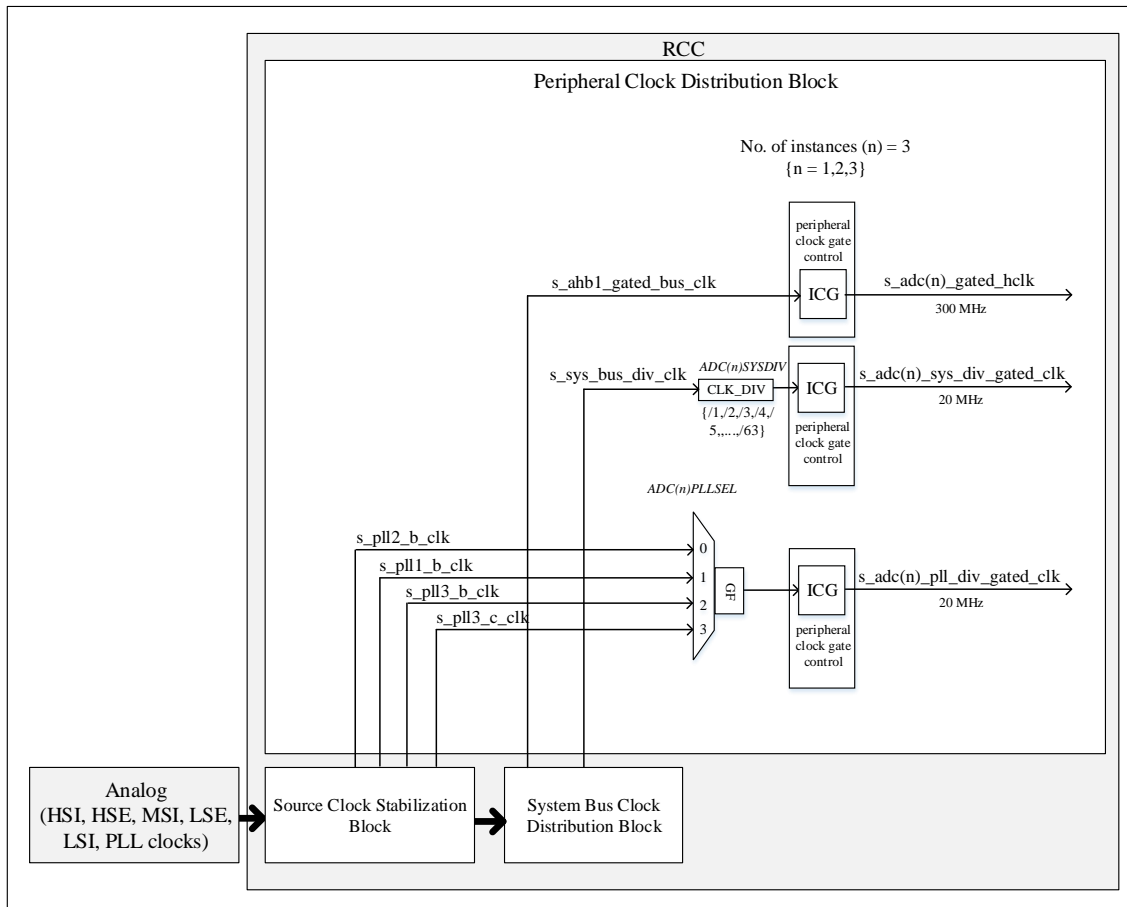
图 4-13 USB2





### 4.4.4.4 ADC

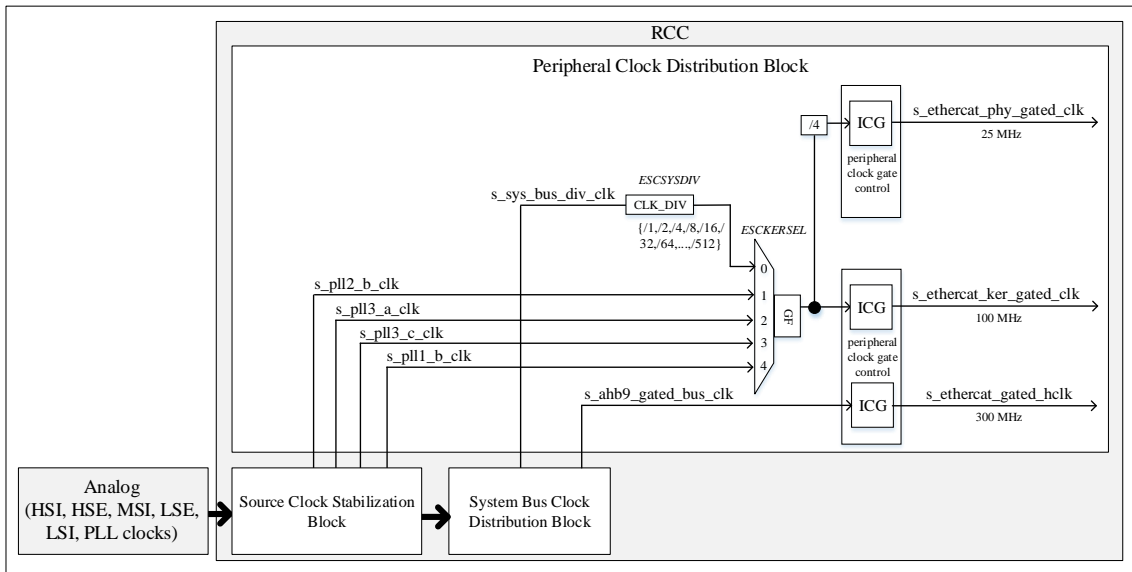
图 4-14 ADC(n) {n=1,2,3}



注：通过配置 M7ADC(n)PLEN、M4ADC(n)PLEN、M7ADC(n)PLLPEN、M4ADC(n)PLLPEN、M7ADC(n)SYSEN、M4ADC(n)SYSEN、M7ADC(n)SYSLPEN、M4ADC(n)SYSLPEN、M7ADC(n)BUSEN、M4ADC(n)BUSEN、M7ADC(n)BUSLPEN、M4ADC(n)BUSLPEN {n=1,2,3} 来启用模块时钟。

### 4.4.4.5 Ethercat

图 4-15 Ethercat



### 4.4.4.6 I2C

图 4-16 I2C(n) {n=1,2,3}

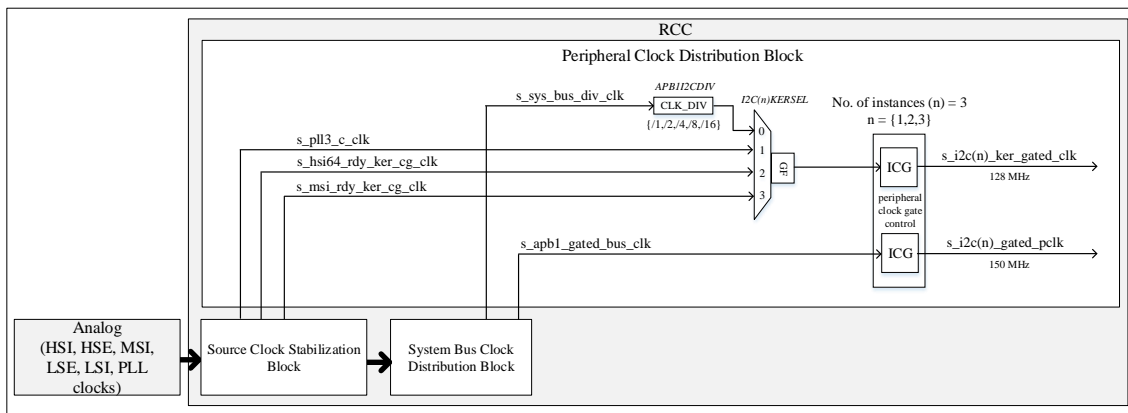


图 4-17 I2C(n) {n=4,5,6}

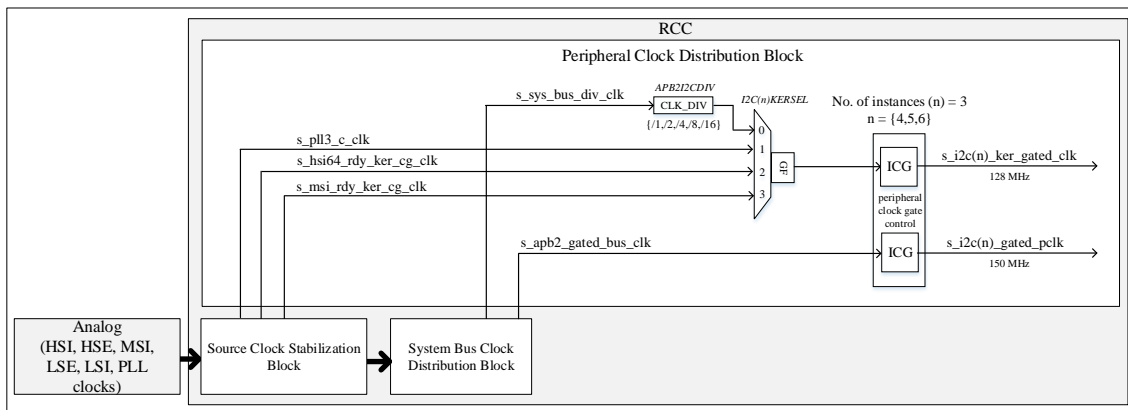
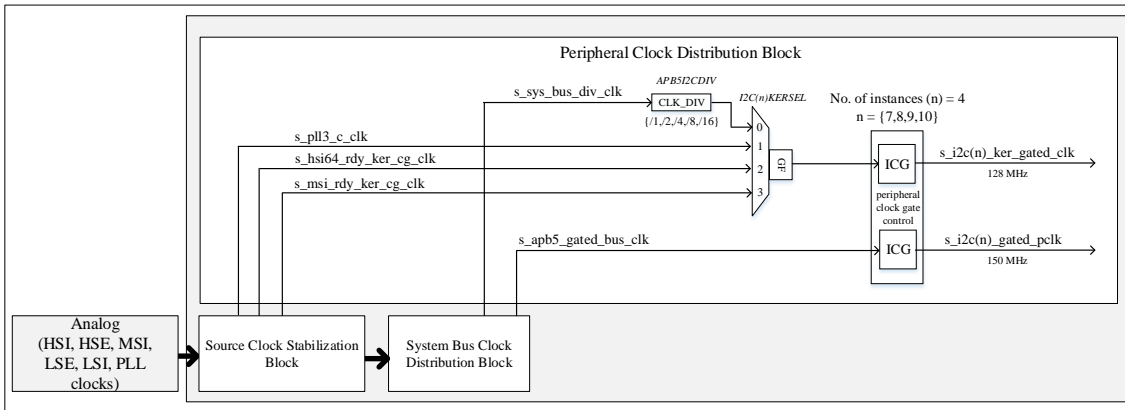


图 4-18 I2C(n) {n=7,8,9,10}



#### 4.4.4.7 FDCAN

注：FDCAN 内核时钟应配置为以下频率：20MHz、40MHz 或 80MHz，且不能高于相应的 APBx 时钟频率（x=1、2）

图 4-19 FDCANn) {n=1,2,5,6}

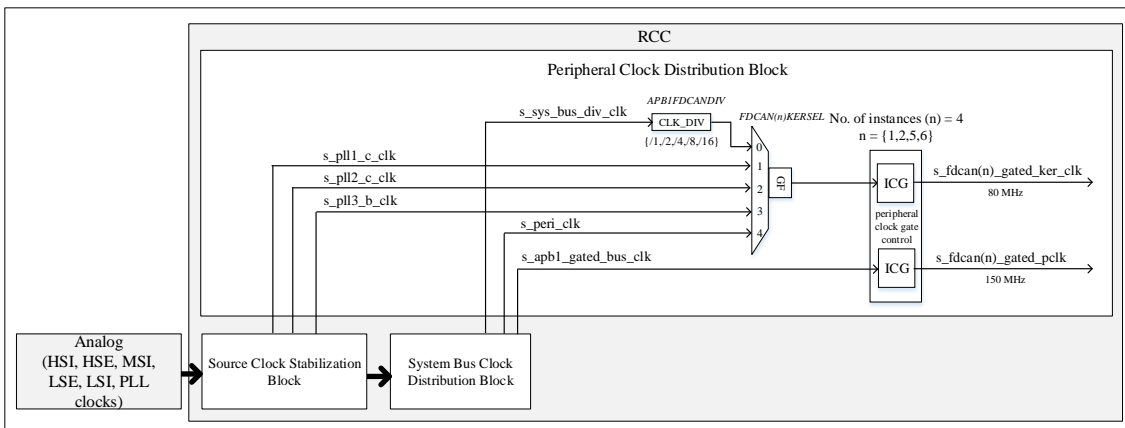
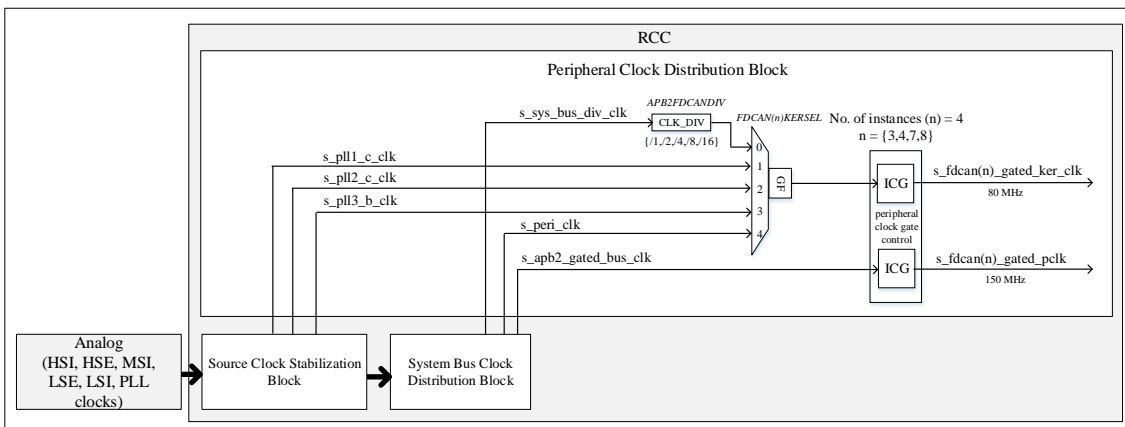


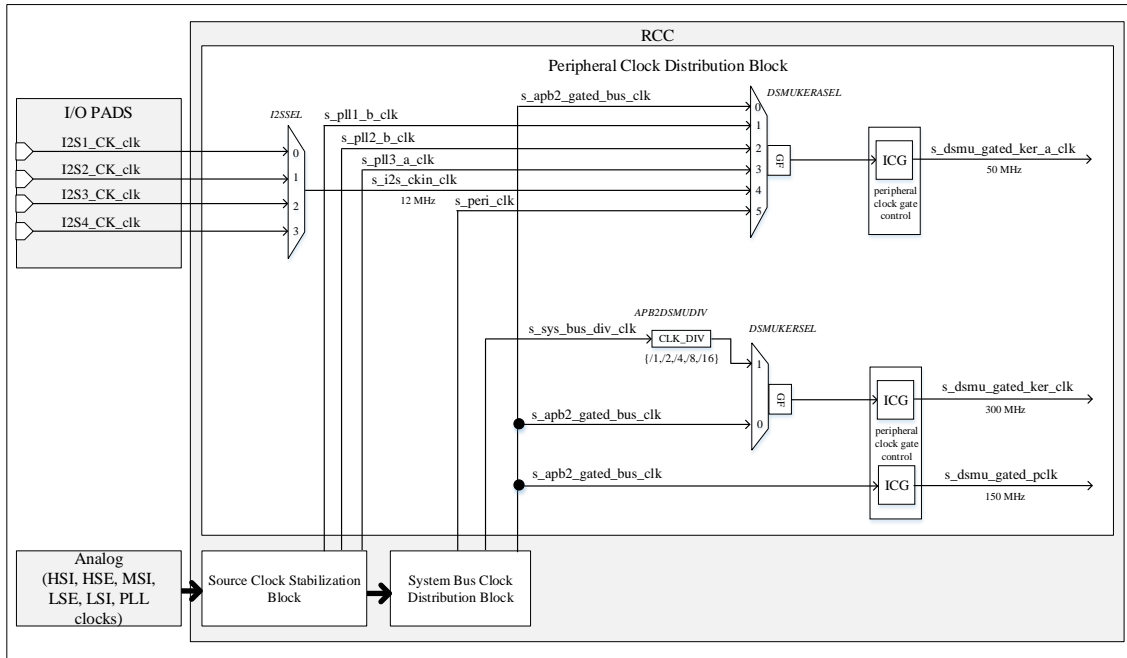
图 4-20 FDCAN(n) {n=3,4,7,8}



### 4.4.4.8 DSMU

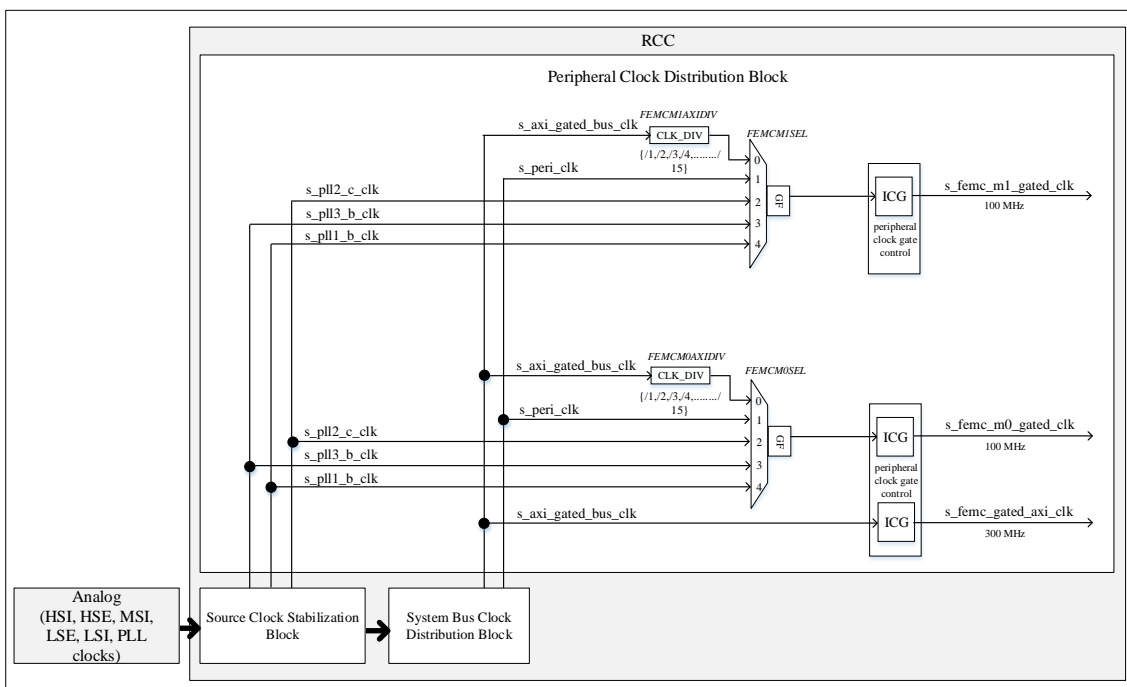
注: ker\_a\_clk 是 DSMU ACLK (音频时钟), ker\_clk 是 DSMU\_CLK (过滤器时钟), 详情请参阅 DSMU 部分。

图 4-21 DSMU



### 4.4.4.9 FEMC

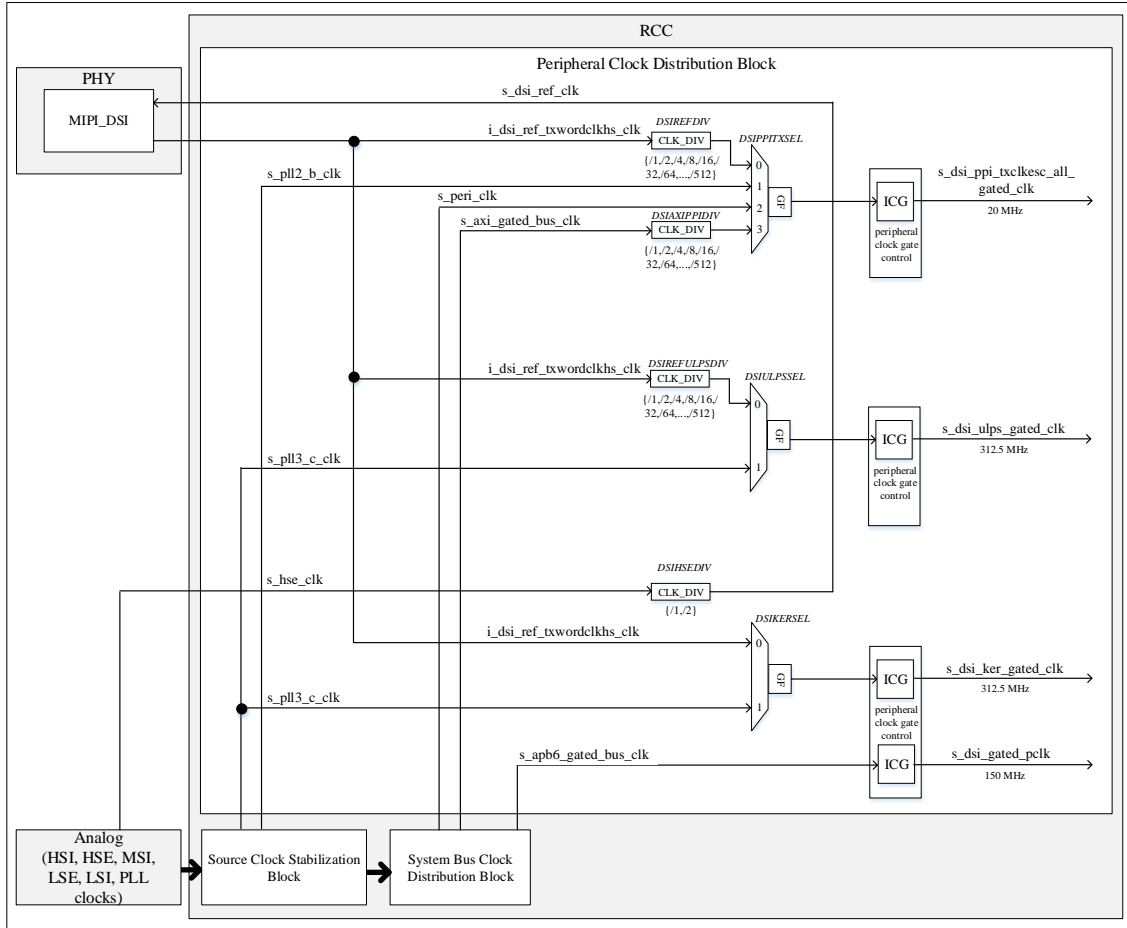
图 4-22 FEMC



### 4.4.4.10 DSI

注：ref\_clk 输出至 MIPI\_DSI PHY

图 4-23 DSI

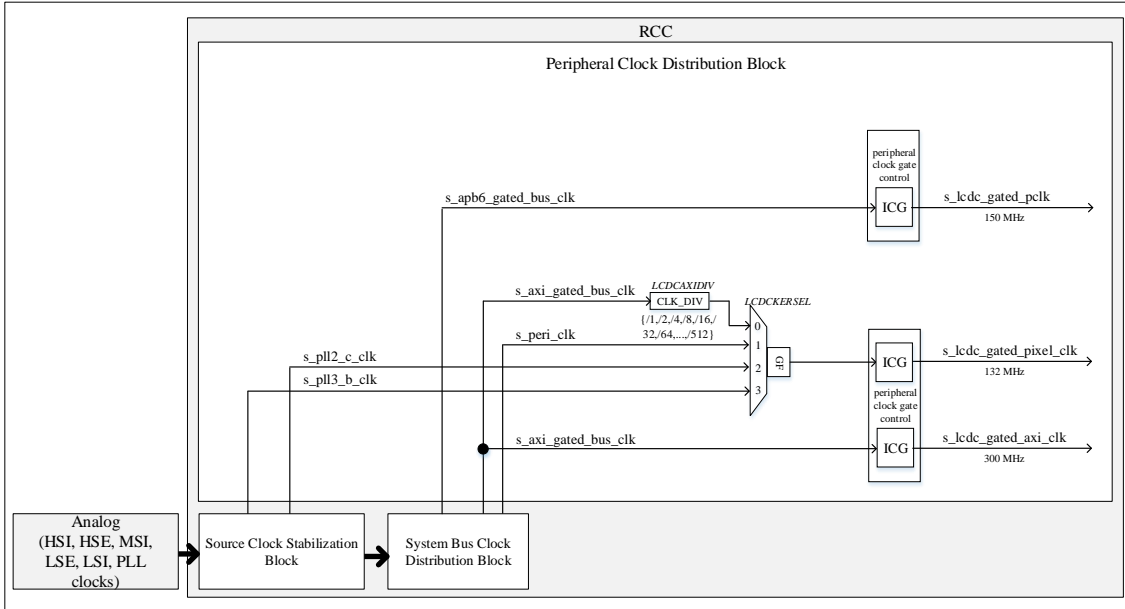


注：通过配置 M7DSIEN、M4DSIEN、M7DSILPEN、M4DSILPEN、M7DSIULPSEN、M4DSIULPSEN、M7DSIULPSLPEN、M4DSIULPSLPEN 来使能模块时钟。

### 4.4.4.11 LCDC

注意: pclk 用于 LCDC 寄存器配置, axi\_clk 用于 LCDC 内存访问

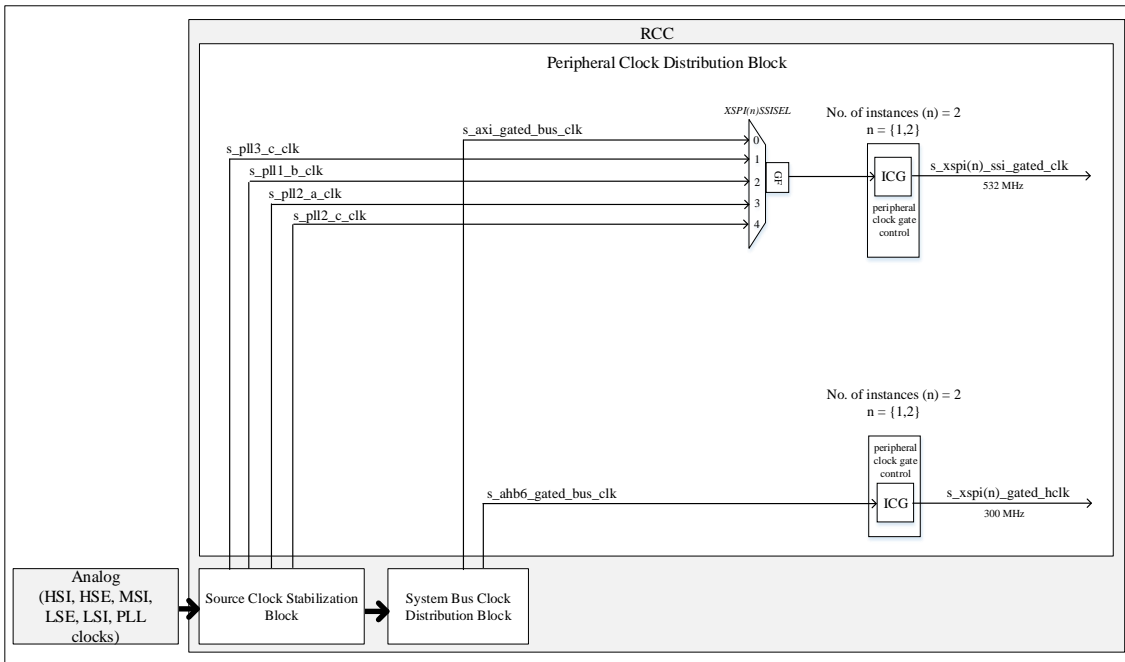
图 4-24 LCDC



注: 通过配置 M7LCDCEN、M4LCDCEN、M7LCDCLPEN、M4LCDCLPEN、M7LCDAPBEN、M4LCDAPBEN、M7LCDAPBLEN、M4LCDAPBLEN 来启用模块时钟。

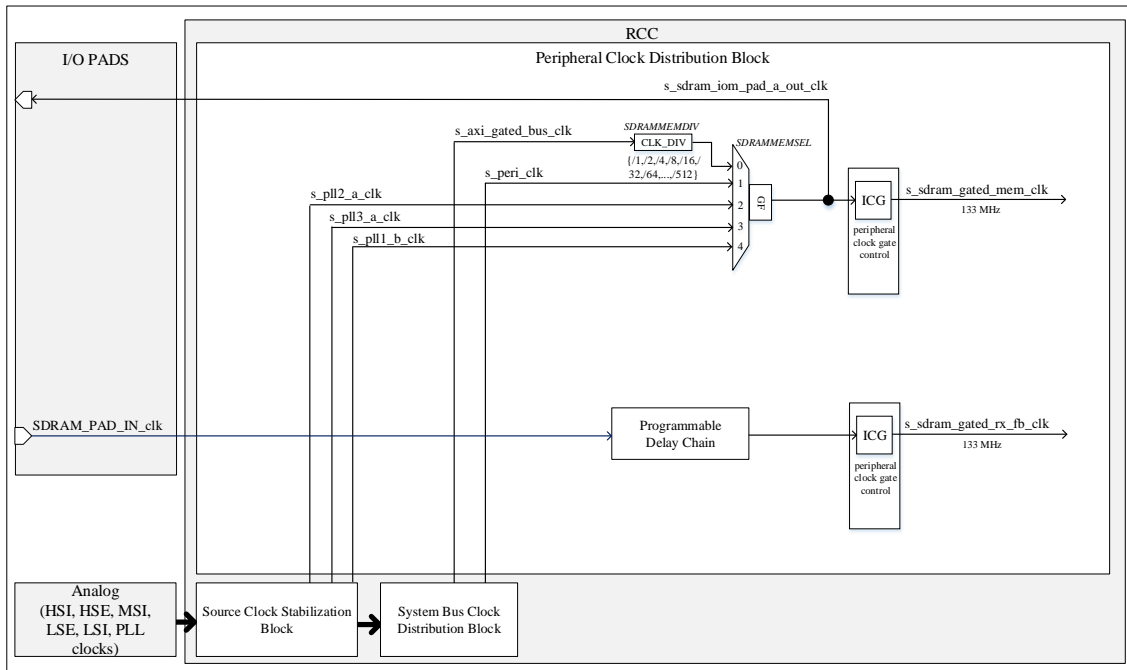
### 4.4.4.12 XSPI

图 4-25 XSPI(n) {n=1,2}



### 4.4.4.13 SDRAM

图 4-26 SDRAM



### 4.4.4.14 USART

图 4-27 USART(n) {n=1,2}

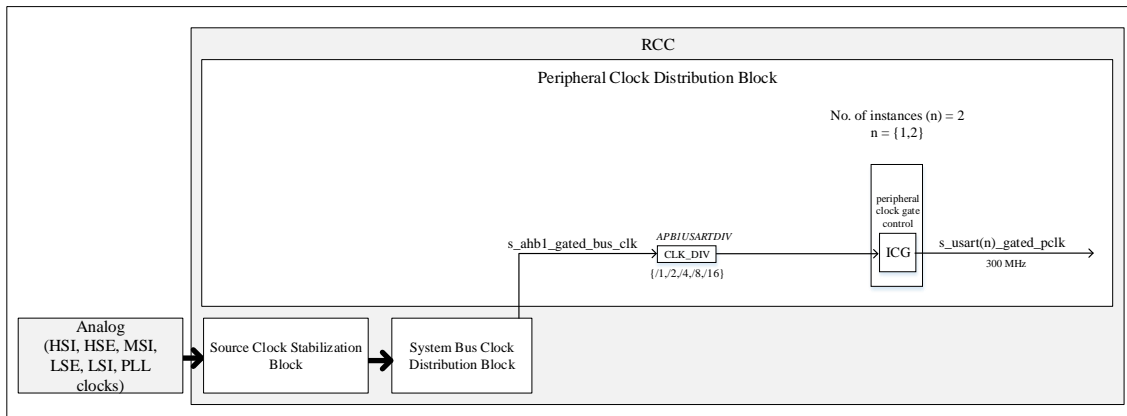


图 4-28 USART(n) {n=3,4}

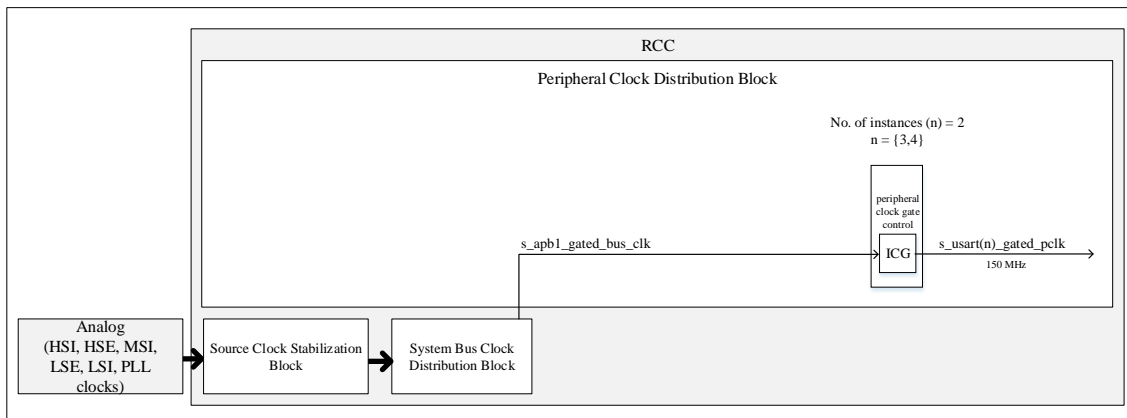
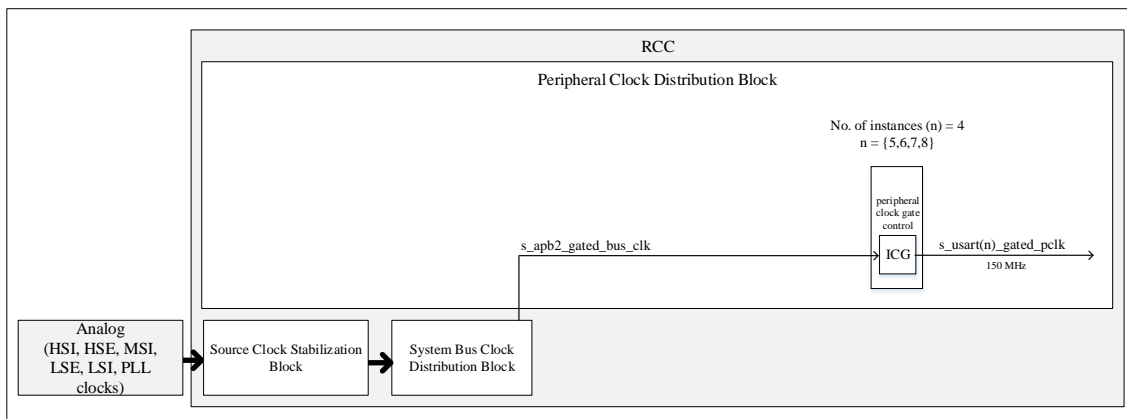


图 4-29 USART(n) {n=5,6,7,8}



#### 4.4.4.15 UART

图 4-30 UART(n) {n=9,10,11,12}

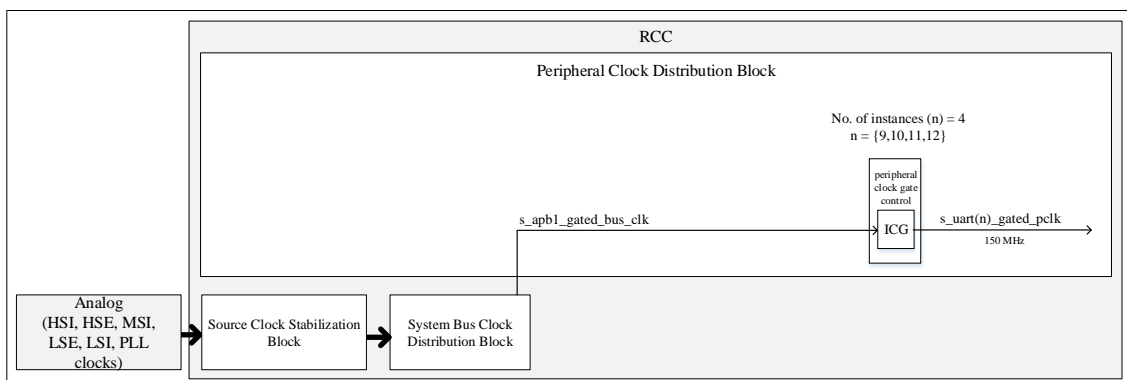
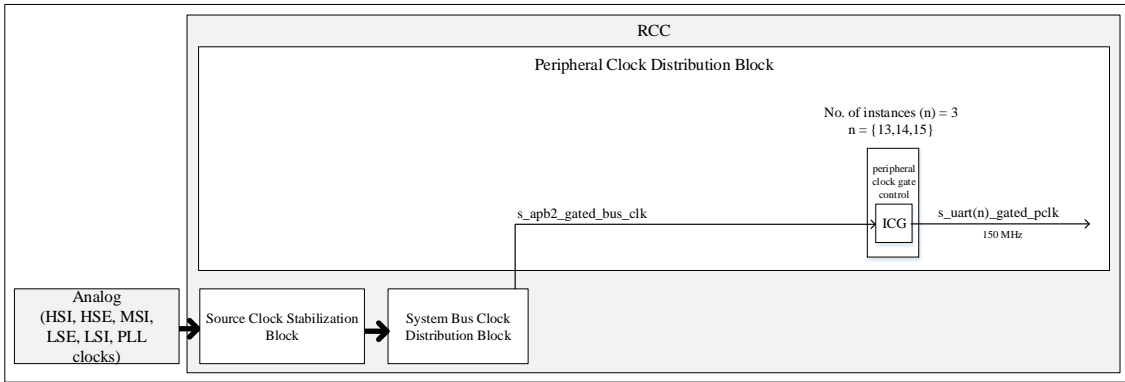




图 4-31 UART(n) {n=13,14,15}



#### 4.4.4.16 SPI

图 4-32 SPI(n) {n=1,2}

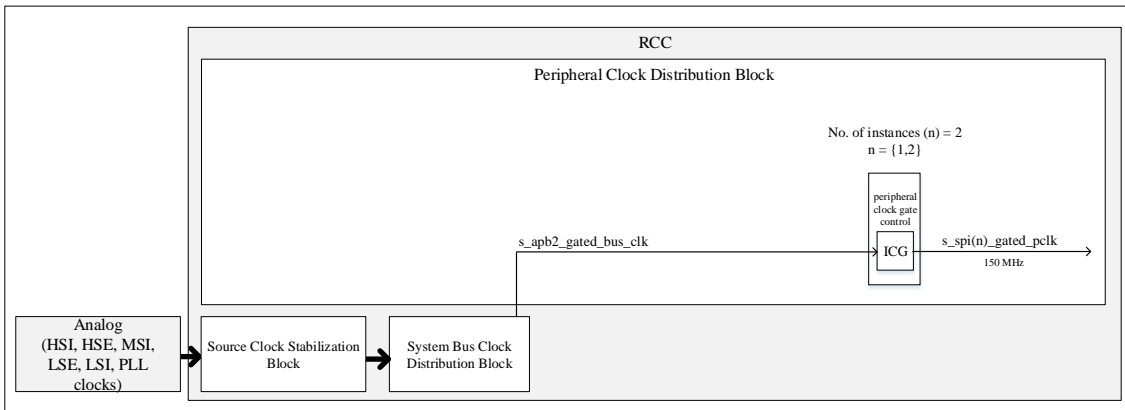


图 4-33 SPI(n) {n=3}

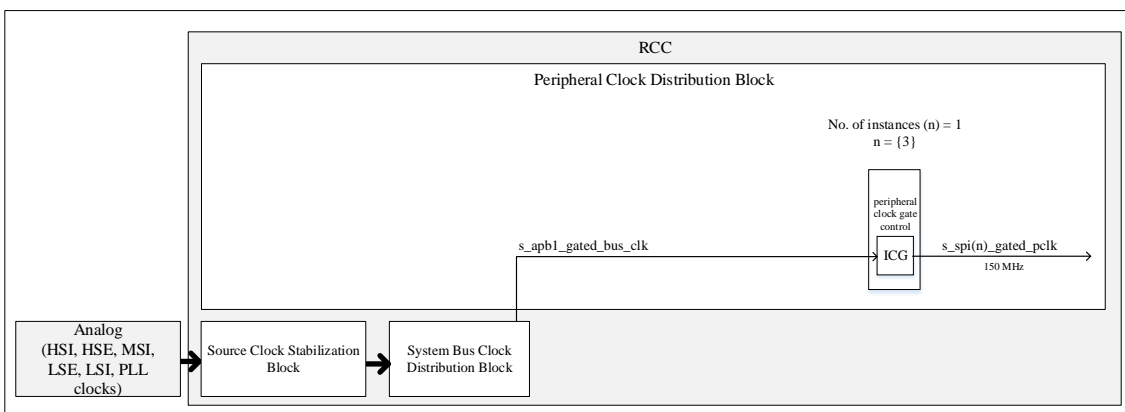
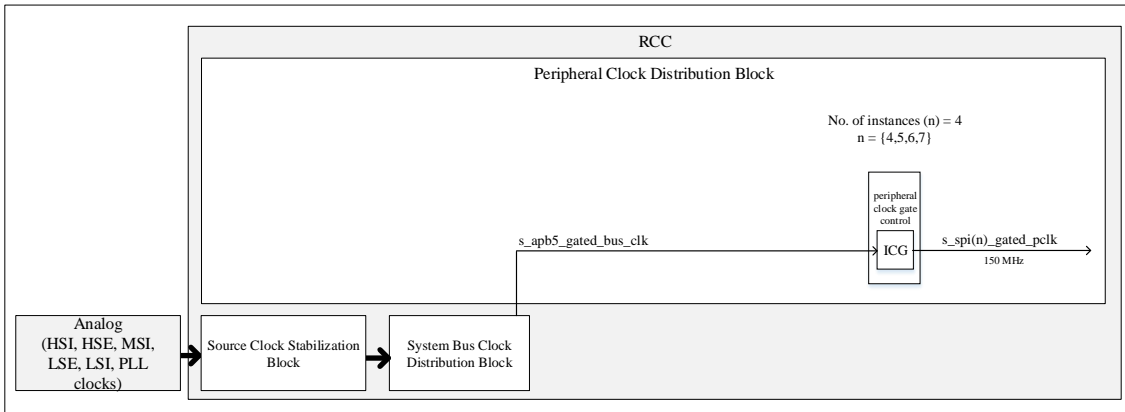


图 4-34 SPI(n) {n=4,5,6,7}



#### 4.4.4.17 I2S

图 4-35 I2S(n) {n=1,2}

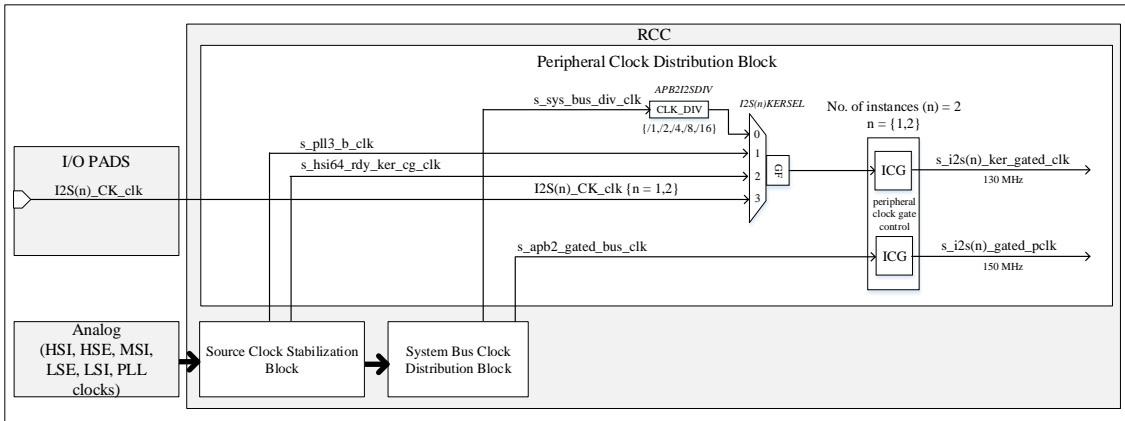
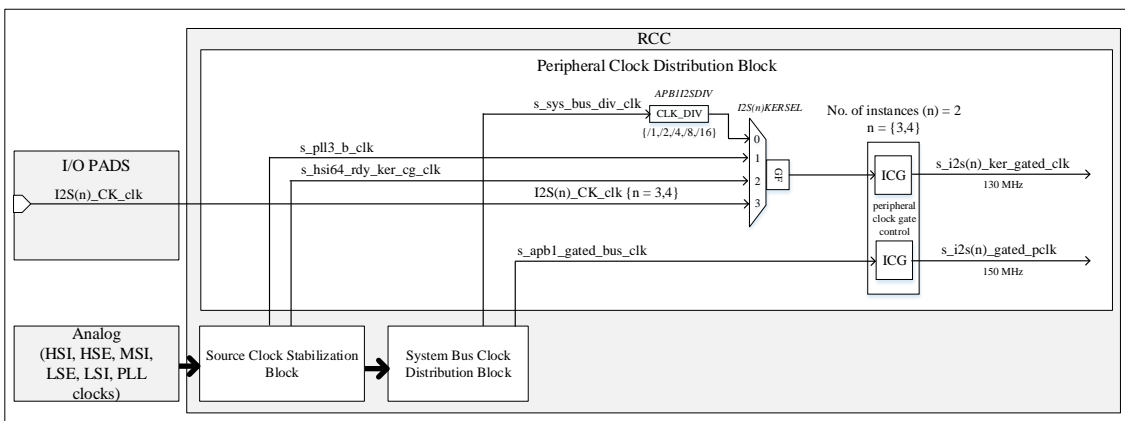


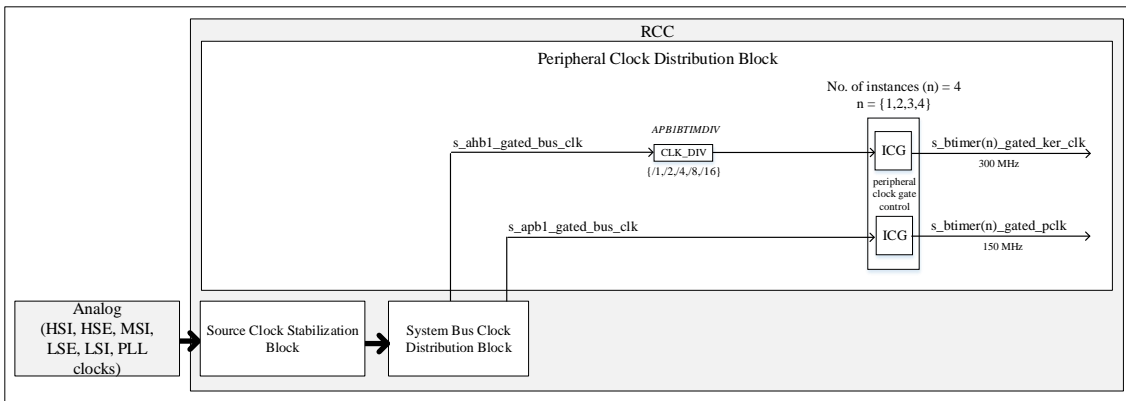
图 4-36 I2S(n) {n=3,4}



#### 4.4.4.18 BTIM

注：需要确保 gated\_ker\_clk 等于 gated\_pclk 或者 gated\_ker\_clk 是 gated\_pclk 的两倍

图 4-37 BTIM(n) {n=1,2,3,4}



#### 4.4.4.19 ATIM

注：需要确保 gated\_ker\_clk 等于 gated\_pclk 或者 gated\_ker\_clk 是 gated\_pclk 的两倍

图 4-38 ATIM(n) {n=1,2}

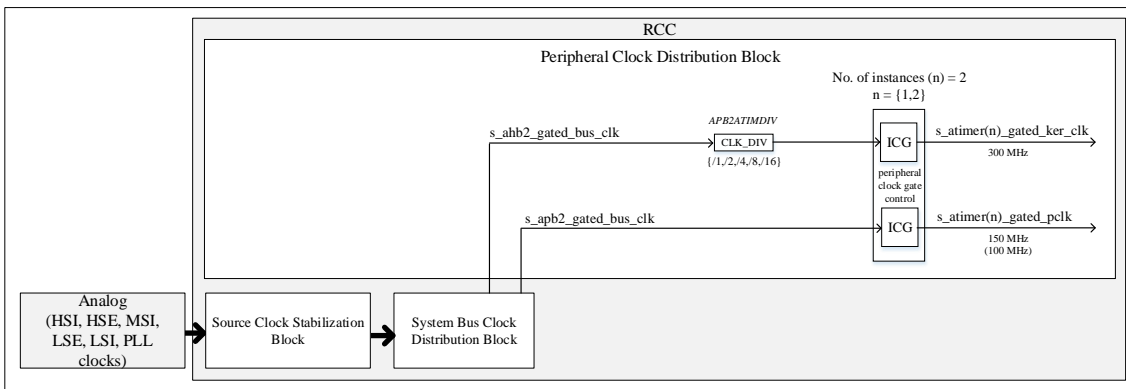
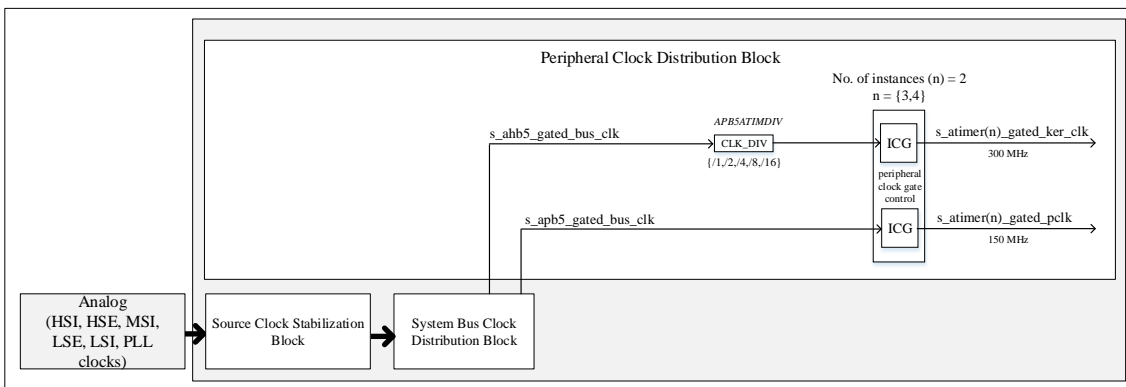


图 4-39 ATIM(n) {n=3,4}



#### 4.4.4.20 GTIM

注：需要确保 gated\_ker\_clk 等于 gated\_pclk 或者 gated\_ker\_clk 是 gated\_pclk 的两倍

图 4-40 GTIMA(n) {n=1,2,3}

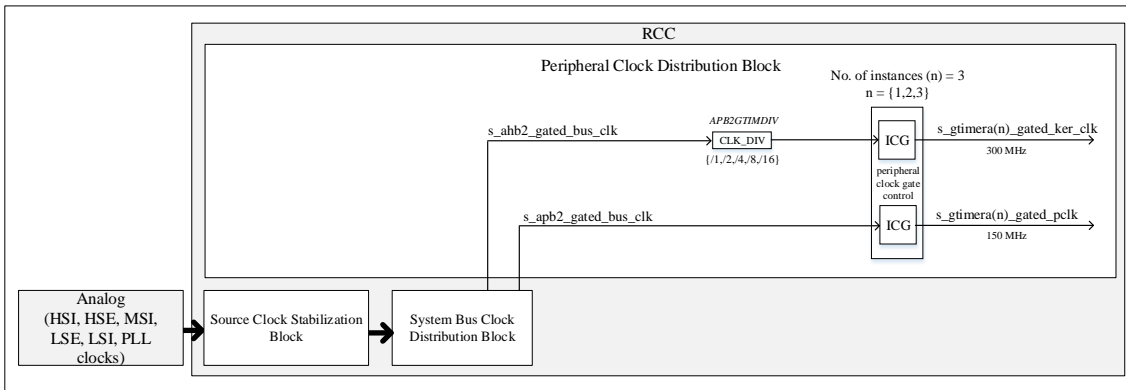


图 4-41 GTIMA(n) {n=4,5,6,7}

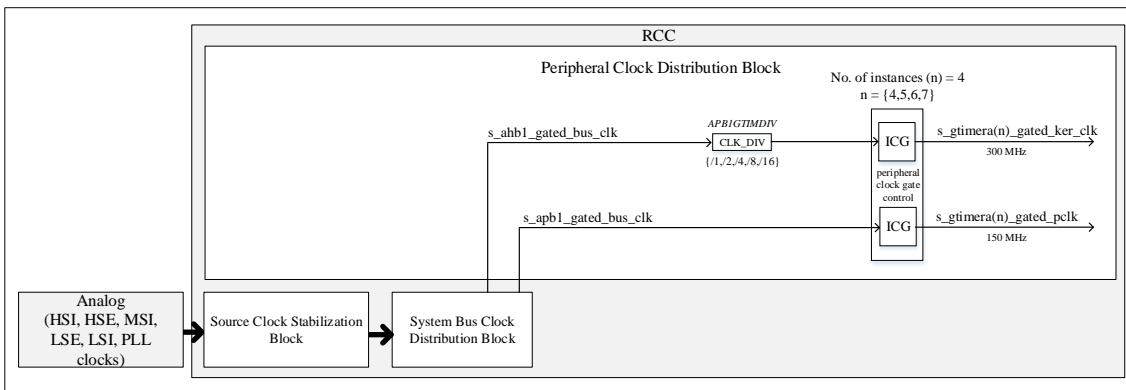
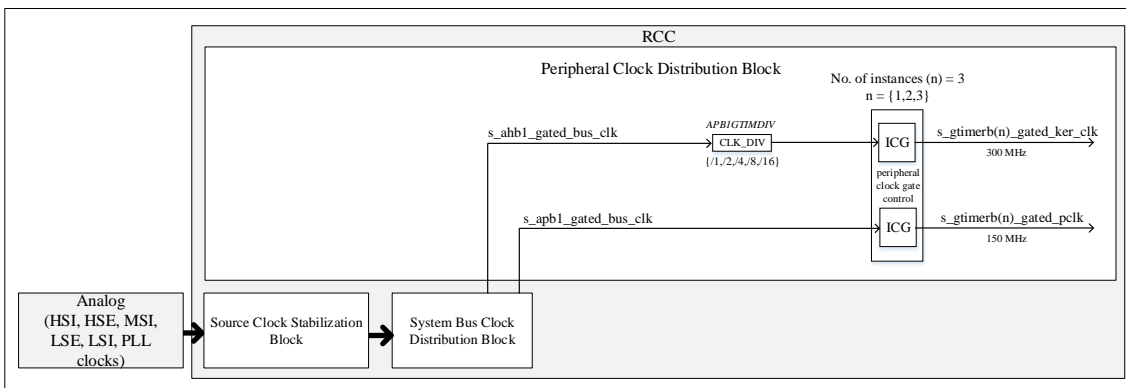
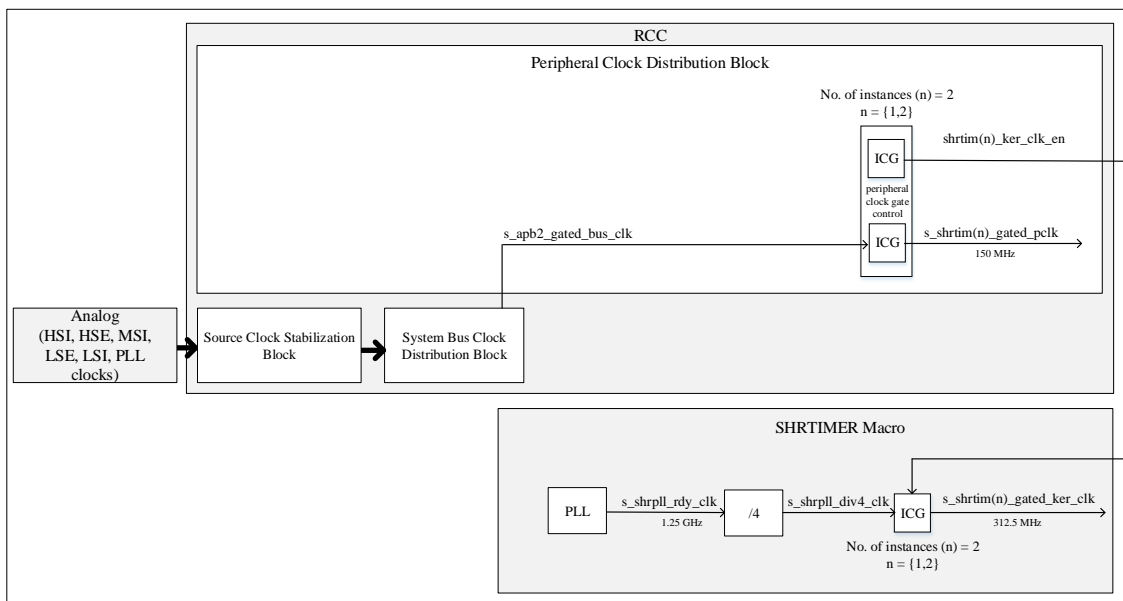


图 4-42 GTIMB(n) {n=1,2,3}



#### 4.4.4.21 SHRTIM

图 4-43 SHRTIM(n) {n=1,2}

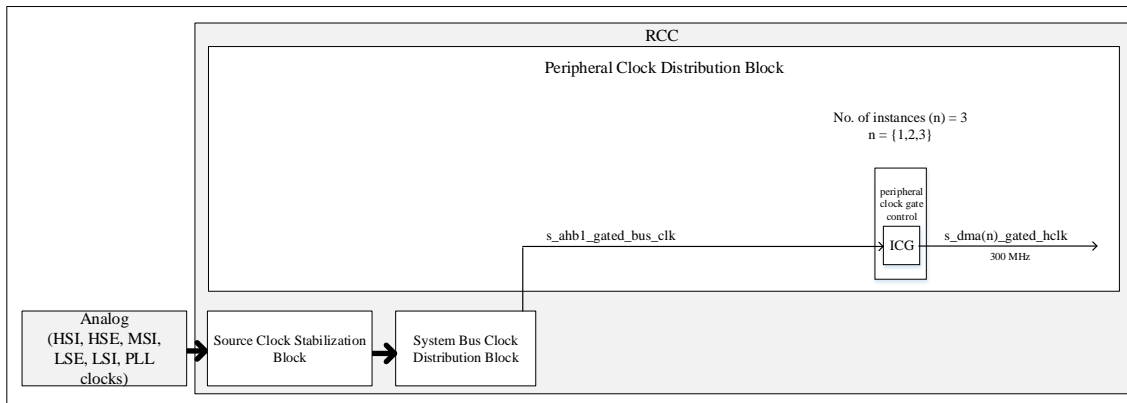


注：启用模块时钟的步骤如下（n=1,2）：

1. 将 RCC\_APB2RST1.SHRTIM(n)RST 位编程为 1'b1，使 SHRTIMER(n)软复位有效。
2. 将 RCC\_PLLSFTLK.SHRTIMAFERST 位编程为 1'b0，使 AFE 复位有效。
3. 将 SHRPLL 编程并启用至所需的频率设置。（如果 SHRPLL 使用默认设置启用，则其输出时钟频率为 312.5MHz。）
4. 等待 1us。
5. 将 RCC\_APB2RST1.SHRTIM(n)RST 位编程为 1'b0，使 SHRTIMER(n)软复位无效。
6. 将 RCC\_PLLSFTLK.SHRTIMAFERST 位编程为 1'b1，使 AFE 复位无效。
7. 通过将 RCC\_APB2EN1 寄存器中的位 M7SHRTIM(n)EN、M4SHRTIM(n)EN、M7SHRTIM(n)LPEN 和 M4SHRTIM(n)LPEN 编程为 1'b0 来启用 SHRTIMER(n)时钟。

### 4.4.4.22 DMA

图 4-44 DMA(n) {n=1,2,3}



### 4.4.4.23 DMAMUX

图 4-45 DMAMUX1

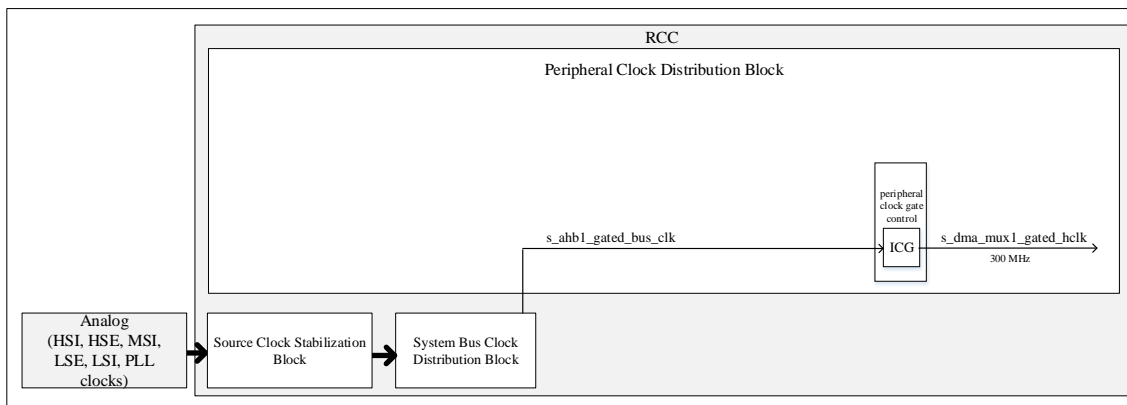
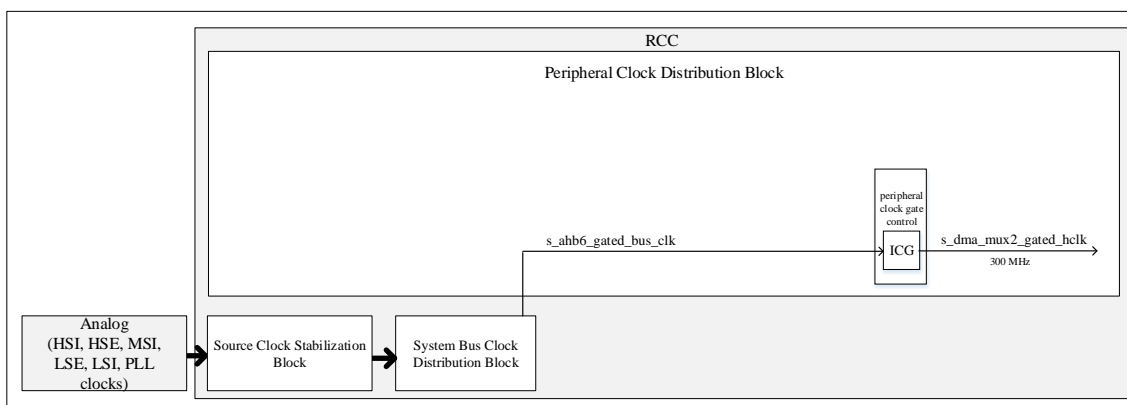
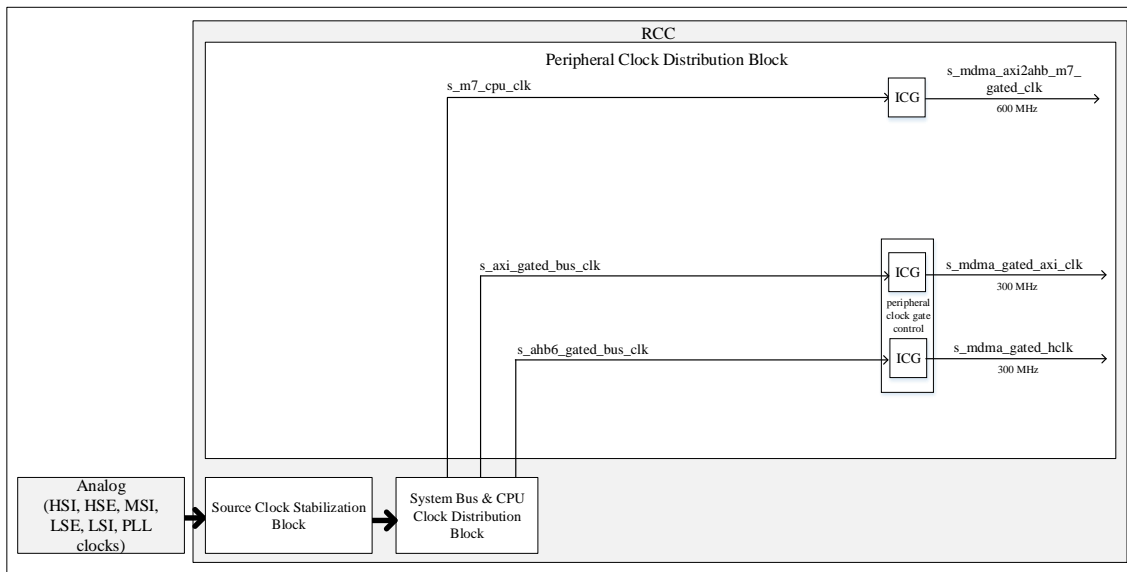


图 4-46 DMAMUX2



### 4.4.4.24 MDMA

图 4-47 MDMA



### 4.4.4.25 ECCMON

图 4-48 ECCMON1

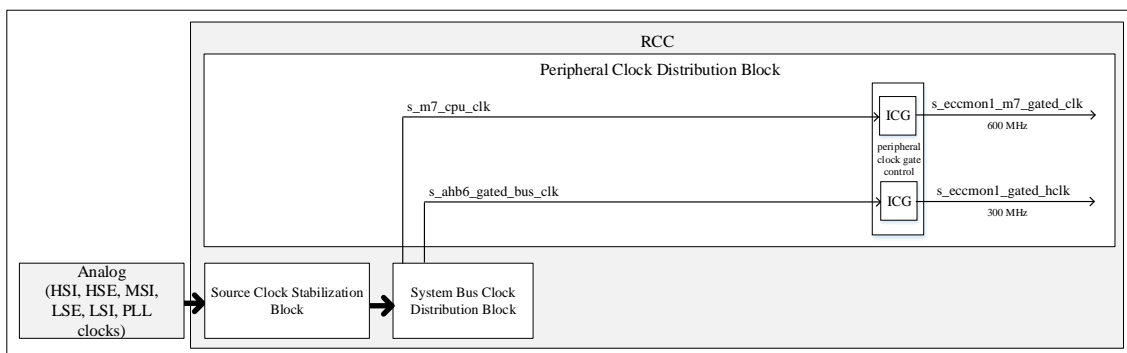


图 4-49 ECCMON2

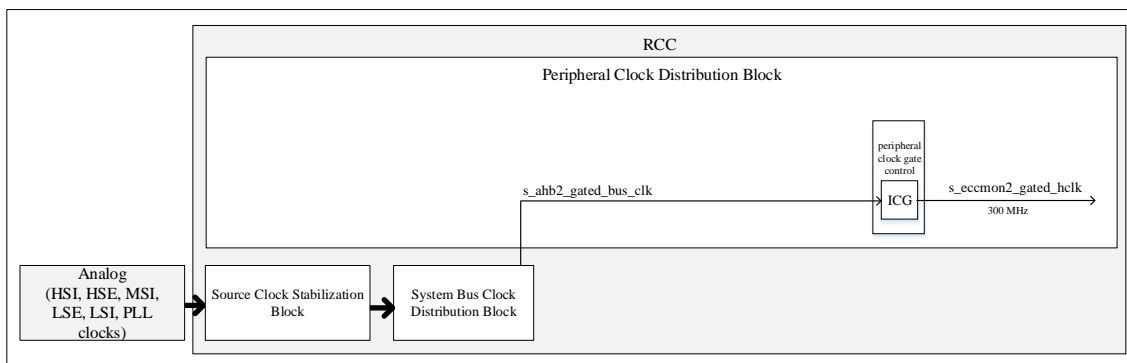


图 4-50 ECCMON3

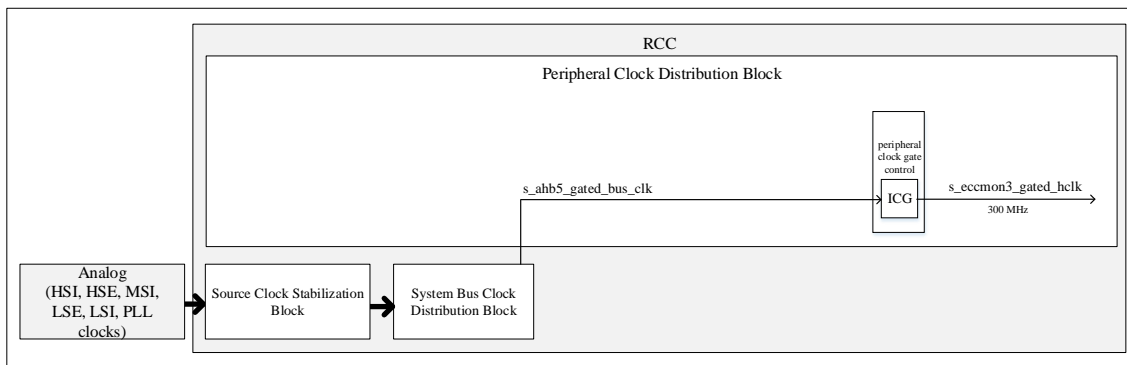
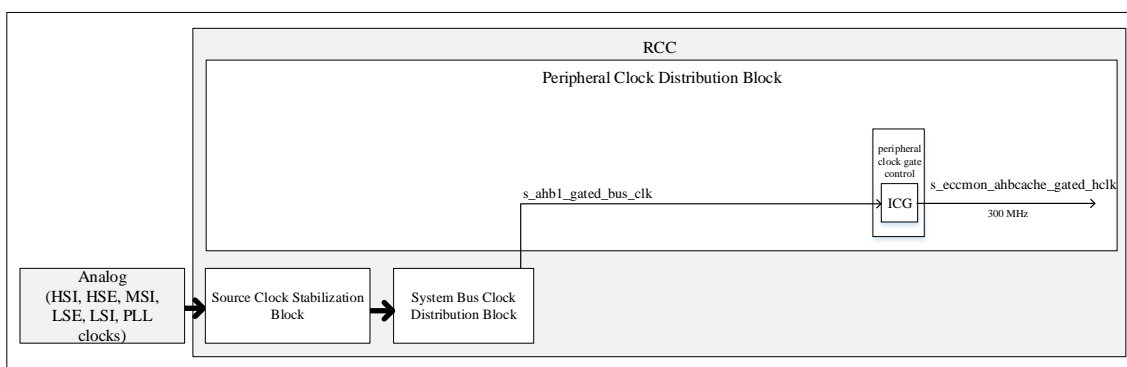


图 4-51 ECCMON\_AHBCACHE



#### 4.4.4.26 DAC

图 4-52 DAC(n) {n=12}

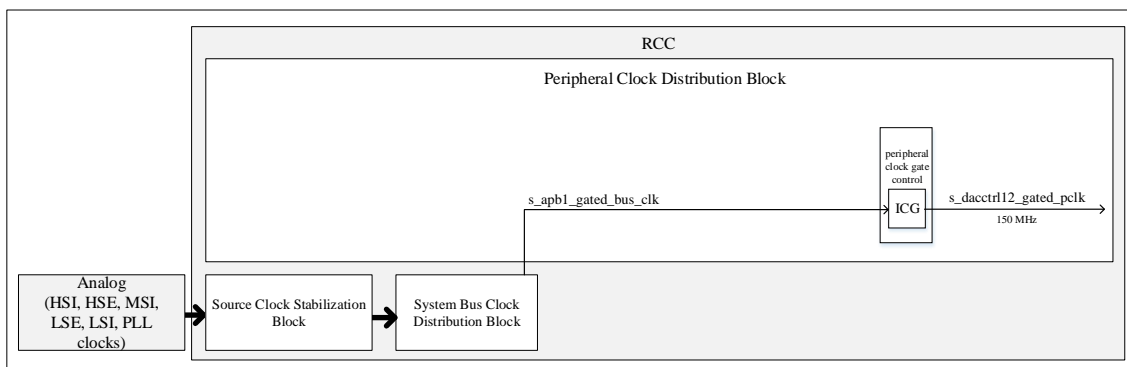
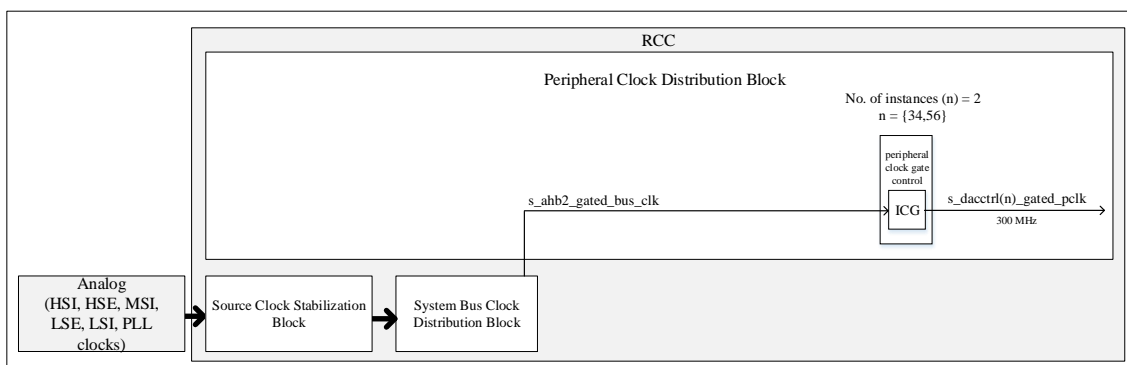


图 4-53 DAC(n) {n=34, 56}





4.4.4.27 WWDG1

图 4-54 WWDG1

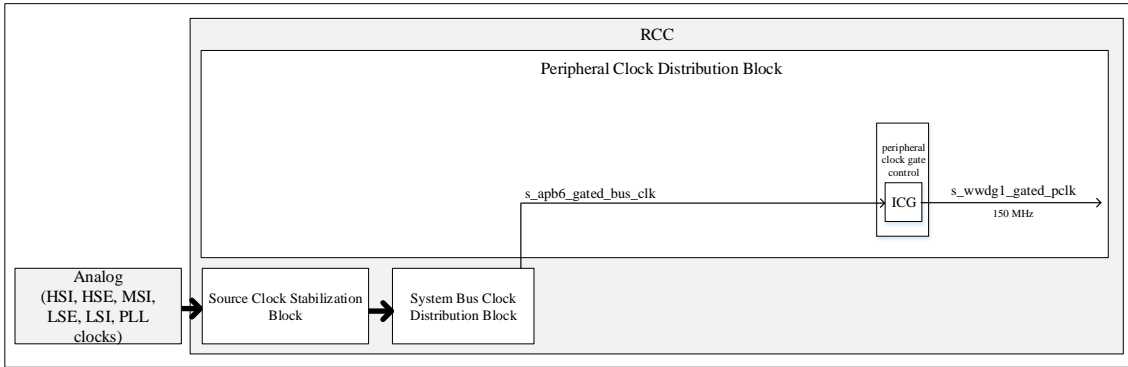
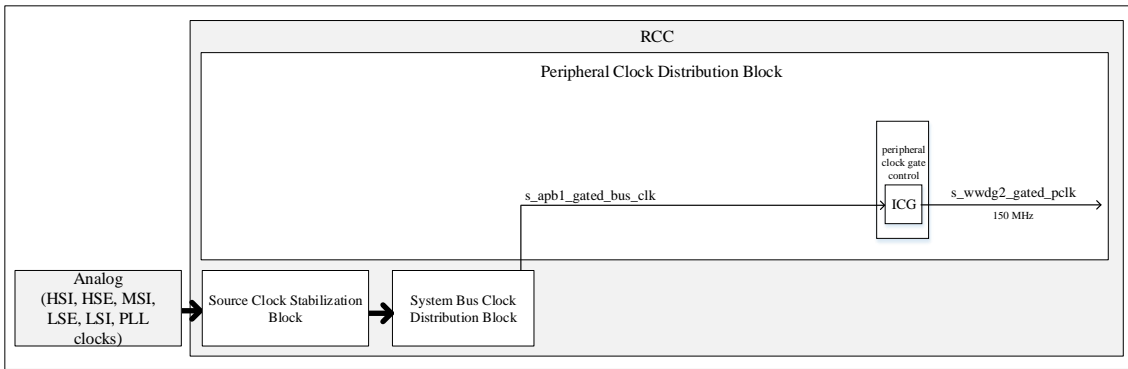
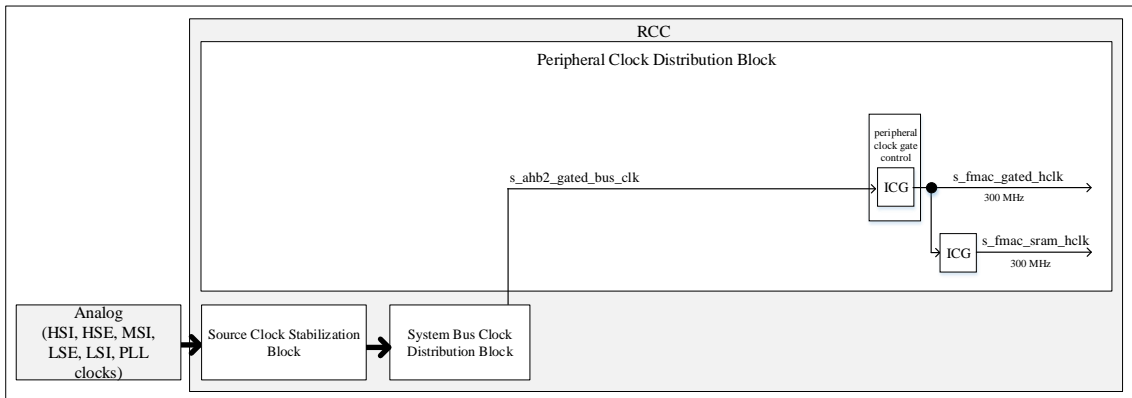


图 4-55 WWDG2



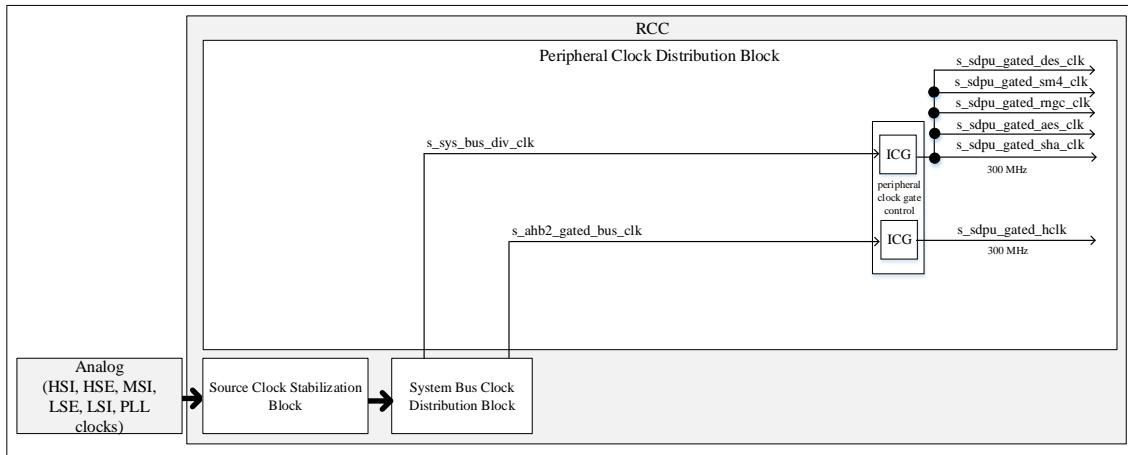
4.4.4.28 FMAC

图 4-56 FMAC



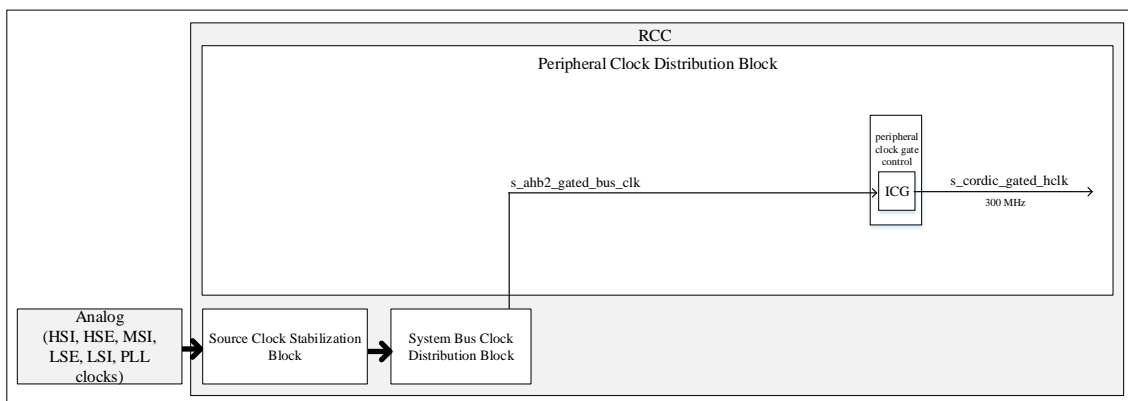
### 4.4.4.29 SDPU

图 4-57 SDPU



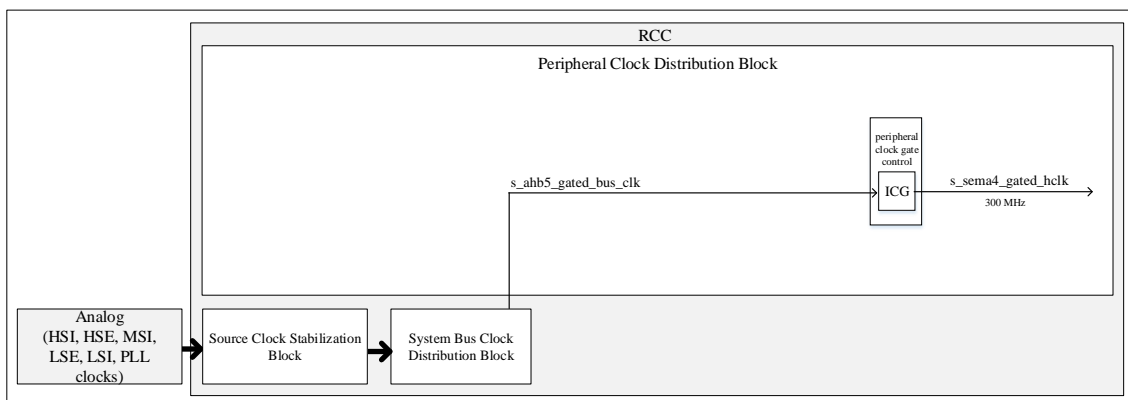
### 4.4.4.30 CORDIC

图 4-58 CORDIC



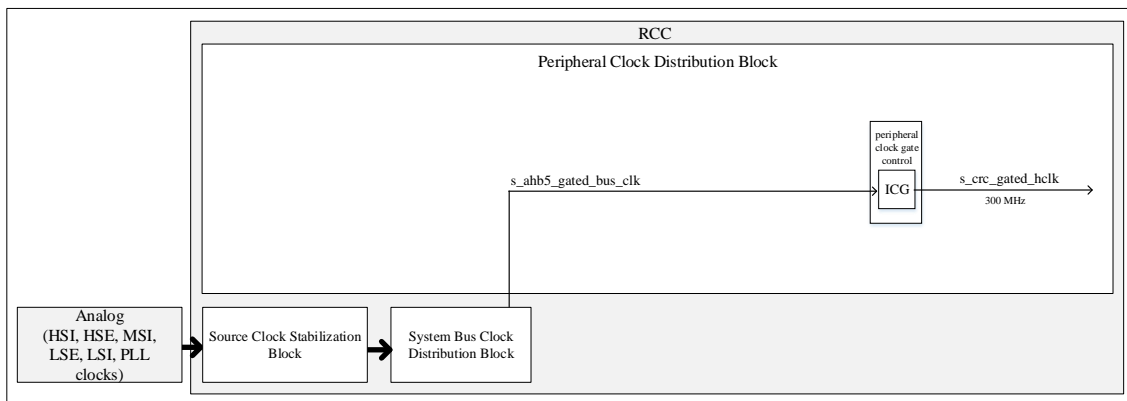
### 4.4.4.31 SEMA4

图 4-59 SEMA4



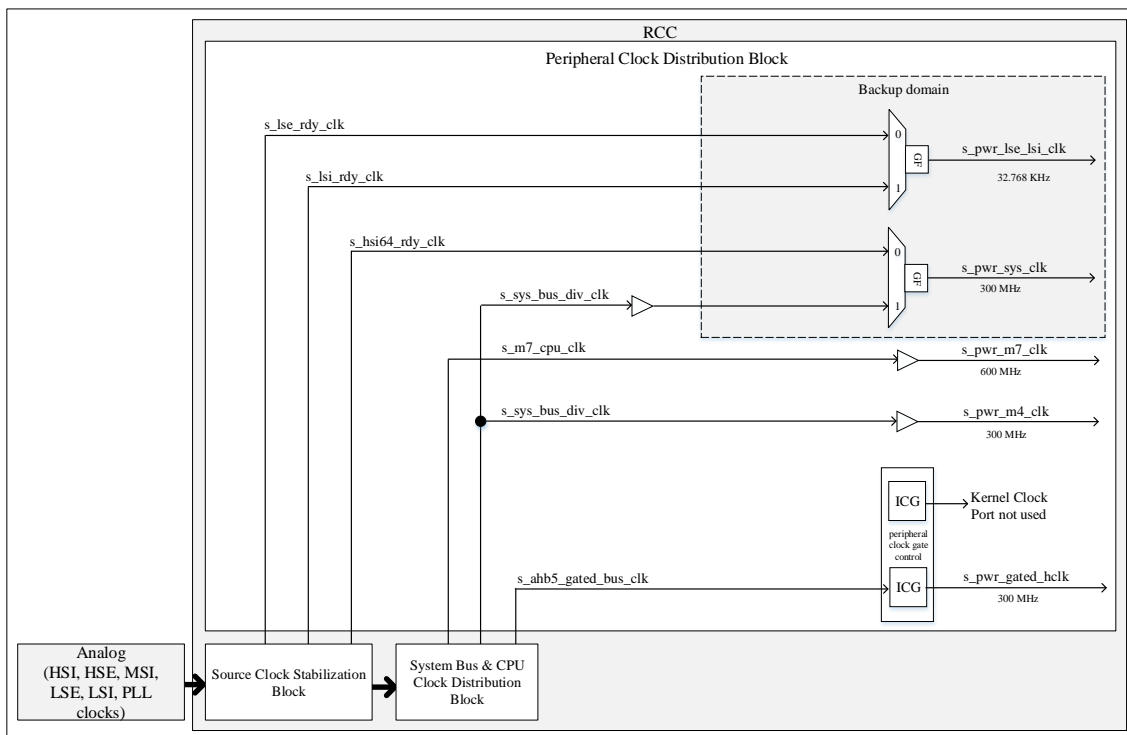
### 4.4.4.32 CRC

图 4-60 CRC



### 4.4.4.33 PWR

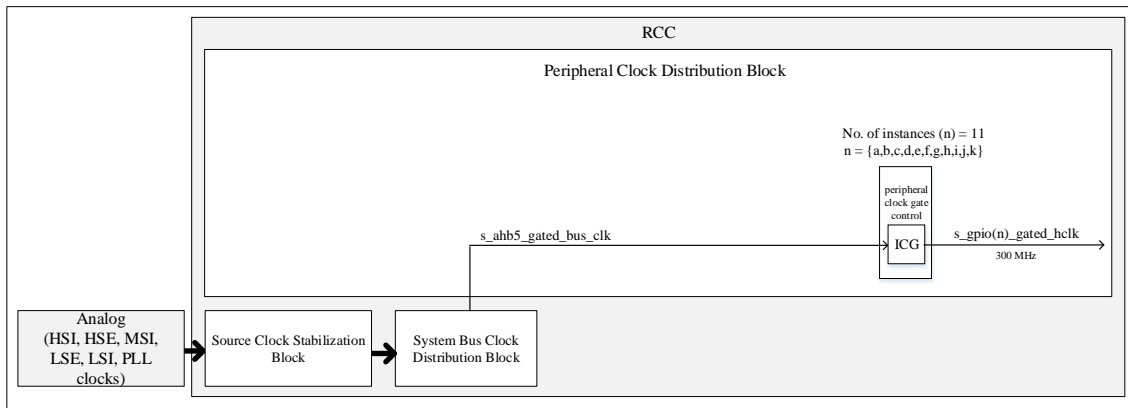
图 4-61 PWR



注：备份域将自动控制 LSE 和 LSI 时钟选择。

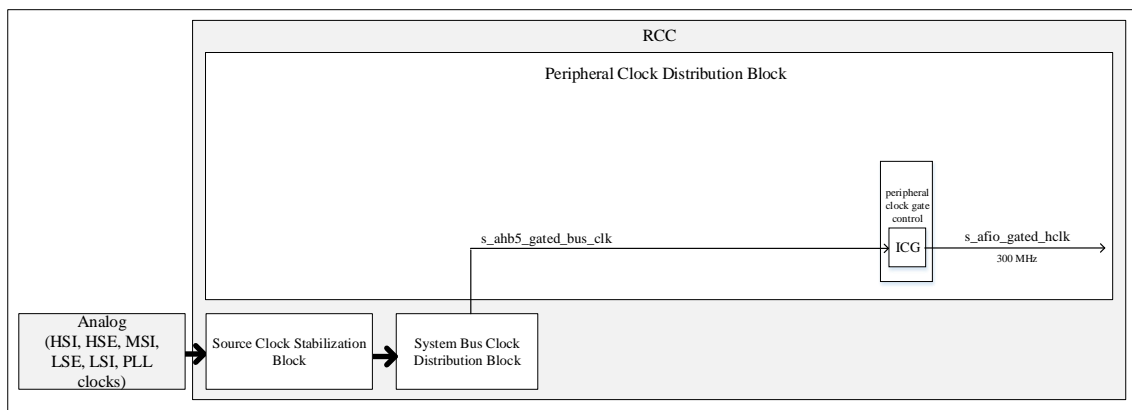
### 4.4.4.34 GPIO

图 4-62 GPIO



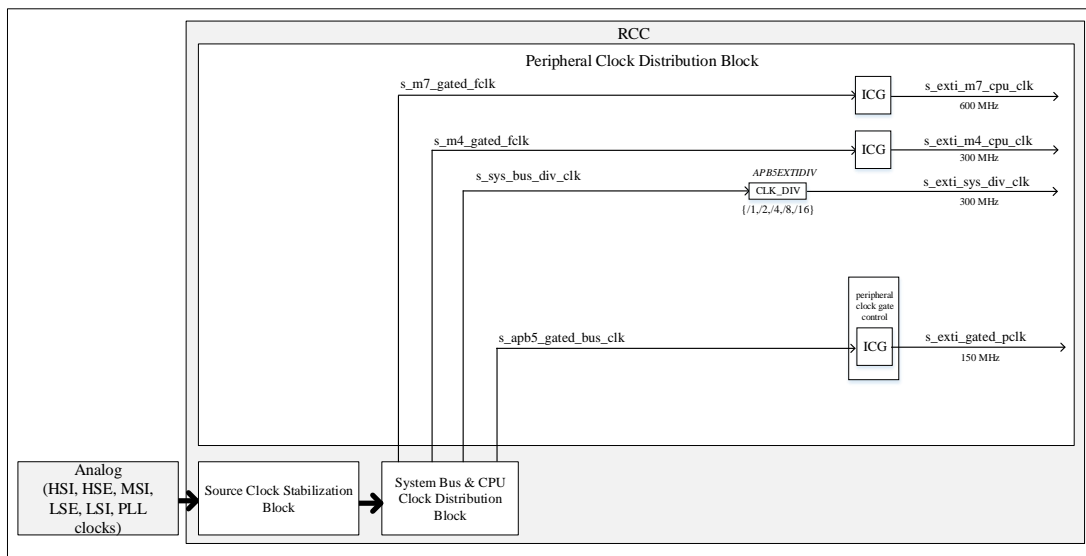
### 4.4.4.35 AFIO

图 4-63 AFIO



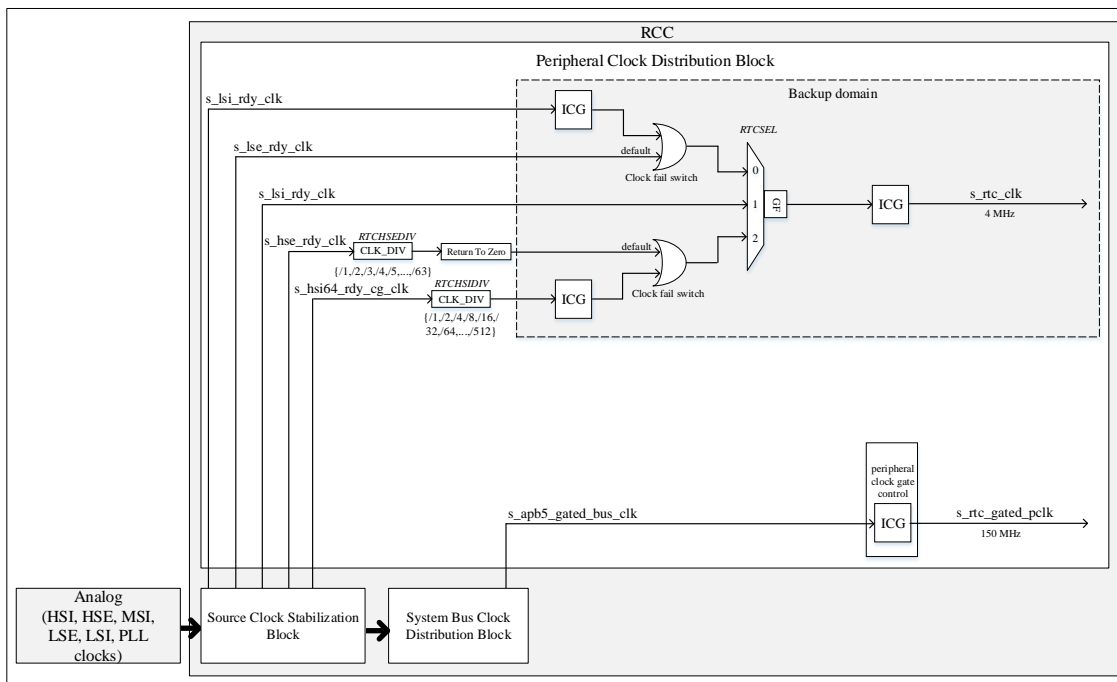
### 4.4.4.36 EXTI

图 4-64 EXTI



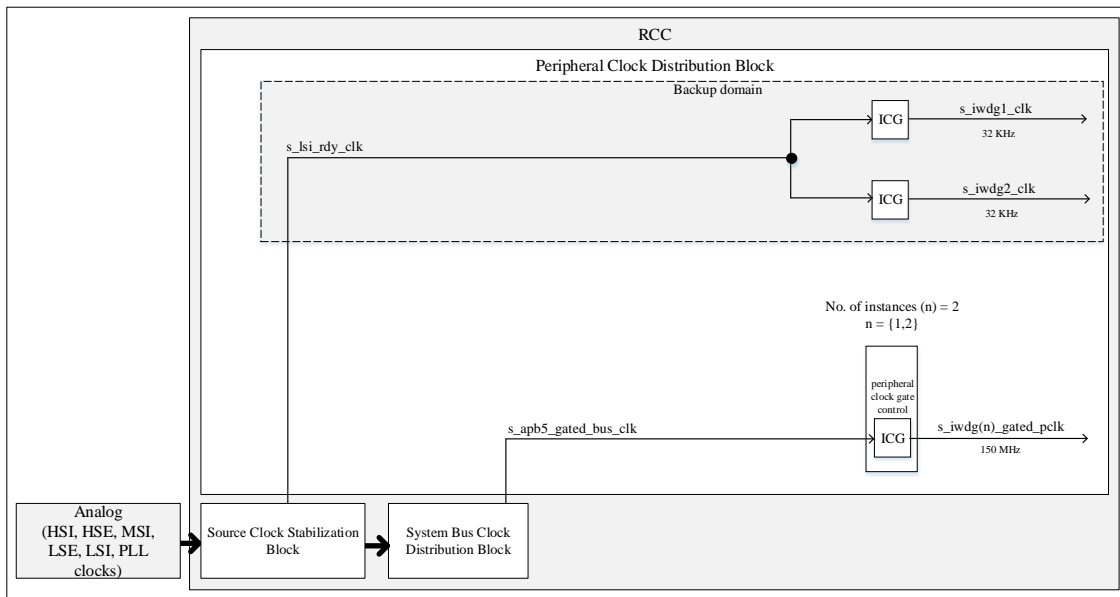
### 4.4.4.37 RTC

图 4-65 RTC



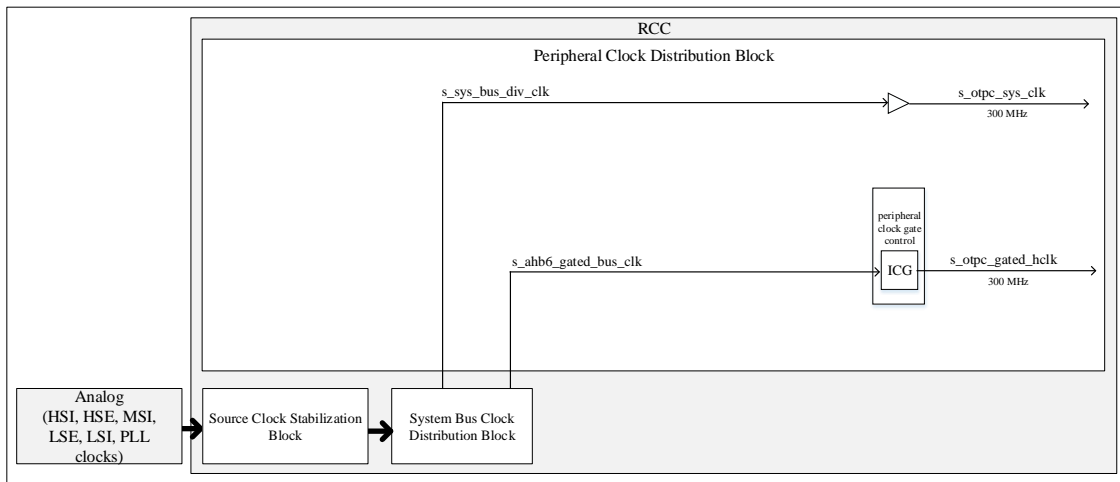
### 4.4.4.38 IWDG

图 4-66 IWDG(n) {n=1,2}



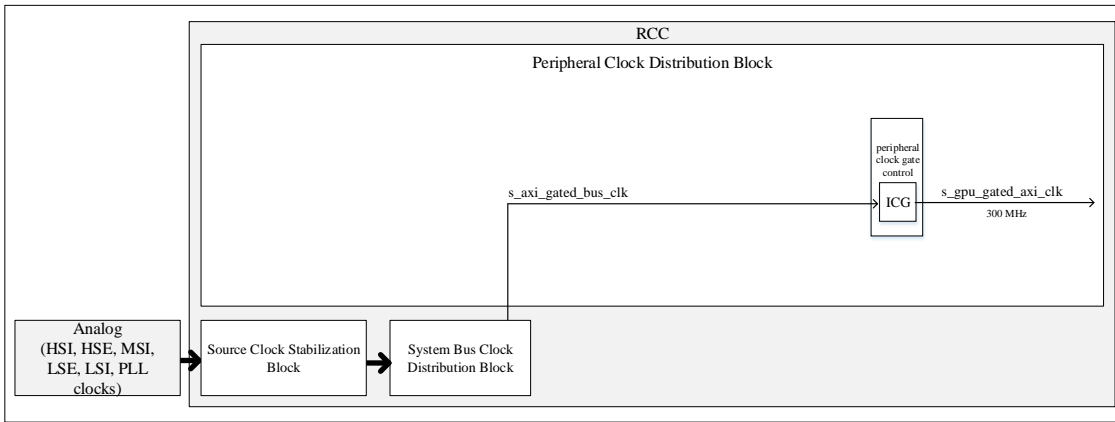
### 4.4.4.39 OTPC

图 4-67 OTPC



#### 4.4.4.40 GPU

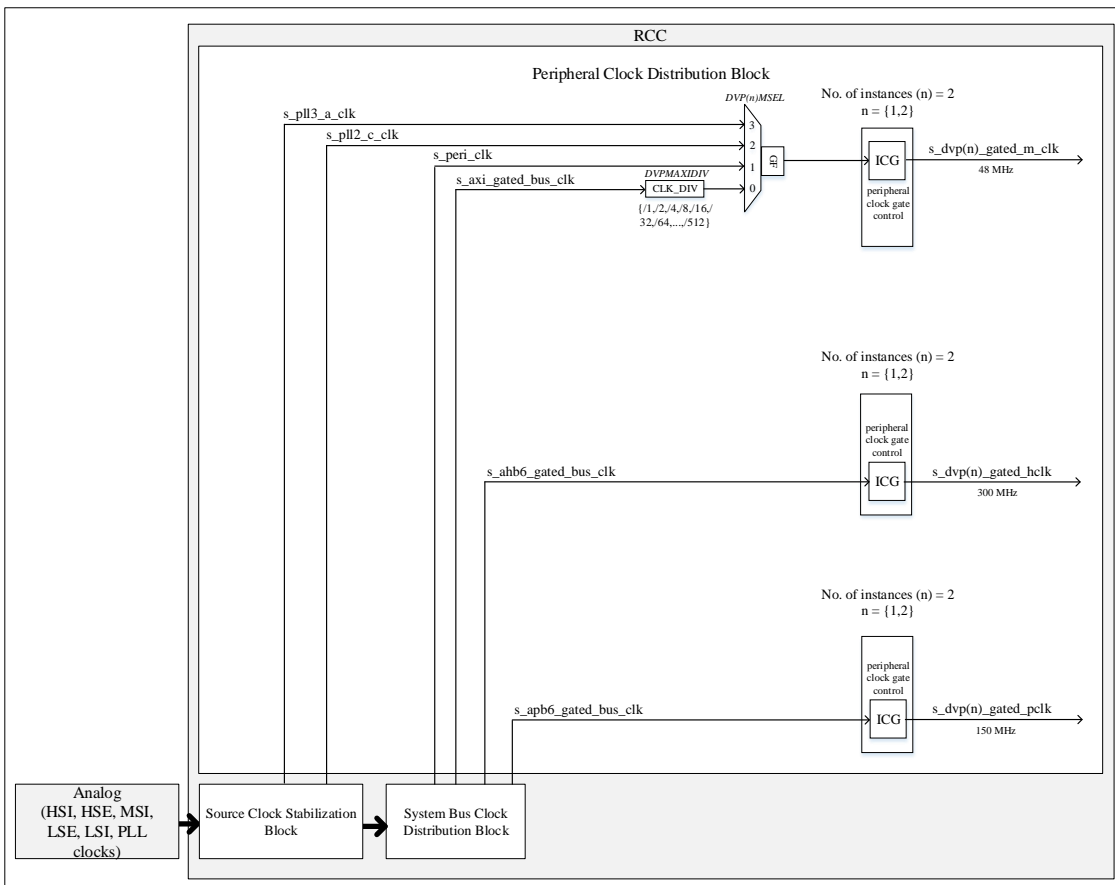
图 4-68 GPU



#### 4.4.4.41 DVP

注意: pclk 用于 DVP 寄存器配置, hclk 用于 DVP 内存访问

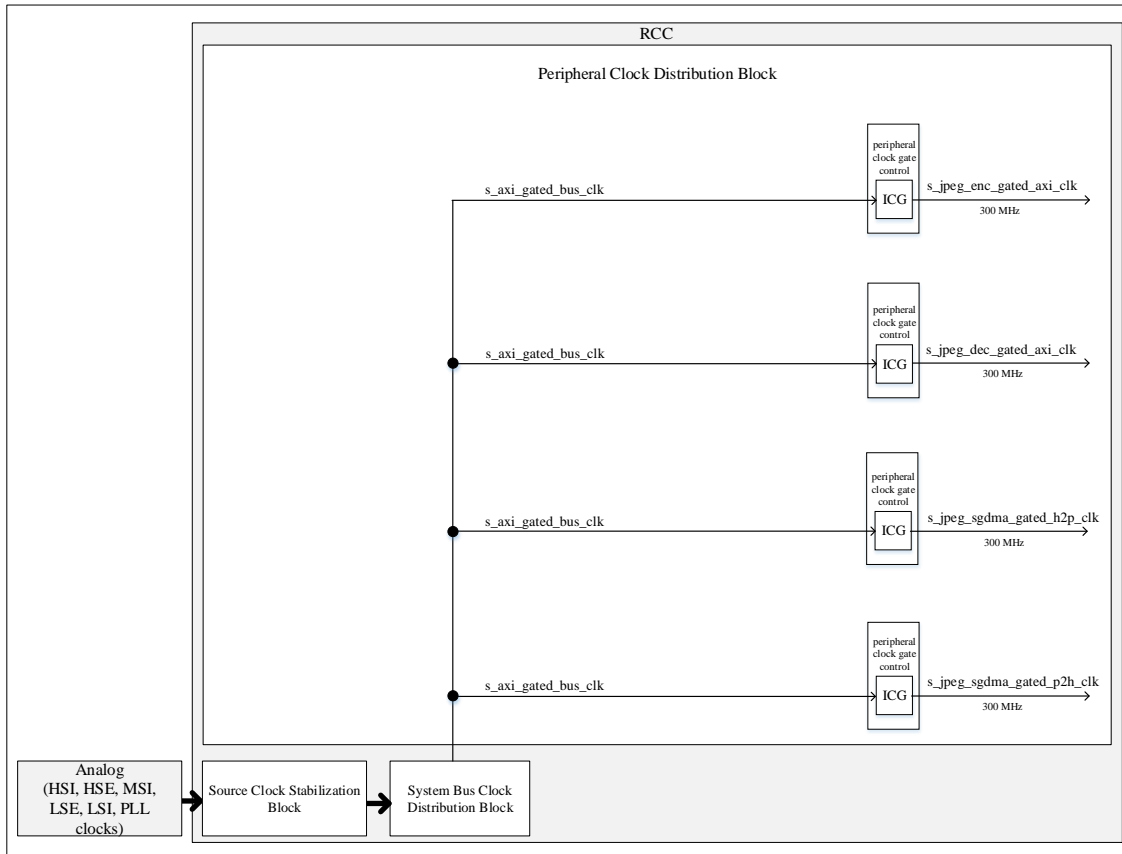
图 4-69 DVP(n) {n=1,2}



注: 通过配置 M7DVP(n)EN、M4DVP(n)EN、M7DVP(n)LPEN、M4DVP(n)LPEN、M7DVP(n)APBEN、M4DVP(n)APBEN、M7DVP(n)APBLPEN、M4DVP(n)APBLPEN {n=1,2} 来启用模块时钟。

#### 4.4.4.42 JPEG

图 4-70 JPEG



注：通过配置 M7JPEGDEN、M4JPEGDEN、M7JPEGDLPEN、M4JPEGDLPEN 启用 JPEG 解码器模块时钟。

注：通过配置 M7JPEGEEN、M4JPEGEEN、M7JPEGELPEN、M4JPEGELPEN 启用 JPEG 编码器模块时钟。



4.4.4.43 SRAM

图 4-71 AHB\_SRAM

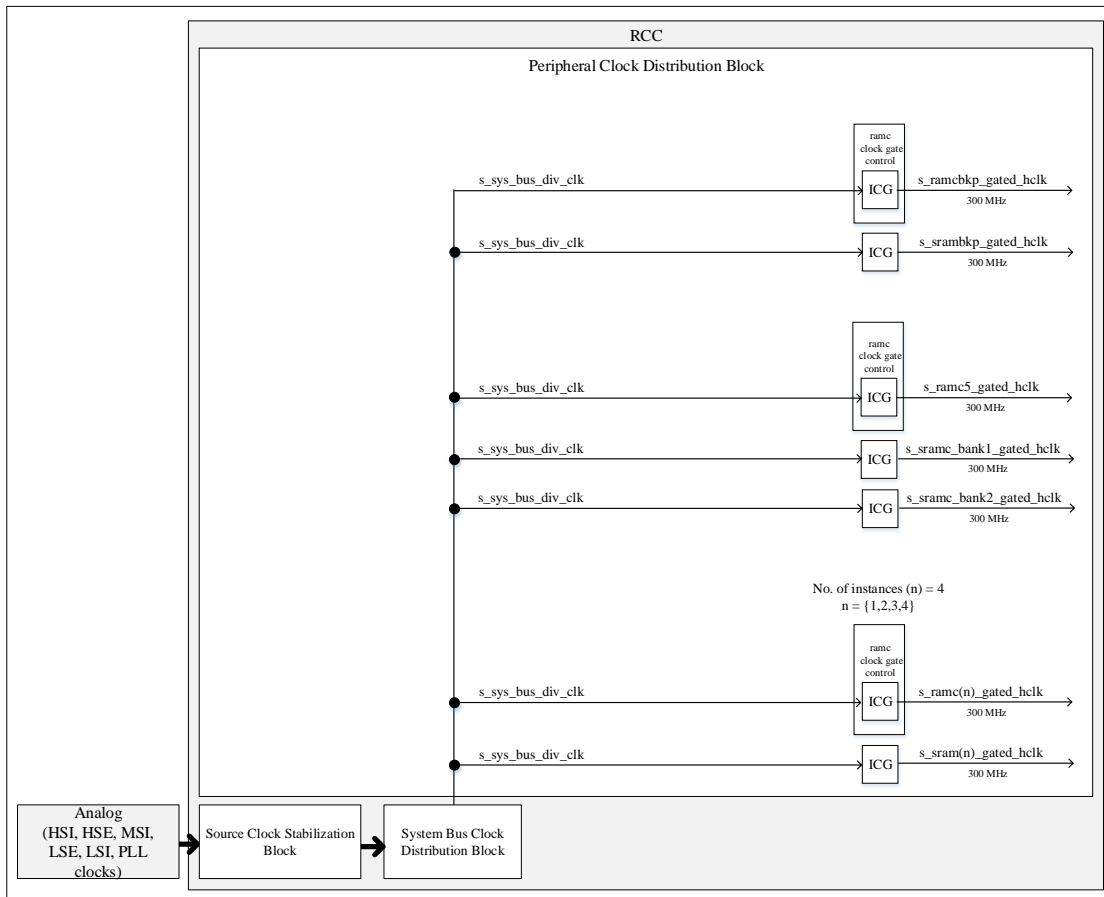
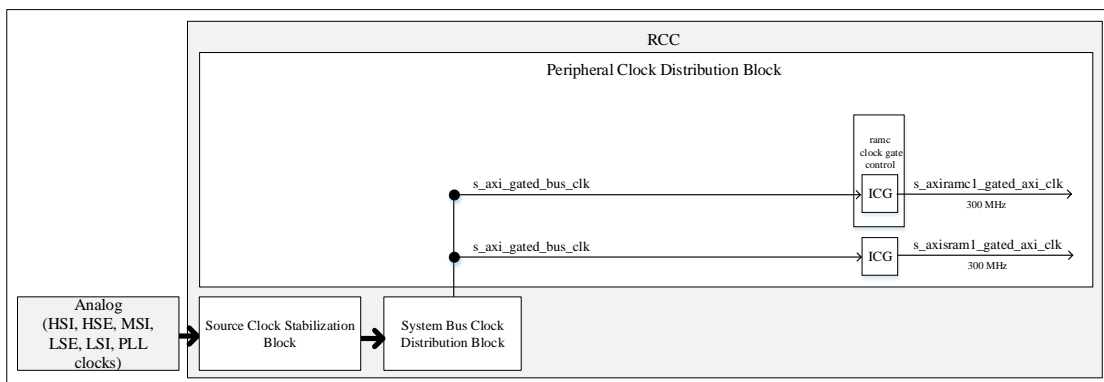
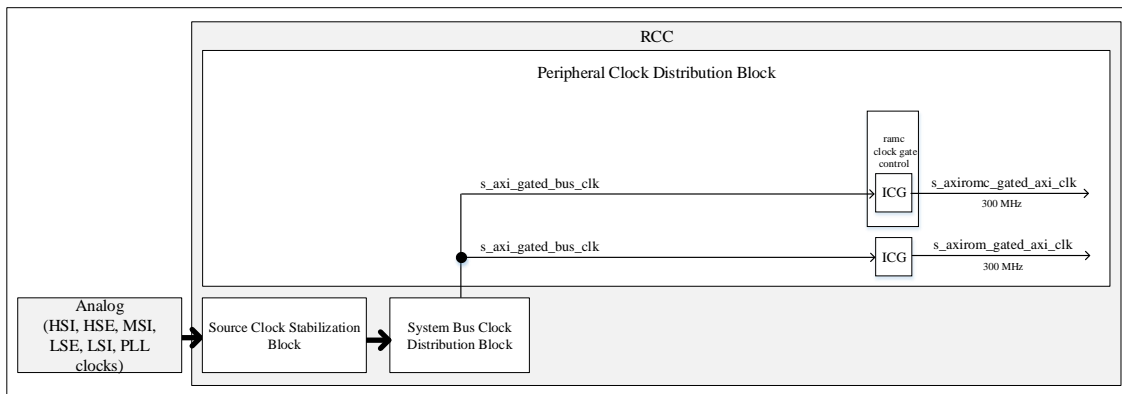


图 4-72 TCM\_AXI\_SRAM



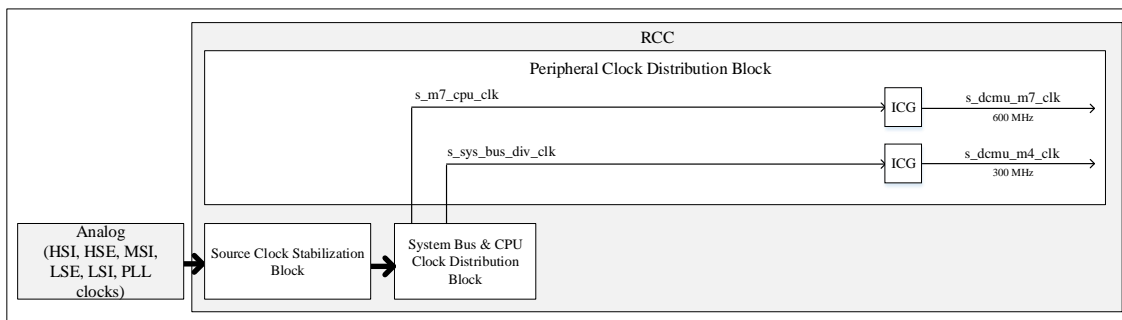
#### 4.4.4.44 ROM

图 4-73 AXI\_ROM



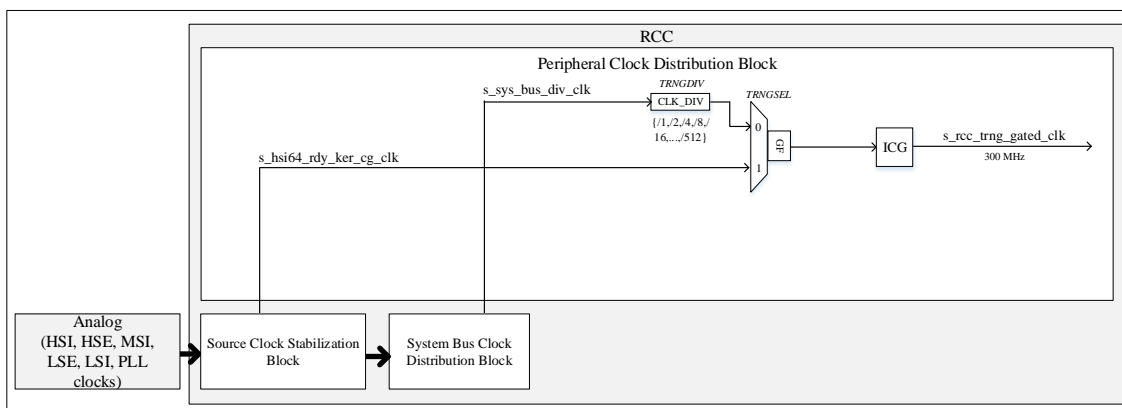
#### 4.4.4.45 DCMU

图 4-74 DCMU



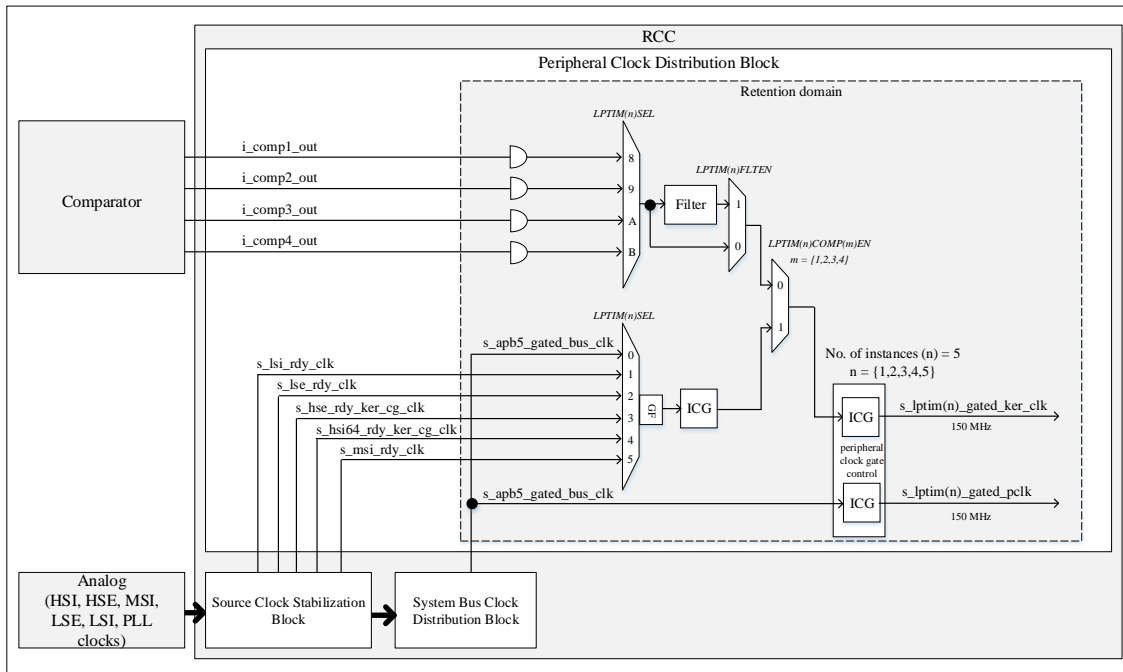
#### 4.4.4.46 TRNG

图 4-75 TRNG



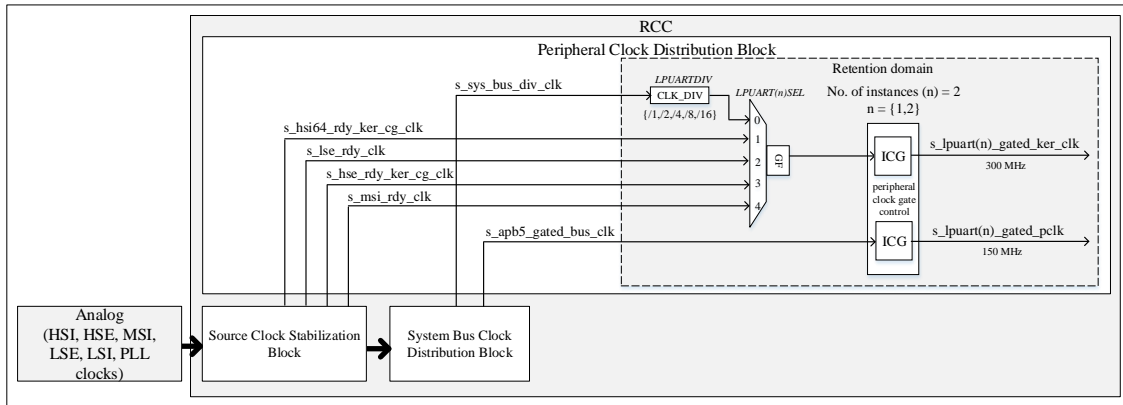
### 4.4.4.47 LPTIM

图 4-76 LPTIM(n) {n=1,2,3,4}



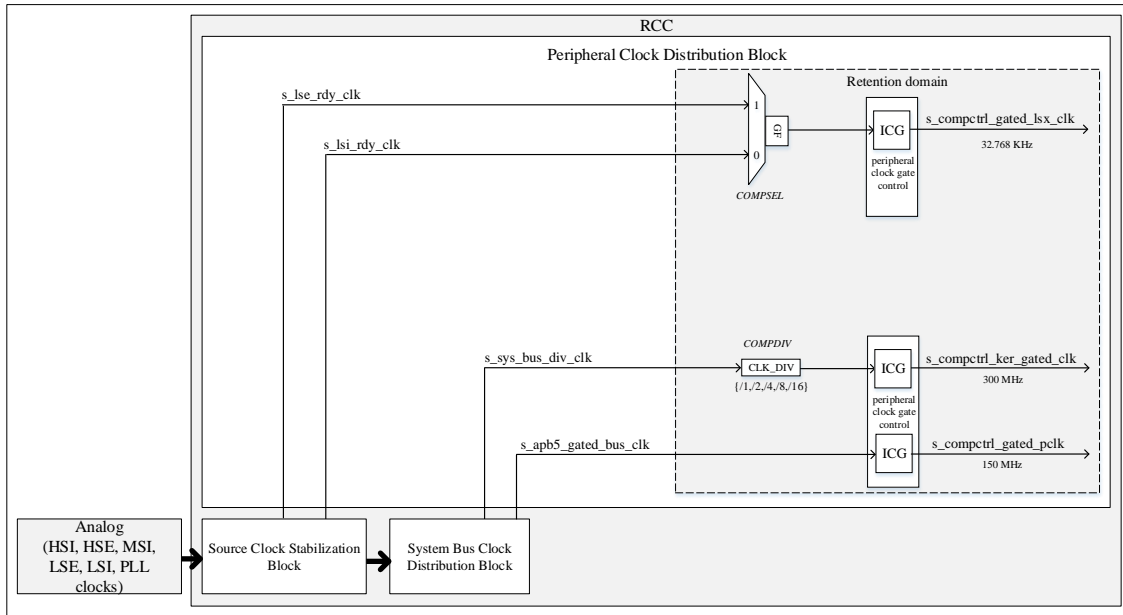
### 4.4.4.48 LPUART

图 4-77 LPUART(n) {n=1,2}



### 4.4.4.49 COMP

图 4-78 COMP



## 4.5 RCC 寄存器

### 4.5.1 PLL1 时钟控制寄存器 1(RCC\_PLL1CTRL1)

偏移地址: 0x0000

复位值: 0x1903\_0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		PLL1SRC[1:0]		Reserved							PLL1PHL K	PLL1LDO EN	PLL1EN	PLL1RST	PLL1PD
		rw									r	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				PLL1BWAJ[11:0]											
				rw											

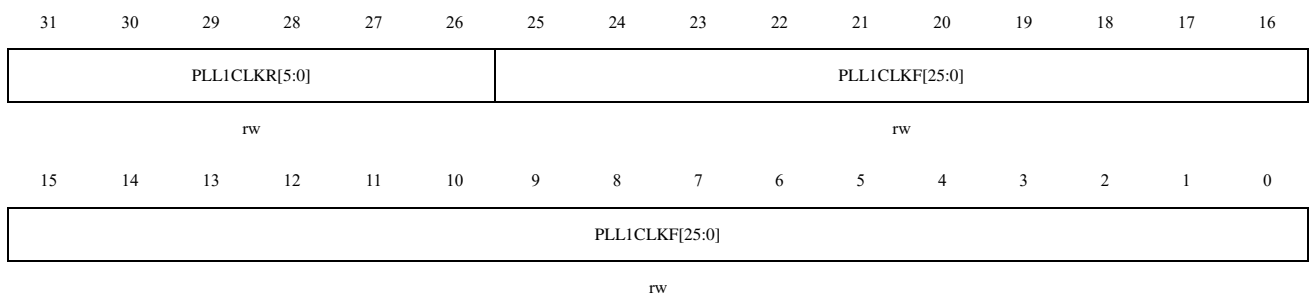
位域	名称	描述
31:30	Reserved	保留, 必须保持复位值
29:28	PLL1SRC[1:0]	PLL1 参考时钟源选择 00: HSI 时钟为 PLL 源时钟 01: 无时钟 10: MSI 时钟为 PLL 源时钟 11: HSE 时钟为 PLL 源时钟

位域	名称	描述
27:21	Reserved	保留，必须保持复位值
20	PLL1PHLK	PLL1 相位锁定 由硬件置位，指示 PLL 相位锁定。 0: PLL 输出时钟未与参考时钟相位锁定 1: PLL 输出时钟与参考时钟相位锁定。仅在锁定位为 1 后才使用 PLL 输出时钟。
19	PLL1LDOEN	PLL1LDO 使能 由软件设置和清除。 0: 禁用 PLL1LDO 1: 启用 PLL1LDO
18	PLL1EN	PLL1 时钟使能 由软件设置和清除。 0: 禁用 PLL1 时钟 1: 启用 PLL1 时钟 注: PLL1 时钟作为系统时钟时不能禁用。
17	PLL1RST	PLL1 复位 由软件设置和清除。 0: 清除复位 1: 复位 PLL1
16	PLL1PD	PLL1 断电 由软件设置和清除。 0: 启用 PLL 中模拟电路的电源 1: 禁用 PLL 中模拟电路的电源
15:12	Reserved	保留，必须保持复位值
11:0	PLL1BWAJ[11:0]	PLL1 环路带宽调整 默认值对应 PLL 参考频率 64MHz，输出频率 600MHz。

## 4.5.2 PLL1 时钟控制寄存器 2(RCC\_PLL1CTRL2)

偏移地址: 0x0004

复位值: 0x0002\_5800



位域	名称	描述
31:26	PLL1CLKR[5:0]	PLL1 参考时钟分频器 默认值对应 PLL 参考频率 64MHz，输出频率 600MHz。
25:0	PLL1CLKF[25:0]	PLL1 反馈时钟分频器 默认值对应 PLL 参考频率 64MHz，输出频率 600MHz。

### 4.5.3 PLL2 时钟控制寄存器 1(RCC\_PLL2CTRL1)

偏移地址：0x0010

复位值：0x1903\_0005

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		PLL2SRC[1:0]		Reserved							PLL2PHLK	PLL2LDOEN	PLL2EN	PLL2RST	PLL2PD
		rw									r	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				PLL2BWAJ[11:0]											
				rw											

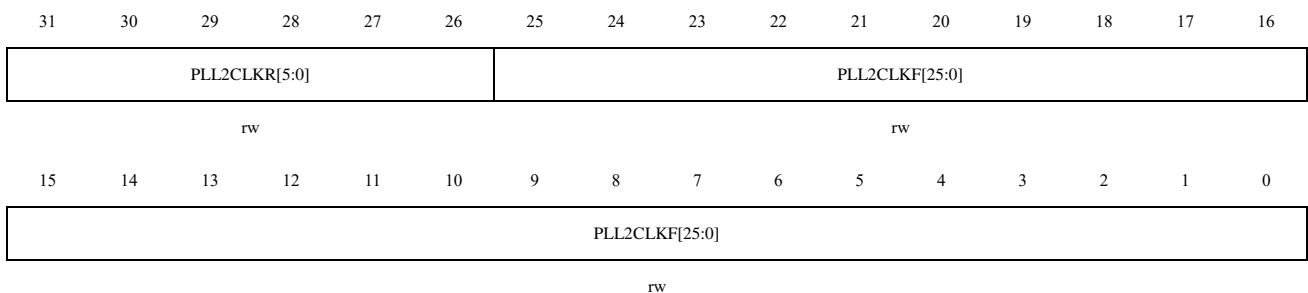
位域	名称	描述
31:30	Reserved	保留，必须保持复位值
29:28	PLL2SRC[1:0]	PLL2 参考时钟源选择 00: HSI 时钟为 PLL 源时钟 01: 无时钟 10: MSI 时钟为 PLL 源时钟 11: HSE 时钟为 PLL 源时钟
27:21	Reserved	保留，必须保持复位值
20	PLL2PHLK	PLL2 相位锁定 由硬件置位，指示 PLL 相位锁定。 0: PLL 输出时钟未与参考时钟相位锁定 1: PLL 输出时钟与参考时钟相位锁定。仅在锁定为 1 后才使用 PLL 输出时钟。
19	PLL2LDOEN	PLL2LDO 使能 由软件设置和清除。 0: 禁用 PLL2LDO 1: 启用 PLL2LDO
18	PLL2EN	PLL2 时钟使能 由软件设置和清除。 0: 禁用 PLL2 时钟 1: 启用 PLL2 时钟 注：PLL2 时钟作为系统时钟时不能禁用。
17	PLL2RST	PLL2 复位

位域	名称	描述
		由软件设置和清除。 0: 清除复位 1: 复位 PLL2
16	PLL2PD	PLL2 断电 由软件设置和清除。 0: 启用 PLL 中模拟电路的电源 1: 禁用 PLL 中模拟电路的电源
15:12	Reserved	保留, 必须保持复位值
11:0	PLL2BWAJ[11:0]	PLL2 环路带宽调整 默认值对应 PLL 参考频率 64MHz, 输出频率 800MHz。

#### 4.5.4 PLL2 时钟控制寄存器 2(RCC\_PLL2CTRL2)

偏移地址: 0x0014

复位值: 0x0003\_2000

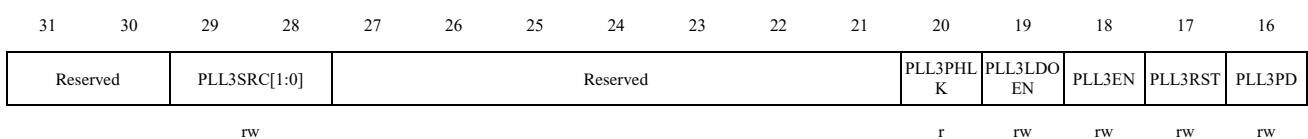


位域	名称	描述
31:26	PLL2CLKR[5:0]	PLL2 参考时钟分频器 默认值对应 PLL 参考频率 64MHz, 输出频率 800MHz。
25:0	PLL2CLKF[25:0]	PLL2 反馈时钟分频器 默认值对应 PLL 参考频率 64MHz, 输出频率 800MHz。

#### 4.5.5 PLL3 时钟控制寄存器 1(RCC\_PLL3CTRL1)

偏移地址: 0x0020

复位值: 0x1903\_0005



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	PLL3BWAJ[11:0]
----------	----------------

rw

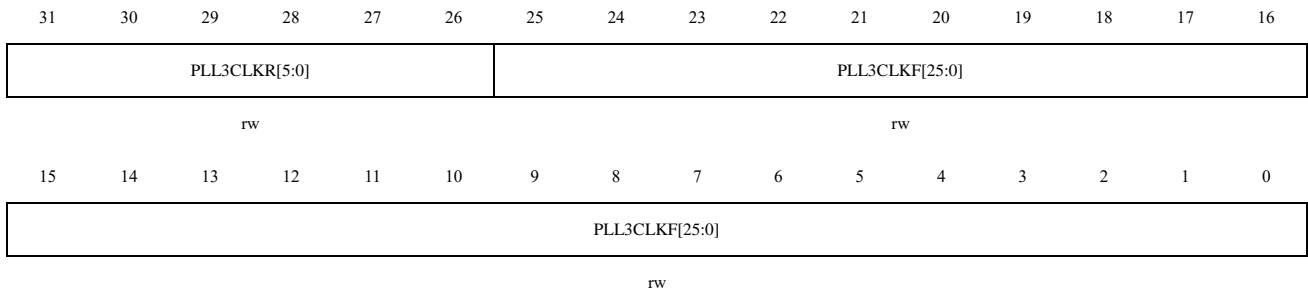
位域	名称	描述
31:30	Reserved	保留，必须保持复位值
29:28	PLL3SRC[1:0]	PLL3 参考时钟源选择 00: HSI 时钟为 PLL 源时钟 01: 无时钟 10: MSI 时钟为 PLL 源时钟 11: HSE 时钟为 PLL 源时钟
27:21	Reserved	保留，必须保持复位值
20	PLL3PHLK	PLL3 相位锁定 由硬件置位，指示 PLL 相位锁定。 0: PLL 输出时钟未与参考时钟相位锁定 1: PLL 输出时钟与参考时钟相位锁定。仅在锁定位为 1 后才使用 PLL 输出时钟。
19	PLL3LDOEN	PLL3LDO 使能 由软件设置和清除。 0: 禁用 PLL3LDO 1: 启用 PLL3LDO
18	PLL3EN	PLL3 时钟使能 由软件设置和清除。 0: 禁用 PLL3 时钟 1: 启用 PLL3 时钟
17	PLL3RST	PLL3 复位 由软件设置和清除。 0: 清除复位 1: 复位 PLL3
16	PLL3PD	PLL3 断电 由软件设置和清除。 0: 启用 PLL 中模拟电路的电源 1: 禁用 PLL 中模拟电路的电源
15:12	Reserved	保留，必须保持复位值
11:0	PLL3BWAJ[11:0]	PLL3 环路带宽调整 默认值对应 PLL 参考频率 64MHz，输出频率 800MHz。

#### 4.5.6 PLL3 时钟控制寄存器 2(RCC\_PLL3CTRL2)

偏移地址: 0x0024

复位值: 0x0003\_2000



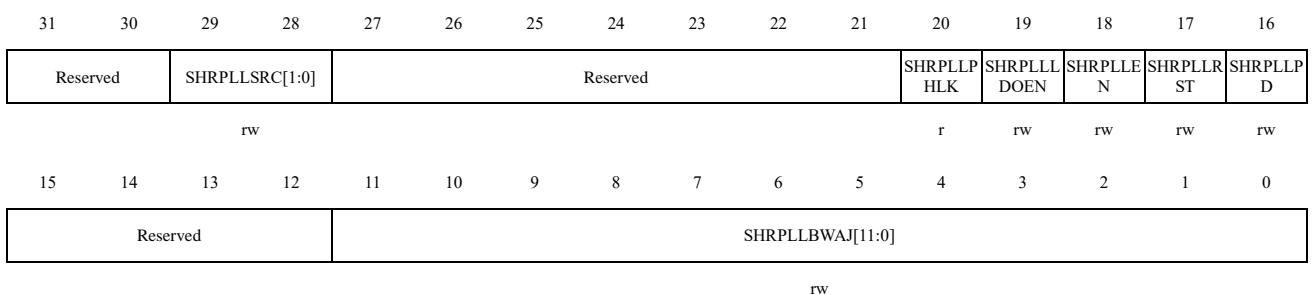


位域	名称	描述
31:26	PLL3CLKR[5:0]	PLL3 参考时钟分频器 默认值对应 PLL 参考频率 64MHz，输出频率 800MHz。
25:0	PLL3CLKF[25:0]	PLL3 反馈时钟分频器 默认值对应 PLL 参考频率 64MHz，输出频率 800MHz。

#### 4.5.7 SHRPLL 时钟控制寄存器 1(RCC\_SHRPLLCTRL1)

偏移地址：0x018C

复位值：0x1903\_0009



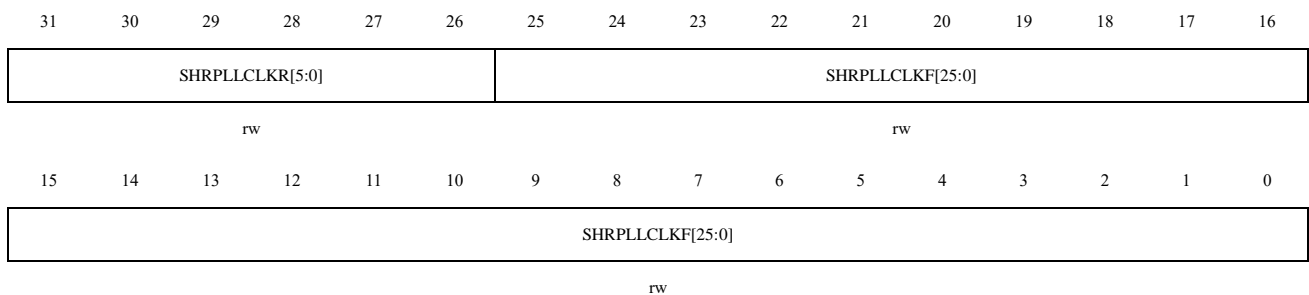
位域	名称	描述
31:30	Reserved	保留，必须保持复位值
29:28	SHRPLLSRC[1:0]	SHRPLL 参考时钟源选择 00: HSI 时钟为 PLL 源时钟 01: 无时钟 10: MSI 时钟为 PLL 源时钟 11: HSE 时钟为 PLL 源时钟
27:21	Reserved	保留，必须保持复位值
20	SHRPLLP HLK	SHRPLL 相位锁定 由硬件置位，指示 PLL 相位锁定。 0: PLL 输出时钟未与参考时钟相位锁定 1: PLL 输出时钟与参考时钟相位锁定。仅在锁定为 1 后才使用 PLL 输出时钟。
19	SHRPLLL DOEN	SHRPLLLDO 使能

位域	名称	描述
		由软件设置和清除。 0: 禁用 SHRPLLLDO 1: 启用 SHRPLLLDO
18	SHRPLEN	SHRPLL 时钟使能 由软件设置和清除。 0: 禁用 SHRPLL 时钟 1: 启用 SHRPLL 时钟
17	SHRPLLRST	SHRPLL 复位 由软件设置和清除。 0: 清除复位 1: 复位 SHRPLL
16	SHRPLLPD	SHRPLL 断电 由软件设置和清除。 0: 启用 PLL 中模拟电路的电源 1: 禁用 PLL 中模拟电路的电源
15:12	Reserved	保留, 必须保持复位值
11:0	SHRPLLBWAJ[11:0]	SHRPLL 环路带宽调整 默认值对应 PLL 参考频率 64MHz, 输出频率 312.5Mhz。

#### 4.5.8 SHRPLL 时钟控制寄存器 2(RCC\_SHRPLLCTRL2)

偏移地址: 0x0190

复位值: 0x0004\_E200



位域	名称	描述
31:26	SHRPLLCLKR[5:0]	SHRPLL 参考时钟分频器 默认值对应 PLL 参考频率 64MHz, 输出频率 312.5MHz。
25:0	SHRPLLCLKF[25:0]	SHRPLL 反馈时钟分频器 默认值对应 PLL 参考频率 64MHz, 输出频率 312.5MHz。

## 4.5.9 时钟源控制寄存器 1(RCC\_SRCCTRL1)

偏移地址：0x0030

复位值：0x2000\_0103

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFEMSIRDF	AFEHSIRDF	Reserved			SCLKSTS[1:0]	SCLKSW[1:0]	Reserved								
r	r				r	rw									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							HSERDCNTEN	MSIRDF	MSIEN	HSECSSEN	HSEBP	HSERDF	HSEEN	HSIRDF	HSIEN
							rw	r	rw	rw	rw	r	rw	r	rw

位域	名称	描述
31	AFEMSIRDF	AFEMSI 就绪标志 0: MSI 未就绪 1: MSI 已就绪 注：当 MSI 调整值改变时，此位切换为 0。此位为 1 并不表示 MSI 时钟频率已稳定。
30	AFEHSIRDF	AFEHSI 就绪标志 0: HSI 未就绪 1: HSI 已就绪 注意：当 HSI 调整值改变时，此位切换为 0。此位为 1 并不表示 HSI 时钟频率已稳定。
29:28	Reserved	保留，必须保持复位值
27:26	SCLKSTS[1:0]	系统时钟开关选择状态 00: 选择 HSI 作为系统时钟 01: 选择 MSI 作为系统时钟 10: 选择 HSE 作为系统时钟 11: 选择 PLL1_A 作为系统时钟
25:24	SCLKSW[1:0]	系统时钟开关选择。 00: 选择 HSI 作为系统时钟 01: 选择 MSI 作为系统时钟 10: 选择 HSE 作为系统时钟 11: 选择 PLL1_A 作为系统时钟
23:9	Reserved	保留，必须保持复位值
8	HSERDCNTEN	HSE 就绪生成计数器启用 由软件设置和清除。

位域	名称	描述
		0: 禁用或停止 HSE 就绪计数器 1: 启用或启动 HSE 就绪计数器
7	MSIRDF	MSI 就绪标志。 由硬件置位，表示 MSI 时钟稳定。 0: MSI 时钟不稳定。 1: MSI 时钟稳定。
6	MSIEN	MSI 时钟使能。 由软件置位和清除。 如果 MSI 时钟直接或间接用作系统时钟，则此位无法清除。 0: 禁用 MSI 时钟。 1: 启用 MSI 时钟。
5	HSECSEN	HSE 时钟安全系统启用。 通过软件设置和清除。 0: 禁用 HSE 时钟安全系统。 1: 启用 HSE 时钟安全系统。
4	HSEBP	HSE 时钟旁路 由软件置位和清零。仅当 HSE 振荡器禁用时，此位才可置位。 0: HSE 振荡器未旁路。 1: HSE 振荡器已旁路。 注意：在启用 HSEBP 之前，请确保 HSEEN=0。
3	HSERDF	HSE 就绪标志。 由硬件置位，表示 HSE 时钟稳定。 0: HSE 时钟不稳定。 1: HSE 时钟稳定。
2	HSEEN	HSE 时钟使能。 由软件置位和清零。 如果 HSE 时钟直接或间接用作系统时钟，则此位无法清零。 0: 禁用 HSE 时钟 1: 使能 HSE 时钟

位域	名称	描述
1	HSIRDF	HSI 就绪标志 由硬件置位，表示 HSI 时钟稳定。 0: HSI 时钟不稳定 1: HSI 时钟稳定
0	HSIEN	HSI 时钟使能。 由软件置位和清零。 在直接或间接用作系统时钟的 HSE 振荡器发生故障时，由硬件置位使能 HSI。 如果 HSI 时钟直接或间接用作系统时钟，则此位无法清零。 0: 使能 HSI 时钟。 1: 禁用 HSI 时钟。

#### 4.5.10 时钟源控制寄存器 2(RCC\_SRCCTRL2)

偏移地址: 0x016C

复位值: 0x0000\_0F00

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	BORF	HSICALE F	MSICALE F	Reserved										M7HYPSE L	AXIHYPSE EL
	rc_wl	rc_wl	rc_wl											rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			MSICAL[4:0]				Reserved			MSITRIM[4:0]					
			r							rw					

位域	名称	描述
31	Reserved	保留，必须保持复位值
30	BORF	BOR 状态标志 由硬件置位，由软件清除（写入 1 清除）。 0: BOR 未置位 1: BOR 已置位
29	HSICALEF	HSI 校准错误状态标志 由硬件置位，由软件清除（写入 1 清除）。 0: 无 HSI 校准错误 1: 发生 HSI 校准错误
28	MSICALEF	MSI 校准错误状态标志 由硬件置位，由软件清除（写入 1 清除）。

位域	名称	描述
		0: 无 MSI 校准错误 1: 发生 MSI 校准错误
27:18	Reserved	保留, 必须保持复位值
17	M7HYPSEL	M7 Hyper 模式时钟选择 由软件设置和清除。 0: M7 CPU 最大时钟频率为 600MHz, 由 sys_div_clk 时钟提供。 1: M7 CPU 最大时钟频率为 600MHz, 由 m7_hyp_div_clk 时钟提供。
16	AXIHYPSEL	AXI Hyper 模式时钟选择 由软件设置和清除。 0: AXI 总线最大时钟频率为 300MHz, 由 sys_div_clk 时钟提供。 1: AXI 总线最大时钟频率为 300MHz, 由 m7_hyp_div_clk 时钟提供。
15:13	Reserved	保留, 必须保持复位值
12:8	MSICAL[4:0]	MSI 时钟校准值。 这些位表示将 MSITRIM[4:0]与内部校准寄存器值相加后的值。
7:5	Reserved	保留, 必须保持复位值
4:0	MSITRIM[4:0]	MSI 时钟微调值。 这些位可编程调整, 以适应影响内部 MSIRC 频率的电压和温度变化。 MSI 的整体微调值通过将 MSI_TRIM[4:0]位与内部校准寄存器值相加来计算。 MSI_TRIM[4:0]位以二进制补码格式表示。 MSI_TRIM[4]=1 => -微调值, MSI_TRIM[4]=0 => +微调值, 每次连续的递增/递减步骤都会以 33.2kHz 的步长修改 MSI 频率。

### 4.5.11 时钟源控制寄存器 3(RCC\_SRCCTRL3)

偏移地址: 0x01DC

复位值: 0x0160\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								HSICAL[8:0]							
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								HSITRIM[8:0]							
rw															

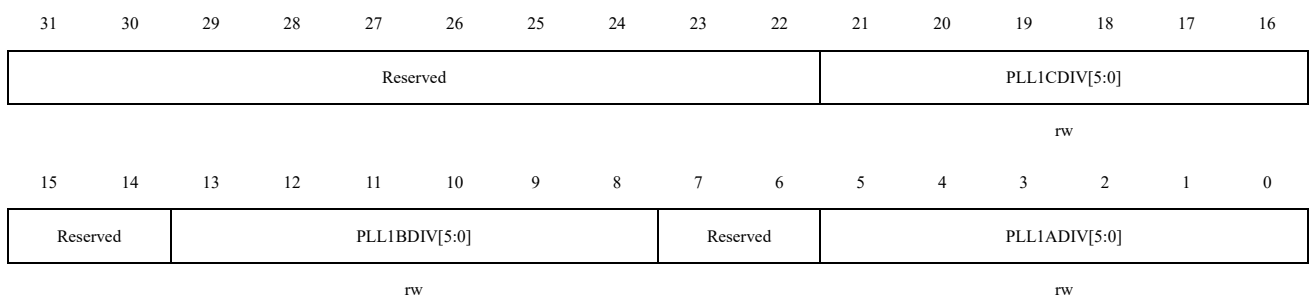
位域	名称	描述
31:25	Reserved	保留, 必须保持复位值
24:16	HSICAL[8:0]	HSI 时钟校准值。 这些位表示将 HSITRIM[8:0]与内部校准寄存器值相加后的值。
15:9	Reserved	保留, 必须保持复位值

位域	名称	描述
8:0	HSITRIM[8:0]	HSI 时钟微调值。 这些位可编程调整，以适应影响内部 HSIRC 频率的电压和温度变化。 HSI 的整体微调值通过将 HSITRIM[8:0]位与内部校准寄存器值相加来计算。 HSI_TRIM[8:0]位以二进制补码格式表示。 HSI_TRIM[8]=1 => -微调值，HSI_TRIM[8]=0 => +微调值，每次连续的递增/递减步骤都会以 150kHz 的步长修改 HSI 频率。

#### 4.5.12 PLL1 时钟分频寄存器(RCC\_PLL1DIV)

偏移地址：0x0034

复位值：0x0002\_0202



位域	名称	描述
31:22	Reserved	保留，必须保持复位值
21:16	PLL1CDIV[5:0]	PLL1C 分频器值。 将 PLL1 分频配置为 PLL1C。 000000: 不允许设置 000001: 除以 1 (旁路) 000010: 除以 2 000011: 除以 3 000100: 除以 4 000101: 除以 5 000110: 除以 6 000111: 除以 7 001000: 除以 8 001001: 除以 9 001010: 除以 10 ... 111110: 除以 62 111111: 除以 63
15:14	Reserved	保留，必须保持复位值
13:8	PLL1BDIV[5:0]	PLL1B 分频器值。

位域	名称	描述
		将 PLL1 分频配置为 PLL1B。 000000: 不允许设置 000001: 除以 1 (旁路) 000010: 除以 2 000011: 除以 3 000100: 除以 4 000101: 除以 5 000110: 除以 6 000111: 除以 7 001000: 除以 8 001001: 除以 9 001010: 除以 10 ... 111110: 除以 62 111111: 除以 63
7:6	Reserved	保留, 必须保持复位值
5:0	PLL1ADIV[5:0]	PLL1A 分频器值。 将 PLL1 分频配置为 PLL1A。 000000: 不允许设置 000001: 除以 1 (旁路) 000010: 除以 2 000011: 除以 3 000100: 除以 4 000101: 除以 5 000110: 除以 6 000111: 除以 7 001000: 除以 8 001001: 除以 9 001010: 除以 10 ... 111110: 除以 62 111111: 除以 63

### 4.5.13 PLL2 时钟分频寄存器(RCC\_PLL2DIV)

偏移地址: 0x0038

复位值: 0x0002\_0202

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved											PLL2CDIV[5:0]				

rw



15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

Reserved	PLL2BDIV[5:0]	Reserved	PLL2ADIV[5:0]
	rw		rw

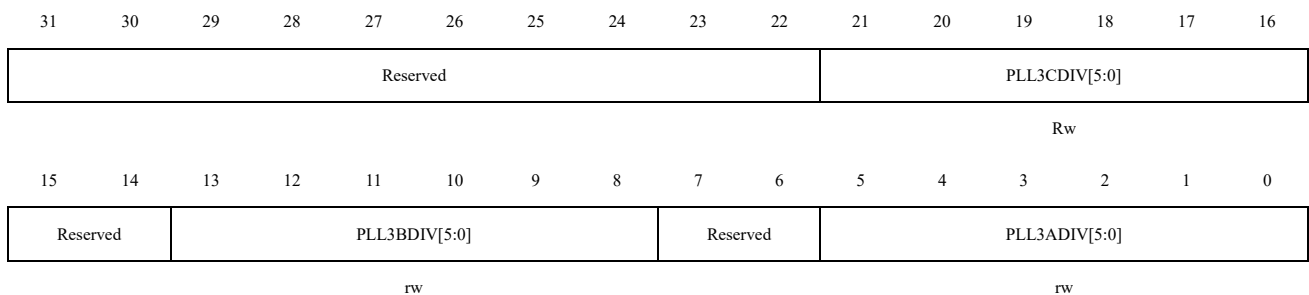
位域	名称	描述
31:22	Reserved	保留，必须保持复位值
21:16	PLL2CDIV[5:0]	PLL2C 分频器值。 将 PLL2 分频配置为 PLL2C。 000000: 不允许设置 000001: 除以 1 (旁路) 000010: 除以 2 000011: 除以 3 000100: 除以 4 000101: 除以 5 000110: 除以 6 000111: 除以 7 001000: 除以 8 001001: 除以 9 001010: 除以 10 ... 111110: 除以 62 111111: 除以 63
15:14	Reserved	保留，必须保持复位值
13:8	PLL2BDIV[5:0]	PLL2B 分频器值。 将 PLL2 分频配置为 PLL2B。 000000: 不允许设置 000001: 除以 1 (旁路) 000010: 除以 2 000011: 除以 3 000100: 除以 4 000101: 除以 5 000110: 除以 6 000111: 除以 7 001000: 除以 8 001001: 除以 9 001010: 除以 10 ... 111110: 除以 62 111111: 除以 63
7:6	Reserved	保留，必须保持复位值
5:0	PLL2ADIV[5:0]	PLL2A 分频器值。 将 PLL2 分频配置为 PLL2A。

位域	名称	描述
		000000: 不允许设置 000001: 除以 1 (旁路) 000010: 除以 2 000011: 除以 3 000100: 除以 4 000101: 除以 5 000110: 除以 6 000111: 除以 7 001000: 除以 8 001001: 除以 9 001010: 除以 10 ... 111110: 除以 62 111111: 除以 63

#### 4.5.14 PLL3 时钟分频寄存器(RCC\_PLL3DIV)

偏移地址: 0x003C

复位值: 0x0002\_0202



位域	名称	描述
31:22	Reserved	保留, 必须保持复位值
21:16	PLL3CDIV[5:0]	PLL3C 分频器值。 将 PLL3 分频配置为 PLL3C。 000000: 不允许设置 000001: 除以 1 (旁路) 000010: 除以 2 000011: 除以 3 000100: 除以 4 000101: 除以 5 000110: 除以 6 000111: 除以 7

位域	名称	描述
		001000: 除以 8 001001: 除以 9 001010: 除以 10 ... 111110: 除以 62 111111: 除以 63
15:14	Reserved	保留, 必须保持复位值
13:8	PLL3BDIV[5:0]	PLL3B 分频器值。 将 PLL3 分频配置为 PLL3B。 000000: 不允许设置 000001: 除以 1 (旁路) 000010: 除以 2 000011: 除以 3 000100: 除以 4 000101: 除以 5 000110: 除以 6 000111: 除以 7 001000: 除以 8 001001: 除以 9 001010: 除以 10 ... 111110: 除以 62 111111: 除以 63
7:6	Reserved	保留, 必须保持复位值
5:0	PLL3ADIV[5:0]	PLL3A 分频器值。 将 PLL3 分频配置为 PLL3A。 000000: 不允许设置 000001: 除以 1 (旁路) 000010: 除以 2 000011: 除以 3 000100: 除以 4 000101: 除以 5 000110: 除以 6 000111: 除以 7 001000: 除以 8 001001: 除以 9 001010: 除以 10 ... 111110: 除以 62 111111: 除以 63

### 4.5.15 系统总线分频寄存器 1(RCC\_SYSBUSDIV1)

偏移地址：0x0040

复位值：0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				AXIHYPDIV[3:0]				HSIDIV[3:0]				M7HYPDIV[3:0]			
				rw				rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AXIDIV[3:0]				BUSDIV[3:0]				MSIDIV[3:0]				SCLKDIV[3:0]			
rw				rw				rw				rw			

位域	名称	描述
31:28	Reserved	保留，必须保持复位值
27:24	AXIHYPDIV[3:0]	AXI 时钟 Hyper 模式分频器值。 通过对 m7_hyp_div_clk 进行分频获得。  0000：除以 1 0001：除以 2 0010：除以 4 0100：除以 8 0111：除以 16 1000：除以 32 1001：除以 64 1010：除以 128 1011：除以 256 1100：除以 512 其他值：不允许设置
23:20	HSIDIV[3:0]	HSI 时钟分频值。 通过对 HSI 时钟进行分频获得。  <i>注意：HSI 作 PLL 时钟源时固定为 64MHz，HSI 作其他时钟源时需要经过此分频器。</i>  0000：1 分频 0001：2 分频 0010：4 分频

位域	名称	描述
		0100: 8 分频 0111: 16 分频 1000: 32 分频 1001: 64 分频 1010: 128 分频 1011: 256 分频 1100: 512 分频 其他值: 不允许设置
19:16	M7HYPDIV[3:0]	M7 时钟超级模式分频器值。 将 PLL2A 分频配置为 m7_hyp_div_clk。 0000: 1 分频 0001: 2 分频 0010: 4 分频 0100: 8 分频 0111: 16 分频 1000: 32 分频 1001: 64 分频 1010: 128 分频 1011: 256 分频 1100: 512 分频 其他值: 不允许设置
15:12	AXIDIV[3:0]	AXI 时钟分频器值。 通过对 sys_div_clk 进行分频获得。 0000: 除以 1 0001: 除以 2 0010: 除以 4 0100: 除以 8 0111: 除以 16 1000: 除以 32 1001: 除以 64

位域	名称	描述
		1010: 除以 128 1011: 除以 256 1100: 除以 512 其他值: 不允许设置
11:8	BUSDIV[3:0]	系统总线时钟分频器值。 将 sys_div_clk 分频配置为 sys_bus_div_clk。 0000: 除以 1 0001: 除以 2 0010: 除以 4 0100: 除以 8 0111: 除以 16 1000: 除以 32 1001: 除以 64 1010: 除以 128 1011: 除以 256 1100: 除以 512 其他值: 不允许设置系统总线时钟分频器值。 将 sys_div_clk 分频配置为 sys_bus_div_clk。 0000: 除以 1 0001: 除以 2 0010: 除以 4 0100: 除以 8 0111: 除以 16 1000: 除以 32 1001: 除以 64 1010: 除以 128 1011: 除以 256 1100: 除以 512 其他值: 不允许设置
7:4	MSIDIV[3:0]	MSI 时钟分频值。

位域	名称	描述
		<p>通过分频 MSI 时钟获得。</p> <p><i>注意：MSI 作 PLL 时钟源时固定为 64MHz，MSI 作其他时钟源时需要经过此分频器。</i></p> <p>0000：1 分频</p> <p>0001：2 分频</p> <p>0010：4 分频</p> <p>0100：8 分频</p> <p>0111：16 分频</p> <p>1000：32 分频</p> <p>1001：64 分频</p> <p>1010：128 分频</p> <p>1011：256 分频</p> <p>1100：512 分频</p> <p>其他值：不允许设置</p>
3:0	SCLKDIV[3:0]	<p>系统时钟分频器值。</p> <p>将 sys_clk 分频配置为 sys_div_clk。</p> <p>0000：除以 1</p> <p>0001：除以 2</p> <p>0010：除以 4</p> <p>0100：除以 8</p> <p>0111：除以 16</p> <p>1000：除以 32</p> <p>1001：除以 64</p> <p>1010：除以 128</p> <p>1011：除以 256</p> <p>1100：除以 512</p> <p>其他值：不允许设置</p>

#### 4.5.16 系统总线分频寄存器 2(RCC\_SYSBUSDIV2)

偏移地址：0x0044

复位值：0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				APB6DIV[2:0]				Reserved				APB5DIV[2:0]			
				rw								rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				APB2DIV[2:0]				Reserved				APB1DIV[2:0]			
				rw								rw			

位域	名称	描述
31:27	Reserved	保留，必须保持复位值
26:24	APB6DIV[2:0]	APB6 时钟分频器值。 将 AHB6 时钟分频配置为 APB6 时钟。 000: 除以 1 100: 除以 2 101: 除以 4 110: 除以 8 111: 除以 16
23:19	Reserved	保留，必须保持复位值
18:16	APB5DIV[2:0]	APB5 时钟分频器值。 将 AHB5 时钟分频配置为 APB5 时钟。 000: 除以 1 100: 除以 2 101: 除以 4 110: 除以 8 111: 除以 16
15:11	Reserved	保留，必须保持复位值
10:8	APB2DIV[2:0]	APB2 时钟分频值。 配置 AHB2 时钟分频值以匹配 APB2 时钟。 000: 1 分频 100: 2 分频 101: 4 分频 110: 8 分频

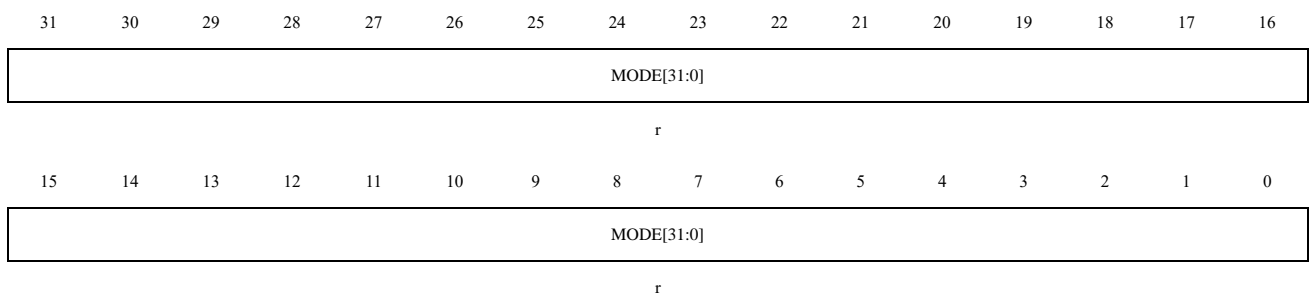


位域	名称	描述
		111: 16 分频
7:3	Reserved	保留, 必须保持复位值
2:0	APB1DIV[2:0]	APB1 时钟分频值。 配置 AHB1 时钟分频值以适应 APB1 时钟。 000: 1 分频 100: 2 分频 101: 4 分频 110: 8 分频 111: 16 分频

#### 4.5.17 BOOT 模式寄存器(RCC\_BOOTMODE)

偏移地址: 0x0048

复位值: 0x0000\_0000

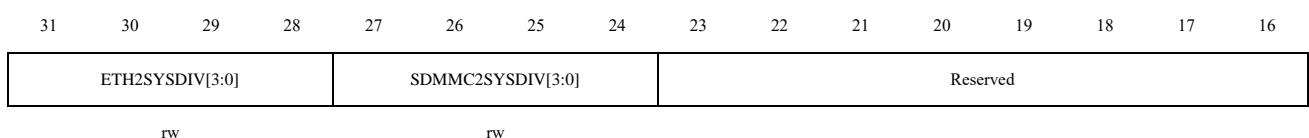


位域	名称	描述
[31:0]	MODE[31:0]	当 flowdone 信号为高电平时, 来自系统管理单元(SMU)的启动模式值将写入此寄存器。 0: 内部启动 (闪存), 可以是 SIP (硅片封装) 闪存或外部闪存 1: 串行下载器, 将程序映像从选定的串行端口下载到 SRAM 中并从 SRAM 执行

#### 4.5.18 AHB1 外设时钟分频寄存器 1(RCC\_AHB1DIV1)

偏移地址: 0x004C

复位值: 0x0000\_0000



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved
----------

位域	名称	描述
31:28	ETH2SYSDIV[3:0]	以太网 2 系统时钟预分频值。 0000: 除以 1 0001: 除以 2 0010: 除以 4 0100: 除以 8 0111: 除以 16 1000: 除以 32 1001: 除以 64 1010: 除以 128 1011: 除以 256 1100: 除以 512 其他值: 不允许设置
27:24	SDMMC2SYSDIV[3:0]	SDMMC2 系统时钟预分频值。 0000: 除以 1 0001: 除以 2 0010: 除以 4 0100: 除以 8 0111: 除以 16 1000: 除以 32 1001: 除以 64 1010: 除以 128 1011: 除以 256 1100: 除以 512 其他值: 不允许设置
23:0	Reserved	保留, 必须保持复位值

#### 4.5.19 AHB1 外设时钟分频寄存器 2(RCC\_AHB1DIV2)

偏移地址: 0x0194

复位值: 0x000\_0202

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved	ADC3SYSDIV[5:0]
----------	-----------------

rw

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	ADC2SYSDIV[5:0]	Reserved	ADC1SYSDIV[5:0]
----------	-----------------	----------	-----------------

位域	名称	描述
31:22	Reserved	保留，必须保持复位值
21:16	ADC3SYSDIV[5:0]	ADC3 系统时钟预分频值。 000001: 除以 1 (旁路) 000010: 除以 2 000011: 除以 3 000100: 除以 4 000101: 除以 5 000110: 除以 6 000111: 除以 7 001000: 除以 8 001001: 除以 9 001010: 除以 10 ... 111110: 除以 62 111111: 除以 63
15:14	Reserved	保留，必须保持复位值
13:8	ADC2SYSDIV[5:0]	ADC2 系统时钟预分频值。 000001: 除以 1 (旁路) 000010: 除以 2 000011: 除以 3 000100: 除以 4 000101: 除以 5 000110: 除以 6 000111: 除以 7 001000: 除以 8 001001: 除以 9 001010: 除以 10 ... 111110: 除以 62

位域	名称	描述
		111111: 除以 63
7:6	Reserved	保留, 必须保持复位值
5:0	ADC1SYSDIV[5:0]	ADC1 系统时钟预分频值。 000001: 除以 1 (旁路) 000010: 除以 2 000011: 除以 3 000100: 除以 4 000101: 除以 5 000110: 除以 6 000111: 除以 7 001000: 除以 8 001001: 除以 9 001010: 除以 10 ... 111110: 除以 62 111111: 除以 63

#### 4.5.20 AHB1 外设时钟源选择寄存器 1(RCC\_AHB1SEL1)

偏移地址: 0x0050

复位值: 0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved										ETH2PTPSEL[1:0]		Reserved			
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDMMC2KERSEL[2:0]		Reserved		ADC3PLLSEL[1:0]		Reserved		ADC2PLLSEL[1:0]		Reserved		ADC1PLLSEL[1:0]			
rw				rw				rw				rw			

位域	名称	描述
31:22	Reserved	保留, 必须保持复位值
21:20	ETH2PTPSEL[1:0]	ETH2 PTP 时钟选择。

位域	名称	描述
		00: 选择分频系统总线时钟作为 ETH2 PTP 时钟 01: 选择外设时钟作为 ETH2 PTP 时钟 10: 选择 PLL2_C 时钟作为 ETH2 PTP 时钟 11: 选择 PLL3_A 时钟作为 ETH2 PTP 时钟
19:15	Reserved	保留, 必须保持复位值
14:12	SDMMC2KERSEL[2:0]	SDMMC2 内核时钟选择。 000: 选择系统总线时钟作为 SDMMC2 内核时钟 001: 选择外设时钟作为 SDMMC2 内核时钟 010: 选择 PLL2_A 时钟作为 SDMMC2 内核时钟 011: 选择 PLL3_A 时钟作为 SDMMC2 内核时钟 100: 选择 PLL1_B 时钟作为 SDMMC2 内核时钟 其他值: 不允许设置
11:10	Reserved	保留, 必须保持复位值
9:8	ADC3PLLSEL[1:0]	ADC3 PLL 时钟选择 00: 选择 PLL2_B 时钟作为 ADC3 PLL 时钟 01: 选择 PLL1_B 时钟作为 ADC3 PLL 时钟 10: 选择 PLL3_B 时钟作为 ADC3 PLL 时钟 11: 选择 PLL3_C 时钟作为 ADC3 PLL 时钟
7:6	Reserved	保留, 必须保持复位值
5:4	ADC2PLLSEL[1:0]	ADC2 PLL 时钟选择 00: 选择 PLL2_B 时钟作为 ADC2 PLL 时钟 01: 选择 PLL1_B 时钟作为 ADC2 PLL 时钟 10: 选择 PLL3_B 时钟作为 ADC2 PLL 时钟 11: 选择 PLL3_C 时钟作为 ADC2 PLL 时钟
3:2	Reserved	保留, 必须保持复位值
1:0	ADC1PLLSEL[1:0]	ADC1 PLL 时钟选择 00: 选择 PLL2_B 时钟作为 ADC1 PLL 时钟 01: 选择 PLL1_B 时钟作为 ADC1 PLL 时钟 10: 选择 PLL3_B 时钟作为 ADC1 PLL 时钟

位域	名称	描述
		11: 选择 PLL3_C 时钟作为 ADC1 PLL 时钟

#### 4.5.21 AHB1 外设时钟使能寄存器 1(RCC\_AHB1EN1)

偏移地址: 0x0054

复位值: 0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M7SDMMC2EN	M4SDMMC2EN	M7SDMMC2LPEN	M4SDMMC2LPEN	Reserved				M7USB2EN	M4USB2EN	M7USB2LPEN	M4USB2LPEN	M7DMAMUX1EN	M4DMAMUX1EN	M7DMAMUX1LPEN	M4DMAMUX1LPEN
rw	rw	rw	rw					rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
M7ADC1P1LEN	M4ADC1P1LEN	M7ADC1P1LLPEN	M4ADC1P1LLPEN	M7ADC1SYSEN	M4ADC1SYSEN	M7ADC1SYSLPEN	M4ADC1SYSLPEN	Reserved				M7ADC1BUSEN	M4ADC1BUSEN	M7ADC1BUSLPEN	M4ADC1BUSLPEN
rw	rw	rw	rw	rw	rw	rw	rw					rw	rw	rw	rw

位域	名称	描述
31	M7SDMMC2EN	SDMMC2 M7 分配和时钟使能。 由软件设置和清除。 0: SDMMC2 未分配给 M7。在 M7 运行模式下, sdmmc2_gated_ker_clk 和 sdmmc2_gated_hclk 被禁用。 1: SDMMC2 已分配给 M7。在 M7 运行模式下, sdmmc2_gated_ker_clk 和 sdmmc2_gated_hclk 被启用。
30	M4SDMMC2EN	SDMMC2 M4 分配和时钟使能。 由软件设置和清除。 0: SDMMC2 未分配给 M4。在 M4RUN 模式下, sdmmc2_gated_ker_clk 和 sdmmc2_gated_hclk 被禁用。 1: SDMMC2 已分配给 M4。在 M4RUN 模式下, sdmmc2_gated_ker_clk 和 sdmmc2_gated_hclk 被启用。
29	M7SDMMC2LPEN	SDMMC2 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, sdmmc2_gated_ker_clk 和 sdmmc2_gated_hclk 时钟禁用。 1: 在 M7 休眠和停止模式下, sdmmc2_gated_ker_clk 使能。在 M7 休眠模式下, sdmmc2_gated_hclk 使能。 注: 在使能此位之前, 应先使能 M7SDMMC2EN 位, 否则此位无效。
28	M4SDMMC2LPEN	SDMMC2 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 休眠和停止模式下, sdmmc2_gated_ker_clk 和 sdmmc2_gated_hclk 时钟禁用。 1: 在 M4 休眠和停止模式下, sdmmc2_gated_ker_clk 时钟使能。在 M4 休眠模式下, sdmmc2_gated_hclk 时钟使能。 注: 应先使能 M4SDMMC2EN 位, 然后再使能此位, 否则此位无效。

位域	名称	描述
27:24	Reserved	保留，必须保持复位值
23	M7USB2EN	USB2 M7 分配和时钟使能。 由软件设置和清除。 0: USB2 未分配给 M7。在 M7 运行模式下，usb2_gated_hclk 被禁用。 1: USB2 已分配给 M7。在 M7 运行模式下，usb2_gated_hclk 被启用。
22	M4USB2EN	USB2 M4 分配和时钟使能。 由软件设置和清除。 0: USB2 未分配给 M4。在 M4 运行模式下，usb2_gated_hclk 被禁用。 1: USB2 已分配给 M4。在 M4 运行模式下，usb2_gated_hclk 被启用。
21	M7USB2LPEN	USB2 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下，usb2_gated_hclk 时钟禁用。 1: 在 M7 休眠模式下，usb2_gated_hclk 时钟使能。 注意：应先使能 M7USB2EN 位，然后再使能此位，否则此位无效。
20	M4USB2LPEN	USB2 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 休眠和停止模式下，usb2_gated_hclk 时钟禁用。 1: 在 M4 休眠模式下，usb2_gated_hclk 时钟使能。 注意：应先使能 M4USB2EN 位，然后再使能此位，否则此位无效。
19	M7DMAMUX1EN	DMAMUX1 M7 分配和时钟使能。 由软件设置和清除。 0: DMAMUX1 未分配给 M7。在 M7 运行模式下，dma_mux1_gated_hclk 被禁用。 1: DMAMUX1 已分配给 M7。在 M7 运行模式下，dma_mux1_gated_hclk 被启用。
18	M4DMAMUX1EN	DMAMUX1 M4 分配和时钟使能。 由软件设置和清除。 0: DMAMUX1 未分配给 M4。在 M4 运行模式下，dma_mux1_gated_hclk 被禁用。 1: DMAMUX1 已分配给 M4。在 M4 运行模式下，dma_mux1_gated_hclk 被启用。
17	M7DMAMUX1LPEN	DMAMUX1 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下，dma_mux1_gated_hclk 时钟禁用。 1: 在 M7 休眠模式下，dma_mux1_gated_hclk 时钟使能。 注意：应先使能 M7DMAMUX1EN 位，然后再使能此位，否则此位无效。
16	M4DMAMUX1LPEN	DMAMUX1 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 睡眠和停止模式下，dma_mux1_gated_hclk 时钟禁用。 1: 在 M4 睡眠模式下，dma_mux1_gated_hclk 时钟使能。 注意：应先使能 M4DMAMUX1EN 位，然后再使能此位，否则此位无效。
15	M7ADC1PLEN	ADC1PLL M7 分配和时钟使能。 由软件置位和清除。 0: ADC1PLL 未分配给 M7。在 M7 运行模式下，adc1_pll_div_gated_clk 禁用。 1: ADC1PLL 已分配给 M7。在 M7 运行模式下，adc1_pll_div_gated_clk 使能。
14	M4ADC1PLEN	ADC1PLL M4 分配和时钟使能。

位域	名称	描述
		由软件置位和清除。 0: ADC1PLL 未分配给 M4。在 M4 运行模式下, adc1_pll_div_gated_clk 禁用。 1: ADC1PLL 已分配给 M4。在 M4 运行模式下, adc1_pll_div_gated_clk 使能。
13	M7ADC1PLLLPEN	ADC1PLL M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下, adc1_pll_div_gated_clk 时钟禁用。 1: 在 M7 休眠和停止模式下, adc1_pll_div_gated_clk 时钟使能。 注意: 在使能此位之前, 应先使能 M7ADC1PLEN 位, 否则此位无效。
12	M4ADC1PLLLPEN	ADC1PLL M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下, adc1_pll_div_gated_clk 时钟禁用。 1: 在 M4 休眠和停止模式下, adc1_pll_div_gated_clk 时钟使能。 注意: 在使能此位之前, 应先使能 M4ADC1PLEN 位, 否则此位无效。
11	M7ADC1SYSEN	ADC1SYS M7 分配和时钟使能。 由软件置位和清除。 0: ADC1SYS 未分配给 M7。在 M7 运行模式下, adc1_sys_div_gated_clk 禁用。 1: ADC1SYS 已分配给 M7。在 M7 运行模式下, adc1_sys_div_gated_clk 使能。
10	M4ADC1SYSEN	ADC1SYS M4 分配和时钟使能。 由软件置位和清除。 0: ADC1SYS 未分配给 M4。在 M4 运行模式下, adc1_sys_div_gated_clk 禁用。 1: ADC1SYS 已分配给 M4。在 M4 运行模式下, adc1_sys_div_gated_clk 使能。
9	M7ADC1SYSLPEN	ADC1SYS M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下, adc1_sys_div_gated_clk 时钟禁用。 1: 在 M7 休眠和停止模式下, adc1_sys_div_gated_clk 时钟使能。 注: 在使能此位之前, 应先使能 M7ADC1SYSEN 位, 否则此位无效。
8	M4ADC1SYSLPEN	ADC1SYS M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下, adc1_sys_div_gated_clk 时钟禁用。 1: 在 M4 休眠和停止模式下, adc1_sys_div_gated_clk 时钟使能。 注: 在使能此位之前, 应先使能 M4ADC1SYSEN 位, 否则此位无效。
7:4	Reserved	保留, 必须保持复位值
3	M7ADC1BUSEN	ADC1BUS M7 分配和时钟使能。 由软件置位和清除。 0: ADC1BUS 未分配给 M7。在 M7 运行模式下, adc1_gated_hclk 被禁用。 1: ADC1BUS 已分配给 M7。在 M7 运行模式下, adc1_gated_hclk 被使能。
2	M4ADC1BUSEN	ADC1BUS M4 分配和时钟使能。 由软件置位和清除。 0: ADC1BUS 未分配给 M4。M4 运行模式下, adc1_gated_hclk 禁用。 1: ADC1BUS 已分配给 M4。M4 运行模式下, adc1_gated_hclk 使能。
1	M7ADC1BUSLPEN	ADC1BUS M7 低功耗时钟使能。 由软件置位和清除。



位域	名称	描述
		0: 在 M7 休眠和停止模式下, adc1_gated_hclk 时钟禁用。 1: 在 M7 休眠模式下, adc1_gated_hclk 时钟使能。 注意: 在使能此位之前, 应先使能 M7ADC1BUSEN 位, 否则此位无效。
0	M4ADC1BUSLPEN	ADC1BUS M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下, adc1_gated_hclk 时钟禁用。 1: 在 M4 休眠模式下, adc1_gated_hclk 时钟使能。 注意: 在使能此位之前, 应先使能 M4ADC1BUSEN 位, 否则此位无效。

## 4.5.22 AHB1 外设时钟使能寄存器 2(RCC\_AHB1EN2)

偏移地址: 0x0058

复位值: 0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				M7ETH2TXEN	M4ETH2TXEN	M7ETH2TXLPEN	M4ETH2TXLPEN	M7ETH2RXEN	M4ETH2RXEN	M7ETH2RXLPEN	M4ETH2RXLPEN	M7ETH2MxACEN	M4ETH2MxACEN	M7ETH2MxACLPEN	M4ETH2MxACLPEN
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:12	Reserved	保留, 必须保持复位值
11	M7ETH2TXEN	ETH2TX M7 分配和时钟使能。 由软件设置和清除。 0: ETH2TX 未分配给 M7。在 M7 运行模式下, eth2_mii_tx_gated_clk 被禁用。 1: ETH2TX 已分配给 M7。在 M7 运行模式下, eth2_mii_tx_gated_clk 被启用。
10	M4ETH2TXEN	ETH2TX M4 分配和时钟使能。 由软件设置和清除。 0: ETH2TX 未分配给 M4。eth2_mii_tx_gated_clk 在 M4 运行模式下禁用。 1: ETH2TX 已分配给 M4。eth2_mii_tx_gated_clk 在 M4 运行模式下使能。
9	M7ETH2TXLPEN	ETH2TX M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, eth2_mii_tx_gated_clk 时钟禁用。

位域	名称	描述
		1: 在 M7 休眠和停止模式下, eth2_mii_tx_gated_clk 时钟使能。 注: 应先使能 M7ETH2TXEN 位, 然后再使能此位, 否则此位无效。
8	M4ETH2TXLPEN	ETH2TX M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 休眠和停止模式下, eth2_mii_tx_gated_clk 时钟禁用。 1: 在 M4 休眠和停止模式下, eth2_mii_tx_gated_clk 时钟使能。 注: 应先使能 M4ETH2TXEN 位, 然后再使能此位, 否则此位无效。
7	M7ETH2RXEN	ETH2RX M7 分配和时钟使能。 由软件设置和清除。 0: ETH2RX 未分配给 M7。在 M7 运行模式下, eth2_mii_rx_gated_clk 被禁用。 1: ETH2RX 已分配给 M7。在 M7 运行模式下, eth2_mii_rx_gated_clk 被启用。
6	M4ETH2RXEN	ETH2RX M4 分配和时钟使能。 由软件设置和清除。 0: ETH2RX 未分配给 M4。在 M4 运行模式下, eth2_mii_rx_gated_clk 被禁用。 1: ETH2RX 已分配给 M4。在 M4 运行模式下, eth2_mii_rx_gated_clk 被启用。
5	M7ETH2RXLPEN	ETH2RX M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, eth2_mii_rx_gated_clk 时钟禁用。 1: 在 M7 休眠和停止模式下, eth2_mii_rx_gated_clk 时钟使能。 注意: 应先使能 M7ETH2RXEN 位, 然后再使能此位, 否则此位无效。
4	M4ETH2RXLPEN	ETH2RX M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 休眠和停止模式下, eth2_mii_rx_gated_clk 时钟禁用。 1: 在 M4 休眠和停止模式下, eth2_mii_rx_gated_clk 时钟使能。 注意: 应先使能 M4ETH2RXEN 位, 然后再使能此位, 否则此位无效。
3	M7ETH2MACEN	ETH2MAC M7 分配和时钟使能。 由软件设置和清除。 0: ETH2MAC 未分配给 M7。在 M7 运行模式下, eth2_gated_hclk 和 eth2_ptp_gated_clk 被禁用。

位域	名称	描述
		1: ETH2MAC 已分配给 M7。在 M7 运行模式下, eth2_gated_hclk 和 eth2_ptp_gated_clk 被启用。
2	M4ETH2MACEN	ETH2MAC M4 分配和时钟使能。 由软件设置和清除。 0: ETH2MAC 未分配给 M4。在 M4 运行模式下, eth2_gated_hclk 和 eth2_ptp_gated_clk 被禁用。 1: ETH2MAC 已分配给 M4。在 M4 运行模式下, eth2_gated_hclk 和 eth2_ptp_gated_clk 被启用。
1	M7ETH2MACLPEN	ETH2MAC M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, eth2_gated_hclk 和 eth2_ptp_gated_clk 时钟禁用。 1: 在 M7 休眠模式下, eth2_gated_hclk 使能。在 M7 休眠和停止模式下, eth2_ptp_gated_clk 使能。 注意: 在使能此位之前, 应先使能 M7ETH2MACEN 位, 否则此位无效。
0	M4ETH2MACLPEN	ETH2MAC M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 休眠和停止模式下, eth2_gated_hclk 和 eth2_ptp_gated_clk 时钟禁用。 1: 在 M4 休眠模式下, eth2_gated_hclk 使能。在 M4 休眠和停止模式下, eth2_ptp_gated_clk 使能。 注意: 在使能此位之前, 应先使能 M4ETH2MACEN 位, 否则此位无效。

### 4.5.23 AHB1 外设时钟使能寄存器 3(RCC\_AHB1EN3)

偏移地址: 0x005C

复位值: 0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				M7ECCM ACEN	M4ECCM ACEN	M7ECCM ACLPEN	M4ECCM ACLPEN	Reserved				M7DMA1 EN	M4DMA1 EN	M7DMA1 LPEN	M4DMA1 LPEN
				rw	rw	rw	rw					rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				M7DMA2 EN	M4DMA2 EN	M7DMA2 LPEN	M4DMA2 LPEN	Reserved				M7DMA3 EN	M4DMA3 EN	M7DMA3 LPEN	M4DMA3 LPEN
				rw	rw	rw	rw					rw	rw	rw	rw

位域	名称	描述
31:12	Reserved	保留，必须保持复位值
27	M7ECCMACEN	ECCMON_AHBCACHE M7 分配和时钟使能。 由软件置位和清除。 0: ECCMON_AHBCACHE 未分配给 M7。在 M7 运行模式下，eccmon_ahbcache_gated_hclk 被禁用。 1: ECCMON_AHBCACHE 已分配给 M7。在 M7 运行模式下，eccmon_ahbcache_gated_hclk 被启用。
26	M4ECCMACEN	ECCMON_AHBCACHE M4 分配和时钟使能。 由软件置位和清除。 0: ECCMON_AHBCACHE 未分配给 M4。在 M4 运行模式下，eccmon_ahbcache_gated_hclk 被禁用。 1: ECCMON_AHBCACHE 已分配给 M4。在 M4 运行模式下，eccmon_ahbcache_gated_hclk 被启用。
25	M7ECCMACLPEN	ECCMON_AHBCACHE M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下，eccmon_ahbcache_gated_hclk 禁用。 1: 在 M7 休眠模式下，eccmon_ahbcache_gated_hclk 使能。 注意：在使能此位之前，应先使能 M7ECCMACEN 位，否则此位无效。
24	M4ECCMACLPEN	ECCMON_AHBCACHE M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下，eccmon_ahbcache_gated_hclk 禁用。 1: 在 M4 休眠模式下，eccmon_ahbcache_gated_hclk 使能。 注意：在使能此位之前，应先使能 M4ECCMACEN 位，否则此位无效。
23:20	Reserved	保留，必须保持复位值
19	M7DMA1EN	DMA1 M7 分配和时钟使能。 由软件设置和清除。 0: DMA1 未分配给 M7。在 M7 运行模式下，dma1_gated_hclk 被禁用。 1: DMA1 已分配给 M7。在 M7 运行模式下，dma1_gated_hclk 被启用。
18	M4DMA1EN	DMA1 M4 分配和时钟使能。 由软件设置和清除。

位域	名称	描述
		0: DMA1 未分配给 M4。在 M4 运行模式下, dma1_gated_hclk 被禁用。 1: DMA1 已分配给 M4。在 M4 运行模式下, dma1_gated_hclk 被启用。
17	M7DMA1LPEN	DMA1 M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下, dma1_gated_hclk 禁用。 1: 在 M7 休眠模式下, dma1_gated_hclk 使能。 注意: 在使能此位之前, 应先使能 M7DMA1EN 位, 否则此位无效。
16	M4DMA1LPEN	DMA1 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 休眠和停止模式下, dma1_gated_hclk 禁用。 1: 在 M4 休眠模式下, dma1_gated_hclk 使能。 注意: 在使能此位之前, 应先使能 M4DMA1EN 位, 否则此位无效。
15:12	Reserved	保留, 必须保持复位值
11	M7DMA2EN	DMA2 M7 分配和时钟使能。 由软件设置和清除。 0: DMA2 未分配给 M7。在 M7 运行模式下, dma2_gated_hclk 被禁用。 1: DMA2 已分配给 M7。在 M7 运行模式下, dma2_gated_hclk 被启用。
10	M4DMA2EN	DMA2 M4 分配和时钟使能。 由软件设置和清除。 0: DMA2 未分配给 M4。在 M4 运行模式下, dma2_gated_hclk 被禁用。 1: DMA2 已分配给 M4。在 M4 运行模式下, dma2_gated_hclk 被启用。
9	M7DMA2LPEN	DMA2 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, dma2_gated_hclk 禁用。 1: 在 M7 休眠模式下, dma2_gated_hclk 使能。 注: 在使能此位之前, 应先使能 M7DMA2EN 位, 否则此位无效。
8	M4DMA2LPEN	DMA2 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 休眠和停止模式下, dma2_gated_hclk 禁用。

位域	名称	描述
		1: 在 M4 休眠模式下, dma2_gated_hclk 使能。 注: 在使能此位之前, 应先使能 M4DMA2EN 位, 否则此位无效。
7:4	Reserved	保留, 必须保持复位值
3	M7DMA3EN	DMA3 M7 分配和时钟使能。 由软件设置和清除。 0: DMA3 未分配给 M7。在 M7 运行模式下, dma3_gated_hclk 被禁用。 1: DMA3 已分配给 M7。在 M7 运行模式下, dma3_gated_hclk 被启用。
2	M4DMA3EN	DMA3M4 分配和时钟使能。 由软件设置和清除。 0: DMA3 未分配给 M4。在 M4 运行模式下, dma3_gated_hclk 被禁用。 1: DMA3 已分配给 M4。在 M4 运行模式下, dma3_gated_hclk 被启用。
1	M7DMA3LPEN	DMA3 M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下, dma3_gated_hclk 禁用。 1: 在 M7 休眠模式下, dma3_gated_hclk 使能。 注: 在使能此位之前, 应先使能 M7DMA3EN 位, 否则此位无效。
0	M4DMA3LPEN	DMA3 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 休眠和停止模式下, dma3_gated_hclk 禁用。 1: 在 M4 休眠模式下, dma3_gated_hclk 使能。 注意: 应先使能 M4DMA3EN 位, 然后再使能此位, 否则此位无效。

#### 4.5.24 AHB1 外设时钟使能寄存器 4(RCC\_AHB1EN4)

偏移地址: 0x0060

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
M7ADC2P LLEN	M4ADC2P LLEN	M7ADC2P LLLLEN	M4ADC2P LLLLEN	M7ADC2S YSEN	M4ADC2S YSEN	M7ADC2S YSLPEN	M4ADC2S YSLPEN	Reserved					M7ADC2B USEN	M4ADC2B USEN	M7ADC2B USLPEN	M4ADC2B USLPEN
rw	rw	rw	rw	rw	rw	rw	rw						rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

M7ADC3P LLEN	M4ADC3P LLEN	M7ADC3P LLLLEN	M4ADC3P LLLLEN	M7ADC3S YSEN	M4ADC3S YSEN	M7ADC3S YSLPEN	M4ADC3S YSLPEN	Reserved	M7ADC3B USEN	M4ADC3B USEN	M7ADC3B USLPEN	M4ADC3B USLPEN
rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw

位域	名称	描述
31	M7ADC2PPLEN	ADC2PLL M7 分配和时钟使能。 由软件设置和清除。 0: ADC2PLL 未分配给 M7。在 M7 运行模式下, adc2_pll_div_gated_clk 禁用。 1: ADC2PLL 已分配给 M7。在 M7 运行模式下, adc2_pll_div_gated_clk 使能。
30	M4ADC2PPLEN	ADC2PLL M4 分配和时钟使能。 由软件设置和清除。 0: ADC2PLL 未分配给 M4。在 M4 运行模式下, adc2_pll_div_gated_clk 禁用。 1: ADC2PLL 已分配给 M4。在 M4 运行模式下, adc2_pll_div_gated_clk 使能。
29	M7ADC2PLLLPEN	ADC2PLL M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, adc2_pll_div_gated_clk 时钟禁用。 1: 在 M7 休眠和停止模式下, adc2_pll_div_gated_clk 时钟使能。 注: 在使能此位之前, 应先使能 M7ADC2PPLEN 位, 否则此位无效。
28	M4ADC2PLLLPEN	ADC2PLL M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下, adc2_pll_div_gated_clk 时钟禁用。 1: 在 M4 休眠和停止模式下, adc2_pll_div_gated_clk 时钟使能。 注: 在使能此位之前, 应先使能 M4ADC2PPLEN 位, 否则此位无效。
27	M7ADC2SYSEN	ADC2SYS M7 分配和时钟使能。 由软件置位和清除。 0: ADC2SYS 未分配给 M7。在 M7 运行模式下, adc2_sys_div_gated_clk 禁用。 1: ADC2SYS 已分配给 M7。在 M7 运行模式下, adc2_sys_div_gated_clk 使能。
26	M4ADC2SYSEN	ADC2SYS M4 分配和时钟使能。 由软件置位和清除。 0: ADC2SYS 未分配给 M4。在 M4 运行模式下, adc2_sys_div_gated_clk 禁用。 1: ADC2SYS 已分配给 M4。在 M4 运行模式下, adc2_sys_div_gated_clk 使能。
25	M7ADC2SYSLPEN	ADC2SYS M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下, adc2_sys_div_gated_clk 时钟禁用。 1: 在 M7 休眠和停止模式下, adc2_sys_div_gated_clk 时钟使能。 注: 应先使能 M7ADC2SYSEN 位, 然后再使能此位, 否则此位无效。
24	M4ADC2SYSLPEN	ADC2SYS M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下, adc2_sys_div_gated_clk 时钟禁用。 1: 在 M4 休眠和停止模式下, adc2_sys_div_gated_clk 时钟使能。 注: 应先使能 M4ADC2SYSEN 位, 然后再使能此位, 否则此位无效。
23:20	Reserved	保留, 必须保持复位值
19	M7ADC2BUSEN	ADC2BUS M7 分配和时钟使能。

位域	名称	描述
		由软件设置和清除。 0: ADC2BUS 未分配给 M7。在 M7 运行模式下, adc2_gated_hclk 被禁用。 1: ADC2BUS 已分配给 M7。在 M7 运行模式下, adc2_gated_hclk 被启用。
18	M4ADC2BUSEN	ADC2BUS M4 分配和时钟使能。 由软件设置和清除。 0: ADC2BUS 未分配给 M4。在 M4 运行模式下, adc2_gated_hclk 被禁用。 1: ADC2BUS 已分配给 M4。在 M4 运行模式下, adc2_gated_hclk 被启用。
17	M7ADC2BUSLPEN	ADC2BUS M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下, adc2_gated_hclk 时钟禁用。 1: 在 M7 休眠模式下, adc2_gated_hclk 时钟使能。 注: 在使能此位之前, 应先使能 M7ADC2BUSEN 位, 否则此位无效。
16	M4ADC2BUSLPEN	ADC2BUS M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下, adc2_gated_hclk 时钟禁用。 1: 在 M4 休眠模式下, adc2_gated_hclk 时钟使能。 注: 在使能此位之前, 应先使能 M4ADC2BUSEN 位, 否则此位无效。
15	M7ADC3PLEN	ADC3PLL M7 分配和时钟使能。 由软件置位和清除。 0: ADC3PLL 未分配给 M7。在 M7 运行模式下, adc3_pll_div_gated_clk 禁用。 1: ADC3PLL 已分配给 M7。在 M7 运行模式下, adc3_pll_div_gated_clk 使能。
14	M4ADC3PLEN	ADC3PLL M4 分配和时钟使能。 由软件设置和清除。 0: ADC3PLL 未分配给 M4。在 M4 运行模式下, adc3_pll_div_gated_clk 禁用。 1: ADC3PLL 已分配给 M4。在 M4 运行模式下, adc3_pll_div_gated_clk 使能。
13	M7ADC3PLLLPEN	ADC3PLL M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下, adc3_pll_div_gated_clk 时钟禁用。 1: 在 M7 休眠和停止模式下, adc3_pll_div_gated_clk 时钟使能。 注: 在使能此位之前, 应先使能 M7ADC3PLEN 位, 否则此位无效。
12	M4ADC3PLLLPEN	ADC3PLL M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 休眠和停止模式下, adc3_pll_div_gated_clk 时钟禁用。 1: 在 M4 休眠和停止模式下, adc3_pll_div_gated_clk 时钟使能。 注: 应先使能 M4ADC3PLEN 位, 然后再使能此位, 否则此位无效。
11	M7ADC3SYSEN	ADC3SYS M7 分配和时钟使能。 由软件置位和清除。 0: ADC3SYS 未分配给 M7。在 M7 运行模式下, adc3_sys_div_gated_clk 禁用。 1: ADC3SYS 已分配给 M7。在 M7 运行模式下, adc3_sys_div_gated_clk 使能。
10	M4ADC3SYSEN	ADC3SYS M4 分配和时钟使能。 由软件置位和清除。 0: ADC3SYS 未分配给 M4。在 M4 运行模式下, adc3_sys_div_gated_clk 禁用。



位域	名称	描述
		1: ADC3SYS 已分配给 M4。在 M4 运行模式下, adc3_sys_div_gated_clk 使能。
9	M7ADC3SYSLPEN	ADC3SYS M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下, adc3_sys_div_gated_clk 时钟禁用。 1: 在 M7 休眠和停止模式下, adc3_sys_div_gated_clk 时钟使能。 注: 应先使能 M7ADC3SYSEN 位, 然后再使能此位, 否则此位无效。
8	M4ADC3SYSLPEN	ADC3SYS M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下, adc3_sys_div_gated_clk 时钟禁用。 1: 在 M4 休眠和停止模式下, adc3_sys_div_gated_clk 时钟使能。 注: 应先使能 M4ADC3SYSEN 位, 然后再使能此位, 否则此位无效。
7:4	Reserved	保留, 必须保持复位值
3	M7ADC3BUSEN	ADC3BUS M7 分配和时钟使能。 由软件置位和清除。 0: ADC3BUS 未分配给 M7。在 M7 运行模式下, adc3_gated_hclk 被禁用。 1: ADC3BUS 已分配给 M7。在 M7 运行模式下, adc3_gated_hclk 被启用。
2	M4ADC3BUSEN	ADC3BUSM4 分配和时钟使能。 由软件设置和清除。 0: ADC3BUS 未分配给 M4。在 M4 运行模式下, adc3_gated_hclk 被禁用。 1: ADC3BUS 已分配给 M4。在 M4 运行模式下, adc3_gated_hclk 被启用。
1	M7ADC3BUSLPEN	ADC3BUSM7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下, adc3_gated_hclk 时钟禁用。 1: 在 M7 休眠模式下, adc3_gated_hclk 时钟使能。 注: 在使能此位之前, 应先使能 M7ADC3BUSEN 位, 否则此位无效。
0	M4ADC3BUSLPEN	ADC3BUS M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下, adc3_gated_hclk 时钟禁用。 1: 在 M4 休眠模式下, adc3_gated_hclk 时钟使能。 注: 在使能此位之前, 应先使能 M4ADC3BUSEN 位, 否则此位无效。

#### 4.5.25 AHB1 外设复位寄存器 1(RCC\_AHB1RST1)

偏移地址: 0x0064

复位值: 0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		SDMMC2 RST	SDHOST2 RST	Reserved					USB2WR APRST	USB2POR RST	USB2RST	Reserved			DMAMU XIRST
		rw	rw						rw	rw	rw				rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Reserved	ADC1RST
----------	---------

rw

位域	名称	描述
31:30	Reserved	保留，必须保持复位值
29	SDMMC2RST	SDMMC2 配置软复位 0: 清除复位 1: 复位 SDMMC2
28	SDHOST2RST	SDHOST2 软复位 0: 清除复位 1: 复位 SDHOST2
27:23	Reserved	保留，必须保持复位值
22	USB2WRAPRST	USB2 WRAPPER 软复位 0: 清除复位 1: 复位 USB2 WRAPPER
21	USB2PORRST	USB2 POR 软复位 0: 清除复位 1: 复位 USB2 POR
20	USB2RST	USB2 软复位 0: 清除复位 1: 复位 USB2
19:17	Reserved	保留，必须保持复位值
16	DMAMUX1RST	DMA_MUX1 软复位 0: 清除复位 1: 复位 DMA_MUX1
15:1	Reserved	保留，必须保持复位值
0	ADC1RST	ADC1 软复位 0: 清除复位 1: 复位 ADC1

### 4.5.26 AHB1 外设复位寄存器 2(RCC\_AHB1RST2)

偏移地址: 0x0064

复位值: 0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														ETH2RST	
rw															

位域	名称	描述
31:1	Reserved	保留, 必须保持复位值
0	ETH2RST	ETH2 软复位 0: 清除复位 1: 复位 ETH2

### 4.5.27 AHB1 外设复位寄存器 3(RCC\_AHB1RST3)

偏移地址: 0x006C

复位值: 0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved							ECCMAC RST	Reserved							DMA1RS T
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							DMA2RS T	Reserved							DMA3RS T
rw															

位域	名称	描述
31:25	Reserved	保留, 必须保持复位值
24	ECCMACRST	ECCMON_AHBCACHE 软复位 0: 清除复位 1: 复位 ECCMON_AHBCACHE
23:17	Reserved	保留, 必须保持复位值

位域	名称	描述
16	DMA1RST	DMA1 软复位 0: 清除复位 1: 复位 DMA1
15:9	Reserved	保留, 必须保持复位值
8	DMA2RST	DMA2 软复位 0: 清除复位 1: 复位 DMA2
7:1	Reserved	保留, 必须保持复位值
0	DMA3RST	DMA3 软复位 0: 清除复位 1: 复位 DMA3

#### 4.5.28 AHB1 外设复位寄存器 4(RCC\_AHB1RST4)

偏移地址: 0x0070

复位值: 0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved														ADC2RST	
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														ADC3RST	
															rw

位域	名称	描述
31:15	Reserved	保留, 必须保持复位值
16	ADC2RST	ADC2 软复位 0: 清除复位 1: 复位 ADC2
15:1	Reserved	Reserved,theresetvaluemustbemaintained.
0	ADC3RST	ADC3 软复位 0: 清除复位 1: 复位 ADC3

## 4.5.29 APB1 外设时钟分频寄存器 1(RCC\_APB1DIV1)

偏移地址：0x0074

复位值：0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	APB1USARTDIV[2:0]			Reserved	APB1BTIMDIV[2:0]			Reserved			APB1GTIMDIV[2:0]				
rw				rw				rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved					APB1I2SDIV[2:0]			Reserved	APB1FDCANDIV[2:0]			Reserved	APB1I2CDIV[2:0]		
rw					rw			rw			rw				

位域	名称	描述
31	Reserved	保留，必须保持复位值
30:28	APB1USARTDIV[2:0]	APB1 USART1 和 USART2 时钟预分频值。 000: 除以 1 100: 除以 2 101: 除以 4 110: 除以 8 111: 除以 16
27	Reserved	保留，必须保持复位值
26:24	APB1BTIMDIV[2:0]	APB1 BTimer 时钟预分频器值。 000: 除以 1 100: 除以 2 101: 除以 4 110: 除以 8 111: 除以 16
23:19	Reserved	保留，必须保持复位值
18:16	APB1GTIMDIV[2:0]	APB1 GTimer 时钟预分频值。 000: 除以 1 100: 除以 2

位域	名称	描述
		101: 除以 4 110: 除以 8 111: 除以 16
15:11	Reserved	保留, 必须保持复位值
10:8	APB1I2SDIV[2:0]	APB1 I2S 时钟预分频值 当 I2S(n)KERSEL 选择为 2'b00 时生效。 000: 除以 1 100: 除以 2 101: 除以 4 110: 除以 8 111: 除以 16
7	Reserved	保留, 必须保持复位值
6:4	APB1FDCANDIV[2:0]	APB1 FDCAND 时钟预分频值 当 FDCAN(n)KERSEL 选择为 3'b000 时生效 000: 除以 1 100: 除以 2 101: 除以 4 110: 除以 8 111: 除以 16
3	Reserved	保留, 必须保持复位值
2:0	APB1I2CDIV[2:0]	APB1 I2C 时钟预分频值 当 I2C(n)KERSEL 选择为 3'b000 时有效 000: 除以 1 100: 除以 2 101: 除以 4 110: 除以 8 111: 除以 16

### 4.5.30 APB1 外设时钟源选择寄存器 1(RCC\_APB1SEL1)

偏移地址：0x0078

复位值：0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	I2C1KERSEL[2:0]			Reserved	I2C2KERSEL[2:0]			Reserved	I2C3KERSEL[2:0]			Reserved	FDCAN1KERSEL[2:0]		
rw				rw				rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved					FDCAN2KERSEL[2:0]			Reserved					I2S4KERSEL[1:0]		I2S3KERSEL[1:0]
rw						rw				rw		rw			

位域	名称	描述
31	Reserved	保留，必须保持复位值
30:28	I2C1KERSEL[2:0]	I2C 1 内核时钟选择。 000：选择分频系统总线时钟作为 i2c1_ker_gated_clk。 001：选择 PLL3_C 时钟作为 i2c1_ker_gated_clk。 010：选择 HSI 时钟作为 i2c1_ker_gated_clk。 011：选择 MSI 时钟作为 i2c1_ker_gated_clk。 其他值：不允许设置
27	Reserved	保留，必须保持复位值
26:24	I2C2KERSEL[2:0]	I2C 2 内核时钟选择。 000：选择分频系统总线时钟作为 i2c2_ker_gated_clk。 001：选择 PLL3_C 时钟作为 i2c2_ker_gated_clk。 010：选择 HSI 时钟作为 i2c2_ker_gated_clk。 011：选择 MSI 时钟作为 i2c2_ker_gated_clk。 其他值：不允许设置
23	Reserved	保留，必须保持复位值
22:20	I2C3KERSEL[2:0]	I2C 3 内核时钟选择。 000：选择分频系统总线时钟作为 i2c3_ker_gated_clk。 001：选择 PLL3_C 时钟作为 i2c3_ker_gated_clk。 010：选择 HSI 时钟作为 i2c3_ker_gated_clk。 011：选择 MSI 时钟作为 i2c3_ker_gated_clk。 其他值：不允许设置
19	Reserved	保留，必须保持复位值
18:16	FDCAN1KERSEL[2:0]	FDCAN 1 内核时钟选择。 000：选择分频后的系统总线时钟作为 fdcan1_gated_ker_clk。 001：选择 PLL1_C 时钟作为 fdcan1_gated_ker_clk。 010：选择 PLL2_C 时钟作为 fdcan1_gated_ker_clk。 011：选择 PLL3_B 时钟作为 fdcan1_gated_ker_clk。 100：选择外设时钟作为 fdcan1_gated_ker_clk。

位域	名称	描述
		其他值：不允许设置
15:11	Reserved	保留，必须保持复位值
10:8	FDCAN2KERSEL[2:0]	FDCAN 2 内核时钟选择。 000：选择分频系统总线时钟作为 fdcan2_gated_ker_clk。 001：选择 PLL1_C 时钟作为 fdcan2_gated_ker_clk。 010：选择 PLL2_C 时钟作为 fdcan2_gated_ker_clk。 011：选择 PLL3_B 时钟作为 fdcan2_gated_ker_clk。 100：选择外设时钟作为 fdcan2_gated_ker_clk。 其他值：不允许设置
7:4	Reserved	保留，必须保持复位值
3:2	I2S4KERSEL[1:0]	I2S 4 内核时钟选择。 00：分频后的系统总线时钟选择为 i2s4_ker_gated_clk。 01：PLL3_B 时钟选择为 i2s4_ker_gated_clk。 10：HSI 时钟选择为 i2s4_ker_gated_clk。 11：i2s4_ckin_clk（来自 IOM）选择为 i2s4_ker_gated_clk。
1:0	I2S3KERSEL[1:0]	I2S 3 内核时钟选择。 00：分频系统总线时钟选择为 i2s3_ker_gated_clk。 01：PLL3_B 时钟选择为 i2s3_ker_gated_clk。 10：HSI 时钟选择为 i2s3_ker_gated_clk。 11：i2s4_ckin_clk（来自 IOM）选择为 i2s3_ker_gated_clk。

### 4.5.31 APB1 外设时钟源选择寄存器 2(RCC\_APB1SEL2)

偏移地址：0x007C

复位值：0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	FDCAN5KERSEL[2:0]		Reserved			FDCAN6KERSEL[2:0]		Reserved							
		rw				rw									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															

位域	名称	描述
31	Reserved	保留，必须保持复位值
30:28	FDCAN5KERSEL[2:0]	FDCAN5 内核时钟选择。 000：选择分频系统总线时钟作为 fdcan5_gated_ker_clk。 001：选择 PLL1_C 时钟作为 fdcan5_gated_ker_clk。 010：选择 PLL2_C 时钟作为 fdcan5_gated_ker_clk。



位域	名称	描述
		011: 选择 PLL3_B 时钟作为 fdcan5_gated_ker_clk。 100: 选择外设时钟作为 fdcan5_gated_ker_clk。 其他值: 不允许设置
27:21	Reserved	保留, 必须保持复位值
22:20	FDCAN6KERSEL[2:0]	FDCAN6 内核时钟选择。 000: 选择分频系统总线时钟作为 fdcan6_gated_ker_clk。 001: 选择 PLL1_C 时钟作为 fdcan6_gated_ker_clk。 其他值: 不允许设置。 010: 选择 PLL2_C 时钟作为 fdcan6_gated_ker_clk。 011: 选择 PLL3_B 时钟作为 fdcan6_gated_ker_clk。 100: 选择外设时钟作为 fdcan6_gated_ker_clk。 其他值: 不允许设置。
19:0	Reserved	保留, 必须保持复位值

#### 4.5.32 APB1 外设时钟使能寄存器 1(RCC\_APB1EN1)

偏移地址: 0x0080

复位值: 0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M7BTIM1 EN	M4BTIM1 EN	M7BTIM1 LPEN	M4BTIM1 LPEN	M7BTIM2 EN	M4BTIM2 EN	M7BTIM2 LPEN	M4BTIM2 LPEN	M7BTIM3 EN	M4BTIM3 EN	M7BTIM3 LPEN	M4BTIM3 LPEN	M7BTIM4 EN	M4BTIM4 EN	M7BTIM4 LPEN	M4BTIM4 LPEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
M7GTIM B1EN	M4GTIM B1EN	M7GTIM B1LPEN	M4GTIM B1LPEN	M7GTIM B2EN	M4GTIM B2EN	M7GTIM B2LPEN	M4GTIM B2LPEN	M7GTIM B3EN	M4GTIM B3EN	M7GTIM B3LPEN	M4GTIM B3LPEN	M7GTIM A4EN	M4GTIM A4EN	M7GTIM A4LPEN	M4GTIM A4LPEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31	M7BTIM1EN	BTIMER1 M7 分配和时钟使能。 由软件置位和清除。 0: BTIMER1 未分配给 M7。在 M7 运行模式下, btimer1_gated_ker_clk 和 btimer1_gated_pclk 被禁用。 1: BTIMER1 分配给 M7。在 M7 运行模式下, btimer1_gated_ker_clk 和 btimer1_gated_pclk 被使能。
30	M4BTIM1EN	BTIMER1 M4 分配和时钟使能。 由软件置位和清除。

位域	名称	描述
		0: BTIMER1 未分配给 M4。在 M4 运行模式下, btimer1_gated_ker_clk 和 btimer1_gated_pclk 被禁用。 1: BTIMER1 分配给 M4。在 M4 运行模式下, btimer1_gated_ker_clk 和 btimer1_gated_pclk 被使能。
29	M7BTIM1LPEN	BTIMER1 M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下, btimer1_gated_ker_clk 和 btimer1_gated_pclk 时钟禁用。 1: 在 M7 休眠和停止模式下, btimer1_gated_ker_clk 使能。在 M7 休眠模式下, btimer1_gated_pclk 使能。 注: 在使能此位之前, 应先使能 M7BTIM1EN 位, 否则此位无效。
28	M4BTIM1LPEN	BTIMER1 M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下, btimer1_gated_ker_clk 和 btimer1_gated_pclk 时钟禁用。 1: 在 M4 休眠和停止模式下, btimer1_gated_ker_clk 时钟使能。在 M4 休眠模式下, btimer1_gated_pclk 时钟使能。 注: 在使能此位之前, 应先使能 M4BTIM1EN 位, 否则此位无效。
27	M7BTIM2EN	BTIMER2 M7 分配和时钟使能。 由软件置位和清除。 0: BTIMER2 未分配给 M7。在 M7 运行模式下, btimer2_gated_ker_clk 和 btimer2_gated_pclk 被禁用。 1: BTIMER2 分配给 M7。在 M7 运行模式下, btimer2_gated_ker_clk 和 btimer2_gated_pclk 被使能。
26	M4BTIM2EN	BTIMER2 M4 分配和时钟使能。 由软件置位和清除。 0: BTIMER2 未分配给 M4。在 M4 运行模式下, btimer2_gated_ker_clk 和 btimer2_gated_pclk 被禁用。 1: BTIMER2 分配给 M4。在 M4 运行模式下, btimer2_gated_ker_clk 和 btimer2_gated_pclk 被使能。
25	M7BTIM2LPEN	BTIMER2 M7 低功耗时钟使能。 由软件置位和清除。

位域	名称	描述
		0: 在 M7 休眠和停止模式下, btimer2_gated_ker_clk 和 btimer2_gated_pclk 时钟禁用。 1: 在 M7 休眠和停止模式下, btimer2_gated_ker_clk 使能。在 M7 休眠模式下, btimer2_gated_pclk 使能。 注: 在使能此位之前, 应先使能 M7BTIM2EN 位, 否则此位无效。
24	M4BTIM2LPEN	BTIMER2 M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下, btimer2_gated_ker_clk 和 btimer2_gated_pclk 时钟禁用。 1: 在 M4 休眠和停止模式下, btimer2_gated_ker_clk 时钟使能。在 M4 休眠模式下, btimer2_gated_pclk 时钟使能。 注: 在使能此位之前, 应先使能 M4BTIM2EN 位, 否则此位无效。
23	M7BTIM3EN	BTIMER3 M7 分配和时钟使能。 由软件置位和清除。 0: BTIMER3 未分配给 M7。在 M7 运行模式下, btimer3_gated_ker_clk 和 btimer3_gated_pclk 被禁用。 1: BTIMER3 分配给 M7。在 M7 运行模式下, btimer3_gated_ker_clk 和 btimer3_gated_pclk 被使能。
22	M4BTIM3EN	BTIMER3 M4 分配和时钟使能。 由软件置位和清除。 0: BTIMER3 未分配给 M4。在 M4 运行模式下, btimer3_gated_ker_clk 和 btimer3_gated_pclk 被禁用。 1: BTIMER3 分配给 M4。在 M4 运行模式下, btimer3_gated_ker_clk 和 btimer3_gated_pclk 被使能。
21	M7BTIM3LPEN	BTIMER3 M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下, btimer3_gated_ker_clk 和 btimer3_gated_pclk 时钟禁用。 1: 在 M7 休眠和停止模式下, btimer3_gated_ker_clk 使能。在 M7 休眠模式下, btimer3_gated_pclk 使能。 注: 在使能此位之前, 应先使能 M7BTIM3EN 位, 否则此位无效。
20	M4BTIM3LPEN	BTIMER3 M4 低功耗时钟使能。

位域	名称	描述
		<p>由软件置位和清除。</p> <p>0: 在 M4 休眠和停止模式下, btimer3_gated_ker_clk 和 btimer3_gated_pclk 时钟禁用。</p> <p>1: 在 M4 休眠和停止模式下, btimer3_gated_ker_clk 时钟使能。在 M4 休眠模式下, btimer3_gated_pclk 时钟使能。</p> <p>注: 在使能此位之前, 应先使能 M4BTIM3EN 位, 否则此位无效。</p>
19	M7BTIM4EN	<p>BTIMER4 M7 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: BTIMER4 未分配给 M7。在 M7 运行模式下, btimer4_gated_ker_clk 和 btimer4_gated_pclk 被禁用。</p> <p>1: BTIMER4 分配给 M7。在 M7 运行模式下, btimer4_gated_ker_clk 和 btimer4_gated_pclk 被使能。</p>
18	M4BTIM4EN	<p>BTIMER4 M4 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: BTIMER4 未分配给 M4。在 M4 运行模式下, btimer4_gated_ker_clk 和 btimer4_gated_pclk 被禁用。</p> <p>1: BTIMER4 分配给 M4。在 M4 运行模式下, btimer4_gated_ker_clk 和 btimer4_gated_pclk 被使能。</p>
17	M7BTIM4LPEN	<p>BTIMER4 M7 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M7 休眠和停止模式下, btimer4_gated_ker_clk 和 btimer4_gated_pclk 时钟禁用。</p> <p>1: 在 M7 休眠和停止模式下, btimer4_gated_ker_clk 使能。在 M7 休眠模式下, btimer4_gated_pclk 使能。</p> <p>注: 在使能此位之前, 应先使能 M7BTIM4EN 位, 否则此位无效。</p>
16	M4BTIM4LPEN	<p>BTIMER4 M4 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M4 休眠和停止模式下, btimer4_gated_ker_clk 和 btimer4_gated_pclk 时钟禁用。</p> <p>1: 在 M4 休眠和停止模式下, btimer4_gated_ker_clk 时钟使能。在 M4 休眠模式下, btimer4_gated_pclk 时钟使能。</p> <p>注: 在使能此位之前, 应先使能 M4BTIM4EN 位, 否则此位无效。</p>

位域	名称	描述
15	M7GTIMB1EN	<p>GTIMB1 M7 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: GTIMB1 未分配给 M7。在 M7 运行模式下, gtimerb1_gated_ker_clk 和 gtimerb1_gated_pclk 被禁用。</p> <p>1: GTIMB1 分配给 M7。在 M7 运行模式下, gtimerb1_gated_ker_clk 和 gtimerb1_gated_pclk 被使能。</p>
14	M4GTIMB1EN	<p>GTIMB1 M4 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: GTIMB1 未分配给 M4。在 M4 运行模式下, gtimerb1_gated_ker_clk 和 gtimerb1_gated_pclk 被禁用。</p> <p>1: GTIMB1 分配给 M4。在 M4 运行模式下, gtimerb1_gated_ker_clk 和 gtimerb1_gated_pclk 被使能。</p>
13	M7GTIMB1LPEN	<p>GTIMB1 M7 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M7 休眠和停止模式下, 禁用 gtimerb1_gated_ker_clk 和 gtimerb1_gated_pclk 时钟。</p> <p>1: 在 M7 休眠和停止模式下, 使能 gtimerb1_gated_ker_clk。在 M7 休眠模式下, 使能 gtimerb1_gated_pclk。</p> <p>注: 应先使能 M7GTIMB1EN 位, 然后再使能此位, 否则此位无效。</p>
12	M4GTIMB1LPEN	<p>GTIMB1 M4 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M4 休眠和停止模式下, 禁用 gtimerb1_gated_ker_clk 和 gtimerb1_gated_pclk 时钟。</p> <p>1: 在 M4 休眠和停止模式下, 使能 gtimerb1_gated_ker_clk。在 M4 休眠模式下, 使能 gtimerb1_gated_pclk。</p> <p>注: 应先使能 M4GTIMB1EN 位, 然后再使能此位, 否则此位无效。</p>
11	M7GTIMB2EN	<p>GTIMB2 M7 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: GTIMB2 未分配给 M7。在 M7 运行模式下, gtimerb2_gated_ker_clk 和 gtimerb2_gated_pclk 被禁用。</p> <p>1: GTIMB2 分配给 M7。在 M7 运行模式下, gtimerb2_gated_ker_clk 和 gtimerb2_gated_pclk 被使能。</p>

位域	名称	描述
10	M4GTIMB2EN	<p>GTIMBERB2 M4 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: GTIMBERB2 未分配给 M4。在 M4 运行模式下, gtimerb2_gated_ker_clk 和 gtimerb2_gated_pclk 被禁用。</p> <p>1: GTIMBERB2 分配给 M4。在 M4 运行模式下, gtimerb2_gated_ker_clk 和 gtimerb2_gated_pclk 被使能。</p>
9	M7GTIMB2LPEN	<p>GTIMBERB2 M7 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M7 休眠和停止模式下, 禁用 gtimerb2_gated_ker_clk 和 gtimerb2_gated_pclk 时钟。</p> <p>1: 在 M7 休眠和停止模式下, 使能 gtimerb2_gated_ker_clk。在 M7 休眠模式下, 使能 gtimerb2_gated_pclk。</p> <p>注: 应先使能 M7GTIMB2EN 位, 然后再使能此位, 否则此位无效。</p>
8	M4GTIMB2LPEN	<p>GTIMBERB2 M4 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M4 休眠和停止模式下, gtimerb2_gated_ker_clk 和 gtimerb2_gated_pclk 时钟禁用。</p> <p>1: 在 M4 休眠和停止模式下, gtimerb2_gated_ker_clk 使能。在 M4 休眠模式下, gtimerb2_gated_pclk 使能。</p> <p>注: 在使能此位之前, 应先使能 M4GTIMB2EN 位, 否则此位无效。</p>
7	M7GTIMB3EN	<p>GTIMBERB3 M7 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: GTIMBERB3 未分配给 M7。在 M7 运行模式下, gtimerb3_gated_ker_clk 和 gtimerb3_gated_pclk 被禁用。</p> <p>1: GTIMBERB3 分配给 M7。在 M7 运行模式下, gtimerb3_gated_ker_clk 和 gtimerb3_gated_pclk 被使能。</p>
6	M4GTIMB3EN	<p>GTIMBERB3 M4 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: GTIMBERB3 未分配给 M4。在 M4 运行模式下, gtimerb3_gated_ker_clk 和 gtimerb3_gated_pclk 被禁用。</p> <p>1: GTIMBERB3 分配给 M4。在 M4 运行模式下, gtimerb3_gated_ker_clk 和 gtimerb3_gated_pclk 被使能。</p>

位域	名称	描述
5	M7GTIMB3LPEN	<p>GTIMERB3M7 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M7 休眠和停止模式下, gtimerb3_gated_ker_clk 和 gtimerb3_gated_pclk 时钟禁用。</p> <p>1: 在 M7 休眠和停止模式下, gtimerb3_gated_ker_clk 使能。在 M7 休眠模式下, gtimerb3_gated_pclk 使能。</p> <p>注: 在使能此位之前, 应先使能 M7GTIMB3EN 位, 否则此位无效。</p>
4	M4GTIMB3LPEN	<p>GTIMERB3 M4 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M4 休眠和停止模式下, gtimerb3_gated_ker_clk 和 gtimerb3_gated_pclk 时钟禁用。</p> <p>1: 在 M4 休眠和停止模式下, gtimerb3_gated_ker_clk 使能。在 M4 休眠模式下, gtimerb3_gated_pclk 使能。</p> <p>注: 在使能此位之前, 应先使能 M4GTIMB3EN 位, 否则此位无效。</p>
3	M7GTIMA4EN	<p>GTIMERA4 M7 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: GTIMERA4 未分配给 M7。在 M7 运行模式下, gtimera4_gated_ker_clk 和 gtimera4_gated_pclk 被禁用。</p> <p>1: GTIMERA4 分配给 M7。在 M7 运行模式下, gtimera4_gated_ker_clk 和 gtimera4_gated_pclk 被使能。</p>
2	M4GTIMA4EN	<p>GTIMERA4 M4 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: GTIMERA4 未分配给 M4。在 M4 运行模式下, gtimera4_gated_ker_clk 和 gtimera4_gated_pclk 被禁用。</p> <p>1: GTIMERA4 分配给 M4。在 M4 运行模式下, gtimera4_gated_ker_clk 和 gtimera4_gated_pclk 被使能。</p>
1	M7GTIMA4LPEN	<p>GTIMERA4 M7 低功耗时钟使能。</p> <p>由软件设置和清除。</p> <p>0: 在 M7 休眠和停止模式下, 禁用 gtimera4_gated_ker_clk 和 gtimera4_gated_pclk 时钟。</p> <p>1: 在 M7 休眠和停止模式下, 使能 gtimera4_gated_ker_clk。在 M7 休眠模式下, 使能 gtimera4_gated_pclk。</p>

位域	名称	描述
		注：应先使能 M7GTIMA4EN 位，然后再使能此位，否则此位无效。
0	M4GTIMA4LPEN	GTIMERA4 M4 低功耗时钟使能。 由软件设置和清除。 0：在 M4 休眠和停止模式下， gtimera4_gated_ker_clk 和 gtimera4_gated_pclk 时钟禁用。 1：在 M4 休眠和停止模式下， gtimera4_gated_ker_clk 使能。在 M4 休眠模式下， gtimera4_gated_pclk 使能。 注：在使能此位之前，应先使能 M4GTIMA4EN 位，否则此位无效。

### 4.5.33 APB1 外设时钟使能寄存器 2(RCC\_APB1EN2)

偏移地址：0x0084

复位值：0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M7GTIM A5EN	M4GTIM A5EN	M7GTIM A5LPEN	M4GTIM A5LPEN	M7GTIM A6EN	M4GTIM A6EN	M7GTIM A6LPEN	M4GTIM A6LPEN	M7GTIM A7EN	M4GTIM A7EN	M7GTIM A7LPEN	M4GTIM A7LPEN	M7SPI3E N	M4SPI3E N	M7SPI3LP EN	M4SPI3LP EN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
M7DAC12 EN	M4DAC12 EN	M7DAC12 LPEN	M4DAC12 LPEN	Reserved				M7WWD G2EN	M4WWD G2EN	M7WWD G2LPEN	M4WWD G2LPEN	Reserved			
rw	rw	rw	rw					rw	rw	rw	rw				

位域	名称	描述
31	M7GTIMA5EN	GTIMERA5 M7 分配和时钟使能。 由软件置位和清除。 0：GTIMERA5 未分配给 M7。在 M7 运行模式下， gtimera5_gated_ker_clk 和 gtimera5_gated_pclk 被禁用。 1：GTIMERA5 分配给 M7。在 M7 运行模式下， gtimera5_gated_ker_clk 和 gtimera5_gated_pclk 被使能。
30	M4GTIMA5EN	GTIMERA5 M4 分配和时钟使能。 由软件置位和清除。 0：GTIMERA5 未分配给 M4。在 M4 运行模式下， gtimera5_gated_ker_clk 和 gtimera5_gated_pclk 被禁用。



位域	名称	描述
		1: GTIMERA5 分配给 M4。在 M4 运行模式下, gtimera5_gated_ker_clk 和 gtimera5_gated_pclk 被使能。
29	M7GTIMA5LPEN	<p>GTIMERA5 M7 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M7 休眠和停止模式下, 禁用 gtimera5_gated_ker_clk 和 gtimera5_gated_pclk 时钟。</p> <p>1: 在 M7 休眠和停止模式下, 使能 gtimera5_gated_ker_clk。在 M7 休眠模式下, 使能 gtimera5_gated_pclk。</p> <p>注: 在使能此位之前, 应先使能 M7GTIMA5EN 位, 否则此位无效。</p>
28	M4GTIMA5LPEN	<p>GTIMERA5 M4 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M4 休眠和停止模式下, 禁用 gtimera5_gated_ker_clk 和 gtimera5_gated_pclk 时钟。</p> <p>1: 在 M4 休眠和停止模式下, 使能 gtimera5_gated_ker_clk。在 M4 休眠模式下, 使能 gtimera5_gated_pclk。</p> <p>注: 在使能此位之前, 应先使能 M4GTIMA5EN 位, 否则此位无效。</p>
27	M7GTIMA6EN	<p>GTIMERA5 M7 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: GTIMERA5 未分配给 M7。在 M7 运行模式下, gtimera5_gated_ker_clk 和 gtimera5_gated_pclk 被禁用。</p> <p>1: GTIMERA5 分配给 M7。在 M7 运行模式下, gtimera5_gated_ker_clk 和 gtimera5_gated_pclk 被使能。</p>
26	M4GTIMA6EN	<p>GTIMERA6 M4 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: GTIMERA6 未分配给 M4。在 M4 运行模式下, gtimera6_gated_ker_clk 和 gtimera6_gated_pclk 被禁用。</p> <p>1: GTIMERA6 分配给 M4。在 M4 运行模式下, gtimera6_gated_ker_clk 和 gtimera6_gated_pclk 被使能。</p>
25	M7GTIMA6LPEN	<p>GTIMERA6 M7 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M7 休眠和停止模式下, 禁用 gtimera6_gated_ker_clk 和 gtimera6_gated_pclk 时钟。</p>

位域	名称	描述
		<p>1: 在 M7 休眠和停止模式下, 使能 gtimera6_gated_ker_clk。在 M7 休眠模式下, 使能 gtimera6_gated_pclk。</p> <p>注: 在使能此位之前, 应先使能 M7GTIMA6EN 位, 否则此位无效。</p>
24	M4GTIMA6LPEN	<p>GTIMERA6 M4 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M4 休眠和停止模式下, 禁用 gtimera6_gated_ker_clk 和 gtimera6_gated_pclk 时钟。</p> <p>1: 在 M4 休眠和停止模式下, 使能 gtimera6_gated_ker_clk。在 M4 休眠模式下, 使能 gtimera6_gated_pclk。</p> <p>注: 在使能此位之前, 应先使能 M4GTIMA6EN 位, 否则此位无效。</p>
23	M7GTIMA7EN	<p>GTIMERA7 M7 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: GTIMERA7 未分配给 M7。在 M7 运行模式下, gtimera7_gated_ker_clk 和 gtimera7_gated_pclk 被禁用。</p> <p>1: GTIMERA7 分配给 M7。在 M7 运行模式下, gtimera7_gated_ker_clk 和 gtimera7_gated_pclk 被使能。</p>
22	M4GTIMA7EN	<p>GTIMERA7 M4 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: GTIMERA7 未分配给 M4。在 M4 运行模式下, gtimera7_gated_ker_clk 和 gtimera7_gated_pclk 被禁用。</p> <p>1: GTIMERA7 分配给 M4。在 M4 运行模式下, gtimera7_gated_ker_clk 和 gtimera7_gated_pclk 被使能。</p>
21	M7GTIMA7LPEN	<p>GTIMERA7 M7 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M7 休眠和停止模式下, 禁用 gtimera7_gated_ker_clk 和 gtimera7_gated_pclk 时钟。</p> <p>1: 在 M7 休眠和停止模式下, 使能 gtimera7_gated_ker_clk。在 M7 休眠模式下, 使能 gtimera7_gated_pclk。</p> <p>注: 在使能此位之前, 应先使能 M7GTIMA7EN 位, 否则此位无效。</p>
20	M4GTIMA7LPEN	<p>GTIMERA7 M4 低功耗时钟使能。</p> <p>由软件置位和清除。</p>

位域	名称	描述
		<p>0: 在 M4 休眠和停止模式下, 禁用 gtimera7_gated_ker_clk 和 gtimera7_gated_pclk 时钟。</p> <p>1: 在 M4 休眠和停止模式下, 使能 gtimera7_gated_ker_clk。在 M4 休眠模式下, 使能 gtimera7_gated_pclk。</p> <p>注: 在使能此位之前, 应先使能 M4GTIMA7EN 位, 否则此位无效。</p>
19	M7SPI3EN	<p>SPI3 M7 分配和时钟使能。</p> <p>由软件设置和清除。</p> <p>0: SPI3 未分配给 M7。在 M7 运行模式下, spi3_gated_ker_clk 和 spi3_gated_pclk 被禁用。</p> <p>1: SPI3 分配给 M7。在 M7 运行模式下, spi3_gated_ker_clk 和 spi3_gated_pclk 被使能。</p>
18	M4SPI3EN	<p>SPI3 M4 分配和时钟使能。</p> <p>由软件设置和清除。</p> <p>0: SPI3 未分配给 M4。在 M4 运行模式下, spi3_gated_ker_clk 和 spi3_gated_pclk 被禁用。</p> <p>1: SPI3 已分配给 M4。在 M4 运行模式下, spi3_gated_ker_clk 和 spi3_gated_pclk 被使能。</p>
17	M7SPI3LPEN	<p>SPI3 M7 低功耗时钟使能。</p> <p>由软件设置和清除。</p> <p>0: 在 M7 休眠和停止模式下, spi3_gated_ker_clk 和 spi3_gated_pclk 禁用。</p> <p>1: 在 M7 休眠和停止模式下, spi3_gated_ker_clk 使能。在 M7 休眠模式下, spi3_gated_pclk 使能。</p> <p>注: 在使能此位之前, 应先使能 M7SPI3EN 位, 否则此位无效。</p>
16	M4SPI3LPEN	<p>SPI3 M4 低功耗时钟使能。</p> <p>由软件设置和清除。</p> <p>0: 在 M4 休眠和停止模式下, spi3_gated_ker_clk 和 spi3_gated_pclk 禁用。</p> <p>1: 在 M4 休眠和停止模式下, spi3_gated_ker_clk 使能。在 M4 休眠模式下, spi3_gated_pclk 使能。</p> <p>注: 在使能此位之前, 应先使能 M4SPI3EN 位, 否则此位无效。</p>
15	M7DAC12EN	<p>DAC12 M7 分配和时钟使能。</p> <p>由软件设置和清除。</p>

位域	名称	描述
		0: DAC12 未分配给 M7。在 M7 运行模式下, dac12_gated_pclk 被禁用。 1: DAC12 已分配给 M7。在 M7 运行模式下, dac12_gated_pclk 被启用。
14	M4DAC12EN	DAC12 M4 分配和时钟使能。 由软件设置和清除。 0: DAC12 未分配给 M4。dac12_gated_pclk 在 M4 运行模式下禁用。 1: DAC12 已分配给 M4。dac12_gated_pclk 在 M4 运行模式下使能。
13	M7DAC12LPEN	DAC12 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, dac12_gated_pclk 时钟禁用。 1: 在 M7 休眠模式下, dac12_gated_pclk 时钟使能。 注: 应先使能 M7DAC12EN 位, 然后再使能此位, 否则此位无效。
12	M4DAC12LPEN	DAC12 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 休眠和停止模式下, dac12_gated_pclk 时钟禁用。 1: 在 M4 休眠模式下, dac12_gated_pclk 时钟使能。 注意: 应先使能 M4DAC12EN 位, 然后再使能此位, 否则此位无效。
11:8	Reserved	保留, 必须保持复位值
7	M7WWDG2EN	WWDG2 M7 分配和时钟使能。 由软件置位和清除。 0: WWDG2 未分配给 M7。在 M7 运行模式下, WWDG2_Gated_pclk 被禁用。 1: WWDG2 已分配给 M7。在 M7 运行模式下, WWDG2_Gated_pclk 被使能。
6	M4WWDG2EN	WWDG2 M4 分配和时钟使能。 由软件置位和清除。 0: WWDG2 未分配给 M4。在 M4 运行模式下, WWDG2_Gated_pclk 被禁用。 1: WWDG2 已分配给 M4。在 M4 运行模式下, WWDG2_Gated_pclk 被使能。
5	M7WWDG2LPEN	WWDG2 M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下, 禁用 wwdg2_gated_pclk 时钟。 1: 在 M7 休眠模式下, 启用 wwdg2_gated_pclk。

位域	名称	描述
		注：在启用此位之前，应先启用 M7WWDG2EN 位，否则此位无效。
4	M4WWDG2LPEN	WWDG2 M4 低功耗时钟使能。 由软件置位和清除。 0：在 M4 休眠和停止模式下，禁用 wwdg2_gated_pclk 时钟。 1：在 M4 休眠模式下，启用 wwdg2_gated_pclk。 注：在启用此位之前，应先启用 M4WWDG2EN 位，否则此位无效。
3:0	Reserved	保留，必须保持复位值

#### 4.5.34 APB1 外设时钟使能寄存器 3(RCC\_APB1EN3)

偏移地址：0x0088

复位值：0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M7USART1EN	M4USART1EN	M7USART1LPEN	M4USART1LPEN	M7USART2EN	M4USART2EN	M7USART2LPEN	M4USART2LPEN	M7USART3EN	M4USART3EN	M7USART3LPEN	M4USART3LPEN	M7USART4EN	M4USART4EN	M7USART4LPEN	M4USART4LPEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
M7UART9EN	M4UART9EN	M7UART9LPEN	M4UART9LPEN	M7UART10EN	M4UART10EN	M7UART10LPEN	M4UART10LPEN	M7UART11EN	M4UART11EN	M7UART11LPEN	M4UART11LPEN	M7UART12EN	M4UART12EN	M7UART12LPEN	M4UART12LPEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31	M7USART1EN	USART1 M7 分配和时钟使能。 由软件置位和清除。 0：USART1 未分配给 M7。在 M7 运行模式下，usart1_gated_pclk 被禁用。 1：USART1 已分配给 M7。在 M7 运行模式下，usart1_gated_pclk 被使能。
30	M4USART1EN	USART1 M4 分配和时钟使能。 由软件置位和清除。 0：USART1 未分配给 M4。在 M4 运行模式下，usart1_gated_pclk 被禁用。 1：USART1 已分配给 M4。在 M4 运行模式下，usart1_gated_pclk 被使能。
29	M7USART1LPEN	USART1 M7 低功耗时钟使能。 由软件置位和清除。

位域	名称	描述
		<p>0: 在 M7 休眠和停止模式下, usart1_gated_pclk 时钟禁用。</p> <p>1: 在 M7 休眠模式下, usart1_gated_pclk 时钟使能。</p> <p>注: 在使能此位之前, 应先使能 M7USART1EN 位, 否则此位无效。</p>
28	M4USART1LPEN	<p>USART1 M4 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M4 休眠和停止模式下, usart1_gated_pclk 时钟禁用。</p> <p>1: 在 M4 休眠模式下, usart1_gated_pclk 时钟使能。</p> <p>注: 在使能此位之前, 应先使能 M4USART1EN 位, 否则此位无效。</p>
27	M7USART2EN	<p>USART2 M7 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: USART2 未分配给 M7。在 M7 运行模式下, usart2_gated_pclk 被禁用。</p> <p>1: USART2 已分配给 M7。在 M7 运行模式下, usart2_gated_pclk 被使能。</p>
26	M4USART2EN	<p>USART2 M4 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: USART2 未分配给 M4。在 M4 运行模式下, usart2_gated_pclk 被禁用。</p> <p>1: USART2 已分配给 M4。在 M4 运行模式下, usart2_gated_pclk 被使能。</p>
25	M7USART2LPEN	<p>USART2 M7 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M7 休眠和停止模式下, usart2_gated_pclk 时钟禁用。</p> <p>1: 在 M7 休眠模式下, usart2_gated_pclk 时钟使能。</p> <p>注: 在使能此位之前, 应先使能 M7USART2EN 位, 否则此位无效。</p>
24	M4USART2LPEN	<p>USART2 M4 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M4 休眠和停止模式下, usart2_gated_pclk 时钟禁用。</p> <p>1: 在 M4 休眠模式下, usart2_gated_pclk 时钟使能。</p> <p>注: 在使能此位之前, 应先使能 M4USART2EN 位, 否则此位无效。</p>
23	M7USART3EN	<p>USART3 M7 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: USART3 未分配给 M7。在 M7 运行模式下, usart3_gated_pclk 被禁用。</p>

位域	名称	描述
		1: USART3 已分配给 M7。在 M7 运行模式下, usart3_gated_pclk 被使能。
22	M4USART3EN	USART3 M4 分配和时钟使能。 由软件置位和清除。 0: USART3 未分配给 M4。在 M4 运行模式下, usart3_gated_pclk 被禁用。 1: USART3 已分配给 M4。在 M4 运行模式下, usart3_gated_pclk 被使能。
21	M7USART3LPEN	USART3 M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下, usart3_gated_pclk 时钟禁用。 1: 在 M7 休眠模式下, usart3_gated_pclk 时钟使能。 注: 在使能此位之前, 应先使能 M7USART3EN 位, 否则此位无效。
20	M4USART3LPEN	USART3 M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下, usart3_gated_pclk 时钟禁用。 1: 在 M4 休眠模式下, usart3_gated_pclk 时钟使能。 注: 在使能此位之前, 应先使能 M4USART3EN 位, 否则此位无效。
19	M7USART4EN	USART4 M7 分配和时钟使能。 由软件置位和清除。 0: USART4 未分配给 M7。在 M7 运行模式下, usart4_gated_pclk 被禁用。 1: USART4 已分配给 M7。在 M7 运行模式下, usart4_gated_pclk 被使能。
18	M4USART4EN	USART4 M4 分配和时钟使能。 由软件置位和清除。 0: USART4 未分配给 M4。在 M4 运行模式下, usart4_gated_pclk 被禁用。 1: USART4 已分配给 M4。在 M4 运行模式下, usart4_gated_pclk 被使能。
17	M7USART4LPEN	USART4 M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下, usart4_gated_pclk 时钟禁用。 1: 在 M7 休眠模式下, usart4_gated_pclk 时钟使能。 注: 在使能此位之前, 应先使能 M7USART4EN 位, 否则此位无效。
16	M4USART4LPEN	USART4 M4 低功耗时钟使能。

位域	名称	描述
		由软件置位和清除。 0: 在 M4 休眠和停止模式下, usart4_gated_pclk 时钟禁用。 1: 在 M4 休眠模式下, usart4_gated_pclk 时钟使能。 注: 在使能此位之前, 应先使能 M4USART4EN 位, 否则此位无效。
15	M7UART9EN	UART9 M7 分配和时钟使能。 由软件置位和清除。 0: UART9 未分配给 M7。在 M7 运行模式下, uart9_gated_pclk 被禁用。 1: UART9 分配给 M7。在 M7 运行模式下, uart9_gated_pclk 被使能。
14	M4UART9EN	UART9 M4 分配和时钟使能。 由软件置位和清除。 0: UART9 未分配给 M4。M4 运行模式下, uart9_gated_pclk 禁用。 1: UART9 分配给 M4。M4 运行模式下, uart9_gated_pclk 使能。
13	M7UART9LPEN	UART9M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下, uart9_gated_pclk 时钟禁用。 1: 在 M7 休眠模式下, uart9_gated_pclk 时钟使能。 注: 在使能此位之前, 应先使能 M7UART9EN 位, 否则此位无效。
12	M4UART9LPEN	UART9 M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下, uart9_gated_pclk 时钟禁用。 1: 在 M4 休眠模式下, uart9_gated_pclk 时钟使能。 注: 在使能此位之前, 应先使能 M4UART9EN 位, 否则此位无效。
11	M7UART10EN	UART10 M7 分配和时钟使能。 由软件置位和清除。 0: UART10 未分配给 M7。uart10_gated_pclk 在 M7 运行模式下禁用。 1: UART10 分配给 M7。uart10_gated_pclk 在 M7 运行模式下使能。
10	M4UART10EN	UART10 M4 分配和时钟使能。 由软件置位和清除。 0: UART10 未分配给 M4。uart10_gated_pclk 在 M4 运行模式下禁用。



位域	名称	描述
		1: UART10 已分配给 M4。uart10_gated_pclk 在 M4 运行模式下使能。
9	M7UART10LPEN	<p>UART10 M7 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M7 休眠和停止模式下, uart10_gated_pclk 时钟禁用。</p> <p>1: 在 M7 休眠模式下, uart10_gated_pclk 时钟使能。</p> <p>注: 在使能此位之前, 应先使能 M7UART10EN 位, 否则此位无效。</p>
8	M4UART10LPEN	<p>UART10 M4 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M4 休眠和停止模式下, uart10_gated_pclk 时钟禁用。</p> <p>1: 在 M4 休眠模式下, uart10_gated_pclk 时钟使能。</p> <p>注: 在使能此位之前, 应先使能 M4UART10EN 位, 否则此位无效。</p>
7	M7UART11EN	<p>UART11 M7 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: UART11 未分配给 M7。uart11_gated_pclk 在 M7 运行模式下禁用。</p> <p>1: UART11 分配给 M7。uart11_gated_pclk 在 M7 运行模式下使能。</p>
6	M4UART11EN	<p>UART11M4 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: UART11 未分配给 M4。uart11_gated_pclk 在 M4 运行模式下禁用。</p> <p>1: UART11 分配给 M4。uart11_gated_pclk 在 M4 运行模式下使能。</p>
5	M7UART11LPEN	<p>UART11 M7 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M7 休眠和停止模式下, uart11_gated_pclk 时钟禁用。</p> <p>1: 在 M7 休眠模式下, uart11_gated_pclk 时钟使能。</p> <p>注: 在使能此位之前, 应先使能 M7UART11EN 位, 否则此位无效。</p>
4	M4UART11LPEN	<p>UART11 M4 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M4 休眠和停止模式下, 禁用 uart11_gated_pclk 时钟。</p> <p>1: 在 M4 休眠模式下, 启用 uart11_gated_pclk。</p> <p>注: 在启用此位之前, 应先启用 M4UART11EN 位, 否则此位无效。</p>

位域	名称	描述
3	M7UART12EN	UART12 M7 分配和时钟使能。 由软件设置和清除。 0: UART12 未分配给 M7。uart12_gated_pclk 在 M7 运行模式下禁用。 1: UART12 已分配给 M7。uart12_gated_pclk 在 M7 运行模式下使能。
2	M4UART12EN	UART12 M4 分配和时钟使能。 由软件置位和清除。 0: UART12 未分配给 M4。uart12_gated_pclk 在 M4 运行模式下禁用。 1: UART12 已分配给 M4。uart12_gated_pclk 在 M4 运行模式下使能。
1	M7UART12LPEN	UART12 M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下，uart12_gated_pclk 时钟禁用。 1: 在 M7 休眠模式下，uart12_gated_pclk 时钟使能。 注：在使能此位之前，应先使能 M7UART12EN 位，否则此位无效。
0	M4UART12LPEN	UART12 M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下，uart12_gated_pclk 时钟禁用。 1: 在 M4 休眠模式下，uart12_gated_pclk 时钟使能。 注：在使能此位之前，应先使能 M4UART12EN 位，否则此位无效。

#### 4.5.35 APB1 外设时钟使能寄存器 4(RCC\_APB1EN4)

偏移地址：0x008C

复位值：0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M7I2S3EN	M4I2S3EN	M7I2S3LPEN	M4I2S3LPEN	M7I2S4EN	M4I2S4EN	M7I2S4LPEN	M4I2S4LPEN	M7I2C1EN	M4I2C1EN	M7I2C1LPEN	M4I2C1LPEN	M7I2C2EN	M4I2C2EN	M7I2C2LPEN	M4I2C2LPEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
M7I2C3EN	M4I2C3EN	M7I2C3LPEN	M4I2C3LPEN	Reserved											
rw	rw	rw	rw												

位域	名称	描述
31	M7I2S3EN	<p>I2S3 M7 分配和时钟使能。</p> <p>由软件设置和清除。</p> <p>0: I2S3 未分配给 M7。在 M7 运行模式下, i2s3_ker_gated_clk 和 i2s3_gated_pclk 被禁用。</p> <p>1: I2S3 分配给 M7。在 M7 运行模式下, i2s3_ker_gated_clk 和 i2s3_gated_pclk 被使能。</p>
30	M4I2S3EN	<p>I2S3 M4 分配和时钟使能。</p> <p>由软件设置和清除。</p> <p>0: I2S3 未分配给 M4。在 M4 运行模式下, i2s3_ker_gated_clk 和 i2s3_gated_pclk 被禁用。</p> <p>1: I2S3 分配给 M4。在 M4 运行模式下, i2s3_ker_gated_clk 和 i2s3_gated_pclk 被使能。</p>
29	M7I2S3LPEN	<p>I2S3 M7 低功耗时钟使能。</p> <p>由软件设置和清除。</p> <p>0: 在 M7 休眠和停止模式下, i2s3_ker_gated_clk 和 i2s3_gated_pclk 时钟禁用。</p> <p>1: 在 M7 休眠和停止模式下, i2s3_ker_gated_clk 使能。在 M7 休眠模式下, i2s3_gated_pclk 使能。</p> <p>注: 在使能此位之前, 应先使能 M7I2S3EN 位, 否则此位无效。</p>
28	M4I2S3LPEN	<p>I2S3 M4 低功耗时钟使能。</p> <p>由软件设置和清除。</p> <p>0: 在 M4 休眠和停止模式下, i2s3_ker_gated_clk 和 i2s3_gated_pclk 时钟禁用。</p> <p>1: 在 M4 休眠和停止模式下, i2s3_ker_gated_clk 使能。在 M4 休眠模式下, i2s3_gated_pclk 使能。</p> <p>注: 在使能此位之前, 应先使能 M4I2S3EN 位, 否则此位无效。</p>
27	M7I2S4EN	<p>I2S4 M7 分配和时钟使能。</p> <p>由软件设置和清除。</p> <p>0: I2S4 未分配给 M7。在 M7 运行模式下, i2s4_ker_gated_clk 和 i2s4_gated_pclk 被禁用。</p> <p>1: I2S4 已分配给 M7。在 M7 运行模式下, i2s4_ker_gated_clk 和 i2s4_gated_pclk 被使能。</p>
26	M4I2S4EN	<p>I2S4 M4 分配和时钟使能。</p>

位域	名称	描述
		<p>由软件设置和清除。</p> <p>0: I2S4 未分配给 M4。在 M4 运行模式下, i2s4_ker_gated_clk 和 i2s4_gated_pclk 被禁用。</p> <p>1: I2S4 已分配给 M4。在 M4 运行模式下, i2s4_ker_gated_clk 和 i2s4_gated_pclk 被使能。</p>
25	M7I2S4LPEN	<p>I2S4 M7 低功耗时钟使能。</p> <p>由软件设置和清除。</p> <p>0: 在 M7 休眠和停止模式下, i2s4_ker_gated_clk 和 i2s4_gated_pclk 时钟禁用。</p> <p>1: 在 M7 休眠和停止模式下, i2s4_ker_gated_clk 使能。在 M7 休眠模式下, i2s4_gated_pclk 使能。</p> <p>注: 在使能此位之前, 应先使能 M7I2S4EN 位, 否则此位无效。</p>
24	M4I2S4LPEN	<p>I2S4 M4 低功耗时钟使能。</p> <p>由软件设置和清除。</p> <p>0: 在 M4 休眠和停止模式下, i2s4_ker_gated_clk 和 i2s4_gated_pclk 时钟禁用。</p> <p>1: 在 M4 休眠和停止模式下, i2s4_ker_gated_clk 使能。在 M4 休眠模式下, i2s4_gated_pclk 使能。</p> <p>注: 在使能此位之前, 应先使能 M4I2S4EN 位, 否则此位无效。</p>
23	M7I2C1EN	<p>I2C1 M7 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: I2C1 未分配给 M7。在 M7 运行模式下, i2c1_ker_gated_clk 和 i2c1_gated_pclk 被禁用。</p> <p>1: I2C1 分配给 M7。在 M7 运行模式下, i2c1_ker_gated_clk 和 i2c1_gated_pclk 被使能。</p>
22	M4I2C1EN	<p>I2C1 M4 分配和时钟使能。</p> <p>由软件设置和清除。</p> <p>0: I2C1 未分配给 M4。在 M4 运行模式下, i2c1_ker_gated_clk 和 i2c1_gated_pclk 被禁用。</p> <p>1: I2C1 分配给 M4。在 M4 运行模式下, i2c1_ker_gated_clk 和 i2c1_gated_pclk 被使能。</p>
21	M7I2C1LPEN	<p>I2C1 M7 低功耗时钟使能。</p> <p>由软件设置和清除。</p>

位域	名称	描述
		<p>0: 在 M7 休眠和停止模式下, i2c1_ker_gated_clk 和 i2c1_gated_pclk 时钟禁用。</p> <p>1: 在 M7 休眠和停止模式下, i2c1_ker_gated_clk 使能。在 M7 休眠模式下, i2c1_gated_pclk 使能。</p> <p>注: 在使能此位之前, 应先使能 M7I2C1EN 位, 否则此位无效。</p>
20	M4I2C1LPEN	<p>I2C1 M4 低功耗时钟使能。</p> <p>由软件设置和清除。</p> <p>0: 在 M4 睡眠和停止模式下, i2c1_ker_gated_clk 和 i2c1_gated_pclk 时钟禁用。</p> <p>1: 在 M4 睡眠和停止模式下, i2c1_ker_gated_clk 使能。在 M4 睡眠模式下, i2c1_gated_pclk 使能。</p> <p>注: 在使能此位之前, 应先使能 M4I2C1EN 位, 否则此位无效。</p>
19	M7I2C2EN	<p>I2C2 M7 分配和时钟使能。</p> <p>由软件设置和清除。</p> <p>0: I2C2 未分配给 M7。在 M7 运行模式下, i2c2_ker_gated_clk 和 i2c2_gated_pclk 被禁用。</p> <p>1: I2C2 已分配给 M7。在 M7 运行模式下, i2c2_ker_gated_clk 和 i2c2_gated_pclk 被使能。</p>
18	M4I2C2EN	<p>I2C2 M4 分配和时钟使能。</p> <p>由软件设置和清除。</p> <p>0: I2C2 未分配给 M4。在 M4 运行模式下, i2c2_ker_gated_clk 和 i2c2_gated_pclk 被禁用。</p> <p>1: I2C2 已分配给 M4。在 M4 运行模式下, i2c2_ker_gated_clk 和 i2c2_gated_pclk 被使能。</p>
17	M7I2C2LPEN	<p>I2C2 M7 低功耗时钟使能。</p> <p>由软件设置和清除。</p> <p>0: 在 M7 休眠和停止模式下, i2c2_ker_gated_clk 和 i2c2_gated_pclk 时钟禁用。</p> <p>1: 在 M7 休眠和停止模式下, i2c2_ker_gated_clk 使能。在 M7 休眠模式下, i2c2_gated_pclk 使能。</p> <p>注: 在使能此位之前, 应先使能 M7I2C2EN 位, 否则此位无效。</p>
16	M4I2C2LPEN	<p>I2C2 M4 低功耗时钟使能。</p> <p>由软件设置和清除。</p> <p>0: 在 M4 睡眠和停止模式下, i2c2_ker_gated_clk 和 i2c2_gated_pclk 时钟禁用。</p>

位域	名称	描述
		1: 在 M4 睡眠和停止模式下, i2c2_ker_gated_clk 使能。在 M4 睡眠模式下, i2c2_gated_pclk 使能。 注: 在使能此位之前, 应先使能 M4I2C2EN 位, 否则此位无效。
15	M7I2C3EN	I2C3 M7 分配和时钟使能。 由软件设置和清除。 0: I2C3 未分配给 M7。在 M7 运行模式下, i2c3_ker_gated_clk 和 i2c3_gated_pclk 被禁用。 1: I2C3 已分配给 M7。在 M7 运行模式下, i2c3_ker_gated_clk 和 i2c3_gated_pclk 被使能。
14	M4I2C3EN	I2C3 M4 分配和时钟使能。 由软件设置和清除。 0: I2C3 未分配给 M4。在 M4 运行模式下, i2c3_ker_gated_clk 和 i2c3_gated_pclk 被禁用。 1: I2C3 已分配给 M4。在 M4 运行模式下, i2c3_ker_gated_clk 和 i2c3_gated_pclk 被使能。
13	M7I2C3LPEN	I2C3 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, i2c3_ker_gated_clk 和 i2c3_gated_pclk 时钟禁用。 1: 在 M7 休眠和停止模式下, i2c3_ker_gated_clk 使能。在 M7 休眠模式下, i2c3_gated_pclk 使能。 注: 在使能此位之前, 应先使能 M7I2C3EN 位, 否则此位无效。
12	M4I2C3LPEN	I2C3 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 睡眠和停止模式下, i2c3_ker_gated_clk 和 i2c3_gated_pclk 时钟禁用。 1: 在 M4 睡眠和停止模式下, i2c3_ker_gated_clk 使能。在 M4 睡眠模式下, i2c3_gated_pclk 使能。 注: 在使能此位之前, 应先使能 M4I2C3EN 位, 否则此位无效。
11:0	Reserved	保留, 必须保持复位值

#### 4.5.36 APB1 外设时钟使能寄存器 5(RCC\_APB1EN5)

偏移地址: 0x0090

复位值：0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M7FDCAN1EN	M4FDCAN1EN	M7FDCAN1LPEN	M4FDCAN1LPEN	M7FDCAN2EN	M4FDCAN2EN	M7FDCAN2LPEN	M4FDCAN2LPEN	M7FDCAN5EN	M4FDCAN5EN	M7FDCAN5LPEN	M4FDCAN5LPEN	M7FDCAN6EN	M4FDCAN6EN	M7FDCAN6LPEN	M4FDCAN6LPEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FDCAN1S TPREQ	FDCAN1S TPACK	Reserved	FDCAN2S TPREQ	FDCAN2S TPACK	Reserved	FDCAN5S TPREQ	FDCAN5S TPACK	Reserved	FDCAN6S TPREQ	FDCAN6S TPACK	Reserved				
rw	r		rw	r		rw	r		rw	r					

位域	名称	描述
31	M7FDCAN1EN	FDCAN1 M7 分配和时钟使能。 由软件置位和清除。 0: FDCAN1 未分配给 M7。在 M7 运行模式下，fdcan1_gated_ker_clk 和 fdcan1_gated_pclk 被禁用。 1: FDCAN1 分配给 M7。在 M7 运行模式下，fdcan1_gated_ker_clk 和 fdcan1_gated_pclk 被使能。
30	M4FDCAN1EN	FDCAN1 M4 分配和时钟使能。 由软件置位和清除。 0: FDCAN1 未分配给 M4。在 M4RUN 模式下，fdcan1_gated_ker_clk 和 fdcan1_gated_pclk 禁用。 1: FDCAN1 分配给 M4。在 M4RUN 模式下，fdcan1_gated_ker_clk 和 fdcan1_gated_pclk 使能。
29	M7FDCAN1LPEN	FDCAN1 M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下，fdcan1_gated_ker_clk 和 fdcan1_gated_pclk 时钟禁用。 1: 在 M7 休眠和停止模式下，fdcan1_gated_ker_clk 使能。在 M7 休眠模式下，fdcan1_gated_pclk 使能。 注：应先使能 M7FDCAN1EN 位，然后才能使能此位，否则此位无效。
28	M4FDCAN1LPEN	FDCAN1 M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下，fdcan1_gated_ker_clk 和 fdcan1_gated_pclk 时钟禁用。 1: 在 M4 休眠和停止模式下，fdcan1_gated_ker_clk 使能。在 M4 休眠模式下，fdcan1_gated_pclk 使能。 注：在使能此位之前，应先使能 M4FDCAN1EN 位，否则此位无效。
27	M7FDCAN2EN	FDCAN2 M7 分配和时钟使能。 由软件置位和清除。 0: FDCAN2 未分配给 M7。在 M7 运行模式下，fdcan2_gated_ker_clk 和 fdcan2_gated_pclk 禁用。 1: FDCAN2 分配给 M7。在 M7 运行模式下，fdcan2_gated_ker_clk 和 fdcan2_gated_pclk 使能。

位域	名称	描述
26	M4FDCAN2EN	FDCAN2 M4 分配和时钟使能。 由软件置位和清除。 0: FDCAN2 未分配给 M4。在 M4RUN 模式下, fdcan2_gated_ker_clk 和 fdcan2_gated_pclk 禁用。 1: FDCAN2 已分配给 M4。在 M4RUN 模式下, fdcan2_gated_ker_clk 和 fdcan2_gated_pclk 使能。
25	M7FDCAN2LPEN	FDCAN2 M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下, fdcan2_gated_ker_clk 和 fdcan2_gated_pclk 时钟禁用。 1: 在 M7 休眠和停止模式下, fdcan2_gated_ker_clk 使能。在 M7 休眠模式下, fdcan2_gated_pclk 使能。 注: 应先使能 M7FDCAN2EN 位, 然后再使能此位, 否则此位无效。
24	M4FDCAN2LPEN	FDCAN2 M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下, fdcan2_gated_ker_clk 和 fdcan2_gated_pclk 时钟禁用。 1: 在 M4 休眠和停止模式下, fdcan2_gated_ker_clk 使能。在 M4 休眠模式下, fdcan2_gated_pclk 使能。 注: 应先使能 M4FDCAN2EN 位, 然后再使能此位, 否则此位无效。
23	M7FDCAN5EN	FDCAN5 M7 分配和时钟使能。 由软件置位和清除。 0: FDCAN5 未分配给 M7。在 M7 运行模式下, fdcan5_gated_ker_clk 和 fdcan5_gated_pclk 禁用。 1: FDCAN5 分配给 M7。在 M7 运行模式下, fdcan5_gated_ker_clk 和 fdcan5_gated_pclk 使能。
22	M4FDCAN5EN	FDCAN5 M4 分配和时钟使能。 由软件置位和清除。 0: FDCAN5 未分配给 M4。在 M4RUN 模式下, fdcan5_gated_ker_clk 和 fdcan5_gated_pclk 禁用。 1: FDCAN5 已分配给 M4。在 M4RUN 模式下, fdcan5_gated_ker_clk 和 fdcan5_gated_pclk 使能。
21	M7FDCAN5LPEN	FDCAN5 M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下, fdcan5_gated_ker_clk 和 fdcan5_gated_pclk 时钟禁用。 1: 在 M7 休眠和停止模式下, fdcan5_gated_ker_clk 使能。在 M7 休眠模式下, fdcan5_gated_pclk 使能。 注: 应先使能 M7FDCAN5EN 位, 然后再使能此位, 否则此位无效。
20	M4FDCAN5LPEN	FDCAN5 M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下, fdcan5_gated_ker_clk 和 fdcan5_gated_pclk 时钟禁用。



位域	名称	描述
		1: 在 M4 休眠和停止模式下, fdcan5_gated_ker_clk 使能。在 M4 休眠模式下, fdcan5_gated_pclk 使能。 注: 应先使能 M4FDCAN5EN 位, 然后再使能此位, 否则此位无效。
19	M7FDCAN6EN	FDCAN6 M7 分配和时钟使能。 由软件置位和清除。 0: FDCAN6 未分配给 M7。在 M7 运行模式下, fdcan6_gated_ker_clk 和 fdcan6_gated_pclk 禁用。 1: FDCAN6 分配给 M7。在 M7 运行模式下, fdcan6_gated_ker_clk 和 fdcan6_gated_pclk 使能。
18	M4FDCAN6EN	FDCAN6 M4 分配和时钟使能。 由软件置位和清除。 0: FDCAN6 未分配给 M4。在 M4RUN 模式下, fdcan6_gated_ker_clk 和 fdcan6_gated_pclk 被禁用。 1: FDCAN6 已分配给 M4。在 M4RUN 模式下, fdcan6_gated_ker_clk 和 fdcan6_gated_pclk 被使能。
17	M7FDCAN6LPEN	FDCAN6 M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下, fdcan6_gated_ker_clk 和 fdcan6_gated_pclk 时钟禁用。 1: 在 M7 休眠和停止模式下, fdcan6_gated_ker_clk 使能。在 M7 休眠模式下, fdcan6_gated_pclk 使能。 注: 应先使能 M7FDCAN6EN 位, 然后再使能此位, 否则此位无效。
16	M4FDCAN6LPEN	FDCAN6 M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下, fdcan6_gated_ker_clk 和 fdcan6_gated_pclk 时钟禁用。 1: 在 M4 休眠和停止模式下, fdcan6_gated_ker_clk 使能。在 M4 休眠模式下, fdcan6_gated_pclk 使能。 注: 应先使能 M4FDCAN6EN 位, 然后再使能此位, 否则此位无效。
15	FDCAN1STPREQ	FDCAN1 内核和总线时钟停止请求。 0: 取消时钟停止请求。 1: 确认时钟停止请求。
14	FDCAN1STPACK	FDCAN1 内核和总线时钟停止确认。 0: 时钟停止请求未得到确认。 1: 时钟停止请求已得到确认。
13:12	Reserved	保留, 必须保持复位值
11	FDCAN2STPREQ	FDCAN2 内核和总线时钟停止请求。 0: 取消时钟停止请求。 1: 确认时钟停止请求。
10	FDCAN2STPACK	FDCAN2 内核和总线时钟停止确认。 0: 时钟停止请求未得到确认。 1: 时钟停止请求已得到确认。

位域	名称	描述
9:8	Reserved	保留, 必须保持复位值
7	FDCAN5STPREQ	FDCAN5 内核和总线时钟停止请求。 0: 取消时钟停止请求。 1: 确认时钟停止请求。
6	FDCAN5STPACK	FDCAN5 内核和总线时钟停止确认。 0: 时钟停止请求未得到确认。 1: 时钟停止请求已得到确认。
5:4	Reserved	保留, 必须保持复位值
3	FDCAN6STPREQ	FDCAN6 内核和总线时钟停止请求。 0: 取消时钟停止请求。 1: 确认时钟停止请求。
2	FDCAN6STPACK	FDCAN6 内核和总线时钟停止确认。 0: 时钟停止请求未得到确认。 1: 时钟停止请求已得到确认。
1:0	Reserved	保留, 必须保持复位值

#### 4.5.37 APB1 外设复位寄存器 1(RCC\_APB1RST1)

偏移地址: 0x0094

复位值: 0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			BTIM1RST	Reserved			BTIM2RST	Reserved			BTIM3RST	Reserved			BTIM4RST
			rw				rw				rw				rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			GTIMB1RST	Reserved			GTIMB2RST	Reserved			GTIMB3RST	Reserved			GTIMA4RST
			rw				rw				rw				rw

位域	名称	描述
31:29	Reserved	保留, 必须保持复位值
28	BTIM1RST	BTIMER1 软复位 0: 清除复位 1: 复位 BTIMER1
27:25	Reserved	保留, 必须保持复位值
24	BTIM2RST	BTIMER2 软复位

位域	名称	描述
		0: 清除复位 1: 复位 BTIMER2
23:21	Reserved	保留, 必须保持复位值
20	BTIM3RST	BTIMER3 软复位 0: 清除复位 1: 复位 BTIMER3
19:17	Reserved	保留, 必须保持复位值
16	BTIM4RST	BTIMER4 软复位 0: 清除复位 1: 复位 BTIMER4
15:13	Reserved	保留, 必须保持复位值
12	GTIMB1RST	GTIMERB1 软复位 0: 清除复位 1: 复位 GTIMERB1
11:9	Reserved	保留, 必须保持复位值
8	GTIMB2RST	GTIMERB2 软复位 0: 清除复位 1: 复位 GTIMERB2
7:5	Reserved	保留, 必须保持复位值
4	GTIMB3RST	GTIMERB3 软复位 0: 清除复位 1: 复位 GTIMERB3
3:1	Reserved	保留, 必须保持复位值
0	GTIMA4RST	GTIMERA4 软复位 0: 清除复位 1: 复位 GTIMERA4

### 4.5.38 APB1 外设复位寄存器 2(RCC\_APB1RST2)

偏移地址：0x0098

复位值：0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved			GTIMA5RST	Reserved			GTIMA6RST	Reserved			GTIMA7RST	Reserved			SPI3RST	
			rw				rw				rw				rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved			DAC12RST	Reserved							WWDG2RST	Reserved				
			rw								rw					

位域	名称	描述
31:29	Reserved	保留，必须保持复位值
28	GTIMA5RST	GTIMERA5 软复位 0：清除复位 1：复位 GTIMERA5
27:25	Reserved	保留，必须保持复位值
24	GTIMA6RST	GTIMERA6 软复位 0：清除复位 1：复位 GTIMERA6
23:21	Reserved	保留，必须保持复位值
20	GTIMA7RST	GTIMERA7 软复位 0：清除复位 1：复位 GTIMERA7
19:17	Reserved	保留，必须保持复位值
16	SPI3RST	SPI3 软复位 0：清除复位 1：复位 SPI3
15:13	Reserved	保留，必须保持复位值
12	DAC12RST	DAC12 软复位 0：清除复位 1：复位 DAC12
11:5	Reserved	保留，必须保持复位值
4	WWDG2RST	WWDG2 软复位 0：清除复位 1：复位 WWDG2
3:0	Reserved	保留，必须保持复位值

### 4.5.39 APB1 外设复位寄存器 3(RCC\_APB1RST3)

偏移地址：0x009C

复位值：0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			USART1RST	Reserved			USART2RST	Reserved			USART3RST	Reserved			USART4RST
			rw				rw				rw				rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			UART9RST	Reserved			UART10RST	Reserved			UART11RST	Reserved			UART12RST
			rw				rw				rw				rw

位域	名称	描述
31:29	Reserved	保留，必须保持复位值
28	USART1RST	USART1 软复位 0：清除复位 1：复位 USART1
27:25	Reserved	保留，必须保持复位值
24	USART2RST	USART2 软复位 0：清除复位 1：复位 USART2
23:21	Reserved	保留，必须保持复位值
20	USART3RST	USART3 软复位 0：清除复位 1：复位 USART3
19:17	Reserved	保留，必须保持复位值
16	USART4RST	USART4 软复位 0：清除复位 1：复位 USART4
15:13	Reserved	保留，必须保持复位值
12	UART9RST	UART9 软复位 0：清除复位 1：复位 UART9
11:9	Reserved	保留，必须保持复位值
8	UART10RST	UART10 软复位 0：清除复位 1：复位 UART10
7:5	Reserved	保留，必须保持复位值
4	UART11RST	UART11 软复位 0：清除复位 1：复位 UART11

位域	名称	描述
3:1	Reserved	保留，必须保持复位值
0	UART12RST	UART12 软复位 0: 清除复位 1: 复位 UART12

#### 4.5.40 APB1 外设复位寄存器 4(RCC\_APB1RST4)

偏移地址: 0x00A0

复位值: 0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			I2S3RST	Reserved			I2S4RST	Reserved			I2C1RST	Reserved			I2C2RST
			rw				rw				rw				rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			I2C3RST	Reserved											
			rw												

位域	名称	描述
31:29	Reserved	保留，必须保持复位值
28	I2S3RST	I2S3 软复位 0: 清除复位 1: 复位 I2S3
27:25	Reserved	保留，必须保持复位值
24	I2S4RST	I2S4 软复位 0: 清除复位 1: 复位 I2S3
23:21	Reserved	保留，必须保持复位值
20	I2C1RST	I2C1 软复位 0: 清除复位 1: 复位 I2C1
19:17	Reserved	保留，必须保持复位值
16	I2C2RST	I2C2 软复位 0: 清除复位 1: 复位 I2C2
15:13	Reserved	保留，必须保持复位值
12	I2C3RST	I2C3 软复位 0: 清除复位 1: 复位 I2C3
11:0	Reserved	保留，必须保持复位值

#### 4.5.41 APB1 外设复位寄存器 5(RCC\_APB1RST5)

偏移地址：0x00A4

复位值：0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			FDCAN1RST	Reserved			FDCAN2RST	Reserved			FDCAN5RST	Reserved			FDCAN6RST
			rw				rw				rw				rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved										CAHIRST	Reserved			CAHDRST	
										rw				rw	

位域	名称	描述
31:29	Reserved	保留，必须保持复位值
28	FDCAN1RST	FDCAN1 软复位 0: 清除复位 1: 复位 FDCAN1
27:25	Reserved	保留，必须保持复位值
24	FDCAN2RST	FDCAN2 软复位 0: 清除复位 1: 复位 FDCAN2
23:21	Reserved	保留，必须保持复位值
20	FDCAN5RST	FDCAN5 软复位 0: 清除复位 1: 复位 FDCAN5
19:17	Reserved	保留，必须保持复位值
16	FDCAN6RST	FDCAN6 软复位 0: 清除复位 1: 复位 FDCAN6
15:5	Reserved	保留，必须保持复位值

位域	名称	描述
4	CAHIRST	CAH_I 软复位 0: 清除复位 1: 复位 CAH_I
3:1	Reserved	保留, 必须保持复位值
0	CAHDRST	CAH_D 软复位 0: 清除复位 1: 复位 CAH_D

#### 4.5.42 AHB2 外设时钟分频寄存器 1(RCC\_AHB2DIV1)

偏移地址: 0x00A8

复位值: 0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ETH1SYSDIV[3:0]				Reserved											
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												USBHSEDIV[3:0]			
rw															

位域	名称	描述
31:28	ETH1SYSDIV[3:0]	ETH1 系统时钟预分频值。 0000: 除以 1 0001: 除以 2 0010: 除以 4 0100: 除以 8 0111: 除以 16 1000: 除以 32 1001: 除以 64 1010: 除以 128 1011: 除以 256 1100: 除以 512 其他值: 不允许设置
27:4	Reserved	保留, 必须保持复位值
3:0	USBHSEDIV[3:0]	USB HSE 时钟预分频值。



位域	名称	描述
		0000: 除以 1 0001: 除以 2 其他值: 不允许设置

#### 4.5.43 AHB2 外设时钟源选择寄存器 1(RCC\_AHB2SEL1)

偏移地址: 0x00AC

复位值: 0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
										ETH1PTPSEL[1:0]		ETH1GMIITXSEL[1:0]			
										rw		rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

位域	名称	描述
31:22	Reserved	保留, 必须保持复位值
21:20	ETH1PTPSEL[1:0]	ETH1 PTP 时钟选择。 00: 选择分频系统总线时钟作为 ETH1 PTP 时钟 01: 选择外设时钟作为 ETH1 PTP 时钟 10: 选择 PLL2_C 时钟作为 ETH1 PTP 时钟 11: 选择 PLL3_A 时钟作为 ETH1 PTP 时钟
19:18	ETH1GMIITXSEL[1:0]	ETH1 时钟复用器为 eth_gmii_tx_clk 端口选择 125MHz 时钟源。 00: 选择 PLL3_A 时钟作为 eth_gmii_tx_clk 的 125MHz 时钟源。 01: 选择 PLL2_B 时钟作为 eth_gmii_tx_clk 的 125MHz 时钟源。 10: 选择 Pad 时钟作为 eth_gmii_tx_clk 的 125MHz 时钟源 11: 选择 PLL1_C 时钟作为 eth_gmii_tx_clk 的 125MHz 时钟源。
17:0	Reserved	保留, 必须保持复位值

#### 4.5.44 AHB2 外设时钟使能寄存器 1(RCC\_AHB2EN1)

偏移地址: 0x00B0

复位值: 0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								M7USB1EN	M4USB1EN	M7USB1PEN	M4USB1PEN	Reserved			
								rw	rw	rw	rw				

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
M7ECCM2EN	M4ECCM2EN	M7ECCM2LPEN	M4ECCM2LPEN	M7CORDICEN	M4CORDICEN	M7CORDICLPEN	M4CORDICLPEN	M7SDPUE N	M4SDPUE N	M7SDPULPEN	M4SDPULPEN	M7FMACEN	M4FMACEN	M7FMACLPEN	M4FMACLPEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:24	Reserved	保留，必须保持复位值
23	M7USB1EN	USB1M7 分配和时钟使能。 由软件设置和清除。 0: USB1 未分配给 M7。在 M7 运行模式下，usb1_gated_hclk 被禁用。 1: USB1 分配给 M7。在 M7 运行模式下，usb1_gated_hclk 被启用。
22	M4USB1EN	USB1M4 分配和时钟使能。 由软件设置和清除。 0: USB1 未分配给 M4。在 M4 运行模式下，usb1_gated_hclk 被禁用。 1: USB1 分配给 M4。在 M4 运行模式下，usb1_gated_hclk 被启用。
21	M7USB1LPEN	USB1 M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下，usb1_gated_hclk 禁用。 1: 在 M7 休眠模式下，usb1_gated_hclk 使能。 注：在使能此位之前，应先使能 M7USB1EN 位，否则此位无效。
20	M4USB1LPEN	USB1 M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下，usb1_gated_hclk 禁用。 1: 在 M4 休眠模式下，usb1_gated_hclk 使能。 注：在使能此位之前，应先使能 M4USB1EN 位，否则此位无效。
19:16	Reserved	保留，必须保持复位值
15	M7ECCM2EN	ECCMON2 M7 分配和时钟使能。 由软件置位和清除。 0: ECCMON2 未分配给 M7。在 M7 运行模式下，eccmon2_gated_hclk 被禁用。 1: ECCMON2 已分配给 M7。在 M7 运行模式下，eccmon2_gated_hclk 被使能。
14	M4ECCM2EN	ECCMON2 M4 分配和时钟使能。 由软件置位和清除。 0: ECCMON2 未分配给 M4。在 M4 运行模式下，eccmon2_gated_hclk 被禁用。 1: ECCMON2 已分配给 M4。在 M4 运行模式下，eccmon2_gated_hclk 被使能。
13	M7ECCM2LPEN	ECCMON2 M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下，eccmon2_gated_hclk 时钟禁用。 1: 在 M7 休眠模式下，eccmon2_gated_hclk 时钟使能。 注：在使能此位之前，应先使能 M7ECCM2EN 位，否则此位无效。
12	M4ECCM2LPEN	ECCMON2M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下，eccmon2_gated_hclk 时钟禁用。 1: 在 M4 休眠模式下，eccmon2_gated_hclk 时钟使能。

位域	名称	描述
		注：在使能此位之前，应先使能 M4ECCM2EN 位，否则此位无效。
11	M7CORDICEN	CORDIC M7 分配和时钟使能。 由软件设置和清除。 0: CORDIC 未分配给 M7。在 M7 运行模式下，cordic_gated_hclk 被禁用。 1: CORDIC 已分配给 M7。在 M7 运行模式下，cordic_gated_hclk 被使能。
10	M4CORDICEN	CORDIC M4 分配和时钟使能。 由软件设置和清除。 0: CORDIC 未分配给 M4。在 M4RUN 模式下，cordic_gated_hclk 被禁用。 1: CORDIC 已分配给 M4。在 M4RUN 模式下，cordic_gated_hclk 被使能。
9	M7CORDICLPEN	CORDIC M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下，cordic_gated_hclk 时钟禁用。 1: 在 M7 休眠模式下，cordic_gated_hclk 时钟使能。 注：在使能此位之前，应先使能 M7CORDICEN 位，否则此位无效。
8	M4CORDICLPEN	CORDIC M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 睡眠和停止模式下，cordic_gated_hclk 时钟禁用。 1: 在 M4 睡眠模式下，cordic_gated_hclk 时钟使能。 注：在使能此位之前，应先使能 M4CORDICEN 位，否则此位无效。
7	M7SDPUEN	SDPU M7 分配和时钟使能。 由软件置位和清除。 0: SDPU 未分配给 M7。在 M7 运行模式下，sdpu_gated_(aes/des/sm4/rngc/sha)_clk 和 sdpu_gated_hclk 被禁用。 1: SDPU 已分配给 M7。在 M7 运行模式下，sdpu_gated_(aes/des/sm4/rngc/sha)_clk 和 sdpu_gated_hclk 被使能。
6	M4SDPUEN	SDPU M4 分配和时钟使能。 由软件设置和清除。 0: SDPU 未分配给 M4。在 M4 运行模式下，sdpu_gated_(aes/des/sm4/rngc/sha)_clk 和 sdpu_gated_hclk 被禁用。 1: SDPU 已分配给 M4。在 M4 运行模式下，sdpu_gated_(aes/des/sm4/rngc/sha)_clk 和 sdpu_gated_hclk 被使能。
5	M7SDPULPEN	SDPU M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下，禁用 sdpu_gated_(aes/des/sm4/rngc/sha)_clk 和 sdpu_gated_hclk 时钟。 1: 在 M7 休眠和停止模式下，启用 sdpu_gated_(aes/des/sm4/rngc/sha)_clk。在 M7 休眠模式下，启用 sdpu_gated_hclk。 注：在启用此位之前，应先启用 M7SDPUEN 位，否则此位无效。
4	M4SDPULPEN	SDPU M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 休眠和停止模式下，禁用 sdpu_gated_(aes/des/sm4/rngc/sha)_clk 和 sdpu_gated_hclk 时钟。 1: 在 M4 休眠和停止模式下，使能 sdpu_gated_(aes/des/sm4/rngc/sha)_clk。在 M4

位域	名称	描述
		休眠模式下，使能 sdpu_gated_hclk。 注：应先使能 M4SDPUEN 位，然后才能使能此位，否则此位无效。
3	M7FMACEN	FMAC M7 分配和时钟使能。 由软件设置和清除。 0：FMAC 未分配给 M7。在 M7 运行模式下，fmac_gated_hclk 被禁用。 1：FMAC 已分配给 M7。在 M7 运行模式下，fmac_gated_hclk 被启用。
2	M4FMACEN	FMAC M4 分配和时钟使能。 由软件设置和清除。 0：FMAC 未分配给 M4。在 M4 运行模式下，fmac_gated_hclk 被禁用。 1：FMAC 已分配给 M4。在 M4 运行模式下，fmac_gated_hclk 被启用。
1	M7FMACL PEN	FMAC M7 低功耗时钟使能。 由软件设置和清除。 0：在 M7 休眠和停止模式下，fmac_gated_hclk 时钟禁用。 1：在 M7 休眠模式下，fmac_gated_hclk 时钟使能。 注：在使能此位之前，应先使能 M7FMACEN 位，否则此位无效。
0	M4FMACL PEN	FMAC M4 低功耗时钟使能。 由软件设置和清除。 0：在 M4 休眠和停止模式下，fmac_gated_hclk 时钟禁用。 1：在 M4 休眠模式下，fmac_gated_hclk 时钟使能。 注：在使能此位之前，应先使能 M4FMACEN 位，否则此位无效。

#### 4.5.45 AHB2 外设时钟使能寄存器 2(RCC\_AHB2EN2)

偏移地址：0x01B4

复位值：0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								M7DAC56 EN	M4DAC56 EN	M7DAC56 LPEN	M4DAC56 LPEN	M7DAC34 EN	M4DAC34 EN	M7DAC34 LPEN	M4DAC34 LPEN
								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				M7ETH1T XEN	M4ETH1T XEN	M7ETH1T XLPEN	M4ETH1T XLPEN	M7ETH1R XEN	M4ETH1R XEN	M7ETH1R XLPEN	M4ETH1R XLPEN	M7ETH1 MACEN	M4ETH1 MACEN	M7ETH1 MACLPE N	M4ETH1 MACLPE N
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:24	Reserved	保留，必须保持复位值
23	M7DAC56EN	DAC56 M7 分配和时钟使能。 由软件设置和清除。 0：DAC56 未分配给 M7。在 M7 运行模式下，dac56_gated_hclk 被禁用。

位域	名称	描述
		1: DAC56 已分配给 M7。在 M7 运行模式下, dac56_gated_hclk 被启用。
22	M4DAC56EN	DAC56 M4 分配和时钟使能。 由软件设置和清除。 0: DAC56 未分配给 M4。在 M4 运行模式下, dac56_gated_hclk 被禁用。 1: DAC56 已分配给 M4。在 M4 运行模式下, dac56_gated_hclk 被启用。
21	M7DAC56LPEN	DAC56 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, dac56_gated_hclk 时钟禁用。 1: 在 M7 休眠模式下, dac56_gated_hclk 时钟使能。 注: 应先使能 M7DAC56EN 位, 然后再使能此位, 否则此位无效。
20	M4DAC56LPEN	DAC56 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 休眠和停止模式下, dac56_gated_hclk 时钟禁用。 1: 在 M4 休眠模式下, dac56_gated_hclk 时钟使能。 注: 应先使能 M4DAC56EN 位, 然后再使能此位, 否则此位无效。
19	M7DAC34EN	DAC34 M7 分配和时钟使能。 由软件设置和清除。 0: DAC34 未分配给 M7。在 M7 运行模式下, dac34_gated_hclk 被禁用。 1: DAC34 已分配给 M7。在 M7 运行模式下, dac34_gated_hclk 被启用。
18	M4DAC34EN	DAC34 M4 分配和时钟使能。 由软件设置和清除。 0: DAC34 未分配给 M4。在 M4 运行模式下, dac34_gated_hclk 被禁用。 1: DAC34 已分配给 M4。在 M4 运行模式下, dac34_gated_hclk 被启用。
17	M7DAC34LPEN	DAC34 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, dac34_gated_hclk 时钟禁用。 1: 在 M7 休眠模式下, dac34_gated_hclk 时钟使能。 注: 应先使能 M7DAC34EN 位, 然后再使能此位, 否则此位无效。
16	M4DAC34LPEN	DAC34 M4 低功耗时钟使能。

位域	名称	描述
		由软件设置和清除。 0: 在 M4 休眠和停止模式下, dac34_gated_hclk 时钟禁用。 1: 在 M4 休眠模式下, dac34_gated_hclk 时钟使能。 注: 应先使能 M4DAC34EN 位, 然后再使能此位, 否则此位无效。
15:12	Reserved	保留, 必须保持复位值
11	M7ETH1TXEN	ETH1TX M7 分配和时钟使能。 由软件设置和清除。 0: ETH1TX 未分配给 M7。在 M7 运行模式下, eth1_mii_tx_gated_clk 被禁用。 1: ETH1TX 已分配给 M7。在 M7 运行模式下, eth1_mii_tx_gated_clk 被启用。
10	M4ETH1TXEN	ETH1TX M4 分配和时钟使能。 由软件设置和清除。 0: ETH1TX 未分配给 M4。在 M4 运行模式下, eth1_mii_tx_gated_clk 被禁用。 1: ETH1TX 已分配给 M4。在 M4 运行模式下, eth1_mii_tx_gated_clk 被启用。
9	M7ETH1TXLPEN	ETH1TX M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, eth1_mii_tx_gated_clk 时钟禁用。 1: 在 M7 休眠和停止模式下, eth1_mii_tx_gated_clk 时钟使能。 注: 在使能此位之前, 应先使能 M7ETH1TXEN 位, 否则此位无效。
8	M4ETH1TXLPEN	ETH1TX M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 休眠和停止模式下, eth1_mii_tx_gated_clk 时钟禁用。 1: 在 M4 休眠和停止模式下, eth1_mii_tx_gated_clk 时钟使能。 注: 应先使能 M4ETH1TXEN 位, 然后再使能此位, 否则此位无效。
7	M7ETH1RXEN	ETH1RX M7 分配和时钟使能。 由软件设置和清除。 0: ETH1RX 未分配给 M7。在 M7 运行模式下, eth1_mii_rx_gated_clk 被禁用。 1: ETH1RX 已分配给 M7。在 M7 运行模式下, eth1_mii_rx_gated_clk 被启用。
6	M4ETH1RXEN	ETH1RX M4 分配和时钟使能。 由软件设置和清除。

位域	名称	描述
		0: ETH1RX 未分配给 M4。在 M4 运行模式下, eth1_mii_rx_gated_clk 被禁用。 1: ETH1RX 已分配给 M4。在 M4 运行模式下, eth1_mii_rx_gated_clk 被启用。
5	M7ETH1RXLPEN	ETH1RX M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, eth1_mii_rx_gated_clk 时钟禁用。 1: 在 M7 休眠和停止模式下, eth1_mii_rx_gated_clk 时钟使能。 注: 在使能此位之前, 应先使能 M7ETH1RXEN 位, 否则此位无效。
4	M4ETH1RXLPEN	ETH1RX M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下, eth1_mii_rx_gated_clk 时钟禁用。 1: 在 M4 休眠和停止模式下, eth1_mii_rx_gated_clk 时钟使能。 注: 应先使能 M4ETH1RXEN 位, 然后再使能此位, 否则此位无效。
3	M7ETH1MACEN	ETH1MAC M7 分配和时钟使能。 由软件设置和清除。 0: ETH1MAC 未分配给 M7。在 M7 运行模式下, eth1_gated_hclk 和 eth1_ptp_gated_clk 被禁用。 1: ETH1MAC 分配给 M7。在 M7 运行模式下, eth1_gated_hclk 和 eth1_ptp_gated_clk 被使能。
2	M4ETH1MACEN	ETH1MAC M4 分配和时钟使能。 由软件设置和清除。 0: ETH1MAC 未分配给 M4。在 M4 运行模式下, eth1_gated_hclk 和 eth1_ptp_gated_clk 禁用。 1: ETH1MAC 已分配给 M4。在 M4 运行模式下, eth1_gated_hclk 和 eth1_ptp_gated_clk 使能。
1	M7ETH1MACLPEN	ETH1MAC M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, eth1_gated_hclk 和 eth1_ptp_gated_clk 时钟禁用。 1: 在 M7 休眠模式下, eth1_gated_hclk 使能。在 M7 休眠和停止 0 模式下, eth1_ptp_gated_clk 使能。 注: 在使能此位之前, 应先使能 M7ETH1MACEN 位, 否则此位无效。

位域	名称	描述
0	M4ETH1MACLPEN	ETH1MAC M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 睡眠和停止模式下, eth1_gated_hclk 和 eth1_ptp_gated_clk 时钟禁用。 1: 在 M4 睡眠模式下, eth1_gated_hclk 使能。在 M4 睡眠和停止 0 模式下, eth1_ptp_gated_clk 使能。 注: 在使能此位之前, 应先使能 M4ETH1MACEN 位, 否则此位无效。

#### 4.5.46 AHB2 外设复位寄存器 1(RCC\_AHB2RST1)

偏移地址: 0x00B4

复位值: 0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved						DAC56RST	DAC34RST	Reserved	USB1WRAPRST	USB1PORRST	USB1RST	Reserved			ETH1RST
						rw	rw	rw	rw	rw	rw				rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			ECCM2RST	Reserved			CORDICRST	Reserved			SDPURST	Reserved			FMACRST
			rw				rw				rw				rw

位域	名称	描述
31:26	Reserved	保留, 必须保持复位值
25	DAC56RST	DAC56 软复位 0: 清除复位 1: 复位 DAC56
24	DAC34RST	DAC34 软复位 0: 清除复位 1: 复位 DAC34
23	Reserved	保留, 必须保持复位值
22	USB1WRAPRST	USB1 WRAPPER 软复位 0: 清除复位 1: 复位 USB1 WRAPPER



位域	名称	描述
21	USB1PORRST	USB1 POR 软复位 0: 清除复位 1: 复位 USB1 POR
20	USB1RST	USB1 软复位 0: 清除复位 1: 复位 USB1
19:17	Reserved	保留, 必须保持复位值
16	ETH1RST	ETH1 软复位 0: 清除复位 1: 复位 ETH1
15:13	Reserved	保留, 必须保持复位值
12	ECCM2RST	ECCMON2 软复位 0: 清除复位 1: 复位 ECCMON2
11:9	Reserved	保留, 必须保持复位值
8	CORDICRST	CORDIC 软复位 0: 清除复位 1: 复位 CORDIC
7:5	Reserved	保留, 必须保持复位值
4	SDPURST	SDPU 软复位 0: 清除复位 1: 复位 SDPU
3:1	Reserved	保留, 必须保持复位值
0	FMACRST	FMAC 软复位 0: 清除复位 1: 复位 FMAC

### 4.5.47 APB2 外设时钟分频寄存器 1(RCC\_APB2DIV1)

偏移地址：0x00B8

复位值：0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	APB2ATIMDIV[2:0]			Reserved	APB2GTIMDIV[2:0]			Reserved			APB2I2SDIV[2:0]				
rw				rw				rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	APB2DSMUDIV[2:0]			Reserved	APB2I2CDIV[2:0]			Reserved	APB2FDCANDIV[2:0]			Reserved			
rw				rw				rw							

位域	名称	描述
31	Reserved	保留，必须保持复位值
30:28	APB2ATIMDIV[2:0]	APB2 ATimer 时钟预分频器值。 000: 除以 1 100: 除以 2 101: 除以 4 110: 除以 8 111: 除以 16
27	Reserved	保留，必须保持复位值
26:24	APB2GTIMDIV[2:0]	APB2 GTimer 时钟预分频器值。 000: 除以 1 100: 除以 2 101: 除以 4 110: 除以 8 111: 除以 16
23:19	Reserved	保留，必须保持复位值
18:16	APB2I2SDIV[2:0]	APB2 I2S 时钟预分频值 当 I2S(n)KERSEL 选择为 2'b00 时有效。 000: 除以 1 100: 除以 2

位域	名称	描述
		101: 除以 4 110: 除以 8 111: 除以 16
15	Reserved	保留, 必须保持复位值
14:12	APB2DSMUDIV[2:0]	DSMU 系统总线时钟预分频器值。 000: 除以 1 100: 除以 2 101: 除以 4 110: 除以 8 111: 除以 16
11	Reserved	保留, 必须保持复位值
10:8	APB2I2CDIV[2:0]	APB2 I2C 时钟预分频值 当 I2C(n)KERSEL 选择为 3'b000 时生效。 000: 除以 1 100: 除以 2 101: 除以 4 110: 除以 8 111: 除以 16
7	Reserved	保留, 必须保持复位值
6:4	APB2FDCANDIV[2:0]	APB2 FDCAN 时钟预分频值 当 FDCAN(n)KERSEL 选择为 3'b000 时有效。 000: 除以 1 100: 除以 2 101: 除以 4 110: 除以 8 111: 除以 16
3:0	Reserved	保留, 必须保持复位值

### 4.5.48 APB2 外设时钟源选择寄存器 1(RCC\_APB2SEL1)

偏移地址：0x00BC

复位值：0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved											DSMUKERSEL	Reserved	DSMUKERASEL[2:0]		
											rw		rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	I2C4KERSEL[2:0]			Reserved	I2C5KERSEL[2:0]			Reserved	I2C6KERSEL[2:0]			I2S2KERSEL[1:0]		I2S1KERSEL[1:0]	
			rw				rw				rw	rw		rw	

位域	名称	描述
31:21	Reserved	保留，必须保持复位值
20	DSMUKERSEL	DSMU 内核时钟选择。 0：APB2 总线时钟选择为 dsmu_gated_ker_clk。 1：分频系统总线时钟选择为 dsmu_gated_ker_clk。
19	Reserved	保留，必须保持复位值
18:16	DSMUKERASEL[2:0]	DSMU 内核 A 时钟选择。 000：APB2 总线时钟选择为 dsmu_gated_ker_a_clk。 001：PLL1_B 时钟选择为 dsmu_gated_ker_a_clk。 010：PLL2_B 时钟选择为 dsmu_gated_ker_a_clk。 011：PLL3_A 时钟选择为 dsmu_gated_ker_a_clk。 100：I2S_CKIN 时钟选择为 dsmu_gated_ker_a_clk。 101：外设时钟选择为 dsmu_gated_ker_a_clk。 其他值：不允许设置
15	Reserved	保留，必须保持复位值
14:12	I2C4KERSEL[2:0]	I2C4 内核时钟选择。 000：选择分频系统总线时钟作为 i2c4_ker_gated_clk。 001：选择 PLL3_C 时钟作为 i2c4_ker_gated_clk。 010：选择 HSI 时钟作为 i2c4_ker_gated_clk。 011：选择 MSI 时钟作为 i2c4_ker_gated_clk。 其他值：不允许设置
11	Reserved	保留，必须保持复位值
10:8	I2C5KERSEL[2:0]	I2C5 内核时钟选择。 000：选择分频系统总线时钟作为 i2c5_ker_gated_clk。 001：选择 PLL3_C 时钟作为 i2c5_ker_gated_clk。 010：选择 HSI 时钟作为 i2c5_ker_gated_clk。 011：选择 MSI 时钟作为 i2c5_ker_gated_clk。 其他值：不允许设置

位域	名称	描述
7	Reserved	保留，必须保持复位值
6:4	I2C6KERSEL[2:0]	I2C6 内核时钟选择。 000: 选择分频系统总线时钟作为 i2c6_ker_gated_clk。 001: 选择 PLL3_C 时钟作为 i2c6_ker_gated_clk。 010: 选择 HSI 时钟作为 i2c6_ker_gated_clk。 011: 选择 MSI 时钟作为 i2c6_ker_gated_clk。 其他值：不允许设置
3:2	I2S2KERSEL[1:0]	I2S2 内核时钟选择。 00: 分频后的系统总线时钟选择为 i2s2_ker_gated_clk。 01: PLL3_B 时钟选择为 i2s2_ker_gated_clk。 10: HSI 时钟选择为 i2s2_ker_gated_clk。 11: i2s2_ckin_clk (来自 IOM) 选择为 i2s2_ker_gated_clk。
1:0	I2S1KERSEL[1:0]	I2S1 内核时钟选择。 00: 分频后的系统总线时钟选择为 i2s1_ker_gated_clk。 01: PLL3_B 时钟选择为 i2s1_ker_gated_clk。 10: HSI 时钟选择为 i2s1_ker_gated_clk。 11: i2s1_ckin_clk (来自 IOM) 选择为 i2s1_ker_gated_clk。

#### 4.5.49 APB2 外设时钟源选择寄存器 2(RCC\_APB2SEL2)

偏移地址：0x00C0

复位值：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved	FDCAN3KERSEL[2:0]				Reserved				FDCAN4KERSEL[2:0]				Reserved			
rw								rw								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved	FDCAN7KERSEL[2:0]				Reserved				FDCAN8KERSEL[2:0]				Reserved			
rw								rw								

位域	名称	描述
31:21	Reserved	保留，必须保持复位值
30:28	FDCAN3KERSEL[2:0]	FDCAN3 内核时钟选择。 000: 选择分频后的系统总线时钟作为 fdcan3_gated_ker_clk。 001: 选择 PLL1_C 时钟作为 fdcan3_gated_ker_clk。 010: 选择 PLL2_C 时钟作为 fdcan3_gated_ker_clk。 011: 选择 PLL3_B 时钟作为 fdcan3_gated_ker_clk。 100: 选择外设时钟作为 fdcan3_gated_ker_clk。 其他值：不允许设置

位域	名称	描述
27:23	Reserved	保留，必须保持复位值
22:20	FDCAN4KERSEL[2:0]	FDCAN4 内核时钟选择。 000：选择分频后的系统总线时钟作为 fdcan4_gated_ker_clk。 001：选择 PLL1_C 时钟作为 fdcan4_gated_ker_clk。 010：选择 PLL2_C 时钟作为 fdcan4_gated_ker_clk。 011：选择 PLL3_B 时钟作为 fdcan4_gated_ker_clk。 100：选择外设时钟作为 fdcan4_gated_ker_clk。 其他值：不允许设置
19:15	Reserved	保留，必须保持复位值
14:12	FDCAN7KERSEL[2:0]	FDCAN7 内核时钟选择。 000：选择分频后的系统总线时钟作为 fdcan7_gated_ker_clk。 001：选择 PLL1_C 时钟作为 fdcan7_gated_ker_clk。 010：选择 PLL2_C 时钟作为 fdcan7_gated_ker_clk。 011：选择 PLL3_B 时钟作为 fdcan7_gated_ker_clk。 100：选择外设时钟作为 fdcan7_gated_ker_clk。 其他值：不允许设置
11:7	Reserved	保留，必须保持复位值
6:4	FDCAN8KERSEL[2:0]	FDCAN8 内核时钟选择。 000：选择分频后的系统总线时钟作为 fdcan8_gated_ker_clk。 001：选择 PLL1_C 时钟作为 fdcan8_gated_ker_clk。 010：选择 PLL2_C 时钟作为 fdcan8_gated_ker_clk。 011：选择 PLL3_B 时钟作为 fdcan8_gated_ker_clk。 100：选择外设时钟作为 fdcan8_gated_ker_clk。 其他值：不允许设置
3:0	Reserved	保留，必须保持复位值

#### 4.5.50 APB2 外设时钟使能寄存器 1(RCC\_APB2EN1)

偏移地址：0x00C4

复位值：0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M7ATIM1 EN	M4ATIM1 EN	M7ATIM1 LPEN	M4ATIM1 LPEN	M7ATIM2 EN	M4ATIM2 EN	M7ATIM2 LPEN	M4ATIM2 LPEN	M7GTIM A1EN	M4GTIM A1EN	M7GTIM A1LPEN	M4GTIM A1LPEN	M7GTIM A2EN	M4GTIM A2EN	M7GTIM A2LPEN	M4GTIM A2LPEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
M7GTIM A3EN	M4GTIM A3EN	M7GTIM A3LPEN	M4GTIM A3LPEN	M7SHRT1 MIEN	M4SHRT1 MIEN	M7SHRT1 M1LPEN	M4SHRT1 M1LPEN	M7SHRT1 M2EN	M4SHRT1 M2EN	M7SHRT1 M2LPEN	M4SHRT1 M2LPEN	Reserved			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				

位域	名称	描述
31	M7ATIM1EN	<p>ATIMER1 M7 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: ATIMER1 未分配给 M7。在 M7 运行模式下, atimer1_gated_ker_clk 和 atimer1_gated_pclk 被禁用。</p> <p>1: ATIMER1 分配给 M7。在 M7 运行模式下, atimer1_gated_ker_clk 和 atimer1_gated_pclk 被使能。</p>
30	M4ATIM1EN	<p>ATIMER1 M4 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: ATIMER1 未分配给 M4。在 M4 运行模式下, atimer1_gated_ker_clk 和 atimer1_gated_pclk 被禁用。</p> <p>1: ATIMER1 分配给 M4。在 M4 运行模式下, atimer1_gated_ker_clk 和 atimer1_gated_pclk 被使能。</p>
29	M7ATIM1LPEN	<p>ATIMER1 M7 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M7 休眠和停止模式下, atimer1_gated_ker_clk 和 atimer1_gated_pclk 时钟禁用。</p> <p>1: 在 M7 休眠和停止模式下, atimer1_gated_ker_clk 使能。在 M7 休眠模式下, atimer1_gated_pclk 使能。</p> <p>注: 在使能此位之前, 应先使能 M7ATIM1EN 位, 否则此位无效。</p>
28	M4ATIM1LPEN	<p>ATIMER1 M4 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M4 休眠和停止模式下, atimer1_gated_ker_clk 和 atimer1_gated_pclk 时钟禁用。</p> <p>1: 在 M4 休眠和停止模式下, atimer1_gated_ker_clk 使能。在 M4 休眠模式下, atimer1_gated_pclk 使能。</p> <p>注: 在使能此位之前, 应先使能 M4ATIM1EN 位, 否则此位无效。</p>
27	M7ATIM2EN	<p>ATIMER2 M7 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: ATIMER2 未分配给 M7。在 M7 运行模式下, atimer2_gated_ker_clk 和 atimer2_gated_pclk 被禁用。</p> <p>1: ATIMER2 分配给 M7。在 M7 运行模式下, atimer2_gated_ker_clk 和 atimer2_gated_pclk 被使能。</p>
26	M4ATIM2EN	<p>ATIMER2 M4 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: ATIMER2 未分配给 M4。在 M4 运行模式下, atimer2_gated_ker_clk 和 atimer2_gated_pclk 被禁用。</p> <p>1: ATIMER2 已分配给 M4。在 M4 运行模式下, atimer2_gated_ker_clk 和 atimer2_gated_pclk 被使能。</p>
25	M7ATIM2LPEN	<p>ATIMER2 M7 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M7 休眠和停止模式下, atimer2_gated_ker_clk 和 atimer2_gated_pclk 时钟禁用。</p> <p>1: 在 M7 休眠和停止模式下, atimer2_gated_ker_clk 使能。在 M7 休眠模式下,</p>

位域	名称	描述
		atimer2_gated_pclk 使能。 注：在使能此位之前，应先使能 M7ATIM2EN 位，否则此位无效。
24	M4ATIM2LPEN	ATIMER2 M4 低功耗时钟使能。 由软件置位和清除。 0：在 M4 休眠和停止模式下，atimer2_gated_ker_clk 和 atimer2_gated_pclk 时钟禁用。 1：在 M4 休眠和停止模式下，atimer2_gated_ker_clk 使能。在 M4 休眠模式下，atimer2_gated_pclk 使能。 注意：在使能此位之前，应先使能 M4ATIM2EN 位，否则此位无效。
23	M7GTIMA1EN	GTIMERA1 M7 分配和时钟使能。 由软件置位和清除。 0：GTIMERA1 未分配给 M7。在 M7 运行模式下，gtimera1_gated_ker_clk 和 gtimera1_gated_pclk 被禁用。 1：GTIMERA1 分配给 M7。在 M7 运行模式下，gtimera1_gated_ker_clk 和 gtimera1_gated_pclk 被使能。
22	M4GTIMA1EN	GTIMERA1 M4 分配和时钟使能。 由软件置位和清除。 0：GTIMERA1 未分配给 M4。在 M4 运行模式下，gtimera1_gated_ker_clk 和 gtimera1_gated_pclk 被禁用。 1：GTIMERA1 分配给 M4。在 M4 运行模式下，gtimera1_gated_ker_clk 和 gtimera1_gated_pclk 被使能。
21	M7GTIMA1LPEN	GTIMERA1 M7 低功耗时钟使能。 由软件置位和清除。 0：在 M7 休眠和停止模式下，禁用 gtimera1_gated_ker_clk 和 gtimera1_gated_pclk 时钟。 1：在 M7 休眠和停止模式下，使能 gtimera1_gated_ker_clk。在 M7 休眠模式下，使能 gtimera1_gated_pclk。 注：在使能此位之前，应先使能 M7GTIMA1EN 位，否则此位无效。
20	M4GTIMA1LPEN	GTIMERA1 M4 低功耗时钟使能。 由软件置位和清除。 0：在 M4 休眠和停止模式下，禁用 gtimera1_gated_ker_clk 和 gtimera1_gated_pclk 时钟。 1：在 M4 休眠和停止模式下，使能 gtimera1_gated_ker_clk。在 M4 休眠模式下，使能 gtimera1_gated_pclk。 注：应先使能 M4GTIMA1EN 位，然后再使能此位，否则此位无效。
19	M7GTIMA2EN	GTIMERA2 M7 分配和时钟使能。 由软件置位和清除。 0：GTIMERA2 未分配给 M7。在 M7 运行模式下，gtimera2_gated_ker_clk 和 gtimera2_gated_pclk 被禁用。 1：GTIMERA2 分配给 M7。在 M7 运行模式下，gtimera2_gated_ker_clk 和 gtimera2_gated_pclk 被使能。
18	M4GTIMA2EN	GTIMERA2 M4 分配和时钟使能。 由软件置位和清除。



位域	名称	描述
		<p>0: GTIMERA2 未分配给 M4。在 M4 运行模式下, gtimera2_gated_ker_clk 和 gtimera2_gated_pclk 被禁用。</p> <p>1: GTIMERA2 已分配给 M4。在 M4 运行模式下, gtimera2_gated_ker_clk 和 gtimera2_gated_pclk 被使能。</p>
17	M7GTIMA2LPEN	<p>GTIMERA2 M7 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M7 休眠和停止模式下, 禁用 gtimera2_gated_ker_clk 和 gtimera2_gated_pclk 时钟。</p> <p>1: 在 M7 休眠和停止模式下, 使能 gtimera2_gated_ker_clk。在 M7 休眠模式下, 使能 gtimera2_gated_pclk。</p> <p>注: 在使能此位之前, 应先使能 M7GTIMA2EN 位, 否则此位无效。</p>
16	M4GTIMA2LPEN	<p>GTIMERA2 M4 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M4 休眠和停止模式下, 禁用 gtimera2_gated_ker_clk 和 gtimera2_gated_pclk 时钟。</p> <p>1: 在 M4 休眠和停止模式下, 使能 gtimera2_gated_ker_clk。在 M4 休眠模式下, 使能 gtimera2_gated_pclk。</p> <p>注: 应先使能 M4GTIMA2EN 位, 然后再使能此位, 否则此位无效。</p>
15	M7GTIMA3EN	<p>GTIMERA3 M7 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: GTIMERA3 未分配给 M7。在 M7 运行模式下, gtimera3_gated_ker_clk 和 gtimera3_gated_pclk 被禁用。</p> <p>1: GTIMERA3 分配给 M7。在 M7 运行模式下, gtimera3_gated_ker_clk 和 gtimera3_gated_pclk 被使能。</p>
14	M4GTIMA3EN	<p>GTIMERA3 M4 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: GTIMERA3 未分配给 M4。在 M4 运行模式下, gtimera3_gated_ker_clk 和 gtimera3_gated_pclk 被禁用。</p> <p>1: GTIMERA3 已分配给 M4。在 M4 运行模式下, gtimera3_gated_ker_clk 和 gtimera3_gated_pclk 被使能。</p>
13	M7GTIMA3LPEN	<p>GTIMERA3 M7 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M7 休眠和停止模式下, 禁用 gtimera3_gated_ker_clk 和 gtimera3_gated_pclk 时钟。</p> <p>1: 在 M7 休眠和停止模式下, 使能 gtimera3_gated_ker_clk。在 M7 休眠模式下, 使能 gtimera3_gated_pclk。</p> <p>注: 应先使能 M7GTIMA3EN 位, 然后再使能此位, 否则此位无效。</p>
12	M4GTIMA3LPEN	<p>GTIMERA3 M4 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M4 休眠和停止模式下, 禁用 gtimera3_gated_ker_clk 和 gtimera3_gated_pclk 时钟。</p> <p>1: 在 M4 休眠和停止模式下, 使能 gtimera3_gated_ker_clk。在 M4 休眠模式下, 使能 gtimera3_gated_pclk。</p>

位域	名称	描述
		注：应先使能 M4GTIMA3EN 位，然后再使能此位，否则此位无效。
11	M7SHRTIM1EN	SHRTIMER1 M7 分配和时钟使能。 由软件置位和清除。 0：SHRTIMER1 未分配给 M7。在 M7 运行模式下，shrtimer1_gated_ker_clk 和 shrtimer1_gated_pclk 被禁用。 1：SHRTIMER1 分配给 M7。在 M7 运行模式下，shrtimer1_gated_ker_clk 和 shrtimer1_gated_pclk 被使能。
10	M4SHRTIM1EN	SHRTIMER1 M4 分配和时钟使能。 由软件置位和清除。 0：SHRTIMER1 未分配给 M4。在 M4 运行模式下，shrtimer1_gated_ker_clk 和 shrtimer1_gated_pclk 被禁用。 1：SHRTIMER1 已分配给 M4。在 M4 运行模式下，shrtimer1_gated_ker_clk 和 shrtimer1_gated_pclk 被使能。
9	M7SHRTIM1LPEN	SHRTIMER1 M7 低功耗时钟使能。 由软件置位和清除。 0：在 M7 休眠和停止模式下，shrtimer1_gated_ker_clk 和 shrtimer1_gated_pclk 时钟禁用。 1：在 M7 休眠和停止模式下，shrtimer1_gated_ker_clk 时钟使能。在 M7 休眠模式下，shrtimer1_gated_pclk 时钟使能。 注：在使能此位之前，应先使能 M7SHRTIM1EN 位，否则此位无效。
8	M4SHRTIM1LPEN	SHRTIMER1 M4 低功耗时钟使能。 由软件置位和清除。 0：在 M4 休眠和停止模式下，shrtimer1_gated_ker_clk 和 shrtimer1_gated_pclk 时钟禁用。 1：在 M4 休眠和停止模式下，shrtimer1_gated_ker_clk 时钟使能。在 M4 休眠模式下，shrtimer1_gated_pclk 时钟使能。 注：在使能此位之前，应先使能 M4SHRTIM1EN 位，否则此位无效。
7	M7SHRTIM2EN	SHRTIMER2 M7 分配和时钟使能。 由软件置位和清除。 0：SHRTIMER2 未分配给 M7。在 M7 运行模式下，shrtimer2_gated_ker_clk 和 shrtimer2_gated_pclk 被禁用。 1：SHRTIMER2 分配给 M7。在 M7 运行模式下，shrtimer2_gated_ker_clk 和 shrtimer2_gated_pclk 被使能。
6	M4SHRTIM2EN	SHRTIMER2 M4 分配和时钟使能。 由软件置位和清除。 0：SHRTIMER2 未分配给 M4。在 M4 运行模式下，shrtimer2_gated_ker_clk 和 shrtimer2_gated_pclk 被禁用。 1：SHRTIMER2 已分配给 M4。在 M4 运行模式下，shrtimer2_gated_ker_clk 和 shrtimer2_gated_pclk 被使能。
5	M7SHRTIM2LPEN	SHRTIMER2 M7 低功耗时钟使能。 由软件置位和清除。 0：在 M7 休眠和停止模式下，shrtimer2_gated_ker_clk 和 shrtimer2_gated_pclk 时钟禁用。

位域	名称	描述
		1: 在 M7 休眠和停止模式下, shrtimer2_gated_ker_clk 时钟使能。在 M7 休眠模式下, shrtimer2_gated_pclk 时钟使能。 注: 在使能此位之前, 应先使能 M7SHRTIM2EN 位, 否则此位无效。
4	M4SHRTIM2LPEN	SHRTIMER2 M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下, shrtimer2_gated_ker_clk 和 shrtimer2_gated_pclk 时钟禁用。 1: 在 M4 休眠和停止模式下, shrtimer2_gated_ker_clk 时钟使能。在 M4 休眠模式下, shrtimer2_gated_pclk 时钟使能。 注: 在使能此位之前, 应先使能 M4SHRTIM2EN 位, 否则此位无效。
3:0	Reserved	保留, 必须保持复位值

#### 4.5.51 APB2 外设时钟使能寄存器 2(RCC\_APB2EN2)

偏移地址: 0x00C8

复位值: 0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M7I2S1EN	M4I2S1EN	M7I2S1LPEN	M4I2S1LPEN	M7I2S2EN	M4I2S2EN	M7I2S2LPEN	M4I2S2LPEN	M7SPI1EN	M4SPI1EN	M7SPI1LPEN	M4SPI1LPEN	M7SPI2EN	M4SPI2EN	M7SPI2LPEN	M4SPI2LPEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
M7DSMUEN	M4DSMUEN	M7DSMULPEN	M4DSMULPEN	M7I2C4EN	M4I2C4EN	M7I2C4LPEN	M4I2C4LPEN	M7I2C5EN	M4I2C5EN	M7I2C5LPEN	M4I2C5LPEN	M7I2C6EN	M4I2C6EN	M7I2C6LPEN	M4I2C6LPEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31	M7I2S1EN	I2S1 M7 分配和时钟使能。 由软件设置和清除。 0: I2S1 未分配给 M7。在 M7 运行模式下, i2s1_ker_gated_clk 和 i2s1_gated_pclk 被禁用。 1: I2S1 分配给 M7。在 M7 运行模式下, i2s1_ker_gated_clk 和 i2s1_gated_pclk 被使能。
30	M4I2S1EN	I2S1 M4 分配和时钟使能。 由软件设置和清除。 0: I2S1 未分配给 M4。在 M4 运行模式下, i2s1_ker_gated_clk 和 i2s1_gated_pclk 被禁用。 1: I2S1 分配给 M4。在 M4 运行模式下, i2s1_ker_gated_clk 和 i2s1_gated_pclk 被使能。
29	M7I2S1LPEN	I2S1 M7 低功耗时钟使能。 由软件设置和清除。

位域	名称	描述
		0: 在 M7 休眠和停止模式下, i2s1_ker_gated_clk 和 i2s1_gated_pclk 时钟禁用。 1: 在 M7 休眠和停止模式下, i2s1_ker_gated_clk 使能。在 M7 休眠模式下, i2s1_gated_pclk 使能。 注: 在使能此位之前, 应先使能 M7I2S1EN 位, 否则此位无效。
28	M4I2S1LPEN	I2S1 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 睡眠和停止模式下, i2s1_ker_gated_clk 和 i2s1_gated_pclk 时钟禁用。 1: 在 M4 睡眠和停止模式下, i2s1_ker_gated_clk 使能。在 M4 睡眠模式下, i2s1_gated_pclk 使能。 注: 应先使能 M4I2S1EN 位, 然后再使能此位, 否则此位无效。
27	M7I2S2EN	I2S2 M7 分配和时钟使能。 由软件设置和清除。 0: I2S2 未分配给 M7。在 M7 运行模式下, i2s2_ker_gated_clk 和 i2s2_gated_pclk 被禁用。 1: I2S2 分配给 M7。在 M7 运行模式下, i2s2_ker_gated_clk 和 i2s2_gated_pclk 被使能。
26	M4I2S2EN	I2S2 M4 分配和时钟使能。 由软件设置和清除。 0: I2S2 未分配给 M4。在 M4 运行模式下, i2s2_ker_gated_clk 和 i2s2_gated_pclk 被禁用。 1: I2S2 分配给 M4。在 M4 运行模式下, i2s2_ker_gated_clk 和 i2s2_gated_pclk 被使能。
25	M7I2S2LPEN	I2S2 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, i2s2_ker_gated_clk 和 i2s2_gated_pclk 时钟禁用。 1: 在 M7 休眠和停止模式下, i2s2_ker_gated_clk 使能。在 M7 休眠模式下, i2s2_gated_pclk 使能。 注: 在使能此位之前, 应先使能 M7I2S2EN 位, 否则此位无效。
24	M4I2S2LPEN	I2S2 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 睡眠和停止模式下, i2s2_ker_gated_clk 和 i2s2_gated_pclk 时钟禁用。 1: 在 M4 睡眠和停止模式下, i2s2_ker_gated_clk 使能。在 M4 睡眠模式下, i2s2_gated_pclk 使能。 注: 在使能此位之前, 应先使能 M4I2S2EN 位, 否则此位无效。
23	M7SPI1EN	SPI1 M7 分配和时钟使能。 由软件设置和清除。 0: SPI1 未分配给 M7。在 M7 运行模式下, spi1_gated_ker_clk 和 spi1_gated_pclk 被禁用。 1: SPI1 分配给 M7。在 M7 运行模式下, spi1_gated_ker_clk 和 spi1_gated_pclk 被使能。
22	M4SPI1EN	SPI1 M4 分配和时钟使能。 由软件设置和清除。 0: SPI1 未分配给 M4。在 M4 运行模式下, spi1_gated_ker_clk 和 spi1_gated_pclk 被

位域	名称	描述
		禁用。 1: SPI1 分配给 M4。在 M4 运行模式下, spi1_gated_ker_clk 和 spi1_gated_pclk 被使能。
21	M7SPI1LPEN	SPI1 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, spi1_gated_ker_clk 和 spi1_gated_pclk 禁用。 1: 在 M7 休眠和停止模式下, spi1_gated_ker_clk 使能。在 M7 休眠模式下, spi1_gated_pclk 使能。 注: 在使能此位之前, 应先使能 M7SPI1EN 位, 否则此位无效。
20	M4SPI1LPEN	SPI1 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 休眠和停止模式下, spi1_gated_ker_clk 和 spi1_gated_pclk 禁用。 1: 在 M4 休眠和停止模式下, spi1_gated_ker_clk 使能。在 M4 休眠模式下, spi1_gated_pclk 使能。 注: 在使能此位之前, 应先使能 M4SPI1EN 位, 否则此位无效。
19	M7SPI2EN	SPI2 M7 分配和时钟使能。 由软件设置和清除。 0: SPI2 未分配给 M7。在 M7 运行模式下, spi2_gated_ker_clk 和 spi2_gated_pclk 被禁用。 1: SPI2 已分配给 M7。在 M7 运行模式下, spi2_gated_ker_clk 和 spi2_gated_pclk 被使能。
18	M4SPI2EN	SPI2 M4 分配和时钟使能。 由软件设置和清除。 0: SPI2 未分配给 M4。在 M4 运行模式下, spi2_gated_ker_clk 和 spi2_gated_pclk 被禁用。 1: SPI2 已分配给 M4。在 M4 运行模式下, spi2_gated_ker_clk 和 spi2_gated_pclk 被使能。
17	M7SPI2LPEN	SPI2 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, spi2_gated_ker_clk 和 spi2_gated_pclk 禁用。 1: 在 M7 休眠和停止模式下, spi2_gated_ker_clk 使能。在 M7 休眠模式下, spi2_gated_pclk 使能。 注: 在使能此位之前, 应先使能 M7SPI2EN 位, 否则此位无效。
16	M4SPI2LPEN	SPI2 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 休眠和停止模式下, spi2_gated_ker_clk 和 spi2_gated_pclk 禁用。 1: 在 M4 休眠和停止模式下, spi2_gated_ker_clk 使能。在 M4 休眠模式下, spi2_gated_pclk 使能。 注: 在使能此位之前, 应先使能 M4SPI2EN 位, 否则此位无效。
15	M7DSMUEN	DSMU M7 分配和时钟使能。 由软件设置和清除。 0: DSMU 未分配给 M7。在 M7 运行模式下, dsmu_gated_ker_clk、dsmu_gated_ker_a_clk 和 dsmu_gated_pclk 被禁用。

位域	名称	描述
		1: DSMU 已分配给 M7。在 M7 运行模式下, dsmu_gated_ker_clk、dsmu_gated_ker_a_clk 和 dsmu_gated_pclk 被启用。
14	M4DSMUEN	DSMU M4 分配和时钟使能。 由软件设置和清除。 0: DSMU 未分配给 M4。在 M4 运行模式下, dsmu_gated_ker_clk、dsmu_gated_ker_a_clk 和 dsmu_gated_pclk 被禁用。 1: DSMU 已分配给 M4。在 M4 运行模式下, dsmu_gated_ker_clk、dsmu_gated_ker_a_clk 和 dsmu_gated_pclk 被启用。
13	M7DSMULPEN	DSMU M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, dsmu_gated_ker_clk、dsmu_gated_ker_a_clk 和 dsmu_gated_pclk 时钟禁用。 1: 在 M7 休眠和停止模式下, dsmu_gated_ker_clk 和 dsmu_gated_ker_a_clk 使能。在 M7 休眠模式下, dsmu_gated_pclk 使能。 注: 在使能此位之前, 应先使能 M7DSMUEN 位, 否则此位无效。
12	M4DSMULPEN	DSMU M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 睡眠和停止模式下, dsmu_gated_ker_clk、dsmu_gated_ker_a_clk 和 dsmu_gated_pclk 时钟禁用。 1: 在 M4 睡眠和停止模式下, dsmu_gated_ker_clk 和 dsmu_gated_ker_a_clk 使能。在 M4 睡眠模式下, dsmu_gated_pclk 使能。 注: 在使能此位之前, 应先使能 M4DSMUEN 位, 否则此位无效。
11	M7I2C4EN	I2C4 M7 分配和时钟使能。 由软件设置和清除。 0: I2C4 未分配给 M7。在 M7 运行模式下, i2c4_ker_gated_clk 和 i2c4_gated_pclk 被禁用。 1: I2C4 已分配给 M7。在 M7 运行模式下, i2c4_ker_gated_clk 和 i2c4_gated_pclk 被使能。
10	M4I2C4EN	I2C4 M4 分配和时钟使能。 由软件设置和清除。 0: I2C4 未分配给 M4。在 M4 运行模式下, i2c4_ker_gated_clk 和 i2c4_gated_pclk 被禁用。 1: I2C4 已分配给 M4。在 M4 运行模式下, i2c4_ker_gated_clk 和 i2c4_gated_pclk 被使能。
9	M7I2C4LPEN	I2C4 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, i2c4_ker_gated_clk 和 i2c4_gated_pclk 时钟禁用。 1: 在 M7 休眠和停止模式下, i2c4_ker_gated_clk 使能。在 M7 休眠模式下, i2c4_gated_pclk 使能。 注: 在使能此位之前, 应先使能 M7I2C4EN 位, 否则此位无效。
8	M4I2C4LPEN	I2C4 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 睡眠和停止模式下, i2c4_ker_gated_clk 和 i2c4_gated_pclk 时钟禁用。

位域	名称	描述
		1: 在 M4 睡眠和停止模式下, i2c4_ker_gated_clk 使能。在 M4 睡眠模式下, i2c4_gated_pclk 使能。 注: 在使能此位之前, 应先使能 M4I2C4EN 位, 否则此位无效。
7	M7I2C5EN	I2C5 M7 分配和时钟使能。 由软件设置和清除。 0: I2C5 未分配给 M7。在 M7 运行模式下, i2c5_ker_gated_clk 和 i2c5_gated_pclk 被禁用。 1: I2C5 已分配给 M7。在 M7 运行模式下, i2c5_ker_gated_clk 和 i2c5_gated_pclk 被使能。
6	M4I2C5EN	I2C5 M4 分配和时钟使能。 由软件设置和清除。 0: I2C5 未分配给 M4。在 M4 运行模式下, i2c5_ker_gated_clk 和 i2c5_gated_pclk 被禁用。 1: I2C5 已分配给 M4。在 M4 运行模式下, i2c5_ker_gated_clk 和 i2c5_gated_pclk 被使能。
5	M7I2C5LPEN	I2C5 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, i2c5_ker_gated_clk 和 i2c5_gated_pclk 时钟禁用。 1: 在 M7 休眠和停止模式下, i2c5_ker_gated_clk 使能。在 M7 休眠模式下, i2c5_gated_pclk 使能。 注: 在使能此位之前, 应先使能 M7I2C5EN 位, 否则此位无效。
4	M4I2C5LPEN	I2C5 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 睡眠和停止模式下, i2c5_ker_gated_clk 和 i2c5_gated_pclk 时钟禁用。 1: 在 M4 睡眠和停止模式下, i2c5_ker_gated_clk 使能。在 M4 睡眠模式下, i2c5_gated_pclk 使能。 注: 在使能此位之前, 应先使能 M4I2C5EN 位, 否则此位无效。
3	M7I2C6EN	I2C6 M7 分配和时钟使能。 由软件设置和清除。 0: I2C6 未分配给 M7。在 M7 运行模式下, i2c6_ker_gated_clk 和 i2c6_gated_pclk 被禁用。 1: I2C6 已分配给 M7。在 M7 运行模式下, i2c6_ker_gated_clk 和 i2c6_gated_pclk 被使能。
2	M4I2C6EN	I2C6 M4 分配和时钟使能。 由软件置位和清除。 0: I2C6 未分配给 M4。在 M4 运行模式下, i2c6_ker_gated_clk 和 i2c6_gated_pclk 被禁用。 1: I2C6 已分配给 M4。在 M4 运行模式下, i2c6_ker_gated_clk 和 i2c6_gated_pclk 被使能。
1	M7I2C6LPEN	I2C6 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, i2c6_ker_gated_clk 和 i2c6_gated_pclk 时钟禁用。 1: 在 M7 休眠和停止模式下, i2c6_ker_gated_clk 使能。在 M7 休眠模式下,

位域	名称	描述
		i2c6_gated_pclk 使能。 注：在使能此位之前，应先使能 M7I2C6EN 位，否则此位无效。
0	M4I2C6LPEN	I2C6 M4 低功耗时钟使能。 由软件设置和清除。 0：在 M4 睡眠和停止模式下，i2c6_ker_gated_clk 和 i2c6_gated_pclk 时钟禁用。 1：在 M4 睡眠和停止模式下，i2c6_ker_gated_clk 使能。在 M4 睡眠模式下，i2c6_gated_pclk 使能。 注：在使能此位之前，应先使能 M4I2C6EN 位，否则此位无效。

### 4.5.52 APB2 外设时钟使能寄存器 3(RCC\_APB2EN3)

偏移地址：0x00CC

复位值：0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M7USART5EN	M4USART5EN	M7USART5LPEN	M4USART5LPEN	M7USART6EN	M4USART6EN	M7USART6LPEN	M4USART6LPEN	M7USART7EN	M4USART7EN	M7USART7LPEN	M4USART7LPEN	M7USART8EN	M4USART8EN	M7USART8LPEN	M4USART8LPEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
M7UART13EN	M4UART13EN	M7UART13LPEN	M4UART13LPEN	M7UART14EN	M4UART14EN	M7UART14LPEN	M4UART14LPEN	M7UART15EN	M4UART15EN	M7UART15LPEN	M4UART15LPEN	Reserved			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				

位域	名称	描述
31	M7USART5EN	USART5 M7 分配和时钟使能。 由软件置位和清除。 0：USART5 未分配给 M7。在 M7 运行模式下，usart5_gated_pclk 被禁用。 1：USART5 已分配给 M7。在 M7 运行模式下，usart5_gated_pclk 被使能。
30	M4USART5EN	USART5 M4 分配和时钟使能。 由软件置位和清除。 0：USART5 未分配给 M4。在 M4 运行模式下，usart5_gated_pclk 被禁用。 1：USART5 已分配给 M4。在 M4 运行模式下，usart5_gated_pclk 被使能。
29	M7USART5LPEN	USART5 M7 低功耗时钟使能。 由软件置位和清除。 0：在 M7 休眠和停止模式下，usart5_gated_pclk 时钟禁用。 1：在 M7 休眠模式下，usart5_gated_pclk 时钟使能。 注：应先使能 M7USART5EN 位，然后再使能此位，否则此位无效。
28	M4USART5LPEN	USART5 M4 低功耗时钟使能。 由软件置位和清除。 0：在 M4 休眠和停止模式下，usart5_gated_pclk 时钟禁用。 1：在 M4 休眠模式下，usart5_gated_pclk 时钟使能。



位域	名称	描述
		注：应先使能 M4USART5EN 位，然后再使能此位，否则此位无效。
27	M7USART6EN	USART6 M7 分配和时钟使能。 由软件设置和清除。 0：USART6 未分配给 M7。在 M7 运行模式下，usart6_gated_pclk 被禁用。 1：USART6 已分配给 M7。在 M7 运行模式下，usart6_gated_pclk 被使能。
26	M4USART6EN	USART6 M4 分配和时钟使能。 由软件置位和清零。 0：USART6 未分配给 M4。在 M4 运行模式下，usart6_gated_pclk 被禁用。 1：USART6 已分配给 M4。在 M4 运行模式下，usart6_gated_pclk 被使能。
25	M7USART6LPEN	USART6 M7 低功耗时钟使能。 由软件设置和清除。 0：在 M7 休眠和停止模式下，usart6_gated_pclk 时钟禁用。 1：在 M7 休眠模式下，usart6_gated_pclk 时钟使能。 注：在使能此位之前，应先使能 M7USART6EN 位，否则此位无效。
24	M4USART6LPEN	USART6 M4 低功耗时钟使能。 由软件置位和清除。 0：在 M4 休眠和停止模式下，usart6_gated_pclk 时钟禁用。 1：在 M4 休眠模式下，usart6_gated_pclk 时钟使能。 注：在使能此位之前，应先使能 M4USART6EN 位，否则此位无效。
23	M7USART7EN	USART7 M7 分配和时钟使能。 由软件置位和清除。 0：USART7 未分配给 M7。在 M7 运行模式下，usart7_gated_pclk 被禁用。 1：USART7 已分配给 M7。在 M7 运行模式下，usart7_gated_pclk 被使能。
22	M4USART7EN	USART7 M4 分配和时钟使能。 由软件置位和清除。 0：USART7 未分配给 M4。usart7_gated_pclk 在 M4 运行模式下禁用。 1：USART7 已分配给 M4。usart7_gated_pclk 在 M4 运行模式下使能。
21	M7USART7LPEN	USART7 M7 低功耗时钟使能。 由软件置位和清除。 0：在 M7 休眠和停止模式下，usart7_gated_pclk 时钟禁用。 1：在 M7 休眠模式下，usart7_gated_pclk 时钟使能。 注：在使能此位之前，应先使能 M7USART7EN 位，否则此位无效。
20	M4USART7LPEN	USART7 M4 低功耗时钟使能。 由软件置位和清除。 0：在 M4 休眠和停止模式下，usart7_gated_pclk 时钟禁用。 1：在 M4 休眠模式下，usart7_gated_pclk 时钟使能。 注：在使能此位之前，应先使能 M4USART7EN 位，否则此位无效。
19	M7USART8EN	USART8 M7 分配和时钟使能。 由软件置位和清除。 0：USART8 未分配给 M7。在 M7 运行模式下，usart8_gated_pclk 被禁用。 1：USART8 已分配给 M7。在 M7 运行模式下，usart8_gated_pclk 被使能。
18	M4USART8EN	USART8 M4 分配和时钟使能。

位域	名称	描述
		由软件置位和清除。 0: USART8 未分配给 M4。usart8_gated_pclk 在 M4 运行模式下禁用。 1: USART8 已分配给 M4。usart8_gated_pclk 在 M4 运行模式下使能。
17	M7USART8LPEN	USART8 M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下, usart8_gated_pclk 时钟禁用。 1: 在 M7 休眠模式下, usart8_gated_pclk 时钟使能。 注: 应先使能 M7USART8EN 位, 然后再使能此位, 否则此位无效。
16	M4USART8LPEN	USART8 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 休眠和停止模式下, usart8_gated_pclk 时钟禁用。 1: 在 M4 休眠模式下, usart8_gated_pclk 时钟使能。 注: 在使能此位之前, 应先使能 M4USART8EN 位, 否则此位无效。
15	M7UART13EN	UART13 M7 分配和时钟使能。 由软件置位和清除。 0: UART13 未分配给 M7。uart13_gated_pclk 在 M7 运行模式下禁用。 1: UART13 分配给 M7。uart13_gated_pclk 在 M7 运行模式下使能。
14	M4UART13EN	UART13 M4 分配和时钟使能。 由软件置位和清除。 0: UART13 未分配给 M4。uart13_gated_pclk 在 M4 运行模式下禁用。 1: UART13 已分配给 M4。uart13_gated_pclk 在 M4 运行模式下使能。
13	M7UART13LPEN	UART13 M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下, uart13_gated_pclk 时钟禁用。 1: 在 M7 休眠模式下, uart13_gated_pclk 时钟使能。 注: 在使能此位之前, 应先使能 M7UART13EN 位, 否则此位无效。
12	M4UART13LPEN	UART13 M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下, 禁用 uart13_gated_pclk 时钟。 1: 在 M4 休眠模式下, 启用 uart13_gated_pclk。 注: 应先使能 M4UART13EN 位, 然后再使能此位, 否则此位无效。
11	M7UART14EN	UART14M7 分配和时钟使能。 由软件置位和清除。 0: UART14 未分配给 M7。uart14_gated_pclk 在 M7 运行模式下禁用。 1: UART14 已分配给 M7。uart14_gated_pclk 在 M7 运行模式下使能。
10	M4UART14EN	UART14 M4 分配和时钟使能。 由软件置位和清除。 0: UART14 未分配给 M4。uart14_gated_pclk 在 M4 运行模式下禁用。 1: UART14 已分配给 M4。uart14_gated_pclk 在 M4 运行模式下使能。
9	M7UART14LPEN	UART14 M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下, uart14_gated_pclk 时钟禁用。

位域	名称	描述
		1: 在 M7 休眠模式下, uart14_gated_pclk 时钟使能。 注: 在使能此位之前, 应先使能 M7UART14EN 位, 否则此位无效。
8	M4UART14LPEN	UART14 M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下, uart14_gated_pclk 时钟禁用。 1: 在 M4 休眠模式下, uart14_gated_pclk 时钟使能。 注: 在使能此位之前, 应先使能 M4UART14EN 位, 否则此位无效。
7	M7UART15EN	UART15 M7 分配和时钟使能。 由软件置位和清除。 0: UART15 未分配给 M7。uart15_gated_pclk 在 M7 运行模式下禁用。 1: UART15 已分配给 M7。uart15_gated_pclk 在 M7 运行模式下使能。
6	M4UART15EN	UART15 M4 分配和时钟使能。 由软件置位和清除。 0: UART15 未分配给 M4。uart15_gated_pclk 在 M4 运行模式下禁用。 1: UART15 已分配给 M4。uart15_gated_pclk 在 M4 运行模式下使能。
5	M7UART15LPEN	UART15 M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下, uart15_gated_pclk 时钟禁用。 1: 在 M7 休眠模式下, uart15_gated_pclk 时钟使能。 注: 在使能此位之前, 应先使能 M7UART15EN 位, 否则此位无效。
4	M4UART15LPEN	UART15 M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下, uart15_gated_pclk 时钟禁用。 1: 在 M4 休眠模式下, uart15_gated_pclk 时钟使能。 注: 在使能此位之前, 应先使能 M4UART15EN 位, 否则此位无效。
3:0	Reserved	保留, 必须保持复位值

### 4.5.53 APB2 外设时钟使能寄存器 4(RCC\_APB2EN4)

偏移地址: 0x00D0

复位值: 0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M7FDCA N3EN	M4FDCA N3EN	M7FDCA N3LPEN	M4FDCA N3LPEN	M7FDCA N4EN	M4FDCA N4EN	M7FDCA N4LPEN	M4FDCA N4LPEN	M7FDCA N7EN	M4FDCA N7EN	M7FDCA N7LPEN	M4FDCA N7LPEN	M7FDCA N8EN	M4FDCA N8EN	M7FDCA N8LPEN	M4FDCA N8LPEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FDCAN3S TPREQ	FDCAN3S TPACK	Reserved	FDCAN4S TPREQ	FDCAN4S TPACK	Reserved	FDCAN7S TPREQ	FDCAN7S TPACK	Reserved	FDCAN8S TPREQ	FDCAN8S TPACK	Reserved	FDCAN8S TPREQ	FDCAN8S TPACK	Reserved	Reserved
rw	r		rw	r		rw	r		rw	r		rw	r		

位域	名称	描述
31	M7FDCAN3EN	<p>FDCAN3 M7 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: FDCAN3 未分配给 M7。在 M7 运行模式下, fdcan3_gated_ker_clk 和 fdcan3_gated_pclk 禁用。</p> <p>1: FDCAN3 分配给 M7。在 M7 运行模式下, fdcan3_gated_ker_clk 和 fdcan3_gated_pclk 使能。</p>
30	M4FDCAN3EN	<p>FDCAN3 M7 分配时间信令功能。</p> <p>物品定位和清洁的来源。</p> <p>0: FDCAN3 未分配线路 M7。在 M7 工作模式下, fdcan3_gated_ker_clk 和 fdcan3_gated_pclk 被禁用。</p> <p>1: FDCAN3 分配线路 M7。在 M7 工作模式下, fdcan3_gated_ker_clk 和 fdcan3_gated_pclk 可用。</p>
29	M7FDCAN3LPEN	<p>FDCAN3 M7 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M7 休眠和停止模式下, fdcan3_gated_ker_clk 和 fdcan3_gated_pclk 时钟禁用。</p> <p>1: 在 M7 休眠和停止模式下, fdcan3_gated_ker_clk 使能。在 M7 休眠模式下, fdcan3_gated_pclk 使能。</p> <p>注: 应先使能 M7FDCAN3EN 位, 然后才能使能此位, 否则此位无效。</p>
28	M4FDCAN3LPEN	<p>FDCAN3 M4 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M4 休眠和停止模式下, fdcan3_gated_ker_clk 和 fdcan3_gated_pclk 时钟禁用。</p> <p>1: 在 M4 休眠和停止模式下, fdcan3_gated_ker_clk 使能。在 M4 休眠模式下, fdcan3_gated_pclk 使能。</p> <p>注: 应先使能 M4FDCAN3EN 位, 然后再使能此位, 否则此位无效。</p>
27	M7FDCAN4EN	<p>FDCAN4 M7 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: FDCAN4 未分配给 M7。在 M7 运行模式下, fdcan4_gated_ker_clk 和 fdcan4_gated_pclk 禁用。</p> <p>1: FDCAN4 已分配给 M7。在 M7 运行模式下, fdcan4_gated_ker_clk 和 fdcan4_gated_pclk 使能。</p>
26	M4FDCAN4EN	<p>FDCAN4 M4 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: FDCAN4 未分配给 M4。在 M4RUN 模式下, fdcan4_gated_ker_clk 和 fdcan4_gated_pclk 禁用。</p> <p>1: FDCAN4 已分配给 M4。在 M4RUN 模式下, fdcan4_gated_ker_clk 和 fdcan4_gated_pclk 使能。</p>
25	M7FDCAN4LPEN	<p>FDCAN4 M7 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M7 休眠和停止模式下, fdcan4_gated_ker_clk 和 fdcan4_gated_pclk 时钟禁用。</p> <p>1: 在 M7 休眠和停止模式下, fdcan4_gated_ker_clk 使能。在 M7 休眠模式下,</p>

位域	名称	描述
		fdcan4_gated_pclk 使能。 注：应先使能 M7FDCAN4EN 位，然后再使能此位，否则此位无效。
24	M4FDCAN4LPEN	FDCAN4 M4 低功耗时钟使能。 由软件置位和清除。 0：在 M4 休眠和停止模式下，fdcan4_gated_ker_clk 和 fdcan4_gated_pclk 时钟禁用。 1：在 M4 休眠和停止模式下，fdcan4_gated_ker_clk 使能。在 M4 休眠模式下，fdcan4_gated_pclk 使能。 注：应先使能 M4FDCAN4EN 位，然后再使能此位，否则此位无效。
23	M7FDCAN7EN	FDCAN7 M7 分配和时钟使能。 由软件置位和清除。 0：FDCAN7 未分配给 M7。在 M7 运行模式下，fdcan7_gated_ker_clk 和 fdcan7_gated_pclk 禁用。 1：FDCAN7 已分配给 M7。在 M7 运行模式下，fdcan7_gated_ker_clk 和 fdcan7_gated_pclk 使能。
22	M4FDCAN7EN	FDCAN7 M4 分配和时钟使能。 由软件置位和清除。 0：FDCAN7 未分配给 M4。在 M4RUN 模式下，fdcan7_gated_ker_clk 和 fdcan7_gated_pclk 禁用。 1：FDCAN7 已分配给 M4。在 M4RUN 模式下，fdcan7_gated_ker_clk 和 fdcan7_gated_pclk 使能。
21	M7FDCAN7LPEN	FDCAN7 M7 低功耗时钟使能。 由软件置位和清除。 0：在 M7 休眠和停止模式下，fdcan7_gated_ker_clk 和 fdcan7_gated_pclk 时钟禁用。 1：在 M7 休眠和停止模式下，fdcan7_gated_ker_clk 使能。在 M7 休眠模式下，fdcan7_gated_pclk 使能。 注：在使能此位之前，应先使能 M7FDCAN7EN 位，否则此位无效。
20	M4FDCAN7LPEN	FDCAN7 M4 低功耗时钟使能。 由软件置位和清除。 0：在 M4 休眠和停止模式下，fdcan7_gated_ker_clk 和 fdcan7_gated_pclk 时钟禁用。 1：在 M4 休眠和停止模式下，fdcan7_gated_ker_clk 使能。在 M4 休眠模式下，fdcan7_gated_pclk 使能。 注：应先使能 M4FDCAN7EN 位，然后再使能此位，否则此位无效。
19	M7FDCAN8EN	FDCAN8 M7 分配和时钟使能。 由软件置位和清除。 0：FDCAN8 未分配给 M7。在 M7 运行模式下，fdcan8_gated_ker_clk 和 fdcan8_gated_pclk 被禁用。 1：FDCAN8 已分配给 M7。在 M7 运行模式下，fdcan8_gated_ker_clk 和 fdcan8_gated_pclk 被使能。
18	M4FDCAN8EN	FDCAN8 M4 分配和时钟使能。 由软件置位和清除。

位域	名称	描述
		0: FDCAN8 未分配给 M4。在 M4RUN 模式下, fdcan8_gated_ker_clk 和 fdcan8_gated_pclk 被禁用。 1: FDCAN8 已分配给 M4。在 M4RUN 模式下, fdcan8_gated_ker_clk 和 fdcan8_gated_pclk 被使能。
17	M7FDCAN8LPEN	FDCAN8 M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下, fdcan8_gated_ker_clk 和 fdcan8_gated_pclk 时钟禁用。 1: 在 M7 休眠和停止模式下, fdcan8_gated_ker_clk 使能。在 M7 休眠模式下, fdcan8_gated_pclk 使能。 注: 应先使能 M7FDCAN8EN 位, 然后才能使能此位, 否则此位无效。
16	M4FDCAN8LPEN	FDCAN8 M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下, fdcan8_gated_ker_clk 和 fdcan8_gated_pclk 时钟禁用。 1: 在 M4 休眠和停止模式下, fdcan8_gated_ker_clk 使能。在 M4 休眠模式下, fdcan8_gated_pclk 使能。 注: 应先使能 M4FDCAN8EN 位, 然后再使能此位, 否则此位无效。
15	FDCAN3STPREQ	FDCAN3 内核和总线时钟停止请求。 0: 取消置位时钟停止请求。 1: 置位时钟停止请求。
14	FDCAN3STPACK	FDCAN3 内核和总线时钟停止确认。 0: 时钟停止请求未确认。 1: 时钟停止请求已确认。
13:12	Reserved	保留, 必须保持复位值
11	FDCAN4STPREQ	FDCAN4 内核和总线时钟停止请求。 0: 取消置位时钟停止请求。 1: 置位时钟停止请求。
10	FDCAN4STPACK	FDCAN4 内核和总线时钟停止确认。 0: 时钟停止请求未确认。 1: 时钟停止请求已确认。
9:8	Reserved	保留, 必须保持复位值
7	FDCAN7STPREQ	FDCAN7 内核和总线时钟停止请求。 0: 取消置位时钟停止请求。

位域	名称	描述
		1: 置位时钟停止请求。
6	FDCAN7STPACK	FDCAN7 内核和总线时钟停止确认。 0: 时钟停止请求未确认。 1: 时钟停止请求已确认。
5:4	Reserved	保留, 必须保持复位值
3	FDCAN8STPREQ	FDCAN8 内核和总线时钟停止请求。 0: 取消置位时钟停止请求。 1: 置位时钟停止请求。
2	FDCAN8STPACK	FDCAN8 内核和总线时钟停止确认。 0: 时钟停止请求未确认。 1: 时钟停止请求已确认。
1:0	Reserved	保留, 必须保持复位值

#### 4.5.54 APB2 外设复位寄存器 1(RCC\_APB2RST1)

偏移地址: 0x00D4

复位值: 0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			ATIM1RST	Reserved			ATIM2RST	Reserved			GTIMA1RST	Reserved			GTIMA2RST
			rw				rw				rw				rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			GTIMA3RST	Reserved			SHRTIM1RST	Reserved			SHRTIM2RST	Reserved			
			rw				rw				rw				

位域	名称	描述
31:29	Reserved	保留, 必须保持复位值
28	ATIM1RST	ATIM1 软复位 0: 清除复位 1: 复位 ATIM1
27:25	Reserved	保留, 必须保持复位值
24	ATIM2RST	ATIM2 软复位 0: 清除复位

位域	名称	描述
		1: 复位 ATIM2
23:21	Reserved	保留, 必须保持复位值
20	GTIMA1RST	GTIMA1 软复位 0: 清除复位 1: 复位 GTIMA1
19:17	Reserved	保留, 必须保持复位值
16	GTIMA2RST	GTIMA2 软复位 0: 清除复位 1: 复位 GTIMA2
15:13	Reserved	保留, 必须保持复位值
12	GTIMA3RST	GTIMA3 软复位 0: 清除复位 1: 复位 GTIMA3
11:9	Reserved	保留, 必须保持复位值
8	SHRTIM1RST	SHRTIM1 软复位 0: 清除复位 1: 复位 SHRTIM1
7:5	Reserved	保留, 必须保持复位值
4	SHRTIM2RST	SHRTIM2 软复位 0: 清除复位 1: 复位 SHRTIM2
3:0	Reserved	保留, 必须保持复位值

#### 4.5.55 APB2 外设复位寄存器 2(RCC\_APB2RST2)

偏移地址: 0x00D8

复位值: 0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	I2S1RST	Reserved	I2S2RST	Reserved	SPI1RST	Reserved	SPI2RST								
rw		rw		rw		rw									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	DSMURST	Reserved	I2C4RST	Reserved	I2C5RST	Reserved	I2C6RST								
rw		rw		rw		rw									

位域	名称	描述
31:29	Reserved	保留, 必须保持复位值
28	I2S1RST	I2S1 软复位



位域	名称	描述
		0: 清除复位 1: 复位 I2S1
27:25	Reserved	保留, 必须保持复位值
24	I2S2RST	I2S2 软复位 0: 清除复位 1: 复位 I2S2
23:21	Reserved	保留, 必须保持复位值
20	SPI1RST	SPI1 软复位 0: 清除复位 1: 复位 SPI1
19:17	Reserved	保留, 必须保持复位值
16	SPI2RST	SPI2 软复位 0: 清除复位 1: 复位 SPI2
15:13	Reserved	保留, 必须保持复位值
12	DSMURST	DSMU 软复位 0: 清除复位 1: 复位 DSMU
11:9	Reserved	保留, 必须保持复位值
8	I2C4RST	I2C4 软复位 0: 清除复位 1: 复位 I2C4
7:5	Reserved	保留, 必须保持复位值
4	I2C5RST	I2C5 软复位 0: 清除复位 1: 复位 I2C5
3:1	Reserved	保留, 必须保持复位值

位域	名称	描述
0	I2C6RST	I2C6 软复位 0: 清除复位 1: 复位 I2C6

#### 4.5.56 APB2 外设复位寄存器 3(RCC\_APB2RST3)

偏移地址: 0x00DC

复位值: 0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			USART5RST	Reserved			USART6RST	Reserved			USART7RST	Reserved			USART8RST
			rw				rw				rw				rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			UART13RST	Reserved			UART14RST	Reserved			UART15RST	Reserved			
			rw				rw				rw				

位域	名称	描述
31:29	Reserved	保留, 必须保持复位值
28	USART5RST	USART5 软复位 0: 清除复位 1: 复位 USART5
27:25	Reserved	保留, 必须保持复位值
24	USART6RST	USART6 软复位 0: 清除复位 1: 复位 USART6
23:21	Reserved	保留, 必须保持复位值
20	USART7RST	USART5 软复位 0: 清除复位 1: 复位 USART5
19:17	Reserved	保留, 必须保持复位值

位域	名称	描述
16	USART8RST	USART8 软复位 0: 清除复位 1: 复位 USART8
15:13	Reserved	保留, 必须保持复位值
12	UART13RST	USART5 软复位 0: 清除复位 1: 复位 USART5
11:9	Reserved	保留, 必须保持复位值
8	UART14RST	USART14 软复位 0: 清除复位 1: 复位 USART14
7:5	Reserved	保留, 必须保持复位值
4	UART15RST	USART15 软复位 0: 清除复位 1: 复位 USART15
3:0	Reserved	保留, 必须保持复位值

#### 4.5.57 APB2 外设复位寄存器 4(RCC\_APB2RST4)

偏移地址: 0x00E0

复位值: 0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			FDCAN3RST	Reserved			FDCAN4RST	Reserved			FDCAN7RST	Reserved			FDCAN8RST
			rw				rw				rw				rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															

位域	名称	描述
31:29	Reserved	保留，必须保持复位值
28	FDCAN3RST	FDCAN3 软复位 0: 清除复位 1: 复位 FDCAN3
27:25	Reserved	保留，必须保持复位值
24	FDCAN4RST	FDCAN4 软复位 0: 清除复位 1: 复位 FDCAN4
23:21	Reserved	保留，必须保持复位值
20	FDCAN7RST	FDCAN7 软复位 0: 清除复位 1: 复位 FDCAN7
19:17	Reserved	保留，必须保持复位值
16	FDCAN8RST	FDCAN8 软复位 0: 清除复位 1: 复位 FDCAN8
15:0	Reserved	保留，必须保持复位值

#### 4.5.58 AHB5 外设时钟使能寄存器 1(RCC\_AHB5EN1)

偏移地址：0x00E4

复位值：0x8888\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M7GPIOA EN	M4GPIOA EN	M7GPIOA LPEN	M4GPIOA LPEN	M7GPIOB EN	M4GPIOB EN	M7GPIOB LPEN	M4GPIOB LPEN	M7GPIOC EN	M4GPIOC EN	M7GPIOC LPEN	M4GPIOC LPEN	M7GPIOD EN	M4GPIOD EN	M7GPIOD LPEN	M4GPIOD LPEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
M7GPIOE EN	M4GPIOE EN	M7GPIOE LPEN	M4GPIOE LPEN	M7GPIOF EN	M4GPIOF EN	M7GPIOF LPEN	M4GPIOF LPEN	M7GPIOG EN	M4GPIOG EN	M7GPIOG LPEN	M4GPIOG LPEN	M7GPIOH EN	M4GPIOH EN	M7GPIOH LPEN	M4GPIOH LPEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31	M7GPIOAEN	GPIOA M7 分配和时钟使能。  由软件置位和清除。  0: GPIOA 未分配给 M7。在 M7 运行模式下，gpioa_gated_hclk 被禁用。 1: GPIOA 已分配给 M7。在 M7 运行模式下，gpioa_gated_hclk 被使能。
30	M4GPIOAEN	GPIOA M7 分配时间信号功能。

位域	名称	描述
		<p>项目定位和清理的起源。</p> <p>0: GPIOA 未分配线路 M7。在 M7 工作模式下, gpioa_gated_hclk 被禁用。</p> <p>1: GPIOA 分配网络 M7。在 M7 工作模式下, gpioa_gated_hclk 可用。</p>
29	M7GPIOALPEN	<p>GPIOA M7 低功耗时钟使能。</p> <p>由软件设置和清除。</p> <p>0: 在 M7 休眠和停止模式下, 禁用 gpioa_gated_hclk 时钟。</p> <p>1: 在 M7 休眠模式下, 启用 gpioa_gated_hclk。</p> <p>注: 在启用此位之前, 应先启用 M7GPIOAEN 位, 否则此位无效。</p>
28	M4GPIOALPEN	<p>GPIOA M4 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M4 休眠和停止模式下, 禁用 gpioa_gated_hclk 时钟。</p> <p>1: 在 M4 休眠模式下, 启用 gpioa_gated_hclk。</p> <p>注: 应先使能 M4GPIOAEN 位, 然后再使能此位, 否则此位无效。</p>
27	M7GPIOBEN	<p>GPIOB M7 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: GPIOB 未分配给 M7。在 M7 运行模式下, gpiob_gated_hclk 被禁用。</p> <p>1: GPIOB 已分配给 M7。在 M7 运行模式下, gpiob_gated_hclk 被使能。</p>
26	M4GPIOBEN	<p>GPIOB M4 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: GPIOB 未分配给 M4。gpiob_gated_hclk 在 M4 运行模式下禁用。</p> <p>1: GPIOB 已分配给 M4。gpiob_gated_hclk 在 M4 运行模式下使能。</p>
25	M7GPIOBLPEN	<p>GPIOB M7 低功耗时钟使能。</p> <p>由软件设置和清除。</p> <p>0: 在 M7 休眠和停止模式下, gpiob_gated_hclk 时钟禁用。</p> <p>1: 在 M7 休眠模式下, gpiob_gated_hclk 时钟使能。</p> <p>注: 在使能此位之前, 应先使能 M7GPIOBEN 位, 否则此位无效。</p>
24	M4GPIOBLPEN	<p>GPIOB M4 低功耗时钟使能。</p> <p>由软件设置和清除。</p> <p>0: 在 M4 休眠和停止模式下, gpiob_gated_hclk 时钟禁用。</p>

位域	名称	描述
		1: 在 M4 休眠模式下, <code>gpiob_gated_hclk</code> 时钟使能。 注: 在使能此位之前, 应先使能 M4GPIOBEN 位, 否则此位无效。
23	M7GPIOCEN	GPIOC M7 分配和时钟使能。 由软件置位和清除。 0: GPIOC 未分配给 M7。在 M7 运行模式下, <code>gpioc_gated_hclk</code> 被禁用。 1: GPIOC 已分配给 M7。在 M7 运行模式下, <code>gpioc_gated_hclk</code> 被使能。
22	M4GPIOCEN	GPIOC M4 分配和时钟使能。 由软件设置和清除。 0: GPIOC 未分配给 M4。在 M4 运行模式下, <code>gpioc_gated_hclk</code> 禁用。 1: GPIOC 已分配给 M4。在 M4 运行模式下, <code>gpioc_gated_hclk</code> 使能。
21	M7GPIOCLPEN	GPIOC M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, <code>gpioc_gated_hclk</code> 时钟禁用。 1: 在 M7 休眠模式下, <code>gpioc_gated_hclk</code> 时钟使能。 注: 在使能此位之前, 应先使能 M7GPIOCEN 位, 否则此位无效。
20	M4GPIOCLPEN	GPIOC M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 休眠和停止模式下, <code>gpioc_gated_hclk</code> 时钟禁用。 1: 在 M4 休眠模式下, <code>gpioc_gated_hclk</code> 时钟使能。 注: 在使能此位之前, 应先使能 M4GPIOCEN 位, 否则此位无效。
19	M7GPIODEN	GPIOD M7 分配和时钟使能。 由软件置位和清除。 0: GPIOD 未分配给 M7。在 M7 运行模式下, <code>gpiod_gated_hclk</code> 被禁用。 1: GPIOD 已分配给 M7。在 M7 运行模式下, <code>gpiod_gated_hclk</code> 被使能。
18	M4GPIODEN	GPIOD M4 分配和时钟使能。 由软件设置和清除。 0: GPIOD 未分配给 M4。在 M4 运行模式下, <code>gpiod_gated_hclk</code> 被禁用。 1: GPIOD 已分配给 M4。在 M4 运行模式下, <code>gpiod_gated_hclk</code> 被使能。
17	M7GPIODLPEN	GPIOD M7 低功耗时钟使能。

位域	名称	描述
		由软件设置和清除。 0: 在 M7 休眠和停止模式下, gpiod_gated_hclk 时钟禁用。 1: 在 M7 休眠模式下, gpiod_gated_hclk 时钟使能。 注: 在使能此位之前, 应先使能 M7GPIODEN 位, 否则此位无效。
16	M4GPIODLPEN	GPIO D M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 休眠和停止模式下, gpiod_gated_hclk 时钟禁用。 1: 在 M4 休眠模式下, gpiod_gated_hclk 时钟使能。 注: 在使能此位之前, 应先使能 M4GPIODEN 位, 否则此位无效。
15	M7GPIOEEN	GPIO E M7 分配和时钟使能。 由软件设置和清除。 0: GPIO E 未分配给 M7。在 M7 运行模式下, gpioe_gated_hclk 被禁用。 1: GPIO E 已分配给 M7。在 M7 运行模式下, gpioe_gated_hclk 被启用。
14	M4GPIOEEN	GPIO E M4 分配和时钟使能。 由软件设置和清除。 0: GPIO E 未分配给 M4。gpioe_gated_hclk 在 M4RUN 模式下禁用。 1: GPIO E 已分配给 M4。gpioe_gated_hclk 在 M4RUN 模式下使能。
13	M7GPIOELPEN	GPIO E M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, 禁用 gpioe_gated_hclk 时钟。 1: 在 M7 休眠模式下, 启用 gpioe_gated_hclk。 注: 应先使能 M7GPIOEEN 位, 然后再使能此位, 否则此位无效。
12	M4GPIOELPEN	GPIO E M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 睡眠和停止模式下, 禁用 gpioe_gated_hclk 时钟。 1: 在 M4 睡眠模式下, 启用 gpioe_gated_hclk。 注: 应先使能 M4GPIOEEN 位, 然后再使能此位, 否则此位无效。
11	M7GPIOFEN	GPIO F M7 分配和时钟使能。 由软件设置和清除。

位域	名称	描述
		<p>0: GPIOF 未分配给 M7。在 M7 运行模式下, <code>gpiof_gated_hclk</code> 被禁用。</p> <p>1: GPIOF 已分配给 M7。在 M7 运行模式下, <code>gpiof_gated_hclk</code> 被使能。</p>
10	M4GPIOFEN	<p>GPIOF M4 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: GPIOF 未分配给 M4。在 M4 运行模式下, <code>gpiof_gated_hclk</code> 被禁用。</p> <p>1: GPIOF 已分配给 M4。在 M4 运行模式下, <code>gpiof_gated_hclk</code> 被使能。</p>
9	M7GPIOFLPEN	<p>GPIOF M7 低功耗时钟使能。</p> <p>由软件设置和清除。</p> <p>0: 在 M7 休眠和停止模式下, <code>gpiof_gated_hclk</code> 时钟禁用。</p> <p>1: 在 M7 休眠模式下, <code>gpiof_gated_hclk</code> 时钟使能。</p> <p>注: 在使能此位之前, 应先使能 M7GPIOFEN 位, 否则此位无效。</p>
8	M4GPIOFLPEN	<p>GPIOF M4 低功耗时钟使能。</p> <p>由软件设置和清除。</p> <p>0: 在 M4 休眠和停止模式下, <code>gpiof_gated_hclk</code> 时钟禁用。</p> <p>1: 在 M4 休眠模式下, <code>gpiof_gated_hclk</code> 时钟使能。</p> <p>注: 在使能此位之前, 应先使能 M4GPIOFEN 位, 否则此位无效。</p>
7	M7GPIOGEN	<p>GPIOG M7 分配和时钟使能。</p> <p>由软件设置和清除。</p> <p>0: GPIOG 未分配给 M7。在 M7 运行模式下, <code>gpiog_gated_hclk</code> 被禁用。</p> <p>1: GPIOG 已分配给 M7。在 M7 运行模式下, <code>gpiog_gated_hclk</code> 被启用。</p>
6	M4GPIOGEN	<p>GPIOG M4 分配和时钟使能。</p> <p>由软件设置和清除。</p> <p>0: GPIOG 未分配给 M4。 <code>gpiog_gated_hclk</code> 在 M4RUN 模式下禁用。</p> <p>1: GPIOG 已分配给 M4。 <code>gpiog_gated_hclk</code> 在 M4RUN 模式下使能。</p>
5	M7GPIOGLPEN	<p>GPIOG M7 低功耗时钟使能。</p> <p>由软件设置和清除。</p> <p>0: 在 M7 休眠和停止模式下, 禁用 <code>gpiog_gated_hclk</code> 时钟。</p> <p>1: 在 M7 休眠模式下, 启用 <code>gpiog_gated_hclk</code>。</p> <p>注: 在启用此位之前, 应先启用 M7GPIOGEN 位, 否则此位无效。</p>



位域	名称	描述
4	M4GPIOGLPEN	GPIOG M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 休眠和停止模式下, 禁用 <code>gpiog_gated_hclk</code> 时钟。 1: 在 M4 休眠模式下, 启用 <code>gpiog_gated_hclk</code> 。 注: 应先启用 M4GPIOGEN 位, 然后再启用此位, 否则此位无效。
3	M7GPIOHEN	GPIOH M7 分配和时钟使能。 由软件置位和清除。 0: GPIOH 未分配给 M7。在 M7 运行模式下, <code>gpioh_gated_hclk</code> 被禁用。 1: GPIOH 已分配给 M7。在 M7 运行模式下, <code>gpioh_gated_hclk</code> 被使能。
2	M4GPIOHEN	GPIOH M4 分配和时钟使能。 由软件置位和清除。 0: GPIOH 未分配给 M4。 <code>gpioh_gated_hclk</code> 在 M4 运行模式下禁用。 1: GPIOH 已分配给 M4。 <code>gpioh_gated_hclk</code> 在 M4 运行模式下使能。
1	M7GPIOHLPEN	GPIOH M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, <code>gpioh_gated_hclk</code> 时钟禁用。 1: 在 M7 休眠模式下, <code>gpioh_gated_hclk</code> 时钟使能。 注: 应先使能 M7GPIOHEN 位, 然后再使能此位, 否则此位无效。
0	M4GPIOHLPEN	GPIOH M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 休眠和停止模式下, <code>gpioh_gated_hclk</code> 时钟禁用。 1: 在 M4 休眠模式下, <code>gpioh_gated_hclk</code> 时钟使能。 注: 应先使能 M4GPIOHEN 位, 然后再使能此位, 否则此位无效。

#### 4.5.59 AHB5 外设时钟使能寄存器 2(RCC\_AHB5EN2)

偏移地址: 0x00e8

复位值: 0x00000008

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

M7GPIOI EN	M4GPIOI EN	M7GPIOI LPEN	M4GPIOI LPEN	M7GPIOJ EN	M4GPIOJ EN	M7GPIOJ LPEN	M4GPIOJ LPEN	M7GPIOK EN	M4GPIOK EN	M7GPIOK LPEN	M4GPIOK LPEN	M7ECCM 3EN	M4ECCM 3EN	M7ECCM 3LPEN	M4ECCM 3LPEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PWREN	Reserved	PWRLPEN	Reserved	M7CRCE N	M4CRCE N	M7CRCLPEN	M4CRCLPEN	M7SEMA 4EN	M4SEMA 4EN	M7SEMA 4LPEN	M4SEMA 4LPEN	M7AFIOE N	M4AFIOE N	M7AFIOLPEN	M4AFIOLPEN
rw		rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31	M7GPIOIEN	GPIOI M7 分配和时钟使能。 由软件设置和清除。 0: GPIOI 未分配给 M7。在 M7 运行模式下, gpioi_gated_hclk 被禁用。 1: GPIOI 已分配给 M7。在 M7 运行模式下, gpioi_gated_hclk 被启用。
30	M4GPIOIEN	GPIOI M4 分配和时钟使能。 由软件设置和清除。 0: GPIOI 未分配给 M4。gpioi_gated_hclk 在 M4RUN 模式下禁用。 1: GPIOI 已分配给 M4。gpioi_gated_hclk 在 M4RUN 模式下使能。
29	M7GPIOILPEN	GPIOI M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, 禁用 gpioi_gated_hclk 时钟。 1: 在 M7 休眠模式下, 启用 gpioi_gated_hclk。 注: 应先使能 M7GPIOIEN 位, 然后再使能此位, 否则此位无效。
28	M4GPIOILPEN	GPIOI M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 休眠和停止模式下, 禁用 gpioi_gated_hclk 时钟。 1: 在 M4 休眠模式下, 启用 gpioi_gated_hclk。 注: 应先使能 M4GPIOIEN 位, 然后再使能此位, 否则此位无效。
27	M7GPIOJEN	GPIOJ M7 分配和时钟使能。 由软件设置和清除。 0: GPIOJ 未分配给 M7。在 M7 运行模式下, gpioj_gated_hclk 被禁用。 1: GPIOJ 已分配给 M7。在 M7 运行模式下, gpioj_gated_hclk 被启用。
26	M4GPIOJEN	GPIOJ M4 分配和时钟使能。

位域	名称	描述
		由软件设置和清除。 0: GPIOJ 未分配给 M4。gpioj_gated_hclk 在 M4RUN 模式下禁用。 1: GPIOJ 已分配给 M4。gpioj_gated_hclk 在 M4RUN 模式下使能。
25	M7GPIOJLPEN	GPIOJ M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, gpioj_gated_hclk 时钟禁用。 1: 在 M7 休眠模式下, gpioj_gated_hclk 时钟使能。 注: 在使能此位之前, 应先使能 M7GPIOJEN 位, 否则此位无效。
24	M4GPIOJLPEN	GPIOJ M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 休眠和停止模式下, gpioj_gated_hclk 时钟禁用。 1: 在 M4 休眠模式下, gpioj_gated_hclk 时钟使能。 注: 在使能此位之前, 应先使能 M4GPIOJEN 位, 否则此位无效。
23	M7GPIOKEN	GPIOK M7 分配和时钟使能。 由软件置位和清除。 0: GPIOK 未分配给 M7。gpiok_gated_hclk 在 M7 运行模式下禁用。 1: GPIOK 已分配给 M7。gpiok_gated_hclk 在 M7 运行模式下使能。
22	M4GPIOKEN	GPIOK M4 分配和时钟使能。 由软件置位和清除。 0: GPIOK 未分配给 M4。gpiok_gated_hclk 在 M4 运行模式下禁用。 1: GPIOK 已分配给 M4。gpiok_gated_hclk 在 M4 运行模式下使能。
21	M7GPIOKLPEN	GPIOK M7 低功耗时钟使能。 由软件置位和清除。 0: 在 M7 休眠和停止模式下, gpiok_gated_hclk 时钟禁用。 1: 在 M7 休眠模式下, gpiok_gated_hclk 时钟使能。 注: 在使能此位之前, 应先使能 M7GPIOKEN 位, 否则此位无效。
20	M4GPIOKLPEN	GPIOK M4 低功耗时钟使能。 由软件置位和清除。 0: 在 M4 休眠和停止模式下, gpiok_gated_hclk 时钟禁用。

位域	名称	描述
		<p>1: 在 M4 休眠模式下, <code>gpiok_gated_hclk</code> 时钟使能。</p> <p>注: 在使能此位之前, 应先使能 <code>M4GPIOKEN</code> 位, 否则此位无效。</p>
19	M7ECCM3EN	<p>ECCMON3 M7 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: ECCMON3 未分配给 M7。在 M7 运行模式下, <code>eccmon3_gated_hclk</code> 被禁用。</p> <p>1: ECCMON3 已分配给 M7。在 M7 运行模式下, <code>eccmon3_gated_hclk</code> 被使能。</p>
18	M4ECCM3EN	<p>ECCMON3 M4 分配和时钟使能。</p> <p>由软件置位和清除。</p> <p>0: ECCMON3 未分配给 M4。在 M4RUN 模式下, <code>eccmon3_gated_hclk</code> 被禁用。</p> <p>1: ECCMON3 已分配给 M4。在 M4RUN 模式下, <code>eccmon3_gated_hclk</code> 被使能。</p>
17	M7ECCM3LPEN	<p>ECCMON3 M7 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M7 休眠和停止模式下, <code>eccmon3_gated_hclk</code> 时钟禁用。</p> <p>1: 在 M7 休眠模式下, <code>eccmon3_gated_hclk</code> 时钟使能。</p> <p>注: 应先使能 <code>M7ECCM3EN</code> 位, 然后再使能此位, 否则此位无效。</p>
16	M4ECCM3LPEN	<p>ECCMON3 M4 低功耗时钟使能。</p> <p>由软件置位和清除。</p> <p>0: 在 M4 休眠和停止模式下, <code>eccmon3_gated_hclk</code> 时钟禁用。</p> <p>1: 在 M4 休眠模式下, <code>eccmon3_gated_hclk</code> 时钟使能。</p> <p>注: 应先使能 <code>M4ECCM3EN</code> 位, 然后再使能此位, 否则此位无效。</p>
15	PWREN	<p>PWR AHB 时钟使能。</p> <p>由软件设置和清除。</p> <p>0: <code>pwr_gated_hclk</code> 禁用。</p> <p>1: <code>pwr_gated_hclk</code> 使能。</p>
14	Reserved	保留, 必须保持复位值
13	PWRLPEN	<p>PWR M7 低功耗时钟使能。</p> <p>由软件置位和清零。</p> <p>0: 休眠模式下, <code>pwr_gated_hclk</code> 时钟禁用。</p> <p>1: 休眠模式下, <code>pwr_gated_hclk</code> 时钟使能。</p>

位域	名称	描述
		注：在使能此位之前，应先使能 PWREN 位，否则此位无效。
12	Reserved	保留，必须保持复位值
11	M7CRCEN	CRC M7 分配和时钟使能。 由软件置位和清除。 0：CRC 未分配给 M7。在 M7 运行模式下，crc_gated_hclk 被禁用。 1：CRC 已分配给 M7。在 M7 运行模式下，crc_gated_hclk 被使能。
10	M4CRCEN	CRC M4 分配和时钟使能。 由软件置位和清除。 0：CRC 未分配给 M4。在 M4 运行模式下，crc_gated_hclk 被禁用。 1：CRC 已分配给 M4。在 M4 运行模式下，crc_gated_hclk 被使能。
9	M7CRCLPEN	CRC M7 低功耗时钟使能。 由软件置位和清除。 0：在 M7 休眠和停止模式下，crc_gated_hclk 时钟禁用。 1：在 M7 休眠模式下，crc_gated_hclk 时钟使能。 注：应先使能 M7CRCEN 位，然后再使能此位，否则此位无效。
8	M4CRCLPEN	CRC M4 低功耗时钟使能。 由软件置位和清除。 0：在 M4 休眠和停止模式下，crc_gated_hclk 时钟禁用。 1：在 M4 休眠模式下，crc_gated_hclk 时钟使能。 注：应先使能 M4CRCEN 位，然后再使能此位，否则此位无效。
7	M7SEMA4EN	SEMA4 M7 分配和时钟使能。 由软件设置和清除。 0：SEMA4 未分配给 M7。在 M7 运行模式下，sema4_gated_hclk 被禁用。 1：SEMA4 已分配给 M7。在 M7 运行模式下，sema4_gated_hclk 被使能。
6	M4SEMA4EN	SEMA4 M4 分配和时钟使能。 由软件设置和清除。 0：SEMA4 未分配给 M4。在 M4 运行模式下，sema4_gated_hclk 被禁用。 1：SEMA4 已分配给 M4。在 M4 运行模式下，sema4_gated_hclk 被使能。

位域	名称	描述
5	M7SEMA4LPEN	SEMA4 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, sema4_gated_hclk 时钟禁用。 1: 在 M7 休眠模式下, sema4_gated_hclk 时钟使能。 注: 应先使能 M7SEMA4EN 位, 然后再使能此位, 否则此位无效。
4	M4SEMA4LPEN	SEMA4 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 休眠和停止模式下, sema4_gated_hclk 时钟禁用。 1: 在 M4 休眠模式下, sema4_gated_hclk 时钟使能。 注: 应先使能 M4SEMA4EN 位, 然后再使能此位, 否则此位无效。
3	M7AFIOEN	AFIO M7 分配和时钟使能。 由软件设置和清除。 0: AFIO 未分配给 M7。在 M7 运行模式下, afio_gated_hclk 被禁用。 1: AFIO 已分配给 M7。在 M7 运行模式下, afio_gated_hclk 被启用。
2	M4AFIOEN	AFIO M4 分配和时钟使能。 由软件设置和清除。 0: AFIO 未分配给 M4。在 M4 运行模式下, afio_gated_hclk 被禁用。 1: AFIO 已分配给 M4。在 M4 运行模式下, afio_gated_hclk 被启用。
1	M7AFIOLPEN	AFIO M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, afio_gated_hclk 时钟禁用。 1: 在 M7 休眠模式下, afio_gated_hclk 时钟使能。 注: 在使能此位之前, 应先使能 M7AFIOEN 位, 否则此位无效。
0	M4AFIOLPEN	AFIO M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 休眠和停止模式下, afio_gated_hclk 时钟禁用。 1: 在 M4 休眠模式下, afio_gated_hclk 时钟使能。 注: 在使能此位之前, 应先使能 M4AFIOEN 位, 否则此位无效。

### 4.5.60 AHB5 外设复位寄存器 1(RCC\_AHB5RST1)

偏移地址: 0x00EC

复位值: 0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			GPIOARST	Reserved			GPIOBRST	Reserved			GPIOCRST	Reserved			GPIODRST
			rw				rw				rw				rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			GPIOERST	Reserved			GPIOFIRST	Reserved			GPIOGRST	Reserved			GPIOHRST
			rw				rw				rw				rw

位域	名称	描述
31:29	Reserved	保留, 必须保持复位值
28	GPIOARST	GPIOA 软复位 0: 清除复位 1: 复位 GPIOA
27:25	Reserved	保留, 必须保持复位值
24	GPIOBRST	GPIOB 软复位 0: 清除复位 1: 复位 GPIOB
23:21	Reserved	保留, 必须保持复位值
20	GPIOCRST	GPIOC 软复位 0: 清除复位 1: 复位 GPIOC
19:17	Reserved	保留, 必须保持复位值
16	GPIODRST	GPIOD 软复位 0: 清除复位 1: 复位 GPIOD
15:13	Reserved	保留, 必须保持复位值
12	GPIOERST	GPIOE 软复位

位域	名称	描述
		0: 清除复位 1: 复位 GPIOE
11:9	Reserved	保留, 必须保持复位值
8	GPIOFRST	GPIOF 软复位 0: 清除复位 1: 复位 GPIOF
7:5	Reserved	保留, 必须保持复位值
4	GPIOGRST	GPIOG 软复位 0: 清除复位 1: 复位 GPIOG
3:1	Reserved	保留, 必须保持复位值
0	GPIOHRST	GPIOH 软复位 0: 清除复位 1: 复位 GPIOH

#### 4.5.61 AHB5 外设复位寄存器 2(RCC\_AHB5RST2)

偏移地址: 0x00F0

复位值: 0x0000\_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		GPIOIRST	Reserved		GPIOJRST	Reserved			GPIOKRS T	Reserved			ECCM3RS T		
		rw			rw				rw				rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		PWRRST	Reserved		CRCRST	Reserved			SEMA4RS T	Reserved			AFIORST		
		rw			rw				rw				rw		

位域	名称	描述
31:29	Reserved	保留, 必须保持复位值



位域	名称	描述
28	GPIOIRST	GPIOI 软复位 0: 清除复位 1: 复位 GPIOI
27:25	Reserved	保留, 必须保持复位值
24	GPIOJRST	GPIOJ 软复位 0: 清除复位 1: 复位 GPIOJ
23:21	Reserved	保留, 必须保持复位值
20	GPIOKRST	GPIOK 软复位 0: 清除复位 1: 复位 GPIOK
19:17	Reserved	保留, 必须保持复位值
16	ECCM3RST	ECCM3 软复位 0: 清除复位 1: 复位 ECCM3
15:13	Reserved	保留, 必须保持复位值
12	PWRRST	PWR 软复位 0: 清除复位 1: 复位 PWR
11:9	Reserved	保留, 必须保持复位值
8	CRCRST	CRC 软复位 0: 清除复位 1: 复位 CRC
7:5	Reserved	保留, 必须保持复位值
4	SEMA4RST	SEMA4 软复位 0: 清除复位 1: 复位 SEMA4

位域	名称	描述
3:1	Reserved	保留，必须保持复位值
0	AFIORST	AFIO 软复位 0: 清除复位 1: 复位 AFIO

#### 4.5.62 APB5 外设时钟分频寄存器 1(RCC\_APB5DIV1)

偏移地址: 0x00f4

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	APB5ATIMDIV[2:0]			Reserved	APB5I2CDIV[2:0]			Reserved	APB5EXTIDIV[2:0]			Reserved			
	rw				rw				rw						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															

位域	名称	描述
31	保留	保留，必须保持复位值。
30:28	APB5ATIMDIV[2:0]	APB5 Atimer 时钟预分频器值。 000: 除以 1 100: 除以 2 101: 除以 4 110: 除以 8 111: 除以 16
27	保留	保留，必须保持复位值。
26:24	APB5I2CDIV[2:0]	APB5 I2C 时钟预分频器值 当"I2C(n)KERSEL"被选择为 3'b000 时生效。 000: 除以 1 100: 除以 2 101: 除以 4 110: 除以 8 111: 除以 16
23	保留	保留，必须保持复位值。
22:20	APB5EXTIDIV[2:0]	APB5 EXTI 时钟预分频器值。 000: 除以 1 100: 除以 2 101: 除以 4

位域	名称	描述
		110: 除以 8 111: 除以 16
19:0	保留	保留, 必须保持复位值。

#### 4.5.63 APB5 外设时钟源选择寄存器 1(RCC\_APB5SEL1)

偏移地址: 0x00f8

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	I2C7KERSEL[2:0]			Reserved	I2C8KERSEL[2:0]			Reserved	I2C9KERSEL[2:0]			Reserved	I2C10KERSEL[2:0]		
	rw				rw				rw				rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															

位域	名称	描述
31	保留	保留, 必须保持复位值。
30:28	I2C7KERSEL[2:0]	I2C7 内核时钟选择。 000: 分频系统总线时钟被选择为“i2c7_ker_gated_clk”。 001: PLL3_c 时钟被选择为“i2c7_ker_gated_clk”。 010: HSI 时钟被选择为“i2c7_ker_gated_clk”。 011: MSI 时钟被选择为“i2c7_ker_gated_clk”。 其他值: 不允许设置
27	保留	保留, 必须保持复位值。
26:24	I2C8KERSEL[2:0]	I2C8 内核时钟选择。 000: 分频系统总线时钟被选择为“i2c8_ker_gated_clk”。 001: PLL3_c 时钟被选择为“i2c8_ker_gated_clk”。 010: HSI 时钟被选择为“i2c8_ker_gated_clk”。 011: MSI 时钟被选择为“i2c8_ker_gated_clk”。 其他值: 不允许设置
23	保留	保留, 必须保持复位值。
22:20	I2C9KERSEL[2:0]	I2C9 内核时钟选择。 000: 分频系统总线时钟被选择为“i2c9_ker_gated_clk”。 001: PLL3_c 时钟被选择为“i2c9_ker_gated_clk”。 010: HSI 时钟被选择为“i2c9_ker_gated_clk”。 011: MSI 时钟被选择为“i2c9_ker_gated_clk”。 其他值: 不允许设置
19	保留	保留, 必须保持复位值。

位域	名称	描述
18:16	I2C10KERSEL[2:0]	I2C10 内核时钟选择。 000: 分频系统总线时钟被选择为“i2c10_ker_gated_clk”。 001: PLL3_c 时钟被选择为“i2c10_ker_gated_clk”。 010: HSI 时钟被选择为“i2c10_ker_gated_clk”。 011: MSI 时钟被选择为“i2c10_ker_gated_clk”。 其他值: 不允许设置
15:0	保留	保留, 必须保持复位值。

#### 4.5.64 APB5 外设时钟使能寄存器 1(RCC\_APB5EN1)

偏移地址: 0x00fc

复位值: 0x00800000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
M7ATIM3EN	M4ATIM3EN	M7ATIM3LPEN	M4ATIM3LPEN	M7ATIM4EN	M4ATIM4EN	M7ATIM4LPEN	M4ATIM4LPEN	M7AFECE	M4AFECE	M7AFECLPEN	M4AFECLPEN	Reserved				
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
M7SPI4EN	M4SPI4EN	M7SPI4LPEN	M4SPI4LPEN	M7SPI5EN	M4SPI5EN	M7SPI5LPEN	M4SPI5LPEN	M7SPI6EN	M4SPI6EN	M7SPI6LPEN	M4SPI6LPEN	M7SPI7EN	M4SPI7EN	M7SPI7LPEN	M4SPI7LPEN	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	

位域	名称	描述
31	M7ATIM3EN	ATIMER3 M7 分配和时钟使能。 由软件设置和清除。 0: ATIMER3 未分配给 M7。“atimer3_gated_ker_clk”和“atimer3_gated_pclk”在 M7 运行模式下被禁用。 1: ATIMER3 分配给 M7。“atimer3_gated_ker_clk”和“atimer3_gated_pclk”在 M7 运行模式下被启用。
30	M4ATIM3EN	ATIMER3 M4 分配和时钟使能。 由软件设置和清除。 0: ATIMER3 未分配给 M4。“atimer3_gated_ker_clk”和“atimer3_gated_pclk”在 M4 运行模式下被禁用。 1: ATIMER3 分配给 M4。“atimer3_gated_ker_clk”和“atimer3_gated_pclk”在 M4 运行模式下被启用。
29	M7ATIM3LPEN	ATIMER3 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 睡眠和停止模式下, “atimer3_gated_ker_clk”和“atimer3_gated_pclk”时钟被禁用。 1: 在 M7 睡眠和停止模式下, “atimer3_gated_ker_clk”被启用。在 M7 睡眠模式下, “atimer3_gated_pclk”被启用。

位域	名称	描述
		注意：在启用此位之前，应先启用 M7ATIM3EN 位，否则此位无效。
28	M4ATIM3LPEN	ATIMER3 M4 低功耗时钟使能。 由软件设置和清除。 0：在 M4 SLEEP 和 STOP 模式下，“atimer3_gated_ker_clk”和“atimer3_gated_pclk”时钟被禁用。 1：在 M4 SLEEP 和 STOP 模式下，“atimer3_gated_ker_clk”被启用。在 M4 SLEEP 模式下，“atimer3_gated_pclk”被启用。 注意：在启用此位之前，应先启用 M4ATIM3EN 位，否则此位无效。
27	M7ATIM4EN	ATIMER4 M7 分配和时钟使能。 由软件设置和清除。 0：ATIMER4 未分配给 M7。“atimer4_gated_ker_clk”和“atimer4_gated_pclk”在 M7 运行模式下被禁用。 1：ATIMER4 分配给 M7。“atimer4_gated_ker_clk”和“atimer4_gated_pclk”在 M7 运行模式下被启用。
26	M4ATIM4EN	ATIMER4 M4 分配和时钟使能。 由软件设置和清除。 0：ATIMER4 未分配给 M4。“atimer4_gated_ker_clk”和“atimer4_gated_pclk”在 M4 运行模式下被禁用。 1：ATIMER4 分配给 M4。“atimer4_gated_ker_clk”和“atimer4_gated_pclk”在 M4 运行模式下被启用。
25	M7ATIM4LPEN	ATIMER4 M7 低功耗时钟使能。 由软件设置和清除。 0：在 M7 睡眠和停止模式下，“atimer4_gated_ker_clk”和“atimer4_gated_pclk”时钟被禁用。 1：在 M7 睡眠和停止模式下，“atimer4_gated_ker_clk”被启用。在 M7 睡眠模式下，“atimer4_gated_pclk”被启用。 注意：在启用此位之前，应先启用 M7ATIM4EN 位，否则此位无效。
24	M4ATIM4LPEN	ATIMER4 M4 低功耗时钟使能。 由软件设置和清除。 0：在 M4 睡眠和停止模式下，“atimer4_gated_ker_clk”和“atimer4_gated_pclk”时钟被禁用。 1：在 M4 睡眠和停止模式下，“atimer4_gated_ker_clk”被启用。在 M4 睡眠模式下，“atimer4_gated_pclk”被启用。 注意：在启用此位之前，应先启用 M4ATIM4EN 位，否则此位无效。
23	M7AFECEN	AFEC M7 分配和时钟使能。 由软件设置和清除。 0：AFEC 未分配给 M7。“afec_gated_pclk”在 M7 运行模式下被禁用。 1：AFEC 分配给 M7。“afec_gated_pclk”在 M7 运行模式下被启用。
22	M4AFECEN	AFEC M4 分配和时钟使能。 由软件设置和清除。 0：AFEC 未分配给 M4。“afec_gated_pclk”在 M4 运行模式下被禁用。 1：AFEC 分配给 M4。“afec_gated_pclk”在 M4 运行模式下被启用。
21	M7AFECLPEN	AFEC M7 低功耗时钟使能。

位域	名称	描述
		由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下, “afec_gated_pclk”时钟被禁用。 1: 在 M7 SLEEP 模式下, “afec_gated_pclk”时钟被启用。 注意: 在启用此位之前, 应先启用 M7AFECEN 位, 否则此位无效。
20	M4AFECLPEN	AFEC M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下, “afec_gated_pclk”时钟被禁用。 1: 在 M4 SLEEP 模式下, “afec_gated_pclk”时钟被启用。 注意: 在启用此位之前, 应先启用 M4AFECEN 位, 否则此位无效。
19:16	保留	保留, 必须保持复位值。
15	M7SPI4EN	SPI4 M7 分配和时钟使能。 由软件设置和清除。 0: SPI4 未分配给 M7。在 M7 运行模式下, “spi4_gated_ker_clk”和“spi4_gated_pclk”被禁用。 1: SPI4 分配给 M7。在 M7 运行模式下启用了“spi4_gated_ker_clk”和“spi4_gated_pclk”。
14	M4SPI4EN	SPI4 M4 分配和时钟使能。 由软件设置并清除。 0: SPI4 未分配给 M4。在 M4 运行模式下, “spi4_gated_ker_clk”和“spi4_gated_pclk”已禁用。 1: SPI4 分配给 M4。在 M4 运行模式下启用了“spi4_gated_ker_clk”和“spi4_gated_pclk”。
13	M7SPI4LPEN	SPI4 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下, “spi4_gated_ker_clk”和“spi4_gated_pclk”被禁用。 1: 在 M7 休眠和停止模式下, “spi4_gated_ker_clk”被启用。在 M7 休眠模式下, “spi4_gated_pclk”被启用。 注意: 在启用此位之前, 应先启用 M7SPI4EN 位, 否则此位无效。
12	M4SPI4LPEN	SPI4 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下, “spi4_gated_ker_clk”和“spi4_gated_pclk”被禁用。 1: 在 M4 SLEEP 和 STOP 模式下, “spi4_gated_ker_clk”被启用。在 M4 SLEEP 模式下, “spi4_gated_pclk”被启用。 注意: 在启用此位之前, 应先启用 M4SPI4EN 位, 否则此位无效。
11	M7SPI5EN	SPI5 M7 分配和时钟使能。 由软件设置和清除。 0: SPI5 未分配给 M7。“spi5_gated_ker_clk”和“spi5_gated_pclk”在 M7 运行模式下被禁用。 1: SPI5 分配给 M7。“spi5_gated_ker_clk”和“spi5_gated_pclk”在 M7 运行模式下启用。
10	M4SPI5EN	SPI5 M4 分配和时钟使能。 由软件设置并清除。 0: SPI5 未分配给 M4。“spi5_gated_ker_clk”和“spi5_gated_pclk”在 M4 运行模式下被禁用。

位域	名称	描述
		1: SPI5 分配给 M4。“spi5_gated_ker_clk”和“spi5_gated_pclk”在 M4 运行模式下启用。
9	M7SPI5LPEN	SPI5 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下，“spi5_gated_ker_clk”和“spi5_gated_pclk”被禁用。 1: 在 M7 SLEEP 和 STOP 模式下，“spi5_gated_ker_clk”被启用。在 M7 SLEEP 模式下，“spi5_gated_pclk”被启用。 注意: 在启用此位之前, 应先启用 M7SPI5EN 位, 否则此位无效。
8	M4SPI5LPEN	SPI5 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下，“spi5_gated_ker_clk”和“spi5_gated_pclk”被禁用。 1: 在 M4 SLEEP 和 STOP 模式下，“spi5_gated_ker_clk”被启用。在 M4 SLEEP 模式下，“spi5_gated_pclk”被启用。 注意: 在启用此位之前, 应先启用 M4SPI5EN 位, 否则此位无效。
7	M7SPI6EN	SPI6 M7 分配和时钟使能。 由软件设置和清除。 0: SPI6 未分配给 M7。“spi6_gated_ker_clk”和“spi6_gated_pclk”在 M7 运行模式下被禁用。 1: SPI6 分配给 M7。在 M7 运行模式下启用了“spi6_gated_ker_clk”和“spi6_gated_pclk”。
6	M4SPI6EN	SPI6 M4 分配和时钟使能。 由软件设置并清除。 0: SPI6 未分配给 M4。“spi6_gated_ker_clk”和“spi6_gated_pclk”在 M4 运行模式下被禁用。 1: SPI6 分配给 M4。“spi6_gated_ker_clk”和“spi6_gated_pclk”在 M4 运行模式下启用。
5	M7SPI6LPEN	SPI6 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下，“spi6_gated_ker_clk”和“spi6_gated_pclk”被禁用。 1: 在 M7 SLEEP 和 STOP 模式下，“spi6_gated_ker_clk”被启用。在 M7 SLEEP 模式下，“spi6_gated_pclk”被启用。 注意: 在启用此位之前, 应先启用 M7SPI6EN 位, 否则此位无效。
4	M4SPI6LPEN	SPI6 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下，“spi6_gated_ker_clk”和“spi6_gated_pclk”被禁用。 1: 在 M4 SLEEP 和 STOP 模式下，“spi6_gated_ker_clk”被启用。在 M4 SLEEP 模式下，“spi6_gated_pclk”被启用。 注意: 在启用此位之前, 应先启用 M4SPI6EN 位, 否则此位无效。
3	M7SPI7EN	SPI7 M7 分配和时钟使能。 由软件设置和清除。 0: SPI7 未分配给 M7。“spi7_gated_ker_clk”和“spi7_gated_pclk”在 M7 运行模式下被禁用。 1: SPI7 分配给 M7。“spi7_gated_ker_clk”和“spi7_gated_pclk”在 M7 运行模式下启用。
2	M4SPI7EN	SPI7 M4 分配和时钟使能。 由软件设置并清除。

位域	名称	描述
		0: SPI7 未分配给 M4。“spi7_gated_ker_clk”和“spi7_gated_pclk”在 M4 运行模式下被禁用。 1: SPI7 分配给 M4。“spi7_gated_ker_clk”和“spi7_gated_pclk”在 M4 运行模式下启用。
1	M7SPI7LPEN	SPI7 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下，“spi7_gated_ker_clk”和“spi7_gated_pclk”被禁用。 1: 在 M7 SLEEP 和 STOP 模式下，“spi7_gated_ker_clk”被启用。在 M7 SLEEP 模式下，“spi7_gated_pclk”被启用。 注意：在启用此位之前，应先启用 M7SPI7EN 位，否则此位无效。
0	M4SPI7LPEN	SPI7 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下，“spi7_gated_ker_clk”和“spi7_gated_pclk”被禁用。 1: 在 M4 SLEEP 和 STOP 模式下，“spi7_gated_ker_clk”被启用。在 M4 SLEEP 模式下，“spi7_gated_pclk”被启用。 注意：在启用此位之前，应先启用 M4SPI7EN 位，否则此位无效。

#### 4.5.65 APB5 外设时钟使能寄存器 2(RCC\_APB5EN2)

偏移地址：0x0100

复位值：0x00008000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M7I2C7EN	M4I2C7EN	M7I2C7LPEN	M4I2C7LPEN	M7I2C8EN	M4I2C8EN	M7I2C8LPEN	M4I2C8LPEN	M7I2C9EN	M4I2C9EN	M7I2C9LPEN	M4I2C9LPEN	M7I2C10EN	M4I2C10EN	M7I2C10LPEN	M4I2C10LPEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTIEN	Reserved	EXTILPEN	Reserved	M7RTCCLKEN	M4RTCCLKEN	M7RTCCLKLPEN	M4RTCCLKLPEN	IWDG1CLKEN	Reserved	IWDG1CLKLPEN	Reserved	IWDG2CLKEN	Reserved	IWDG2CLKLPEN	Reserved
rw		rw		rw	rw	rw	rw	rw		rw		rw		rw	

位域	名称	描述
31	M7I2C7EN	I2C7 M7 分配和时钟使能。 由软件设置和清除。 0: I2C7 未分配给 M7。“i2c7_ker_gated_clk”和“i2c7_gated_pclk”在 M7 运行模式下被禁用。 1: I2C7 分配给 M7。“i2c7_ker_gated_clk”和“i2c7_gated_pclk”在 M7 运行模式下被启用。
30	M4I2C7EN	I2C7 M4 分配和时钟使能。 由软件设置和清除。 0: I2C7 未分配给 M4。“i2c7_ker_gated_clk”和“i2c7_gated_pclk”在 M4 运行模式下被禁用。



位域	名称	描述
		1: I2C7 分配给 M4。"i2c7_ker_gated_clk"和"i2c7_gated_pclk"在 M4 运行模式下被启用。
29	M7I2C7LPEN	I2C7 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下，“i2c7_ker_gated_clk”和“i2c7_gated_pclk”时钟被禁用。 1: 在 M7 SLEEP 和 STOP 模式下，“i2c7_ker_gated_clk”被启用。在 M7 SLEEP 模式下，“i2c7_gated_pclk”被启用。 注意：在启用此位之前，应先启用 M7I2C7EN 位，否则此位无效。
28	M4I2C7LPEN	I2C7 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下，“i2c7_ker_gated_clk”和“i2c7_gated_pclk”时钟被禁用。 1: 在 M4 SLEEP 和 STOP 模式下，“i2c7_ker_gated_clk”被使能。在 M4 SLEEP 模式下，“i2c7_gated_pclk”被使能。 注意：在使能此位之前，应先使能 M4I2C7EN 位，否则此位无效。
27	M7I2C8EN	I2C8 M7 分配和时钟使能。 由软件设置和清除。 0: I2C8 未分配给 M7。"i2c8_ker_gated_clk"和"i2c8_gated_pclk"在 M7 运行模式下被禁用。 1: I2C8 分配给 M7。"i2c8_ker_gated_clk"和"i2c8_gated_pclk"在 M7 运行模式下被启用。
26	M4I2C8EN	I2C8 M4 分配和时钟使能。 由软件设置和清除。 0: I2C8 未分配给 M4。"i2c8_ker_gated_clk"和"i2c8_gated_pclk"在 M4 运行模式下被禁用。 1: I2C8 分配给 M4。"i2c8_ker_gated_clk"和"i2c8_gated_pclk"在 M4 运行模式下被启用。
25	M7I2C8LPEN	I2C8 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下，“i2c8_ker_gated_clk”和“i2c8_gated_pclk”时钟被禁用。 1: 在 M7 SLEEP 和 STOP 模式下，“i2c8_ker_gated_clk”被使能。“i2c8_gated_pclk”在 M7 SLEEP 模式下被使能。 注意：在使能此位之前，应先使能 M7I2C8EN 位，否则此位无效。
24	M4I2C8LPEN	I2C8 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 睡眠和停止模式下，“i2c8_ker_gated_clk”和“i2c8_gated_pclk”时钟被禁用。 1: 在 M4 睡眠和停止模式下，“i2c8_ker_gated_clk”被启用。在 M4 睡眠模式下，“i2c8_gated_pclk”被启用。 注意：在启用此位之前，应先启用 M4I2C8EN 位，否则此位无效。
23	M7I2C9EN	I2C9 M7 分配和时钟使能。 由软件设置和清除。

位域	名称	描述
		0: I2C9 未分配给 M7。"i2c9_ker_gated_clk"和"i2c9_gated_pclk"在 M7 运行模式下被禁用。 1: I2C9 分配给 M7。"i2c9_ker_gated_clk"和"i2c9_gated_pclk"在 M7 运行模式下被启用。
22	M4I2C9EN	I2C9 M4 分配和时钟使能。 由软件设置和清除。 0: I2C9 未分配给 M4。"i2c9_ker_gated_clk"和"i2c9_gated_pclk"在 M4 运行模式下被禁用。 1: I2C9 分配给 M4。"i2c9_ker_gated_clk"和"i2c9_gated_pclk"在 M4 运行模式下被启用。
21	M7I2C9LPEN	I2C9 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 睡眠和停止模式下，“i2c9_ker_gated_clk”和“i2c9_gated_pclk”时钟被禁用。 1: 在 M7 睡眠和停止模式下，“i2c9_ker_gated_clk”被启用。在 M7 睡眠模式下，“i2c9_gated_pclk”被启用。 注意：在启用此位之前，应先启用 M7I2C9EN 位，否则此位无效。
20	M4I2C9LPEN	I2C9 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 睡眠和停止模式下，“i2c9_ker_gated_clk”和“i2c9_gated_pclk”时钟被禁用。 1: 在 M4 睡眠和停止模式下，“i2c9_ker_gated_clk”被启用。在 M4 睡眠模式下，“i2c9_gated_pclk”被启用。 注意：在启用此位之前，应先启用 M4I2C9EN 位，否则此位无效。
19	M7I2C10EN	I2C10 M7 分配和时钟使能。 由软件设置和清除。 0: I2C10 未分配给 M7。"i2c10_ker_gated_clk"和"i2c9_gated_pclk"在 M7 运行模式下被禁用。 1: I2C10 分配给 M7。"i2c10_ker_gated_clk"和"i2c9_gated_pclk"在 M7 运行模式下被启用。
18	M4I2C10EN	I2C10 M4 分配和时钟使能。 由软件设置和清除。 0: I2C10 未分配给 M4。"i2c10_ker_gated_clk"和"i2c10_gated_pclk"在 M4 运行模式下被禁用。 1: I2C10 分配给 M4。"i2c10_ker_gated_clk"和"i2c10_gated_pclk"在 M4 运行模式下被启用。
17	M7I2C10LPEN	I2C10 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下，“i2c10_ker_gated_clk”和“i2c10_gated_pclk”时钟被禁用。 1: 在 M7 SLEEP 和 STOP 模式下，“i2c10_ker_gated_clk”被使能。在 M7 SLEEP 模式下，“i2c10_gated_pclk”被使能。 注意：在启用此位之前，应先启用 M7I2C10EN 位，否则此位无效。
16	M4I2C10LPEN	I2C10 M4 低功耗时钟使能。 由软件设置和清除。

位域	名称	描述
		0: 在 M4 SLEEP 和 STOP 模式下, “i2c10_ker_gated_clk”和“i2c10_gated_pclk”时钟被禁用。 1: 在 M4 SLEEP 和 STOP 模式下, “i2c10_ker_gated_clk”被使能。在 M4 SLEEP 模式下, “i2c10_gated_pclk”被使能。 注意: 在使能此位之前, 应先使能 M4I2C10EN 位, 否则此位无效。
15	EXTIEN	EXTI 时钟使能。 由软件设置和清除。 0: "exti_gated_pclk"被禁用。 1: "exti_gated_pclk"被启用。
14	保留	保留, 必须保持复位值。
13	EXTILPEN	EXTI 低功耗时钟使能。 由软件设置和清除。 0: 在睡眠和 STOP 模式下, “exti_gated_pclk”时钟被禁用。 1: 在 M7/M4 睡眠模式下, “exti_gated_pclk”时钟被启用。 注意: 在启用此位之前, 应先启用 EXTIEN 位, 否则此位无效。
12	保留	保留, 必须保持复位值。
11	M7RTCCLKEN	RTCCLK M7 分配和时钟使能。 由软件设置和清除。 0: RTC APB 时钟未分配给 M7。在 M7 运行模式下, “rtc_gated_pclk”被禁用。 1: RTC APB 时钟分配给 M7。在 M7 运行模式下, “rtc_gated_pclk”被启用。
10	M4RTCCLKEN	RTCCLK M4 分配和时钟使能。 由软件设置和清除。 0: RTC APB 时钟未分配给 M4。“rtc_gated_pclk”在 M4 运行模式下被禁用。 1: RTC APB 时钟分配给 M4。“rtc_gated_pclk”在 M4 运行模式下被启用。
9	M7RTCCLKLPE N	RTCCLK M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 睡眠和停止模式下, “rtc_gated_pclk”时钟被禁用。 1: 在 M7 睡眠模式下, “rtc_gated_pclk”时钟被启用。 注意: 在启用此位之前, 应先启用 M7RTCCLKEN 位, 否则此位无效。
8	M4RTCCLKLPE N	RTCCLK M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下, “rtc_gated_pclk”时钟被禁用。 1: 在 M4 SLEEP 模式下, “rtc_gated_pclk”时钟被启用。 注意: 在启用此位之前, 应先启用 M4RTCCLKEN 位, 否则此位无效。
7	IWDG1PCLKEN	IWDG1 APB 时钟使能。 由软件设置和清除。 0: "iwdg1_gated_pclk"被禁用。 1: "iwdg1_gated_pclk"被启用。
6	保留	保留, 必须保持复位值。
5	IWDG1PCLKLPE N	IWDG1 低功耗 APB 时钟使能。 由软件设置和清除。 0: 在 SLEEP 模式下, “iwdg1_gated_pclk”时钟被禁用。

位域	名称	描述
		1: 在 SLEEP 模式下, “iwdg1_gated_pclk”时钟被启用。 注意: 在启用此位之前, 应先启用 IWDG1PCLKEN 位, 否则此位无效。
4	保留	保留, 必须保持复位值。
3	IWDG2PCLKEN	IWDG2 APB 时钟使能。 由软件设置和清除。 0: "iwdg2_gated_pclk"被禁用。 1: "iwdg2_gated_pclk"被启用。
2	保留	保留, 必须保持复位值。
1	IWDG2PCLKLPE N	IWDG2 低功耗 APB 时钟使能。 由软件设置和清除。 0: 在 SLEEP 模式下, “iwdg2_gated_pclk”时钟被禁用。 1: 在 SLEEP 模式下, “iwdg2_gated_pclk”时钟被启用。 注意: 在启用此位之前, 应先启用 IWDG2PCLKEN 位, 否则此位无效。
0	保留	保留, 必须保持复位值。

#### 4.5.66 APB5 外设复位寄存器 1(RCC\_APB5RST1)

偏移地址: 0x00104

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			ATIM3RST	Reserved				ATIM4RST	Reserved						
			rw					rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			SPI4RST	Reserved				SPI5RST	Reserved		SPI6RST	Reserved		SPI7RST	
			rw					rw			rw			rw	

位域	名称	描述
31:29	保留	保留, 必须保持复位值。
28	ATIM3RST	ATIMER3 软复位 0: 清除复位 1: 复位 ATIMER3
27:25	保留	保留, 必须保持复位值。
24	ATIM4RST	ATIMER4 软复位 0: 清除复位 1: 复位 ATIMER4
23:13	保留	保留, 必须保持复位值。
12	SPI4RST	SPI4 软复位 0: 清除复位

位域	名称	描述
		1: 复位 SPI4
11:9	保留	保留, 必须保持复位值。
8	SPI5RST	SPI5 软复位 0: 清除复位 1: 复位 SPI5
7:5	保留	保留, 必须保持复位值。
4	SPI6RST	SPI6 软复位 0: 清除复位 1: 复位 SPI6
3:1	保留	保留, 必须保持复位值。
0	SPI7RST	SPI7 软复位 0: 清除复位 1: 复位 SPI7

#### 4.5.67 APB5 外设复位寄存器 2(RCC\_APB5RST2)

偏移地址: 0x00108

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			I2C7RST	Reserved			I2C8RST	Reserved			I2C9RST	Reserved			I2C10RST
			rw				rw				rw				rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															

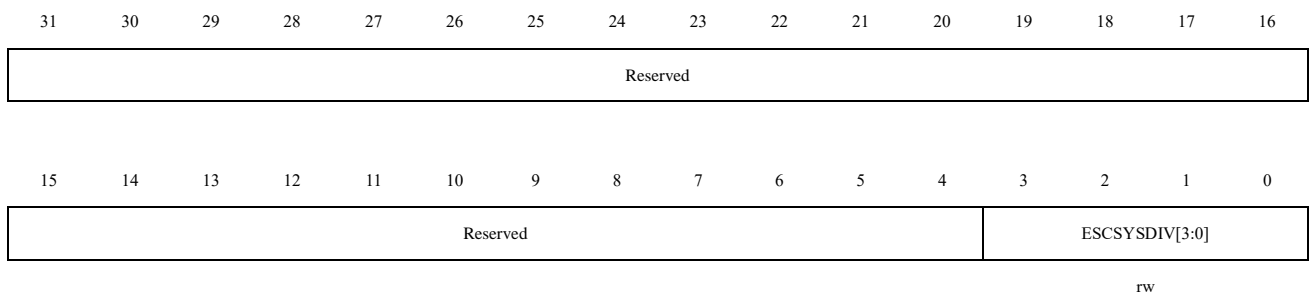
位域	名称	描述
31:29	保留	保留, 必须保持复位值。
28	I2C7RST	I2C7 软复位 0: 清除复位 1: 复位 I2C7
27:25	保留	保留, 必须保持复位值。
24	I2C8RST	I2C8 软复位 0: 清除复位 1: 复位 I2C8
23:21	保留	保留, 必须保持复位值。
20	I2C9RST	I2C9 软复位 0: 清除复位 1: 复位 I2C9

位域	名称	描述
19:17	保留	保留，必须保持复位值。
16	I2C10RST	I2C10 软复位 0: 清除复位 1: 复位 I2C10
15:0	保留	保留，必须保持复位值。

#### 4.5.68 AHB9 外设时钟分频寄存器 1(RCC\_AHB9DIV1)

偏移地址: 0x01b8

复位值: 0x00000000



位域	名称	描述
31:4	保留	保留，必须保持复位值。
3:0	ESCSYSDIV[3:0]	Ethercat 系统时钟预分频值。 0000: 除以 1 0001: 除以 2 0010: 除以 4 0100: 除以 8 0111: 除以 16 1000: 除以 32 1001: 除以 64 1010: 除以 128 1011: 除以 256 1100: 除以 512 其他值: 不允许设置

#### 4.5.69 AHB9 外设时钟源选择寄存器 1(RCC\_AHB9SEL1)

偏移地址: 0x01bc

复位值：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													ESCKERSEL[2:0]		
rw															

位域	名称	描述
31:3	保留	保留，必须保持复位值。
2:0	ESCKERSEL[2:0]	Ethercat 内核时钟选择。 000：分频系统总线时钟被选为 Ethercat 内核时钟 001：PLL2_B 时钟被选择为 Ethercat 内核时钟 010：PLL3_A 时钟被选择为 Ethercat 内核时钟 011：PLL3_C 时钟被选为 Ethercat 内核时钟 100：选择 PLL1_B 时钟作为 Ethercat 内核时钟 其他值：不允许设置

#### 4.5.70 AHB9 外设时钟使能寄存器 1(RCC\_AHB9EN1)

偏移地址：0x01c0

复位值：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												M7ESCEN	M4ESCEN	M7ESCLPEN	M4ESCLPEN
rw      rw      rw      rw															

位域	名称	描述
31:4	保留	保留，必须保持复位值。
3	M7ESCEN	ETHERCAT M7 分配和时钟使能。 由软件设置和清除。 0：ETHERCAT 未分配给 M7。“ethercat_ker_gated_clk”和“ethercat_phy_gated_clk”在 M7 运行模式下被禁用。

位域	名称	描述
		1: ETHERCAT 分配给 M7。“ethercat_ker_gated_clk”和“ethercat_phy_gated_clk”在 M7 运行模式下启用。
2	M4ESCEN	ETHERCAT M4 分配和时钟使能。 由软件设置和清除。 0: ETHERCAT 未分配给 M4。在 M4 运行模式下，“ethercat_ker_gated_clk”和“ethercat_phy_gated_clk”被禁用。 1: ETHERCAT 分配给 M4。在 M4 运行模式下启用了“ethercat_ker_gated_clk”和“ethercat_phy_gated_clk”。
1	M7ESCLPEN	以太网 CAT M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下，“ethercat_ker_gated_clk”时钟被禁用。 1: 在 M7 睡眠和停止模式下启用了“ethercat_ker_gated_clk”。 注意: 在启用此位之前, 应先启用 M7ESCEN 位, 否则此位无效。
0	M4ESCLPEN	以太网 CAT M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下，“ethercat_ker_gated_clk”时钟被禁用。 1: 在 M4 SLEEP 和 STOP 模式下，“ethercat_ker_gated_clk”已启用。 注意: 在启用此位之前, 应先启用 M4ESCEN 位, 否则此位无效。

#### 4.5.71 AHB9 外设复位寄存器 1(RCC\_AHB9RST1)

偏移地址: 0x01c4

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														ESCRST	

rw

位域	名称	描述
31:1	保留	保留, 必须保持复位值。
0	ESCRST	Ethercat 软复位 0: 清除复位 1: 复位 Ethercat



### 4.5.72 保留域时钟分频寄存器 1(RCC\_RDDIV1)

偏移地址: 0x010c

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	COMPDIV[2:0]			Reserved	LPUARTDIV[2:0]			Reserved							
rw				rw											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															

位域	名称	描述
31	保留	保留, 必须保持复位值。
30:28	COMPDIV[2:0]	APB5 COMP 时钟预分频器值。 000: 除以 1 100: 除以 2 101: 除以 4 110: 除以 8 111: 除以 16
27	保留	保留, 必须保持复位值。
26:24	LPUARTDIV[2:0]	LPUART 系统时钟预分频器值。 000: 除以 1 100: 除以 2 101: 除以 4 110: 除以 8 111: 除以 16
23:0	保留	保留, 必须保持复位值。

### 4.5.73 保留域时钟源选择寄存器 1(RCC\_RDSEL1)

偏移地址: 0x0110

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPTIM1SEL[3:0]				LPTIM2SEL[3:0]				LPTIM3SEL[3:0]				LPTIM4SEL[3:0]			
rw				rw				rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LPTIM5SEL[3:0]				Reserved	LPUART1SEL[2:0]			Reserved	LPUART2SEL[2:0]			Reserved		COMPSEL	

rw

rw

rw

rw

位域	名称	描述
31:28	LPTIM1SEL[3:0]	<p>LPTIMER1 内核时钟选择。</p> <p>0000: APB5 总线时钟被选择为“lptim1_gated_ker_clk”。</p> <p>0001: LSI 时钟被选择为“lptim1_gated_ker_clk”。</p> <p>0010: LSE 时钟被选择为“lptim1_gated_ker_clk”。</p> <p>0011: HSE 时钟被选择为“lptim1_gated_ker_clk”。</p> <p>0100: HSI 时钟被选择为“lptim1_gated_ker_clk”。</p> <p>0101: MSI 时钟被选择为“lptim1_gated_ker_clk”。</p> <p>1000: 选择比较器 1 输出为“lptim1_gated_ker_clk”。</p> <p>1001: 比较器 2 输出被选择为“lptim1_gated_ker_clk”。</p> <p>1010: 选择比较器 3 输出为“lptim1_gated_ker_clk”。</p> <p>1011: 比较器 4 输出被选择为“lptim1_gated_ker_clk”。</p> <p>其他值: 不允许设置</p>
27:24	LPTIM2SEL[3:0]	<p>LPTIMER2 内核时钟选择。</p> <p>0000: APB5 总线时钟被选择为“lptim2_gated_ker_clk”。</p> <p>0001: LSI 时钟被选择为“lptim2_gated_ker_clk”。</p> <p>0010: LSE 时钟被选择为“lptim2_gated_ker_clk”。</p> <p>0011: HSE 时钟被选择为“lptim2_gated_ker_clk”。</p> <p>0100: HSI 时钟被选择为“lptim2_gated_ker_clk”。</p> <p>0101: MSI 时钟被选择为“lptim2_gated_ker_clk”。</p> <p>1000: 比较器 1 输出被选择为“lptim2_gated_ker_clk”。</p> <p>1001: 比较器 2 输出被选择为“lptim2_gated_ker_clk”。</p> <p>1010: 比较器 3 输出被选择为“lptim2_gated_ker_clk”。</p> <p>1011: 比较器 4 的输出被选择为“lptim2_gated_ker_clk”。</p> <p>其他值: 不允许设置</p>
23:20	LPTIM3SEL[3:0]	<p>LPTIMER3 内核时钟选择。</p> <p>0000: APB5 总线时钟被选择为“lptim3_gated_ker_clk”。</p> <p>0001: LSI 时钟被选择为“lptim3_gated_ker_clk”。</p> <p>0010: LSE 时钟被选择为“lptim3_gated_ker_clk”。</p> <p>0011: HSE 时钟被选择为“lptim3_gated_ker_clk”。</p> <p>0100: HSI 时钟被选择为“lptim3_gated_ker_clk”。</p> <p>0101: MSI 时钟被选择为“lptim3_gated_ker_clk”。</p> <p>1000: 选择比较器 1 输出为“lptim3_gated_ker_clk”。</p> <p>1001: 比较器 2 输出被选择为“lptim3_gated_ker_clk”。</p> <p>1010: 选择比较器 3 输出为“lptim3_gated_ker_clk”。</p> <p>1011: 比较器 4 输出被选择为“lptim3_gated_ker_clk”。</p> <p>其他值: 不允许设置</p>
19:16	LPTIM4SEL[3:0]	<p>LPTIMER4 内核时钟选择。</p> <p>0000: APB5 总线时钟被选择为“lptim4_gated_ker_clk”。</p> <p>0001: LSI 时钟被选择为“lptim4_gated_ker_clk”。</p> <p>0010: LSE 时钟被选择为“lptim4_gated_ker_clk”。</p>

位域	名称	描述
		0011: HSE 时钟被选择为“lptim4_gated_ker_clk”。 0100: HSI 时钟被选择为“lptim4_gated_ker_clk”。 0101: MSI 时钟被选择为“lptim4_gated_ker_clk”。 1000: 比较器 1 输出被选择为“lptim4_gated_ker_clk”。 1001: 比较器 2 输出被选择为“lptim4_gated_ker_clk”。 1010: 选择比较器 3 输出为“lptim4_gated_ker_clk”。 1011: 比较器 4 输出被选择为“lptim4_gated_ker_clk”。 其他值: 不允许设置
15:12	LPTIM5SEL[3:0]	LPTIMER5 内核时钟选择。 0000: APB5 总线时钟被选择为“lptim5_gated_ker_clk”。 0001: LSI 时钟被选择为“lptim5_gated_ker_clk”。 0010: LSE 时钟被选择为“lptim5_gated_ker_clk”。 0011: HSE 时钟被选择为“lptim5_gated_ker_clk”。 0100: HSI 时钟被选择为“lptim5_gated_ker_clk”。 0101: MSI 时钟被选择为“lptim5_gated_ker_clk”。 1000: 比较器 1 的输出被选择为“lptim5_gated_ker_clk”。 1001: 比较器 2 输出被选择为“lptim5_gated_ker_clk”。 1010: 比较器 3 输出被选择为“lptim5_gated_ker_clk”。 1011: 比较器 4 输出被选择为“lptim5_gated_ker_clk”。 其他值: 不允许设置
11	保留	保留, 必须保持复位值。
10:8	LPUART1SEL[2:0]	LPUART1 内核时钟选择。 000: 分频系统总线时钟被选择为“lpuart1_gated_ker_clk”。 001: HSI 时钟被选择为“lpuart1_gated_ker_clk”。 010: LSE 时钟被选择为“lpuart1_gated_ker_clk”。 011: HSE 时钟被选择为“lpuart1_gated_ker_clk”。 100: MSI 时钟被选择为“lpuart1_gated_ker_clk”。 其他值: 不允许设置
7	保留	保留, 必须保持复位值。
6:4	LPUART2SEL[2:0]	LPUART2 内核时钟选择。 000: 分频系统总线时钟被选择为“lpuart2_gated_ker_clk”。 001: HSI 时钟被选择为“lpuart2_gated_ker_clk”。 010: LSE 时钟被选择为“lpuart2_gated_ker_clk”。 011: HSE 时钟被选择为“lpuart2_gated_ker_clk”。 100: MSI 时钟被选择为“lpuart2_gated_ker_clk”。 其他值: 不允许设置
3:1	保留	保留, 必须保持复位值。
0	COMPSEL	比较器控制器时钟选择 0: LSI 时钟被选择为“compctrl_gated_lsx_clk”。 1: LSE 时钟被选择为“compctrl_gated_lsx_clk”。

### 4.5.74 保留域控制寄存器 1(RCC\_RDCTRL1)

偏移地址: 0x01a8

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		LPTIM2FLTEN	LPTIM2FLTSEL	LPTIM2COMP4EN	LPTIM2COMP3EN	LPTIM2COMP2EN	LPTIM2COMP1EN	Reserved				LPTIM2FLTDFC[4:0]			
		rw	rw	rw	rw	rw	rw					rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		LPTIM1FLTEN	LPTIM1FLTSEL	LPTIM1COMP4EN	LPTIM1COMP3EN	LPTIM1COMP2EN	LPTIM1COMP1EN	Reserved				LPTIM1FLTDFC[4:0]			
		rw	rw	rw	rw	rw	rw					rw			

位域	名称	描述
31:30	保留	保留, 必须保持复位值。
29	LPTIM2FLTEN	控制信号用于选择经过滤波或未经滤波的 LPTIMER2 比较器时钟源。 0: LPTIMER2 比较器时钟源未经滤波。 1: LPTIMER2 比较器时钟源已滤波
28	LPTIM2FLTSEL	控制信号用于选择在 LPTIMER2 比较器时钟源中使用的数字滤波器的采样时钟。 0: APB5 总线时钟用作数字滤波器的采样时钟。 1: MSI 时钟用作数字滤波器的采样时钟。
27	LPTIM2COMP4EN	启用比较器 4 时钟源到 LPTIMER2 的信号。 0: 比较器 4 的时钟源到 LPTIMER2 已禁用。 1: 比较器 4 时钟源到 LPTIMER2 已启用。
26	LPTIM2COMP3EN	启用比较器 3 时钟源到 LPTIMER2 的信号。 0: 比较器 3 的时钟源到 LPTIMER2 已禁用。 1: 比较器 3 时钟源到 LPTIMER2 已启用。
25	LPTIM2COMP2EN	启用比较器 2 时钟源到 LPTIMER2 的信号。 0: 比较器 2 的时钟源到 LPTIMER2 已禁用。 1: 比较器 2 时钟源到 LPTIMER2 已启用。
24	LPTIM2COMP1EN	启用比较器 1 时钟源到 LPTIMER2 的信号。 0: 比较器 1 的时钟源到 LPTIMER2 已禁用。 1: 比较器 1 时钟源到 LPTIMER2 已启用。
23:21	保留	保留, 必须保持复位值。
20:16	LPTIM2FLTDFC[4:0]	LPTIMER2 毛刺滤波阶段控制 00000: 滤波器旁路 其他: 计数器值表示以 APB5 或 MSI 时钟周期为单元的最小脉冲宽度。
15:14	保留	保留, 必须保持复位值。
13	LPTIM1FLTEN	控制信号用于选择经过滤波或未经滤波的 LPTIMER1 比较器时钟源。 0: LPTIMER1 比较器时钟源未经滤波。 1: LPTIMER1 比较器时钟源已滤波
12	LPTIM1FLTSEL	控制信号用于选择在 LPTIMER1 比较器时钟源中使用的数字滤波器的采样时钟。

位域	名称	描述
		0: APB5 总线时钟用作数字滤波器的采样时钟。 1: MSI 时钟用作数字滤波器的采样时钟。
11	LPTIM1COMP4EN	启用比较器 4 时钟源到 LPTIMER1 的信号。 0: 比较器 4 的时钟源到 LPTIMER1 已禁用。 1: 比较器 4 时钟源到 LPTIMER1 已启用。
10	LPTIM1COMP3EN	启用比较器 3 时钟源到 LPTIMER1 的信号。 0: 比较器 3 时钟源到 LPTIMER1 已禁用。 1: 比较器 3 时钟源到 LPTIMER1 已启用。
9	LPTIM1COMP2EN	启用比较器 2 时钟源到 LPTIMER1 的信号。 0: 比较器 2 的时钟源到 LPTIMER1 已禁用。 1: 比较器 2 时钟源已启用到 LPTIMER1。
8	LPTIM1COMP1EN	启用比较器 1 时钟源到 LPTIMER1 的信号。 0: 比较器 1 的时钟源到 LPTIMER1 已禁用。 1: LPTIMER1 的比较器 1 时钟源已启用。
7:5	保留	保留, 必须保持复位值。
4:0	LPTIM1FLTDFC[4:0]	LPTIMER1 毛刺滤波器阶段控制 00000: 过滤器旁路 其他: 计数器值表示以 APB5 或 MSI 时钟周期为单位的最小脉冲宽度。

#### 4.5.75 保留域控制寄存器 2(RCC\_RDCTRL2)

偏移地址: 0x01ac

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		LPTIM4FLTEN	LPTIM4FLTSEL	LPTIM4COMP4EN	LPTIM4COMP3EN	LPTIM4COMP2EN	LPTIM4COMP1EN	Reserved				LPTIM4FLTDFC[4:0]			
		rw	rw	rw	rw	rw	rw					rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		LPTIM3FLTEN	LPTIM3FLTSEL	LPTIM3COMP4EN	LPTIM3COMP3EN	LPTIM3COMP2EN	LPTIM3COMP1EN	Reserved				LPTIM3FLTDFC[4:0]			
		rw	rw	rw	rw	rw	rw					rw			

位域	名称	描述
31:30	保留	保留, 必须保持复位值。
29	LPTIM4FLTEN	控制信号用于选择经过滤波或未经过滤的 LPTIMER4 比较器时钟源。 0: LPTIMER4 比较器时钟源未经过滤。 1: LPTIMER4 比较器时钟源已过滤
28	LPTIM4FLTSEL	控制信号用于选择在 LPTIMER4 比较器时钟源中使用的数字滤波器的采样时钟。 0: APB5 总线时钟用作数字滤波器的采样时钟。 1: MSI 时钟用作数字滤波器的采样时钟。
27	LPTIM4COMP4EN	启用比较器 4 时钟源到 LPTIMER4 的信号。

位域	名称	描述
		0: 比较器 4 的时钟源到 LPTIMER4 已禁用。 1: 比较器 4 时钟源已启用到 LPTIMER4。
26	LPTIM4COMP3EN	启用比较器 3 时钟源到 LPTIMER4 的信号。 0: 比较器 3 时钟源到 LPTIMER4 已禁用。 1: 比较器 3 时钟源已启用到 LPTIMER4。
25	LPTIM4COMP2EN	启用比较器 2 时钟源到 LPTIMER4 的信号。 0: 比较器 2 时钟源到 LPTIMER4 已禁用。 1: 比较器 2 时钟源到 LPTIMER4 已启用。
24	LPTIM4COMP1EN	启用比较器 1 时钟源到 LPTIMER4 的信号。 0: 比较器 1 的时钟源到 LPTIMER4 已禁用。 1: 比较器 1 时钟源到 LPTIMER4 已启用。
23:21	保留	保留, 必须保持复位值。
20:16	LPTIM4FLTDFC[4:0]	LPTIMER4 毛刺滤波阶段控制 00000: 过滤器旁路 其他: 计数器值表示以 APB5 或 MSI 时钟周期为单位的最小脉冲宽度。
15:14	保留	保留, 必须保持复位值。
13	LPTIM3FLTEN	控制信号用于选择经过滤波或未经滤波的 LPTIMER3 比较器时钟源。 0: LPTIMER3 比较器时钟源未经滤波。 1: LPTIMER3 比较器时钟源已滤波
12	LPTIM3FLTSEL	控制信号用于选择在 LPTIMER3 比较器时钟源中使用的数字滤波器的采样时钟。 0: APB5 总线时钟用作数字滤波器的采样时钟。 1: MSI 时钟用作数字滤波器的采样时钟。
11	LPTIM3COMP4EN	启用比较器 4 时钟源到 LPTIMER3 的信号。 0: 比较器 4 的时钟源到 LPTIMER3 已禁用。 1: 比较器 4 时钟源到 LPTIMER3 已启用。
10	LPTIM3COMP3EN	启用比较器 3 时钟源到 LPTIMER3 的信号。 0: 比较器 3 时钟源到 LPTIMER3 已禁用。 1: 比较器 3 时钟源到 LPTIMER3 已启用。
9	LPTIM3COMP2EN	启用比较器 2 时钟源到 LPTIMER3 的信号。 0: 比较器 2 的时钟源到 LPTIMER3 已禁用。 1: 比较器 2 时钟源到 LPTIMER3 已启用。
8	LPTIM3COMP1EN	启用比较器 1 时钟源到 LPTIMER3 的信号。 0: 比较器 1 的时钟源到 LPTIMER3 已禁用。 1: 比较器 1 时钟源到 LPTIMER3 已启用。
7:5	保留	保留, 必须保持复位值。
4:0	LPTIM3FLTDFC[4:0]	LPTIMER3 毛刺滤波阶段控制 00000: 过滤器旁路 其他: 计数器值表示以 APB5 或 MSI 时钟周期为单位的最小脉冲宽度。

### 4.5.76 保留域控制寄存器 3(RCC\_RDCTRL3)

偏移地址: 0x01b0

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		LPTIM5FLTEN	LPTIM5FLTSEL	LPTIM5COMP4EN	LPTIM5COMP3EN	LPTIM5COMP2EN	LPTIM5COMP1EN	Reserved				LPTIM5FLTDFC[4:0]			
		rw	rw	rw	rw	rw	rw					rw			

位域	名称	描述
31:14	保留	保留, 必须保持复位值。
13	LPTIM5FLTEN	控制信号用于选择经过滤波或未经滤波的 LPTIMER5 比较器时钟源。 0: LPTIMER5 比较器时钟源未经滤波。 1: LPTIMER5 比较器时钟源已滤波
12	LPTIM5FLTSEL	控制信号用于选择在 LPTIMER5 比较器时钟源中使用的数字滤波器的采样时钟。 0: APB5 总线时钟用作数字滤波器的采样时钟。 1: MSI 时钟用作数字滤波器的采样时钟。
11	LPTIM5COMP4EN	启用比较器 4 时钟源到 LPTIMER5 的信号。 0: 比较器 4 的时钟源到 LPTIMER5 已禁用。 1: 比较器 4 时钟源已启用到 LPTIMER5。
10	LPTIM5COMP3EN	启用比较器 3 时钟源到 LPTIMER5 的信号。 0: 比较器 3 时钟源到 LPTIMER5 已禁用。 1: 比较器 3 时钟源到 LPTIMER5 已启用。
9	LPTIM5COMP2EN	启用比较器 2 时钟源到 LPTIMER5 的信号。 0: 比较器 2 的时钟源到 LPTIMER5 已禁用。 1: 比较器 2 时钟源已启用到 LPTIMER5。
8	LPTIM5COMP1EN	启用比较器 1 时钟源到 LPTIMER5 的信号。 0: 比较器 1 的时钟源到 LPTIMER5 已禁用。 1: 比较器 1 的时钟源已启用到 LPTIMER5。
7:5	保留	保留, 必须保持复位值。
4:0	LPTIM5FLTDFC[4:0]	LPTIMER5 毛刺滤波阶段控制 00000: 过滤器旁路 其他: 计数器值表示以 APB5 或 MSI 时钟周期为单位的最小脉冲宽度。

### 4.5.77 保留域时钟使能寄存器 1(RCC\_RDEN1)

偏移地址: 0x0114

复位值：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M7LPTIM1EN	M4LPTIM1EN	M7LPTIM1LPEN	M4LPTIM1LPEN	M7LPTIM2EN	M4LPTIM2EN	M7LPTIM2LPEN	M4LPTIM2LPEN	M7LPTIM3EN	M4LPTIM3EN	M7LPTIM3LPEN	M4LPTIM3LPEN	M7LPTIM4EN	M4LPTIM4EN	M7LPTIM4LPEN	M4LPTIM4LPEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
M7LPTIM5EN	M4LPTIM5EN	M7LPTIM5LPEN	M4LPTIM5LPEN	M7LPUART1EN	M4LPUART1EN	M7LPUART1LPEN	M4LPUART1LPEN	M7LPUART2EN	M4LPUART2EN	M7LPUART2LPEN	M4LPUART2LPEN	Reserved			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				

位域	名称	描述
31	M7LPTIM1EN	LPTIMER1 M7 分配和时钟使能。 由软件设置和清除。 0: LPTIMER1 未分配给 M7。在 M7 运行模式下, “lptim1_gated_ker_clk”和“lptim1_gated_pclk”被禁用。 1: LPTIMER1 分配给 M7。在 M7 运行模式下启用了“lptim1_gated_ker_clk”和“lptim1_gated_pclk”。
30	M4LPTIM1EN	LPTIMER1 M4 分配和时钟使能。 由软件设置和清除。 0: LPTIMER1 未分配给 M4。“lptim1_gated_ker_clk”和“lptim1_gated_pclk”在 M4 运行模式下被禁用。 1: LPTIMER1 分配给 M4。“lptim1_gated_ker_clk”和“lptim1_gated_pclk”在 M4 运行模式下启用。
29	M7LPTIM1LPEN	LPTIMER1 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 睡眠和停止模式下, “lptim1_gated_ker_clk”和“lptim1_gated_pclk”时钟被禁用。 1: 在 M7 SLEEP 和 STOP 模式下, “lptim1_gated_ker_clk”被启用。在 M7 SLEEP 模式下, “lptim1_gated_pclk”被启用。 注意: 在启用此位之前, 应先启用 M7LPTIM1EN 位, 否则此位无效。
28	M4LPTIM1LPEN	LPTIMER1 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下, “lptim1_gated_ker_clk”和“lptim1_gated_pclk”时钟被禁用。 1: 在 M4 睡眠和停止模式下, “lptim1_gated_ker_clk”被启用。在 M4 睡眠模式下, “lptim1_gated_pclk”被启用。 注意: 在启用此位之前, 应先启用 M4LPTIM1EN 位, 否则此位无效。
27	M7LPTIM2EN	LPTIMER2 M7 分配和时钟使能。 由软件设置和清除。 0: LPTIMER2 未分配给 M7。“lptim2_gated_ker_clk”和“lptim2_gated_pclk”在 M7 运行模式下被禁用。 1: LPTIMER2 分配给 M7。在 M7 运行模式下启用了“lptim2_gated_ker_clk”和“lptim2_gated_pclk”。



位域	名称	描述
26	M4LPTIM2EN	LPTIMER2 M4 分配和时钟使能。 由软件设置和清除。 0: LPTIMER2 未分配给 M4。“lptim2_gated_ker_clk”和“lptim2_gated_pclk”在 M4 运行模式下被禁用。 1: LPTIMER2 分配给 M4。“lptim2_gated_ker_clk”和“lptim2_gated_pclk”在 M4 运行模式下启用。
25	M7LPTIM2LPEN	LPTIMER2 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下，“lptim2_gated_ker_clk”和“lptim2_gated_pclk”时钟被禁用。 1: 在 M7 SLEEP 和 STOP 模式下，“lptim2_gated_ker_clk”被启用。在 M7 SLEEP 模式下，“lptim2_gated_pclk”被启用。 注意: 在启用此位之前, 应先启用 M7LPTIM2EN 位, 否则此位无效。
24	M4LPTIM2LPEN	LPTIMER2 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下，“lptim2_gated_ker_clk”和“lptim2_gated_pclk”时钟被禁用。 1: 在 M4 SLEEP 和 STOP 模式下，“lptim2_gated_ker_clk”被启用。在 M4 SLEEP 模式下，“lptim2_gated_pclk”被启用。 注意: 在启用此位之前, 应先启用 M4LPTIM2EN 位, 否则此位无效。
23	M7LPTIM3EN	LPTIMER3 M7 分配和时钟使能。 由软件设置和清除。 0: LPTIMER3 未分配给 M7。在 M7 运行模式下, “lptim3_gated_ker_clk”和“lptim3_gated_pclk”被禁用。 1: LPTIMER3 分配给 M7。“lptim3_gated_ker_clk”和“lptim3_gated_pclk”在 M7 运行模式下启用。
22	M4LPTIM3EN	LPTIMER3 M4 分配和时钟使能。 由软件设置和清除。 0: LPTIMER3 未分配给 M4。在 M4 运行模式下, “lptim3_gated_ker_clk”和“lptim3_gated_pclk”被禁用。 1: LPTIMER3 分配给 M4。“lptim3_gated_ker_clk”和“lptim3_gated_pclk”在 M4 运行模式下启用。
21	M7LPTIM3LPEN	LPTIMER3 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下, “lptim3_gated_ker_clk”和“lptim3_gated_pclk”时钟被禁用。 1: 在 M7 SLEEP 和 STOP 模式下, “lptim3_gated_ker_clk”被启用。在 M7 SLEEP 模式下, “lptim3_gated_pclk”被启用。 注意: 在启用此位之前, 应先启用 M7LPTIM3EN 位, 否则此位无效。
20	M4LPTIM3LPEN	LPTIMER3 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下, “lptim3_gated_ker_clk”和“lptim3_gated_pclk”时钟被禁用。

位域	名称	描述
		1: 在 M4 睡眠和停止模式下, “lptim3_gated_ker_clk”被启用。在 M4 睡眠模式下, “lptim3_gated_pclk”被启用。 注意: 在启用此位之前, 应先启用 M4LPTIM3EN 位, 否则此位无效。
19	M7LPTIM4EN	LPTIMER4 M7 分配和时钟使能。 由软件设置和清除。 0: LPTIMER4 未分配给 M7。“lptim4_gated_ker_clk”和“lptim4_gated_pclk”在 M7 运行模式下被禁用。 1: LPTIMER4 分配给 M7。“lptim4_gated_ker_clk”和“lptim4_gated_pclk”在 M7 运行模式下启用。
18	M4LPTIM4EN	LPTIMER4 M4 分配和时钟使能。 由软件设置和清除。 0: LPTIMER4 未分配给 M4。在 M4 运行模式下, “lptim4_gated_ker_clk”和“lptim4_gated_pclk”被禁用。 1: LPTIMER4 分配给 M4。“lptim4_gated_ker_clk”和“lptim4_gated_pclk”在 M4 运行模式下启用。
17	M7LPTIM4LPEN	LPTIMER4 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下, “lptim4_gated_ker_clk”和“lptim4_gated_pclk”时钟被禁用。 1: 在 M7 SLEEP 和 STOP 模式下, “lptim4_gated_ker_clk”被启用。在 M7 SLEEP 模式下, “lptim4_gated_pclk”被启用。 注意: 在启用此位之前, 应先启用 M7LPTIM4EN 位, 否则此位无效。
16	M4LPTIM4LPEN	LPTIMER4 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下, “lptim4_gated_ker_clk”和“lptim4_gated_pclk”时钟被禁用。 1: 在 M4 SLEEP 和 STOP 模式下, “lptim4_gated_ker_clk”被启用。在 M4 SLEEP 模式下, “lptim4_gated_pclk”被启用。 注意: 在启用此位之前, 应先启用 M4LPTIM4EN 位, 否则此位无效。
15	M7LPTIM5EN	LPTIMER5 M7 分配和时钟使能。 由软件设置和清除。 0: LPTIMER5 未分配给 M7。“lptim5_gated_ker_clk”和“lptim5_gated_pclk”在 M7 运行模式下被禁用。 1: LPTIMER5 分配给 M7。“lptim5_gated_ker_clk”和“lptim5_gated_pclk”在 M7 运行模式下启用。
14	M4LPTIM5EN	LPTIMER5 M4 分配和时钟使能。 由软件设置和清除。 0: LPTIMER5 未分配给 M4。在 M4 运行模式下, “lptim5_gated_ker_clk”和“lptim5_gated_pclk”被禁用。 1: LPTIMER5 分配给 M4。“lptim5_gated_ker_clk”和“lptim5_gated_pclk”在 M4 运行模式下启用。
13	M7LPTIM5LPEN	LPTIMER5 M7 低功耗时钟使能。 由软件设置和清除。

位域	名称	描述
		<p>0: 在 M7 睡眠和停止模式下, “lptim5_gated_ker_clk”和“lptim5_gated_pclk”时钟被禁用。</p> <p>1: 在 M7 睡眠和停止模式下, “lptim5_gated_ker_clk”被启用。在 M7 睡眠模式下, “lptim5_gated_pclk”被启用。</p> <p>注意: 在启用此位之前, 应先启用 M7LPTIM5EN 位, 否则此位无效。</p>
12	M4LPTIM5LPEN	<p>LPTIMER5 M4 低功耗时钟使能。</p> <p>由软件设置和清除。</p> <p>0: 在 M4 SLEEP 和 STOP 模式下, “lptim5_gated_ker_clk”和“lptim5_gated_pclk”时钟被禁用。</p> <p>1: 在 M4 SLEEP 和 STOP 模式下, “lptim5_gated_ker_clk”被启用。在 M4 SLEEP 模式下, “lptim5_gated_pclk”被启用。</p> <p>注意: 在启用此位之前, 应先启用 M4LPTIM5EN 位, 否则此位无效。</p>
11	M7LPUART1EN	<p>LPUART1 M7 分配和时钟使能。</p> <p>由软件设置和清除。</p> <p>0: LPUART1 未分配给 M7。 “lpuart1_gated_ker_clk”和“lpuart1_gated_pclk”在 M7 运行模式下被禁用。</p> <p>1: LPUART1 分配给 M7。 “lpuart1_gated_ker_clk”和“lpuart1_gated_pclk”在 M7 运行模式下启用。</p>
10	M4LPUART1EN	<p>LPUART1 M4 分配和时钟使能。</p> <p>由软件设置和清除。</p> <p>0: LPUART1 未分配给 M4。 “lpuart1_gated_ker_clk”和“lpuart1_gated_pclk”在 M4 运行模式下被禁用。</p> <p>1: LPUART1 分配给 M4。 “lpuart1_gated_ker_clk”和“lpuart1_gated_pclk”在 M4 运行模式下启用。</p>
9	M7LPUART1LPEN	<p>LPUART1 M7 低功耗时钟使能。</p> <p>由软件设置和清除。</p> <p>0: 在 M7 SLEEP 和 STOP 模式下, “lpuart1_gated_ker_clk”和“lpuart1_gated_pclk”时钟被禁用。</p> <p>1: 在 M7 SLEEP 和 STOP 模式下, “lpuart1_gated_ker_clk”被启用。在 M7 SLEEP 模式下, “lpuart1_gated_pclk”被启用。</p> <p>注意: 在启用此位之前, 应先启用 M7LPUART1EN 位, 否则此位无效。</p>
8	M4LPUART1LPEN	<p>LPUART1 M4 低功耗时钟使能。</p> <p>由软件设置和清除。</p> <p>0: 在 M4 SLEEP 和 STOP 模式下, “lpuart1_gated_ker_clk”和“lpuart1_gated_pclk”时钟被禁用。</p> <p>1: 在 M4 SLEEP 和 STOP 模式下, “lpuart1_gated_ker_clk”被启用。在 M4 SLEEP 模式下, “lpuart1_gated_pclk”被启用。</p> <p>注意: 在启用此位之前, 应先启用 M4LPUART1EN 位, 否则此位无效。</p>
7	M7LPUART2EN	<p>LPUART2 M7 分配和时钟使能。</p> <p>由软件设置和清除。</p> <p>0: LPUART2 未分配给 M7。 “lpuart2_gated_ker_clk”和“lpuart2_gated_pclk”在 M7 运行模式下被禁用。</p>

位域	名称	描述
		1: LPUART2 分配给 M7。“lpuart2_gated_ker_clk”和“lpuart2_gated_pclk”在 M7 运行模式下启用。
6	M4LPUART2EN	LPUART2 M4 分配和时钟使能。 由软件设置和清除。 0: LPUART2 未分配给 M4。在 M4 运行模式下，“lpuart2_gated_ker_clk”和“lpuart2_gated_pclk”被禁用。 1: LPUART2 分配给 M4。在 M4 运行模式下启用了“lpuart2_gated_ker_clk”和“lpuart2_gated_pclk”。
5	M7LPUART2LPEN	LPUART2 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下，“lpuart2_gated_ker_clk”和“lpuart2_gated_pclk”时钟被禁用。 1: 在 M7 SLEEP 和 STOP 模式下，“lpuart2_gated_ker_clk”被启用。在 M7 SLEEP 模式下，“lpuart2_gated_pclk”被启用。 注意: 在启用此位之前, 应先启用 M7LPUART2EN 位, 否则此位无效。
4	M4LPUART2LPEN	LPUART2 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 睡眠和停止模式下, “lpuart2_gated_ker_clk”和“lpuart2_gated_pclk”时钟被禁用。 1: 在 M4 SLEEP 和 STOP 模式下, “lpuart2_gated_ker_clk”被启用。在 M4 SLEEP 模式下, “lpuart2_gated_pclk”被启用。 注意: 在启用此位之前, 应先启用 M4LPUART2EN 位, 否则此位无效。
3:0	保留	保留, 必须保持复位值。

#### 4.5.78 保留域时钟使能寄存器 2(RCC\_RDEN2)

偏移地址: 0x0118

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M7COMP EN	M4COMP EN	M7COMP LPEN	M4COMP LPEN	Reserved											
rw	rw	rw	rw												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															

位域	名称	描述
31	M7COMPEN	COMP M7 分配和时钟使能。 由软件设置和清除。

位域	名称	描述
		0: COMP 未分配到 M7。“comp_gated_ker_clk”、“comp_gated_lsx_clk”和“comp_gated_pclk”在 M7 运行模式下被禁用。 1: COMP 分配给 M7。在 M7 运行模式下，“comp_gated_ker_clk”、“comp_gated_lsx_clk”和“comp_gated_pclk”被启用。
30	M4COMPEN	COMP M4 分配和时钟使能。 由软件设置和清除。 0: COMP 未分配给 M4。在 M4 运行模式下，“comp_gated_ker_clk”、“comp_gated_lsx_clk”和“comp_gated_pclk”被禁用。 1: COMP 分配给 M4。在 M4 运行模式下，“comp_gated_ker_clk”、“comp_gated_lsx_clk”和“comp_gated_pclk”被启用。
29	M7COMPLPEN	COMP M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下，“comp_gated_ker_clk”、“comp_gated_lsx_clk”和“comp_gated_pclk”时钟被禁用。 1: 在 M7 SLEEP 和 STOP 模式下，“comp_gated_ker_clk”和“comp_gated_lsx_clk”被启用。“comp_gated_pclk”在 M7 SLEEP 模式下被启用。 注意：在启用此位之前，应先启用 M7COMPEN 位，否则此位无效。
28	M4COMPLPEN	COMP M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下，“comp_gated_ker_clk”、“comp_gated_lsx_clk”和“comp_gated_pclk”时钟被禁用。 1: 在 M4 SLEEP 和 STOP 模式下，“comp_gated_ker_clk”和“comp_gated_lsx_clk”被启用。“comp_gated_pclk”在 M4 SLEEP 模式下被启用。 注意：在启用此位之前，应先启用 M4COMPEN 位，否则此位无效。
27:0	保留	保留，必须保持复位值。

#### 4.5.79 保留域重置寄存器 1(RCC\_RDRST1)

偏移地址：0x011c

复位值：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		LPTIM1RST	Reserved				LPTIM2RST	Reserved			LPTIM3RST	Reserved			LPTIM4RST
		rw					rw				rw				rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		LPTIM5RST	Reserved				LPUART1RST	Reserved			LPUART2RST	Reserved			
		rw					rw				rw				

位域	名称	描述
31:29	保留	保留，必须保持复位值。
28	LPTIM1RST	LPTIMER1 软复位 0: 清除复位 1: 复位 LPTIMER1
27:25	保留	保留，必须保持复位值。
24	LPTIM2RST	LPTIMER2 软复位 0: 清除复位 1: 复位 LPTIMER2
23:21	保留	保留，必须保持复位值。
20	LPTIM3RST	LPTIMER3 软复位 0: 清除复位 1: 复位 LPTIMER3
19:17	保留	保留，必须保持复位值。
16	LPTIM4RST	LPTIMER4 软复位 0: 清除复位 1: 复位 LPTIMER4
15:13	保留	保留，必须保持复位值。
12	LPTIM5RST	LPTIMER5 软复位 0: 清除复位 1: 复位 LPTIMER5
11:9	保留	保留，必须保持复位值。
8	LPUART1 复位	LPUART1 软复位 0: 清除复位 1: 复位 LPUART1
7:5	保留	保留，必须保持复位值。
4	LPUART2RST	LPUART2 软复位 0: 清除复位 1: 复位 LPUART2
3:0	保留	保留，必须保持复位值。

#### 4.5.80 保留域重置寄存器 2(RCC\_RDRST2)

偏移地址：0x0120

复位值：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			COMPRST	Reserved											
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															

位域	名称	描述
31:29	保留	保留，必须保持复位值。
28	COMPRST	COMP 软复位 0: 清除复位 1: 复位 COMP
27:0	保留	保留，必须保持复位值。

#### 4.5.81 备份域控制寄存器(RCC\_BDCTRL)

偏移地址：0x0124

复位值：0x0148ec0f

注意：BDCTRL 是受保护的，您需要先启用 PWR 时钟，然后将 PWR\_SYSCTRL1.DBKP 配置为 1 才能更改它。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFELSERDF	AFELSIRDF	Reserved	LSELDOEN	LSIOVREN	LSIPFACK	LSIPPF	LSICSSEN	Reserved	LSERDCNTEN	RTCLSFSW	RTCHSFSW	LSISECRDF	RTCEN	RTCSEL[1:0]	
r	r		rw	rw	rw	r	rw		rw	r	r	r	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BORRSTEN	C1LPRSTEN	C2LPRSTEN	BDRST	BKPEMCRSTEN	RETEMC RSTEN	LSECSSF	LSECSSEN	LSERDEN	LSEBP	LSERDF	LSEEN	LSIRDEN	LSISECEN	LSIRDF	LSIEN
rw	rw	rw	rw	rw	rw	r	rw	rw	rw	r	rw	rw	rw	r	rw

位域	名称	描述
31	AFELSERDF	AFE LSE 准备 0: LSE 未准备好。 1: LSE 已准备好。 注意：此位切换为“1”并不表示 LSE 时钟频率稳定。 注意：此位域由 BDRST 重置。
30	AFELSIRDF	AFE LSI 准备 0: LSI 未准备好。 1: LSI 已准备好。 注意：此位切换为“1”并不表示 LSI 时钟频率稳定。 注意：此位域由 BDRST 重置。
29	保留	保留，必须保持复位值。
28	LSELDOEN	LSE LDO 启用。 由软件设置和清除。 0: LSE LDO 未启用。 1: LSE LDO 已启用。

位域	名称	描述
		注意：此位域由 BDRST 复位。
27	LSIOVREN	软件覆盖控制位用于在主 LSI 时钟和次级 LSI 时钟之间切换。 0：软件覆盖已禁用，LSI 时钟源由硬件选择。 1：软件覆盖已启用，LSI 时钟源由 LSICSSSEN 位选择。
26	LSIPFACK	LSI 主时钟故障确认。由软件设置以确认内部 32kHz LSI 主振荡器的故障。 0：未确认 LSI 主时钟故障。 1：已确认 LSI 主时钟故障。
25	LSIPFF	LSI 主振荡器故障状态由硬件设置，用于指示时钟安全系统在内部 32kHz LSI 主振荡器上检测到故障时的状态。 0：LSI 主振荡器未检测到故障。 1：LSI 主振荡器检测到故障。
24	LSICSSSEN	这是一个双用途钻头。 当位 LSIOVREN 设置为 0 时，此位用于启用 LSI 主时钟安全系统。 0：禁用 LSI 主故障检测 1：启用 LSI 主故障检测 当位 LSIOVREN 设置为 1 时，该位用于选择 LSI 时钟的来源。 0：LSI 源是主时钟 1：LSI 源是次级时钟 注意：此位域由 BDRST 复位
23	保留	保留，必须保持复位值。
22	LSERDCNTEN	LSE 就绪计数器使能。 0：禁用/停止 LSE 就绪计数器。 1：启用/启动 LSE 就绪计数器。 注意：此位域由 BDRST 复位。
21	RTCLSFSW	状态标志用于指示当选择 LSE 作为 RTC 时钟源时，在 LSE 故障时时钟源将从 LSE 切换到 LSI。 0：当 RTC 时钟源选择为 LSE 时，LSE 时钟未失效。 1：RTC 时钟源选择为 LSE，并检测到 LSE 时钟故障事件。LSE 时钟源切换为 LSI 时钟。
20	RTCHSFSW	状态标志用于指示当选择 HSE 作为 RTC 时钟源时，在 HSE 发生故障时时钟源将从 HSE 切换到 HSI。 0：当 RTC 时钟源选择为 HSE 时，HSE 时钟未失效。 1：RTC 时钟源选择为 HSE，并检测到 HSE 时钟故障事件。HSE 时钟源已切换为 HSI 时钟。
19	LSISECRDF	内部次级低速振荡器时钟已准备好。 由硬件设置和清除，用于指示内部 RC 32 kHz 振荡器时钟是否稳定。 0：内部次级 RC 32 kHz 振荡器时钟不稳定 1：内部次级 RC 32 kHz 振荡器时钟已准备好且稳定
18	RTCEN	RTC 内核时钟使能。 由软件设置和清除。 0：RTC 内核时钟禁用 1：RTC 内核时钟使能



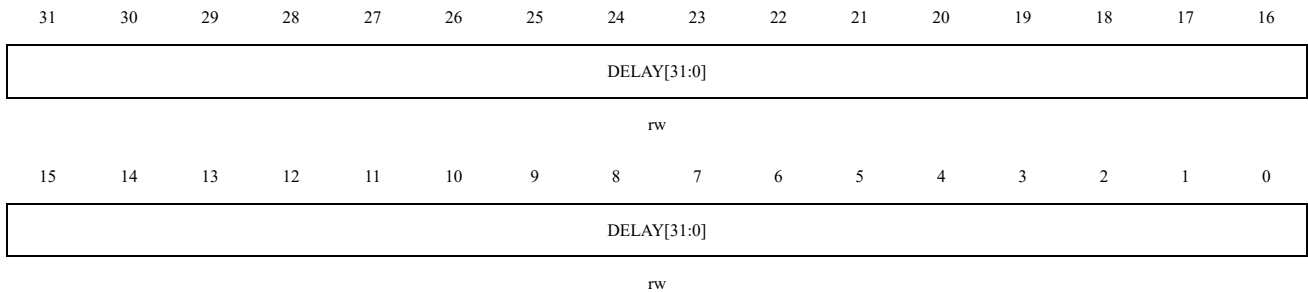
位域	名称	描述
		注意：此位域由 BDRST 复位
17:16	RTCSEL[1:0]	RTC 内核时钟源选择。 00：无时钟 01：LSE 振荡器时钟被选为 RTC 内核时钟。 10：LSI 振荡器时钟被选为 RTC 内核时钟。 11：选择分频 HSE 振荡器时钟作为 RTC 内核时钟。 注意：此位域会被 BDRST 复位。
15	BORRSTEN	BOR 重置请求启用。 由软件设置和清除。 0：BOR 复位请求不会导致 NRST 复位。 1：BOR 复位请求会导致 NRST 复位。 注意：此位域由 BDRST 复位。
14	C1LPRSTEN	C1 LPW 重置请求启用。 由软件设置和清除。 0：C1 LPW 复位请求不会导致 NRST 复位。 1：C1 LPW 复位请求会导致 NRST 复位。 注意：此位域由 BDRST 复位。
13	C2LPRSTEN	C2 LPW 重置请求启用。 由软件设置和清除。 0：C2 LPW 复位请求不会导致 NRST 复位。 1：C2 LPW 复位请求将导致 NRST 复位。 注意：此位域由 BDRST 复位。
12	BDRST	备份域软件重置。 由软件设置和清除。 0：复位未激活 1：复位整个备份域
11	BKPEMCRSTEN	BKP EMC 重置请求启用。 由软件设置和清除。 0：BKP EMC 复位请求不会导致 NRST 复位。 1：BKP EMC 复位请求会导致 NRST 复位。 注意：此位域由 BDRST 复位。
10	RETEMCRSTEN	VDDDRET EMC 复位请求启用。 由软件设置和清除。 0：VDDDRET EMC 复位请求不会导致 NRST 复位。 1：VDDDRET EMC 复位请求将导致 NRST 复位。 注意：此位域由 BDRST 复位。
9	LSECSSF	LSE 故障检测由硬件设置，用于指示时钟安全系统在外部 32kHz 振荡器（LSE）上检测到故障时的状态。 0：未检测到 LSE 故障 1：检测到 LSE 故障 注意：此位域由 BDRST 复位
8	LSECSEN	LSECSS 故障检测启用 0：禁用 LSE 故障检测

位域	名称	描述
		1: 启用 LSE 故障检测 注意: 此位域由 BDRST 复位
7	LSERDEN	LSE 就绪使能 0: 外部 RC 32 kHz 振荡器就绪逻辑被禁用 1: 外部 RC 32 kHz 振荡器就绪逻辑被启用 注意: 此位域由 BDRST 复位
6	LSEBP	外部低速振荡器旁路。 此位仅在外部 32 kHz 振荡器被禁用时才能写入。 0: LSE 振荡器未旁路 1: LSE 振荡器已旁路 注意: 此位域由 BDRST 复位 注意: 在启用 LSEBP 之前, 请确保 LSEEN=0。
5	LSERDF	外部低速振荡器时钟已准备好。 由硬件设置和清除, 用于指示外部 32 kHz 振荡器时钟何时稳定。在 LSEEN 位被清除后, LSERDF 在 6 个外部低速振荡器时钟周期后变低。 0: 外部 32 kHz 振荡器时钟不稳定 1: 外部 32 kHz 振荡器时钟稳定 注意: 此位域由 BDRST 复位
4	LSEEN	外部低速振荡器启用 由软件设置和清除。 0: 外部 32 kHz 振荡器关闭 1: 外部 32 kHz 振荡器开启 注意: 此位域由 BDRST 复位
3	LSIRDEN	LSI 就绪使能 0: 内部 RC 32 kHz 振荡器就绪逻辑被禁用 1: 内部 RC 32 kHz 振荡器就绪逻辑被启用 注意: 此位域由 BDRST 复位
2	LSISECEN	LSI 次级时钟振荡器启用 0: 内部 RC 32 kHz 振荡器关闭 1: 内部 RC 32 kHz 振荡器开启
1	LSIRDF	内部低速振荡器时钟已准备好。 由硬件设置和清除以指示内部 RC 32 kHz 振荡器时钟何时稳定。在清除 LSIEN 位后, LSIRDF 在 3 个内部 RC 32 kHz 振荡器时钟周期后变低。 0: 内部 RC 32 kHz 振荡器时钟不稳定 1: 内部 RC 32 kHz 振荡器时钟已准备好且稳定
0	LSIEN	内部低速振荡器使能 0: 内部 RC 32 kHz 振荡器关闭 1: 内部 RC 32 kHz 振荡器开启

### 4.5.82 LSI CSS 延迟寄存器(RCC\_LSICSSDL)

偏移地址: 0x01e0

复位值: 0x000000c8

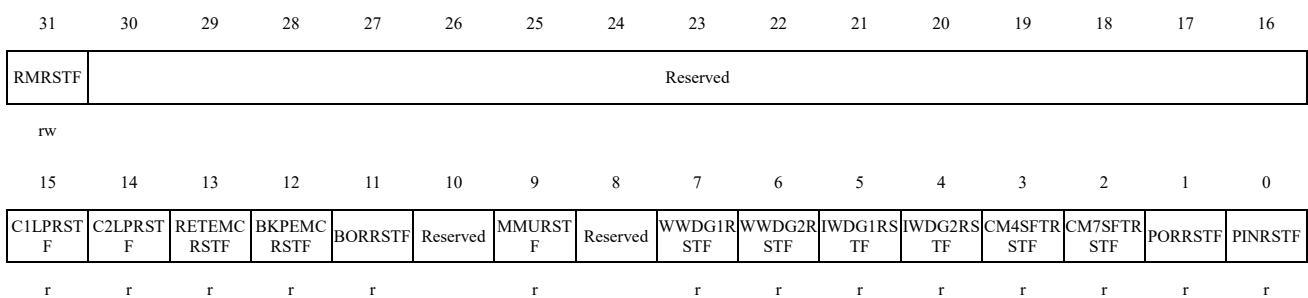


位域	名称	描述
[31:0]	DELAY[31:0]	此延迟表示芯片上电期间主 LSI 时钟稳定所需的估计时间。 考虑到 LSI 频率为 15.6 KHz（非调整值）且估计 LSI 时钟稳定时间为 12.5ms，该计数器的默认值将大约为 200（32'hC8）个 LSI 时钟周期。

### 4.5.83 控制和状态寄存器(RCC\_CTRLSTS)

偏移地址: 0x0128

复位值: 0x00000003



位域	名称	描述
31	RMRSTF	移除复位标志 由软件设置以清除所有复位标志。 0: 无影响 1: 清除所有复位标志
30:16	保留	保留，必须保持复位值。
15	C1LPRSTF	C1 低功耗复位标志 当 C1 域发生低功耗管理复位时由硬件设置。通过写入 RMRSTF 位清除。 0: 未发生低功耗管理复位 1: 发生 C1 域低功耗管理复位

位域	名称	描述
14	C2LPRSTF	C2 低功耗复位标志 当 C2 域发生低功耗管理复位时由硬件设置。通过写入 RMRSTF 位清除。 0: 未发生低功耗管理复位 1: C2 域发生低功耗管理复位
13	RETEMCRSTF	VDDDRET EMC 复位标志 当发生 VDDDRET EMC 复位时由硬件设置。通过写入 RMRSTF 位清除。 0: 未发生 VDDDRET EMC 复位 1: 发生了 VDDDRET EMC 复位
12	BKPEMCRSTF	备份 EMC 复位标志 当发生备份 EMC 复位时由硬件设置。通过写入 RMRSTF 位清除。 0: 未发生备份 EMC 复位 1: 发生备份 EMC 复位
11	BORRSTF	BOR 复位标志 当发生 BOR 复位时由硬件设置。通过写入 RMRSTF 位清除。 0: 未发生 BOR 复位 1: 发生 BOR 复位
10	保留	保留，必须保持复位值。
9	MMURSTF	M7 MMU 复位标志 当发生 M7 MMU 复位时由硬件设置。通过写入 RMRSTF 位清除。 0: 未发生 M7 MMU 复位 1: 发生 M7 MMU 复位
8	保留	保留，必须保持复位值。
7	WWDG1RSTF	窗口看门狗 1 复位标志 当发生窗口看门狗 1 复位时由硬件设置。通过写入 RMRSTF 位清除。 0: 未发生窗口看门狗 1 复位 1: 发生窗口看门狗 1 复位
6	WWDG2RSTF	窗口看门狗 2 复位标志 当发生窗口看门狗 2 复位时由硬件设置。通过写入 RMRSTF 位清除。 0: 未发生窗口看门狗 2 复位 1: 发生窗口看门狗 2 复位
5	IWDG1RSTF	独立看门狗 1 复位标志 当 VDD 域发生独立看门狗复位时由硬件设置。通过写入 RMRSTF 位清除。 0: 未发生独立看门狗 1 复位 1: 发生独立看门狗 1 复位
4	IWDG2RSTF	独立看门狗 2 复位标志 当 VDD 域发生独立看门狗复位时由硬件设置。通过写入 RMRSTF 位清除。 0: 未发生独立看门狗 2 复位 1: 发生了独立看门狗 2 复位
3	CM4SFTRSTF	M4 软件复位标志 当发生 M4 软件复位时由硬件设置。通过写入 RMRSTF 位清除。 0: 未发生 M4 软件复位 1: 发生 M4 软件复位

位域	名称	描述
2	CM7SFTRSTF	M7 软件复位标志 当发生 M7 软件复位时由硬件设置。通过写入 RMRSTF 位清除。 0: 未发生 M7 软件复位 1: 发生 M7 软件复位
1	PORRSTF	POR/PDR 复位标志 当发生 POR/PDR 复位时由硬件设置。通过写入 RMRSTF 位清除。 0: 未发生 POR/PDR 复位 1: 发生了 POR/PDR 复位
0	PINRSTF	PIN 复位标志 当从 NRST 引脚发生复位时由硬件设置。通过写入 RMRSTF 位清除。 0: 未发生来自 NRST 引脚的复位 1: 发生来自 NRST 引脚的复位

#### 4.5.84 时钟中断寄存器 1(RCC\_CLKINT1)

偏移地址: 0x012c

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	LSECSSIE	LSECSSIF	LSECSSIC	Reserved	HSECSSIF	HSECSSIC	Reserved	BORIE	BORIF	BORIC	Reserved	PLL1RDI E	PLL1RDIF	PLL1RDI C	
	rw	r	w		r	w		rw	r	w		rw	r	w	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	PLL2RDI E	PLL2RDIF	PLL2RDI C	Reserved	PLL3RDI E	PLL3RDIF	PLL3RDI C	Reserved	SHRPLL DIE	SHRPLL DIF	SHRPLL DIC	Reserved			
	rw	r	w		rw	r	w		rw	r	w				

位域	名称	描述
31	保留	
30	LSECSSIE	LSE CSS 中断使能。 通过软件设置和清除以启用/禁用由 LSE CSS 检测引起的中断。 0: LSE CSS 中断禁用 1: LSE CSS 中断启用
29	LSECSSIF	LSE CSS 中断标志。 当检测到外部 32 kHz 振荡器故障并且 LSECSSIE 被设置时, 由硬件设置。通过软件设置 LSECSSIC 位清除。 0: LSE 时钟故障未引起时钟安全中断 1: LSE 时钟故障引起时钟安全中断
28	LSECSSIC	LSE CSS 中断清除。 此位由软件设置以清除 LSECSSIF 标志。 0: 无效

位域	名称	描述
		1: 清除 LSECSSIF 标志
27:26	保留	保留, 必须保持复位值。
25	HSECSSIF	HSE 时钟安全系统中断标志。当在 HSE 振荡器中检测到故障时由硬件设置。通过软件设置 HSECSSIF 位清除。 0: HSE 时钟故障未引起时钟安全中断 1: HSE 时钟故障引起时钟安全中断
24	HSECSSIC	HSE 时钟安全系统中断清除。 此位由软件设置以清除 HSECSSIF 标志。 0: 无影响 1: 清除 HSECSSIF 标志
23	保留	保留, 必须保持复位值。
22	BORIE	BOR 中断使能。 通过软件设置和清除以启用/禁用由 BOR 引起的中断。 0: BOR 中断禁用 1: BOR 中断启用
21	BORIF	BOR 中断标志。 当发生 BOR 复位且 BORIE 被设置时由硬件设置。通过软件设置 BORIC 位清除。 0: 无 BOR 复位中断 1: BOR 复位中断
20	BORIC	BOR 中断清除。 此位由软件设置以清除 BORIF 标志。 0: 无效 1: BORIF 已清除
19	保留	保留, 必须保持复位值。
18	PLL1RDIE	PLL1 就绪中断使能。 通过软件设置和清除以启用/禁用由 PLL1 锁定引起的中断。 0: PLL1 锁定中断禁用 1: PLL1 锁定中断启用
17	PLL1RDIF	PLL1 就绪中断标志。 当 PLL1 锁定且 PLL1RDIE 被设置时由硬件设置。通过软件设置 PLL1RDIC 位清除。 0: PLL1 锁定未引起时钟就绪中断 1: PLL1 锁定引起时钟就绪中断
16	PLL1RDIC	PLL1 就绪中断清除。 此位由软件设置以清除 PLL1RDIF 标志。 0: 无效 1: PLL1RDIF 已清除
15	保留	保留, 必须保持复位值。
14	PLL2RDIE	PLL2 就绪中断使能。 由软件设置和清除以启用/禁用由 PLL2 锁定引起的中断。 0: PLL2 锁定中断禁用 1: PLL2 锁定中断启用
13	PLL2RDIF	PLL2 就绪中断标志。

位域	名称	描述
		当 PLL2 锁定且 PLL2RDIE 被设置时由硬件设置。通过软件设置 PLL2RDIC 位清除。 0: 没有由 PLL2 锁定引起的时钟就绪中断 1: 由 PLL2 锁定引起的时钟就绪中断
12	PLL2RDIC	PLL2 就绪中断清除。 此位由软件设置以清除 PLL2RDIF 标志。 0: 无影响 1: PLL2RDIF 已清除
11	保留	保留, 必须保持复位值。
10	PLL3RDIE	PLL3 就绪中断使能。 通过软件设置和清除以启用/禁用由 PLL3 锁定引起的中断。 0: PLL3 锁定中断禁用 1: PLL3 锁定中断启用
9	PLL3RDIF	PLL3 就绪中断标志。 当 PLL3 锁定且 PLL3RDIE 被设置时由硬件置位。通过软件设置 PLL3RDIC 位清除。 0: PLL3 锁定未引起时钟就绪中断 1: PLL3 锁定引起时钟就绪中断
8	PLL3RDIC	PLL3 就绪中断清除。 此位由软件设置以清除 PLL3RDIF 标志。 0: 无影响 1: PLL3RDIF 已清除
7	保留	保留, 必须保持复位值。
6	SHRPLLRDIE	SHRPLL 就绪中断使能。 通过软件设置和清除以启用/禁用由 SHRPLL 锁定引起的中断。 0: SHRPLL 锁定中断禁用 1: SHRPLL 锁定中断启用
5	SHRPLLRDIF	SHRPLL 就绪中断标志。 当 SHRPLL 锁定且 SHRPLLRDIE 被设置时由硬件设置。通过软件设置 SHRPLLRDIC 位清除。 0: SHRPLL 锁定未引起时钟就绪中断 1: SHRPLL 锁定引起时钟就绪中断
4	SHRPLLRDIC	SHRPLL 就绪中断清除 此位由软件设置以清除 SHRPLLRDIF 标志。 0: 无影响 1: SHRPLLRDIF 已清除
3:0	保留	保留, 必须保持复位值。

#### 4.5.85 时钟中断寄存器 2(RCC\_CLKINT2)

偏移地址: 0x0130

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	HSERDIE	HSERDIF	HSERDIC	Reserved	HSIRDIE	HSIRDIF	HSIRDIC	Reserved	MSIRDIE	MSIRDIF	MSIRDIC	Reserved	LSERDIE	LSERDIF	LSERDIC
	rw	r	w		rw	r	w		rw	r	w		rw	r	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	LSIRDIE	LSIRDIF	LSIRDIC	Reserved	HSICALEIE	HSICALEIF	HSICALEIC	Reserved	MSICALEIE	MSICALEIF	MSICALEIC	Reserved			
	rw	r	w		rw	r	w		rw	r	w				

位域	名称	描述
31	保留	保留，必须保持复位值。
30	HSERDIE	HSE 就绪中断使能。 由软件设置和清除以启用/禁用由外部 HSE 振荡器稳定性引起的中断。 0: HSE 就绪中断禁用 1: HSE 就绪中断启用
29	HSERDIF	HSE 就绪中断标志。 当 HSE 时钟稳定且 HSERDIE 被设置时由硬件置位。通过软件设置 HSERDIC 位清除。 0: 外部 HSE 振荡器未引起时钟就绪中断 1: 外部 HSE 振荡器引起时钟就绪中断
28	HSERDIC	HSE 就绪中断清除。 此位由软件设置以清除 HSERDIF 标志。 0: 无影响 1: HSERDIF 已清除
27	保留	保留，必须保持复位值。
26	HSIRDIE	HSI 就绪中断使能。 通过软件设置和清除以启用/禁用由内部 HSI 振荡器稳定引起的中断。 0: HSI 就绪中断禁用 1: HSI 就绪中断启用
25	HSIRDIF	HSI 就绪中断标志。 当内部高速时钟变得稳定且 HSIRDIE 被设置时由硬件设置。通过软件设置 HSIRDIC 位清除。 0: 内部 HSI RC 振荡器未引起时钟就绪中断 1: 内部 HSI RC 振荡器引起时钟就绪中断
24	HSIRDIC	HSI 就绪中断清除。 此位由软件设置以清除 HSIRDIF 标志。 0: 无影响 1: HSIRDIF 已清除
23	保留	保留，必须保持复位值。
22	MSIRDIE	MSI 就绪中断使能。 由软件设置和清除以启用/禁用由内部 MSI 振荡器稳定引起的中断。 0: MSI 就绪中断禁用 1: MSI 就绪中断启用
21	MSIRDIF	MSI 就绪中断标志。



位域	名称	描述
		当内部 MSI 时钟变得稳定且 MSIRDIE 被设置时，由硬件设置。通过软件设置 MSIRDIC 位清除。 0: 内部 MSI 振荡器未引起时钟就绪中断 1: 内部 MSI 振荡器引起时钟就绪中断
20	MSIRDIC	MSI 就绪中断清除。 此位由软件设置以清除 MSIRDIF 标志。 0: 无影响 1: MSIRDIF 已清除
19	保留	保留，必须保持复位值。
18	LSERDIE	LSE 就绪中断使能。 由软件设置和清除以启用/禁用由外部 LSE 振荡器稳定引起的中断。 0: LSE 就绪中断禁用 1: LSE 就绪中断启用
17	LSERDIF	LSE 就绪中断标志。 当外部低速时钟稳定且设置了 LSERDIE 时，由硬件设置。通过软件设置 LSERDIC 位清除。 0: 外部 LSE 振荡器未引起时钟就绪中断 1: 外部 LSE 振荡器引起时钟就绪中断
16	LSERDIC	LSE 就绪中断清除。 此位由软件设置以清除 LSERDIF 标志。 0: 无影响 1: LSERDIF 已清除
15	保留	保留，必须保持复位值。
14	LSIRDIE	LSI 就绪中断使能。 通过软件设置和清除以启用/禁用由内部 LSI 振荡器稳定引起的中断。 0: LSI 就绪中断禁用 1: LSI 就绪中断启用
13	LSIRDIF	LSI 就绪中断标志。 当内部低速时钟变得稳定且 LSIRDIE 被设置时，由硬件设置。通过软件设置 LSIRDIC 位清除。 0: 内部 LSI 振荡器未引起时钟就绪中断 1: 内部 LSI 振荡器引起时钟就绪中断
12	LSIRDIC	LSI 准备中断清除。 此位由软件设置以清除 LSIRDIF 标志。 0: 无影响 1: LSIRDIF 已清除
11	保留	保留，必须保持复位值。
10	HSICALEIE	HSI 修调校准错误中断使能。 由软件设置和清除以启用/禁用由内部 HSI 修调校准错误引起的中断。 0: HSI 修调校准错误中断禁用 1: HSI 修调校准错误中断启用
9	HSICALEIF	HSI 修调校准错误中断标志。

位域	名称	描述
		当内部低速时钟变得稳定且 HSICALEIE 被设置时，由硬件设置。通过软件设置 HSICALEIC 位清除。 0: 未发生 HSI 修调校准错误中断。 1: 发生 HSI 修调校准错误中断。
8	HSICALEIC	HSI 修调校准错误中断已清除。 此位由软件设置以清除 HSICALEIF 标志。 0: 无影响 1: HSICALEIF 已清除
7	保留	保留，必须保持复位值。
6	MSICALEIE	MSI 修调校准错误中断使能。 由软件设置和清除以启用/禁用由内部 MSI 修调校准错误引起的中断。 0: MSI 修调校准错误中断禁用 1: MSI 修调校准错误中断启用
5	MSICALEIF	MSI 修调校准错误中断标志。 当内部低速时钟稳定且 MSICALEIE 被设置时，由硬件设置。通过软件设置 MSICALEIC 位清除。 0: 未发生 MSI 修调校准错误中断。 1: 发生 MSI 修调校准错误中断。
4	MSICALEIC	MSI 修调校准错误中断清除。 此位由软件设置以清除 MSICALEIF 标志。 0: 无影响 1: MSICALEIF 已清除
3:0	保留	保留，必须保持复位值。

#### 4.5.86 时钟中断寄存器 3(RCC\_CLKINT3)

偏移地址: 0x01d4

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved													PLL1LKFI E	PLL1LKFI F	PLL1LKFI C
													rw	r	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	PLL2LKFI E	PLL2LKFI F	PLL2LKFI C	Reserved	PLL3LKFI E	PLL3LKFI F	PLL3LKFI C	Reserved	SHRPLL KFIE	SHRPLL KFIF	SHRPLL KFIC	Reserved	LSIFIE	LSIFIF	LSIFIC
	rw	r	w		rw	r	w		rw	r	w		rw	r	w

位域	名称	描述
31:19	保留	保留，必须保持复位值。
18	PLL1LKFI	PLL1 锁定失败中断使能。

位域	名称	描述
		由软件设置和清除以启用/禁用由 PLL1 锁定失败引起的中断。 0: PLL1 锁定失败中断禁用 1: PLL1 锁定失败中断启用
17	PLL1LKFI	PLL1 锁定失败中断标志。 当发生 PLL1 锁定失败且 PLL1LKFI 被设置时, 由硬件设置。通过软件设置 PLL1LKFI 位清除。 0: 无 PLL 锁定失败中断 1: PLL 锁定失败中断
16	PLL1LKFC	PLL1 锁定失败中断清除。 此位由软件设置以清除 PLL1LKFI 标志。 0: 无效果 1: PLL1LKFI 已清除
15	保留	保留, 必须保持复位值。
14	PLL2LKFI	PLL2 锁定失败中断使能。 通过软件设置和清除以启用/禁用由 PLL2 锁定失败引起的中断。 0: PLL2 锁定失败中断禁用 1: PLL2 锁定失败中断启用
13	PLL2LKFI	PLL2 锁定失败中断标志。 当发生 PLL2 锁定失败且 PLL2LKFI 被设置时, 由硬件设置。通过软件设置 PLL2LKFI 位清除。 0: 没有 PLL 锁定失败中断 1: PLL 锁定失败中断
12	PLL2LKFC	PLL2 锁定失败中断清除。 此位由软件设置以清除 PLL2LKFI 标志。 0: 无影响 1: PLL2LKFI 已清除
11	保留	保留, 必须保持复位值。
10	PLL3LKFI	PLL3 锁定失败中断使能。 通过软件设置和清除以启用/禁用由 PLL3 锁定失败引起的中断。 0: PLL3 锁定失败中断禁用 1: PLL3 锁定失败中断启用
9	PLL3LKFI	PLL3 锁定失败中断标志。 当发生 PLL3 锁定失败且 PLL3LKFI 被设置时, 由硬件设置。通过软件设置 PLL3LKFI 位清除。 0: 无 PLL 锁定失败中断 1: PLL 锁定失败中断
8	PLL3LKFC	PLL3 锁定失败中断清除。 此位由软件设置以清除 PLL3LKFI 标志。 0: 无效果 1: PLL3LKFI 已清除
7	保留	保留, 必须保持复位值。
6	SHRPLLKFI	SHRPLL 锁定失败中断使能。 由软件设置和清除以启用/禁用由 SHRPLL 锁定失败引起的中断。

位域	名称	描述
		0: SHRPLL 锁定失败中断禁用 1: SHRPLL 锁定失败中断启用
5	SHRPLLLKFIF	SHRPLL 锁定失败中断标志。 当发生 SHRPLL 锁定失败且 SHRPLLLKFIE 被设置时由硬件设置。通过软件设置 SHRPLLLKFIC 位清除。 0: 无 PLL 锁定失败中断 1: PLL 锁定失败中断
4	SHRPLLLKFIC	SHRPLL 锁定失败中断清除。 此位由软件设置以清除 SHRPLLLKFIF 标志。 0: 无效 1: SHRPLLLKFIF 已清除
3	保留	保留，必须保持复位值。
2	LSIFIE	LSI 故障中断使能。 通过软件设置和清除以启用/禁用由 LSI 故障检测引起的中断。 0: LSI 故障中断禁用 1: LSI 故障中断启用
1	LSIFIF	LSI 故障中断标志。 当检测到内部 32 kHz 振荡器故障且 LSIFIE 被设置时，由硬件设置。通过软件设置 LSIFIC 位清除。 0: LSI 时钟故障未引起中断 1: LSI 时钟故障引起中断
0	LSIFIC	LSI 故障中断清除。 此位由软件设置以清除 LSIFIF 标志。 0: 无效 1: 清除 LSIFIF 标志

#### 4.5.87 时钟配置寄存器 1(RCC\_CFG1)

偏移地址：0x0134

复位值：0x00aa0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								WWDG2RSTDLCNT[3:0]				WWDG1RSTDLCNT[3:0]			
								rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						WWDG2RSTEN	WWDG1RSTEN	M7TRACEDIV[3:0]				M4TRACEDIV[3:0]			
						rw	rw	rw				rw			

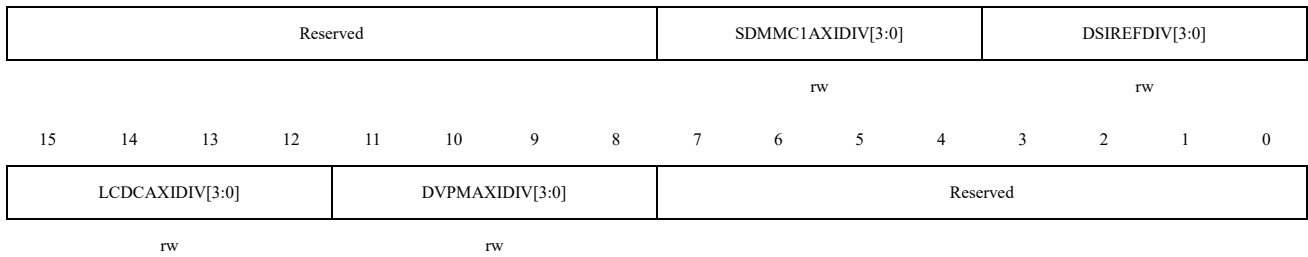
位域	名称	描述
31:24	保留	保留，必须保持复位值。
23:20	WWDG2RSTDLCNT[3:0]	用于延迟在发生 WWDG2 复位请求事件时断言 WWDG2 复位的计数器阈值。
19:16	WWDG1RSTDLCNT[3:0]	用于延迟在发生 WWDG1 复位请求事件时断言 WWDG1 复位的计数器阈值。
15:10	保留	保留，必须保持复位值。
9	WWDG2RSTEN	WWDG2 复位请求启用。 由软件设置和清除。 0: WWDG2 复位请求将复位 M4 CPU。 1: WWDG2 复位请求将导致 NRST 复位。
8	WWDG1RSTEN	WWDG1 复位请求启用。 由软件设置和清除。 0: WWDG1 复位请求将复位 M7 CPU。 1: WWDG1 复位请求将导致 NRST 复位。
7:4	M7TRACEDIV[3:0]	M7 TRACE 时钟预分频器值。 0000: 除以 1 0001: 除以 2 0010: 除以 4 0100: 除以 8 0111: 除以 16 1000: 除以 32 1001: 除以 64 1010: 除以 128 1011: 除以 256 1100: 除以 512
3:0	M4TRACEDIV[3:0]	M4 TRACE 时钟预分频器值。 0000: 除以 1 0001: 除以 2 0010: 除以 4 0100: 除以 8 0111: 除以 16 1000: 除以 32 1001: 除以 64 1010: 除以 128 1011: 除以 256 1100: 除以 512

#### 4.5.88 AXI 外设时钟分频寄存器 1(RCC\_AXIDIV1)

偏移地址: 0x0138

复位值: 0x00000000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



位域	名称	描述
31:21	保留	保留，必须保持复位值。
23:20	SDMMC1AXIDIV[3:0]	SDMMC1 AXI 时钟预分频器值。 0000: 除以 1 0001: 除以 2 0010: 除以 4 0100: 除以 8 0111: 除以 16 1000: 除以 32 1001: 除以 64 1010: 除以 128 1011: 除以 256 1100: 除以 512 其他值: 不允许设置
19:16	DSIREFDIV[3:0]	DSI 参考时钟预分频器值。 0000: 除以 1 0001: 除以 2 0010: 除以 4 0100: 除以 8 0111: 除以 16 1000: 除以 32 1001: 除以 64 1010: 除以 128 1011: 除以 256 1100: 除以 512 其他值: 不允许设置
15:12	LCDCAIDIV[3:0]	LCDC AXI 时钟预分频器值。 0000: 除以 1 0001: 除以 2 0010: 除以 4 0100: 除以 8 0111: 除以 16 1000: 除以 32 1001: 除以 64 1010: 除以 128 1011: 除以 256

位域	名称	描述
		1100: 除以 512 其他值: 不允许设置
11:8	DVPMAXIDIV[3:0]	DVP M 时钟预分频器值。 0000: 除以 1 0001: 除以 2 0010: 除以 4 0100: 除以 8 0111: 除以 16 1000: 除以 32 1001: 除以 64 1010: 除以 128 1011: 除以 256 1100: 除以 512 其他值: 不允许设置
7:0	保留	保留, 必须保持复位值。

#### 4.5.89 AXI 外设时钟分频寄存器 2(RCC\_AXIDIV2)

偏移地址: 0x0178

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								DSIAXIPPIDIV[3:0]			DSIREFULPSDIV[3:0]				
								rw			rw				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				SDRAMMEMDIV[3:0]				FEMCM1AXIDIV[3:0]			FEMCM0AXIDIV[3:0]				
				rw				rw			rw				

位域	名称	描述
31:24	保留	保留, 必须保持复位值。
23:20	DSIAXIPPIDIV[3:0]	DSI AXI PPI 时钟预分频器值。 0000: 除以 1 0001: 除以 2 0010: 除以 4 0100: 除以 8 0111: 除以 16 1000: 除以 32 1001: 除以 64 1010: 除以 128

位域	名称	描述
		1011: 除以 256 1100: 除以 512 其他值: 不允许设置
19:16	DSIREFULPSDIV[3:0]	DSI REF ULPS 时钟预标值。 0000: 除以 1 0001: 除以 2 0010: 除以 4 0100: 除以 8 0111: 除以 16 1000: 除以 32 1001: 除以 64 1010: 除以 128 1011: 除以 256 1100: 除以 512 其他值: 不允许设置
15:12	保留	保留, 必须保持复位值。
11:8	SDRAMMEMDIV[3:0]	SDRAM 时钟预分频值。 0000: 除以 1 0001: 除以 2 0010: 除以 4 0100: 除以 8 0111: 除以 16 1000: 除以 32 1001: 除以 64 1010: 除以 128 1011: 除以 256 1100: 除以 512 其他值: 不允许设置
7:4	FEMCM1AXIDIV[3:0]	FEMC M1 AXI 时钟预分频器值。 0001: 除以 1 (旁路) 0010: 除以 2 0011: 除以 3 0100: 除以 4 0101: 除以 5 0110: 除以 6 0111: 除以 7 1000: 除以 8 1001: 除以 9 1010: 除以 10 1011: 除以 11 1100: 除以 12 1101: 除以 13 1110: 除以 14



位域	名称	描述
		1111: 除以 15
3:0	FEMCM0AXIDIV[3:0]	FEMC M0 AXI 时钟预分频器值。 0001: 除以 1 (旁路) 0010: 除以 2 0011: 除以 3 0100: 除以 4 0101: 除以 5 0110: 除以 6 0111: 除以 7 1000: 除以 8 1001: 除以 9 1010: 除以 10 1011: 除以 11 1100: 除以 12 1101: 除以 13 1110: 除以 14 1111: 除以 15

#### 4.5.90 AXI 外设时钟源选择寄存器 1(RCC\_AXISEL1)

偏移地址: 0x013c

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				DSIULPSSSEL[1:0]		DSIKERSEL[1:0]		Reserved	SDMMC1KERSEL[2:0]			Reserved		DSIPPITXSEL[1:0]	
				rw		rw			rw					rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		LCDCKERSEL[1:0]		DVP1MSEL[1:0]		DVP2MSEL[1:0]		Reserved	XSPI1SSISEL[2:0]			Reserved		XSPI2SSISEL[2:0]	
		rw		rw		rw			rw					rw	

位域	名称	描述
31:28	保留	保留, 必须保持复位值。
27:26	DSIULPSSSEL[1:0]	DSI ULPS 时钟选择。 00: DSI 参考时钟被选择为 DSI ULPS 时钟。 01: PLL3_C 时钟被选择为 DSI ULPS 时钟。 其他值: 不允许设置
25:24	DSIKERSEL[1:0]	DSI 内核时钟选择。 00: DSI 参考时钟被选为 DSI 内核时钟。 01: PLL3_C 时钟被选为 DSI 内核时钟。

位域	名称	描述
		其他值：不允许设置
23	保留	保留，必须保持复位值。
22:20	SDMMC1KERSEL[2:0]	SDMMC1 内核时钟选择。 000：分频 AXI 总线时钟被选为 SDMMC1 内核时钟。 001：外设时钟被选择为 SDMMC1 内核时钟。 010：PLL2_A 时钟被选择为 SDMMC1 内核时钟。 011：PLL3_A 时钟被选择为 SDMMC1 内核时钟。 100：PLL1_B 时钟被选择为 SDMMC1 内核时钟。 其他值：不允许设置
19:18	保留	保留，必须保持复位值。
17:16	DSIPPITXSEL[1:0]	DSI PPI 时钟选择。 00：分频的 DSI 参考时钟被选择为 DSI PPI 时钟。 01：PLL2_B 时钟被选择为 DSI PPI 时钟。 10：外设时钟被选择为 DSI PPI 时钟。 11：分频的 AXI 总线时钟被选择为 DSI PPI 时钟。
15:14	保留	保留，必须保持复位值。
13:12	LCDCKERSEL[1:0]	LCDC 内核时钟选择。 00：分频 AXI 总线时钟被选为 LCDC 内核时钟。 01：外设时钟被选择为 LCDC 内核时钟。 10：PLL2_C 时钟被选择为 LCDC 内核时钟。 11：PLL3_B 时钟被选为 LCDC 内核时钟。
11:10	DVP1MSEL[1:0]	DVP1 M 时钟选择。 00：分频 AXI 总线时钟被选择为 DVP1 M 时钟。 01：外设时钟被选择为 DVP1 M 时钟。 10：PLL2_C 时钟被选择为 DVP1 M 时钟。 11：PLL3_A 时钟被选择为 DVP1 M 时钟。
9:8	DVP2MSEL[1:0]	DVP2 M 时钟选择。 00：分频 AXI 总线时钟被选择为 DVP2 M 时钟。 01：外设时钟被选择为 DVP2 M 时钟。 10：PLL2_C 时钟被选择为 DVP2 M 时钟。 11：PLL3_A 时钟被选择为 DVP2 M 时钟。
7	保留	保留，必须保持复位值。
6:4	XSPI1SSISEL[2:0]	XSPI1 SSI 时钟选择。 000：AXI 总线时钟被选择为 XSPI1 SSI 时钟。 001：PLL3_C 时钟被选择为 XSPI1 SSI 时钟。 010：PLL1_B 时钟被选择为 XSPI1 SSI 时钟。 011：PLL2_A 时钟被选择为 XSPI1 SSI 时钟。 100：PLL2_C 时钟被选择为 XSPI1 SSI 时钟。 其他值：不允许设置
3	保留	保留，必须保持复位值。
2:0	XSPI2SSISEL[2:0]	XSPI2 SSI 时钟选择。 000：AXI 总线时钟被选择为 XSPI2 SSI 时钟。

位域	名称	描述
		001: PLL3_C 时钟被选择为 XSPI2 SSI 时钟。 010: PLL1_B 时钟被选择为 XSPI2 SSI 时钟。 011: PLL2_A 时钟被选择为 XSPI2 SSI 时钟。 100: PLL2_C 时钟被选择为 XSPI2 SSI 时钟。 其他值: 不允许设置

#### 4.5.91 AXI 外设时钟源选择寄存器 2(RCC\_AXISEL2)

偏移地址: 0x017c

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved					SDRAMMEMSEL[2:0]			Reserved		FEMCM1SEL[2:0]			Reserved		FEMCM0SEL[2:0]	
					rw						rw					

位域	名称	描述
31:11	保留	保留, 必须保持复位值。
10:8	SDRAMMEMSEL[2:0]	SDRAM 时钟选择。 000: 分频 AXI 总线时钟被选择为 SDRAM 内存时钟。 001: 外部时钟被选择为 SDRAM 内存时钟。 010: PLL2_A 时钟被选择为 SDRAM 内存时钟。 011: PLL3_A 时钟被选择为 SDRAM 内存时钟。 100: PLL1_B 时钟被选择为 SDRAM 内存时钟。 其他值: 不允许设置
7	保留	保留, 必须保持复位值。
6:4	FEMCM1SEL[2:0]	FEMC M1 时钟选择。 000: 分频 AXI 总线时钟被选择为 FEMC M1 时钟。 001: 外设时钟被选择为 FEMC M1 时钟。 010: PLL2_C 时钟被选择为 FEMC M1 时钟。 011: PLL3_B 时钟被选择为 FEMC M1 时钟。 100: PLL1_B 时钟被选择为 FEMC M1 时钟。 其他值: 不允许设置
3	保留	保留, 必须保持复位值。
2:0	FEMCM0SEL[2:0]	FEMC M0 时钟选择。 000: 分频 AXI 总线时钟被选为 FEMC M0 时钟。 001: 外部时钟被选择为 FEMC M0 时钟。

位域	名称	描述
		010: PLL2_C 时钟被选择为 FEMC M0 时钟。 011: PLL3_B 时钟被选择为 FEMC M0 时钟。 100: PLL1_B 时钟被选择为 FEMC M0 时钟。 其他值: 不允许设置

#### 4.5.92 AXI 外设时钟使能寄存器 1(RCC\_AXIEN1)

偏移地址: 0x0140

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M7JPEGD EN	M4JPEGD EN	M7JPEGD LPEN	M4JPEGD LPEN	Reserved				M7JPEGE EN	M4JPEGE EN	M7JPEGE LPEN	M4JPEGE LPEN	M7DMAM UX2EN	M4DMA MUX2EN	M7DMA MUX2LP EN	M4DMA MUX2LP EN
rw	rw	rw	rw					rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
M7MDM AEN	M4MDM AEN	M7MDM ALPEN	M4MDM ALPEN	M7SDMM C1EN	M4SDMM C1EN	M7SDMM C1LPEN	M4SDMM C1LPEN	M7ECCM 1EN	M4ECCM 1EN	M7ECCM 1LPEN	M4ECCM 1LPEN	M7OTPCEN	M4OTPCEN	M7OTPCL PEN	M4OTPCL PEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31	M7JPEGDEN	JPEG 解码器 M7 分配和时钟使能。 由软件设置和清除。 0: JPEG 解码器未分配给 M7。“jpeg_dec_gated_axi_clk”在 M7 运行模式下被禁用。 1: JPEG 解码器分配给 M7。“jpeg_dec_gated_axi_clk”在 M7 运行模式下启用。
30	M4JPEGDEN	JPEG 解码器 M4 分配和时钟使能。 由软件设置和清除。 0: JPEG 解码器未分配给 M4。“jpeg_dec_gated_axi_clk”在 M4 运行模式下被禁用。 1: JPEG 解码器分配给 M4。“jpeg_dec_gated_axi_clk”在 M4 运行模式下启用。
29	M7JPEGDLPEN	JPEG 解码器 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 睡眠和停止模式下，“jpeg_dec_gated_axi_clk”时钟被禁用。 1: 在 M7 睡眠模式下启用了“jpeg_dec_gated_axi_clk”。 注意: 在启用此位之前, 应先启用 M7JPEGDEN 位, 否则此位无效。
28	M4JPEGDLPEN	JPEG 解码器 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下, “jpeg_dec_gated_axi_clk”时钟被禁用。 1: 在 M4 睡眠模式下启用了“jpeg_dec_gated_axi_clk”。 注意: 在启用此位之前, 应先启用 M4JPEGDEN 位, 否则此位将不起作用。
27:24	保留	保留, 必须保持复位值。
23	M7JPEGEEN	JPEG 编码器 M7 分配和时钟使能。 由软件设置和清除。

位域	名称	描述
		0: JPEG 编码器未分配给 M7。“jpeg_enc_gated_axi_clk”在 M7 运行模式下被禁用。 1: JPEG 编码器分配给 M7。“jpeg_enc_gated_axi_clk”在 M7 运行模式下启用。
22	M4JPEGEEN	JPEG 编码器 M4 分配和时钟使能。 由软件设置和清除。 0: JPEG 编码器未分配给 M4。“jpeg_enc_gated_axi_clk”在 M4 运行模式下被禁用。 1: JPEG 编码器分配给 M4。在 M4 运行模式下启用了“jpeg_enc_gated_axi_clk”。
21	M7JPEGELPEN	JPEG 编码器 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下，“jpeg_enc_gated_axi_clk”时钟被禁用。 1: 在 M7 SLEEP 模式下，“jpeg_enc_gated_axi_clk”已启用。 注意: 在启用此位之前, 应先启用 M7JPEGEEN 位, 否则此位无效。
20	M4JPEGELPEN	JPEG 编码器 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下，“jpeg_enc_gated_axi_clk”时钟被禁用。 1: 在 M4 SLEEP 模式下启用了"jpeg_enc_gated_axi_clk"。 注意: 在启用此位之前, 应先启用 M4JPEGEEN 位, 否则此位无效。
19	M7DMAMUX2EN	DMAMUX2 M7 分配和时钟使能。 由软件设置和清除。 0: DMAMUX2 未分配给 M7。“dma_mux2_gated_hclk”在 M7 运行模式下被禁用。 1: DMAMUX2 分配给 M7。“dma_mux2_gated_hclk”在 M7 运行模式下启用。
18	M4DMAMUX2EN	DMAMUX2 M4 分配和时钟使能。 由软件设置和清除。 0: DMAMUX2 未分配给 M4。“dma_mux2_gated_hclk”在 M4 运行模式下被禁用。 1: DMAMUX2 分配给 M4。“dma_mux2_gated_hclk”在 M4 运行模式下启用。
17	M7DMAMUX2LP EN	DMAMUX2 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下，“dma_mux2_gated_hclk”时钟被禁用。 1: 在 M7 睡眠模式下启用了"dma_mux2_gated_hclk"。 注意: 在启用此位之前, 应先启用 M7DMAMUX2EN 位, 否则此位无效。
16	M4DMAMUX2LP EN	DMAMUX2 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下，“dma_mux2_gated_hclk”时钟被禁用。 1: 在 M4 SLEEP 模式下启用了"dma_mux2_gated_hclk"。 注意: 在启用此位之前, 应先启用 M4DMAMUX2EN 位, 否则此位无效。
15	M7MDMAEN	MDMA M7 分配和时钟使能。 由软件设置和清除。 0: MDMA 未分配到 M7。“mdma_gated_axi_clk”和“mdma_gated_hclk”在 M7 运行模式下被禁用。 1: MDMA 分配到 M7。“mdma_gated_axi_clk”和“mdma_gated_hclk”在 M7 运行模式下启用。
14	M4MDMAEN	MDMA M4 分配和时钟使能。 由软件设置和清除。

位域	名称	描述
		<p>0: MDMA 未分配到 M4。“mdma_gated_axi_clk”和“mdma_gated_hclk”在 M4 运行模式下被禁用。</p> <p>1: MDMA 分配给 M4。“mdma_gated_axi_clk”和“mdma_gated_hclk”在 M4 运行模式下启用。</p>
13	M7MDMALPEN	<p>MDMA M7 低功耗时钟使能。</p> <p>由软件设置和清除。</p> <p>0: 在 M7 SLEEP 和 STOP 模式下，“mdma_gated_axi_clk”和“mdma_gated_hclk”时钟被禁用。</p> <p>1: 在 M7 休眠和停止模式下，“mdma_gated_axi_clk”被启用。在 M7 休眠模式下，“mdma_gated_hclk”被启用。</p> <p>注意: 在启用此位之前, 应先启用 M7MDMAEN 位, 否则此位无效。</p>
12	M4MDMALPEN	<p>MDMA M4 低功耗时钟使能。</p> <p>由软件设置和清除。</p> <p>0: 在 M4 睡眠模式和停止模式下，“mdma_gated_axi_clk”和“mdma_gated_hclk”时钟被禁用。</p> <p>1: 在 M4 SLEEP 和 STOP 模式下，“mdma_gated_axi_clk”被启用。在 M4 SLEEP 模式下，“mdma_gated_hclk”被启用。</p> <p>注意: 在启用此位之前, 应先启用 M4MDMAEN 位, 否则此位无效。</p>
11	M7SDMMC1EN	<p>SDMMC1 M7 分配和时钟使能。</p> <p>由软件设置和清除。</p> <p>0: SDMMC1 未分配给 M7。“sdmmc1_gated_ker_clk”和“sdmmc1_gated_hclk”在 M7 运行模式下被禁用。</p> <p>1: SDMMC1 分配给 M7。在 M7 运行模式下启用了“sdmmc1_gated_ker_clk”和“sdmmc1_gated_hclk”。</p>
10	M4SDMMC1EN	<p>SDMMC1 M4 分配和时钟使能。</p> <p>由软件设置和清除。</p> <p>0: SDMMC1 未分配给 M4。“sdmmc1_gated_ker_clk”和“sdmmc1_gated_hclk”在 M4 运行模式下被禁用。</p> <p>1: SDMMC1 分配给 M4。“sdmmc1_gated_ker_clk”和“sdmmc1_gated_hclk”在 M4 运行模式下启用。</p>
9	M7SDMMC1LPEN	<p>SDMMC1 M7 低功耗时钟使能。</p> <p>由软件设置和清除。</p> <p>0: 在 M7 睡眠和停止模式下，“sdmmc1_gated_ker_clk”和“sdmmc1_gated_hclk”时钟被禁用。</p> <p>1: 在 M7 休眠和停止模式下，“sdmmc1_gated_ker_clk”被启用。在 M7 休眠模式下，“sdmmc1_gated_hclk”被启用。</p> <p>注意: 在启用此位之前, 应先启用 M7SDMMC1EN 位, 否则此位无效。</p>
8	M4SDMMC1LPEN	<p>SDMMC1 M4 低功耗时钟使能。</p> <p>由软件设置和清除。</p> <p>0: 在 M4 SLEEP 和 STOP 模式下，“sdmmc1_gated_ker_clk”和“sdmmc1_gated_hclk”时钟被禁用。</p> <p>1: 在 M4 休眠和停止模式下启用了“sdmmc1_gated_ker_clk”。在 M4 休眠模式下启用了“sdmmc1_gated_hclk”。</p>

位域	名称	描述
		注意：在启用此位之前，应先启用 M4SDMMC1EN 位，否则此位无效。
7	M7ECCM1EN	ECCMON1 M7 分配和时钟使能。 由软件设置和清除。 0: ECCMON1 未分配给 M7。“eccmon1_gated_hclk”在 M7 运行模式下被禁用。 1: ECCMON1 分配给 M7。“eccmon1_gated_hclk”在 M7 运行模式下启用。
6	M4ECCM1EN	ECCMON1 M4 分配和时钟使能。 由软件设置和清除。 0: ECCMON1 未分配给 M4。“eccmon1_gated_hclk”在 M4 运行模式下被禁用。 1: ECCMON1 分配给 M4。“eccmon1_gated_hclk”在 M4 运行模式下启用。
5	M7ECCM1LPEN	ECCMON1 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下，“eccmon1_gated_hclk”时钟被禁用。 1: 在 M7 睡眠模式下启用了“eccmon1_gated_hclk”。 注意：在启用此位之前，应先启用 M7ECCM1EN 位，否则此位无效。
4	M4ECCM1LPEN	ECCMON1 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下，“eccmon1_gated_hclk”时钟被禁用。 1: 在 M4 睡眠模式下启用了“eccmon1_gated_hclk”。 注意：在启用此位之前，应先启用 M4ECCM1EN 位，否则此位无效。
3	M7OTPCEN	OTPC M7 分配和时钟使能。 由软件设置和清除。 0: OTPC 未分配给 M7。“otpc_gated_hclk”在 M7 运行模式下被禁用。 1: OTPC 分配到 M7。“otpc_gated_hclk”在 M7 运行模式下启用。
2	M4OTPCEN	OTPC M4 分配和时钟使能。 由软件设置和清除。 0: OTPC 未分配给 M4。“otpc_gated_hclk”在 M4 运行模式下被禁用。 1: OTPC 被分配到 M4。“otpc_gated_hclk”在 M4 运行模式下启用。
1	M7OTPCLPEN	M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下，“otpc_gated_hclk”时钟被禁用。 1: 在 M7 SLEEP 模式下启用了“otpc_gated_hclk”。 注意：在启用此位之前，应先启用 M7OTPCEN 位，否则此位无效。
0	M4OTPCLPEN	M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下，“otpc_gated_hclk”时钟被禁用。 1: 在 M4 SLEEP 模式下，“otpc_gated_hclk”已启用。 注意：在启用此位之前，应先启用 M4OTPCEN 位，否则此位无效。

#### 4.5.93 AXI 外设时钟使能寄存器 2(RCC\_AXIEN2)

偏移地址：0x0144

复位值：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M7DSIEN	M4DSIEN	M7DSILPEN	M4DSILPEN	M7LCDCEN	M4LCDCEN	M7LCDCLPEN	M4LCDCLPEN	M7LCDCAPBEN	M4LCDCAPBEN	M7LCDCAPBLPEN	M4LCDCAPBLPEN	M7DVP1EN	M4DVP1EN	M7DVP1LPEN	M4DVP1LPEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
M7DVP1APBEN	M4DVP1APBEN	M7DVP1APBLPEN	M4DVP1APBLPEN	M7DVP2EN	M4DVP2EN	M7DVP2LPEN	M4DVP2LPEN	M7DVP2APBEN	M4DVP2APBEN	M7DVP2APBLPEN	M4DVP2APBLPEN	M7WWDG1EN	M4WWDG1EN	M7WWDG1LPEN	M4WWDG1LPEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31	M7DSIEN	DSI M7 分配和时钟使能。 由软件设置和清除。 0: DSI 未分配到 M7。“dsi_ppi_txclkesc_all_gated_clk”和“dsi_gated_pclk”在 M7 运行模式下被禁用。 1: DSI 分配到 M7。“dsi_ppi_txclkesc_all_gated_clk”和“dsi_gated_pclk”在 M7 运行模式下启用。
30	M4DSIEN	DSI M4 分配和时钟使能。 由软件设置和清除。 0: DSI 未分配给 M4。在 M4 运行模式下，“dsi_ppi_txclkesc_all_gated_clk”和“dsi_gated_pclk”被禁用。 1: DSI 分配给 M4。“dsi_ppi_txclkesc_all_gated_clk”和“dsi_gated_pclk”在 M4 运行模式下启用。
29	M7DSILPEN	DSI M7 低功耗时钟使能。 由软件设置并清除。 0: 在 M7 SLEEP 和 STOP 模式下，“dsi_ppi_txclkesc_all_gated_clk”和“dsi_gated_pclk”时钟被禁用。 1: 在 M7 SLEEP 和 STOP 模式下，“dsi_ppi_txclkesc_all_gated_clk”被启用。在 M7 SLEEP 模式下，“dsi_gated_pclk”被启用。 注意：在启用此位之前，应先启用 M7DSIEN 位，否则此位无效。
28	M4DSILPEN	DSI M4 低功耗时钟使能。 由软件设置并清除。 0: 在 M4 SLEEP 和 STOP 模式下，“dsi_ppi_txclkesc_all_gated_clk”和“dsi_gated_pclk”时钟被禁用。 1: 在 M4 SLEEP 和 STOP 模式下，“dsi_ppi_txclkesc_all_gated_clk”被启用。在 M4 SLEEP 模式下，“dsi_gated_pclk”被启用。 注意：在启用此位之前，应先启用 M4DSIEN 位，否则此位无效。
27	M7LCDCEN	LCDC M7 分配和时钟使能。 由软件设置和清除。 0: LCDC 未分配到 M7。“lcdc_gated_pixel_clk”和“lcdc_gated_axi_clk”在 M7 运行模式下被禁用。 1: LCDC 分配给 M7。“lcdc_gated_pixel_clk”和“lcdc_gated_axi_clk”在 M7 运行模式下启用。
26	M4LCDCEN	LCDC M4 分配和时钟使能。



位域	名称	描述
		由软件设置和清除。 0: LCDC 未分配给 M4。在 M4 运行模式下, “lcdc_gated_pixel_clk”和“lcdc_gated_axi_clk”被禁用。 1: LCDC 分配给 M4。在 M4 运行模式下, “lcdc_gated_pixel_clk”和“lcdc_gated_axi_clk”被启用。
25	M7LCDCLPEN	LCDC M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下, “lcdc_gated_pixel_clk”和“lcdc_gated_axi_clk”时钟被禁用。 1: 在 M7 SLEEP 和 STOP 模式下, “lcdc_gated_pixel_clk”被启用。在 M7 SLEEP 模式下, “lcdc_gated_axi_clk”被启用。 注意: 在启用此位之前, 应先启用 M7LCDCEEN 位, 否则此位无效。
24	M4LCDCLPEN	LCDC M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下, “lcdc_gated_pixel_clk”和“lcdc_gated_axi_clk”时钟被禁用。 1: 在 M4 SLEEP 和 STOP 模式下, “lcdc_gated_pixel_clk”被启用。在 M4 SLEEP 模式下, “lcdc_gated_axi_clk”被启用。 注意: 在启用此位之前, 应先启用 M4LCDCEEN 位, 否则此位无效。
23	M7LDCAPBEN	LCDC APB M7 分配和时钟使能。 由软件设置和清除。 0: LCDC APB 总线未分配给 M7。在 M7 运行模式下, “lcdc_gated_pclk”被禁用。 1: LCDC APB 总线分配给 M7。在 M7 运行模式下启用了“lcdc_gated_pclk”。
22	M4LDCAPBEN	LCDC APB M4 分配和时钟使能。 由软件设置和清除。 0: LCDC APB 总线未分配给 M4。在 M4 运行模式下, “lcdc_gated_pclk”被禁用。 1: LCDC APB 总线分配给 M4。“lcdc_gated_pclk”在 M4 运行模式下启用。
21	M7LDCAPBLPEN	LCDC APB M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下, “lcdc_gated_pclk”时钟被禁用。 1: 在 M7 SLEEP 模式下启用了“lcdc_gated_pclk”。 注意: 在启用此位之前, 应先启用 M7LDCAPBEN 位, 否则此位无效。
20	M4LDCAPBLPEN	LCDC APB M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下, “lcdc_gated_pclk”时钟被禁用。 1: 在 M4 SLEEP 模式下启用了“lcdc_gated_pclk”。 注意: 在启用此位之前, 应先启用 M4LDCAPBEN 位, 否则此位无效。
19	M7DVP1EN	DVP1 M7 分配和时钟使能。 由软件设置和清除。 0: DVP1 未分配到 M7。“dvp1_gated_m_clk”和“dvp1_gated_hclk”在 M7 运行模式下被禁用。 1: DVP1 分配给 M7。在 M7 运行模式下, “dvp1_gated_m_clk”和“dvp1_gated_hclk”被启用。

位域	名称	描述
18	M4DVP1EN	DVP1 M4 分配和时钟使能。 由软件设置和清除。 0: DVP1 未分配给 M4。“dvp1_gated_m_clk”和“dvp1_gated_hclk”在 M4 运行模式下被禁用。 1: DVP1 分配给 M4。“dvp1_gated_m_clk”和“dvp1_gated_hclk”在 M4 运行模式下启用。
17	M7DVP1LPEN	DVP1 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下，“dvp1_gated_m_clk”和“dvp1_gated_hclk”时钟被禁用。 1: 在 M7 SLEEP 和 STOP 模式下启用了“dvp1_gated_m_clk”。在 M7 SLEEP 模式下启用了“dvp1_gated_hclk”。 注意: 在启用此位之前, 应先启用 M7DVP1EN 位, 否则此位无效。
16	M4DVP1LPEN	DVP1 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下，“dvp1_gated_m_clk”和“dvp1_gated_hclk”时钟被禁用。 1: 在 M4 SLEEP 和 STOP 模式下，“dvp1_gated_m_clk”被启用。在 M4 SLEEP 模式下，“dvp1_gated_hclk”被启用。 注意: 在启用此位之前, 应先启用 M4DVP1EN 位, 否则此位无效。
15	M7DVP1APBEN	DVP1 APB M7 分配和时钟使能。 由软件设置和清除。 0: DVP1 APB 总线未分配给 M7。在 M7 运行模式下，“dvp1_gated_pclk”被禁用。 1: DVP1 APB 总线分配给 M7。在 M7 运行模式下启用了“dvp1_gated_pclk”。
14	M4DVP1APBEN	DVP1 APB M4 分配和时钟使能。 由软件设置和清除。 0: DVP1 APB 总线未分配给 M4。在 M4 运行模式下，“dvp1_gated_pclk”被禁用。 1: DVP1 APB 总线分配给 M4。“dvp1_gated_pclk”在 M4 运行模式下启用。
13	M7DVP1APBLPEN	DVP1 APB M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下，“dvp1_gated_pclk”时钟被禁用。 1: 在 M7 SLEEP 模式下，“dvp1_gated_pclk”已启用。 注意: 在启用此位之前, 应先启用 M7DVP1APBEN 位, 否则此位无效。
12	M4DVP1APBLPEN	DVP1 APB M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下，“dvp1_gated_pclk”时钟被禁用。 1: 在 M4 SLEEP 模式下启用了"dvp1_gated_pclk"。 注意: 在启用此位之前, 应先启用 M4DVP1APBEN 位, 否则此位无效。
11	M7DVP2EN	DVP2 M7 分配和时钟使能。 由软件设置和清除。 0: DVP2 未分配到 M7。“dvp2_gated_m_clk”和“dvp2_gated_hclk”在 M7 运行模式下被禁用。

位域	名称	描述
		1: DVP2 分配给 M7。在 M7 运行模式下, “dvp2_gated_m_clk”和“dvp2_gated_hclk”被启用。
10	M4DVP2EN	DVP2 M4 分配和时钟使能。 由软件设置和清除。 0: DVP2 未分配给 M4。在 M4 运行模式下, “dvp2_gated_m_clk”和“dvp2_gated_hclk”被禁用。 1: DVP2 分配给 M4。在 M4 运行模式下, “dvp2_gated_m_clk”和“dvp2_gated_hclk”被启用。
9	M7DVP2LPEN	DVP2 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下, “dvp2_gated_m_clk”和“dvp2_gated_hclk”时钟被禁用。 1: 在 M7 休眠和停止模式下, “dvp2_gated_m_clk”被启用。在 M7 休眠模式下, “dvp2_gated_hclk”被启用。 注意: 在启用此位之前, 应先启用 M7DVP2EN 位, 否则此位无效。
8	M4DVP2LPEN	DVP2 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下, “dvp2_gated_m_clk”和“dvp2_gated_hclk”时钟被禁用。 1: 在 M4 睡眠和停止模式下启用了“dvp2_gated_m_clk”。在 M4 睡眠模式下启用了“dvp2_gated_hclk”。 注意: 在启用此位之前, 应先启用 M4DVP2EN 位, 否则此位无效。
7	M7DVP2APBEN	DVP2 APB M7 分配和时钟使能。 由软件设置和清除。 0: DVP2 APB 总线未分配给 M7。在 M7 运行模式下, “dvp2_gated_pclk”被禁用。 1: DVP2 APB 总线分配给 M7。“dvp2_gated_pclk”在 M7 运行模式下启用。
6	M4DVP2APBEN	DVP2 APB M4 分配和时钟使能。 由软件设置和清除。 0: DVP2 APB 总线未分配给 M4。在 M4 运行模式下, “dvp2_gated_pclk”被禁用。 1: DVP2 APB 总线分配给 M4。“dvp2_gated_pclk”在 M4 运行模式下启用。
5	M7DVP2APBLPEN	DVP2 APB M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 睡眠和停止模式下, “dvp2_gated_pclk”时钟被禁用。 1: 在 M7 SLEEP 模式下启用了“dvp2_gated_pclk”。 注意: 在启用此位之前, 应先启用 M7DVP2APBEN 位, 否则此位无效。
4	M4DVP2APBLPEN	DVP2 APB M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下, “dvp2_gated_pclk”时钟被禁用。 1: 在 M4 SLEEP 模式下启用了“dvp2_gated_pclk”。 注意: 在启用此位之前, 应先启用 M4DVP2APBEN 位, 否则此位将无效。
3	M7WWDG1EN	WWDG1 M7 分配和时钟使能。 由软件设置和清除。 0: WWDG1 未分配给 M7。“wwdg1_gated_pclk”在 M7 运行模式下被禁用。

位域	名称	描述
		1: WWDG1 分配给 M7。“wwdg1_gated_pclk”在 M7 运行模式下启用。
2	M4WWDG1EN	WWDG1 M4 分配和时钟使能。 由软件设置和清除。 0: WWDG1 未分配给 M4。“wwdg1_gated_pclk”在 M4 运行模式下被禁用。 1: WWDG1 分配给 M4。“wwdg1_gated_pclk”在 M4 运行模式下启用。
1	M7WWDG1LPEN	WWDG1 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下，“wwdg1_gated_pclk”时钟被禁用。 1: 在 M7 SLEEP 模式下，“wwdg1_gated_pclk”已启用。 注意: 在启用此位之前, 应先启用 M7WWDG1EN 位, 否则此位无效。
0	M4WWDG1LPEN	WWDG1 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下，“wwdg1_gated_pclk”时钟被禁用。 1: 在 M4 SLEEP 模式下，“wwdg1_gated_pclk”已启用。 注意: 在启用此位之前, 应先启用 M4WWDG1EN 位, 否则此位无效。

#### 4.5.94 AXI 外设时钟使能寄存器 3(RCC\_AXIEN3)

偏移地址: 0x0148

复位值: 0x88888880

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M7TASRAM2EN	M4TASRAM2EN	M7TASRAM2LPEN	M4TASRAM2LPEN	M7TASRAM3EN	M4TASRAM3EN	M7TASRAM3LPEN	M4TASRAM3LPEN	M7TCMEN	M4TCMEN	M7TCMLPEN	M4TCMLPEN	M7TCMAXIEN	M4TCMAXIEN	M7TCMAXILPEN	M4TCMAXILPEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
M7TCMAPBEN	M4TCMAPBEN	M7TCMAPBLPEN	M4TCMAPBLPEN	M7ASRAM1EN	M4ASRAM1EN	M7ASRAM1LPEN	M4ASRAM1LPEN	M7AXIROMEN	M4AXIROMEN	M7AXIROMLPEN	M4AXIROMLPEN	M7GPUEEN	M4GPUEEN	M7GPULPEN	M4GPULPEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31	M7TASRAM2EN	TCM_AXISRAM2 M7 分配和时钟使能。 由软件设置并清除。 0: TCM_AXISRAM2 未分配给 M7。“tcm_axisram2_gated_axi_clk”和“tcm_axiramc2_gated_axi_clk”在 M7 运行模式下被禁用。 1: TCM_AXISRAM2 分配给 M7。在 M7 运行模式下, “tcm_axisram2_gated_axi_clk”和“tcm_axiramc2_gated_axi_clk”已启用。
30	M4TASRAM2EN	TCM_AXISRAM2 M4 分配和时钟使能。 由软件设置并清除。

位域	名称	描述
		0: TCM_AXISRAM2 未分配给 M4。在 M4 运行模式下，“tcm_axisram2_gated_axi_clk”和“tcm_axiramc2_gated_axi_clk”被禁用。 1: TCM_AXISRAM2 分配给 M4。在 M4 运行模式下，“tcm_axisram2_gated_axi_clk”和“tcm_axiramc2_gated_axi_clk”已启用。
29	M7TASRAM2LPEN	TCM_AXISRAM2 M7 低功耗时钟使能。 由软件设置并清除。 0: 在 M7 SLEEP 和 STOP 模式下，“tcm_axisram2_gated_axi_clk”和“tcm_axiramc2_gated_axi_clk”时钟被禁用。 1: 在 M7 SLEEP 模式下，“tcm_axisram2_gated_axi_clk”和“tcm_axiramc2_gated_axi_clk”被启用。 注意：在启用此位之前，应先启用 M7TASRAM2EN 位，否则此位无效。
28	M4TASRAM2LPEN	TCM_AXISRAM2 M4 低功耗时钟使能。 由软件设置并清除。 0: 在 M4 睡眠和停止模式下，“tcm_axisram2_gated_axi_clk”和“tcm_axiramc2_gated_axi_clk”时钟被禁用。 1: 在 M4 SLEEP 模式下，“tcm_axisram2_gated_axi_clk”和“tcm_axiramc2_gated_axi_clk”被启用。 注意：在启用此位之前，应先启用 M4TASRAM2EN 位，否则此位无效。
27	M7TASRAM3EN	TCM_AXISRAM3 M7 分配和时钟使能。 由软件设置并清除。 0: TCM_AXISRAM3 未分配给 M7。在 M7 运行模式下，“tcm_axisram3_gated_axi_clk”和“tcm_axiramc3_gated_axi_clk”被禁用。 1: TCM_AXISRAM3 分配给 M7。“tcm_axisram3_gated_axi_clk”和“tcm_axiramc3_gated_axi_clk”在 M7 运行模式下启用。
26	M4TASRAM3EN	TCM_AXISRAM3 M4 分配和时钟使能。 由软件设置并清除。 0: TCM_AXISRAM3 未分配给 M4。“tcm_axisram3_gated_axi_clk”和“tcm_axiramc3_gated_axi_clk”在 M4 运行模式下被禁用。 1: TCM_AXISRAM3 分配给 M4。在 M4 运行模式下，“tcm_axisram3_gated_axi_clk”和“tcm_axiramc3_gated_axi_clk”已启用。
25	M7TASRAM3LPEN	TCM_AXISRAM3 M7 低功耗时钟使能。 由软件设置并清除。 0: 在 M7 SLEEP 和 STOP 模式下，“tcm_axisram3_gated_axi_clk”和“tcm_axiramc3_gated_axi_clk”时钟被禁用。 1: 在 M7 SLEEP 模式下，“tcm_axisram3_gated_axi_clk”和“tcm_axiramc3_gated_axi_clk”被启用。 注意：在启用此位之前，应先启用 M7TASRAM3EN 位，否则此位无效。
24	M4TASRAM3LPEN	TCM_AXISRAM3 M4 低功耗时钟使能。 由软件设置并清除。 0: 在 M4 SLEEP 和 STOP 模式下，“tcm_axisram3_gated_axi_clk”和“tcm_axiramc3_gated_axi_clk”时钟被禁用。 1: 在 M4 SLEEP 模式下，“tcm_axisram3_gated_axi_clk”和“tcm_axiramc3_gated_axi_clk”被启用。

位域	名称	描述
		注意：在启用此位之前，应先启用 M4TASRAM3EN 位，否则此位无效。
23	M7TCMEN	TCM 内核 M7 分配和时钟使能。 由软件设置和清除。 0：TCM 内核未分配给 M7。“tcm_gated_core_clk”在 M7 运行模式下被禁用。 1：TCM 内核分配给 M7。“tcm_gated_core_clk”在 M7 运行模式下启用。
22	M4TCMEN	TCM 内核 M4 分配和时钟使能。 由软件设置和清除。 0：TCM 内核未分配给 M4。“tcm_gated_core_clk”在 M4 运行模式下被禁用。 1：TCM 内核分配给 M4。“tcm_gated_core_clk”在 M4 运行模式下启用。
21	M7TCMLPEN	TCM 内核 M7 低功耗时钟使能。 由软件设置和清除。 0：在 M7 SLEEP 和 STOP 模式下，“tcm_gated_core_clk”被禁用。 1：在 M7 SLEEP 和 STOP 模式下，“tcm_gated_core_clk”被启用。 注意：在启用此位之前，应先启用 M7TCMEN 位，否则此位无效。
20	M4TCMLPEN	TCM 内核 M4 低功耗时钟使能。 由软件设置和清除。 0：在 M4 SLEEP 和 STOP 模式下，“tcm_gated_core_clk”被禁用。 1：在 M4 SLEEP 和 STOP 模式下，“tcm_gated_core_clk”被启用。 注意：在启用此位之前，应先启用 M4TCMEN 位，否则此位无效。
19	M7TCMAXIEN	TCM AXI M7 分配和时钟使能。 由软件设置和清除。 0：TCM AXI 总线未分配给 M7。“tcm_gated_axi_clk”在 M7 运行模式下被禁用。 1：TCM AXI 总线分配给 M7。在 M7 运行模式下启用了“tcm_gated_axi_clk”。
18	M4TCMAXIEN	TCM AXI M4 分配和时钟使能。 由软件设置和清除。 0：TCM AXI 总线未分配给 M4。“tcm_gated_axi_clk”在 M4 运行模式下被禁用。 1：TCM AXI 总线分配给 M4。在 M4 运行模式下启用了“tcm_gated_axi_clk”。
17	M7TCMAXILPEN	TCM AXI M7 低功耗时钟使能。 由软件设置和清除。 0：在 M7 睡眠和停止模式下，“tcm_gated_axi_clk”被禁用。 1：在 M7 SLEEP 和 STOP 模式下，“tcm_gated_axi_clk”已启用。 注意：在启用此位之前，应先启用 M7TCMAXIEN 位，否则此位无效。
16	M4TCMAXILPEN	TCM AXI M4 低功耗时钟使能。 由软件设置和清除。 0：“tcm_gated_axi_clk”在 M4 SLEEP 和 STOP 模式下被禁用。 1：在 M4 SLEEP 和 STOP 模式下，“tcm_gated_axi_clk”已启用。 注意：在启用此位之前，应先启用 M4TCMAXIEN 位，否则此位无效。
15	M7TCMAPBEN	TCM APB M7 分配和时钟使能。 由软件设置和清除。 0：TCM APB 总线未分配给 M7。“tcm_gated_pclk”在 M7 运行模式下被禁用。

位域	名称	描述
		1: TCM APB 总线分配给 M7。在 M7 运行模式下启用了“tcm_gated_pclk”。
14	M4TCMAPBEN	TCM APB M4 分配和时钟使能。 由软件设置和清除。 0: TCM APB 总线未分配给 M4。“tcm_gated_pclk”在 M4 运行模式下被禁用。 1: TCM APB 总线分配给 M4。在 M4 运行模式下启用了“tcm_gated_pclk”。
13	M7TCMAPBLPEN	TCM APB M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下，“tcm_gated_pclk”被禁用。 1: 在 M7 SLEEP 和 STOP 模式下，“tcm_gated_pclk”已启用。 注意: 在启用此位之前, 应先启用 M7TCMAPBEN 位, 否则此位无效。
12	M4TCMAPBLPEN	TCM APB M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下，“tcm_gated_pclk”被禁用。 1: 在 M4 SLEEP 和 STOP 模式下，“tcm_gated_pclk”已启用。 注意: 在启用此位之前, 应先启用 M4TCMAPBEN 位, 否则此位无效。
11	M7ASRAM1EN	AXISRAM1 M7 分配和时钟使能。 由软件设置并清除。 0: AXISRAM1 未分配给 M7。“axisram1_gated_axi_clk”和“axiramc1_gated_axi_clk”在 M7 运行模式下被禁用。 1: AXISRAM1 分配给 M7。在 M7 运行模式下, “axisram1_gated_axi_clk”和“axiramc1_gated_axi_clk”被启用。
10	M4ASRAM1EN	AXISRAM1 M4 分配和时钟使能。 由软件设置并清除。 0: AXISRAM1 未分配给 M4。在 M4 运行模式下, “axisram1_gated_axi_clk”和“axiramc1_gated_axi_clk”被禁用。 1: AXISRAM1 分配给 M4。“axisram1_gated_axi_clk”和“axiramc1_gated_axi_clk”在 M4 运行模式下启用。
9	M7ASRAM1LPEN	AXISRAM1 M7 低功耗时钟使能。 由软件设置并清除。 0: 在 M7 SLEEP 和 STOP 模式下, “axisram1_gated_axi_clk”和“tcm_axiramc1_gated_axi_clk”时钟被禁用。 1: 在 M7 SLEEP 模式下, “axisram1_gated_axi_clk”和“axiramc1_gated_axi_clk”被启用。 注意: 在启用此位之前, 应先启用 M7ASRAM1EN 位, 否则此位无效。
8	M4ASRAM1LPEN	AXISRAM1 M4 低功耗时钟使能。 由软件设置并清除。 0: 在 M4 SLEEP 和 STOP 模式下, “axisram1_gated_axi_clk”和“axiramc1_gated_axi_clk”时钟被禁用。 1: 在 M4 SLEEP 模式下, “axisram1_gated_axi_clk”和“axiramc1_gated_axi_clk”被启用。 注意: 在启用此位之前, 应先启用 M4ASRAM1EN 位, 否则此位无效。
7	M7AXIROMEN	AXIROM M7 分配和时钟使能。 由软件设置并清除。

位域	名称	描述
		0: AXIROM 未分配到 M7。“axirom_gated_axi_clk”和“axiromc_gated_axi_clk”在 M7 运行模式下被禁用。 1: AXIROM 分配给 M7。在 M7 运行模式下，“axirom_gated_axi_clk”和“axiromc_gated_axi_clk”被启用。
6	M4AXIROMEN	AXIROM M4 分配和时钟使能。 由软件设置并清除。 0: AXIROM 未分配给 M4。在 M4 运行模式下，“axirom_gated_axi_clk”和“axiromc_gated_axi_clk”被禁用。 1: AXIROM 被分配到 M4。“axirom_gated_axi_clk”和“axiromc_gated_axi_clk”在 M4 运行模式下被启用。
5	M7AXIROMLPEN	AXIROM M7 低功耗时钟使能。 由软件设置并清除。 0: 在 M7 SLEEP 和 STOP 模式下，“axirom_gated_axi_clk”和“axiromc_gated_axi_clk”时钟被禁用。 1: 在 M7 SLEEP 模式下，“axirom_gated_axi_clk”和“axiromc_gated_axi_clk”被启用。 注意：在启用此位之前，应先启用 M7AXIROMEN 位，否则此位无效。
4	M4AXIROMLPEN	AXIROM M4 低功耗时钟使能。 由软件设置并清除。 0: 在 M4 睡眠模式和停止模式下，“axirom_gated_axi_clk”和“axiromc_gated_axi_clk”时钟被禁用。 1: 在 M4 SLEEP 模式下，“axirom_gated_axi_clk”和“axiromc_gated_axi_clk”被启用。 注意：在启用此位之前，应先启用 M4AXIROMEN 位，否则此位无效。
3	M7GPUEN	GPU M7 分配和时钟使能。 由软件设置和清除。 0: GPU 未分配给 M7。在 M7 运行模式下，“gpu_gated_axi_clk”被禁用。 1: GPU 分配给 M7。在 M7 运行模式下启用了“gpu_gated_axi_clk”。
2	M4GPUEN	GPU M4 分配和时钟使能。 由软件设置和清除。 0: GPU 未分配给 M4。在 M4 运行模式下，“gpu_gated_axi_clk”被禁用。 1: GPU 分配给 M4。在 M4 运行模式下启用了“gpu_gated_axi_clk”。
1	M7GPULPEN	GPU M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 睡眠和停止模式下，“gpu_gated_axi_clk”时钟被禁用。 1: 在 M7 SLEEP 模式下，“gpu_gated_axi_clk”已启用。 注意：在启用此位之前，应先启用 M7GPUEN 位，否则此位无效。
0	M4GPULPEN	GPU M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下，“gpu_gated_axi_clk”时钟被禁用。 1: 在 M4 睡眠模式下启用了“gpu_gated_axi_clk”。 注意：在启用此位之前，应先启用 M4GPUEN 位，否则此位无效。



### 4.5.95 AXI 外设时钟使能寄存器 4(RCC\_AXIEN4)

偏移地址：0x014c

复位值：0x00880000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M7XSPI1 EN	M4XSPI1 EN	M7XSPI1 LPEN	M4XSPI1 LPEN	M7XSPI2 EN	M4XSPI2 EN	M7XSPI2 LPEN	M4XSPI2 LPEN	M7FEMC EN	M4FEMC EN	M7FEMC LPEN	M4FEMC LPEN	M7SDRA MEN	M4SDRA MEN	M7SDRA MLPEN	M4SDRA MLPEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												M7DSIUL PSEN	M4DSIUL PSEN	M7DSIUL PSLPEN	M4DSIUL PSLPEN
												rw	rw	rw	rw

位域	名称	描述
31	M7XSPI1EN	XSPI1 M7 分配和时钟使能。 由软件设置和清除。 0: XSPI1 未分配到 M7。“xspi1_ssi_gated_clk”和“xspi1_gated_hclk”在 M7 运行模式下被禁用。 1: XSPI1 分配给 M7。“xspi1_ssi_gated_clk”和“xspi1_gated_hclk”在 M7 运行模式下启用。
30	M4XSPI1EN	XSPI1 M4 分配和时钟使能。 由软件设置和清除。 0: XSPI1 未分配到 M4。“xspi1_ssi_gated_clk”和“xspi1_gated_hclk”在 M4 运行模式下被禁用。 1: XSPI1 分配给 M4。“xspi1_ssi_gated_clk”和“xspi1_gated_hclk”在 M4 运行模式下启用。
29	M7XSPI1LPEN	XSPI1 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下，“xspi1_ssi_gated_clk”和“xspi1_gated_hclk”时钟被禁用。 1: 在 M7 SLEEP 和 STOP 模式下，“xspi1_ssi_gated_clk”被启用。在 M7 SLEEP 模式下，“xspi1_gated_hclk”被启用。 注意：在启用此位之前，应先启用 M7XSPI1EN 位，否则此位无效。
28	M4XSPI1LPEN	XSPI1 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下，“xspi1_ssi_gated_clk”和“xspi1_gated_hclk”时钟被禁用。 1: 在 M4 SLEEP 和 STOP 模式下，“xspi1_ssi_gated_clk”被启用。在 M4 SLEEP 模式下，“xspi1_gated_hclk”被启用。 注意：在启用此位之前，应先启用 M4XSPI1EN 位，否则此位无效。
27	M7XSPI2EN	XSPI2 M7 分配和时钟使能。

位域	名称	描述
		由软件设置和清除。 0: XSPI2 未分配给 M7。“xspi2_ssi_gated_clk”和“xspi2_gated_hclk”在 M7 运行模式下被禁用。 1: XSPI2 分配给 M7。“xspi2_ssi_gated_clk”和“xspi2_gated_hclk”在 M7 运行模式下启用。
26	M4XSPI2EN	XSPI2 M4 分配和时钟使能。 由软件设置和清除。 0: XSPI2 未分配给 M4。“xspi2_ssi_gated_clk”和“xspi2_gated_hclk”在 M4 运行模式下被禁用。 1: XSPI2 分配给 M4。“xspi2_ssi_gated_clk”和“xspi2_gated_hclk”在 M4 运行模式下启用。
25	M7XSPI2LPEN	XSPI2 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下，“xspi2_ssi_gated_clk”和“xspi2_gated_hclk”时钟被禁用。 1: 在 M7 SLEEP 和 STOP 模式下启用了“xspi2_ssi_gated_clk”。在 M7 SLEEP 模式下启用了“xspi2_gated_hclk”。 注意：在启用此位之前，应先启用 M7XSPI2EN 位，否则此位无效。
24	M4XSPI2LPEN	XSPI2 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下，“xspi2_ssi_gated_clk”和“xspi2_gated_hclk”时钟被禁用。 1: 在 M4 SLEEP 和 STOP 模式下启用了“xspi2_ssi_gated_clk”。在 M4 SLEEP 模式下启用了“xspi2_gated_hclk”。 注意：在启用此位之前，应先启用 M4XSPI2EN 位，否则此位无效。
23	M7FEMCEN	FEMC M7 分配和时钟使能。 由软件设置和清除。 0: FEMC 未分配到 M7。“femc_m0_gated_clk”、“femc_m1_gated_clk”和“femc_gated_axi_clk”在 M7 运行模式下被禁用。 1: FEMC 分配到 M7。“femc_m0_gated_clk”、“femc_m1_gated_clk”和“femc_gated_axi_clk”在 M7 运行模式下启用。
22	M4FEMCEN	FEMC M4 分配和时钟使能。 由软件设置和清除。 0: FEMC 未分配给 M4。在 M4 运行模式下，“femc_m0_gated_clk”、“femc_m1_gated_clk”和“femc_gated_axi_clk”被禁用。 1: FEMC 分配给 M4。“femc_m0_gated_clk”、“femc_m1_gated_clk”和“femc_gated_axi_clk”在 M4 运行模式下启用。
21	M7FEMCLPEN	FEMC M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下，“femc_m0_gated_clk”、“femc_m1_gated_clk”和“femc_gated_axi_clk”时钟被禁用。 1: 在 M7 SLEEP 和 STOP 模式下，“femc_m0_gated_clk”和“femc_m1_gated_clk”被启用。“femc_gated_axi_clk”在 M7 SLEEP 模式下被启用。

位域	名称	描述
		注意：在启用此位之前，应先启用 M7FEMCEN 位，否则此位无效。
20	M4FEMCLPEN	FEMC M4 低功耗时钟使能。 由软件设置和清除。 0：在 M4 SLEEP 和 STOP 模式下，“femc_m0_gated_clk”、“femc_m1_gated_clk”和“femc_gated_axi_clk”时钟被禁用。 1：在 M4 SLEEP 和 STOP 模式下，“femc_m0_gated_clk”和“femc_m1_gated_clk”被启用。在 M4 SLEEP 模式下，“femc_gated_axi_clk”被启用。 注意：在启用此位之前，应先启用 M4FEMCEN 位，否则此位无效。
19	M7SDRAMEN	SDRAM M7 分配和时钟使能。 由软件设置和清除。 0：SDRAM 未分配给 M7。在 M7 运行模式下，“sdram_gated_mem_clk”、“sdram_gated_m_clk”和“sdram_gated_c_clk”被禁用。 1：SDRAM 分配给 M7。在 M7 运行模式下，“sdram_gated_mem_clk”、“sdram_gated_m_clk”和“sdram_gated_c_clk”已启用。
18	M4SDRAMEN	SDRAM M4 分配和时钟使能。 由软件设置和清除。 0：SDRAM 未分配给 M4。在 M4 运行模式下，“sdram_gated_mem_clk”、“sdram_gated_m_clk”和“sdram_gated_c_clk”被禁用。 1：SDRAM 分配给 M4。在 M4 运行模式下启用了“sdram_gated_mem_clk”、“sdram_gated_m_clk”和“sdram_gated_c_clk”。
17	M7SDRAMLPEN	SDRAM M7 低功耗时钟使能。 由软件设置和清除。 0：在 M7 SLEEP 和 STOP 模式下，“sdram_gated_mem_clk”、“sdram_gated_m_clk”和“sdram_gated_c_clk”时钟被禁用。 1：在 M7 SLEEP 和 STOP 模式下，“sdram_gated_mem_clk”被启用。在 M7 SLEEP 模式下，“sdram_gated_m_clk”和“sdram_gated_c_clk”被启用。 注意：在启用此位之前，应先启用 M7SDRAMEN 位，否则此位无效。
16	M4SDRAMLPEN	SDRAM M4 低功耗时钟使能。 由软件设置和清除。 0：在 M4 SLEEP 和 STOP 模式下，“sdram_gated_mem_clk”、“sdram_gated_m_clk”和“sdram_gated_c_clk”时钟被禁用。 1：在 M4 SLEEP 和 STOP 模式下，“sdram_gated_mem_clk”被启用。在 M4 SLEEP 模式下，“sdram_gated_m_clk”和“sdram_gated_c_clk”被启用。 注意：在启用此位之前，应先启用 M4SDRAMEN 位，否则此位无效。
15:4	保留	保留，必须保持复位值。
3	M7DSIULPSEN	DSI M7 分配和时钟使能。 由软件设置和清除。 0：DSI ULPS 未分配给 M7。“dsi_ulps_gated_clk”在 M7 运行模式下被禁用。 1：DSI ULPS 分配给 M7。“dsi_ulps_gated_clk”在 M7 运行模式下启用。
2	M4DSIULPSEN	DSI M4 分配和时钟使能。 由软件设置和清除。 0：DSI ULPS 未分配给 M4。“dsi_ulps_gated_clk”在 M4 运行模式下被禁用。 1：DSI ULPS 分配给 M4。“dsi_ulps_gated_clk”在 M4 运行模式下启用。

位域	名称	描述
1	M7DSIULPSLPEN	DSI M7 低功耗时钟使能。 由软件设置并清除。 0: 在 M7 SLEEP 和 STOP 模式下, “dsi_ulps_gated_clk”时钟被禁用。 1: 在 M7 SLEEP 和 STOP 模式下, “dsi_ulps_gated_clk”时钟被启用。 注意: 在启用此位之前, 应先启用 M7DSIULPSEN 位, 否则此位无效。
0	M4DSIULPSLPEN	DSI M4 低功耗时钟使能。 由软件设置并清除。 0: 在 M4 SLEEP 和 STOP 模式下, “dsi_ulps_gated_clk”时钟被禁用。 1: 在 M4 SLEEP 和 STOP 模式下, “dsi_ulps_gated_clk”时钟被启用。 注意: 在启用此位之前, 应先启用 M4DSIULPSEN 位, 否则此位无效。

#### 4.5.96 AXI 外设复位寄存器 1(RCC\_AXIRST1)

偏移地址: 0x0150

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			JPEGDRST	Reserved							JPEGERST	Reserved			DMAMUX2RST
			rw								rw				rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			MDMARST	Reserved	SDMMC1RST	SDHOST1RST	Reserved				ECCMIRST	Reserved		OTPCRST	
			rw		rw	rw					rw			rw	

位域	名称	描述
31:29	保留	保留, 必须保持复位值。
28	JPEGDRST	JPEG 解码器软复位 0: 清除复位 1: 复位 JPEG 解码器
27:21	保留	保留, 必须保持复位值。
20	JPEGERST	JPEG 编码器软复位 0: 清除复位 1: 复位 JPEG 编码器
19:17	保留	保留, 必须保持复位值。
16	DMAMUX2RST	DMA_MUX2 软复位 0: 清除复位 1: 复位 DMA_MUX2
15:13	保留	保留, 必须保持复位值。
12	MDMARST	MDMA 软复位 0: 清除复位

位域	名称	描述
		1: 复位 MDMA
11:10	保留	保留, 必须保持复位值。
9	SDMMC1RST	SDMMC1 配置软复位 0: 清除复位 1: 复位 SDMMC1
8	SDHOST1RST	SDHOST1 软复位 0: 清除复位 1: 复位 SDHOST1
7:5	保留	保留, 必须保持复位值。
4	ECCMON1RST	ECCMON1 软复位 0: 清除复位 1: 复位 ECCMON1
3:1	保留	保留, 必须保持复位值。
0	OTPCRST	OTPC 软复位 0: 清除复位 1: 复位 OTPC

#### 4.5.97 AXI 外设复位寄存器 2(RCC\_AXIRST2)

偏移地址: 0x0154

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		DSICFGRST	DSIRST	Reserved			LCDCRST	Reserved						DVP1RST	
		rw					rw							rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						DVP2RST	Reserved						WWDG1RST		
						rw							rw		

位域	名称	描述
31:30	保留	保留, 必须保持复位值。
29	DSICFGRST	DSI 配置软复位 0: 清除复位 1: 复位 DSI 配置
28	DSIRST	DSI 软复位 0: 清除复位 1: 复位 DSI
27:25	保留	保留, 必须保持复位值。
24	LCDCRST	LCDC 软复位

位域	名称	描述
		0: 清除复位 1: 复位 LCDC
23:17	保留	保留, 必须保持复位值。
16	DVP1RST	DVP1 软复位 0: 清除复位 1: 复位 DVP1
15:9	保留	保留, 必须保持复位值。
8	DVP2RST	DVP2 软复位 0: 清除复位 1: 复位 DVP2
7:1	保留	保留, 必须保持复位值。
0	WWDG1RST	WWDG1 软复位 0: 清除复位 1: 复位 WWDG1

#### 4.5.98 AXI 外设复位寄存器 3(RCC\_AXIRST3)

偏移地址: 0x0158

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															GPURST

rw

位域	名称	描述
31:1	保留	保留, 必须保持复位值。
0	GPURST	GPU 软复位 0: 清除复位 1: 复位 GPU

#### 4.5.99 AXI 外设复位寄存器 4(RCC\_AXIRST4)

偏移地址: 0x015c

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			XSPI1RST	Reserved			XSPI2RST	Reserved		FEMCCFGRST	FEMCRST	Reserved			SDRAMRST
			rw				rw			rw	rw				rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															

位域	名称	描述
31:29	保留	保留，必须保持复位值。
28	XSPI1RST	XSPI1 软复位 0: 清除复位 1: 复位 XSPI1
27:25	保留	保留，必须保持复位值。
24	XSPI2RST	XSPI2 软复位 0: 清除复位 1: 复位 XSPI2
23:22	保留	保留，必须保持复位值。
21	FEMCCFGRST	FEMC 配置软复位 0: 清除复位 1: 复位 FEMC 配置
20	FEMCRST	FEMC 软复位 0: 清除复位 1: 复位 FEMC
19:17	保留	保留，必须保持复位值。
16	SDRAMRST	SDRAM 软复位 0: 清除复位 1: 重置 SDRAM
15:0	保留	保留，必须保持复位值。

#### 4.5.100 时钟配置寄存器 2(RCC\_CFG2)

偏移地址: 0x0160

复位值: 0x55accccc

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	M4CAHIE N	Reserved	M4CAHIP CLKEN	Reserved	M4CAHD EN	Reserved	M4CAHD PCLKEN	M7MMUE N	M7MMUL PEN	M4MMUE N	M4MMUL PEN	M7SRAM BKPEN	M4SRAM BKPEN	M7SRAM BKLPEN	M4SRAM BKLPEN
		rw	rw		rw		rw		rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
M7SRAM 1EN	M4SRAM 1EN	M7SRAM 1LPEN	M4SRAM 1LPEN	M7SRAM 2EN	M4SRAM 2EN	M7SRAM 2LPEN	M4SRAM 2LPEN	M7SRAM 3EN	M4SRAM 3EN	M7SRAM 3LPEN	M4SRAM 3LPEN	M7SRAM 4EN	M4SRAM 4EN	M7SRAM 4LPEN	M4SRAM 4LPEN

rw rw rw rw rw rw rw rw rw rw rw rw rw rw rw rw

位域	名称	描述
31	保留	保留，必须保持复位值。
30	M4CAHIEN	M4 I Cache 时钟使能。 由软件设置和清除。 0: M4 I Cache 时钟“cah_i_cm4_gated_hclk”已禁用。 1: M4 I Cache 时钟“cah_i_cm4_gated_hclk”已启用。
29	保留	保留，必须保持复位值。
28	M4CAHIPCLKEN	M4 I Cache PCLKEN 控制。 由软件设置和清除。 0: 禁用 M4 I Cache PCLKEN 1: 启用 M4 I Cache PCLKEN
27	保留	保留，必须保持复位值。
26	M4CAHDEN	M4 D Cache 时钟使能。 由软件设置并清除。 0: M4 D Cache 时钟“cah_d_cm4_gated_hclk”已禁用。 1: M4 D Cache 时钟“cah_d_cm4_gated_hclk”已启用。
25	保留	保留，必须保持复位值。
24	M4CAHDPCLKEN	M4 D Cache PCLKEN 控制。 由软件设置并清除。 0: 禁用 M4 D Cache PCLKEN 1: 启用 M4 D Cache PCLKEN
23	M7MMUEN	MMU M7 分配和时钟使能。 由软件设置和清除。 0: MMU 未分配给 M7。MMU 时钟已禁用。 1: MMU 分配给 M7。MMU 时钟在 M7 运行模式下启用。
22	M7MMULPEN	MMU M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下，MMU 时钟被禁用。 1: 在 M7 休眠模式下启用了 MMU 时钟。 注意：在启用此位之前，应先启用 M7MMUEN 位，否则此位无效。
21	M4MMUEN	MMU M4 分配和时钟使能。 由软件设置和清除。 0: MMU 未分配给 M4。MMU 时钟已禁用。 1: MMU 分配给 M4。MMU 时钟在 M4 运行模式下启用。
20	M4MMULPEN	MMU M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 休眠和停止模式下，MMU 时钟被禁用。 1: 在 M4 休眠模式下启用了 MMU 时钟。 注意：在启用此位之前，应先启用 M4MMUEN 位，否则此位无效。
19	M7SRAMBKPEN	BKP SRAM M7 分配和时钟使能。



位域	名称	描述
		由软件设置和清除。 0: BKP SRAM 未分配给 M7。BKP SRAM 控制器时钟已禁用。 1: BKP SRAM 分配给 M7。BKP SRAM 控制器时钟在 M7 运行模式下启用。
18	M4SRAMBKPEN	BKP SRAM M4 分配和时钟使能。 由软件设置和清除。 0: BKP SRAM 未分配给 M4。BKP SRAM 控制器时钟已禁用。 1: BKP SRAM 分配给 M4。BKP SRAM 控制器时钟在 M4 运行模式下启用。
17	M7SRAMBKPLPEN	BKP SRAM M7 低功耗时钟使能。 由软件设置和清除。 0: BKP SRAM 控制器时钟在 M7 睡眠和停止模式下被禁用。 1: BKP SRAM 控制器时钟在 M7 SLEEP 模式下启用。 注意: 在启用此位之前, 应先启用 M7SRAMBKPEN 位, 否则此位无效。
16	M4SRAMBKPLPEN	BKP SRAM M4 低功耗时钟使能。 由软件设置和清除。 0: BKP SRAM 控制器时钟在 M4 睡眠和停止模式下被禁用。 1: BKP SRAM 控制器时钟在 M4 睡眠模式下启用。 注意: 在启用此位之前, 应先启用 M4SRAMBKPEN 位, 否则此位将不起作用。
15	M7SRAM1EN	SRAM1 M7 分配和时钟使能。 由软件设置和清除。 0: SRAM1 未分配给 M7。SRAM1 控制器时钟已禁用。 1: SRAM1 分配给 M7。SRAM1 控制器时钟在 M7 运行模式下启用。
14	M4SRAM1EN	SRAM1 M4 分配和时钟使能。 由软件设置和清除。 0: SRAM1 未分配给 M4。SRAM1 控制器时钟已禁用。 1: SRAM1 分配给 M4。SRAM1 控制器时钟在 M4 运行模式下启用。
13	M7SRAM1LPEN	SRAM1 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 休眠和停止模式下, SRAM1 控制器时钟被禁用。 1: 在 M7 SLEEP 模式下启用了 SRAM1 控制器时钟。 注意: 在启用此位之前, 应先启用 M7SRAM1EN 位, 否则此位无效。
12	M4SRAM1LPEN	SRAM1 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 休眠和停止模式下, SRAM1 控制器时钟被禁用。 1: 在 M4 SLEEP 模式下, SRAM1 控制器时钟已启用。 注意: 在启用此位之前, 应先启用 M4SRAM1EN 位, 否则此位无效。
11	M7SRAM2EN	SRAM2 M7 分配和时钟使能。 由软件设置和清除。 0: SRAM2 未分配给 M7。SRAM2 控制器时钟已禁用。 1: SRAM2 分配给 M7。SRAM2 控制器时钟在 M7 运行模式下启用。
10	M4SRAM2EN	SRAM2 M4 分配和时钟使能。 由软件设置和清除。 0: SRAM2 未分配给 M4。SRAM2 控制器时钟已禁用。

位域	名称	描述
		1: SRAM2 分配给 M4。SRAM2 控制器时钟在 M4 运行模式下启用。
9	M7SRAM2LPEN	SRAM2 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下, SRAM2 控制器时钟被禁用。 1: 在 M7 SLEEP 模式下, SRAM2 控制器时钟已启用。 注意: 在启用此位之前, 应先启用 M7SRAM2EN 位, 否则此位无效。
8	M4SRAM2LPEN	SRAM2 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下, SRAM2 控制器时钟被禁用。 1: SRAM2 控制器时钟在 M4 休眠模式下启用。 注意: 在启用此位之前, 应先启用 M4SRAM2EN 位, 否则此位无效。
7	M7SRAM3EN	SRAM3 M7 分配和时钟使能。 由软件设置和清除。 0: SRAM3 未分配给 M7。SRAM3 控制器时钟已禁用。 1: SRAM3 分配给 M7。SRAM3 控制器时钟在 M7 运行模式下启用。
6	M4SRAM3EN	SRAM3 M4 分配和时钟使能。 由软件设置和清除。 0: SRAM3 未分配给 M4。SRAM3 控制器时钟已禁用。 1: SRAM3 分配给 M4。SRAM3 控制器时钟在 M4 运行模式下启用。
5	M7SRAM3LPEN	SRAM3 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下, SRAM3 控制器时钟被禁用。 1: 在 M7 休眠模式下启用了 SRAM3 控制器时钟。 注意: 在启用此位之前, 应先启用 M7SRAM3EN 位, 否则此位无效。
4	M4SRAM3LPEN	SRAM3 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下, SRAM3 控制器时钟被禁用。 1: 在 M4 SLEEP 模式下, SRAM3 控制器时钟已启用。 注意: 在启用此位之前, 应先启用 M4SRAM3EN 位, 否则此位无效。
3	M7SRAM4EN	SRAM4 M7 分配和时钟使能。 由软件设置和清除。 0: SRAM4 未分配给 M7。SRAM4 控制器时钟已禁用。 1: SRAM4 分配给 M7。SRAM4 控制器时钟在 M7 运行模式下启用。
2	M4SRAM4EN	SRAM4 M4 分配和时钟使能。 由软件设置和清除。 0: SRAM4 未分配给 M4。SRAM4 控制器时钟已禁用。 1: SRAM4 分配给 M4。SRAM4 控制器时钟在 M4 运行模式下启用。
1	M7SRAM4LPEN	SRAM4 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下, SRAM4 控制器时钟被禁用。 1: SRAM4 控制器时钟在 M7 睡眠模式下启用。 注意: 在启用此位之前, 应先启用 M7SRAM4EN 位, 否则此位无效。

位域	名称	描述
0	M4SRAM4LPEN	SRAM4 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下, SRAM4 控制器时钟被禁用。 1: 在 M4 SLEEP 模式下启用了 SRAM4 控制器时钟。 注意: 在启用此位之前, 应先启用 M4SRAM4EN 位, 否则此位无效。

### 4.5.101 时钟配置寄存器 3(RCC\_CFG3)

偏移地址: 0x0164

复位值: 0x00000044

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MCO1SEL[3:0]				MCO1DIV[3:0]				MCO2SEL[3:0]				MCO2DIV[3:0]			
rw				rw				rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I2SSEL[1:0]		PERSW[1:0]		Reserved				M7STCLKDIV[3:0]				M4STCLKDIV[3:0]			
rw		rw						rw				rw			

位域	名称	描述
31:28	MCO1SEL[3:0]	MCO1 时钟选择寄存器。 1000: LSI 时钟被选为 MCO1 时钟。 1001: HSI 时钟被选择为 MCO1 时钟。 1010: MSI 时钟被选择为 MCO1 时钟。 1011: LSE 时钟被选择为 MCO1 时钟。 1100: HSE 时钟被选择为 MCO1 时钟。 1101: PLL3_B 时钟被选择为 MCO1 时钟。 其他值: 不允许设置
27:24	MCO1DIV[3:0]	MCO1 时钟预分频器值。 0000: 除以 1 0001: 除以 2 0010: 除以 4 0100: 除以 8 0111: 除以 16 1000: 除以 32 1001: 除以 64 1010: 除以 128 其他值: 不允许设置
23:20	MCO2SEL[3:0]	MCO2 时钟选择寄存器。 1000: sys_clk 被选择为 MCO2 时钟。

位域	名称	描述
		1001: PLL1_A 时钟被选择为 MCO2 时钟。 1010: PLL2_A 时钟被选择为 MCO2 时钟。 1011: PLL3_A 时钟被选择为 MCO2 时钟。 1100: SHRPLL 时钟被选择为 MCO2 时钟 1101: LSE 时钟被选择为 MCO2 时钟 其他值: 不允许设置
19:16	MCO2DIV[3:0]	MCO2 时钟预分频值。 0000: 除以 1 0001: 除以 2 0010: 除以 4 0100: 除以 8 0111: 除以 16 1000: 除以 32 1001: 除以 64 1010: 除以 128 其他值: 不允许设置
15:14	I2SSEL[1:0]	DSMUI2S_CKIN 时钟选择寄存器。 00: 选择了 I2S1_ckin 时钟 01: 选择了 I2S2_ckin 时钟 10: I2S3_ckin 时钟已被选择。 11: 选择了 I2S4_ckin 时钟。
13:12	PERSW[1:0]	外设时钟选择寄存器。 00: HSI 时钟被选择为外设时钟。 10: MSI 时钟被选择为外设时钟。 11: HSE 时钟被选择为外设时钟。
11:8	保留	保留, 必须保持复位值。
7:4	M7STCLKDIV[3:0]	M7 systick 时钟预分频器值来自 fclk。 0000: 除以 1 0001: 除以 2 0010: 除以 4 0100: 除以 8 0111: 除以 16 1000: 除以 32 1001: 除以 64 1010: 除以 128 1011: 除以 256 1100: 除以 512 其他值: 不允许设置 <i>注意: 当 systick 时钟源为 STCLK 时, 可以通过此位域配置分频器。</i>
3:0	M4STCLKDIV[3:0]	M4 systick 时钟预分频值来自 fclk。 0001: 除以 2 0010: 除以 4 0100: 除以 8

位域	名称	描述
		0111: 除以 16 1000: 除以 32 1001: 除以 64 1010: 除以 128 1011: 除以 256 1100: 除以 512 其他值: 不允许设置 注意: 当 systick 时钟源为 STCLK 时, 可以通过此位域配置分频器。

#### 4.5.102 时钟配置寄存器 4(RCC\_CFG4)

偏移地址: 0x0168

复位值: 0xffffdfe

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AHB1CLKEN	AHB2CLKEN	AHB3CLKEN	Reserved	AHB5CLKEN	AHB6CLKEN	Reserved	Reserved	AXICLKEN	APB1CLKEN	APB2CLKEN	APB5CLKEN	APB6CLKEN	AHB9CLKEN	AXIMM7GCLKEN	AXIMM4GCLKEN
rw	rw	rw		rw	rw			rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HSICGEN	HSIKERCGEN	HSECGEN	HSEKERCGEN	MSICGEN	MSIKERCGEN	Reserved	AXIMM7CLKEN	AXIGCLKEN	AXIMM4CLKEN	DCMUM7CLKEN	DCMUM4CLKEN	AHBM1CLKEN	AHBM2CLKEN	AHBM3CLKEN	DCMURST
rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31	AHB1CLKEN	AHB1 总线时钟使能。 由软件设置和清除。 0: 禁用 AHB1 总线时钟。 1: 启用 AHB1 总线时钟。
30	AHB2CLKEN	AHB2 总线时钟使能。 由软件设置和清除。 0: 禁用 AHB2 总线时钟。 1: 启用 AHB2 总线时钟。
29	AHB3CLKEN	AHB3 总线时钟使能。 由软件设置和清除。 0: 禁用 AHB3 总线时钟。 1: 启用 AHB3 总线时钟。
28	保留	保留, 必须保持复位值。
27	AHB5CLKEN	AHB5 总线时钟使能。 由软件设置和清除。 0: 禁用 AHB5 总线时钟。 1: 启用 AHB5 总线时钟。

位域	名称	描述
26	AHB6CLKEN	AHB6 总线时钟使能。 由软件设置和清除。 0: 禁用 AHB6 总线时钟。 1: 启用 AHB6 总线时钟。
25:24	保留	保留, 必须保持复位值。
23	AXICLKEN	AHB8 总线时钟使能。 由软件设置并清除。 0: 禁用 AXI 总线时钟。 1: 启用 AXI 总线时钟。
22	APB1CLKEN	APB1 总线时钟使能。 由软件设置和清除。 0: 禁用 APB1 总线时钟。 1: 启用 APB1 总线时钟。
21	APB2CLKEN	APB2 总线时钟使能。 由软件设置和清除。 0: 禁用 APB2 总线时钟。 1: 启用 APB2 总线时钟。
20	APB5CLKEN	APB5 总线时钟使能。 由软件设置和清除。 0: 禁用 APB5 总线时钟。 1: 启用 APB5 总线时钟。
19	APB6CLKEN	APB6 总线时钟使能。 由软件设置和清除。 0: 禁用 APB6 总线时钟。 1: 启用 APB6 总线时钟。
18	AHB9CLKEN	AHB9 总线时钟使能。 由软件设置和清除。 0: 禁用 AHB9 总线时钟。 1: 启用 AHB9 总线时钟。
17	AXIMM7GCLKEN	AXI 总线矩阵 M7 GPV 时钟使能。 由软件设置和清除。 0: 禁用时钟。 1: 启用时钟。
16	AXIMM4GCLKEN	AXI 总线矩阵 M4 GPV 时钟使能。 由软件设置并清除。 0: 禁用时钟。 1: 启用时钟。
15	HSICGEN	HSI 时钟使能。 由软件设置并清除。 0: 禁用时钟。 1: 启用时钟。
14	HSIKERCGEN	HSI 内核时钟使能。

位域	名称	描述
		由软件设置并清除。 0: 禁用时钟。 1: 启用时钟。
13	HSECGEN	HSE 时钟使能。 由软件设置并清除。 0: 禁用时钟。 1: 启用时钟。
12	HSEKERCGEN	HSE 内核时钟使能。 由软件设置并清除。 0: 禁用时钟。 1: 启用时钟。
11	MSICGEN	MSI 时钟使能。 由软件设置并清除。 0: 禁用时钟。 1: 启用时钟。
10	MSIKERCGEN	MSI 内核时钟使能。 由软件设置并清除。 0: 禁用时钟。 1: 启用时钟。
9	保留	保留，必须保持复位值。
8	AXIMM7CLKEN	AXI 总线矩阵 M7 子系统时钟使能。 由软件设置和清除 0: 禁用时钟。 1: 启用时钟。
7	AXIGCLKEN	AXI 总线矩阵 GPV 时钟使能。 由软件设置并清除。 0: 禁用时钟。 1: 启用时钟。
6	AXIMM4CLKEN	AXI 总线矩阵 M4 子系统时钟使能。 由软件设置和清除 0: 禁用时钟。 1: 启用时钟。
5	DCMUM7CLKEN	DCMU M7 时钟使能。 由软件设置和清除 0: 禁用时钟。 1: 启用时钟。
4	DCMUM4CLKEN	DCMU M4 时钟使能。 由软件设置和清除 0: 禁用时钟。 1: 启用时钟。
3	AHBM1CLKEN	AHB 总线矩阵 1 时钟使能。 由软件设置和清除

位域	名称	描述
		0: 禁用时钟。 1: 启用时钟。
2	AHBM2CLKEN	AHB 总线矩阵 2 时钟使能。 由软件设置和清除 0: 禁用时钟。 1: 启用时钟。
1	AHBM3CLKEN	AHB 总线矩阵 3 时钟使能。 由软件设置和清除 0: 禁用时钟。 1: 启用时钟。
0	DCMURST	DCMU 软复位 0: 取消软复位。 1: 使能软复位。

#### 4.5.103 时钟配置寄存器 5(RCC\_CFG5)

偏移地址: 0x0170

复位值: 0x02c10000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		RTCHSEDIV[5:0]						M7SRAM5EN	M4SRAM5EN	M7SRAM5LPEN	M4SRAM5LPEN	Reserved			DCDCLKEN
rw						rw		rw	rw	rw	rw	rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		TRNGEN	TRNGSEL	TRNGDIV[3:0]				DSIHSEDIV[3:0]			RTCHSIDIV[3:0]				
		rw	rw	rw				rw			rw				

位域	名称	描述
31:30	保留	
29:24	RTCHSEDIV[5:0]	RTC HSE 时钟预分频器值。 000001: 除以 1 (旁路) 000010: 除以 2 000011: 除以 3 000100: 除以 4 000101: 除以 5 000110: 除以 6 000111: 除以 7 001000: 除以 8 001001: 除以 9 001010: 除以 10



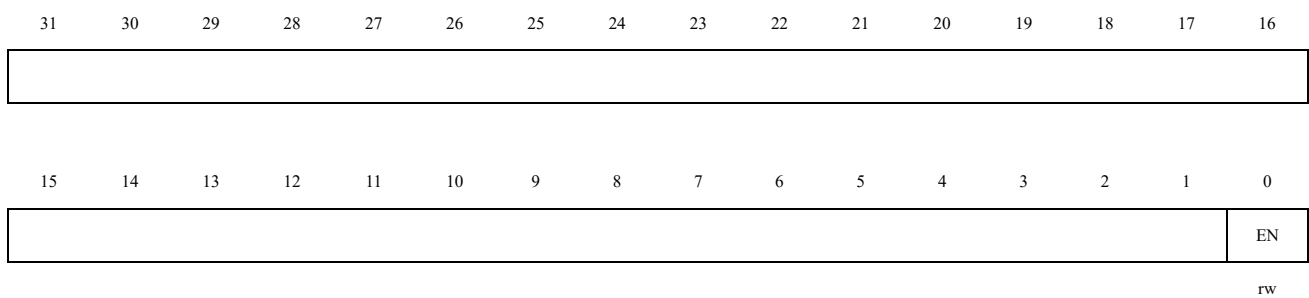
位域	名称	描述
		... 111110: 除以 62 111111: 除以 63
23	M7SRAM5EN	SRAM5 M7 分配和时钟使能。 由软件设置和清除。 0: SRAM5 未分配给 M7。SRAM5 控制器时钟已禁用。 1: SRAM5 分配给 M7。SRAM5 控制器时钟在 M7 运行模式下启用。
22	M4SRAM5EN	SRAM5 M4 分配和时钟使能。 由软件设置和清除。 0: SRAM5 未分配给 M4。SRAM5 控制器时钟已禁用。 1: SRAM5 分配给 M4。SRAM5 控制器时钟在 M4 运行模式下启用。
21	M7SRAM5LPEN	SRAM5 M7 低功耗时钟使能。 由软件设置和清除。 0: 在 M7 SLEEP 和 STOP 模式下, SRAM5 控制器时钟被禁用。 1: 在 M7 睡眠模式下启用了 SRAM5 控制器时钟。 注意: 在启用此位之前, 应先启用 M7SRAM5EN 位, 否则此位无效。
20	M4SRAM5LPEN	SRAM5 M4 低功耗时钟使能。 由软件设置和清除。 0: 在 M4 SLEEP 和 STOP 模式下, SRAM5 控制器时钟被禁用。 1: 在 M4 SLEEP 模式下, SRAM5 控制器时钟已启用。 注意: 在启用此位之前, 应先启用 M4SRAM5EN 位, 否则此位无效。
19:17	保留	保留, 必须保持复位值。
16	DCDCLKEN	双核调试时钟使能寄存器。 0: 禁用双核调试时钟。 1: 启用双核调试时钟。
15:14	保留	保留, 必须保持复位值。
13	TRNGEN	TRNG 时钟使能寄存器。 0: 禁用 TRNG 时钟。 1: 启用 TRNG 时钟。
12	TRNGSEL	TRNG 时钟选择寄存器。 0: 分频系统总线时钟被选择为 TRNG 时钟。 1: HSI 时钟被选择为 TRNG 时钟。
11:8	TRNGDIV[3:0]	TRNG 系统时钟预分频器值。 0000: 除以 1 0001: 除以 2 0010: 除以 4 0100: 除以 8 0111: 除以 16 1000: 除以 32 1001: 除以 64 1010: 除以 128 1011: 除以 256

位域	名称	描述
		1100: 除以 512 其他值: 不允许设置
7:4	DSIHSEDIV[3:0]	DSI HSE 时钟预分频器值。 0000: 除以 1 0001: 除以 2 其他值: 不允许设置
3:0	RTCHSIDIV[3:0]	RTC HSI 时钟预分频器值。 0000: 除以 1 0001: 除以 2 0010: 除以 4 0100: 除以 8 0111: 除以 16 1000: 除以 32 1001: 除以 64 1010: 除以 128 1011: 除以 256 1100: 除以 512 其他值: 不允许设置

#### 4.5.104 M4 复位释放寄存器(RCC\_M4RSTREL)

偏移地址: 0x0174

复位值: 0x00000000

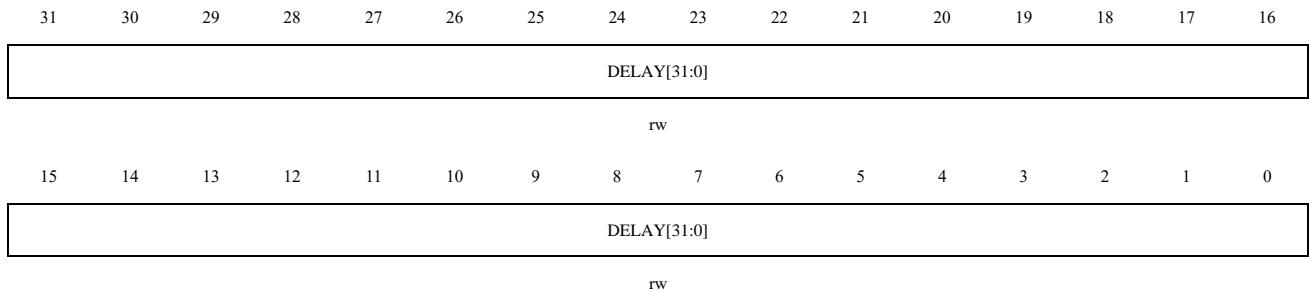


位域	名称	描述
31:1	保留	保留, 必须保持复位值。
0	EN	CM4 复位释放 0: CM4 处于复位状态。 1: 释放 CM4 复位。

### 4.5.105 LSE 就绪延迟(RCC\_LSERDDL)

偏移地址：0x0198

复位值：0x00000fff

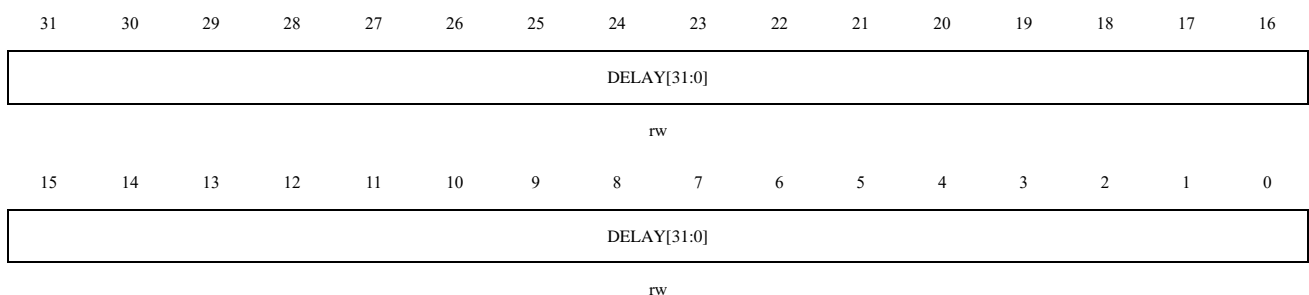


位域	名称	描述
31:0	DELAY[31:0]	LSE 时钟就绪信号的计数器延迟。 在 LSE 时钟频率为 32.768kHz 且默认延迟值为 32'h00000fff 的情况下，LSE 时钟就绪信号被延迟了 125ms。

### 4.5.106 MSI 就绪延迟(RCC\_MSIRDDL)

偏移地址：0x019c

复位值：0x0000000f

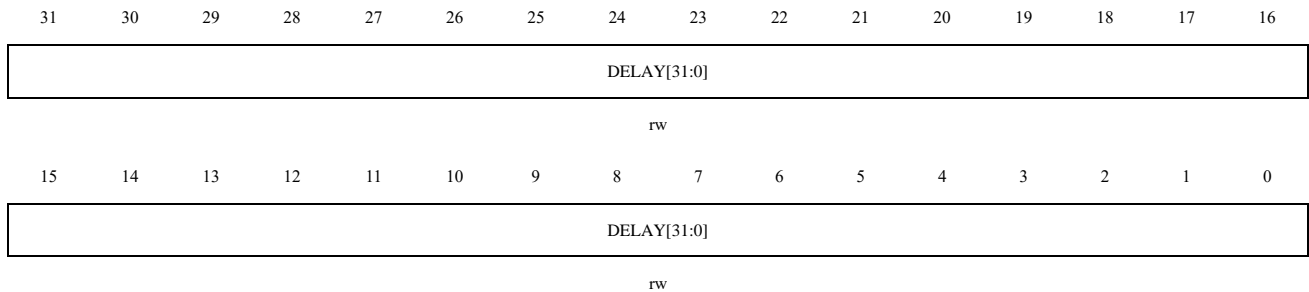


位域	名称	描述
31:0	DELAY[31:0]	MSI 时钟就绪信号的计数器延迟。 在 MSI 时钟频率为 16MHz 且默认延迟值为 32'h0000000f 的情况下，MSI 时钟就绪信号被延迟了 1us。

### 4.5.107 HSE 准备延迟(RCC\_HSERDDL)

偏移地址: 0x01a0

复位值: 0x00023280

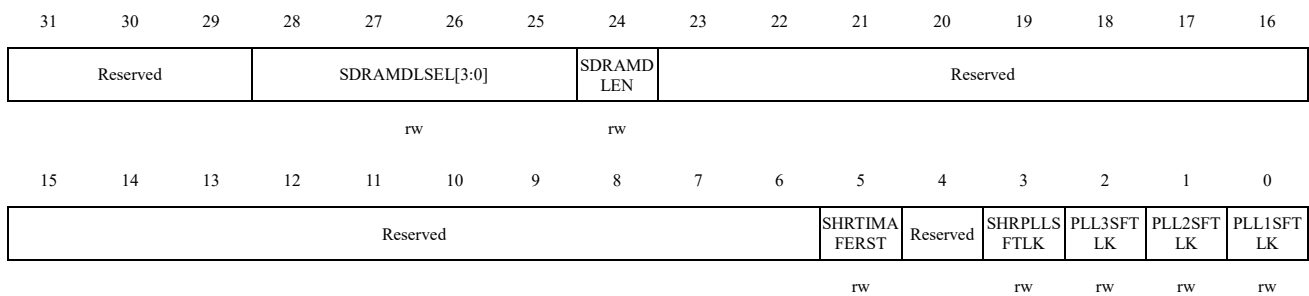


位域	名称	描述
31:0	DELAY[31:0]	HSE 时钟就绪信号的计数器延迟。 在 HSE 时钟频率为 48MHz 且默认延迟值为 32'h00023280 的情况下，HSE 时钟就绪信号被延迟了 3ms。

### 4.5.108 PLL 软件锁(RCC\_PLLSFTLK)

偏移地址: 0x01a4

复位值: 0x00000020



位域	名称	描述
31:29	保留	保留，必须保持复位值。
28:25	SDRAMDLSEL[3:0]	SDRAM 采样时钟延迟选择。 0000: 将 SDRAM 时钟延迟增加 0.2ns 0001: 将 SDRAM 时钟延迟增加 0.4ns 0010: 将 SDRAM 时钟延迟增加 0.6ns 0011: 将 SDRAM 时钟延迟增加 0.8ns

位域	名称	描述
		0100: 将 SDRAM 时钟延迟增加 1.0ns 0101: 将 SDRAM 时钟延迟增加 1.2ns 0110: 将 SDRAM 时钟延迟增加 1.4ns 0111: 将 SDRAM 时钟延迟增加 1.6ns 1000: 将 SDRAM 时钟延迟增加 1.8ns 1001: 将 SDRAM 时钟延迟增加 2.0ns 1010: 将 SDRAM 时钟延迟增加 2.2ns 1011: 将 SDRAM 时钟延迟增加 2.4ns 1100: 将 SDRAM 时钟延迟增加 2.6ns 1101: 将 SDRAM 时钟延迟增加 2.8ns 1110: 将 SDRAM 时钟延迟增加 3.0ns 1111: 将 SDRAM 时钟延迟增加 3.2ns
24	SDRAMDLEN	SDRAM 延迟启用。 0: 旁路 SDRAM 时钟延迟。 1: 启用 SDRAM 时钟延迟。
23:6	保留	保留, 必须保持复位值。
5	SHRTIMAFERST	软复位寄存器以对 SHRTIM AFE 断言 POR 复位。 0: 清除 POR 复位。 1: 使能 POR 复位。
4	保留	保留, 必须保持复位值。
3	SHRPLLSFTLK	SHRPLL 软件锁。 如果硬件 PLL 锁定未能被断言, 则启用此位。 0: 软件 PLL 锁定未启用。 1: 软件 PLL 锁定已启用。
2	PLL3SFTLK	PLL3 软件锁定。 如果硬件 PLL 锁定未能被断言, 则启用此位。 0: 软件 PLL 锁定未启用。 1: 软件 PLL 锁定已启用。
1	PLL2SFTLK	PLL2 软件锁。 如果硬件 PLL 锁定未能被断言, 则启用此位。 0: 软件 PLL 锁定未启用。 1: 软件 PLL 锁定已启用。
0	PLL1SFTLK	PLL1 软件锁。 如果硬件 PLL 锁定未能被断言, 则启用此位。 0: 软件 PLL 锁定未启用。 1: 软件 PLL 锁定已启用。

#### 4.5.109 HSE 偏移检测寄存器(RCC\_HSEOS)

偏移地址: 0x01c8

复位值: 0x29400300

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
HSEMAXPDTHR[7:0]								HSEMINNDTHR[7:0]							
rw								rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HSEOSTHR[7:0]							Reserved	HSEMAXPDF	HSEMINNDF	HSEOSF	Reserved	HSEMAXPDEN	HSEMINNDEN	HSEOSEN	
rw								rc_w1	rc_w1	rc_w1		rw	rw	rw	

位域	名称	描述
31:24	HSEMAXPDTHR[7:0]	检测 HSE 时钟在最大频率下正偏差的阈值。 该值表示当 HSE 时钟频率为 50MHz 时, (HSE/64)时钟半周期内的 HSI 时钟计数数目。
23:16	HSEMINNDTHR[7:0]	检测 HSE 时钟在最低频率下负偏差的阈值。 该值表示当 HSE 时钟频率为 4MHz 时, (HSE/8)时钟半周期内的 HSI 时钟计数数目。
15:8	HSEOSTHR[7:0]	检测 HSE 时钟频率偏移超过 5%的阈值。 该值表示当 HSE 频率偏移 5%时, HSI 时钟计数在 HSE/128 时钟半周期内的偏移量。 该值因 HSE 频率而异, 默认值为 HSE = 48MHz。 对于其他 HSE 频率, 软件应设置适当的值。 4MHz -> 8'h20 5MHz -> 8'h1A 6MHz -> 8'h16 7MHz -> 8'h12 8MHz -> 8'h10 9MHz -> 8'h0E 10MHz -> 8'h0D 11MHz -> 8'h0C 12MHz -> 8'h0B 13MHz -> 8'h0A 14~15MHz -> 8'h09 16~17MHz -> 8'h08 18~19MHz -> 8'h07 20~24MHz -> 8'h06 25~30MHz -> 8'h05 31~39MHz -> 8'h04 40~50MHz -> 8'h03
7	保留	保留, 必须保持复位值。
6	HSEMAXPDF	状态标志用于指示在最大频率下 HSE 时钟检测到正偏差。此标志表明 HSE 频率大于 50MHz。 此位由硬件设置, 并通过软件写入 1 来清除。 0: HSE 时钟频率小于 50MHz。

位域	名称	描述
		1 : HSE 时钟频率大于 50MHz。
5	HSEMINNDF	状态标志用于指示在最低频率下检测到 HSE 时钟的负偏差。此标志表明 HSE 频率小于 4MHz。 此位由硬件设置，并通过软件写入 1 清除。 0: HSE 时钟频率不小于 4MHz。 1: HSE 时钟频率小于 4MHz。
4	HSEOSF	状态标志用于指示 HSE 时钟频率偏移大于或等于 5%。 此位由硬件设置，并通过软件写入 1 清除。 0: HSE 时钟频率偏移不大于 5%。 1: HSE 时钟频率偏移大于或等于 5%。
3	保留	保留，必须保持复位值。
2	HSEMAXPDEN	控制位用于启用在最大频率下检测 HSE 时钟正偏差。 此位由软件设置和清除。 0: 禁用。 1: 启用。
1	HSEMINNDEN	控制位用于启用在最低频率下检测 HSE 时钟的负偏差。 此位由软件设置和清除。 0: 禁用。 1: 启用。
0	HSEOSEN	控制位用于启用 HSE 时钟中的频率偏移检测。 此位由软件设置和清除。 0: 禁用。 1: 启用。

#### 4.5.110 HSE 校准寄存器(RCC\_HSECAL)

偏移地址: 0x01d0

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved													HSECALCNTEN	HSECALCNTF	
													rw	r	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HSECALCNT[15:0]															
r															

位域	名称	描述
31:18	保留	保留，必须保持复位值。
17	HSECALCNTEN	HSE 校准计数启用。

位域	名称	描述
		0: 启用校准计数。 1: 禁用校准计数。
16	HSECALCNTF	HSE 校准计数状态。 0: HSE 校准计数未准备好。 1: HSE 校准计数已准备好。
15:0	HSECALCNT[15:0]	HSE/128 时钟半周期内的 HSI 时钟计数数量。

#### 4.5.111 LSE 偏移检测寄存器(RCC\_LSEOS)

偏移地址: 0x01cc

复位值: 0x00000005

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved						LSEALCNTEN	LSEALCNTF	LSEALCNT[7:0]							
						rw	r	r							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						LSEOSF	LSEOSEN	LSEOSTHR[7:0]							
						r	rw	rw							

位域	名称	描述
31:26	保留	保留, 必须保持复位值。
25	LSEALCNTEN	LSE 校准计数启用。 0: 启用校准计数。 1: 禁用校准计数。
24	LSEALCNTF	LSE 校准计数状态。 0: LSE 校准计数未准备好。 1: LSE 校准计数已准备好。
23:16	LSEALCNT[7:0]	LSE/128 时钟半周期内的 LSI 时钟计数数量。
15:10	保留	保留, 必须保持复位值。
9	LSEOSF	状态标志用于指示 LSE 时钟频率偏移超过 10%。 该标志表明 LSE 时钟频率存在超过 10%的偏移。 0: LSE 时钟频率偏移不大于 10%。 1: LSE 时钟频率偏差大于 10%。
8	LSEOSEN	控制位以启用 LSE 时钟中的频率偏移检测。 此位由软件设置和清除。 0: 禁用。 1: 启用。
7:0	LSEOSTHR[7:0]	检测 LSE 时钟频率偏移超过 10%的阈值。 该值表示当 LSE 频率偏移 10%时, LSE 时钟半周期内的偏移 LSI 时钟计数。



### 4.5.112 PLL 故障检测寄存器(RCC\_PLLFD)

偏移地址：0x01d8

复位值：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				SHRPLLGF	PLL3GF	PLL2GF	PLL1GF	SHRPLLFF	PLL3FF	PLL2FF	PLL1FF	SHRPLLFFEN	PLL3FEN	PLL2FEN	PLL1FEN
				r	r	r	r	r	r	r	r	rw	rw	rw	rw

位域	名称	描述
31:12	保留	保留，必须保持复位值。
11	SHRPLLGF	该位指示 SHRPLL 时钟门的状态。 0：时钟门已关闭。 1：时钟门已开启。
10	PLL3GF	该位指示 PLL3 时钟门的状态。 0：时钟门已关闭。 1：时钟门已开启。
9	PLL2GF	此位指示 PLL2 时钟门的状态。 0：时钟门已关闭。 1：时钟门已开启。
8	PLL1GF	此位指示 PLL1 时钟门的状态。 0：时钟门已关闭。 1：时钟门已开启。
7	SHRPLLFF	此位指示 SHRPLL 故障状态信号的状态。 0：PLL 故障状态未发生。 1：PLL 故障状态已发生。
6	PLL3FF	该位指示 PLL3 故障状态信号的状态。 0：PLL 故障状态未发生。 1：PLL 故障状态已发生。
5	PLL2FF	此位指示 PLL2 故障状态信号的状态。 0：PLL 故障状态未发生。 1：PLL 故障状态已发生。
4	PLL1FF	该位指示 PLL1 故障状态信号的状态。 0：PLL 故障状态未发生。 1：PLL 故障状态已发生。
3	SHRPLLFFEN	控制寄存器以启用 SHRPLL 锁定失败检测逻辑。 0：禁用 SHRPLL 锁定失败检测逻辑。

位域	名称	描述
		1: 启用 SHRPLL 锁定失败检测逻辑。
2	PLL3FEN	控制寄存器以启用 PLL3 锁定失败检测逻辑。 0: 禁用 PLL3 锁定失败检测逻辑。 1: 启用 pll3 锁定失败检测逻辑。
1	PLL2FEN	控制寄存器以启用 PLL2 锁定失败检测逻辑。 0: 禁用 PLL2 锁定失败检测逻辑。 1: 启用 PLL2 锁定失败检测逻辑。
0	PLL1FEN	控制寄存器以启用 PLL1 锁定失败检测逻辑。 0: 禁用 PLL1 锁定失败检测逻辑。 1: 启用 PLL1 锁定失败检测逻辑。

## 5 模块互联

### 5.1 外设互联

#### 5.1.1 介绍

本章介绍了不同外设之间的互连映射。这种映射支持外设间的直接通信与同步,从而节省 CPU 资源和功耗。此外,它还能避免软件干预,使某些应用程序获得更可预测的延迟。

#### 5.1.2 外设映射

##### 5.1.2.1 高级/通用定时器

表 5-1 定时器内部触发输入 (第一部分)

信号	ATIM1	ATIM2	ATIM3	ATIM4	GTIMA1	GTIMA2	GTIMA3
itr0	-	ATIM1_TRGO	ATIM1_TRGO	ATIM1_TRGO	ATIM1_TRGO	ATIM1_TRGO	ATIM1_TRGO
itr1	GTIMA1_TRGO	GTIMA1_TRGO	GTIMA1_TRGO	GTIMA1_TRGO	-	GTIMA1_TRGO	GTIMA1_TRGO
itr2	GTIMA2_TRGO	GTIMA2_TRGO	GTIMA2_TRGO	GTIMA2_TRGO	GTIMA2_TRGO	-	GTIMA2_TRGO
itr3	GTIMA3_TRGO	GTIMA3_TRGO	GTIMA3_TRGO	GTIMA3_TRGO	GTIMA3_TRGO	GTIMA3_TRGO	-
itr4	GTIMA4_TRGO	GTIMA4_TRGO	GTIMA4_TRGO	GTIMA4_TRGO	GTIMA4_TRGO	GTIMA4_TRGO	GTIMA4_TRGO
itr5	ATIM2_TRGO	-	ATIM2_TRGO	ATIM2_TRGO	ATIM2_TRGO	ATIM2_TRGO	ATIM2_TRGO
itr6	GTIMA5_TRGO	GTIMA5_TRGO	GTIMA5_TRGO	GTIMA5_TRGO	GTIMA5_TRGO	GTIMA5_TRGO	GTIMA5_TRGO
itr7	ATIM3_TRGO	ATIM3_TRGO	-	ATIM3_TRGO	ATIM3_TRGO	ATIM3_TRGO	ATIM3_TRGO
itr8	GTIMA6_TRGO	GTIMA6_TRGO	GTIMA6_TRGO	GTIMA6_TRGO	GTIMA6_TRGO	GTIMA6_TRGO	GTIMA6_TRGO
itr9	GTIMA7_TRGO	GTIMA7_TRGO	GTIMA7_TRGO	GTIMA7_TRGO	GTIMA7_TRGO	GTIMA7_TRGO	GTIMA7_TRGO
itr10	ATIM4_TRGO	ATIM4_TRGO	ATIM4_TRGO	-	ATIM4_TRGO	ATIM4_TRGO	ATIM4_TRGO
itr11	GTIMB1_TRGO	GTIMB1_TRGO	GTIMB1_TRGO	GTIMB1_TRGO	GTIMB1_TRGO	GTIMB1_TRGO	GTIMB1_TRGO
itr12	GTIMB2_TRGO	GTIMB2_TRGO	GTIMB2_TRGO	GTIMB2_TRGO	GTIMB2_TRGO	GTIMB2_TRGO	GTIMB2_TRGO
itr13	GTIMB3_TRGO	GTIMB3_TRGO	GTIMB3_TRGO	GTIMB3_TRGO	GTIMB3_TRGO	GTIMB3_TRGO	GTIMB3_TRGO
itr14	SHRTIM1_SYNC2	SHRTIM1_SYNC2	SHRTIM1_SYNC2	SHRTIM1_SYNC2	SHRTIM1_SYNC2	SHRTIM1_SYNC2	SHRTIM1_SYNC2
itr15	SHRTIM2_SYNC2	SHRTIM2_SYNC2	SHRTIM2_SYNC2	SHRTIM2_SYNC2	ETH2_PPS	ETH2_PPS	-

表 5-2 定时器内部触发输入 (第二部分)

信号	GTIMA4	GTIMA5	GTIMA6	GTIMA7	GTIMB1	GTIMB2	GTIMB3
itr0	ATIM1_TRGO	ATIM1_TRGO	ATIM1_TRGO	ATIM1_TRGO	ATIM1_TRGO	ATIM1_TRGO	ATIM1_TRGO
itr1	GTIMA1_TRGO	GTIMA1_TRGO	GTIMA1_TRGO	GTIMA1_TRGO	GTIMA1_TRGO	GTIMA1_TRGO	GTIMA1_TRGO
itr2	GTIMA2_TRGO	GTIMA2_TRGO	GTIMA2_TRGO	GTIMA2_TRGO	GTIMA2_TRGO	GTIMA2_TRGO	GTIMA2_TRGO
itr3	GTIMA3_TRGO	GTIMA3_TRGO	GTIMA3_TRGO	GTIMA3_TRGO	GTIMA3_TRGO	GTIMA3_TRGO	GTIMA3_TRGO
itr4	FDCAN1_SOC	GTIMA4_TRGO	GTIMA4_TRGO	GTIMA4_TRGO	GTIMA4_TRGO	GTIMA4_TRGO	GTIMA4_TRGO
itr5	ATIM2_TRGO	ATIM2_TRGO	ATIM2_TRGO	ATIM2_TRGO	ATIM2_TRGO	ATIM2_TRGO	ATIM2_TRGO
itr6	GTIMA5_TRGO	FDCAN2_SOC	GTIMA5_TRGO	GTIMA5_TRGO	GTIMA5_TRGO	GTIMA5_TRGO	GTIMA5_TRGO
itr7	ATIM3_TRGO	ATIM3_TRGO	ATIM3_TRGO	ATIM3_TRGO	ATIM3_TRGO	ATIM3_TRGO	ATIM3_TRGO

<b>itr8</b>	GTIMA6_TRGO	GTIMA6_TRGO	FDCAN3_SOC	GTIMA6_TRGO	GTIMA6_TRGO	GTIMA6_TRGO	GTIMA6_TRGO
<b>itr9</b>	GTIMA7_TRGO	GTIMA7_TRGO	GTIMA7_TRGO	FDCAN4_SOC	GTIMA7_TRGO	GTIMA7_TRGO	GTIMA7_TRGO
<b>itr10</b>	ATIM4_TRGO	ATIM4_TRGO	ATIM4_TRGO	ATIM4_TRGO	ATIM4_TRGO	ATIM4_TRGO	ATIM4_TRGO
<b>itr11</b>	GTIMB1_TRGO	GTIMB1_TRGO	GTIMB1_TRGO	GTIMB1_TRGO	-	GTIMB1_TRGO	GTIMB1_TRGO
<b>itr12</b>	GTIMB2_TRGO	GTIMB2_TRGO	GTIMB2_TRGO	GTIMB2_TRGO	GTIMB2_TRGO	-	GTIMB2_TRGO
<b>itr13</b>	GTIMB3_TRGO	GTIMB3_TRGO	GTIMB3_TRGO	GTIMB3_TRGO	GTIMB3_TRGO	GTIMB3_TRGO	-
<b>itr14</b>	USB1_SOF	USB1_SOF	SHRTIM1_SYNC2	SHRTIM1_SYNC2	SHRTIM1_SYNC2	SHRTIM1_SYNC2	SHRTIM1_SYNC2
<b>itr15</b>	USB2_SOF	USB2_SOF	SHRTIM2_SYNC2	SHRTIM2_SYNC2	ETH1_PPS	ETH1_PPS	-

**表 5-3 定时器外部部触发输入（第一部分）**

信号	ATIM1	ATIM2	ATIM3	ATIM4	GTIMA1	GTIMA2	GTIMA3
<b>etr0</b>	ATIM1_ETR	ATIM2_ETR	ATIM3_ETR	ATIM4_ETR	GTIMA1_ETR	GTIMA2_ETR	GTIMA3_ETR
<b>etr1</b>	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT
<b>etr2</b>	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT
<b>etr3</b>	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT
<b>etr4</b>	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT
<b>etr5</b>	ADC1_AWD1	ADC1_AWD1	ADC1_AWD1	ADC1_AWD1	ADC1_AWD1	ADC1_AWD1	ADC1_AWD1
<b>etr6</b>	ADC1_AWD2	ADC1_AWD2	ADC1_AWD2	ADC1_AWD2	ADC1_AWD2	ADC1_AWD2	ADC1_AWD2
<b>etr7</b>	ADC1_AWD3	ADC1_AWD3	ADC1_AWD3	ADC1_AWD3	GTIMA2_ETR	GTIMA1_ETR	GTIMA2_ETR
<b>etr8</b>	ADC2_AWD1	LSE_CSS_OUT	ADC2_AWD1	ADC2_AWD1	ADC2_AWD1	ADC2_AWD1	ADC2_AWD1
<b>etr9</b>	ADC2_AWD2	ADC2_AWD2	ADC2_AWD2	ADC2_AWD2	ADC2_AWD2	ADC2_AWD2	ADC2_AWD2
<b>etr10</b>	ADC2_AWD3	ADC2_AWD3	ADC2_AWD3	ADC2_AWD3	GTIMB1_ETR	GTIMA3_ETR	GTIMA4_ETR
<b>etr11</b>	ADC3_AWD1	ADC3_AWD1	ADC3_AWD1	ADC3_AWD1	ADC3_AWD1	ADC3_AWD1	ADC3_AWD1
<b>etr12</b>	ADC3_AWD2	ADC3_AWD2	ADC3_AWD2	ADC3_AWD2	ADC3_AWD2	ADC3_AWD2	ADC3_AWD2
<b>etr13</b>	ADC3_AWD3	ADC3_AWD3	ADC3_AWD3	ADC3_AWD3	LSE	GTIMB2_ETR	GTIMB3_ETR

**表 5-4 定时器外部部触发输入（第二部分）**

信号	GTIMA4	GTIMA5	GTIMA6	GTIMA7	GTIMB1	GTIMB2	GTIMB3
<b>etr0</b>	GTIMA4_ETR	GTIMA5_ETR	GTIMA6_ETR	GTIMA7_ETR	GTIMB1_ETR	GTIMB2_ETR	GTIMB3_ETR
<b>etr1</b>	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT
<b>etr2</b>	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT
<b>etr3</b>	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT
<b>etr4</b>	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT
<b>etr5</b>	ADC1_AWD1	ADC1_AWD1	ADC1_AWD1	ADC1_AWD1	ADC1_AWD1	ADC1_AWD1	ADC1_AWD1
<b>etr6</b>	ADC1_AWD2	ADC1_AWD2	ADC1_AWD2	ADC1_AWD2	ADC1_AWD2	ADC1_AWD2	ADC1_AWD2
<b>etr7</b>	GTIMA1_ETR	GTIMA6_ETR	GTIMA5_ETR	GTIMA5_ETR	GTIMB2_ETR	GTIMB1_ETR	GTIMB1_ETR
<b>etr8</b>	ADC2_AWD1	ADC2_AWD1	ADC2_AWD1	ADC2_AWD1	ADC2_AWD1	ADC2_AWD1	ADC2_AWD1
<b>etr9</b>	ADC2_AWD2	ADC2_AWD2	ADC2_AWD2	ADC2_AWD2	ADC2_AWD2	ADC2_AWD2	ADC2_AWD2
<b>etr10</b>	GTIMA2_ETR	GTIMA7_ETR	GTIMA7_ETR	GTIMA6_ETR	GTIMB3_ETR	GTIMB3_ETR	GTIMB2_ETR
<b>etr11</b>	ADC3_AWD1	ADC3_AWD1	ADC3_AWD1	ADC3_AWD1	ADC3_AWD1	ADC3_AWD1	ADC3_AWD1

<b>etr12</b>	ADC3_AWD2	ADC3_AWD2	ADC3_AWD2	ADC3_AWD2	ADC3_AWD2	ADC3_AWD2	ADC3_AWD2
<b>etr13</b>	GTIMB1_ETR	GTIMB2_ETR	GTIMB3_ETR	GTIMB1_ETR	GTIMA1_ETR	GTIMA2_ETR	GTIMA3_ETR

**表 5-5 定时器内部触发清除有效参考电平输入（第一部分）**

信号	ATIM1	ATIM2	ATIM3	ATIM4	GTIMA1	GTIMA2	GTIMA3
<b>ocref_clr0</b>	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT
<b>ocref_clr1</b>	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT
<b>ocref_clr2</b>	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT
<b>ocref_clr3</b>	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT

**表 5-6 定时器内部触发清除有效参考电平输入（第二部分）**

信号	GTIMA4	GTIMA5	GTIMA6	GTIMA7	GTIMB1	GTIMB2	GTIMB3
<b>ocref_clr0</b>	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT
<b>ocref_clr1</b>	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT
<b>ocref_clr2</b>	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT
<b>ocref_clr3</b>	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT

**表 5-7 定时器输入通道 1（第一部分）**

信号	ATIM1	ATIM2	ATIM3	ATIM4	GTIMA1	GTIMA2	GTIMA3
<b>TI1_IN0</b>	EXTERNALTI1	EXTERNALTI1	EXTERNALTI1	EXTERNALTI1	EXTERNALTI1	EXTERNALTI1	EXTERNALTI1
<b>TI1_IN1</b>	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	LSE_CSS_OUT	LSE	-
<b>TI1_IN2</b>	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP1_OUT	MCO1	MCO2
<b>TI1_IN3</b>	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP2_OUT	HSE_DIV32	HSE_DIV32
<b>TI1_IN4</b>	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP3_OUT	RTC_WAKEUP	RTC_WAKEUP
<b>TI1_IN5</b>	-	-	-	-	COMP4_OUT	LSE_CSS_OUT	LSE_CSS_OUT
<b>TI1_IN6</b>	-	-	-	-	-	LSI	LSI
<b>TI1_IN7</b>	-	-	-	-	-	-	-

**表 5-8 定时器输入通道 1（第二部分）**

信号	GTIMA4	GTIMA5	GTIMA6	GTIMA7	GTIMB1	GTIMB2	GTIMB3
<b>TI1_IN0</b>	EXTERNALTI1	EXTERNALTI1	EXTERNALTI1	EXTERNALTI1	EXTERNALTI1	EXTERNALTI1	EXTERNALTI1
<b>TI1_IN1</b>	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	LSI	COMP1_OUT
<b>TI1_IN2</b>	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	LSE_CSS_OUT	COMP2_OUT
<b>TI1_IN3</b>	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	RTC_WAKEUP	COMP3_OUT
<b>TI1_IN4</b>	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP1_OUT	COMP4_OUT
<b>TI1_IN5</b>	FDCAN1_TMP	FDCAN2_TMP	FDCAN3_TMP	FDCAN4_TMP	-	COMP2_OUT	-
<b>TI1_IN6</b>	FDCAN1_RTP	FDCAN2_RTP	FDCAN3_RTP	FDCAN4_RTP	-	COMP3_OUT	-
<b>TI1_IN7</b>	-	-	-	-	-	COMP4_OUT	-

**表 5-9 定时器输入通道 2（第一部分）**

信号	ATIM1	ATIM2	ATIM3	ATIM4	GTIMA1	GTIMA2	GTIMA3
<b>TI2_IN0</b>	EXTERNALTI2	EXTERNALTI2	EXTERNALTI2	EXTERNALTI2	EXTERNALTI2	EXTERNALTI2	EXTERNALTI2
<b>TI2_IN1</b>	GTIMA7_CC1	GTIMA7_CC2	GTIMA7_CC3	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT
<b>TI2_IN2</b>	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT

<b>TI2_IN3</b>	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT
<b>TI2_IN4</b>	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	GTIMA6_CC1	GTIMA6_CC2	GTIMA6_CC3

**表 5-10 定时器输入通道 2（第二部分）**

Signals	GTIMA4	GTIMA5	GTIMA6	GTIMA7	GTIMB1	GTIMB2	GTIMB3
<b>TI2_IN0</b>	EXTERNALTI2	EXTERNALTI2	EXTERNALTI2	EXTERNALTI2	EXTERNALTI2	EXTERNALTI2	EXTERNALTI2
<b>TI2_IN1</b>	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT
<b>TI2_IN2</b>	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT
<b>TI2_IN3</b>	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT
<b>TI2_IN4</b>	GTIMA6_CC4	COMP4_OUT	COMP4_OUT	COMP4_OUT	GTIMA7_CC3	GTIMA7_CC4	GTIMA7_CC3

**表 5-11 定时器输入通道 3（第一部分）**

信号	ATIM1	ATIM2	ATIM3	ATIM4	GTIMA1	GTIMA2	GTIMA3
<b>TI3_IN0</b>	EXTERNALTI3	EXTERNALTI3	EXTERNALTI3	EXTERNALTI3	EXTERNALTI3	EXTERNALTI3	EXTERNALTI3
<b>TI3_IN1</b>	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT
<b>TI3_IN2</b>	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT
<b>TI3_IN3</b>	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT
<b>TI3_IN4</b>	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT

**表 5-12 定时器输入通道 3（第二部分）**

信号	GTIMA4	GTIMA5	GTIMA6	GTIMA7	GTIMB1	GTIMB2	GTIMB3
<b>TI3_IN0</b>	EXTERNALTI3	EXTERNALTI3	EXTERNALTI3	EXTERNALTI3	EXTERNALTI3	EXTERNALTI3	EXTERNALTI3
<b>TI3_IN1</b>	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT
<b>TI3_IN2</b>	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT
<b>TI3_IN3</b>	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT
<b>TI3_IN4</b>	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT

**表 5-13 定时器输入通道 4（第一部分）**

信号	ATIM1	ATIM2	ATIM3	ATIM4	GTIMA1	GTIMA2	GTIMA3
<b>TI4_IN0</b>	EXTERNALTI4	EXTERNALTI4	EXTERNALTI4	EXTERNALTI4	EXTERNALTI4	EXTERNALTI4	EXTERNALTI4
<b>TI4_IN1</b>	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT
<b>TI4_IN2</b>	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT
<b>TI4_IN3</b>	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT
<b>TI4_IN4</b>	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT

**表 5-14 定时器输入通道 4（第二部分）**

信号	GTIMA4	GTIMA5	GTIMA6	GTIMA7	GTIMB1	GTIMB2	GTIMB3
<b>TI4_IN0</b>	EXTERNALTI4	EXTERNALTI4	EXTERNALTI4	EXTERNALTI4	EXTERNALTI4	EXTERNALTI4	EXTERNALTI4
<b>TI4_IN1</b>	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT
<b>TI4_IN2</b>	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT
<b>TI4_IN3</b>	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT
<b>TI4_IN4</b>	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT

**表 5-15 高级定时器刹车信号 2 输入**

信号	ATIM1	ATIM2	ATIM3	ATIM4
<b>Brk2in0</b>	BKIN2PIN	BKIN2PIN	BKIN2PIN	BKIN2PIN
<b>Brk2in1</b>	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT
<b>Brk2in2</b>	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT
<b>Brk2in3</b>	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT
<b>Brk2in4</b>	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT
<b>Brk2in5</b>	-	-	-	-
<b>Brk2in6</b>	DSMU_BRK[1]	DSMU_BRK[1]	DSMU_BRK[1]	-
<b>Brk2in7</b>	-	-	-	-
<b>Brk2in8</b>	DSMU_BRK[3]	-	DSMU_BRK[3]	DSMU_BRK[3]

**表 5-16 高级定时器刹车信号 1 输入**

信号	ATIM1	ATIM2	ATIM3	ATIM4	GTIMB1	GTIMB2	GTIMB3
<b>brkin0</b>	BKINPIN	BKINPIN	BKINPIN	BKINPIN	BKINPIN	BKINPIN	BKINPIN
<b>brkin1</b>	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT
<b>brkin2</b>	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT
<b>brkin3</b>	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT
<b>brkin4</b>	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT
<b>brkin5</b>	DSMU_BRK[0]	DSMU_BRK[0]	DSMU_BRK[0]	-	DSMU_BRK[0]	-	-
<b>brkin6</b>	-	-	-	-	-	DSMU_BRK[1]	-
<b>brkin7</b>	DSMU_BRK[2]	-	DSMU_BRK[2]	DSMU_BRK[2]	-	-	DSMU_BRK[2]
<b>brkin8</b>	-	-	-	-	-	-	-

### 5.1.2.2 高精度定时器

**表 5-17SHRTIM 更新事件**

更新事件	信号源
SHRTIM1_UPD_EN1	GTIMB1_OC1
SHRTIM1_UPD_EN2	GTIMB2_OC1
SHRTIM1_UPD_EN3	GTIMB3_OC1
SHRTIM2_UPD_EN1	GTIMB1_OC2
SHRTIM2_UPD_EN2	GTIMB2_OC2
SHRTIM2_UPD_EN3	GTIMB3_OC2

**表 5-18SHRTIM 同步输入**

同步输入	信号源
SHRTIM1_IN_SYNC1	ATIM1_TRGO
SHRTIM1_IN_SYNC2	ATIM2_TRGO
SHRTIM1_IN_SYNC3	ATIM3_TRGO
SHRTIM1_IN_SYNC4	SHRTIM1_SCIN(IO)
SHRTIM1_IN_SYNC5	SHRTIM2_OUT_SYNC2

SHRTIM2_IN_SYNC1	ATIM1_TRGO
SHRTIM2_IN_SYNC2	ATIM2_TRGO
SHRTIM2_IN_SYNC3	ATIM3_TRGO
SHRTIM2_IN_SYNC4	SHRTIM2_SCIN(IO)
SHRTIM2_IN_SYNC5	SHRTIM1_OUT_SYNC2

注：比较器输出选择可通过软件编程实现（COMP1-4）。详细描述参考 SHRTIM 章节。

表 5-19SHRTIM 故障输入

信号	ExternalInput(x=1/2) FALTxSRC[1:0]=00	On-chipsource <sup>(1)</sup> FALTxSRC[1:0]=01	ExternalInput <sup>(2)</sup> FALTxSRC[1:0]=10	On-chipsourceFALTxSRC[1:0]=11
SHRTIMX_FAULT1[4:1]	SHRTIMX_FAULT1	COMPX_OUT	EEV1_MUXOUT	DSMU_BRK[0]
SHRTIMX_FAULT2[4:1]	SHRTIMX_FAULT2	COMPX_OUT	EEV2_MUXOUT	DSMU_BRK[1]
SHRTIMX_FAULT3[4:1]	SHRTIMX_FAULT3	COMPX_OUT	EEV3_MUXOUT	DSMU_BRK[2]
SHRTIMX_FAULT4[4:1]	SHRTIMX_FAULT4	COMPX_OUT	EEV4_MUXOUT	DSMU_BRK[3]
SHRTIMX_FAULT5[4:1]	SHRTIMX_FAULT5	COMPX_OUT	EEV5_MUXOUT	DSMU_BRK[0]
SHRTIMX_FAULT6[4:1]	SHRTIMX_FAULT6	COMPX_OUT	EEV6_MUXOUT	DSMU_BRK[1]

注：

1. 比较器输出选择可通过软件编程实现。详细描述参考 SHRTIM 章节。
2. 比较器输出选择可通过软件编程实现，详细描述参考 SHRTIM 章节。

### 5.1.2.3 ADC

表 5-20ADC1/2/3 触发输入

信号	ADC1/2/3	
	规则触发	注入触发
trig0	ATIM1_CC1	ATIM1_CC1
trig1	ATIM1_CC2	ATIM1_CC2
trig2	ATIM1_CC3	ATIM1_CC3
trig3	ATIM1_CC4	ATIM1_CC4
trig4	ATIM1_TRGO	ATIM1_TRGO
trig5	ATIM2_CC1	ATIM2_CC1
trig6	ATIM2_CC2	ATIM2_CC2
trig7	ATIM2_CC3	ATIM2_CC3



trig8	ATIM1_TRGO2	ATIM1_TRGO2
trig9	ATIM2_TRGO	ATIM2_TRGO
trig10	ATIM3_CC1	ATIM3_CC1
trig11	ATIM3_CC2	ATIM3_CC2
trig12	ATIM3_CC3	ATIM3_CC3
trig13	ATIM3_CC4	ATIM3_CC4
trig14	ATIM2_TRGO2	ATIM2_TRGO2
trig15	ATIM3_TRGO	ATIM3_TRGO
trig16	ATIM4_TRGO2	ATIM4_TRGO2
trig17	ATIM3_TRGO2	ATIM3_TRGO2
trig18	ATIM4_TRGO	ATIM4_TRGO
trig19	GTIMB1_TRGO	GTIMB1_TRGO
trig20	GTIMB2_TRGO	GTIMB2_TRGO
trig21	GTIMB3_TRGO	GTIMB3_TRGO
trig22	GTIMA1_TRGO	GTIMA1_TRGO
trig23	GTIMB1_CC2	GTIMB1_CC2
trig24	GTIMB2_CC4	GTIMB2_CC4
trig25	GTIMB3_CC2	GTIMB3_CC2
trig26	GTIMA1_CC4	GTIMA1_CC4
trig27	SHRTIM1_ADC_TRG1	SHRTIM1_ADC_TRG2
trig28	SHRTIM1_ADC_TRG3	SHRTIM1_ADC_TRG4
trig29	SHRTIM2_ADC_TRG1	SHRTIM2_ADC_TRG2
trig30	SHRTIM2_ADC_TRG3	SHRTIM2_ADC_TRG4
trig31	EXTI0~15	EXTI0~15

### 5.1.2.4 DAC

表 5-21DAC1/2 触发映射

寄存器值	DAC1		DAC2	
	更新/复位触发源	步进触发源	更新/复位触发源	步进触发源
0	SW	SW	SW	SW
1	ATIM1_TRGO	ATIM1_TRGO	ATIM1_TRGO	ATIM1_TRGO
2	ATIM2_TRGO	ATIM2_TRGO	ATIM2_TRGO	ATIM2_TRGO
3	ATIM3_TRGO	ATIM3_TRGO	ATIM3_TRGO	ATIM3_TRGO
4	ATIM4_TRGO	ATIM4_TRGO	ATIM4_TRGO	ATIM4_TRGO
5	GTIMA1_TRGO	GTIMA1_TRGO	GTIMA1_TRGO	GTIMA1_TRGO
6	GTIMA2_TRGO	GTIMA2_TRGO	GTIMA2_TRGO	GTIMA2_TRGO
7	GTIMA3_TRGO	GTIMA3_TRGO	GTIMA3_TRGO	GTIMA3_TRGO
8	GTIMA4_TRGO	GTIMA4_TRGO	GTIMA4_TRGO	GTIMA4_TRGO
9	GTIMA5_TRGO	GTIMA5_TRGO	GTIMA5_TRGO	GTIMA5_TRGO
10	GTIMA6_TRGO	GTIMA6_TRGO	GTIMA6_TRGO	GTIMA6_TRGO
11	GTIMA7_TRGO	GTIMA7_TRGO	GTIMA7_TRGO	GTIMA7_TRGO
12	GTIMB1_TRGO	GTIMB1_TRGO	GTIMB1_TRGO	GTIMB1_TRGO

13	GTIMB2_TRGO	GTIMB2_TRGO	GTIMB2_TRGO	GTIMB2_TRGO
14	GTIMB3_TRGO	GTIMB3_TRGO	GTIMB3_TRGO	GTIMB3_TRGO
15	EXTI5	EXTI6	EXTI5	EXTI6
16	EXTI7	EXTI8	EXTI7	EXTI8
17	EXTI9	EXTI10	EXTI9	EXTI10
18	SHRTIM1_DAC_RESET_TRG1	SHRTIM1_STEP_TRIG1	SHRTIM1_DAC_RESET_TRG1	SHRTIM1_STEP_TRIG1
19	SHRTIM1_DAC_RESET_TRG2	SHRTIM1_STEP_TRIG2	SHRTIM1_DAC_RESET_TRG2	SHRTIM1_STEP_TRIG2
20	SHRTIM1_DAC_RESET_TRG3	SHRTIM1_STEP_TRIG3	SHRTIM1_DAC_RESET_TRG3	SHRTIM1_STEP_TRIG3
21	SHRTIM1_DAC_RESET_TRG4	SHRTIM1_STEP_TRIG4	SHRTIM1_DAC_RESET_TRG4	SHRTIM1_STEP_TRIG4
22	SHRTIM1_DAC_RESET_TRG5	SHRTIM1_STEP_TRIG5	SHRTIM1_DAC_RESET_TRG5	SHRTIM1_STEP_TRIG5
23	SHRTIM1_DAC_RESET_TRG6	SHRTIM1_STEP_TRIG6	SHRTIM1_DAC_RESET_TRG6	SHRTIM1_STEP_TRIG6
24	SHRTIM1_DAC_TRG1	-	SHRTIM1_DAC_TRG1	-
25	SHRTIM2_DAC_RESET_TRG1	SHRTIM2_STEP_TRIG1	SHRTIM2_DAC_RESET_TRG1	SHRTIM2_STEP_TRIG1
26	SHRTIM2_DAC_RESET_TRG2	SHRTIM2_STEP_TRIG2	SHRTIM2_DAC_RESET_TRG2	SHRTIM2_STEP_TRIG2
27	SHRTIM2_DAC_RESET_TRG3	SHRTIM2_STEP_TRIG3	SHRTIM2_DAC_RESET_TRG3	SHRTIM2_STEP_TRIG3
28	SHRTIM2_DAC_RESET_TRG4	SHRTIM2_STEP_TRIG4	SHRTIM2_DAC_RESET_TRG4	SHRTIM2_STEP_TRIG4
29	SHRTIM2_DAC_RESET_TRG5	SHRTIM2_STEP_TRIG5	SHRTIM2_DAC_RESET_TRG5	SHRTIM2_STEP_TRIG5
30	SHRTIM2_DAC_RESET_TRG6	SHRTIM2_STEP_TRIG6	SHRTIM2_DAC_RESET_TRG6	SHRTIM2_STEP_TRIG6
31	SHRTIM2_DAC_TRG1	-	SHRTIM2_DAC_TRG1	-

表 5-22DAC3/4 触发映射

寄存器值	DAC3		DAC4	
	更新/复位触发源	步进触发源	更新/复位触发源	步进触发源
0	SW	SW	SW	SW
1	ATIM1_TRGO	ATIM1_TRGO	ATIM1_TRGO	ATIM1_TRGO
2	ATIM2_TRGO	ATIM2_TRGO	ATIM2_TRGO	ATIM2_TRGO
3	ATIM3_TRGO	ATIM3_TRGO	ATIM3_TRGO	ATIM3_TRGO
4	ATIM4_TRGO	ATIM4_TRGO	ATIM4_TRGO	ATIM4_TRGO
5	GTIMA1_TRGO	GTIMA1_TRGO	GTIMA1_TRGO	GTIMA1_TRGO
6	GTIMA2_TRGO	GTIMA2_TRGO	GTIMA2_TRGO	GTIMA2_TRGO
7	GTIMA3_TRGO	GTIMA3_TRGO	GTIMA3_TRGO	GTIMA3_TRGO
8	GTIMA4_TRGO	GTIMA4_TRGO	GTIMA4_TRGO	GTIMA4_TRGO
9	GTIMA5_TRGO	GTIMA5_TRGO	GTIMA5_TRGO	GTIMA5_TRGO
10	GTIMA6_TRGO	GTIMA6_TRGO	GTIMA6_TRGO	GTIMA6_TRGO
11	GTIMA7_TRGO	GTIMA7_TRGO	GTIMA7_TRGO	GTIMA7_TRGO
12	GTIMB1_TRGO	GTIMB1_TRGO	GTIMB1_TRGO	GTIMB1_TRGO
13	GTIMB2_TRGO	GTIMB2_TRGO	GTIMB2_TRGO	GTIMB2_TRGO
14	GTIMB3_TRGO	GTIMB3_TRGO	GTIMB3_TRGO	GTIMB3_TRGO
15	EXTI5	EXTI6	EXTI5	EXTI6
16	EXTI7	EXTI8	EXTI7	EXTI8
17	EXTI9	EXTI10	EXTI9	EXTI10

18	SHRTIM1_DAC_RESET_TRG1	SHRTIM1_STEP_TRIG1	SHRTIM1_DAC_RESET_TRG1	SHRTIM1_STEP_TRIG1
19	SHRTIM1_DAC_RESET_TRG2	SHRTIM1_STEP_TRIG2	SHRTIM1_DAC_RESET_TRG2	SHRTIM1_STEP_TRIG2
20	SHRTIM1_DAC_RESET_TRG3	SHRTIM1_STEP_TRIG3	SHRTIM1_DAC_RESET_TRG3	SHRTIM1_STEP_TRIG3
21	SHRTIM1_DAC_RESET_TRG4	SHRTIM1_STEP_TRIG4	SHRTIM1_DAC_RESET_TRG4	SHRTIM1_STEP_TRIG4
22	SHRTIM1_DAC_RESET_TRG5	SHRTIM1_STEP_TRIG5	SHRTIM1_DAC_RESET_TRG5	SHRTIM1_STEP_TRIG5
23	SHRTIM1_DAC_RESET_TRG6	SHRTIM1_STEP_TRIG6	SHRTIM1_DAC_RESET_TRG6	SHRTIM1_STEP_TRIG6
24	SHRTIM1_DAC_TRG2	-	SHRTIM1_DAC_TRG2	-
25	SHRTIM2_DAC_RESET_TRG1	SHRTIM2_STEP_TRIG1	SHRTIM2_DAC_RESET_TRG1	SHRTIM2_STEP_TRIG1
26	SHRTIM2_DAC_RESET_TRG2	SHRTIM2_STEP_TRIG2	SHRTIM2_DAC_RESET_TRG2	SHRTIM2_STEP_TRIG2
27	SHRTIM2_DAC_RESET_TRG3	SHRTIM2_STEP_TRIG3	SHRTIM2_DAC_RESET_TRG3	SHRTIM2_STEP_TRIG3
28	SHRTIM2_DAC_RESET_TRG4	SHRTIM2_STEP_TRIG4	SHRTIM2_DAC_RESET_TRG4	SHRTIM2_STEP_TRIG4
29	SHRTIM2_DAC_RESET_TRG5	SHRTIM2_STEP_TRIG5	SHRTIM2_DAC_RESET_TRG5	SHRTIM2_STEP_TRIG5
30	SHRTIM2_DAC_RESET_TRG6	SHRTIM2_STEP_TRIG6	SHRTIM2_DAC_RESET_TRG6	SHRTIM2_STEP_TRIG6
31	SHRTIM2_DAC_TRG2	-	SHRTIM2_DAC_TRG2	-

表 5-23DAC5/6 触发映射

	DAC5		DAC6	
	Update/reset	Inc/Dec	Update/reset	Inc/Dec
0	SW	SW	SW	SW
1	ATIM1_TRGO	ATIM1_TRGO	ATIM1_TRGO	ATIM1_TRGO
2	ATIM2_TRGO	ATIM2_TRGO	ATIM2_TRGO	ATIM2_TRGO
3	ATIM3_TRGO	ATIM3_TRGO	ATIM3_TRGO	ATIM3_TRGO
4	ATIM4_TRGO	ATIM4_TRGO	ATIM4_TRGO	ATIM4_TRGO
5	GTIMA1_TRGO	GTIMA1_TRGO	GTIMA1_TRGO	GTIMA1_TRGO
6	GTIMA2_TRGO	GTIMA2_TRGO	GTIMA2_TRGO	GTIMA2_TRGO
7	GTIMA3_TRGO	GTIMA3_TRGO	GTIMA3_TRGO	GTIMA3_TRGO
8	GTIMA4_TRGO	GTIMA4_TRGO	GTIMA4_TRGO	GTIMA4_TRGO
9	GTIMA5_TRGO	GTIMA5_TRGO	GTIMA5_TRGO	GTIMA5_TRGO
10	GTIMA6_TRGO	GTIMA6_TRGO	GTIMA6_TRGO	GTIMA6_TRGO
11	GTIMA7_TRGO	GTIMA7_TRGO	GTIMA7_TRGO	GTIMA7_TRGO
12	GTIMB1_TRGO	GTIMB1_TRGO	GTIMB1_TRGO	GTIMB1_TRGO
13	GTIMB2_TRGO	GTIMB2_TRGO	GTIMB2_TRGO	GTIMB2_TRGO
14	GTIMB3_TRGO	GTIMB3_TRGO	GTIMB3_TRGO	GTIMB3_TRGO
15	EXTI5	EXTI6	EXTI5	EXTI6
16	EXTI7	EXTI8	EXTI7	EXTI8
17	EXTI9	EXTI10	EXTI9	EXTI10
18	SHRTIM1_DAC_RESET_TRG1	SHRTIM1_STEP_TRIG1	SHRTIM1_DAC_RESET_TRG1	SHRTIM1_STEP_TRIG1
19	SHRTIM1_DAC_RESET_TRG2	SHRTIM1_STEP_TRIG2	SHRTIM1_DAC_RESET_TRG2	SHRTIM1_STEP_TRIG2
20	SHRTIM1_DAC_RESET_TRG3	SHRTIM1_STEP_TRIG3	SHRTIM1_DAC_RESET_TRG3	SHRTIM1_STEP_TRIG3
21	SHRTIM1_DAC_RESET_TRG4	SHRTIM1_STEP_TRIG4	SHRTIM1_DAC_RESET_TRG4	SHRTIM1_STEP_TRIG4
22	SHRTIM1_DAC_RESET_TRG5	SHRTIM1_STEP_TRIG5	SHRTIM1_DAC_RESET_TRG5	SHRTIM1_STEP_TRIG5

23	SHRTIM1_DAC_RESET_TRG6	SHRTIM1_STEP_TRIG6	SHRTIM1_DAC_RESET_TRG6	SHRTIM1_STEP_TRIG6
24	SHRTIM1_DAC_TRG3	-	SHRTIM1_DAC_TRG3	-
25	SHRTIM2_DAC_RESET_TRG1	SHRTIM2_STEP_TRIG1	SHRTIM2_DAC_RESET_TRG1	SHRTIM2_STEP_TRIG1
26	SHRTIM2_DAC_RESET_TRG2	SHRTIM2_STEP_TRIG2	SHRTIM2_DAC_RESET_TRG2	SHRTIM2_STEP_TRIG2
27	SHRTIM2_DAC_RESET_TRG3	SHRTIM2_STEP_TRIG3	SHRTIM2_DAC_RESET_TRG3	SHRTIM2_STEP_TRIG3
28	SHRTIM2_DAC_RESET_TRG4	SHRTIM2_STEP_TRIG4	SHRTIM2_DAC_RESET_TRG4	SHRTIM2_STEP_TRIG4
29	SHRTIM2_DAC_RESET_TRG5	SHRTIM2_STEP_TRIG5	SHRTIM2_DAC_RESET_TRG5	SHRTIM2_STEP_TRIG5
30	SHRTIM2_DAC_RESET_TRG6	SHRTIM2_STEP_TRIG6	SHRTIM2_DAC_RESET_TRG6	SHRTIM2_STEP_TRIG6
31	SHRTIM2_DAC_TRG3	-	SHRTIM2_DAC_TRG3	-

### 5.1.2.5 DSMU

表 5-24DSMU 触发输入

信号	触发信号源
DSMU_JTRG0	ATIM1_TRGO
DSMU_JTRG1	ATIM2_TRGO
DSMU_JTRG2	ATIM3_TRGO
DSMU_JTRG3	ATIM4_TRGO
DSMU_JTRG4	GTIMB1_TRGO
DSMU_JTRG5	GTIMB2_TRGO
DSMU_JTRG6	GTIMB3_TRGO
DSMU_JTRG7	GTIMA1_TRGO
DSMU_JTRG8	GTIMA2_TRGO
DSMU_JTRG9	GTIMA3_TRGO
DSMU_JTRG10	GTIMA4_TRGO
DSMU_JTRG11	GTIMA5_TRGO
DSMU_JTRG12	ATIM1_TRGO2
DSMU_JTRG13	ATIM3_TRGO2
DSMU_JTRG14	SHRTIM1_ADC_TRG1
DSMU_JTRG15	SHRTIM1_ADC_TRG2
DSMU_JTRG16	SHRTIM1_ADC_TRG3
DSMU_JTRG17	SHRTIM1_ADC_TRG4
DSMU_JTRG18	SHRTIM2_ADC_TRG1
DSMU_JTRG19	SHRTIM2_ADC_TRG2
DSMU_JTRG20	SHRTIM2_ADC_TRG3
DSMU_JTRG21	SHRTIM2_ADC_TRG4
DSMU_JTRG22	EXTI6
DSMU_JTRG23	EXTI7
DSMU_JTRG24	EXTI8
DSMU_JTRG25	EXTI9
DSMU_JTRG26	EXTI10
DSMU_JTRG27	EXTI11
DSMU_JTRG28	EXTI12

DSMU_JTRG29	EXTI13
DSMU_JTRG30	EXTI14
DSMU_JTRG31	EXTI15

### 5.1.2.6 以太网 (ETH)

表 5-25 ETH 触发输入

触发源	信号
GTIMB1_TRGO	ETH1_PTP0
GTIMB2_TRGO	ETH1_PTP1
FDCAN1_TMP	ETH1_PTP2
FDCAN2_TMP	
SHRTIM1_DAC_TRG2	ETH1_PTP3
GTIMA1_TRGO	ETH2_PTP0
GTIMA2_TRGO	ETH2_PTP1
FDCAN3_TMP	ETH2_PTP2
FDCAN4_TMP	
SHRTIM1_DAC_TRG2	ETH2_PTP3

### 5.1.2.7 FDCAN

表 5-26 FDCAN 事件输入

外设	信号	信号	外设
GPTIM1	TRGO	SWT0	FDCAN1
		EVT0	
GPTIM2	TRGO	SWT1	
		EVT1	
ETH_1	PPS	SWT2	
		EVT2	
SHRTIM_1	SHRTIM1_DAC_TRG1	SWT3	
		EVT3	
GPTIM2	TRGO	SWT0	FDCAN2
		EVT0	
GPTIM3	TRGO	SWT1	
		EVT1	
ETH_1	PPS	SWT2	
		EVT2	
SHRTIM_1	SHRTIM1_DAC_TRG2	SWT3	
		EVT3	
GPTIM8	TRGO	SWT0	FDCAN3
		EVT0	
GPTIM9	TRGO	SWT1	

		EVT1	FDCAN4
ETH_2	PPS	SWT2	
		EVT2	
SHRTIM_2	SHRTIM2_DAC_TRG1	SWT3	
		EVT3	
GPTIM9	TRGO	SWT0	
		EVT0	
GPTIM10	TRGO	SWT1	
		EVT1	
ETH_2	PPS	SWT2	
		EVT2	
SHRTIM_2	SHRTIM2_DAC_TRG2	SWT3	

### 5.1.2.8 低功耗定时器（LPTIMER）

表 5-27 LPTIMER 触发输入

信号类型	触发源
LPTIM_EXT_TRIG0	LPTIMX_ETR
LPTIM_EXT_TRIG1	RTC_ALRA_TRG
LPTIM_EXT_TRIG2	RTC_ALRB_TRG
LPTIM_EXT_TRIG3	RTC_TAMP1
LPTIM_EXT_TRIG4	RTC_TAMP2
LPTIM_EXT_TRIG5	RTC_TAMP3
LPTIM_EXT_TRIG6	COMP1_OUT
LPTIM_EXT_TRIG7	COMP2_OUT
LPTIM_EXT_TRIG8	COMP3_OUT
LPTIM_EXT_TRIG9	COMP4_OUT

### 5.1.2.9 比较器（COMP）

表 5-28 比较器消隐输入

BlankingSignal	消隐源			
	COMP1	COMP2	COMP3	COMP4
1	ATIM1_OC5	ATIM1_OC5	ATIM1_OC5	GTIMB2_OC4
2	GTIMB1_OC5	GTIMB1_OC5	GTIMB2_OC5	ATIM2_OC5
3	GTIMB2_OC5	GTIMB2_OC5	GTIMB1_OC4	GTIMB1_OC4
4	ATIM2_OC5	ATIM2_OC5	ATIM2_OC5	ATIM1_OC5
5	ATIM3_OC5	ATIM3_OC5	ATIM3_OC5	ATIM3_OC5
6	GTIMA4_OC1	GTIMA4_OC1	GTIMA4_OC1	GTIMA4_OC1
7	GTIMB3_OC5	GTIMB3_OC5	GTIMB3_OC5	GTIMB3_OC5
8	ATIM4_OC5	ATIM4_OC5	ATIM4_OC5	GTIMB2_OC3
9	GTIMA2_OC3	GTIMA2_OC3	GTIMA4_OC2	ATIM4_OC5
10	GTIMA1_OC3	GTIMA1_OC3	GTIMA1_OC3	GTIMA1_OC3
11	GTIMA3_OC3	GTIMA3_OC3	GTIMA3_OC3	GTIMA3_OC3

12	GTIMA5_OC3	GTIMA5_OC3	GTIMA5_OC3	GTIMA5_OC3
13	GTIMA6_OC3	GTIMA6_OC3	GTIMA6_OC3	GTIMA6_OC3
14	GTIMA7_OC3	GTIMA7_OC3	GTIMA7_OC3	GTIMA7_OC3

## 5.2 DMA

### 5.2.1 介绍

N32H7xxx 系列微控制器包含 1 个 MDMA（主直接内存访问控制器）和 3 个 DMA（直接内存访问控制器）。其中 MDMA 可实现 AXI 总线域内存储器之间以及存储器与外设之间的数据传输，而 DMA1/2/3 则用于 AHB 总线域内的存储器传输。DMA 传输可由软件或硬件触发。

DMAMUX1（DMA 多路复用器 1）用于将任意外设的 DMA 请求映射到任意一个 DMA1/2/3。此外，DMAMUX1 还能使 DMA 请求与定时器、外部 GPIO（通用输入输出）或 DMA 传输完成信号实现同步。DMA 请求本身可由定时器触发、GPIO 触发或另一个 DMA 传输完成等触发事件生成。

DMAMUX2（DMA 多路复用器 2）具备除同步功能外的所有 DMAMUX1 功能，且专门为 MDMA 设计使用。

### 5.2.2 DMA 映射

#### 5.2.2.1 DMAMUX2

表 5-29DMAMUX2 输入请求映射

DMAMUX2 请求映射	信号源	外设
DMAMUX2_REQ_IN1	DMAMUX_REQ_GEN0	DMAMUX2 (内部请求发生器)
DMAMUX2_REQ_IN2	DMAMUX_REQ_GEN1	
DMAMUX2_REQ_IN3	DMAMUX_REQ_GEN2	
DMAMUX2_REQ_IN4	DMAMUX_REQ_GEN3	
DMAMUX2_REQ_IN5	DMAMUX_REQ_GEN4	
DMAMUX2_REQ_IN6	DMAMUX_REQ_GEN5	
DMAMUX2_REQ_IN7	DMAMUX_REQ_GEN6	
DMAMUX2_REQ_IN8	DMAMUX_REQ_GEN7	
DMAMUX2_REQ_IN9	DMAMUX_REQ_GEN8	
DMAMUX2_REQ_IN10	DMAMUX_REQ_GEN9	
DMAMUX2_REQ_IN11	DMAMUX_REQ_GEN10	
DMAMUX2_REQ_IN12	DMAMUX_REQ_GEN11	
DMAMUX2_REQ_IN13	DMAMUX_REQ_GEN12	
DMAMUX2_REQ_IN14	DMAMUX_REQ_GEN13	
DMAMUX2_REQ_IN15	DMAMUX_REQ_GEN14	
DMAMUX2_REQ_IN16	DMAMUX_REQ_GEN15	
DMAMUX2_REQ_IN17	NC	-
DMAMUX2_REQ_IN18	NC	-
DMAMUX2_REQ_IN19	NC	-

DMAMUX2_REQ_IN20	NC	-
DMAMUX2_REQ_IN21	NC	-
DMAMUX2_REQ_IN22	NC	-
DMAMUX2_REQ_IN23	NC	-
DMAMUX2_REQ_IN24	NC	-
DMAMUX2_REQ_IN25	DMA_REQ_TX	xSPI1
DMAMUX2_REQ_IN26	DMA_REQ_RX	xSPI1
DMAMUX2_REQ_IN27	DMA_REQ_TX	xSPI2
DMAMUX2_REQ_IN28	DMA_REQ_RX	xSPI2

**表 5-30DMAMUX2DMA 触发输入**

DMAMUX2 触发输入	信号源	外设
DMAMUX2_TRG_IN1	DMA1_INT_TFR0(传输完成)	DMA1
DMAMUX2_TRG_IN2	DMA1_INT_TFR1(传输完成)	
DMAMUX2_TRG_IN3	DMA1_INT_TFR2(传输完成)	
DMAMUX2_TRG_IN4	DMA1_INT_TFR3(传输完成)	
DMAMUX2_TRG_IN5	DMA1_INT_TFR4(传输完成)	
DMAMUX2_TRG_IN6	DMA1_INT_TFR5(传输完成)	
DMAMUX2_TRG_IN7	DMA1_INT_TFR6(传输完成)	
DMAMUX2_TRG_IN8	DMA1_INT_TFR7(传输完成)	
DMAMUX2_TRG_IN9	DMA2_INT_TRF0(传输完成)	DMA2
DMAMUX2_TRG_IN10	DMA2_INT_TRF1(传输完成)	
DMAMUX2_TRG_IN11	DMA2_INT_TRF2(传输完成)	
DMAMUX2_TRG_IN12	DMA2_INT_TRF3(传输完成)	
DMAMUX2_TRG_IN13	DMA2_INT_TRF4(传输完成)	
DMAMUX2_TRG_IN14	DMA2_INT_TRF5(传输完成)	
DMAMUX2_TRG_IN15	DMA2_INT_TRF6(传输完成)	
DMAMUX2_TRG_IN16	DMA2_INT_TRF7(传输完成)	
DMAMUX2_TRG_IN17	DMA3_INT_TRF0(传输完成)	DMA3
DMAMUX2_TRG_IN18	DMA3_INT_TRF1(传输完成)	
DMAMUX2_TRG_IN19	DMA3_INT_TRF2(传输完成)	
DMAMUX2_TRG_IN20	DMA3_INT_TRF3(传输完成)	
DMAMUX2_TRG_IN21	DMA3_INT_TRF4(传输完成)	
DMAMUX2_TRG_IN22	DMA3_INT_TRF5(传输完成)	
DMAMUX2_TRG_IN23	DMA3_INT_TRF6(传输完成)	
DMAMUX2_TRG_IN24	DMA3_INT_TRF7(传输完成)	
DMAMUX2_TRG_IN25	LCDC_LI_IT	LCDC
DMAMUX2_TRG_IN26	GPU_SPEC_INT	GPU
DMAMUX2_TRG_IN27	JPEG_SGDMA_H2P_INT	JPEGCODEC
DMAMUX2_TRG_IN28	JPEG_SGDMA_P2H_INT	JPEGCODEC
DMAMUX2_TRG_IN29	MIPIDSIINT	DSIHOST



DMAMUX2_TRG_IN30	USB1INT	USBCTRL1
DMAMUX2_TRG_IN31	USB2INT	USBCTRL2
DMAMUX2_TRG_IN32	SDMMC1INT	SDMMC1
DMAMUX2_TRG_IN33	SDMMC2INT	SDMMC2
DMAMUX2_TRG_IN34	DVP1INT	DVP1
DMAMUX2_TRG_IN35	DVP2INT	DVP2
DMAMUX2_TRG_IN36	ETH1INT	ETH1
DMAMUX2_TRG_IN37	ETH2INT	ETH2
DMAMUX2_TRG_IN38	SDPUINT	SDPU

### 5.2.2.2 DMAMUX1

表 5-31DMAMUX1 输入请求映射

DMAMUX1 请求输入	信号源	外设
DMAMUX1_REQ_IN1	DMAMUX_REQ_GEN0	DMAMUX1 (内部请求发生器)
DMAMUX1_REQ_IN2	DMAMUX_REQ_GEN1	
DMAMUX1_REQ_IN3	DMAMUX_REQ_GEN2	
DMAMUX1_REQ_IN4	DMAMUX_REQ_GEN3	
DMAMUX1_REQ_IN5	DMAMUX_REQ_GEN4	
DMAMUX1_REQ_IN6	DMAMUX_REQ_GEN5	
DMAMUX1_REQ_IN7	DMAMUX_REQ_GEN6	
DMAMUX1_REQ_IN8	DMAMUX_REQ_GEN7	
DMAMUX1_REQ_IN9	ADC1_DMA	ADC1
DMAMUX1_REQ_IN10	ADC2_DMA	ADC2
DMAMUX1_REQ_IN11	ADC3_DMA	ADC3
DMAMUX1_REQ_IN12	SHRTIM_DMA0	SHRTIM1
DMAMUX1_REQ_IN13	SHRTIM_DMA1	
DMAMUX1_REQ_IN14	SHRTIM_DMA2	
DMAMUX1_REQ_IN15	SHRTIM_DMA3	
DMAMUX1_REQ_IN16	SHRTIM_DMA4	
DMAMUX1_REQ_IN17	SHRTIM_DMA5	
DMAMUX1_REQ_IN18	SHRTIM_DMA6	
DMAMUX1_REQ_IN19	SHRTIM_DMA0	SHRTIM2
DMAMUX1_REQ_IN20	SHRTIM_DMA1	
DMAMUX1_REQ_IN21	SHRTIM_DMA2	
DMAMUX1_REQ_IN22	SHRTIM_DMA3	
DMAMUX1_REQ_IN23	SHRTIM_DMA4	
DMAMUX1_REQ_IN24	SHRTIM_DMA5	
DMAMUX1_REQ_IN25	SHRTIM_DMA6	
DMAMUX1_REQ_IN26	ATIM_UP_DMA	ATIM1
DMAMUX1_REQ_IN27	ATIM_CH1_DMA	
DMAMUX1_REQ_IN28	ATIM_CH2_DMA	

DMAMUX1_REQ_IN29	ATIM_CH3_DMA	
DMAMUX1_REQ_IN30	ATIM_CH4_DMA	
DMAMUX1_REQ_IN31	ATIM_COM_DMA	
DMAMUX1_REQ_IN32	ATIM_TRG_DMA	
DMAMUX1_REQ_IN33	ATIM_UP_DMA	ATIM2
DMAMUX1_REQ_IN34	ATIM_CH1_DMA	
DMAMUX1_REQ_IN35	ATIM_CH2_DMA	
DMAMUX1_REQ_IN36	ATIM_CH3_DMA	
DMAMUX1_REQ_IN37	ATIM_CH4_DMA	
DMAMUX1_REQ_IN38	ATIM_COM_DMA	
DMAMUX1_REQ_IN39	ATIM_TRG_DMA	ATIM3
DMAMUX1_REQ_IN40	ATIM_UP_DMA	
DMAMUX1_REQ_IN41	ATIM_CH1_DMA	
DMAMUX1_REQ_IN42	ATIM_CH2_DMA	
DMAMUX1_REQ_IN43	ATIM_CH3_DMA	
DMAMUX1_REQ_IN44	ATIM_CH4_DMA	
DMAMUX1_REQ_IN45	ATIM_COM_DMA	
DMAMUX1_REQ_IN46	ATIM_TRG_DMA	ATIM4
DMAMUX1_REQ_IN47	ATIM_UP_DMA	
DMAMUX1_REQ_IN48	ATIM_CH1_DMA	
DMAMUX1_REQ_IN49	ATIM_CH2_DMA	
DMAMUX1_REQ_IN50	ATIM_CH3_DMA	
DMAMUX1_REQ_IN51	ATIM_CH4_DMA	
DMAMUX1_REQ_IN52	ATIM_COM_DMA	
DMAMUX1_REQ_IN53	ATIM_TRG_DMA	GTIMA1
DMAMUX1_REQ_IN54	GTIMA_CH1_DMA	
DMAMUX1_REQ_IN55	GTIMA_CH2_DMA	
DMAMUX1_REQ_IN56	GTIMA_CH3_DMA	
DMAMUX1_REQ_IN57	GTIMA_CH4_DMA	
DMAMUX1_REQ_IN58	GTIMA_TRG_DMA	
DMAMUX1_REQ_IN59	GTIMA_UP	GTIMA2
DMAMUX1_REQ_IN60	GTIMA_CH1_DMA	
DMAMUX1_REQ_IN61	GTIMA_CH2_DMA	
DMAMUX1_REQ_IN62	GTIMA_CH3_DMA	
DMAMUX1_REQ_IN63	GTIMA_CH4_DMA	
DMAMUX1_REQ_IN64	GTIMA_TRG_DMA	
DMAMUX1_REQ_IN65	GTIMA_UP	GTIMA3
DMAMUX1_REQ_IN66	GTIMA_CH1_DMA	
DMAMUX1_REQ_IN67	GTIMA_CH2_DMA	
DMAMUX1_REQ_IN68	GTIMA_CH3_DMA	
DMAMUX1_REQ_IN69	GTIMA_CH4_DMA	
DMAMUX1_REQ_IN70	GTIMA_TRG_DMA	

DMAMUX1_REQ_IN71	GTIMA_UP	
DMAMUX1_REQ_IN72	GTIMA_CH1_DMA	GTIMA4
DMAMUX1_REQ_IN73	GTIMA_CH2_DMA	
DMAMUX1_REQ_IN74	GTIMA_CH3_DMA	
DMAMUX1_REQ_IN75	GTIMA_CH4_DMA	
DMAMUX1_REQ_IN76	GTIMA_TRG_DMA	
DMAMUX1_REQ_IN77	GTIMA_UP	
DMAMUX1_REQ_IN78	GTIMA_CH1_DMA	GTIMA5
DMAMUX1_REQ_IN79	GTIMA_CH2_DMA	
DMAMUX1_REQ_IN80	GTIMA_CH3_DMA	
DMAMUX1_REQ_IN81	GTIMA_CH4_DMA	
DMAMUX1_REQ_IN82	GTIMA_TRG_DMA	
DMAMUX1_REQ_IN83	GTIMA_UP	
DMAMUX1_REQ_IN84	GTIMA_CH1_DMA	GTIMA6
DMAMUX1_REQ_IN85	GTIMA_CH2_DMA	
DMAMUX1_REQ_IN86	GTIMA_CH3_DMA	
DMAMUX1_REQ_IN87	GTIMA_CH4_DMA	
DMAMUX1_REQ_IN88	GTIMA_TRG_DMA	
DMAMUX1_REQ_IN89	GTIMA_UP	
DMAMUX1_REQ_IN90	GTIMA_CH1_DMA	GTIMA7
DMAMUX1_REQ_IN91	GTIMA_CH2_DMA	
DMAMUX1_REQ_IN92	GTIMA_CH3_DMA	
DMAMUX1_REQ_IN93	GTIMA_CH4_DMA	
DMAMUX1_REQ_IN94	GTIMA_TRG_DMA	
DMAMUX1_REQ_IN95	GTIMA_UP	
DMAMUX1_REQ_IN96	GTIMB_CH1_DMA	GTIMB1
DMAMUX1_REQ_IN97	GTIMB_CH2_DMA	
DMAMUX1_REQ_IN98	GTIMB_CH3_DMA	
DMAMUX1_REQ_IN99	GTIMB_CH4_DMA	
DMAMUX1_REQ_IN100	GTIMB_TRG_DMA	
DMAMUX1_REQ_IN101	GTIMB_UP	
DMAMUX1_REQ_IN102	GTIMB_CH1_DMA	GTIMB2
DMAMUX1_REQ_IN103	GTIMB_CH2_DMA	
DMAMUX1_REQ_IN104	GTIMB_CH3_DMA	
DMAMUX1_REQ_IN105	GTIMB_CH4_DMA	
DMAMUX1_REQ_IN106	GTIMB_TRG_DMA	
DMAMUX1_REQ_IN107	GTIMB_UP	
DMAMUX1_REQ_IN108	GTIMB_CH1_DMA	GTIMB3
DMAMUX1_REQ_IN109	GTIMB_CH2_DMA	
DMAMUX1_REQ_IN110	GTIMB_CH3_DMA	
DMAMUX1_REQ_IN111	GTIMB_CH4_DMA	
DMAMUX1_REQ_IN112	GTIMB_TRG_DMA	

DMAMUX1_REQ_IN113	GTIMB_UP	
DMAMUX1_REQ_IN114	I2C_DMA_RX	I2C1
DMAMUX1_REQ_IN115	I2C_DMA_TX	
DMAMUX1_REQ_IN116	I2C_DMA_RX	I2C2
DMAMUX1_REQ_IN117	I2C_DMA_TX	
DMAMUX1_REQ_IN118	I2C_DMA_RX	I2C3
DMAMUX1_REQ_IN119	I2C_DMA_TX	
DMAMUX1_REQ_IN120	I2C_DMA_RX	I2C4
DMAMUX1_REQ_IN121	I2C_DMA_TX	
DMAMUX1_REQ_IN122	I2C_DMA_RX	I2C5
DMAMUX1_REQ_IN123	I2C_DMA_TX	
DMAMUX1_REQ_IN124	I2C_DMA_RX	I2C6
DMAMUX1_REQ_IN125	I2C_DMA_TX	
DMAMUX1_REQ_IN126	I2C_DMA_RX	I2C7
DMAMUX1_REQ_IN127	I2C_DMA_TX	
DMAMUX1_REQ_IN128	I2C_DMA_RX	I2C8
DMAMUX1_REQ_IN129	I2C_DMA_TX	
DMAMUX1_REQ_IN130	I2C_DMA_RX	I2C9
DMAMUX1_REQ_IN131	I2C_DMA_TX	
DMAMUX1_REQ_IN132	I2C_DMA_RX	I2C10
DMAMUX1_REQ_IN133	I2C_DMA_TX	
DMAMUX1_REQ_IN134	USART_RX_DMA	USART1
DMAMUX1_REQ_IN135	USART_TX_DMA	
DMAMUX1_REQ_IN136	USART_RX_DMA	USART2
DMAMUX1_REQ_IN137	USART_TX_DMA	
DMAMUX1_REQ_IN138	USART_RX_DMA	USART3
DMAMUX1_REQ_IN139	USART_TX_DMA	
DMAMUX1_REQ_IN140	USART_RX_DMA	USART4
DMAMUX1_REQ_IN141	USART_TX_DMA	
DMAMUX1_REQ_IN142	USART_RX_DMA	USART5
DMAMUX1_REQ_IN143	USART_TX_DMA	
DMAMUX1_REQ_IN144	USART_RX_DMA	USART6
DMAMUX1_REQ_IN145	USART_TX_DMA	
DMAMUX1_REQ_IN146	USART_RX_DMA	USART7
DMAMUX1_REQ_IN147	USART_TX_DMA	
DMAMUX1_REQ_IN148	USART_RX_DMA	USART8
DMAMUX1_REQ_IN149	USART_TX_DMA	
DMAMUX1_REQ_IN150	UART_RX_DMA,	UART9
DMAMUX1_REQ_IN151	UART_TX_DMA	
DMAMUX1_REQ_IN152	UART_RX_DMA	UART10
DMAMUX1_REQ_IN153	UART_TX_DMA	
DMAMUX1_REQ_IN154	UART_RX_DMA	UART11

DMAMUX1_REQ_IN155	UART_TX_DMA	
DMAMUX1_REQ_IN156	UART_RX_DMA	UART12
DMAMUX1_REQ_IN157	UART_TX_DMA	
DMAMUX1_REQ_IN158	UART_RX_DMA	UART13
DMAMUX1_REQ_IN159	UART_TX_DMA	
DMAMUX1_REQ_IN160	UART_RX_DMA	UART14
DMAMUX1_REQ_IN161	UART_TX_DMA	
DMAMUX1_REQ_IN162	UART_RX_DMA	UART15
DMAMUX1_REQ_IN163	UART_TX_DMA	
DMAMUX1_REQ_IN164	SPI1_RX_DMA	SPI1
DMAMUX1_REQ_IN165	I2S1_TX_DMA	I2S1
DMAMUX1_REQ_IN166	SPI2_RX_DMA	SPI2
DMAMUX1_REQ_IN167	I2S2_TX_DMA	I2S2
DMAMUX1_REQ_IN168	SPI3_RX_DMA	SPI3
DMAMUX1_REQ_IN169	I2S3_TX_DMA	I2S3
DMAMUX1_REQ_IN170	SPI4_RX_DMA	SPI4
DMAMUX1_REQ_IN171	I2S4_TX_DMA	I2S4
DMAMUX1_REQ_IN172	SPI5_RX_DMA	SPI5
DMAMUX1_REQ_IN173	SPI1_TX_DMA	SPI1
DMAMUX1_REQ_IN174	SPI6_RX_DMA	SPI6
DMAMUX1_REQ_IN175	SPI2_TX_DMA	SPI2
DMAMUX1_REQ_IN176	SPI7_RX_DMA	SPI7
DMAMUX1_REQ_IN177	SPI3_TX_DMA	SPI3
DMAMUX1_REQ_IN178	I2S1_RX_DMA	I2S1
DMAMUX1_REQ_IN179	SPI4_TX_DMA	SPI4
DMAMUX1_REQ_IN180	I2S2_RX_DMA	I2S2
DMAMUX1_REQ_IN181	SPI5_TX_DMA	SPI5
DMAMUX1_REQ_IN182	I2S3_RX_DMA	I2S3
DMAMUX1_REQ_IN183	SPI6_TX_DMA	SPI6
DMAMUX1_REQ_IN184	I2S4_RX_DMA	I2S4
DMAMUX1_REQ_IN185	SPI7_TX_DMA	SPI7
DMAMUX1_REQ_IN186	LPUART_DMA_RX	LPUART1
DMAMUX1_REQ_IN187	LPUART_DMA_TX	
DMAMUX1_REQ_IN188	LPUART_DMA_RX	LPUART2
DMAMUX1_REQ_IN189	LPUART_DMA_TX	
DMAMUX1_REQ_IN190	DAC1_DMA_REQ	DAC12
DMAMUX1_REQ_IN191	DAC2_DMA_REQ	
DMAMUX1_REQ_IN192	DMA_REQ0	DSMU
DMAMUX1_REQ_IN193	DMA_REQ1	
DMAMUX1_REQ_IN194	DMA_REQ2	
DMAMUX1_REQ_IN195	DMA_REQ3	

DMAMUX1_REQ_IN196	FDCAN_DMA_REQ	FDCAN1
DMAMUX1_REQ_IN197	FDCAN_DMA_REQ	FDCAN2
DMAMUX1_REQ_IN198	FDCAN_DMA_REQ	FDCAN3
DMAMUX1_REQ_IN199	FDCAN_DMA_REQ	FDCAN4
DMAMUX1_REQ_IN200	FDCAN_DMA_REQ	FDCAN5
DMAMUX1_REQ_IN201	FDCAN_DMA_REQ	FDCAN6
DMAMUX1_REQ_IN202	FDCAN_DMA_REQ	FDCAN7
DMAMUX1_REQ_IN203	FDCAN_DMA_REQ	FDCAN8
DMAMUX1_REQ_IN204	CORDIC_DMA_RD	CORDIC
DMAMUX1_REQ_IN205	CORDIC_DMA_WR	
DMAMUX1_REQ_IN206	FMAC_DMA_RD	FMAC
DMAMUX1_REQ_IN207	FMAC_DMA_WR	
DMAMUX1_REQ_IN208	BTIM_DMA_REQ	BTIM1
DMAMUX1_REQ_IN209	BTIM_DMA_REQ	BTIM2
DMAMUX1_REQ_IN210	BTIM_DMA_REQ	BTIM3
DMAMUX1_REQ_IN211	BTIM_DMA_REQ	BTIM4
DMAMUX1_REQ_IN212	GTIMB_COM_DMA	GTIMB1
DMAMUX1_REQ_IN213	GTIMB_COM_DMA	GTIMB2
DMAMUX1_REQ_IN214	GTIMB_COM_DMA	GTIMB3
DMAMUX1_REQ_IN215	DAC3_DMA_REQ	DAC34
DMAMUX1_REQ_IN216	DAC4_DMA_REQ	DAC34
DMAMUX1_REQ_IN217	DAC5_DMA_REQ	DAC56
DMAMUX1_REQ_IN218	DAC6_DMA_REQ	DAC56

表 5-32DMAMUX1DMA 触发输入

DMAMUX1 触发输入	信号
DMAMUX1_TRG_IN1	dmamux_evt0-7 中任意一个
DMAMUX1_TRG_IN2	dmamux_evt8-15 中任意一个
DMAMUX1_TRG_IN3	dmamux_evt16-23 中任意一个
DMAMUX1_TRG_IN4	LPTIMER4_OUT
DMAMUX1_TRG_IN5	LPTIMER3_OUT
DMAMUX1_TRG_IN6	LPTIMER2_OUT
DMAMUX1_TRG_IN7	LPTIMER1_OUT
DMAMUX1_TRG_IN8	EXTI0
DMAMUX1_TRG_IN9	FDCAN1IRQ0
DMAMUX1_TRG_IN10	FDCAN2IRQ0
DMAMUX1_TRG_IN11	FDCAN3IRQ0
DMAMUX1_TRG_IN12	FDCAN4IRQ0
DMAMUX1_TRG_IN13	FDCAN5IRQ0
DMAMUX1_TRG_IN14	FDCAN6IRQ0
DMAMUX1_TRG_IN15	FDCAN7IRQ0

DMAMUX1_TRG_IN16	FDCAN8IRQ0
DMAMUX1_TRG_IN17	LPTIMER5_OUT
DMAMUX1_TRG_IN18	ESC_IRQ
DMAMUX1_TRG_IN19	FDCAN1IRQ1
DMAMUX1_TRG_IN20	FDCAN2IRQ1
DMAMUX1_TRG_IN21	FDCAN3IRQ1
DMAMUX1_TRG_IN22	FDCAN4IRQ1
DMAMUX1_TRG_IN23	FDCAN5IRQ1
DMAMUX1_TRG_IN24	FDCAN6IRQ1
DMAMUX1_TRG_IN25	FDCAN7IRQ1
DMAMUX1_TRG_IN26	FDCAN8IRQ1

表 5-33DMAMUX1DMA 同步输入

DMAMUX1 同步输入	信号
DMAMUX1_SYNC_IN1	dmamux_evt0-7 中任意一个
DMAMUX1_SYNC_IN2	dmamux_evt8-15 中任意一个
DMAMUX1_SYNC_IN3	dmamux_evt16-23 中任意一个
DMAMUX1_SYNC_IN4	LPTIMER5_OUT
DMAMUX1_SYNC_IN5	LPTIMER4_OUT
DMAMUX1_SYNC_IN6	LPTIMER3_OUT
DMAMUX1_SYNC_IN7	LPTIMER2_OUT
DMAMUX1_SYNC_IN8	LPTIMER1_OUT
DMAMUX1_SYNC_IN9	EXTI0

## 6 SDRAM 控制器

### 6.1 简介

SDRAM 控制器连接到 AHB 总线，支持对两个外部 SDRAM/LPSDRAM 存储设备访问。

### 6.2 主要特性

SDRAM 支持的主要特性如下：

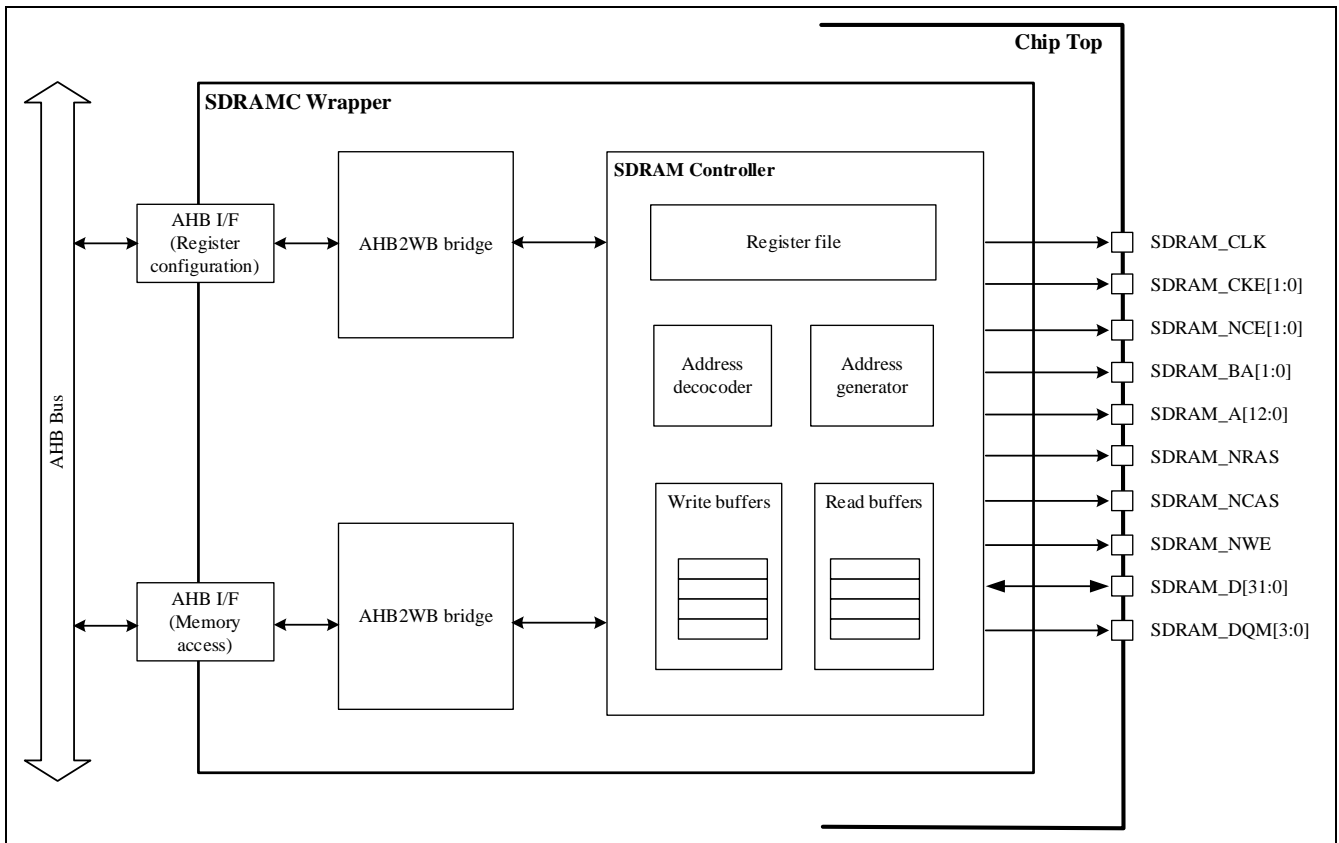
- 两个具有独立配置的 SDRAM 设备
- 8 位、16 位、32 位数据总线宽度
- 13 位行地址，11 位列地址，4 个内部 banks：4x16Mx32bit (256 MB)，4x16Mx16bit (128 MB)，4x16Mx8bit (64 MB)
- 行地址可配置为 11、12、13 位，列地址可配置为 8、9、10、11 位
- 字、半字、字节访问
- 自动的行和 bank 边界管理
- 支持突发模式
- 写入访问保护
- 可编程时序参数
- 支持软件复位
- 通过软件配置 SDRAM 上电初始化
- CAS 延迟为 1、2、3
- 具有可编程刷新率的自动刷新操作
- 通过软件配置 SDRAM 暂停和唤醒

### 6.3 功能框图

下面显示了 SDRAM 控制器框图：



图 6-1 SDRAM 控制器框图



## 6.4 引脚定义

表 6-1 显示了 SDRAMC 使用的引脚及其对应的功能。

表 6-1 SDRAMC 引脚定义

引脚名称	IO 类型	描述
SDRAM_CLK	输出	SDRAM 时钟
SDRAM_CKE[1:0]	输出	SDRAM_CKE0: SDRAM 设备 1 时钟使能 SDRAM_CKE1: SDRAM 设备 2 时钟使能
SDRAM_NCE[1:0]	输出	SDRAM_NCE0: SDRAM 设备 1 片选 SDRAM_NCE1: SDRAM 设备 2 片选
SDRAM_BA[1:0]	输出	Bank 地址
SDRAM_A[12:0]	输出	地址 (列地址, 行地址)
SDRAM_NRAS	输出	行地址使能
SDRAM_NCAS	输出	列地址使能
SDRAM_NWE	输出	写使能
SDRAM_D[31:0]	输入/输出	双向数据总线
SDRAM_DQM[3:0]	输出	输出字节掩码用于写入访问

## 6.5 功能描述

### 6.5.1 SDRAM 时钟

SDRAM 控制器有两个时钟域：

- AHB 总线域：用于寄存器配置和存储器访问。最大时钟频率为 300MHz。
- Memory 时钟域：用于外部存储设备通讯，命名为  $f_{\text{SDRAM\_CLK}}$ 。最大时钟频率为 133MHz。

注：SDRAM 控制器存在延迟版本的内存时钟输入。该时钟用于从外部存储器采样读取数据，并在 PAD 上进行延迟补偿。延迟值可配置，详情请参阅  $\text{RCC\_PLLSFTLK.SDRAMDLSEL}$  和  $\text{RCC\_PLLSFTLK.SDRAMDLLEN}$  寄存器。

### 6.5.2 SDRAM GPIO 配置

SDRAM 控制器的每个引脚可通过多个 GPIO 端口连接至 SDRAM 器件引脚。用户可配置每个引脚对应的端口。表 6-2 分别总结了外置 SDRAM 和 SiP SDRAM 场景下的基本 GPIO 寄存器配置。

注-1：部分 GPIO 端口选项可配置为连接至单个 SDRAM 引脚（例如  $\text{SDRAM\_CKE0}$  可选配连接至 PC3、PH2 或 PC5），但用户必须确保每次仅将单个 GPIO 端口连接至单个 SDRAM 引脚。

注-2：另有若干与 SDRAM 相关的 GPIO 寄存器及 AFIO 寄存器（如  $\text{GPIOx\_DS}$ 、 $\text{AFIO\_SDRAM\_HSMOD\_CFGn}$ 、 $\text{AFIO\_SDRAM\_VREF\_ENn}$ 、 $\text{AFIO\_SDRAMDSN\_CFGn}$  或  $\text{AFIO\_SDRAMDSP\_CFGn}$ ），若需修改其默认设置，请参阅 GPIO 和 AFIO 章节获取详细信息。

表 6-2 SDRAMC GPIO 配置

SDRAM pin	External SDRAM		SiP SDRAM	
	GPIO port	Remap	GPIO Registers Setting	
SDRAM_A0	PF0	AF0	PE8	AF1
SDRAM_A1	PF1	AF0	PE9	AF1
SDRAM_A2	PF2	AF0	PE10	AF1
SDRAM_A3	PF3	AF0	PE11	AF7
SDRAM_A4	PF4	AF0	PH6	AF1
SDRAM_A5	PF5	AF0	PH7	AF10
SDRAM_A6	PF12	AF0	PH8	AF1
SDRAM_A7	PF13	AF0	PH9	AF11
SDRAM_A8	PF14	AF0	PH10	AF1
SDRAM_A9	PF15	AF0	PH11	AF9
SDRAM_A10	PG0	AF0	PG1	AF1
SDRAM_A11	PG1	AF0	PH12	AF1
SDRAM_A12	PG2	AF0	-	-
SDRAM_BA0	PG4	AF0	PF15	AF1
SDRAM_BA1	PG5	AF0	PG0	AF1
SDRAM_CKE0	PC3	AF0	PD14	AF1
	PH2	AF0		

SDRAM pin	External SDRAM		SiP SDRAM	
	GPIO port	Remap	GPIO Registers Setting	
	PC5	AF0		
SDRAM_CKE1	PH7	AF0	-	-
	PB5	AF0		
	PG8	AF0		
SDRAM_CLK	PG8	AF0	PG8	AF0
SDRAM_D0	PD14	AF0	PI4	AF10
SDRAM_D1	PD15	AF0	PI5	AF1
SDRAM_D2	PD0	AF0	PI6	AF10
SDRAM_D3	PD1	AF0	PI7	AF1
SDRAM_D4	PE7	AF0	PF4	AF1
SDRAM_D5	PE8	AF0	PF1	AF1
SDRAM_D6	PE9	AF0	PI9	AF10
	PC12	AF0		
SDRAM_D7	PE10	AF0	PI10	AF1
	PD2	AF0		
SDRAM_D8	PA4	AF0	PI1	AF1
	PE11	AF0		
SDRAM_D9	PA5	AF0	PI2	AF11
	PE12	AF0		
SDRAM_D10	PE13	AF0	PI3	AF1
	PB14	AF0		
SDRAM_D11	PE14	AF0	PD0	AF1
	PB15	AF0		
SDRAM_D12	PC0	AF1	PD1	AF1
	PE15	AF0		
SDRAM_D13	PD8	AF0	PD2	AF1
SDRAM_D14	PD9	AF0	PG15	AF7
SDRAM_D15	PD10	AF0	PE1	AF9
SDRAM_D16	PH8	AF0	-	-
SDRAM_D17	PH9	AF0		
SDRAM_D18	PH10	AF0		
SDRAM_D19	PH11	AF0		
SDRAM_D20	PH12	AF0		
SDRAM_D21	PH13	AF0		
SDRAM_D22	PH14	AF0		
SDRAM_D23	PH15	AF0		
SDRAM_D24	PI0	AF0		
SDRAM_D25	PI1	AF0		
SDRAM_D26	PI2	AF0		
SDRAM_D27	PI3	AF0		
SDRAM_D28	PI6	AF0		

SDRAM pin	External SDRAM		SiP SDRAM	
	GPIO port	Remap	GPIO Registers Setting	
SDRAM_D29	PI7	AF0		
SDRAM_D30	PI9	AF0		
SDRAM_D31	PI10	AF0		
SDRAM_DQM0	PE0	AF0	PA5	AF1
SDRAM_DQM1	PE1	AF0	PG2	AF1
SDRAM_DQM2	PI4	AF0		
SDRAM_DQM3	PI5	AF0	-	-
SDRAM_NRAS	PF11	AF0	PF11	AF0
SDRAM_NCAS	PG15	AF0	PC5	AF7
SDRAM_NCE0	PC2	AF0	PF13	AF1
	PH3	AF0		
	PC4	AF0		
SDRAM_NCE1	PH6	AF0	-	-
	PB6	AF0		
SDRAM_NWE	PC0	AF0	PA7	AF0
	PH5	AF0		
	PA7	AF0		

### 6.5.3 SDRAM 初始化

软件必须在上电和 GPIO 配置后配置 SDRAM 控制器的寄存器，才能访问所有连接的存储设备。SDRAMC 配置寄存器通过 AHB 配置寄存器接口访问。

#### 6.5.3.1 SDRAM 设备初始化序列

按照以下顺序执行 SDRAM 类型存储设备的初始化序列后，即可直接操作对应的映射地址进行读写访问。

1. 计算连接到 SDRAM 控制器的每个同步设备的突发长度：

$$\text{突发长度} = 64 / \text{存储器总线宽度 (以 bit 为单位)}$$

2. 使用 SDRAM\_OS 寄存器和 SDRAM\_OR 寄存器，对每个连接的 SDRAM 设备执行 SDRAM 初始化序列。
3. 配置基地址和地址掩码寄存器
4. 配置刷新闻隔寄存器
5. 配置所有 SDRAM 时序寄存器
6. 配置所有片选配置寄存器

请参阅 6.5.3.2 了解 SDRAM 初始化的示例。

#### 6.5.3.2 SDRAM 初始化示例

根据 SDRAM 设备手册，可以找到以下信息：

**表 6-3 SDRAM 设备型号的存储器大小**

型号	供应商	连接到	内存大小	行数	列数
M12L64164A(2C)	ESMT	SDRAM 1	1M x 16-Bit x 4 Banks	4096(12bits row address)	256 (8bits column address)
M12L128168A	ESMT	SDRAM 2	2M x 16-Bit x 4 Banks	4096(12bits row address)	512 (9bits column address)

**表 6-4 SDRAM 设备型号的模式寄存器**

型号	模式寄存器							
	BA0-BA1	A13-A10/AP	A9	A8-A7	A6-A4	A3	A2-A0	
	RFU	RFU	W.B.L	TM	CAS Latency	Burst Type	Burst Length	
M12L64164A(2C)	RFU	RFU	0: Burst 1: Single	00: Mode Register test Others: Reserved	010: 2 011: 3 Others: Reserved	0: Sequential 1: Interleave	* BT=0: 000:1 001:2 010:4 011:8 111: 256 Others: Reserved	* BT=1: 000:1 001:2 010:4 011:8 Others: Reserved
M12L128168A	RFU	RFU	0: Burst 1: Single	00: Mode Register test Others: Reserved	010: 2 011: 3 Others: Reserved	0: Sequential 1: Interleave	* BT=0: 000:1 001:2 010:4 011:8 111: 512 Others: Reserved	* BT=1: 000:1 001:2 010:4 011:8 Others: Reserved

**表 6-5 SDRAM 设备模式的时序要求**

SDRAM 手册参数	Symbol	M12L64164A(2C)	M12L128168A	对应时序寄存器
Row active to row active delay	tRRD(min)	10ns	10ns	SDRAM_RRDLY
RAS to CAS delay	tRCD(min)	15ns	15ns	SDRAM_RCDLY
Row Precharge time	tRP(min)	15ns	15ns	SDRAM_PT
Row active time	tRAS(min-max)	38ns~100us	38ns~100us	SDRAM_RAT
Row cycle time (Operating)	tRC(min)	53ns	53ns	SDRAM_RCT
Row cycle time (Auto refresh)	tRFC(min)	55ns	55ns	SDRAM_RFCT
Last data in to row precharge	tRDL(min)	2 cycles	2 cycles	SDRAM_WRT
Refresh period <sup>(1)</sup>	-	64ms(4096 rows)	64ms(4096 rows)	SDRAM_RI

注(1): 计算公式参考 表 6-6 步骤-4.

以下表格显示了必要的配置步骤：

表 6-6 SDRAM 初始化流程示例

步骤	详细描述	备注
1.	<b>计算突发长度</b> 对于这些 SDRAM 型号，存储数据位宽均为 16 位，因此： <ul style="list-style-type: none"> <li>● SDRAM1: 突发长度 = <math>64 / 16 = 4</math></li> <li>● SDRAM2: 突发长度 = <math>64 / 16 = 4</math></li> </ul>	在步骤 2.4 中，控制器寄存器和设备模式寄存器的突发长度应设置为相同值。
2.	<b>SDRAM 初始化</b>	
2.1.	<b>电源稳定</b> 默认情况下，复位后 CKE=高电平，DQM=高电平，以及其他引脚处于非活动状态(注意：如果状态不是这样的，请检查)。确保此状态在至少 200 $\mu$ s 后的下一步之前保持。	-
2.2.	<b>预充电所有 BANK</b> <ol style="list-style-type: none"> <li>1. 配置 SDRAM_OS 寄存器                             <ul style="list-style-type: none"> <li>● CKEN: 1'b1</li> <li>● OPCODE[1:0]: 2'b01 (Precharge All Banks)</li> <li>● CS[1:0]: 2'b00 (SDRAM 1 and SDRAM 2 are selected)</li> <li>● BANKADD[1:0]: 2'b00 (don't care)</li> <li>● ADD[13:0]: 14'h0000 (don't care)</li> </ul>                             =&gt; SDRAM_OS: 32'h5000_0000                         </li> <li>2. 读 (或写) SDRAM_OR 寄存器                              注意：这是一个虚拟访问，用于激活之前的 SDRAM_OS 寄存器配置，因此读/写数据为“不关心”。</li> </ol>	-
2.3.	<b>自动刷新</b> <ol style="list-style-type: none"> <li>1. 配置 SDRAM_OS 寄存器                             <ul style="list-style-type: none"> <li>● CKEN: 1'b1 (allow Auto-refresh)</li> <li>● OPCODE[1:0]: 2'b10 (Auto-refresh)</li> <li>● CS[1:0]: 2'b00 (SDRAM 1 and SDRAM 2 are selected)</li> <li>● BANKADD[1:0]: 2'b00 (don't care)</li> <li>● ADD[13:0]: 14'h0000 (don't care)</li> </ul>                             =&gt; SDRAM_OS: 32'h6000_0000                         </li> <li>2. 读 (或写) SDRAM_OR 寄存器</li> <li>3. 至少再重复一次上述步骤 1 和 2</li> </ol>	-
2.4.	<b>加载模式寄存器</b> <ol style="list-style-type: none"> <li>1. 配置 SDRAM_OS 寄存器                             <ul style="list-style-type: none"> <li>● CKEN: 1'b1</li> <li>● OPCODE[1:0]: 2'b11 (Load Mode Register)</li> <li>● CS[1:0]: 2'b00 (SDRAM 1 and SDRAM 2 are selected)</li> </ul>                             注意：两个模型都使用相同的模式寄存器方案，因此可以使用一个命令。如果模式寄存器不同，请为每个设备单独设置。                             <ul style="list-style-type: none"> <li>● BANKADD[1:0]: 2'b00 (don't care since the models do not use)</li> </ul> </li> </ol>	ADD[13:0]的位定义需与表 6-4 一致

	<ul style="list-style-type: none"> <li>● ADD[13:0]: 14'h0032</li> <li>A13-A10: not used by the models</li> <li>A9: 1'b0 (Write Burst Length mode = Burst)</li> <li>A8-A7: 2'b00 (Mode Register Set)</li> <li>A6-A4: 3'b011 (CAS Latency=3)</li> <li>A3: 1'b0 (Burst Type=Sequential)</li> <li>A2-A0: 3'b010 (Burst Length=4)</li> </ul> => SDRAM_OS: 32'h7000_0032 2. 读（或写）SDRAM_OR 寄存器	
3.	<b>配置 SDRAM_BADDx 和 SDRAM_ADDMASKx</b>	
3.1.	<b>配置 SDRAM1 (M12L64164A)</b> 设备 1 总容量: 1M x 16bit x 4banks = 8Mbytes. 因此使用的地址范围为: 0xC000_0000-0xC07F_FFFF 据此配置寄存器如下: => SDRAM_BADD1: 32'hC000_0000 => SDRAM_ADDMASK1: 32'hFF80_0000	分配给 SDRAM1 的地址映射范围为 0xC000_0000-0xCFFF_FFFF。但该设备型号仅使用其中较小的范围。
3.2.	<b>配置 SDRAM2 (M12L128168A)</b> 设备 2 总容量: 2M x 16bit x 4banks = 16Mbytes. 因此使用的地址范围为: 0xD000_0000-0xD0FF_FFFF 据此配置寄存器如下: => SDRAM_BADD2: 32'hD000_0000 => SDRAM_ADDMASK2: 32'hFF00_0000	SDRAM2 的地址映射范围为 0xD000_0000-0xDFFF_FFFF。但该设备型号仅使用其中较小的范围。
4.	<b>配置 SDRAM_RI 寄存器</b> 该寄存器的取值计算如下: 刷新间隔 = (刷新周期 / 行数 / 内存时钟周期) 针对这些器件测试: <ul style="list-style-type: none"> <li>■ 刷新周期 = 64ms = 64000000 ns (取决于 SDRAM 设备手册)</li> <li>■ 行数 = 4096 (取决于 SDRAM 设备手册)</li> <li>■ 内存时钟周期 = 10ns (100MHz, 取决于 f<sub>SDRAM_CLK</sub>)</li> </ul> 则刷新间隔 = 64000000/4096/10 ≈ 1562 为确保刷新间隔可靠性, 应设置较小数值, 故: => SDRAM_RI: 32'h0000_05DC (1500)	若两个设备对刷新周期要求不同, 则计算并采用较小值。
5.	<b>配置所有 SDRAM 时序寄存器</b> 根据器件数据手册, 配置必要的时序参数。对于这些器件, 在存储时钟 f <sub>SDRAM_CLK</sub> 频率为 100MHz (10ns) 时, 可按以下方式配置: => Row Active Time Register (SDRAM_RAT): 4 => Row Cycle Time Register (SDRAM_RCT): 6 => Row Active to Row Active Delay Register (SDRAM_RRDLY): 2 => Precharge Time Register (SDRAM_PT): 2 => Write Recovery Time Register (SDRAM_WRT): 3	本例中的数值设置为典型值。只要满足设备时序要求, 可进行调整。若两个设备对刷新周期要求不同, 应计算并采用较小或较大的数值, 以同时满足所有设备需求。

	=> Refresh Cycle Time Register (SDRAM_RFCT): 6 => RAS to CAS Delay Time Register (SDRAM_RCDLY): 2	
6.	<b>配置 SDRAM_CFGx</b>	
6.1.	<u>配置 SDRAM1 (M12L64164A)</u> <ul style="list-style-type: none"> <li>● SDRAM Enable (bit[31]): 1'b1</li> <li>● Refresh Enable (bit[30]): 1'b1</li> <li>● Auto Precharge Enable (bit[23]): 1'b1</li> <li>● Mem bus width (bit[22:21]): 2'b01 (16-bit)</li> <li>● Burst length (bit[20:18]): 3'b011 (length=4)</li> <li>● CAS Latency (bit[17:16]): 2'b11</li> <li>● Prefetch Enable (bit[9]): 1'b1</li> <li>● SOM Enable (bit[8]): 1'b1</li> <li>● Bank Interleave Enable (bit[4]): 1'b1</li> <li>● Address configuration (bit[3:0]): 4'b0000 (4 banks, 4096 rows, 256 columns)</li> </ul> => SDRAM_CFG1: 32'hC0AF_0310	CAS 延迟设置必须与 SDRAM_OS 设备模式寄存器中设定的值一致。
6.2.	<u>配置 SDRAM2 (M12L128168A)</u> <ul style="list-style-type: none"> <li>● SDRAM Enable (bit[31]): 1'b1</li> <li>● Refresh Enable (bit[30]): 1'b1</li> <li>● Auto Precharge Enable (bit[23]): 1'b1</li> <li>● Mem bus width (bit[22:21]): 2'b01 (16-bit)</li> <li>● Burst length (bit[20:18]): 3'b011 (length=4)</li> <li>● CAS Latency (bit[17:16]): 2'b11</li> <li>● Prefetch Enable (bit[9]): 1'b1</li> <li>● SOM Enable (bit[8]): 1'b1</li> <li>● Bank Interleave Enable (bit[4]): 1'b1</li> <li>● Address configuration (bit[3:0]): 4'b0001 (4 banks, 4096 rows, 512 columns)</li> </ul> => SDRAM_CFG2: 32'hC0AF_0311	CAS 延迟设置必须与 SDRAM_OS 设备模式寄存器中设定的值一致。

注-1: 存储时钟  $f_{SDRAM\_CLK}$  假设运行在 100MHz (时钟周期=10ns)

注-2: 需要正确计算最大突发长度。如果设置的数字小于所需值, 数据可能会丢失。如果设置的数字过大, 会影响访问性能。

注-3: 该值可以根据设备特性或用户意图进行更改。

### 6.5.3.3 SDRAM 模式寄存器值要求

为了确保 SDRAM 设备正常运行, SDRAM 设备模式寄存器值必须满足一些要求:

- 突发长度字段必须设置为与 SDRAM 初始化序列的第 1 步中计算出的突发长度值相对应的数值。
- 突发类型必须为顺序。
- CAS 延迟字段必须设置为与编程到芯片 SDRAM 配置寄存器中的 CAS 延迟相对应的数值。CAS 延迟取决于设备的速度。SDRAMC 支持 1、2 和 3 的 CAS 延迟。



- 写突发模式必须设置为编程突发长度。
- 确保 SDRAM 配置寄存器中的设置代表为每个连接的设备写入模式寄存器的值。

### 6.5.4 SDRAM 设备地址范围

每个 SDRAM 设备可以占用从 64KB 到 256MB 的地址空间。基地址寄存器和地址掩码寄存器定义了设备占用的地址范围。当 SDRAM\_CFGx.SDRAMEN 位设置为 1 时，SDRAM 设备被认为是已启用，并且将在地址译码中使用。当存储器访问地址（来自系统）和基地址寄存器的值，都与地址掩码寄存器的值掩码时，SDRAM 设备片选被选中：

$$\text{选中范围} = (\text{Base Address}[31:0] \& \text{Address Mask}[31:0]) = (\text{SDRAM\_BADDx} \& \text{SDRAM\_ADDMASKx})$$

*注意：如果存储器访问地址解码为任何启用的片选地址范围之外的地址范围，则会生成错误。不要将基地址寄存器和地址掩码寄存器编程为导致片选地址范围与其他 SDRAM 设备片选地址范围重叠的值。重叠地址区域访问会导致错误的操作。*

根据系统地址映射，SDRAM 1 的基地址为 0xC0000000，SDRAM 2 为 0xD0000000。表 6-7 显示了此 SDRAMC 支持的所有 SDRAM 设备地址范围和大小的详细信息。

SDRAM\_BADDx 寄存器值为 0x98000000(SDRAM1)或 0x9C000000(SDRAM2)

SDRAM\_ADDMASKx 寄存器值为 (0xFFFFFFFF - (SDRAM 容量大小 - 1))

**表 6-7 SDRAM 设备支持的地址范围**

设备	SDRAM_BADDx 值	SDRAM_ADDMASKx 值	地址范围	容量大小/byte
SDRAM 1	0xC0000000	0xFFFF0000	0xC0000000 – 0xC000FFFF	64KB
	0xC0000000	0xFFFE0000	0xC0000000 – 0xC001FFFF	128KB
	0xC0000000	0xFFFC0000	0xC0000000 – 0xC003FFFF	256KB
	0xC0000000	0xFFF80000	0xC0000000 – 0xC007FFFF	512KB
	0xC0000000	0xFF000000	0xC0000000 – 0xC00FFFFF	1MB
	0xC0000000	0xFFE00000	0xC0000000 – 0xC01FFFFF	2MB
	0xC0000000	0xFFC00000	0xC0000000 – 0xC03FFFFF	4MB
	0xC0000000	0xFF800000	0xC0000000 – 0xC07FFFFF	8MB
	0xC0000000	0xFF000000	0xC0000000 – 0xC0FFFFFF	16MB
	0xC0000000	0xFFE00000	0xC0000000 – 0xC1FFFFFF	32MB
	0xC0000000	0xFFC00000	0xC0000000 – 0xC3FFFFFF	64MB
	0xC0000000	0xFF800000	0xC0000000 – 0xC7FFFFFF	128MB

	0xC0000000	0xF0000000	0xC0000000 – 0xCFFFFFFF	256MB
SDRAM 2	0xD0000000	0xFFFF0000	0xD0000000 – 0xD000FFFF	64KB
	0xD0000000	0xFFFE0000	0xD0000000 – 0xD001FFFF	128KB
	0xD0000000	0xFFFC0000	0xD0000000 – 0xD003FFFF	256KB
	0xD0000000	0xFF800000	0xD0000000 – 0xD007FFFF	512KB
	0xD0000000	0xFF000000	0xD0000000 – 0xD00FFFFFFF	1MB
	0xD0000000	0xFFE00000	0xD0000000 – 0xD01FFFFFFF	2MB
	0xD0000000	0xFFC00000	0xD0000000 – 0xD03FFFFFFF	4MB
	0xD0000000	0xFF800000	0xD0000000 – 0xD07FFFFFFF	8MB
	0xD0000000	0xFF000000	0xD0000000 – 0xD0FFFFFFF	16MB
	0xD0000000	0xFE000000	0xD0000000 – 0xD1FFFFFFF	32MB
	0xD0000000	0xFC000000	0xD0000000 – 0xD3FFFFFFF	64MB
	0xD0000000	0xF8000000	0xD0000000 – 0xD7FFFFFFF	128MB
	0xD0000000	0xF0000000	0xD0000000 – 0xDFFFFFFF	256MB

### 6.5.5 访问 SDRAM 设备时序图

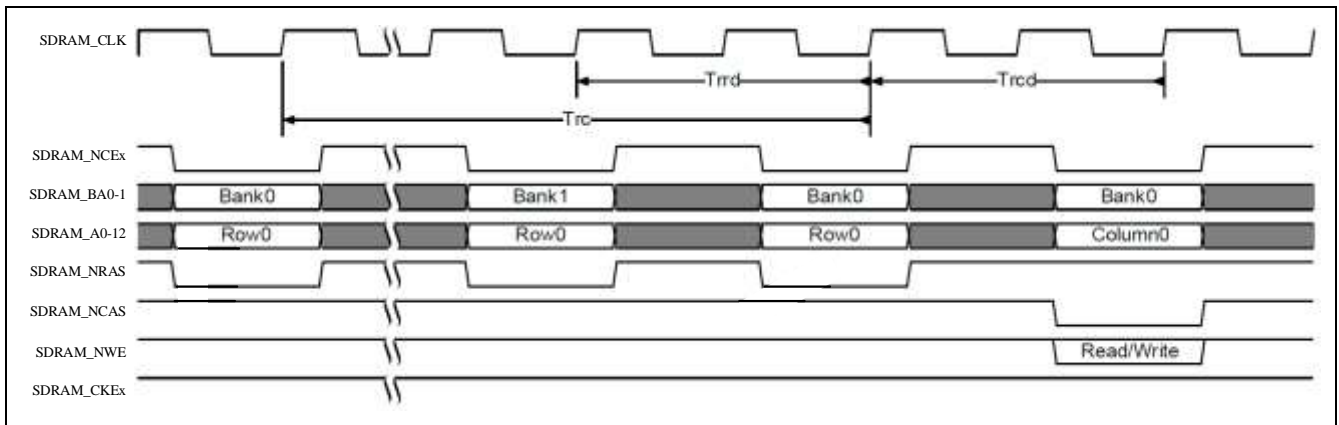
对 SDRAM 存储器设备的访问在以下情况下开始:

- 这里是通过 SDRAM 控制器的 AHB 存储器访问接口进行读写访问。
- 读写周期地址位于其中一个使能的 SDRAM 设备地址范围内的地址。
- 使用对 SDRAM 操作请求寄存器的访问来请求 SDRAM 操作。
- 刷新写缓冲区需要 SDRAM 写入操作，使用对同步内存缓冲区操作寄存器的写入访问来请求。

#### 6.5.5.1 行激活

在对任何 SDRAM 设备执行读或写操作时，访问地址命中的行必须被激活

图 6-2 SDRAM 行激活



SDRAM 行在以下情况下被激活:

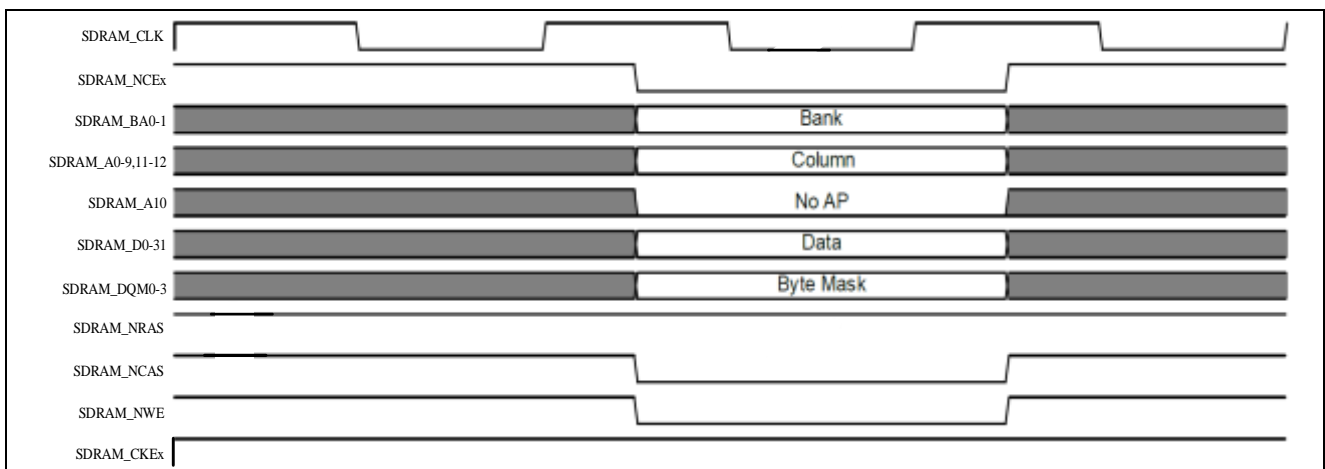
- 当前 SDRAM 读或写操作命中的当前关闭行。
- 当前 SDRAM 读或写操作命中的当前预充电 BANK。
- **Row Cycle Time** 没有被违反。
- **Row Active To Row Active** 延迟没有被违反
- **Precharge Time** 没有被违反
- **Refresh Cycle Time** 没有被违反

控制器定时参数描述:

- **$T_{rc}$  – Row Cycle Time** – 也称为 RAS 周期时间。该参数设置在行周期时间寄存器中。
- **$T_{rrd}$  – Row Active to Row Active Delay** – 定义了对同一 SDRAM 设备的不同 BANK 的两个激活命令之间的最小延迟。该参数设置在行激活到行激活延迟寄存器中。
- **$T_{red}$  – RAS to CAS Delay** – 定义了对同一 SDRAM 设备中同一 BANK 的行激活命令和读或写命令之间的最小延迟。该参数设置在 RAS 到 CAS 延迟寄存器中。

### 6.5.5.2 Single 写传输，不带自动预充

图 6-3 Single 写传输，不带自动预充

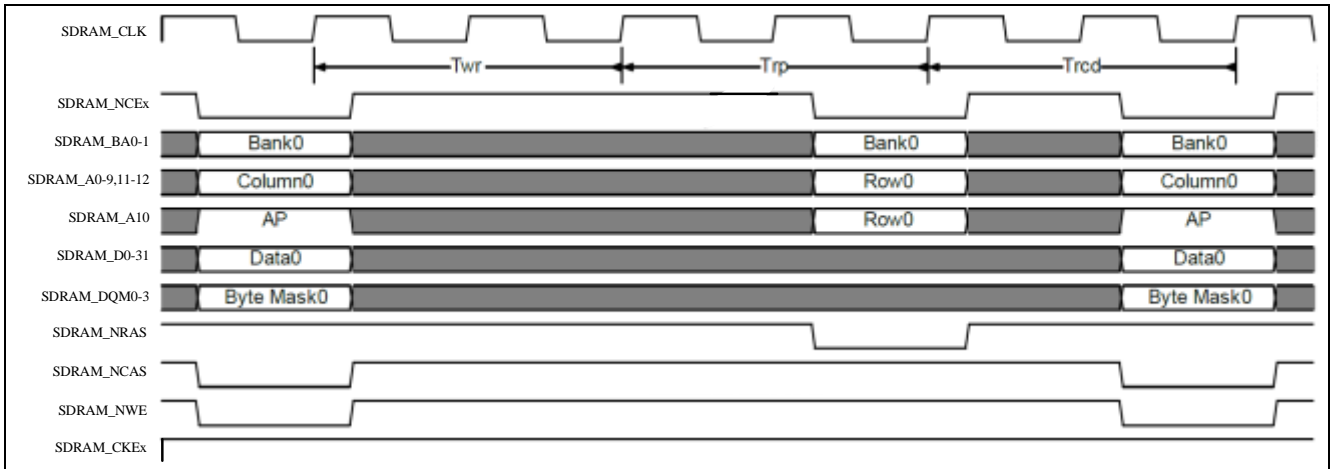


单 SDRAM 写入，不带自动预充电，在以下情况下启动:

- 当前 SDRAM 写入操作命中已打开的行。
- 突发长度字段，是 SDRAM 配置寄存器的一部分，设置为长度 1。软件必须将突发长度字段编程为与写入 SDRAM 存储器设备的模式寄存器值相对应的数值。
- RAS 到 CAS 延迟没有违反。
- 自动预充电使能位，是 SDRAM 配置寄存器的一部分，设置为 0 (禁用)。

### 6.5.5.3 Single 写传输，带自动预充

图 6-4 Single 写传输，带自动预充



单 SDRAM 写入与自动预充电是在与单 SDRAM 写入不使用自动预充电相同的条件下开始的，除了：

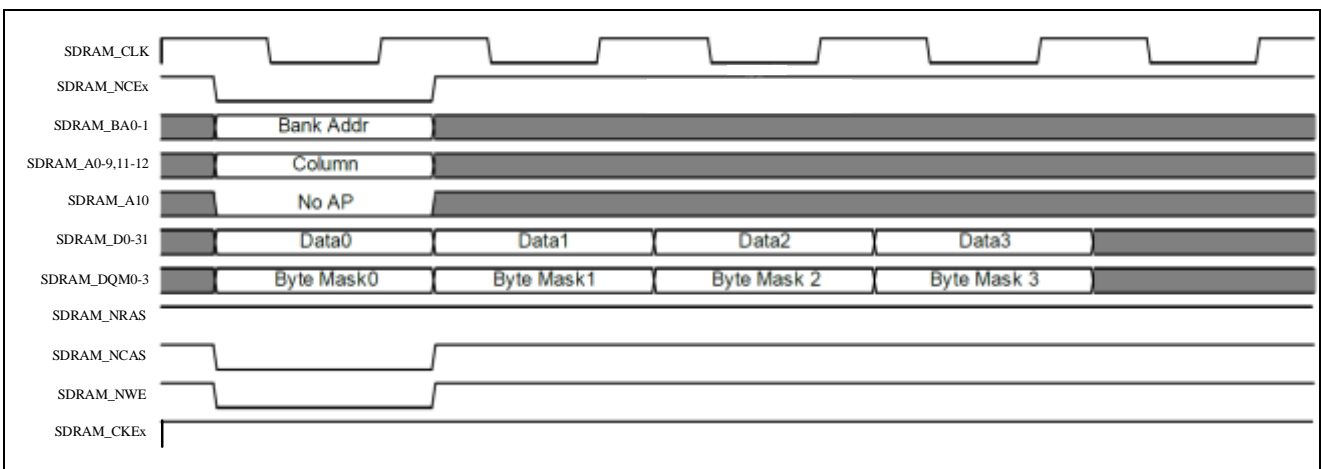
- 自动预充电使能位，是 SDRAM 配置寄存器的一部分，设置为 1 (使能)。

控制器定时参数描述：

- **T<sub>wr</sub> – Write Recovery Time** – 该参数设置在写恢复时间寄存器中。SDRAM 存储器设备在写命令发出后发出内部预充电命令 写恢复时间。
- **T<sub>rp</sub> – Precharge Time** – 此参数设置在预充电时间寄存器中。在发出内部或外部预充电命令后，控制器不得访问 BANK 中的特定行，时间为预充电时间。
- **T<sub>rcd</sub>** – 参考 6.5.5.1 行激活。

### 6.5.5.4 Burst 写传输，不带自动预充

图 6-5 Burst 写传输，不带自动预充

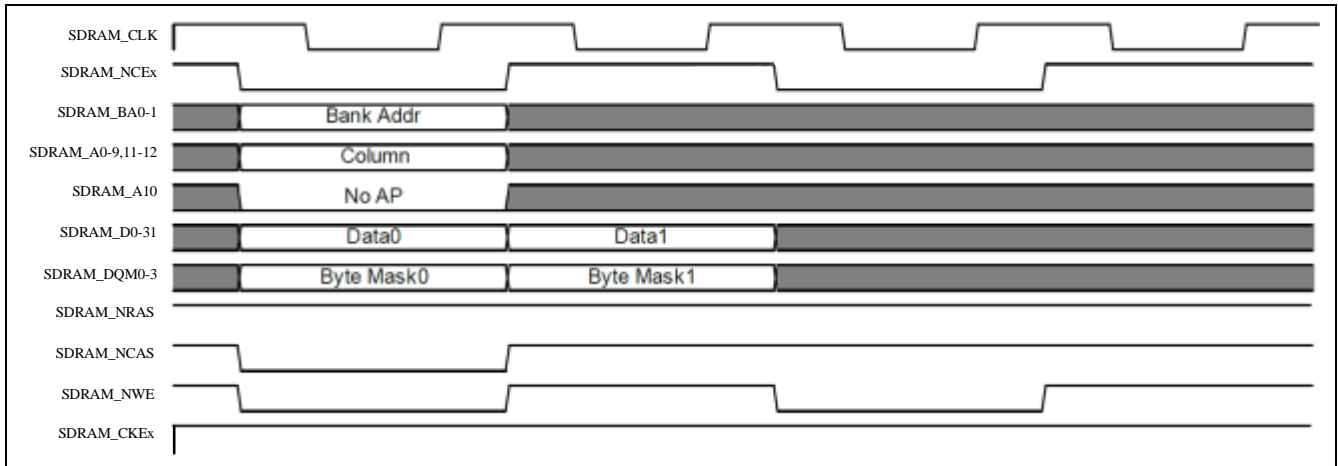


当以下条件满足时，启动 SDRAM Burst 写入，无自动预充电：

- 当前 SDRAM 写入操作命中已打开的行。

- SDRAM 配置寄存器中的 突发长度 字段设置为大于 1 的长度。软件必须将 突发长度 字段编程为与写入 SDRAM 存储器设备的模式寄存器值对应的数值。当所有来自写入缓冲器的有效字节都已写入存储器时，控制器终止带 Auto Precharge 的 Write Burst。
- RAS 到 CAS 延迟没有被违反。
- SDRAM 配置寄存器中的 自动预充电使能 位设置为 0（禁用）。

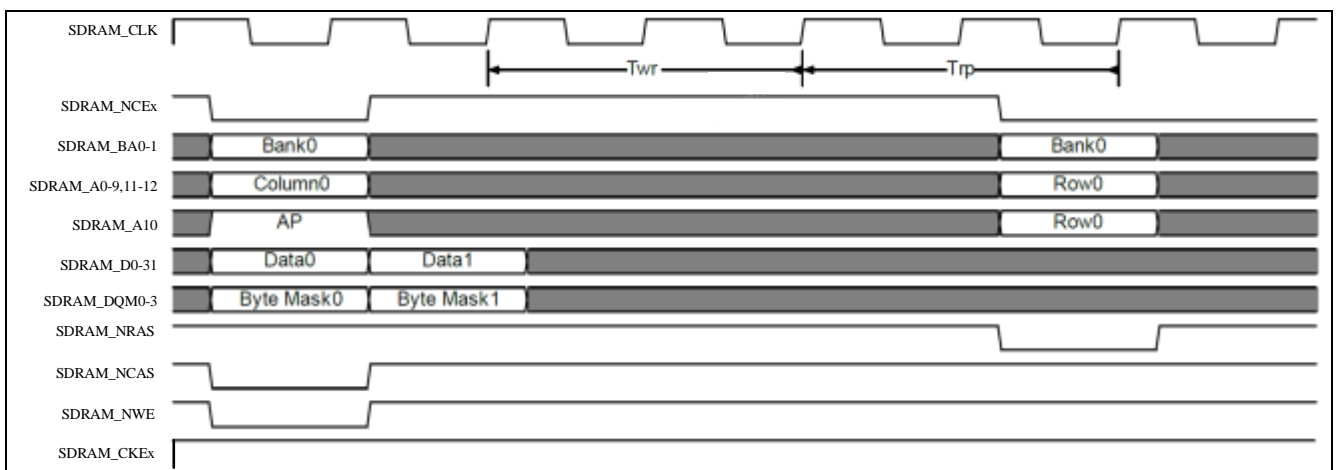
图 6-6 Burst 写终止



禁用自动预充电的突发写操作将在写缓冲区最后一个有效字节写入存储器后的时钟周期终止。上图表明长度为 4 或 8 的突发写操作在第二次写传输后终止。

### 6.5.5.5 Burst 写传输，带自动预充

图 6-7 Burst 写传输，带自动预充



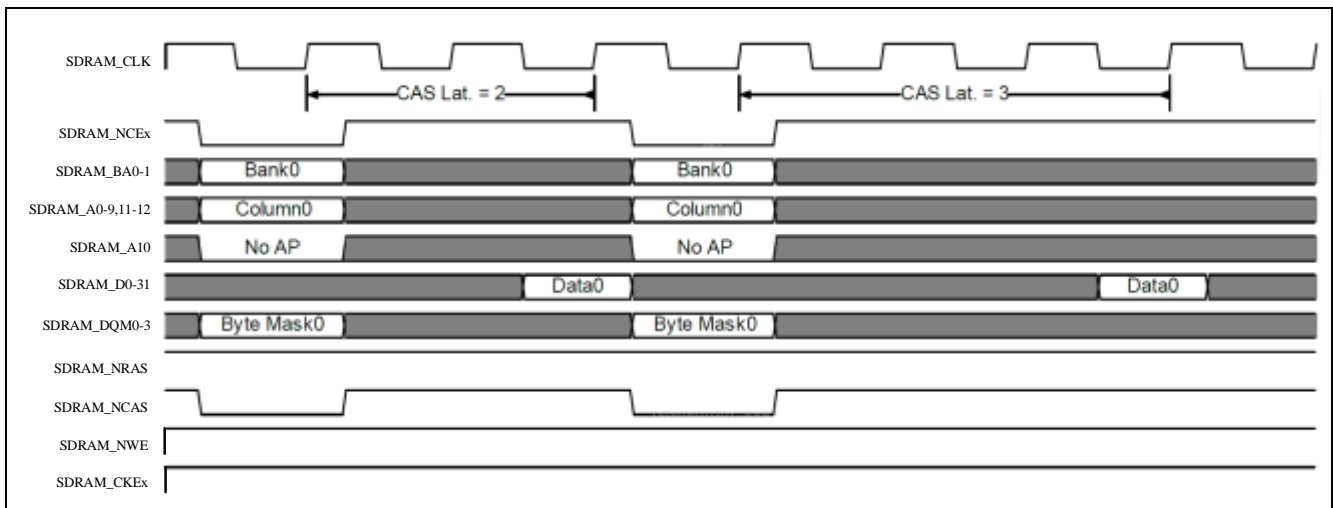
带自动预充电的突发式 SDRAM 写入是在与不带自动预充电的突发式 SDRAM 写入相同的条件下开始的，除了：

- 自动 预充电 使能位，SDRAM 配置寄存器的一部分，设置为 1（使能）。

- 存储控制器不会终止带有自动预充电的写操作突发。它始终执行完整的预编程突发长度写操作，无论写入缓冲器中存储的有效字节数是多少。它使用 DQM 信号屏蔽无效字节。有关定时参数的描述，请参阅带有自动预充电的单写传输。

### 6.5.5.6 Single 读传输，不带自动预充

图 6-8 Single 读传输，不带自动预充



单 SDRAM 读取，不带自动预充电，在以下情况下开始:

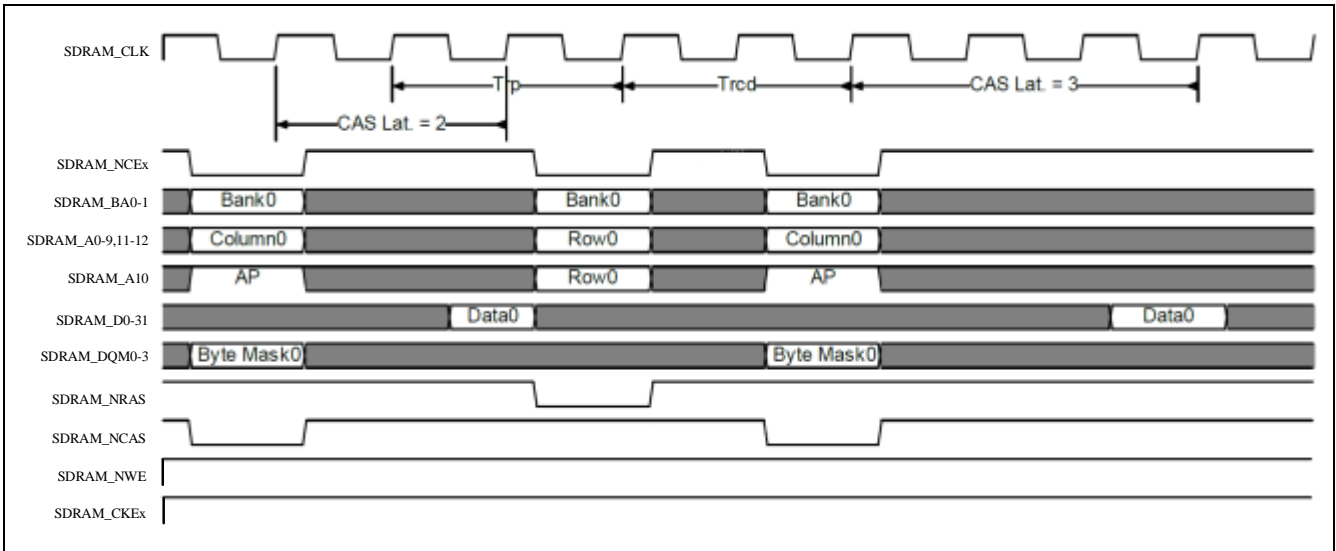
- 当前 SDRAM 读操作地址已命中的打开行。
- 突发长度字段，是 SDRAM 配置寄存器的一部分，设置为长度 1。软件必须将突发长度字段设置为与写入 SDRAM 存储器设备的模式寄存器值相对应的数值。
- RAS 到 CAS 延迟没有违反。
- 自动预充电使能位，是 SDRAM 配置寄存器的一部分，设置为 0（禁用）。

控制器定时参数描述:

- **CAS Latency** – 在 SDRAM 配置寄存器中的 CAS 延迟字段中，为每个片选单独设置。软件必须将此字段 设置为与写入 SDRAM 设备模式寄存器的 CAS 延迟值相对应的数值。

### 6.5.5.7 Single 读传输，带自动预充

图 6-9 Single 读传输，带自动预充

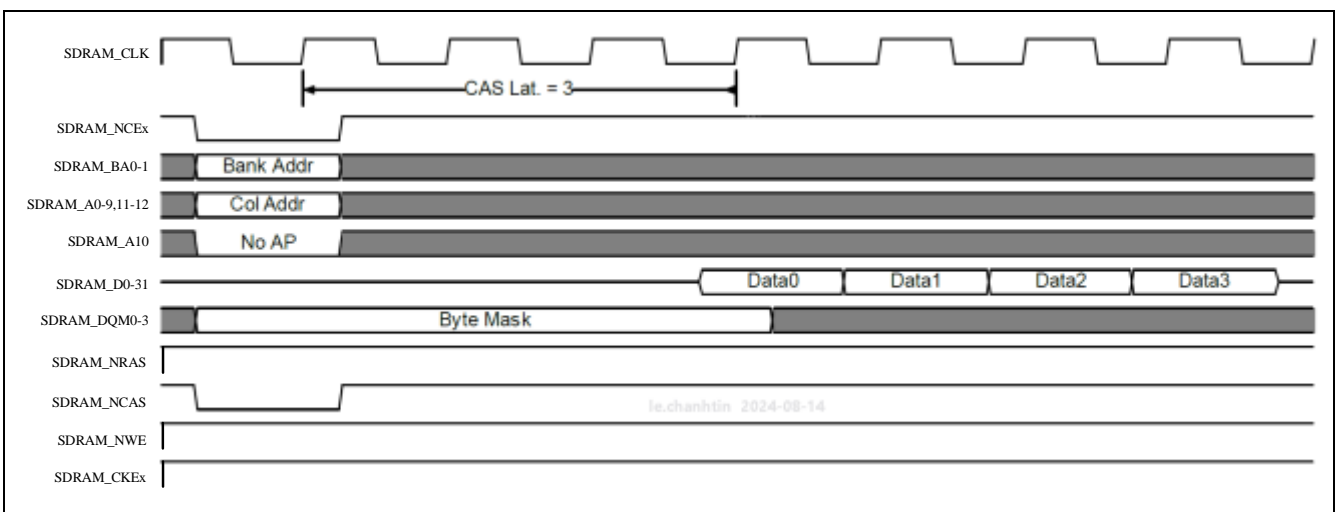


单 SDRAM 读取带有自动预充电在与单 SDRAM 读取不带自动预充电相同的条件下启动，除了：

- **Auto Precharge Enable** — 自动预充电使能位，是片选配置寄存器的一部分，设置为 1 使能。
- **CAS Latency** – 参考 6.5.5.6 单读传输无自动预充电。
- **$T_{rp}$  – Precharge Time** – 该参数设置在预充电时间寄存器。在执行内部预充电命令后，不允许访问同一行，直到预充电时间结束。
- **$T_{red}$  – RAS to CAS Delay** – 参考 6.5.5.1 行激活。

### 6.5.5.8 Burst 读传输，不带自动预充

图 6-10 Burst 读传输，不带自动预充



Burst SDRAM 读无自动预充电在以下情况下开始：

- 当前 SDRAM 读操作地址已击中已打开的行。

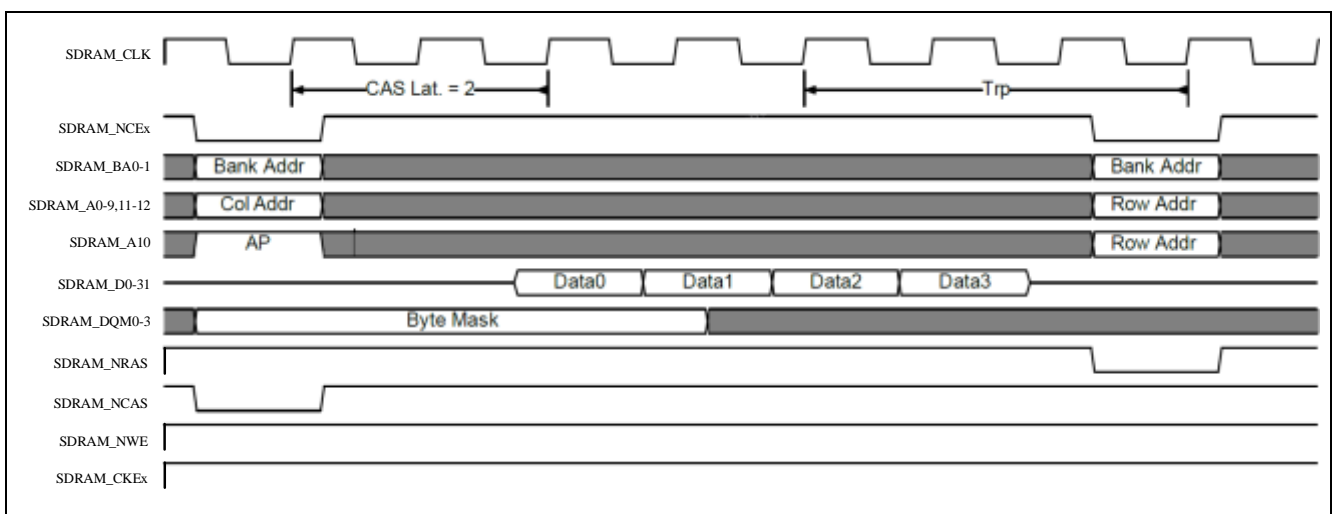
- 突发长度 字段，是 SDRAM 配置寄存器的一部分， 设置为大于 1 的长度。软件必须将突发长度字段设置为与写 SDRAM 存储器设备的模式寄存器值相对应的数值。每次启动读操作时，都会执行完整的突发。
- RAS 到 CAS 延迟没有违反 – 参见 6.5.5.1 行激活。
- 自动预充电使能位， 是 SDRAM 配置寄存器的一部分， 设置为 0（禁用）。

控制器定时参数描述:

- **CAS Latency** – 参见 6.5.5.6 单读传输无自动预充电。

### 6.5.5.9 Burst 读传输，带自动预充

图 6-11 Burst 读传输，带自动预充



具有自动预充电的猝发式 SDRAM 读在与 burst SDRAM 读无自动预充电相同的条件下启动，除了:

- 自动预充电使能 位， 是 SDRAM 配置寄存器的一部分， 设置为 1 使能。

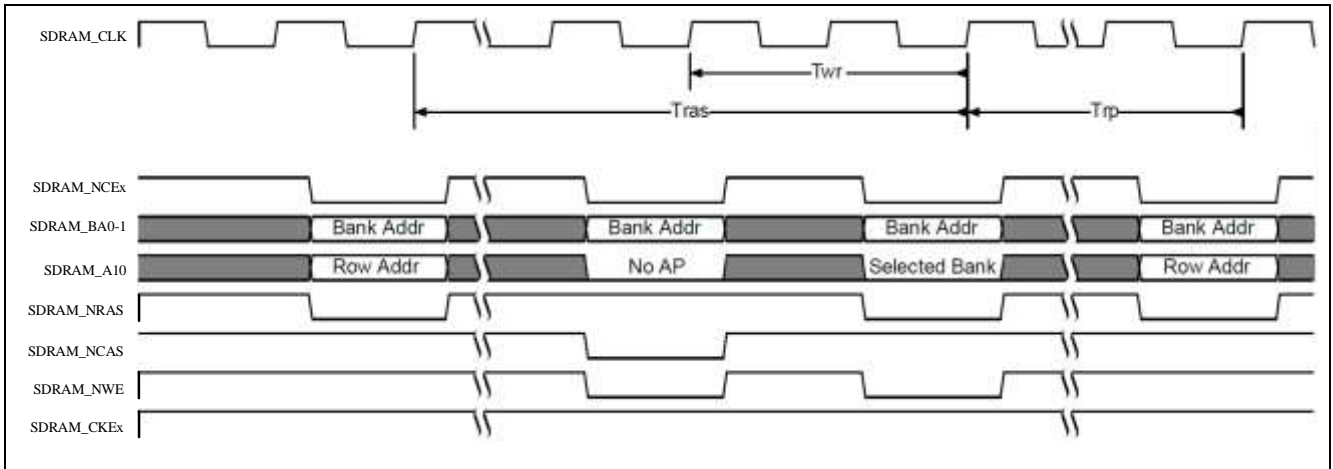
控制器定时参数描述:

- **CAS Latency** – 参见 6.5.5.6 单读传输无自动预充电。
- **Trp** – 参见 6.5.5.7 单次读预充电传输。



### 6.5.5.10 预充电选定 Bank

图 6-12 预充选定 Bank



当以下条件满足时，将启动 SDRAM 设备中特定 bank 的预充电：

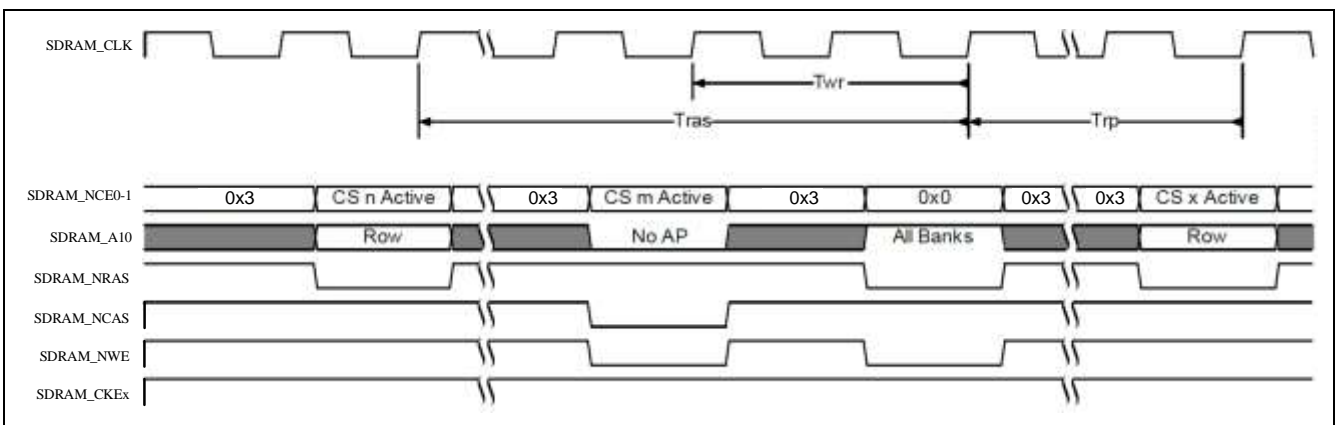
- 当前读取或写入操作的地址命中了关闭的行，并且同一 BANK 中的其他行已经打开。

控制器定时参数描述：

- **Tras – Row Active Time** – 在特定 bank 的行被激活后，必须在最小行活动时间过期之前不能被预充电（关闭）。最小行活动时间参数设置在行活动时间寄存器中。
- **Twr – Write Recovery Time** – 在最后的的数据被写入到指定的 bank 后，必须在写恢复时间过期之前不能被预充电。此定时参数设置在写恢复时间寄存器中。
- **Trp – Precharge Time** – 在向指定的 bank 发出预充电命令后，必须在预充电时间过期之前不能被访问（刷新、激活或预充电）。此参数设置在预充电时间寄存器中。

### 6.5.5.11 预充电所有 Banks

图 6-13 预充所有 Banks



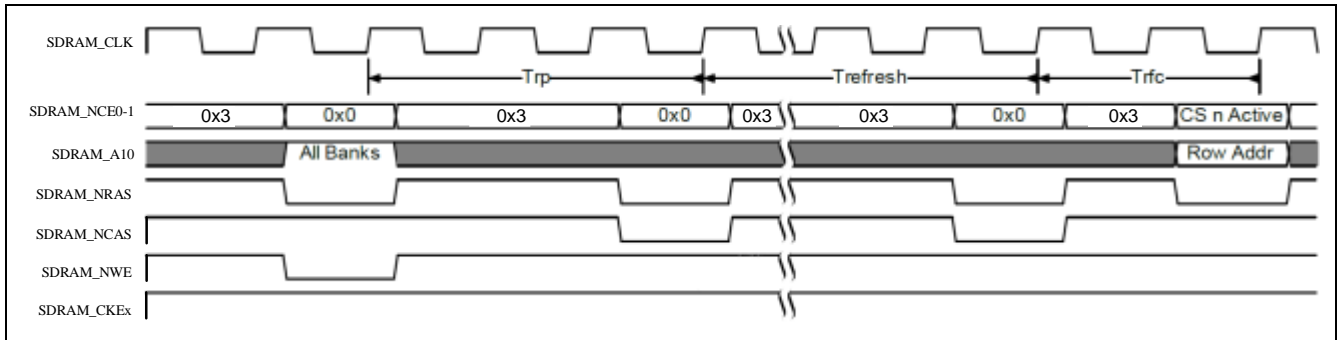
预充电所有 SDRAM BANK 在所有设备中启动时：

- 刷新定时器到期且连接设备之一至少有一行打开。
- 预充电所有命令配置在 SDRAM 操作设置寄存器中，并且向 SDRAM 操作请求寄存器发出读写访问。

图 6-13 中的定时参数与图 6-12 中的定时参数相同，不同之处在于它们必须在每个连接的设备中满足，因为所有设备中的所有 BANK 都处于预充电状态，发出此命令。

### 6.5.5.12 自动刷新

图 6-14 自动刷新



SDRAM 自动刷新命令在以下情况下启动：

- 当刷新定时器到期时，所有设备中的所有行都处于非活动状态（处于预充电状态），并且未违反  $T_{rp}$ 。
- 当刷新命令配置在 SDRAM 操作设置寄存器中，并且进行读或写访问时已发出到 SDRAM 操作请求寄存器。

控制器定时参数描述：

- $T_{rp}$  – Precharge Recovery Time – 请参阅预充电选定 bank。
- $T_{refresh}$  – Refresh Interval – 设置在刷新间隔寄存器中。大多数 SDRAM 设备的数据手册提供有关刷新周期的信息，单位为毫秒。
- 用户必须将此值除以设备中的行数，然后除以内存时钟周期，以获得此寄存器的值。建议将寄存器设置为略低于几个百分比的值，以允许两个刷新周期之间的一些余量。
- $T_{rfc}$  – Refresh Cycle Time – 在满足刷新周期时间之前，不能向任何 SDRAM 设备发出任何命令。此定时参数设置在刷新周期时间寄存器中。

## 6.5.6 SDRAM 设备挂起和唤醒序列

### 6.5.6.1 暂停序列

对同步动态设备（SDRAM 外设）而言，暂停序列通常比对静态设备而言更为复杂。每个 SDRAM 外设的手册提供用于暂停设备所使用的特殊序列的信息。一般来说，对同步动态设备的暂停序列应遵循以下步骤：

1. 软件必须禁用所有同步动态设备芯片使能。它通过向 SDRAM\_CFGx 寄存器中的所有 SDRAMEN 位写入 0 值来实现。在访问设备时，请勿禁用 SDRAM 设备。
2. 等待至少 32 个存储器时钟周期，以允许存储器总线上的任何读或写完成操作。
3. 当所有动态设备芯片使能被禁用并且经过适当的延迟后，软件必须向 SDRAM\_CBO 寄存器执行写入操作，以将任何存在于写缓冲区中的写数据刷新到外部存储器。

4. 在刷新写缓冲区后，软件必须从 SDRAM\_CBO 寄存器执行读取操作，以使所有存在于读缓冲区中的数据失效。
5. 当所有芯片使能被禁用，写缓冲区刷新且读缓冲区失效后，软件必须向 SDRAM\_CFGx 寄存器中的所有 REFRESHEN 位写入 0 值。软件现在必须等待足够长的时间，以满足几次（5-10）刷新周期时间，以允许任何未完成的刷新周期完成。
6. 软件使用 SDRAM\_OS 寄存器和 SDRAM\_OR 寄存器向连接的 SDRAM 设备发出适当的命令序列。应该首先发出预充电所有命令，以确保进入挂起模式时没有行被打开。在发出预充电所有命令后必须等待足够的时间，以避免违反预充电时间。
7. 软件将使用 SDRAM\_OS 寄存器和 SDRAM\_OR 寄存器，并使用 CKEN 写 0 向连接的 SDRAM 设备发出刷新命令，以便它们进入自刷新模式。如果设备的数据手册中指定了不同的或额外的操作，则应遵循这些操作，以确保正常运行。

### 6.5.6.2 唤醒序列

每个同步动态设备的 数据手册 中会规定正确的唤醒序列。系统软件应遵循该序列，通常需要以下步骤：

1. 设备可以具有最小的自刷新时间参数。内核不计时此参数，因此软件必须确保在满足此时间参数之前 不要启动唤醒程序。
2. 软件现在必须遵循设备数据手册中指定的任何程序，使用 SDRAM\_OS 寄存器和 SDRAM\_OR 寄存器。此程序通常包括几个 NOP 操作，然后是几个自动刷新命令，所有这些命令都使用 CKE 写 1 发出。如果设备不需要任何特殊的命令序列来退出自刷新模式，则应至少发出一个 NOP 命令，其 CKEN 值设置为 1 以启用外部存储器时钟。然后至少向所有连接的设备发出一个自动刷新命令，其 CKEN 值设置为 1，因为无法知道上次内部刷新命令何时执行。
3. 软件可以通过将 1 值写入 SDRAM\_CFGx 寄存器中的 REFRESHEN 位，来完成启用同步动态设备刷新操作。
4. 软件可以通过将 1 值写入 SDRAM\_CFGx 寄存器中的 SDRAMEN 位，来完成启用同步芯片使能。

### 6.5.7 内存数据缓冲

SDRAM 控制器已实现读写缓冲区，以便更快地访问外部 SDRAM 设备。

#### 6.5.7.1 写入数据缓冲

当发出写入访问时，数据被存储到写入数据缓冲区，并且满足以下之一条件：

- 其中一个已实现的写入缓冲区为空；
- 写入循环的地址在其中一个已实现的写入缓冲区的地址范围之内；
- 至少一个已实现的写入缓冲区中的数据已经被存储到外部存储设备。

当发出写入访问时，来自内部写入缓冲区的的数据被存储到外部存储设备；并且满足以下之一条件：

- 所有已实现的写入缓冲区都非空，并且写入传输的地址不在任何已实现的写入缓冲区的地址范围内；

- 至少一个写入缓冲区非空且尚未存储到外部存储设备，并且写入传输的地址不在其地址范围内，并且当前访问的片选具有存储缺失 (SOMEN) 位在其 SDRAM 配置寄存器中。这意味着来自一个缓冲区的有效写入数据将被存储到外部存储设备，而第二个缓冲区同时接受下一个写入数据。这可以提高某些应用程序的写入传输速度；
- 对同步内存缓冲区操作寄存器进行写入，并且至少一个写入缓冲区包含尚未写入到外部存储设备的有效数据。

注意，最近最少使用的写入缓冲器总是首先存储。

### 6.5.7.2 读取数据缓冲

当请求读访问时，读取数据来自同步存储器数据缓冲区（读或写）：

- 所有请求的字节都存在于写入或读取缓冲区中。一个或多个写入缓冲区中的有效字节优先于存储在读取缓冲区的字节。

当请求读访问满足以下之一条件时，数据从外部存储设备读取并存储到读取缓冲区中：

- 读总线上没有或不是所有请求的字节都存在于写入或读取缓冲区中
- 当前读取突发类型为增量类型，并且当前访问的片选具有预取使能标志。(PREFCHRDEN) 位被设置在其 SDRAM 配置寄存器中，并且预取数据不存在于任何的读取缓冲器中。这实际上意味着，虽然从一个缓冲器向 AHB 读数据总线提供读取数据，第二个读取缓冲器同时从外部存储器填充。这可以提高某些应用中读取传输的性能（例如大型 DMA 传输）。

注意，最近一次未访问的读取缓冲器首先从外部存储器填充。

## 6.5.8 写保护

SDRAM 控制器支持写保护功能。当 SDRAM 写保护寄存器中的位 WP[n] 设置为 1 时，它不允许对 SDRAM 设备进行任何写入访问。此时对 SDRAM 设备的写入访问将会在 AHB 存储器访问接口上产生错误响应，并且 SDRAM 存储器不会更新。

此功能可为每个独立的 SDRAM 设备启用。

此功能不会影响读访问。

## 6.6 SDRAMC 寄存器

### 6.6.1 SDRAM1 基地址寄存器 (SDRAM\_BADD1)

偏移地址：0x0080

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADDBASE[19:4]															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

ADDBASE[3:0]	Reserved
--------------	----------

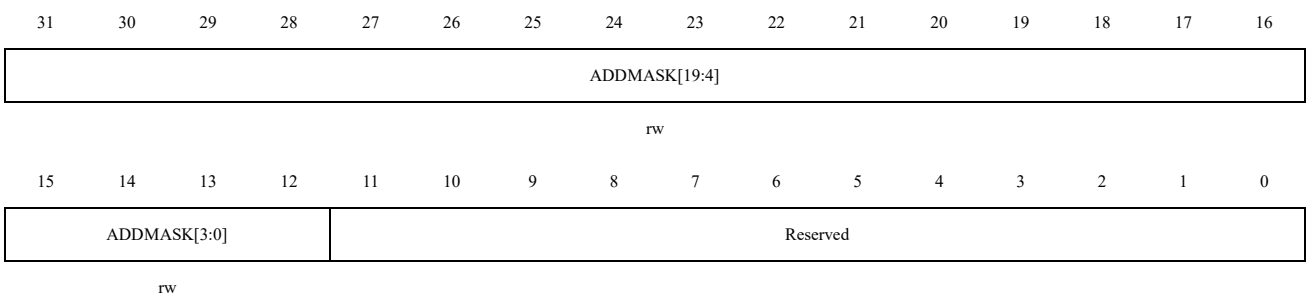
rw

位域	名称	描述
31:12	ADDBASE[19:0]	SDRAM1 的基址值。 通过对应基地址寄存器和地址掩码寄存器中的值来解码 SDRAM1 的地址范围。
11:0	Reserved	保留，必须保持复位值

### 6.6.2 SDRAM1 地址掩码寄存器 (SDRAM\_ADDMASK1)

偏移地址：0x0084

复位值：0x0000 0000

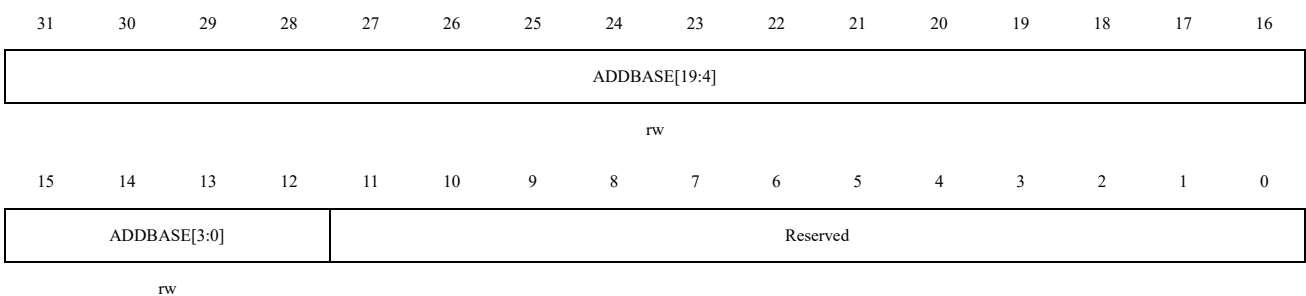


位域	名称	描述
31:12	ADDMASK[19:0]	SDRAM1 的地址掩码值。 通过对应基地址寄存器和地址掩码寄存器中的值来解码 SDRAM1 的地址范围。
11:0	Reserved	保留，必须保持复位值

### 6.6.3 SDRAM2 基地址寄存器 (SDRAM\_BADD2)

偏移地址：0x0088

复位值：0x0000 0000

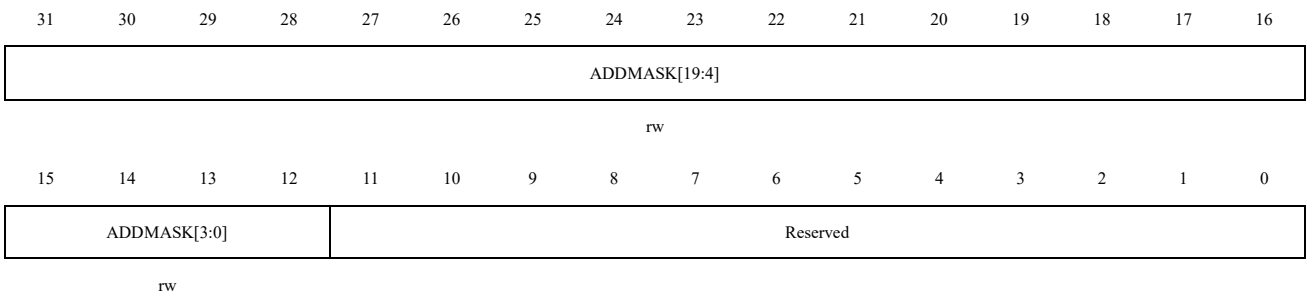


位域	名称	描述
31:12	ADDBASE[19:0]	SDRAM2 的基址值。 通过对应基地址寄存器和地址掩码寄存器中的值来解码 SDRAM2 的地址范围。
11:0	Reserved	保留，必须保持复位值

### 6.6.4 SDRAM2 地址掩码寄存器 (SDRAM\_ADDMASK2)

偏移地址：0x008C

复位值：0x0000 0000

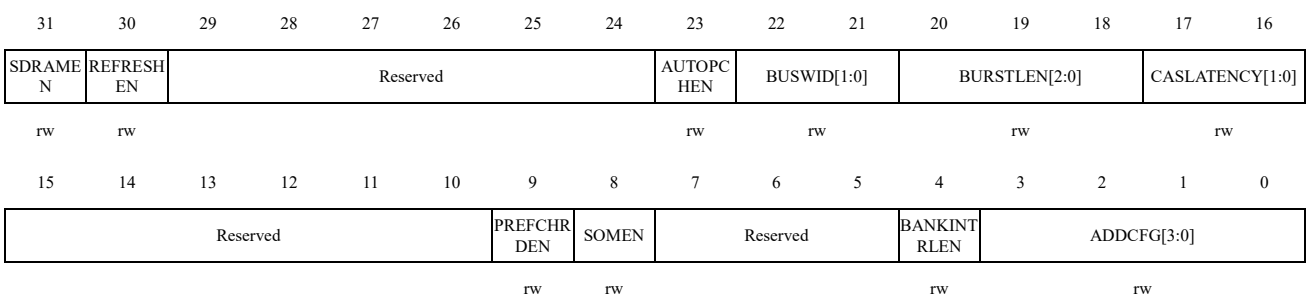


位域	名称	描述
31:12	ADDMASK[19:0]	SDRAM2 的地址掩码值。 通过对应基地址寄存器和地址掩码寄存器中的值来解码 SDRAM2 的地址范围。
11:0	Reserved	保留，必须保持复位值

### 6.6.5 SDRAM1 配置寄存器 (SDRAM\_CFG1)

偏移地址：0x00A0

复位值：0x0001 0000



位域	名称	描述
31	SDRAMEN	SDRAM1 使能 0: SDRAM1 禁用 1: SDRAM1 启用
30	REFRESHEN	刷新命令使能 0: 刷新禁用

位域	名称	描述
		1: 刷新启用
29:24	Reserved	保留, 必须保持复位值
23	AUTOPCHEN	自动预充电使能 0: 自动预充电禁用 1: 自动预充电启用
22:21	BUSWID[1:0]	总线宽度 00: 8 位 01: 16 位 其他值: 保留位
20:18	BURSTLEN[2:0]	突发长度 000: 突发长度 1 001: 突发长度 2 011: 突发长度 4 111: 突发长度 8 其他值: 无效
17:16	CASLATENCY[1:0]	CAS 延迟。 这些位设置 SDRAM1 的 CAS 延迟 (基于 SDRAM 时钟周期)。 00: 保留 01: 1 周期 10: 2 周期 11: 3 周期
15:10	Reserved	保留, 必须保持复位值
9	PREFCHRDEN	预取读取使能。 0: 禁用预取读取 1: 启用预取读取
8	SOMEN	Store On Miss(SOM) 使能 0: 禁用写缓冲区 SOM 功能 1: 启用写缓冲区 SOM 功能
7:5	Reserved	保留, 必须保持复位值
4	BANKINTRLEN	SDRAM1 地址生成期间启用 BANK 交错功能 0: 禁用 BANK 交错 1: 启用 BANK 交错
3:0	ADDCFG[3:0]	SDRAM1 架构配置 0000: 4 个 BANK, 4096 行, 256 列 0001: 4 个 BANK, 4096 行, 512 列 0010: 4 个 BANK, 4096 行, 1024 列 0011: 4 个 BANK, 4096 行, 2048 列 0100: 4 个 BANK, 8192 行, 256 列 0101: 4 个 BANK, 8192 行, 512 列 0110: 4 个 BANK, 8192 行, 1024 列 0111: 4 个 BANK, 8192 行, 2048 列 1000: 4 个 BANK, 2048 行, 256 列

位域	名称	描述
		1001: 4 个 BANK, 2048 行, 512 列 1010: 4 个 BANK, 2048 行, 1024 列 1011: 4 个 BANK, 2048 行, 2048 列 其他值: 保留

### 6.6.6 SDRAM2 配置寄存器 (SDRAM\_CFG2)

偏移地址: 0x00A4

复位值: 0x0001 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SDRAMEN	REFRESHEN	Reserved						AUTOPCHEN	BUSWID[1:0]		BURSTLEN[2:0]			CASLATENCY[1:0]	
rw	rw							rw	rw		rw			rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						PREFCHRDEN	SOMEN	Reserved			BANKINTREN	ADDCFG[3:0]			
						rw	rw				rw	rw			

位域	名称	描述
31	SDRAMEN	SDRAM2 使能 0: SDRAM2 禁用 1: SDRAM2 启用
30	REFRESHEN	刷新命令使能 0: 刷新禁用 1: 刷新启用
29:24	Reserved	保留, 必须保持复位值
23	AUTOPCHEN	自动预充电使能 0: 自动预充电禁用 1: 自动预充电启用
22:21	BUSWID[1:0]	总线宽度 00: 8 位 01: 16 位 其他值: 保留位
20:18	BURSTLEN[2:0]	突发长度 000: 突发长度 1 001: 突发长度 2 011: 突发长度 4 111: 突发长度 8 其他值: 无效
17:16	CASLATENCY[1:0]	CAS 延迟。 这些位设置 SDRAM2 的 CAS 延迟 (基于 SDRAM 时钟周期)。 00: 保留



位域	名称	描述
		01: 1 周期 10: 2 周期 11: 3 周期
15:10	Reserved	保留, 必须保持复位值
9	PREFCHRDEN	预取读取使能。 0: 禁用预取读取 1: 启用预取读取
8	SOMEN	Store On Miss(SOM) 使能 0: 禁用写缓冲区 SOM 功能 1: 启用写缓冲区 SOM 功能
7:5	Reserved	保留, 必须保持复位值
4	BANKINTRLEN	SDRAM2 地址生成期间启用 BANK 交错功能 0: 禁用 BANK 交错 1: 启用 BANK 交错
3:0	ADDCFG[3:0]	SDRAM2 架构配置 0000: 4 个 BANK, 4096 行, 256 列 0001: 4 个 BANK, 4096 行, 512 列 0010: 4 个 BANK, 4096 行, 1024 列 0011: 4 个 BANK, 4096 行, 2048 列 0100: 4 个 BANK, 8192 行, 256 列 0101: 4 个 BANK, 8192 行, 512 列 0110: 4 个 BANK, 8192 行, 1024 列 0111: 4 个 BANK, 8192 行, 2048 列 1000: 4 个 BANK, 2048 行, 256 列 1001: 4 个 BANK, 2048 行, 512 列 1010: 4 个 BANK, 2048 行, 1024 列 1011: 4 个 BANK, 2048 行, 2048 列 其他值: 保留

### 6.6.7 SDRAM Row Active 时序寄存器 (SDRAM\_RAT)

偏移地址: 0x00B0

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved										TRAS[5:0]					

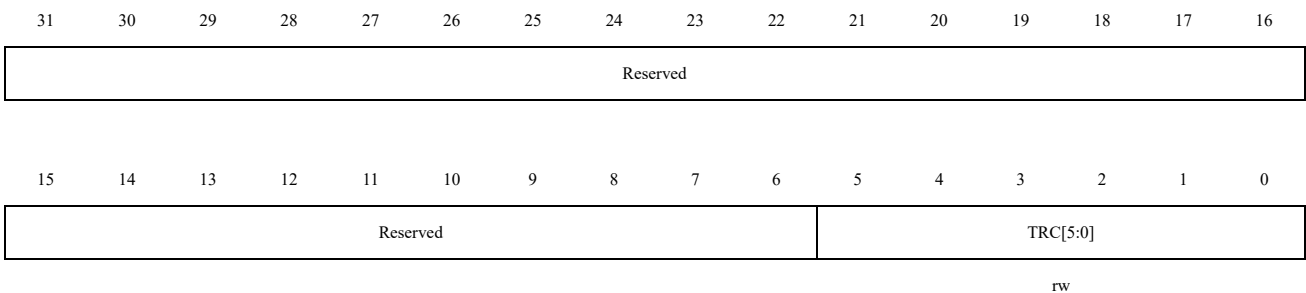
rw

位域	名称	描述
31:6	Reserved	保留，必须保持复位值
5:0	TRAS[5:0]	Row active time 这些位定义了最小自刷新周期，单位为内存时钟周期数。 000000: 1 cycle 000001: 2 cycles 000002: 3 cycles ... .. 111111: 64 cycles

### 6.6.8 SDRAM Row Cycle 时序寄存器 (SDRAM\_RCT)

偏移地址：0x00B4

复位值：0x0000 0000

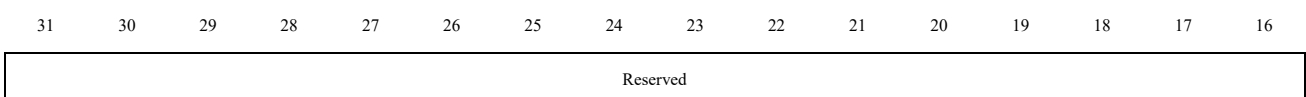


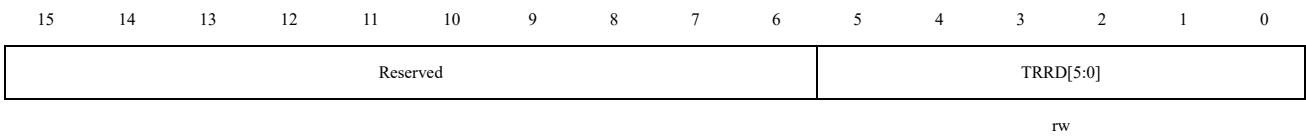
位域	名称	描述
31:6	Reserved	保留，必须保持复位值
5:0	TRC[5:0]	Row cycle time 这些位定义了刷新命令与激活命令之间的延迟，以及两个连续刷新命令之间的延迟。该延迟以内存时钟周期数表示。 000000: 1 cycle 000001: 2 cycles 000002: 3 cycles ... .. 111111: 64 cycles

### 6.6.9 SDRAM Row Active to Row Active Delay 寄存器 (SDRAM\_RRDLY)

偏移地址：0x00B8

复位值：0x0000 0000



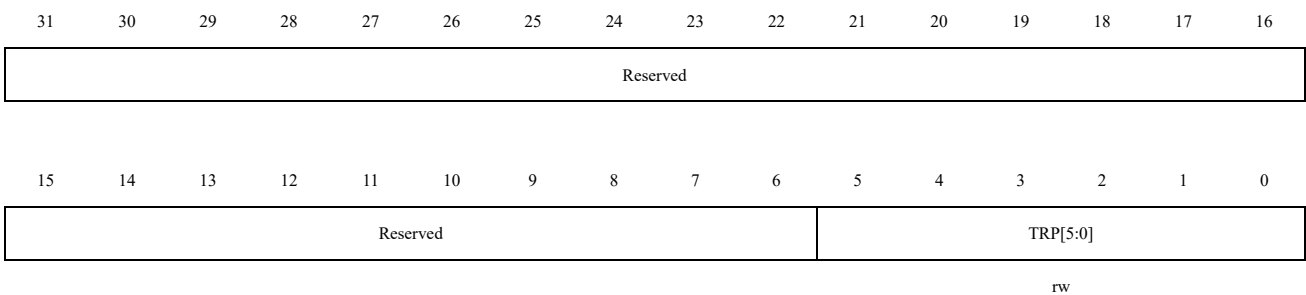


位域	名称	描述
31:6	Reserved	保留，必须保持复位值
5:0	TRRD[5:0]	Row active to row active delay time 这些位定义了同一 SDRAM 芯片上两个不同 BANK 之间两个有效命令的最小延迟。 000000: 1 cycle 000001: 2 cycles 000002: 3 cycles ... .. 111111: 64 cycles

### 6.6.10 SDRAM Precharge 时序寄存器 (SDRAM\_PT)

偏移地址：0x00BC

复位值：0x0000 0000



位域	名称	描述
31:6	Reserved	保留，必须保持复位值
5:0	TRP[5:0]	Precharge time 这些位定义了内部或外部预充电命令与另一个命令之间以存储器时钟周期数表示的延迟。 000000: 1 cycle 000001: 2 cycles 000002: 3 cycles ... .. 111111: 64 cycles

### 6.6.11 SDRAM Write Recovery 时序寄存器 (SDRAM\_WRT)

偏移地址：0x00C0

复位值：0x0000 0000

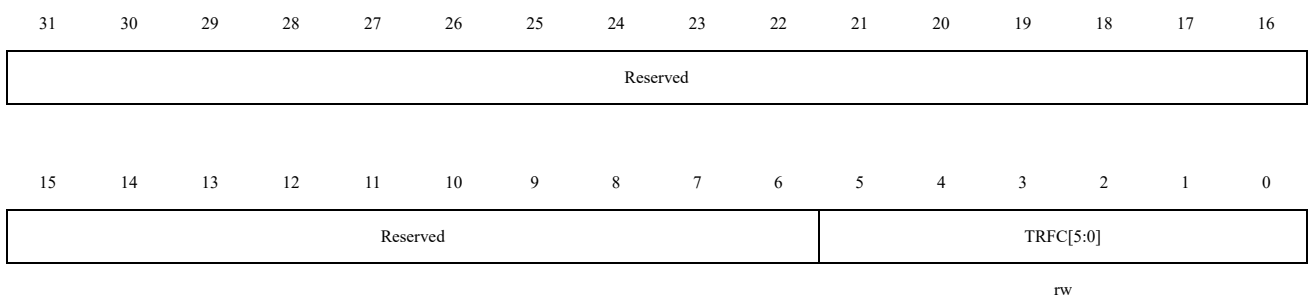


位域	名称	描述
31:6	Reserved	保留，必须保持复位值
5:0	TWR[5:0]	Write recovery time 这些位定义了写操作与内部预充电命令之间以存储器时钟周期数表示的延迟。 000000: 1 cycle 000001: 2 cycles 000002: 3 cycles ... .. 111111: 64 cycles

### 6.6.12 SDRAM Refresh Cycle 时序寄存器 (SDRAM\_RFCT)

偏移地址：0x00C4

复位值：0x0000 0000



位域	名称	描述
31:6	Reserved	保留，必须保持复位值

位域	名称	描述
5:0	TRFC[5:0]	Refresh cycle time 这些位定义了任意两个连续命令之间以内存时钟周期数表示的延迟。 000000: 1 cycle 000001: 2 cycles 000002: 3 cycles ... .. 111111: 64 cycles

### 6.6.13 SDRAM RAS to CAS Delay 寄存器 (SDRAM\_RCDLY)

偏移地址: 0x00C8

复位值: 0x0000 0000

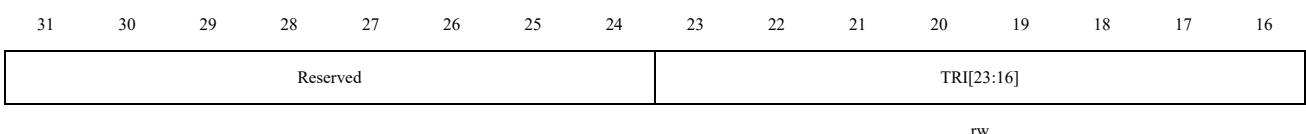


位域	名称	描述
31:4	Reserved	保留, 必须保持复位值
3:0	TRCD[3:0]	RAS to CAS delay time 这些位定义了同一 SDRAM 芯片中同一 BANK 的行有效命令与读取/写入命令之间的最小延迟。 0000: 1 cycle 0001: 2 cycles 0002: 3 cycles ... .. 1111: 16 cycles

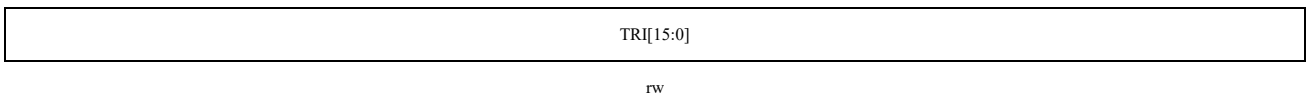
### 6.6.14 SDRAM Refresh Interval 寄存器 (SDRAM\_RI)

偏移地址: 0x00CC

复位值: 0x0000 0000



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



rw

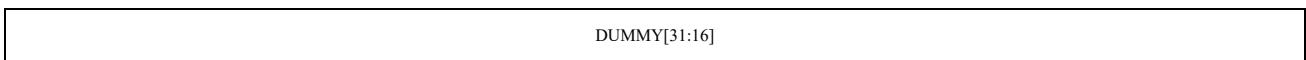
位域	名称	描述
31:24	Reserved	保留，必须保持复位值
23:0	TRI[23:0]	Refresh Interval Time 这些位用于定义两个自动刷新命令之间的延迟，单位为内存时钟周期数。 000000h: 1 cycle 000001h: 2 cycles 000002h: 3 cycles ..... FFFFFFFh: 16,777,216 cycles

### 6.6.15 SDRAM Controller Buffer Operation 寄存器 (SDRAM\_CBO)

偏移地址：0x00E0

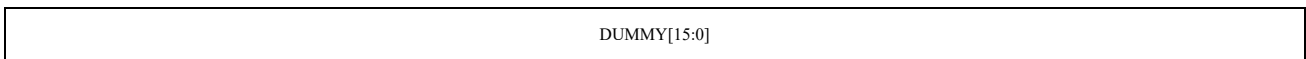
复位值：0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



rw

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



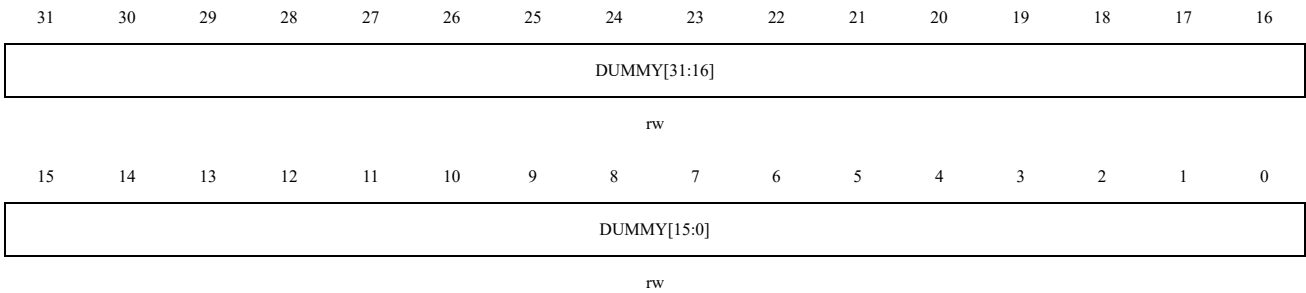
rw

位域	名称	描述
31:0	DUMMY[31:0]	Dummy data 访问此寄存器将触发控制器缓冲区的操作： 写入：将控制器写缓冲区中的所有当前数据释放至外部存储设备 读取：清除控制器读缓冲区中的所有当前数据 这些位为虚拟位，写入此寄存器的数据（任何值）均被丢弃，读取操作返回全 0 值。

### 6.6.16 SDRAM Operation Request 寄存器 (SDRAM\_OR)

偏移地址：0x00E4

复位值：0x0000 0000

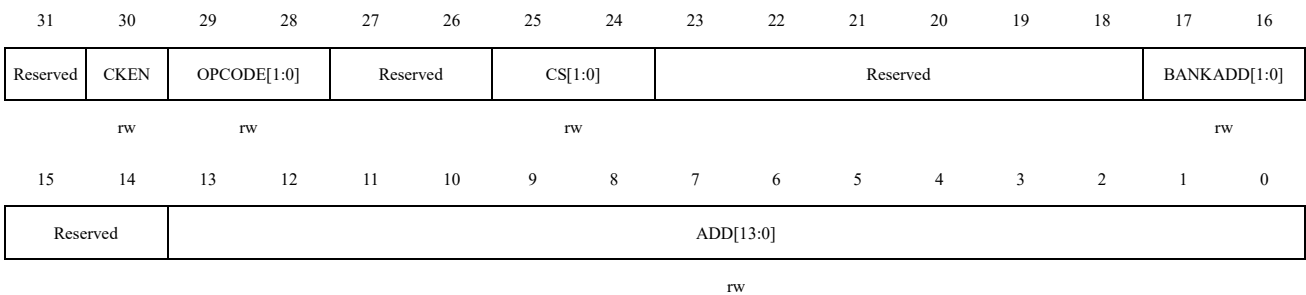


位域	名称	描述
31:0	DUMMY[31:0]	Dummy data 对该寄存器的访问（写入或读取）将开始向外部内存总线发送在 SDRAM_OS 中设置的命令。 这些位为虚拟位，写入该寄存器的数据（任何值）均被丢弃，读取操作返回全 0 值。

### 6.6.17 SDRAM Operation Setup 寄存器 (SDRAM\_OS)

偏移地址：0x00E8

复位值：0x0000 0000



位域	名称	描述
31	Reserved	保留，必须保持复位值
30	CKEN	时钟使能 该位定义在发出命令时时钟是否启用。 当前命令执行完毕后，时钟保持其状态直至下一个命令发出。 0：时钟禁用 1：时钟启用
29:28	OPCODE[1:0]	操作码。 这些位定义命令类型： 00：无操作 01：预充电 SDRAM1 和 SDRAM2 外部存储器 BANK 10：自动刷新（CKEN=1）或自刷新（CKEN=0）

位域	名称	描述
		11: 加载模式寄存器
27:26	Reserved	保留, 必须保持复位值
25:24	CS[1:0]	芯片选择。 这些位定义选择 SDRAM1、SDRAM2 或两者兼有 00: 同时选中 SDRAM1 和 SDRAM2 01: SDRAM1 未选中, SDRAM2 选中 10: SDRAM1 选中, SDRAM2 未选中 11: SDRAM1 和 SDRAM2 均未选中
23:18	Reserved	保留, 必须保持复位值
17:16	BANKADD[1:0]	Bank 地址 这些位定义发送到外部内存总线的 BANK 地址。 00: BANK1 01: BANK2 10: BANK3 11: BANK4
15:14	Reserved	保留, 必须保持复位值
13:0	ADD[13:0]	地址 这些位定义发送到外部内存总线的地址 (列地址与行地址的复用)。

### 6.6.18 SDRAM 地址保护寄存器 (SDRAM\_WP)

偏移地址: 0x0100

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														WP2	WP1

rw

位域	名称	描述
31:2	Reserved	保留, 必须保持复位值
1	WP2	SRAM2 写保护 这些位用于启用对 SDRAM 芯片的写模式访问。 0: 允许对 SDRAM2 进行写操作 1: 忽略对 SDRAM2 的写操作
0	WP1	SRAM1 写保护 这些位用于启用对 SDRAM 芯片的写模式访问。 0: 允许对 SDRAM1 进行写操作



位域	名称	描述
		1: 忽略对 SDRAM1 的写操作

## 7 硬件信号量 (SEMA4)

### 7.1 简介

硬件信号量模块提供 32 个 (32 位) 基于寄存器的信号量。

信号量可以用于确保在内核上运行的不同进程之间的同步。SEMA4 提供一个非阻塞机制以原子方式来锁定信号量。其提供了下列功能：

- 可通过以下 2 种方式锁定信号量：
  - 2 步锁定：将 COREID 和 PROCID 写入信号量，然后进行读取检查
  - 1 步锁定：从信号量读取 COREID
- 当信号量被释放时生成中断
  - 每个信号量可生成一个中断
- 信号量清零保护
  - 只有当 COREID 与 PROCID 匹配时，才会将信号量清零
- 根据 COREID 将全局信号量清零

### 7.2 主要特性

SEMA4 包括下列特性：

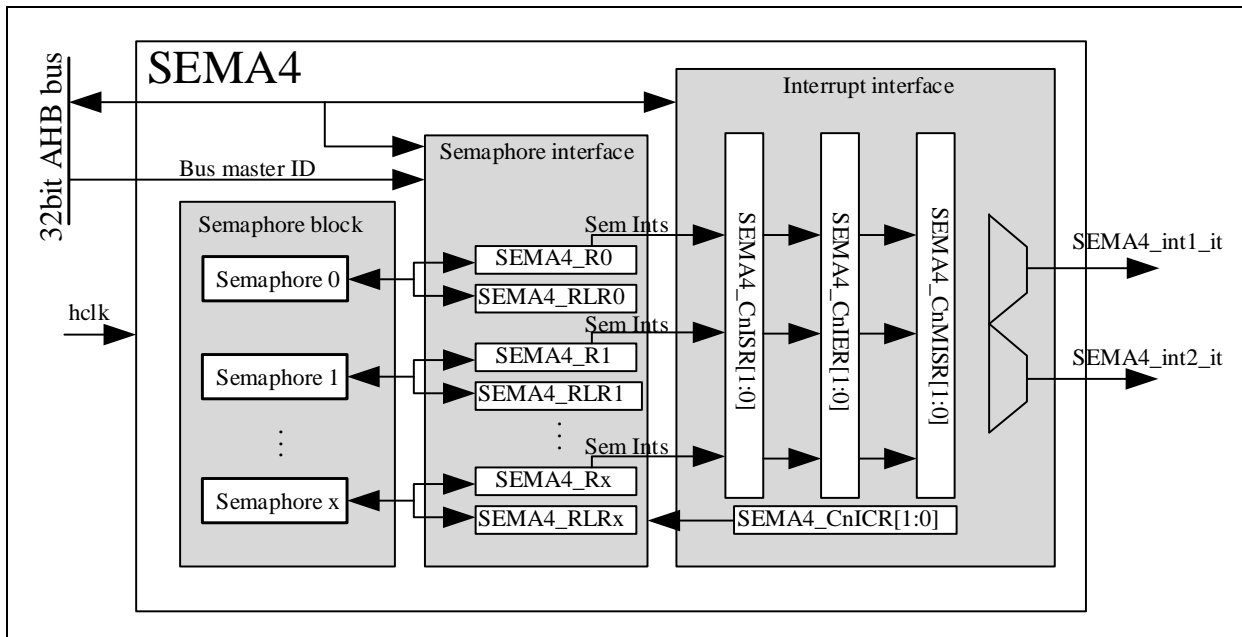
- 32 个 (32 位) 信号量
- 8 位 ProcessID
- 4 位 MasterID
- 2 条中断线
- 锁定指示

### 7.3 SEMA4 框图

如图 7-1 所示,SEMA4 模块分为三个子模块

- 信号量内核模块：存储信号量状态及 ID（COREID/PROCID）。
- 信号量接口模块：通过 SEMA4\_Rx 寄存器和 SEMA4\_RLRx 寄存器，提供对信号量的 AHB 总线访问通道。
- 中断接口模块：SEMA4\_CnISR、SEMA4\_CnIER、SEMA4\_CnMISR 及 SEMA4\_CnICR 寄存器实现中断控制。

图 7-1 SEMA4 顶层模块框图



## 7.4 功能描述

如图 7-1 所示的 SEMA4 顶层模块框图中，AHB 总线主设备可通过两步（写操作）锁定或一步（读操作）锁定方式锁定信号量 X。操作完成后，已锁定的信号量可通过受保护的流程清除，且所有已锁定的信号量支持一次性批量清除。任何信号量被释放时均可能产生中断。SEMA4 模块仅允许授权的 AHB 总线主设备 ID 执行信号量的锁定与解锁操作。

### 7.4.1 SEMA4 锁定步骤

共有 2 种锁定步骤

- 2 步（写）锁定
- 1 步（读）锁定

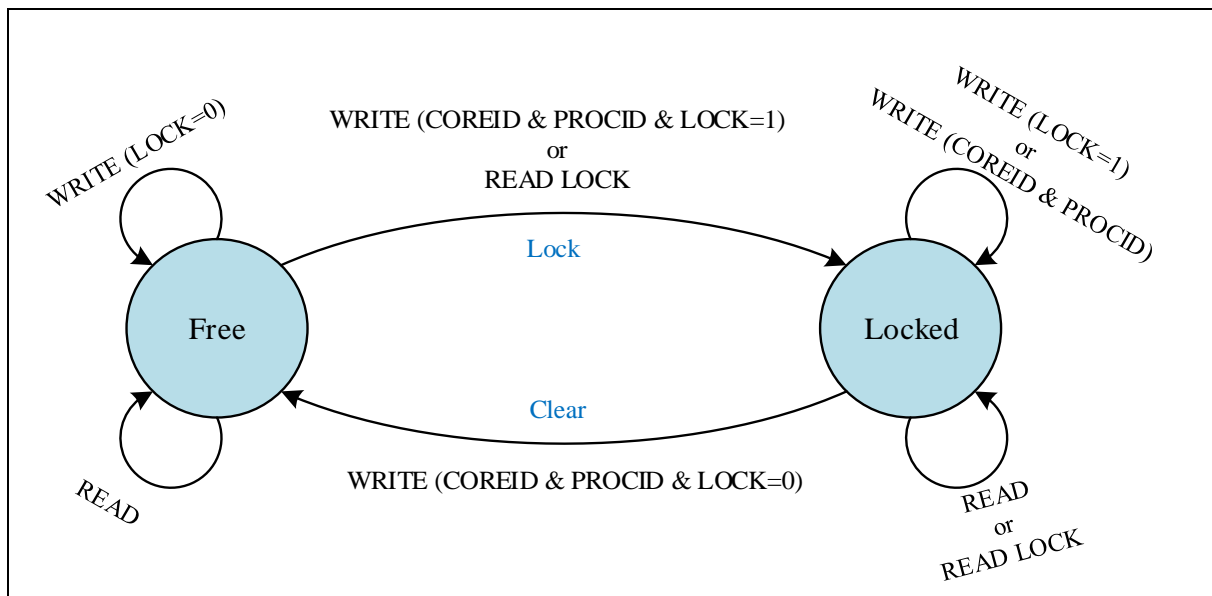
当 LOCK 位为 0 时，信号量空闲，在这种情况下，COREID 与 PROCID 也为 0。当 LOCK 位为 1 时，信号量锁定，MasterID 指示是哪一个 AHB 总线主控将其锁定。PROCID 指示是 AHB 总线主控的哪一个进程锁定了信号量。

当“写”锁定信号量时，COREID 取自总线主控 ID，PROCID 取自“写”数据。当“读”锁定信号量时，COREID 取自主控 ID，PROCID 为零

1 步（读）锁定不存在 PROCID。COREID 取自 AHB 总线主控 ID。PROCID 通过相应 AHB 总线主控的固件写入。每个 AHB 总线主控进程必须有唯一的 PROCID。只有 2 步锁定步骤才存在 PROCID。

这两种步骤（1 步和 2 步）可以同时使用。

图 7-2 AHB 单次读写过程状态图



#### 7.4.1.1 2 步（写）锁定步骤

2 步锁定步骤由两步组成，首先通过“写”以锁定信号量，然后通过“读”SEMA4\_Rx 寄存器以检查是否成功锁定。

- 写操作：向信号量写入 PROCID 和 COREID，并将 LOCK 位置 1。仅当写入时信号量处于空闲状态，锁定才能建立。
- 回读操作：软件读取信号量以检查锁定状态。若读取到的 PROCID 与 COREID 与写入值一致，则锁定生效。
- 若数值不匹配，需重新尝试锁定，可能已有其他 AHB 总线主设备或进程已锁定该信号量。

信号量仅在空闲状态下可被锁定，且 PROCID 为 0 时允许执行锁定操作。若信号量已处于锁定状态，后续任何将 LOCK 位置 1 的写操作都会被忽略。

#### 7.4.1.2.1 步（读）锁定步骤

1 步锁定步骤由单步组成，通过读取 SEMA4\_RLRx 寄存器以锁定并检查信号量。

- 读锁定：通过 COREID 执行信号量锁定。
- 若读取到的 COREID 与发起操作的 COREID 一致，且 PROCID（进程 ID）为 0，则锁定成功建立；若 COREID 一致但 PROCID 非 0，表明该信号量已被同一 COREID 下的其他进程通过两步（写操作）锁定流程锁定。
- 若 COREID 不一致，需重新尝试锁定，该信号量可能已被其他 AHB 总线主设备或进程锁定。

信号量只能在空闲时才能锁定。当读锁定一个空闲信号量时，PROCID 将为“0”。当读锁定一个锁定信号量时，将返回锁定它的 COREID 和 PROCID。所有读锁定（包括锁定信号量的第一次读锁定）都将返回锁定信号量的 COREID。

如果同一 AHB 总线主控的多个进程使用 1 步步骤，则所有使用同一信号量的进程都将读到相同的状态。如果只有一个进程锁定信号量，则该 AHB 总线主控的所有进程都将读到信号量由其自己和 COREID 锁定，并显示对应的 COREID。

### 7.4.2 SEMA4 清除步骤

#### 7.4.2.1 通过 SEMA4\_Rx 寄存器清除信号量

将信号量清零是一个受保护的过程，目的是防止 AHB 总线主控或不具有信号量锁定权限的过程意外将信号量清零。信号量清零步骤由将相应的 MasterID 和 ProcessID 以及 LOCK 位=0 写到信号量组成。清零后，信号量锁定位、MasterID 和 ProcessID 均为“0”。

清零后，可能生成一个中断以表示该事件。为此，应使能信号量中断。

清零步骤由一个对信号量 SEMA4\_Rx 寄存器的写操作组成。

- 写操作：向信号量写入 PROCID 和 COREID，并将 LOCK 位设为 0；
- 如果 ProcessID 与 MasterID 匹配，则信号量释放，并且，如果使能了中断，则可能生成一个中断
- 若 PROCID 与 COREID 不匹配，则该写操作会被忽略，信号量保持锁定状态，且不会产生中断（此情况表明信号量已被其他 AHB 总线主设备或进程锁定）。

如果同一 AHB 总线主控的多个过程使用 1 步锁定步骤(ProcessID=0)，则使用同一信号量的所有进程还将为相应 AHB 总线主控的其它进程清零信号量。

### 7.4.2.2 通过 SEMA4\_CLR 寄存器清除信号量

AHB 总线主控锁定的所有信号量可使用 SEMA4\_CLR 寄存器一次全部清零。

- 写操作：写入 COREID 和正确的 KEY 值。此操作将清除（释放）所有与该 COREID 匹配的已锁定信号量；若中断功能已启用，可能会触发中断。

该流程可用于处理 AHB 总线主设备故障场景：当某一总线主设备出现故障时，其他 AHB 总线主设备可向 SEMA4\_CLR 寄存器写入故障设备的 COREID 及正确的 KEY 密钥值，从而释放所有与该 COREID 匹配的信号量。

被释放的信号量可能会触发中断。如需启用此功能，需在 SEMA4\_CnIER 寄存器中激活对应信号量的中断使能位。

### 7.4.3 SEMA4 中断

SEMA4 模块提供两条中断线：SEMA4\_int1\_it（对应中断 1）和 SEMA4\_int2\_it（对应中断 2），每条中断线均支持所有信号量触发中断。每条中断线具备以下特性：

- 每个信号量独立的中断使能
- 每个信号量独立的中断清除
- 每个信号量独立的中断状态
- 每个信号量独立的屏蔽中断状态

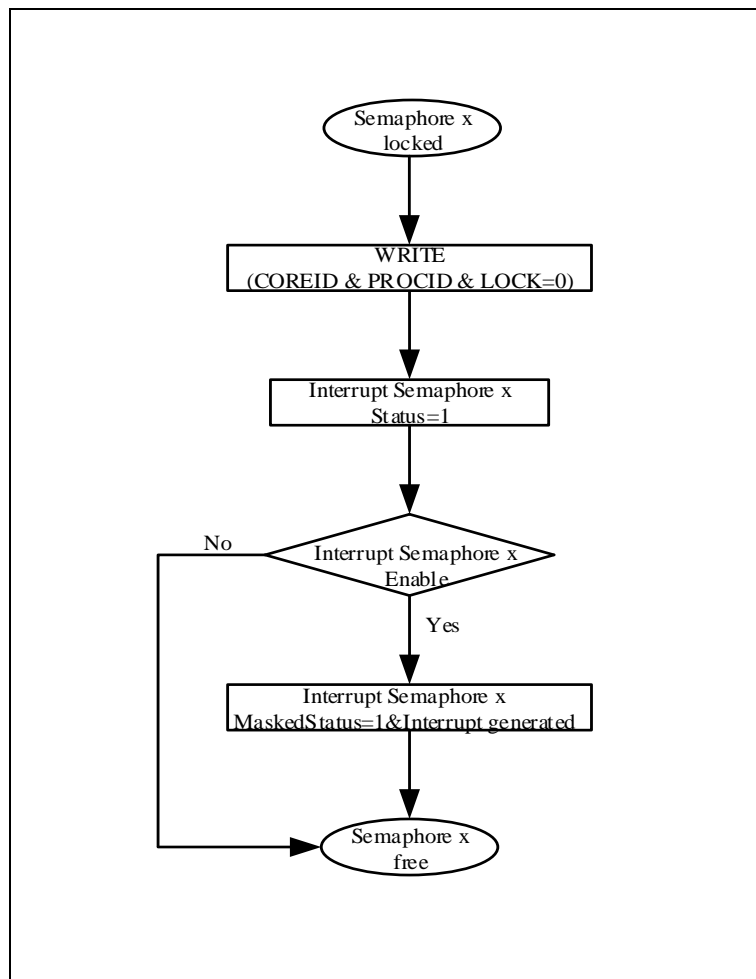
中断清除操作（SEMA4\_CnICR）会同时清除该中断线上对应信号量的中断状态和屏蔽中断状态。

中断状态寄存器（SEMA4\_CnISR）反映的是中断线中信号量在中断使能前的中断状态。

屏蔽中断状态寄存器（SEMA4\_CnMISR）仅显示中断线上已使能中断的信号量对应的中断状态。如需清除中断线（的中断请求），必须清除所有已使能信号量的屏蔽中断状态。

信号量释放时触发中断的流程如图 7-3。

图 7-3 信号量释放时触发中断的流程



### 7.4.3.1 尝试锁定信号量 x

如果信号量锁定成功，则无需中断。

如果信号量锁定失败：

需在 SEMA4\_CnICR 中为中断线 SEMA4\_intn\_it 清零挂起的信号量 x 的中断状态。

再次重新尝试锁定信号量 x：

- 如果信号量锁定成功，则无需中断（在第一次尝试锁定信号量到清零信号量中断状态的过程中，已释放信号量）。
- 如果信号量锁定失败，需 SEMA4\_CnIER 中为中断线 SEMA4\_intn\_it 使能信号量 x 的中断。

### 7.4.3.2 在出现信号量 x 释放

收到信号量 x 释放中断后，尝试锁定信号量 x

- 若成功获取信号量锁定：

通过 SEMA4\_CnIER 寄存器禁用中断线 SEMA4\_intn\_it 上信号量 x 的中断。

通过 SEMA4\_CnICR 寄存器清除中断线 SEMA4\_intn\_it 上信号量 x 的所有未决中断状态。

- 若信号量 x 锁定失败：

通过 SEMA4\_CnICR 寄存器清除中断线 SEMA4\_intn\_it 上信号量 x 的所有未决中断状态。

重新尝试锁定信号量 x:

- 若成功获取锁定（表明信号量在首次尝试与清除中断状态之间已被释放），通过 SEMA4\_CnIER 寄存器禁用中断线 SEMA4\_intn\_it 上信号量 x 的中断。
- 若仍锁定失败，等待下一次信号量释放中断。

*注意：中断本身不会触发信号量锁定。中断产生后，需由 AHB 总线主设备或进程执行锁定流程以获取信号量控制权。多个 AHB 总线主设备可同时接收信号量释放中断通知，最先响应的总线主设备将成功锁定该信号量。*

## 7.4.4 AHB 总线主控 ID 验证

SEMA4 仅允许经授权的 AHB 总线主控 ID 锁定和解锁信号量。

- 对于两步锁定流程：当 AHB 总线主设备通过 SEMA4\_Rx 寄存器对信号量执行写访问时，系统会验证该总线主设备 ID 是否为有效 ID。
  - ◆ 未授权的 AHB 总线主设备 ID 的锁定尝试将被拒绝，信号量不会被锁定。
- 对于一步锁定流程：当 AHB 总线主设备通过 SEMA4\_RLRx 寄存器对信号量执行读访问时，系统会验证该总线主设备 ID 是否为授权 ID。
  - ◆ 若未授权的 AHB 总线主设备 ID 读取 SEMA4\_RLRx 寄存器，读取数据将根据信号量状态有所不同：
    - 当信号量释放时，将返回全“0”
    - 当信号量之前已锁定时，将返回 SEMA4\_RLRx 数据
- 对于信号量清除操作：系统会验证对 SEMA4\_CLR 寄存器执行写访问的总线主设备 ID 是否有效。仅授权的总线主设备 ID 可写入 EMA4\_CLR 寄存器，以清除对应 COREID（内核 ID）的信号量。

未授权的 AHB 总线主设备 ID 的写操作尝试将被丢弃，且不会清除该 COREID 对应的信号量。

总线主设备/CPU 与 COREID 的对应关系详情如表 7-1。

**表 7-1 授权的 AHB 总线主设备 ID**

Busmaster0(CPU1-CM7)	主控总线1(CPU2- CM4)
COREID=3	COREID=1

*注意：允许通过未经授权的 AHB 总线主控 ID 对其它寄存器进行访问。*



## 7.4.5 设计实现细节

### 7.4.5.1 锁定流程

当 AHB 总线主设备需锁定信号量时，流程如下：

**采用两步锁定法：**

(1) 读取 SEMA4\_Rx 寄存器：若 SEMA4\_Rx[31]=1' b1，表明信号量当前处于锁定状态，两步锁定操作将被忽略；若 SEMA4\_Rx[31]=1' b0，表明信号量处于空闲状态。

(2) 若信号量已锁定 (SEMA4\_Rx[31]=1' b1)：等待信号量释放 (持续检测 SEMA4\_Rx[31] 是否为 1' b0)，随后写入 PROCID、COREID 并置 LOCK=1，重新尝试锁定。

(3) 写入 SEMA4\_Rx 寄存器：配置 PROCID、COREID 并置 LOCK=1，回读 SEMA4\_Rx 寄存器。如果 PROCID 与 COREID 与写入值一致，则锁定生效。

**采用一步锁定法：**

(1) 读取 SEMA4\_RLRx 寄存器：若回读的 COREID 与发起操作的 COREID 一致，且 PROCID≠0，表明信号量已被同一 COREID 下的其他进程通过两步锁定法锁定 (一步锁定法的 PROCID 固定为 0)；

若回读的 COREID 与发起操作的 COREID 一致，且 PROCID=0，则锁定成功建立。

COREID 源自 AHB 总线主设备 ID，PROCID 由该 AHB 总线主设备的软件分配。同一 AHB 总线主设备下的每个进程必须分配唯一的 PROCID，且 PROCID 仅在两步锁定流程中生效。

### 7.4.5.2 清除步骤

第一种清除流程通过写入 SEMA4\_Rx 寄存器实现：

向信号量写入数据：配置 PROCID (进程 ID) 和 COREID (内核 ID)，并将 LOCK 位设为 0。

若 PROCID 与 COREID 匹配：信号量被释放；若已通过配置 SEMA4\_CnICR 寄存器启用中断功能，此时可能会产生中断。

第二种清除流程支持通过 SEMA4\_CLR 寄存器一次性清除所有已锁定的信号量：向 SEMA4\_CLR 寄存器写入数据：输入目标 COREID 和正确的 KEY 密钥值。此操作将清除 (释放) 所有与该 COREID 匹配的信号量，且可能会触发中断。

## 7.5 寄存器

### 7.5.1 SEMA4 信号量 x 寄存器 (x=0 至 31) (SEMA4\_Rx)

偏移地址: 0x000+0x4\*x

复位值: 0x00000000

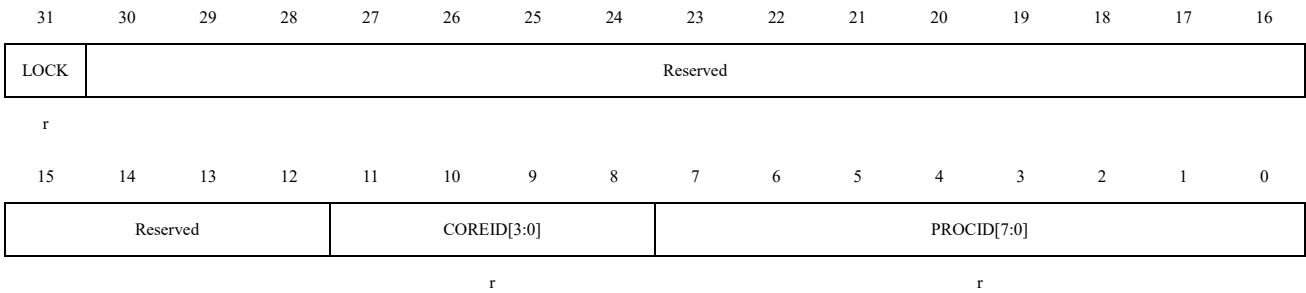
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LOCK	Reserved															
rw																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved					COREID[3:0]					PROCID[7:0]						
					rw					rw						

位域	名称	描述
31	LOCK	锁定指示位 该位支持软件读写操作： 0：写操作时表示信号量空闲（仅当 COREID 与 PROCID 匹配时有效）；读操作时表示信号量处于空闲状态 1：写操作时尝试锁定信号量；读操作时表示信号量已锁定
30:12	Reserved	保留，必须保持复位值
11:8	COREID[3:0]	信号量内核 ID（4 位） 由软件写入，仅当满足以下条件时生效：信号量处于空闲状态，且写入 LOCK 位为 1，同时写入该寄存器的 AHB 总线主设备 ID 与 COREID 匹配； 信号量清除时（LOCK 位写 0 且 AHB 总线主设备 ID 与 COREID 匹配），COREID 清零； 信号量清除时（LOCK 位写 0 但 AHB 总线主设备 ID 与 COREID 不匹配），COREID 保持不变； LOCK 位已为 1（信号量锁定）时写入，COREID 不受影响； 读操作返回当前存储的 COREID 值
7:0	PROCID[7:0]	信号量进程 ID（8 位） 由软件写入，仅当信号量处于空闲状态且 LOCK 位写 1 时，PROCID 被设为写入数据； 信号量清除时（LOCK 位写 0），PROCID 清零； LOCK 位已为 1（信号量锁定）时写入，PROCID 不受影响； 读操作返回已配置的 PROCID 值

### 7.5.2 SEMA4 读锁定信号量 x 寄存器(x=0 至 31)(SEMA4\_RLx)

偏移地址: 0x080+0x004\*x

复位值: 0x00000000

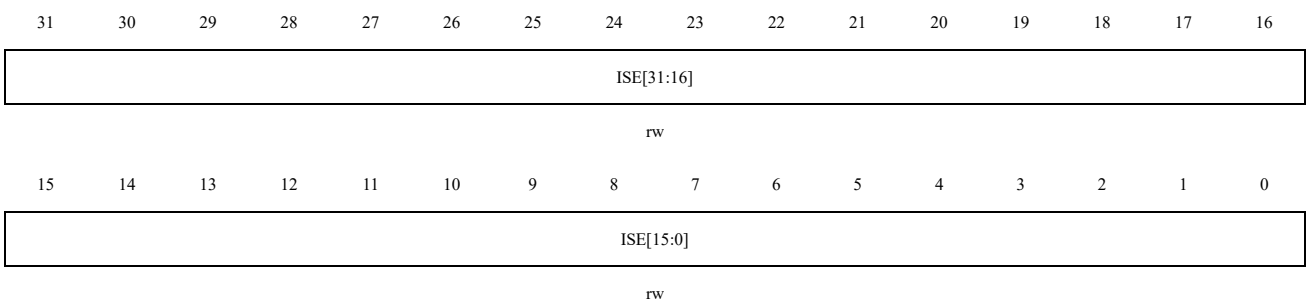


位域	名称	描述
31	LOCK	锁定指示位 该位仅支持软件通过当前地址读取，且持有有效总线主设备 ID 的读操作始终返回 1； 当信号量处于空闲状态时，软件执行读操作会触发硬件将信号量置为锁定状态； 当信号量已锁定时，软件执行读操作不会影响 LOCK 位状态； 位值定义： 0=信号量空闲 1=信号量已锁定
30:12	Reserved	保留，必须保持复位值
11:8	COREID[3:0]	信号量内核 ID（4 位） 该字段仅支持软件通过当前地址读取： 信号量空闲时执行读操作，硬件会将该字段设为执行读操作的 AHB 总线主设备 ID，读操作返回锁定该信号量的 AHB 总线主设备 ID； 信号量已锁定时执行读操作，该字段返回锁定该信号量的 AHB 总线主设备 ID
7:0	PROCID[7:0]	信号量进程 ID（8 位） 该字段仅支持软件通过当前地址读取： 信号量空闲时执行读操作，该字段返回 0； 信号量已锁定时执行读操作，该字段返回锁定该信号量的进程对应的进程 ID

### 7.5.3 SEMA4 中断使能寄存器(x=1 至 2)(SEMA4\_CnIEN)

偏移地址：0x100+0x010\*(n-1)

复位值：0x00000000

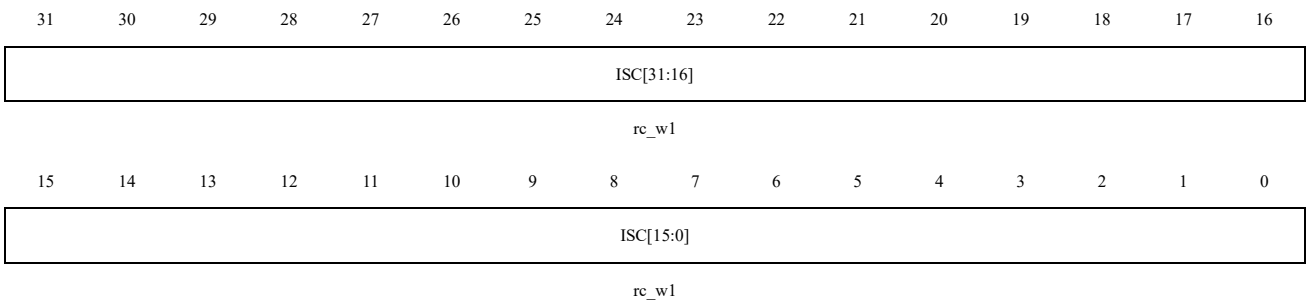


位域	名称	描述
31:0	ISE[31:0]	信号量 x 释放中断使能位 该位支持软件读写操作： 0：禁用（屏蔽）信号量 x 的释放中断生成功能 1：启用（未屏蔽）信号量 x 的释放中断生成功能

### 7.5.4 SEMA4 中断清除寄存器(SEMA4\_CnICLR)(x=1 至 2)

偏移地址：0x104+0x010\*(n-1)

复位值：0x00000000

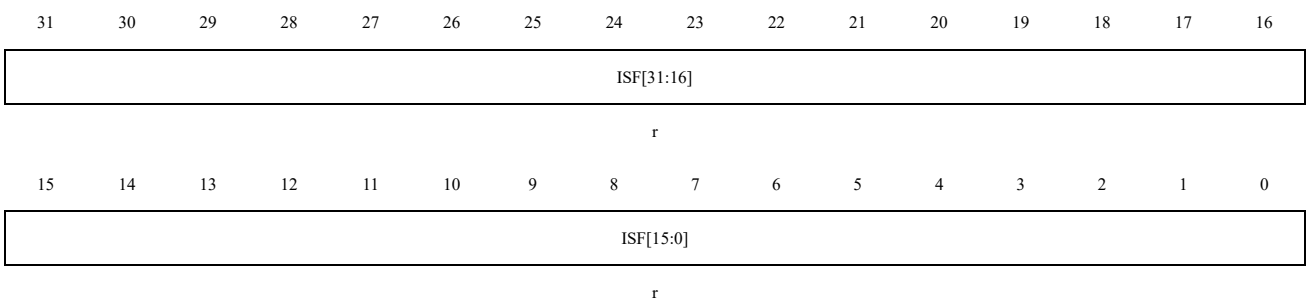


位域	名称	描述
31:0	ISC[31:0]	信号量 x 中断清除位 该位支持软件读写操作，且读操作始终返回 0： 0：信号量 x 的中断状态和屏蔽中断状态不受影响 1：清除信号量 x 的中断状态和屏蔽中断状态

### 7.5.5 SEMA4 中断状态寄存器(SEMA4\_CnISTS)(x=1 至 2)

偏移地址：0x108+0x010\*(n-1)

复位值：0x00000000



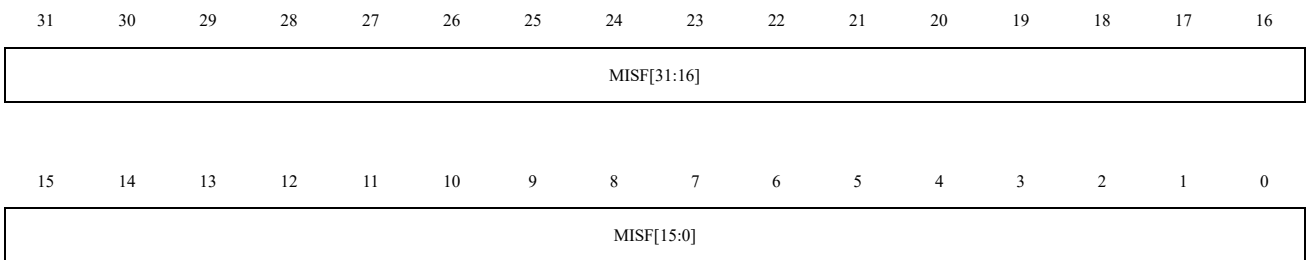
位域	名称	描述
31:0	ISF[31:0]	信号量 x 释放中断使能前状态位（屏蔽态） 该位由硬件置 1，仅可通过软件复位：软件写入对应 SEMA4_CnICR 寄存器的对应位可清除此位。 0：信号量 x 释放中断状态，中断未挂起

位域	名称	描述
		1: 信号量 x 释放中断状态, 中断挂起

### 7.5.6 SEMA4 屏蔽中断状态寄存器(SEMA4\_CnMISTS)(x=1 至 2)

偏移地址:  $0x10C+0x010*(n-1)$

复位值: 0x00000000

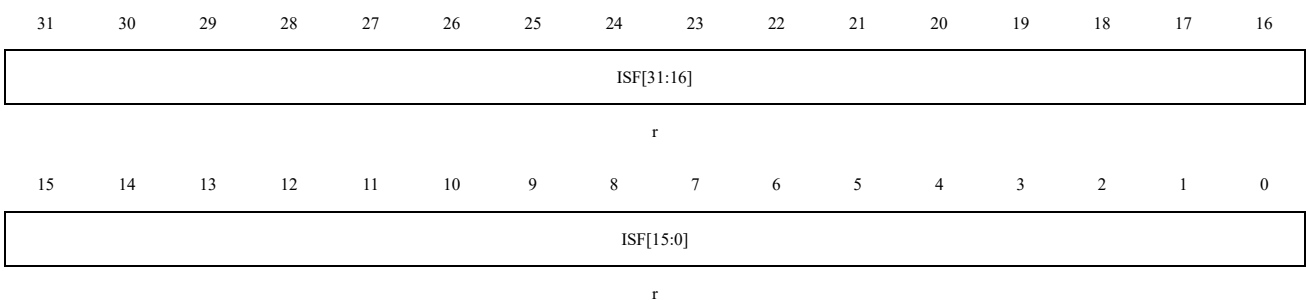


位域	名称	描述
31:0	MISF[31:0]	屏蔽后释放中断信号量 x 使能后状态位 (屏蔽态) 该位由硬件置 1, 仅支持软件读取; 软件通过写入对应 SEMA4_CnICR 寄存器的对应位可清除此位。 0: 屏蔽后释放中断信号量 x 状态未挂起 1: 屏蔽后释放中断信号量 x 状态挂起

### 7.5.7 SEMA4 锁定失败中断状态寄存器(SEMA4\_CnILFSTS)(x=1 至 2)

偏移地址:  $0x120+0x004*(n-1)$

复位值: 0x00000000

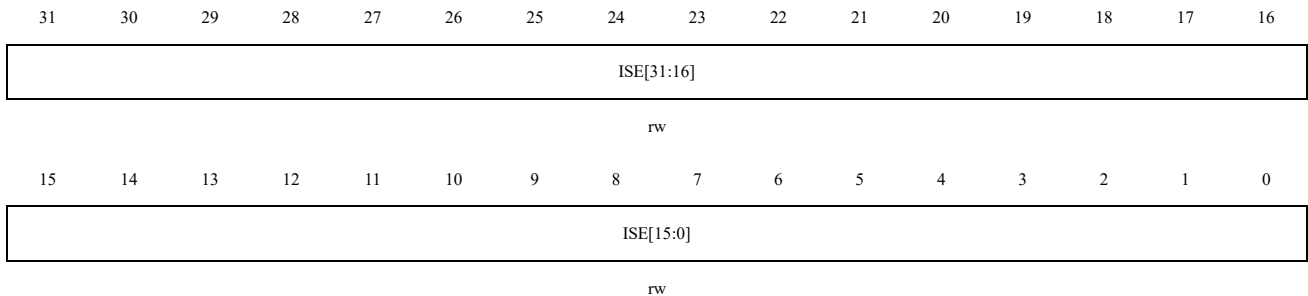


位域	名称	描述
31:0	ISF[31:0]	锁定失败中断信号量 x 使能前状态位 (屏蔽态) 该位由硬件置 1, 仅可通过软件复位; 软件写入对应 SEMA4_CnICR 寄存器的对应位可清除此位: 0: 信号量 x 锁定失败中断状态, 存在锁定失败中断未挂起 1: 信号量 x 锁定失败中断状态, 存在锁定失败中断挂起

### 7.5.8 SEMA4 锁定失败中断使能寄存器(SEMA4\_CnLFIEN)(x=1 至 2)

偏移地址：0x130+0x010\*(n-1)

复位值：0x00000000

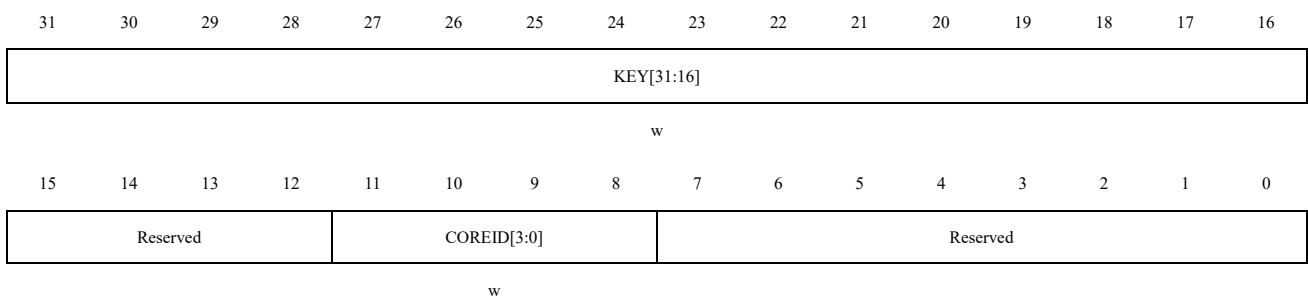


位域	名称	描述
31:0	ISE[31:0]	锁定失败中断信号量 x 使能位 该位支持软件读写操作： 0：禁用（屏蔽）信号量 x 的锁定失败中断生成功能 1：启用（未屏蔽）信号量 x 的锁定失败中断生成功能

### 7.5.9 SEMA4 清除寄存器(SEMA4\_CLR)

偏移地址：0x140

复位值：0x00000000



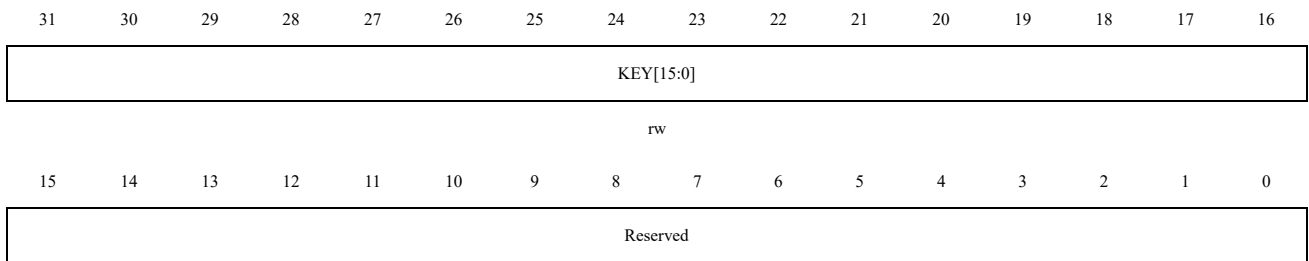
位域	名称	描述
31:16	KEY[15:0]	信号量清除键（16 位） 该字段支持软件写入，读操作始终返回 0： 若该键值与 SEMA4_KEYCLR 寄存器的 KEY 字段不匹配，信号量状态不受影响； 若该键值与 SEMA4_KEYCLR 寄存器的 KEY 字段匹配，所有与目标 COREID 对应的信号量将被清除为空闲状态
15:12	Reserved	保留，必须保持复位值
11:8	COREID[3:0]	待清除信号量的内核 ID（4 位）

位域	名称	描述
		该字段支持软件写入，读操作始终返回 0； 写入 SEMA4_CLR 寄存器时，该字段指定需清除信号量对应的 COREID
7:0	Reserved	保留，必须保持复位值

### 7.5.10 SEMA4 中断清零寄存器(SEMA4\_KEYCLR)

偏移地址：0x144

复位值：0x00000000



位域	名称	描述
31:16	KEY[15:0]	信号量清除密钥 该字段支持软件读写操作。 清除信号量时需匹配的密钥值。
15:0	Reserved	保留，必须保持复位值

## 8 双核消息传输单元 (DCMU)

### 8.1 概述

双核间消息传输单元 (DCMU) 模块通过 DCMU 接口交换消息 (如数据、状态和控制信息), 为片上系统 (SOC) 内的两个处理器提供通信与协同能力。此外, DCMU 支持一个处理器通过中断机制向另一个处理器发送通知。

由于 DCMU 负责管理处理器间的消息传递, 其运行时钟独立于各外设总线的两侧时钟域。因此, DCMU 必须对两侧的访问请求进行同步处理。这种同步通过两组对应寄存器实现: 一组面向处理器 A (CM7 内核), 另一组面向处理器 B (CM4 内核)。

### 8.2 主要特性

双核间消息传输单元 (DCMU) 具备以下特性:

- 支持通过中断或轮询机制实现消息控制
- 采用对称式处理器接口, 接口两侧均支持以下功能:
  - 4 路可映射至对侧的通用中断请求
  - 3 个可映射至对侧的通用标志位
  - 4 个具备可屏蔽中断功能的接收寄存器
  - 4 个具备可屏蔽中断功能的发送寄存器
- 上述中断还可用于将对侧处理器从低功耗模式中唤醒

DCMU 的主要特性详见表 8-1:

**表 8-1 DCMU 主要特征**

主要特征	描述
处理器内部中断	<ul style="list-style-type: none"> <li>▪ DCMU 的两侧 (处理器 A 侧与处理器 B 侧) 各配备 12 个中断源, 用于向对侧处理器发送信号。这些中断可用于通知 RX/TX 事件, 以及实现处理器间的通用信号传输。</li> </ul>
DCMU 复位	<ul style="list-style-type: none"> <li>▪ 处理器 A 可通过置位自身控制寄存器 (DCMU_CTRL) 中的复位控制位 (MURST), 对整个 DCMU 模块执行复位操作。</li> <li>▪ MURST 位为自清除位, 复位操作完成后会自动清零</li> </ul>
内核集群间的状态与控制通信	<ul style="list-style-type: none"> <li>▪ DCMU 借助分别位于自身处理器 A 侧和处理器 B 侧的状态寄存器与控制寄存器, 实现两个内核集群之间的通信。</li> <li>▪ DCMU 一侧的状态寄存器会同步映射对侧的状态信息。</li> <li>▪ 控制寄存器用于执行控制操作, 包括使能中断以及向对侧处理器发送中断信号。</li> </ul>
内核集群间的同步消息传输	<ul style="list-style-type: none"> <li>▪ 内核集群之间的数据消息传输, 通过 DCMU 两侧配备的发送空标志位与接收满标志位来实现。</li> <li>▪ 这些发送和接收标志位的同步由专用机制完成。标志位在一侧完成更新, 到其状态映射至对侧的过程中, 存在固有延迟。有关延迟的详细信息, 请参考事件更新时序章节。</li> </ul>



直接访问共享内存并避免冲突	<ul style="list-style-type: none"> <li>▪ 为实现 DCMU 两侧的数据或消息传输，其两侧均配置了 4 个发送寄存器和 4 个接收寄存器。</li> <li>▪ 处理器 A 或处理器 B 均可直接访问片上系统（SoC）的共享内存资源。但为了避免两个内核集群同时访问共享内存引发冲突，DCMU 提供了一套解决方案，即两个处理器均可借助中断与收发寄存器来协调访问。详细实现方法，请参考消息传输示例章节。</li> </ul>
支持双内核集群的异构时钟	<ul style="list-style-type: none"> <li>▪ DCMU 模块的内核是事件控制机制，该机制负责同步两侧的访问操作，因为 DCMU 的两侧可以运行在不同的时钟域下。</li> <li>▪ 事件更新延迟参数已做标准化定义。</li> </ul>
内存映射寄存器	<ul style="list-style-type: none"> <li>▪ DCMU 在两侧均作为外设挂载在外设总线上：处理器 A 侧挂载于处理器 A 外设总线，处理器 B 侧挂载于处理器 B 外设总线。</li> </ul>

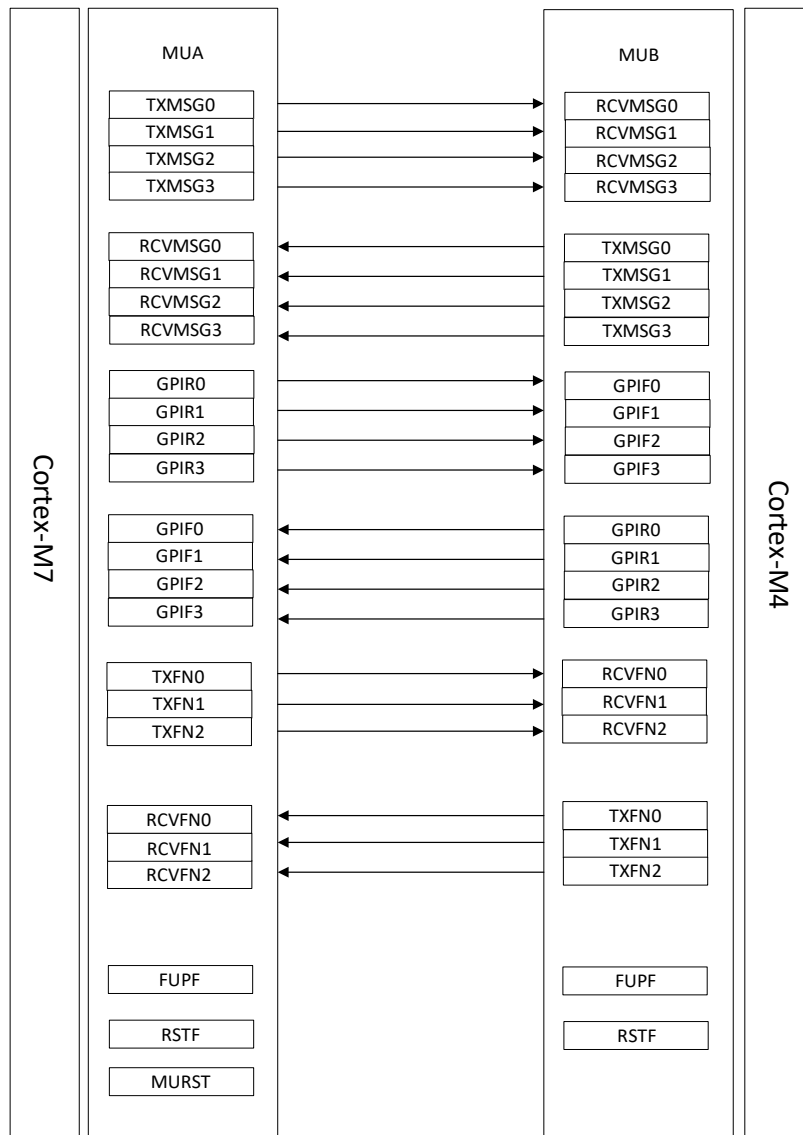
## 8.3 功能描述

### 8.3.1 框图

DCMU 为处理器 A 侧和处理器 B 侧均配备了 32 位状态寄存器与控制寄存器，可用于中断、复位等控制操作，同时也能用于监测对侧的运行状态。

在消息传输方面，DCMU 的两侧均配置了 4 个 32 位只写发送寄存器和 4 个 32 位只读接收寄存器，这些寄存器被用于实现处理器间的消息收发。此外，还可借助 DCMU 两侧控制寄存器与状态寄存器中内置的 3 个通用标志位，对这些消息进行管理。

图 8-1 DCMU 框图



### 8.3.2 消息传输示例

DCMU 模块由 MUA 和 MUB 两部分组成，二者各自配备独立的寄存器组，用于中断控制与数据传输。

根据消息类型的不同，DCMU 支持以下几种传输流程：

■ 短消息传输

发送寄存器可用于传输长度为 1—4 字的短消息。例如，传输一条 4 字长度的消息时，仅需在接收端为其其中一个寄存器对应的中断使能位置位即可。前 3 个字写入中断被屏蔽的寄存器，第 4 个字写入另一个寄存器，以此触发接收端的中断。

■ 帧消息传输

发送寄存器可用于传输帧信息，这些帧信息对应存储在系统共享内存中的长消息。帧信息通常包含起始地址、数据字长度，还可包含消息类型码等细节信息。

### ■ 事件通知与请求传输

处理器 A 和处理器 B 可通过通用中断，传输不包含数据字的事件通知与请求。例如，可通过该方式告知对方，已从系统共享内存中读取长消息。

### ■ 定长数据传输

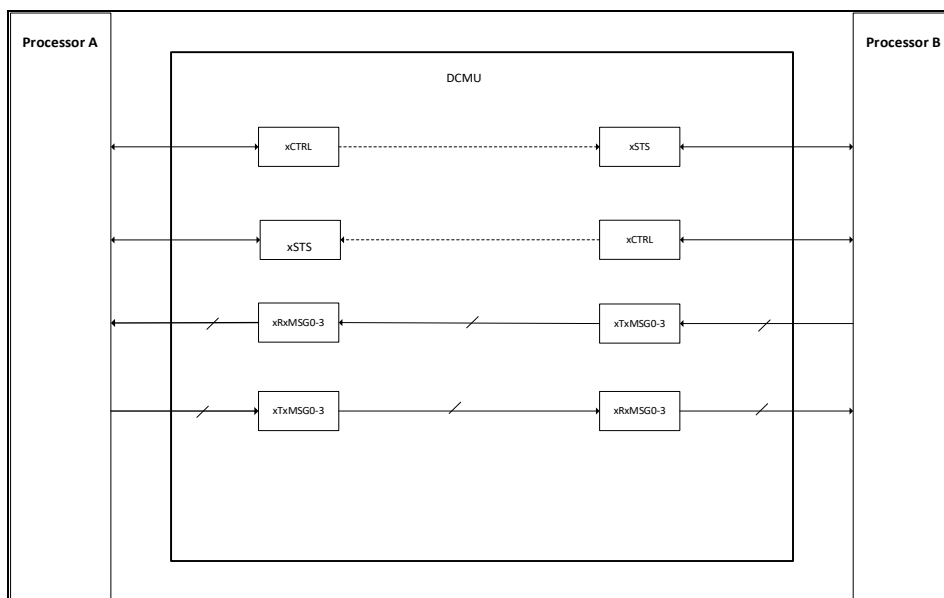
格式固定的定长数据可存储在共享内存的预设地址中。任一处理器（处理器 A 或处理器 B）均可通过通用中断通知对方，数据已准备就绪，可进行处理。

### ■ 状态告知传输

处理器可借助 3 个标志位，向对方通告自身当前的程序运行状态或其他状态信息。

上述所有类型的消息，均通过以下结构完成传输：消息传输所使用的寄存器包括控制寄存器（CTRL）、状态寄存器（STS）、接收消息寄存器（RCVMSG0~RCVMSG3）以及发送消息寄存（TXMSG0~TXMSG3）。

图 8-2 DCMU 消息传输



### 8.3.2.1 复位

DCMU 有两种复位源，无论从 DCMU 自身视角还是系统视角来看，这两种复位源的功能均不相同。

- 异步系统复位连接至 DCMU 接口的两侧。
- 处理器 A 侧的 DCMUA\_CTRL 寄存器中配备 1 路可编程硬件复位（MURST 位）。

表 8-2 DCMU 可编程复位

复位	描述
处理器 A 侧 DCMU 复位	<ul style="list-style-type: none"> <li>● 处理器 A 侧 DCMUA_CTRL 寄存器中的 DCMU 复位位（MURST）</li> <li>● MURST 复位会影响处理器 A 侧与 B 侧的消息传输相关模块，使所有控制寄存器和状态寄存器恢复至默认值，并清除所有内部状态。</li> <li>● 是否启用 MURST 复位由处理器 A 端的软件决定。</li> <li>● 置位 MURST 位后，紧随其后的指令不应对 DCMU 寄存器执行写操作。此类写操作可能会被复位流程覆盖，导致寄存器维持复位值。建议在置位 MURST 位后，至少等待</li> </ul>

一个指令周期，再尝试对 DCMU 寄存器执行写操作。

通过 MURST 位触发复位事件后，运行在处理器 A 上的程序可通过读取 DCMUA\_STS 寄存器中的 RSTF 位，确认处理器 B 侧的复位流程是否完成。

### 8.3.2.2 中断

DCMU 负责处理处理器 A 与处理器 B 之间的中断请求，统筹管理从处理器 B 到处理器 A 以及反向的中断传输。本节将详细说明本模块产生的所有中断。

#### 8.3.2.2.1 处理器中断

DCMU 向处理器提供 12 个中断源，具体分类如下：

- 4 路接收寄存器中断：当处理器接收满标志位（xSTS[RFFn]）置位，且对应的接收中断使能位（xCTRL[RFIEn]）处于使能状态时，该中断被触发。
- 4 路发送寄存器中断：当处理器发送空标志位（xSTS[TEFn]）置位，且对应的发送中断使能位（xCTRL[TEIEn]）处于使能状态时，该中断被触发。
- 4 路通用中断：当通用中断挂起标志位（xSTS[GPIFn]）置位，且对应的通用中断使能位（xCTRL[GPIEn]）处于使能状态时，该中断被触发。

所有中断均可通过处理器控制寄存器（xCTRL）进行屏蔽。DCMU 内部不为这些中断分配优先级，因此多个中断（例如接收 0 与接收 1 中断、或任意组合的发送中断与通用中断）可能被同时触发。这类中断的优先级判定需由芯片级的中断控制器（NVIC）负责管理。

若需撤销向中断控制器发送的请求，软件需清除通用中断挂起标志位（GPIF0、GPIF1、GPIF2、GPIF3），该操作通常在中断服务程序（ISR）中完成。

#### 8.3.2.2.2 通用中断清除流程

当某一处理器对通用中断请求位（GPIR）执行写操作时，该操作会与另一处理器的时钟进行同步，进而将对侧的通用中断挂起标志位（GPIF）置位。一旦 GPIF 位置位，且接收端处理器的通用中断使能位（GPIE）处于使能状态，发送端处理器即会向接收端处理器发起通用中断。接收端处理器可通过向自身的 GPIF 位写入“1”来清除该中断，此写操作执行后，中断会被立即撤销。该写操作同样会与发送端处理器的时钟进行同步，最终将发送端的 GPIR 位清零。建议软件应等待 GPIR 位被清零后，再对其执行写操作，以避免出现同步异常问题。

### 8.3.2.3 中断消息传输协议

#### 8.3.2.3.1 基于中断的消息传输协议

下述示例将演示从一个处理器向另一个处理器发送四字消息的传输流程。

本示例中，第一条、第二条、第三条消息对应的接收中断均被禁用，仅第四条消息对应的接收中断处于使能状态。寄存器按顺序完成 n=0,1,2,3 的写入操作：当 n=0,1,2 时，由于中断处于禁用状态，即便触发中断的条件已满足，也不会向对侧内核集群发送中断；当 n=3 时，中断处于使能状态，此时会生成最终的接收中断请求。

#### 1. 写入流程

- 处理器按顺序将消息内容写入自身的发送寄存器 0、1、2。
- 当向发送寄存器 3 完成写入操作后，经同步处理，对侧处理器的 xSTS 寄存器中的 RFF3 标志位会被置位，并立即触发对侧处理器的接收 3 中断。

## 2. 读取流程

- 对侧处理器响应接收 3 中断后，即可从自身的接收寄存器中读取传输过来的消息。
- 完成接收寄存器 3 的读取操作后，对应的中断标志位会被清除。

图 8-3 展示了基于发送/接收寄存器的消息传输协议编程模型。若需全面理解该通用协议流程，请参考表 8-3 和图 8-3。

图 8-3 基于发送和接受寄存器的消息传输模型

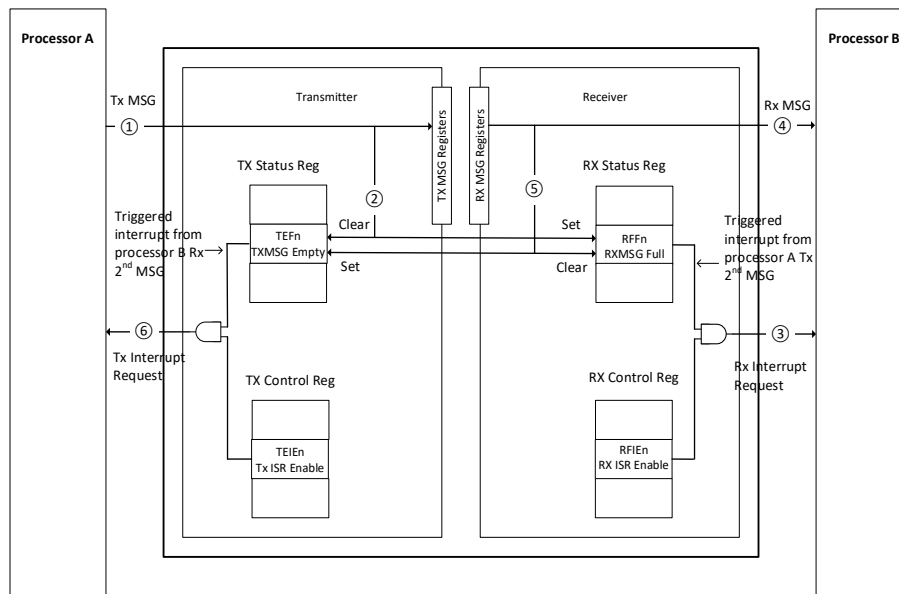


表 8-3 基于发送和接收寄存器的消息传输协议

步骤	操作	描述
1	处理器 A 写入数据	当处理器 A 向 DCMUA_TXMSGn 寄存器写入数据时，该数据会立即映射到处理器 B 的 DCMUB_RCVMSGn 寄存器中。
2	清除发送空标志位并置位接收满标志位	-向 DCMUA_TXMSGn 寄存器写入数据的操作 会清除处理器 A 发送状态寄存器中的发送空标志位 (TEFn) -并置位处理器 B 接收状态寄存器中的接收满标志位 (RFFn)
3	产生接收中断请求	当接收状态寄存器中的接收满标志位 (RFFn) 被置位时，会向处理器 B 产生一个接收中断请求。
4	处理器 B 读取数据	处理器 B 接收到接收中断请求后，从 DCMUB_RCVMSGn 寄存器中读取数据。
5	清除接收满标志位并置位发送空标志位	-从 DCMUB_RCVMSGn 寄存器中读取数据的操作 会清除处理器 B 接收状态寄存器中的接收满标志位 (RFFn) -并置位处理器 A 发送状态寄存器中的发送空标志位 (TEFn)
6	产生发送中断请求	当发送状态寄存器中的发送空标志位 (TEFn) 被置位时，会向处理器 A 产生一个发送中断请求。

注意：发送寄存器用于传输存储在共享内存中的长消息对应的帧信息。此类帧信息通常包含起始地址、数据字长度，还可包含消息类型码。

软件可借助消息传输硬件，为各类消息类型制定对应的传输协议。该模块全面支持中断驱动与轮询两种管理方式。

软件操作流程如下：

- (1) 将寄存器 DCMUB\_CTRL.RFIE3 置 1，同时将寄存器 DCMUA\_CTRL.TFIE3 置 1。
- (2) 处理器 A 向寄存器 DCMUA\_TXMSG0、DCMUA\_TXMSG1、DCMUA\_TXMSG2 写入 3 组数据。
- (3) 向处理器 B 产生接收中断请求。
- (4) 处理器 B 接收到接收中断请求后，读取寄存器 DCMUB\_RCVMSG0、DCMUB\_RCVMSG1、DCMUB\_RCVMSG2 中的数据。
- (5) 读取上述 3 个寄存器的操作，会清除寄存器 DCMUB\_CTRL.RFFn，并置位寄存器 DCMUA\_CTRL.TEFn。
- (6) 寄存器 DCMUA\_CTRL.TEFn 置位后，会向处理器 A 产生中断请求。
- (7) 重复执行步骤(2)~(7)，发送下一组 4 字数据。

### 8.3.2.3.2 基于事件中断的消息传输协议

不含数据字的事件与请求，可通过两路通用中断实现从处理器 B 到处理器 A 的传输。格式固定的定长数据可存储在共享内存的预设地址中，任一处理器均可通过通用中断通知对方，数据已准备就绪。处理器还可借助 3 个标志位，向对方指示自身当前的程序运行状态，或传递同类状态信息。

表 8-4 和图 8-4 描述了处理器触发中断时的时间时序

图 8-4 基于通用中断的消息传输模型

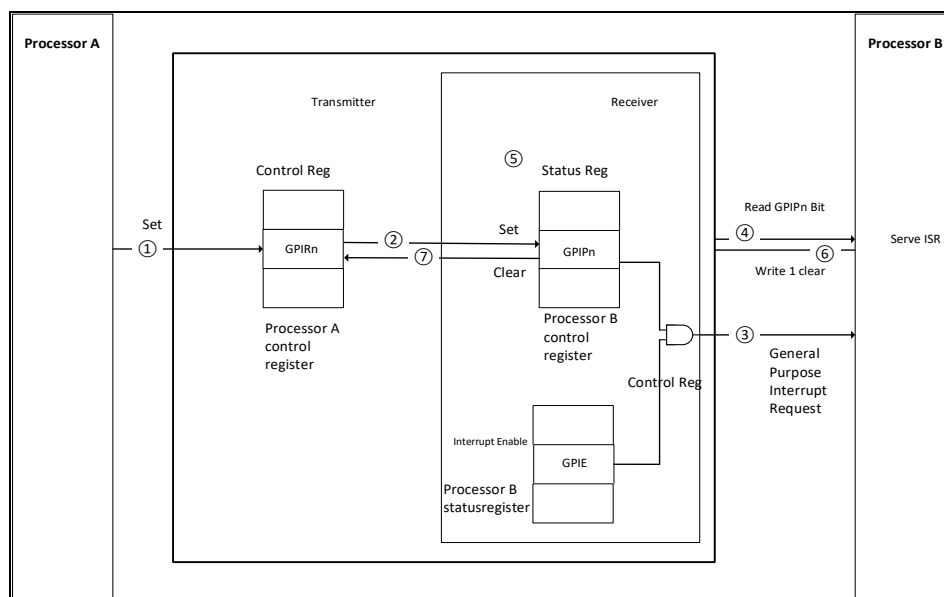


表 8-4 中断消息传输协议(通用型)

步骤	操作	描述
1	处理器 A 置位通用中断请求位	处理器 A 将其控制寄存器 (DCMUA_CTRL) 中对应的通用中断请求位 (GPIRn=1) 置位。
2	置位通用中断请求挂起状态位	处理器 B 状态寄存器 (DCMUB_STS) 中的通用中断请求挂起状态位 (GPIFn) 被置为“1”。
3	处理器 B 产生通用中断请求	置位 GPIFn 位会向处理器 B 产生通用中断请求。注意：仅当处理

		器 B 对应的中断请求使能位 (GPIEn) 处于置位状态时, 该中断才能被成功接收。
4	处理器 B 读取状态寄存器	处理器 B 读取 DCMUB_STS.GPIFn 位。
5	处理器 B 执行中断服务	-
6	处理器 B 置位 GPIFn 位以清除中断	处理器 B 通过向对应的 GPIFn 位写入“1”来清除该中断。
7	清除 GPIRn 位	处理器 B 对 GPIFn 位的置 1 操作, 会同步清除处理器 A 控制寄存器 (DCMUA_CTRL) 中的通用中断请求位 (GPIRn)。

软件操作流程如下:

1. 将寄存器 DCMUB\_CTRL.GPIEn 置 1。
2. 将寄存器 DCMUA\_CTRL.GPIRn 置 1。
3. 将寄存器 DCMUB\_STS.GPIFn 置 1。
4. 处理器 B 读取寄存器 DCMUB\_STS.GPIFn。
5. 处理器从共享内存的预设地址中读取数据。
6. 处理器 B 向 GPIFn 位写入 1, 以清除该中断。
7. 向 GPIFn 位写入 1, 同步清除寄存器 DCMUA\_CTRL.GPIRn。

### 8.3.2.4 共享内存的独占访问

DCMU 可用于向一个处理器发送通知, 告知其另一处理器当前正在访问共享内存, 从而避免在内存独占访问阶段出现潜在的数据覆盖问题。

下表详细说明了处理器 A 用于向处理器 B 指示自身当前正在写入共享内存的信号传输协议。协议中假定已分配特定的寄存器位与寄存器 (包括 GPIR0 位、DCMUB\_RCVMSG0 寄存器、DCMUB\_TXMSG0 寄存器、DCMUA\_RCVMSG0 寄存器和 DCMUA\_TXMSG0 寄存器), 以保障共享内存协议下的独占访问功能。

**表 8-5 处理器 A 执行共享内存独占访问**

步骤	操作	描述
1	处理器 A 通过自身控制寄存器向处理器 B 发送 GPIRn 请求	当处理器 A 需对共享内存执行独占访问时, 向处理器 B 发送 GPIR0 请求。
2	处理器 A 通过发送数据寄存器 (DCMUA_TXMSGn) 发送独占访问请求	处理器 A 选定一个发送数据寄存器 (DCMUA_TXMSG0), 向处理器 B 发送包含命令、目标地址及访问长度的独占访问请求。
3	处理器 A 等待来自处理器 B 的专用中断	处理器 A 需等待处理器 B 触发的专用中断 (作为响应信号) 后, 才能继续执行后续操作。
4	处理器 A 访问共享内存	处理器 A 接收到来自处理器 B 的专用中断后, 执行共享内存访问操作。

**表 8-6 处理器 B 扫描交互信息**

步骤	操作	描述
1	处理器 B 接收来自接收数据寄存器 (DCMUB_RCVMSGn) 的中断	-
2	处理器 B 读取接收数据寄存器 (DCMUB_RCVMSGn)	-

3	处理器 B 扫描接收数据寄存器中的内容	用于获取交互信息（判断处理器 A 是否发起了独占访问请求）。
---	---------------------	--------------------------------

**表 8-7 处理器 B 接受处理器 A 的独占访问请求**

步骤	操作	描述
1	处理器 B 触发专用中断	处理器 B 向处理器 A 触发一个专用响应中断，以此确认接收到处理器 A 的请求。
2	处理器 B 向处理器 A 发送编码消息	除响应中断外，处理器 B 还通过指定的发送寄存器（DCMUB_TXMSGn）向处理器 A 发送编码消息，通知处理器 A 此时可对共享内存执行独占访问。

**表 8-8 处理器 B 拒绝处理器 A 的独占访问请求**

步骤	操作	描述
1	处理器 B 忽略处理器 A 的独占访问请求	若处理器 B 不批准处理器 A 的请求，将直接忽略该独占访问请求。

软件流程如下：

1. 若处理器 A 拟对共享内存执行独占访问，需将 DCMUA\_CTRL.GPIRn 位置 1。同时，处理器 B 需在其 DCMUB\_CTRL.GPIEn 位置 1，以此使能相应中断。
2. 处理器 A 向 DCMUA\_TXMSGn 寄存器写入待发送数据。
3. 处理器 B 检查 DCMUB\_STS.RFFn 标志位的状态，并读取 DCMUB\_RCVMSGn 寄存器中的数据。
4. 处理器 B 对接收的数据进行解析。
5. 若处理器 B 同意处理器 A 发起的独占访问请求，需将 DCMUB\_CTRL.GPIRn 位置 1，触发 DCMUA\_STS.GPIFn 标志位来通知处理器 A 请求已被接受，同时向 DCMUB\_TXMSGn 寄存器写入一个编码消息。
6. 处理器 A 接收到处理器 B 发送的专用中断后，继续执行独占访问流程。

### 8.3.2.5 数据包传输

下述示例演示处理器 B 与处理器 A 子系统之间的数据包传输流程：

**表 8-9 数据包传输流程**

步骤	操作	描述
1	处理器 B 请求直接内存访问（DMA）	处理器 B 发送 DMA 请求，以此启动数据包传输流程。
2	DMA 数据传输	DMA 响应该请求。
3		DMA 开始将数据从处理器 B 的指定存储区域传输至指定的共享内存区域。
4		DMA 向处理器 B 触发中断，以此告知数据包传输已完成。
5	处理器 B 通知处理器 A 数据已存入共享内存	处理器 B 通过自身侧的 DCMU 发送寄存器，向处理器 A 发送数据包信息消息，告知共享内存中已存入新的数据包数据。该消息包含命令、数据存储地址及数据包信息长度。
6	处理器 A 接收中断	处理器 A 接收到中断（假设其对应 DCMU 侧的接收中断已使能），触



		发挂起的处理任务，对来自内存的数据包数据进行接收与处理。
7	处理器 A 读取数据、写入数据	处理器 A 从共享内存中读取或处理数据包数据。
8		处理器 A 将数据包的处理结果写入独立的缓冲区。
9	处理器 A 通知处理器 B 传输已完成	处理器 A 完成数据包处理后，通过 DCMU 处理器 A 侧的发送寄存器（DCMUA_TXMSGn）向处理器 B 发送通知。
10	处理器 A 向处理器 B 发送中断（请求更多数据）	处理器 B 接收到来自处理器 A 的后续中断，该中断表示处理器 A 需请求更多数据包数据。

## 8.4 应用说明

本节介绍访问 DCMU 时需遵守的软件限制条件。

### 8.4.1 通用限制

本节列出适用于 DCMU 两侧（处理器 A、处理器 B）的限制条件。

#### 8.4.1.1 发送寄存器的连续写操作限制

向发送寄存器写入数据，意味着向接收端示意数据已准备就绪，可进行读取。

- 禁止在未确认接收端已读取数据的情况下，再次向发送寄存器写入数据，原因是发送端无法准确判断接收端尝试访问数据的时机。
- 若需再次向发送寄存器写入数据，发送端先等待发送空中断触发，或对状态寄存器中的发送空标志位执行轮询操作。
- 若不遵守此项限制，可能导致 DCMU 接收端读取到错误数据。

#### 8.4.1.2 接收寄存器的连续读操作限制

读取接收寄存器，会向发送端发送一个通知，示意该寄存器已可写入数据。同理，接收端处理器需在接收到接收满中断、或对状态寄存器中的接收满标志位完成轮询后，才能执行接收寄存器的读取操作。

- 禁止在未确认新数据已写入的情况下，再次读取接收寄存器。原因是接收端无法准确判断发送端尝试写入数据的时机。
- 若需再次读取接收寄存器，接收端应先等待接收满中断触发，或对状态寄存器中的接收满标志位执行轮询操作。
- 若不遵守此项限制，可能导致 DCMU 发送端写入错误数据。

## 8.4.2 处理器侧限制

本节列出适用于 DCMU 各处理器侧的限制条件。

### 8.4.2.1 进入低功耗模式前的操作要求

进入低功耗模式前，处理器必须确保状态寄存器中的处理器事件挂起位（EP）已被清零。

- 若事件挂起标志位（EPF）仍处于置 1 状态，处理器必须等待并持续轮询该 EPF 位，直至其被清零后，方可执行低功耗模式指令。
- 请注意，若另一处理器处于低功耗模式，EPF 位可能会持续保持置 1 状态。在此情况下，必须先开启另一处理器的时钟以清除 EPF 位，之后本处理器才能进入低功耗模式。

### 8.4.2.2 置位通用中断请求位（GPIR0 - 3）前的操作要求

在置位通用中断请求位（GPIR0 - 3）前，需确保对应的 GPIR<sub>n</sub> 位已被清零，以此表明当前无通用中断处于挂起状态。通常情况下，若 GPIR<sub>n</sub> 位已处于置 1 状态，此时尝试再次对其置位的操作会被忽略。但在部分场景下，该操作可能会触发二次中断。设置此项限制是为了避免出现不可预测的异常行为。

### 8.4.2.3 复位位操作限制

复位位（MURST）的操作限制如下：

- 在对 DCMUA\_CTRL 寄存器中的 MURST 位执行置位操作前，需确保处理器 B 当前未执行任何与 DCMU 相关的操作。
- 对 DCMUA\_CTRL 寄存器中的 MURST 位置位后，紧随其后的指令中不得对任何 DCMU 寄存器执行写操作，否则写入的数据可能会被复位值覆盖。

## 8.5 寄存器

DCMU 寄存器分为两个端侧：

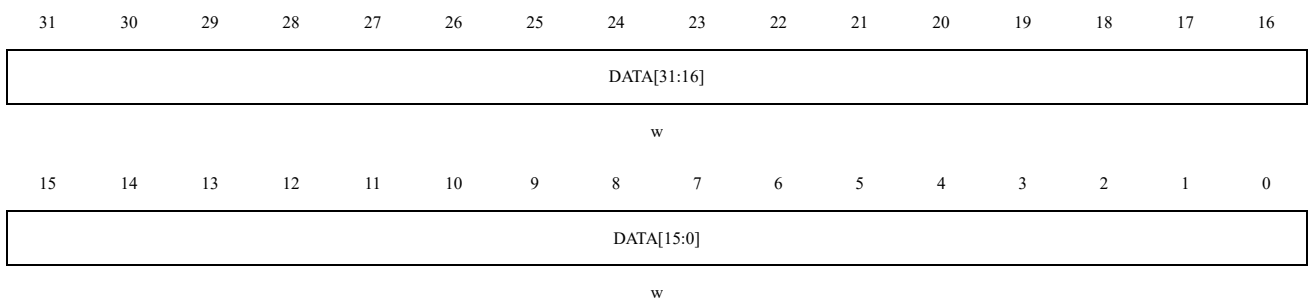
- 处理器 A 端（CM7 内核）的 DCMU 寄存器；
- 处理器 B 端（CM4 内核）的 DCMU 寄存器。

### 8.5.1 DCMU 处理器 A 端寄存器

#### 8.5.1.1 DCMU 处理器 A 发送消息寄存器 0 (DCMUA\_TXMSG0)

偏移地址：0x0000

复位值：0x00000000

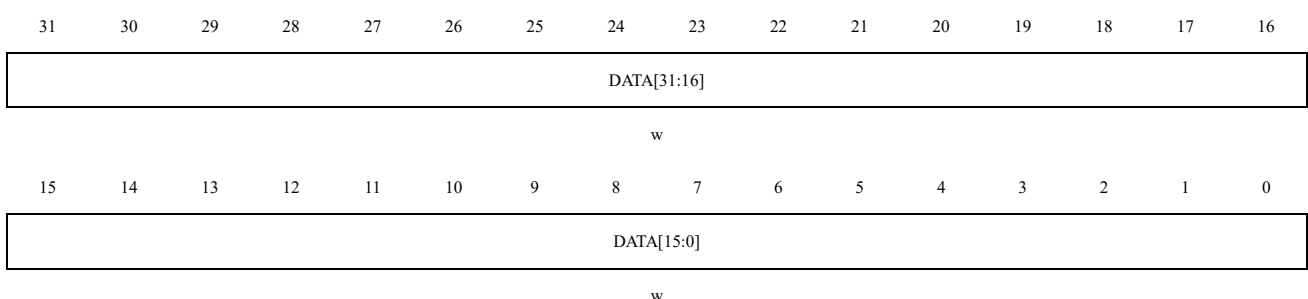


位域	名称	描述
31:0	DATA[31:0]	DCMU 处理器 A 发送消息寄存器 0 向 TXMSG0 寄存器写入的数据，会实时映射到处理器 B 的 RCVMSG0 寄存器中 向该发送寄存器执行写操作，会清除发送端（处理器 A）状态寄存器 （DCMUA.STS）中的发送空标志位（TEF0），同时置位接收端（处理器 B）状 态寄存器中的接收满标志位（RFF0）

#### 8.5.1.2 DCMU 处理器 A 发送消息寄存器 1 (DCMUA\_TXMSG1)

偏移地址：0x0004

复位值：0x00000000



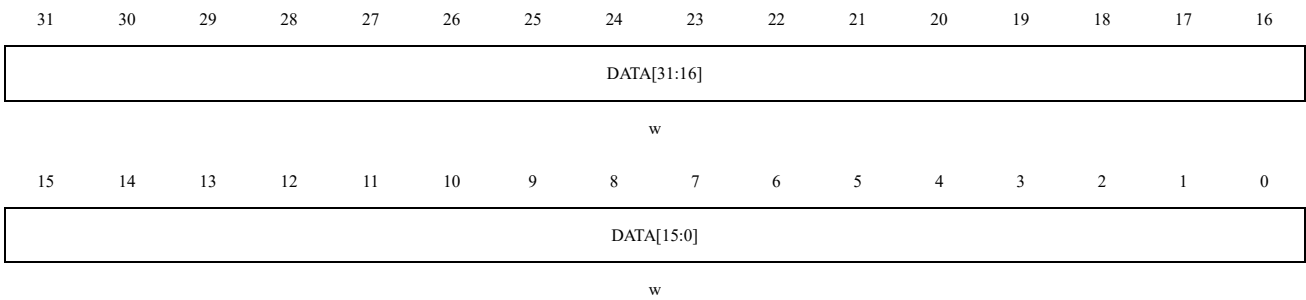
位域	名称	描述
31:0	DATA[31:0]	处理器 A 发送消息寄存器 1 向 TXMSG1 寄存器写入的数据，会实时映射到处理器 B 的 RCVMSG1 寄存器中

位域	名称	描述
		向该发送寄存器执行写操作，会清除发送端（处理器 A）状态寄存器（DCMUA.STS）中的发送空标志位（TEF1），同时置位接收端（处理器 B）状态寄存器中的接收满标志位（RFF1）

### 8.5.1.3 DCMU 处理器 A 发送消息寄存器 2 (DCMUA\_TXMSG2)

偏移地址：0x0008

复位值：0x00000000

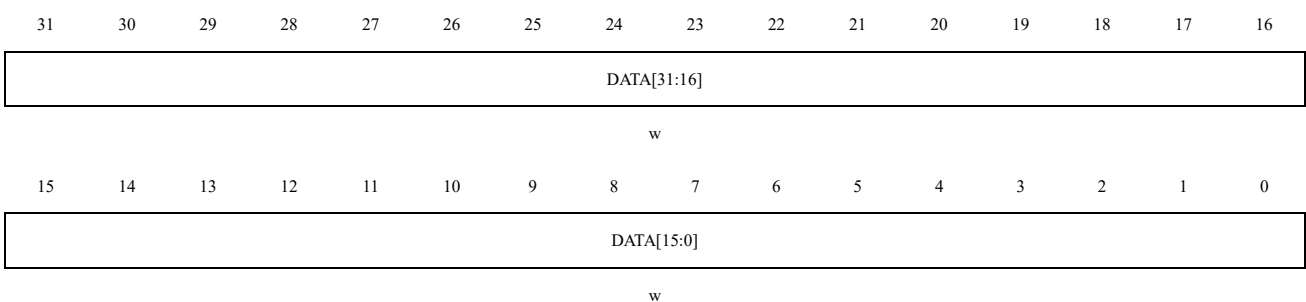


位域	名称	描述
31:0	DATA[31:0]	处理器 A 发送消息寄存器 2 向 TXMSG2 寄存器写入的数据，会实时映射到处理器 B 的 RCVMSG2 寄存器中 向该发送寄存器执行写操作，会清除发送端（处理器 A）状态寄存器（DCMUA.STS）中的发送空标志位（TEF2），同时置位接收端（处理器 B）状态寄存器中的接收满标志位（RFF2）

### 8.5.1.4 DCMU 处理器 A 发送消息寄存器 3 (DCMUA\_TXMSG3)

偏移地址：0x000C

复位值：0x00000000

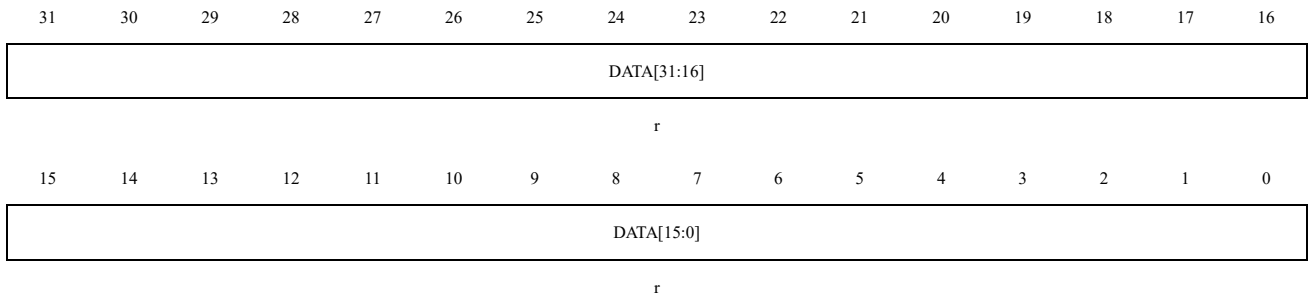


位域	名称	描述
31:0	DATA[31:0]	处理器 A 发送消息寄存器 3 向 TXMSG3 寄存器写入的数据，会实时映射到处理器 B 的 RCVMSG3 寄存器中。 向该发送寄存器执行写操作时，会清除发送端处理器 A 状态寄存器（DCMUA.STS）中的发送空标志位（TEF3），同时置位接收端处理器 B 侧的接收满标志位（RFF3）。

### 8.5.1.5 DCMU 处理器 A 接收消息寄存器 0 (DCMUA\_RCVMSG0)

偏移地址: 0x0010

复位值: 0x00000000

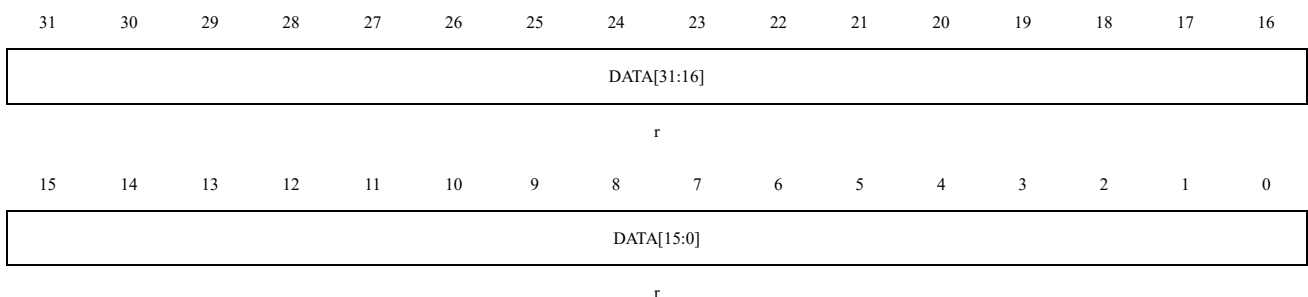


位域	名称	描述
31:0	DATA[31:0]	处理器 A 接收消息寄存器 0 本寄存器的数据与写入处理器 B 发送寄存器 0 (DCMUB.TXMSG0) 的数据保持一致。 读取 RCVMSG0 寄存器的操作, 会清除接收端处理器 A 状态寄存器 (DCMUA.STS) 中的接收满标志位 (RFF0), 同时置位发送端处理器 B 状态寄存器中的发送空标志位 (TEF0)。

### 8.5.1.6 DCMU 处理器 A 接收消息寄存器 1 (DCMUA\_RCVMSG1)

偏移地址: 0x0014

复位值: 0x00000000

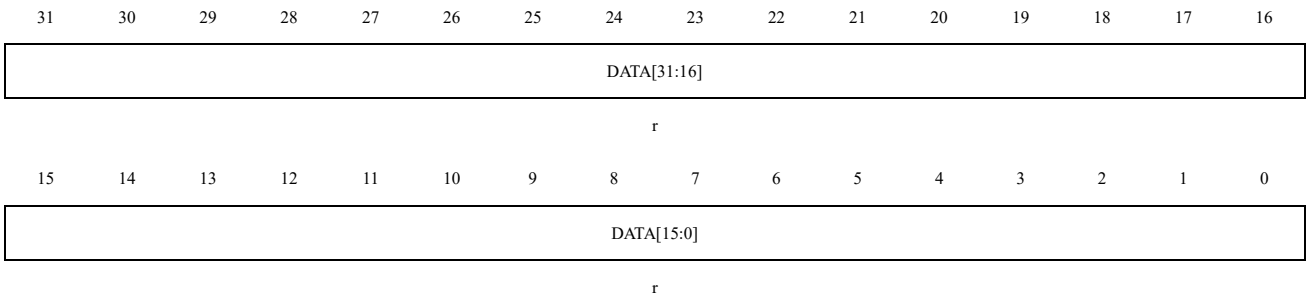


位域	名称	描述
31:0	DATA[31:0]	处理器 A 接收消息寄存器 1 本寄存器的数据与写入处理器 B 发送寄存器 1 (DCMUB.TXMSG1) 的数据保持一致 读取 RCVMSG1 寄存器的操作, 会清除接收端处理器 A 状态寄存器 (DCMUA.STS) 中的接收满标志位 (RFF1), 同时置位发送端处理器 B 状态寄存器中的发送空标志位 (TEF1)

### 8.5.1.7 DCMU 处理器 A 接收消息寄存器 2 (DCMUA\_RCVMSG2)

偏移地址: 0x0018

复位值: 0x00000000

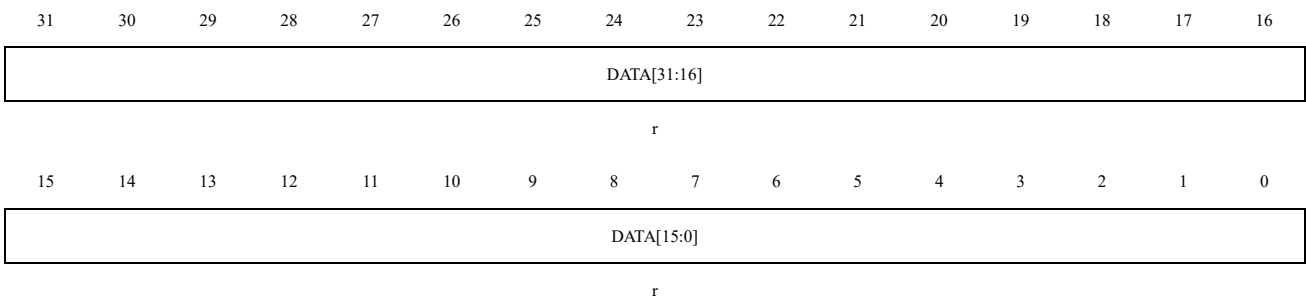


位域	名称	描述
31:0	DATA[31:0]	处理器 A 接收消息寄存器 2 本寄存器的数据与写入处理器 B 发送寄存器 2 (DCMUB.TXMSG2) 的数据保持一致 读取 RCVMSG2 寄存器的操作, 会清除接收端处理器 A 状态寄存器 (DCMUA.STS) 中的接收满标志位 (RFF2), 同时置位发送端处理器 B 状态寄存器中的发送空标志位 (TEF2)

### 8.5.1.8 DCMU 处理器 A 接收消息寄存器 3 (DCMUA\_RCVMSG3)

偏移地址: 0x001C

复位值: 0x00000000

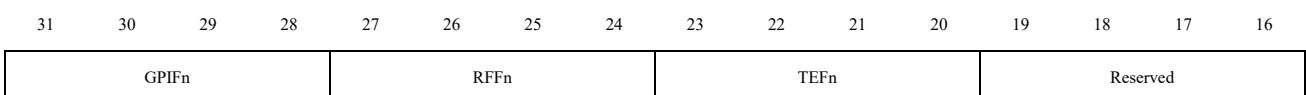


位域	名称	描述
31:0	DATA[31:0]	处理器 A 接收消息寄存器 3 本寄存器的数据与写入处理器 B 发送寄存器 3 (DCMUB.TXMSG3) 的数据保持一致 读取 RCVMSG3 寄存器的操作, 会清除接收端处理器 A 状态寄存器 (DCMUA.STS) 中的接收满标志位 (RFF3), 同时置位发送端处理器 B 状态寄存器中的发送空标志位 (TEF3)

### 8.5.1.9 DCMUA 处理器 A 状态寄存器 (DCMUA\_STS)

偏移地址: 0x0020

复位值: 0x00F00080



rc_wl			r			r									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						FUPF	RSTF	Reserved			EPF	Reserved	RCVFNn		
						r	r				r	r			

位域	名称	描述
31:28	GPIFn[0:3]	其中 n={0,1,2,3}, 处理器 A 通用中断请求 n 挂起标志 (读写属性) 该标志位用于向处理器 A 发送信号, 提示处理器 B 侧控制寄存器 (DCMUB.CTRL) 中的 GPIRn 位已从 “0” 置为 “1”。若处理器 A 控制寄存器 (DCMUA.CTRL) 中的 GPIEn 位为 “1”, 则会触发通用中断 n 请求。向该位写入 “1” 可清除标志; 写入 “0”、或该位已清除时写入 “1” 的操作均会被忽略。此功能可用于中断服务程序: 在中断服务程序中清除 GPIFn 位, 即可在中断控制器中解除对应的中断请求源。正确的清位流程为: 清空处理器 A 侧目标寄存器 → 对该寄存器中的目标位进行置位 → 将寄存器值写入 DCMUA.STS 寄存器, 以此完成 GPIFn 位的清除。
27:24	RFFn[0:3]	其中 n={0,1,2,3}, 处理器 A 接收消息寄存器 n 满标志 (只读属性) 0: DCMUA.RCVMSG 寄存器未存满 (默认值) 1: DCMUA.RCVMSG 寄存器已存满
23:20	TEFn[0:3]	其中(n={0,1,2,3}, 处理器 A 发送消息寄存器 n 空标志 (只读属性) 0: DCMUA.TXMSG 寄存器非空 1: DCMUA.TXMSG 寄存器为空 (默认值)
19:9	Reserved	保留, 必须保持复位值
8	FUPF	处理器 A 标志更新挂起标志 0: 无处理器 A 触发的标志更新操作正在执行 (默认值) 1: 处理器 A 触发的标志更新操作正在处理中
7	RSTF	处理器 B 复位状态标志
6:5	Reserved	保留, 必须保持复位值
4	EPF	处理器 A 侧事件挂起标志 0: 处理器 A 侧无事件挂起 (默认值) 1: 处理器 A 侧存在事件挂起
3	Reserved	保留, 必须保持复位值
2:0	RCVFNn[2:0]	其中(n={0,1,2}, 处理器 A 侧接收标志编号 n (只读属性) 0: DCMUB.CTRL 寄存器中的 TXFNn 位被写入 0 (默认值) 1: DCMUB.CTRL 寄存器中的 TXFNn 位被写入 1

### 8.5.1.10 DCMUA 处理器 A 控制寄存器 (DCMUA\_CTRL)

偏移地址: 0x0024

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GPIEn				RFIEn				TEIEn				GPIRn			
rw				rw				rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Reserved	MURST	Reserved	TXFNn
	rw		rw

位域	名称	描述
31:28	GPIEn[0:3]	其中 n={0,1,2,3}，处理器 A 通用中断请求使能寄存器（读写属性） 0000 - 禁用处理器 A 通用中断 n（默认值） 0001 - 启用处理器 A 通用中断 n
27:24	RFIEEn[0:3]	其中 n={0,1,2,3}，处理器 A 接收满中断使能寄存器（读写属性） 0000 - 禁用处理器 A 接收满中断 n（默认值） 0001 - 启用处理器 A 接收满中断 n
23:20	TEIEEn[0:3]	其中 n={0,1,2,3}，处理器 A 发送空中断使能寄存器（读写属性） 0000 - 禁用处理器 A 发送空中断 n（默认值） 0001 - 启用处理器 A 发送空中断 n
19:16	GPIRn[0:3]	其中 n={0,1,2,3}，处理器 A 通用中断请求 n 寄存器（读写属性） 0000 - 处理器 A 未向处理器 B 发起通用中断 n 请求（默认值） 0001 - 处理器 A 向处理器 B 发起通用中断 n 请求
15:6	Reserved	保留，必须保持复位值
5	MURST	处理器 A 的 DCMU 复位 <ul style="list-style-type: none"> <li>◆ 将 MURST 位置 1 会复位 DCMU 模块的处理器 B 侧与处理器 A 侧，强制所有控制寄存器和状态寄存器恢复默认值，并清除所有内部状态。</li> <li>◆ 在将 MURST 位置 1 前，建议先触发处理器 B 的中断，因为置位该位可能会影响处理器 B 正在运行的程序。</li> <li>◆ 置位 MURST 位后，需监控 DCMUA_STS 寄存器中 RSTF 位的状态，以此判断处理器 B 侧的复位流程是否结束。</li> <li>◆ 该位仅支持写入“1”。</li> <li>◆ 读取该位时，返回值恒为“0”。</li> <li>◆ 该位会在 DCMU 复位流程中自动清零。</li> </ul> 0 - 无实际意义，自清零位（默认值） 1 - 触发处理器 A 侧 DCMU 复位
2:0	TXFNn[2:0]	其中 n={0,1,2,3}，处理器 A 至处理器 B 发送标志编号 n 寄存器（读写属性） 000 - 清除 DCMUB.STS.RCVFNn 位 001 - 置位 DCMUB.STS.RCVFNn 位

## 8.5.2 DCMU 处理器 B 端寄存器

### 8.5.2.1 DCMU 处理器 B 发送消息寄存器 0 (DCMUB\_TXMSG0)

偏移地址：0x0000

复位值：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DATA[31:16]															

w



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

DATA[15:0]

w

位域	名称	描述
31:0	DATA[31:0]	处理器 B 发送消息寄存器 0 向 TXMSG0 寄存器写入的数据，会实时映射到处理器 A 的 RCVMSG0 寄存器中。 向该发送寄存器执行写操作时，会清除发送端处理器 B 状态寄存器（DCMUB.STS）中的发送空标志位（TEF0），同时置位接收端处理器 A 侧的接收满标志位（RFF0）。

### 8.5.2.2 DCMU 处理器 B 发送消息寄存器 1 (DCMUB\_TXMSG1)

偏移地址：0x0004

复位值：0x00000000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

DATA[31:16]

w

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

DATA[15:0]

w

位域	名称	描述
31:0	DATA[31:0]	处理器 B 发送消息寄存器 1 向 TXMSG1 寄存器写入的数据，会实时映射到处理器 A 的 RCVMSG1 寄存器中。 向该发送寄存器执行写操作时，会清除发送端处理器 B 状态寄存器（DCMUB.STS）中的发送空标志位（TEF1），同时置位接收端处理器 A 侧的接收满标志位（RFF1）。

### 8.5.2.3 DCMU 处理器 B 发送消息寄存器 2 (DCMUB\_TXMSG2)

偏移地址：0x0008

复位值：0x00000000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

DATA[31:16]

w

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

DATA[15:0]

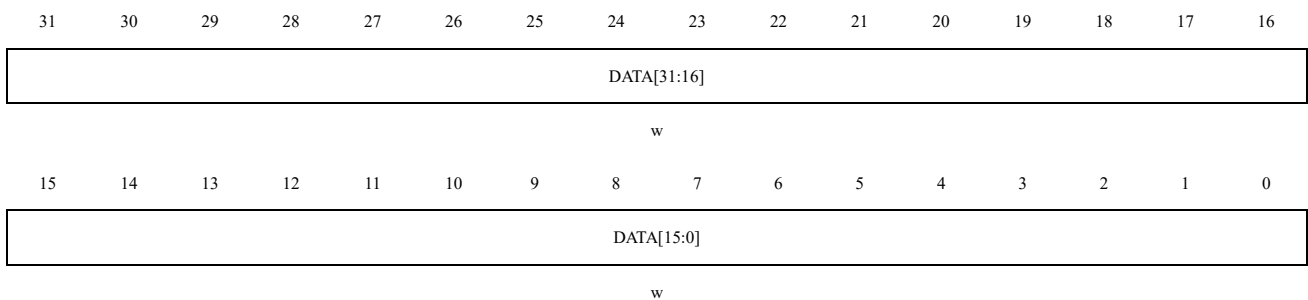
w

位域	名称	描述
31:0	DATA[31:0]	处理器 B 发送消息寄存器 2 向 TXMSG2 寄存器写入的数据，会实时映射到处理器 A 的 RCVMSG2 寄存器中。 向该发送寄存器执行写操作时，会清除发送端处理器 B 状态寄存器（DCMUB.STS）中的发送空标志位（TEF2），同时置位接收端处理器 A 侧的接收满标志位（RFF2）。

#### 8.5.2.4 DCMU 处理器 B 发送消息寄存器 3 (DCMUB\_TXMSG3)

偏移地址：0x000C

复位值：0x00000000

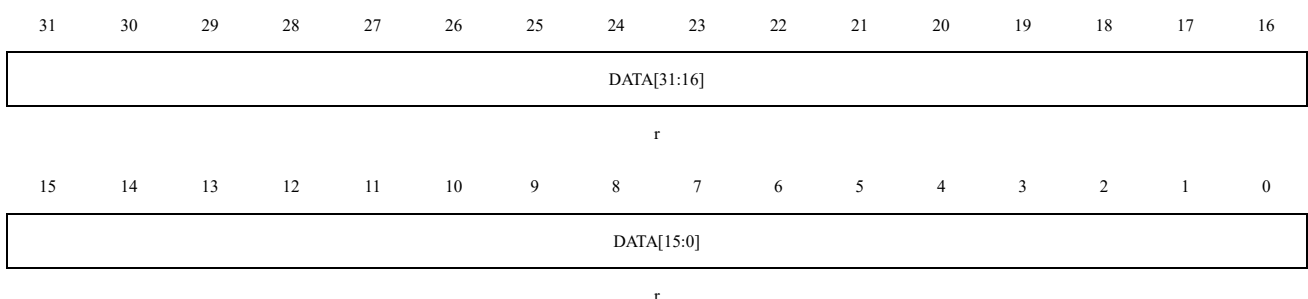


位域	名称	描述
31:0	DATA[31:0]	处理器 B 发送消息寄存器 3 向 TXMSG3 寄存器写入的数据，会实时映射到处理器 A 的 RCVMSG3 寄存器中 向该发送寄存器执行写操作，会清除发送端（处理器 B）状态寄存器（DCMUB.STS）中的发送空标志位（TEF3），同时置位接收端（处理器 A）侧的接收满标志位（RFF3）

#### 8.5.2.5 DCMU 处理器 B 接收消息寄存器 0 (DCMUB\_RCVMSG0)

偏移地址：0x0010

复位值：0x00000000



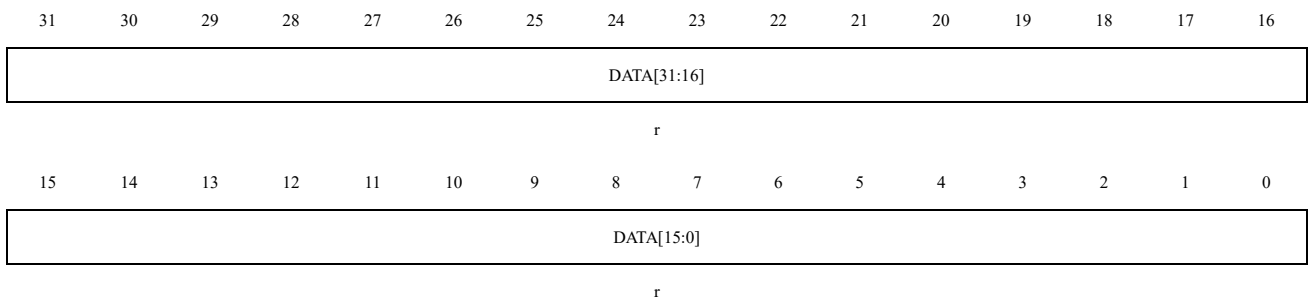
位域	名称	描述
31:0	DATA[31:0]	处理器 B 接收消息寄存器 0 本寄存器的数据与写入处理器 A 发送寄存器 0 (DCMUA_TXMSG0) 的数据保持一致 读取 RCVMSG0 寄存器的操作，会清除接收端处理器 B 状态寄存器

位域	名称	描述
		(DCMUB.STS) 中的接收满标志位 (RFF0), 同时置位发送端处理器 A 状态寄存器中的发送空标志位 (TEF0)

### 8.5.2.6 DCMU 处理器 B 接收消息寄存器 1 (DCMUB\_RCVMSG1)

偏移地址: 0x0014

复位值: 0x00000000

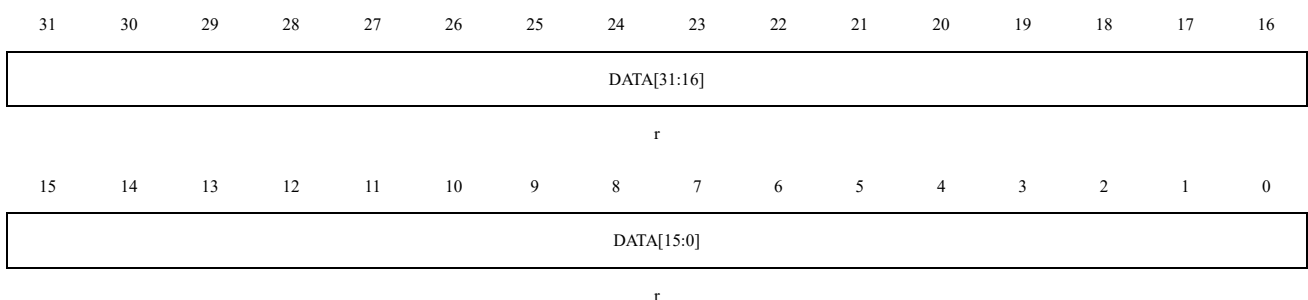


位域	名称	描述
31:0	DATA[31:0]	处理器 B 接收消息寄存器 1 本寄存器的数据与写入处理器 A 发送寄存器 1 (DCMUA_TXMSG1) 的数据保持一致 读取 RCVMSG1 寄存器的操作, 会清除接收端处理器 B 状态寄存器 (DCMUB.STS) 中的接收满标志位 (RFF1), 同时置位发送端处理器 A 状态寄存器中的发送空标志位 (TEF1)

### 8.5.2.7 DCMU 处理器 B 接收消息寄存器 2 (DCMUB\_RCVMSG2)

偏移地址: 0x0018

复位值: 0x00000000

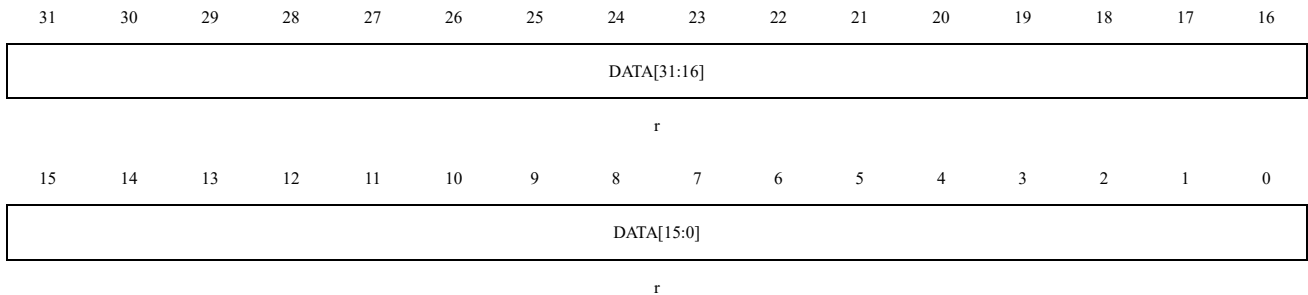


位域	名称	描述
31:0	DATA[31:0]	处理器 B 接收消息寄存器 2 本寄存器的数据与写入处理器 A 发送寄存器 2 (DCMUA_TXMSG2) 的数据保持一致 读取 RCVMSG2 寄存器的操作, 会清除接收端处理器 B 状态寄存器 (DCMUB.STS) 中的接收满标志位 (RFF2), 同时置位发送端处理器 A 状态寄存器中的发送空标志位 (TEF2)

### 8.5.2.8 DCMU 处理器 B 接收消息寄存器 3 (DCMUB\_RCVMSG3)

偏移地址: 0x001C

复位值: 0x00000000

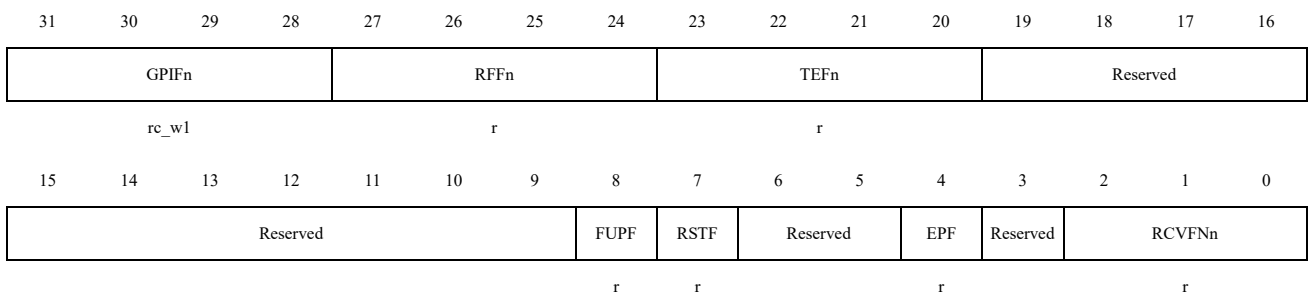


位域	名称	描述
31:0	DATA[31:0]	处理器 B 接收消息寄存器 3 本寄存器的数据与写入处理器 A 发送寄存器 3 (DCMUA_TXMSG3) 的数据保持一致 读取 RCVMSG3 寄存器的操作, 会清除接收端处理器 B 状态寄存器 (DCMUB_STS) 中的接收满标志位 (RFF3), 同时置位发送端处理器 A 状态寄存器中的发送空标志位 (TEF3)

### 8.5.2.9 DCMUB 处理器 B 状态寄存器 (DCMUB\_STS)

偏移地址: 0x0020

复位值: 0x00F00080



位域	名称	描述
31:28	GPIFn[0:3]	其中 n={0,1,2,3}, 处理器 B 通用中断请求 n 挂起标志 (读写属性) 该标志位用于向处理器 B 发送信号, 提示处理器 A 侧控制寄存器 (DCMUA_CTRL) 中的 GPIR 位已从“0”置为“1”。若处理器 B 控制寄存器 (DCMUB_CTRL) 中的 GPIEn 位为“1”, 则会触发通用中断 n 请求。向该位写入“1”可清除标志; 写入“0”、或该位已清除时写入“1”的操作均会被忽略。此功能可用于中断服务程序: 在中断服务程序中清除 GPIFn 位, 即可在中断控制器中解除对应的中断请求源。正确的清位流程为: 清空处理器 B 侧目标寄存器→对该寄存器中的目标位进行置位→将寄存器值写入 DCMUB_STS 寄存器, 以此完成 GPIFn 位的清除。
27:24	RFFn[0:3]	其中 n={0,1,2,3}, 处理器 B 接收消息寄存器 n 满标志 (只读属性) 0: DCMUB.RCVMSG 寄存器未存满 (默认值)

位域	名称	描述
		1: DCMUB.RCVMSG 寄存器已存满
23:20	TEFn[0:3]	其中 n={0,1,2,3}, 处理器 B 发送消息寄存器 n 空标志 (只读属性) 0: DCMUB.TXMSG 寄存器非空 1: DCMUB.TXMSG 寄存器为空 (默认值)
19:9	Reserved	保留, 必须保持复位值
8	FUPF	处理器 A 标志更新挂起标志 0: 无处理器 B 触发的标志更新操作正在执行 (默认值) 1: 处理器 A 触发的标志更新操作正在处理中
7	RSTF	处理器 A 复位状态标志
6:5	Reserved	保留, 必须保持复位值
4	EPF	处理器 B 侧事件挂起标志 0: 处理器 B 侧无事件挂起 (默认值) 1: 处理器 B 侧存在事件挂起
3	Reserved	保留, 必须保持复位值
2:0	RCVFNn[2:0]	其中 n={0,1,2}, 处理器 B 侧接收标志编号 n (只读属性) 0: DCMUA.CTRL.TXFNn 位被写入 0 (默认值) 1: DCMUA.CTRL.TXFNn 位被写入 1

### 8.5.2.10 DCMUB 处理器 B 控制寄存器 (DCMUB\_CTRL)

偏移地址: 0x0024

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GPIEn				RFIEn				TEIEn				GPIRn			
rw				rw				rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													TXFNn		
													r		

位域	名称	描述
31:28	GPIEn[0:3]	其中 n={0,1,2,3}, 处理器 B 通用中断请求使能寄存器 (读写属性) 0000 - 禁用处理器 B 通用中断 n (默认值) 0001 - 启用处理器 B 通用中断 n
27:24	RFIEn[0:3]	其中 n={0,1,2,3}, 处理器 B 接收满中断使能寄存器 (读写属性) 0000 - 禁用处理器 B 接收满中断 n (默认值) 0001 - 启用处理器 B 接收满中断 n
23:20	TEIEn[0:3]	其中 n={0,1,2,3}, 处理器 B 发送空中断使能寄存器 (读写属性) 0000 - 禁用处理器 B 发送空中断 n (默认值) 0001 - 启用处理器 B 发送空中断 n
19:16	GPIRn[0:3]	其中 n={0,1,2,3}, 处理器 B 通用中断请求 n 寄存器 (读写属性) 0000 - 处理器 B 未向目标处理器发起通用中断 n 请求 (默认值)

位域	名称	描述
		0001 - 处理器 B 向目标处理器发起通用中断 n 请求
15:3	Reserved	保留，必须保持复位值
2:0	TXFNn[2:0]	其中 n={0,1,2,3}，处理器 B 至处理器 A 发送标志编号 n 寄存器（读写属性） 000 - 清除 DCMUA.STS.RCVFNn 位 001 - 置位 DCMUA.STS.RCVFNn 位

## 9 单次编程控制器 (OTPC)

### 9.1 介绍

一次性可编程 (OTP) 存储器是一种 fuse 型存储设备, 可以实现从一个值到相反值的一次性编程。一些 fuse 内存默认值为 1, 可以编程为 0, 一些是原生 0, 可以编程到 1。该 OTP 控制器是为 EMEMORY EG002K32TJ022LZ01 anti-fuse IP 设计的, 大小为 2K 字 (8K 字节)。该存储器的初始值为 1, 可编程为 0。它具有内置的冗余和修复功能。它支持位编程。使用 OTP 作为模拟微调值和系统配置的存储。当系统启动时, OTP 控制器 (OTPC) 应读取微调值和系统配置, 并提供给其他 IP。

### 9.2 主要特性

OTPC 控制器模块旨在提供安全的系统设置存储和启动时的自动设置加载。每个地址对应数据长度 32bits。

OTPC 的主要特征如下表 9-1 所示:

**表 9-1 OPTC 特性描述**

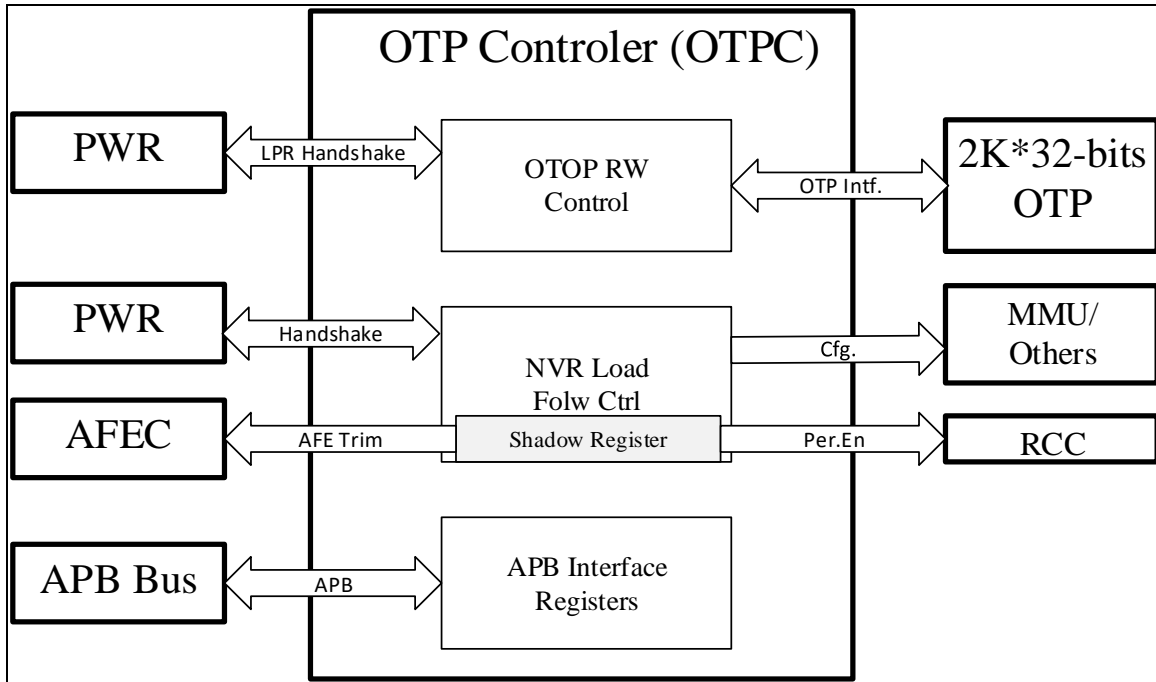
特性	次要特性	概要
Clock	sys_clk	系统时钟，仅在启动时使用。系统启动时，时钟最高频率约为 64 MHz
	apb_clk	APB 时钟用于访问 OPTC 寄存器，以便在正常情况进行读/写操作。 (外部连接 AHB 总线) 最大频率为 300 MHz
Reset	sys_rst_n	系统时钟域信号的复位信号。
	prst_n	AHB 时钟域信号的复位信号。
Register	Lock	OPTC_CTRL.LOCK 锁定时，OPTC_CTRL 寄存器不能更改。用户需要以正确的顺序编程正确的密钥来解锁 OPTC_CTRL 寄存器访问。如果 OPTC_CTRL 被锁定，用户只能进行读取操作。
	Program	OPTC_CTRL.PRMD 位表示下一个操作是读或写。操作由 OPTC_ADDR 寄存器发出。
	Read	当 OPTC_CTRL.PRMD 为 0 或 OPTC_CTRL.LOCK 为 1 时，用户对 OPTC_ADDR 寄存器的写入将触发对相应地址的读取操作。
	Error	有七种错误类型: KEY 错误、程序错误、写入错误、读取错误、OOR 错误、忙碌错误。
	Valid tags	系统的有效标签配置了多副本区域。每个有效标签标准为 16 份特定区域的副本。
	Unused	用户内存和系统配置保留区的未使用标签
Boot Up (Power Up)	Valid tags read	一旦系统启动，SMU 将请求 OTP 开始读取模拟微调值和系统配置。首先，OPTC 将读取有效标签和未使用的信息，以便找到系统信息或配置的正确副本。
	Key read	OPTC 密钥使用固定密钥加密，并受补码保护。
	System info read	系统信息区域包含模拟微调值和外围设备使能信息。该区域将使用读出的 OTP 密钥进行解密。
	System config read	系统配置区域包含一些系统详细信息。该区域将使用读出的 OTP 密钥进行解密。
Normal Mode	OPTC read	启动后，用户可以通过程序读取地址发出读取操作，OPTC_CTRL.PRMD 为 0。检查错误位，以确保读取操作不在保护区域内。然后检查 OPTC_STS.BUSY 位，以确保读取过程已完成。BUSY 位变为 0 后，用户可以从 OPTC_RDATA 寄存器读取数据。
	OPTC write	启动后，用户可以通过解锁 OPTC_CTRL，OPTC_CTRL.PRMD 更改为 1 来发出写入操作。然后将程序数据写入 OPTC_WDATA 寄存器，并通过写入程序地址向 OPTC_ADDR 寄存器发出写入访问。检查错误位，以确保写入操作不在保护区域内。然后检查 OPTC_STS.BUSY 位，以确保写入过程已完成。



### 9.3 功能描述

OTPC系统框图如图 9-1所示。OTPC与电源管理模块（PWR）交互以请求低功耗模式。PWR模块还负责OTP电源开关和低功耗控制。OTPC在系统启动期间与SMU模块握手，以控制启动流程。

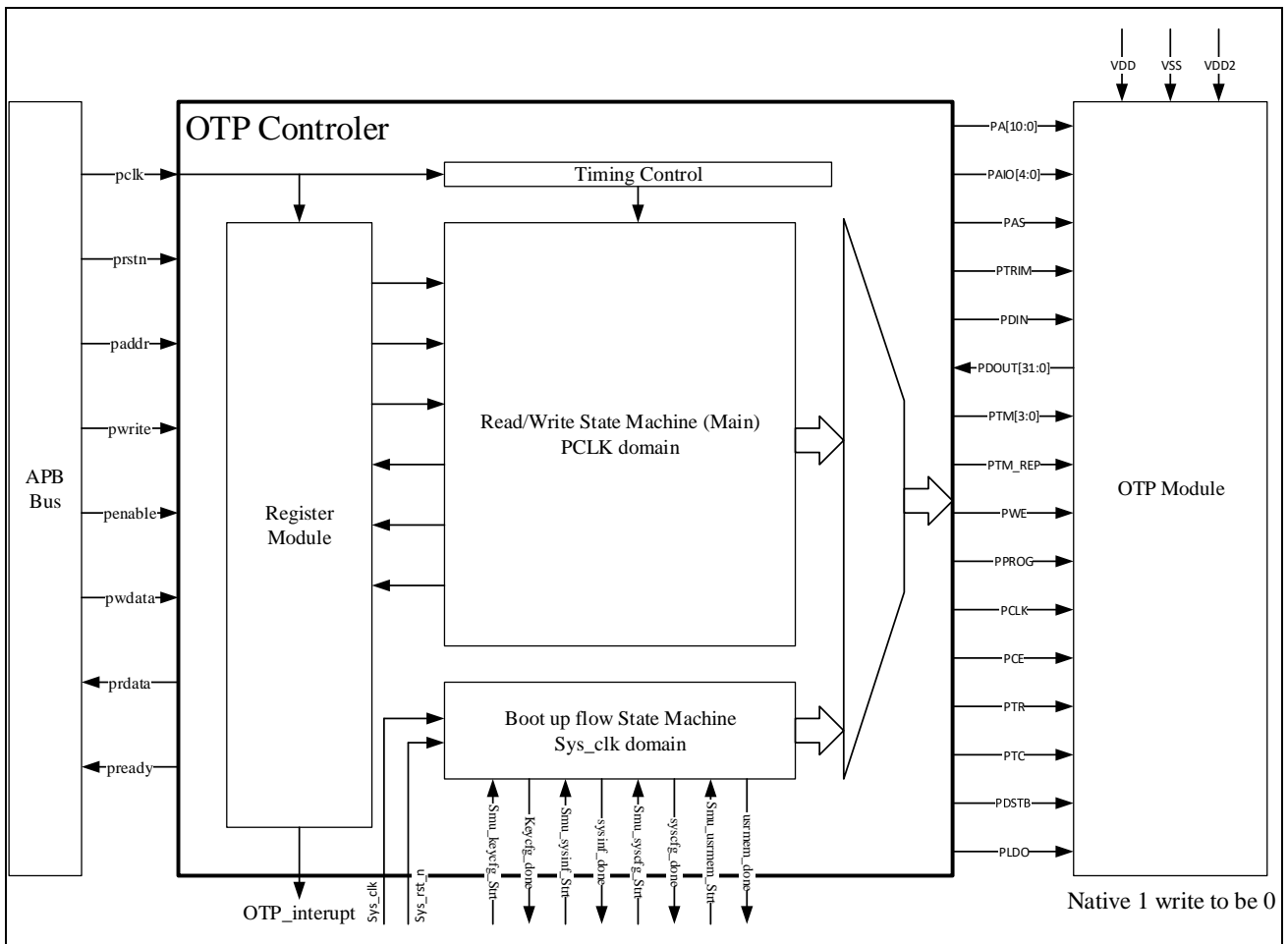
图 9-1 OTPC 系统框图



OTPC 提供从 OTP 到 AFEC 的读取微调值，用于模拟模块微调。MMU 和其他外围设备在启动后从 OTPC 获取系统配置。OTPC 还存储外围设备使能控件，并向 RCC 模块提供外围设备使能/禁用。APB 接口用于寄存器读/写操作。

OTPC 的主要框架如图 9-2 所示。OTPC 中有两组控制路径和状态机。一个用于系统启动流程，另一个用于在系统准备就绪时进行读取/程序操作。一次只有一个状态机控制 OTP。启动后，启动流控制电路将被时钟门控，从而降低功耗。

图 9-2 OTPC 块控制框图



当系统启动时，OTPC 主要使用系统时钟（高达 64 MHz）进行读取。对于程序 APB 寄存器发出的读取/编程操作，该操作以 APB 时钟（高达 300 MHz）运行。这两部分电路通过内置预标量为 OTP 模块生成 PCLK。本手册的以下部分介绍了 OTPC 电路的详细信息。

## 9.3.1 应用信息

本节描述了访问 MU 时的某些软件限制。

### 9.3.1.1 OTPC 时钟分频

OTPC 模块有两个时钟输入，sys\_clk 和 pclk。对于 OTP，最大读取频率为 20 MHz，一些控制信号设置时间高达微秒级。Sys\_clk 仅在系统启动时使用，启动时的频率约为 64 MHz。APB 时钟高达 300 MHz，可调。sys\_clk 和 APB 时钟的时钟预缩放方法不同。

#### 9.3.1.1.1 正常运行时钟分频

对于 APB 时钟域下的读/写操作，有两个时钟分频器。这些时钟分频器与 OTPC\_USC 寄存器配置有关。预标量图如图 9-3 所示。OTPC\_USC 寄存器的四个 MSB 将用作读取时钟的生成，根据以下方程式，生成的时钟频率不会高于 16 MHz。

$$OTPC\_USC[7:0] = OTPC\_USC[7:4] * 16 + Y = X * 16 + Y$$

$$\frac{f_{pclk}}{OTPC\_USC[7:0]} = 1 \text{ MHz (1 us)} = \frac{f_{pclk}}{X * 16 + Y}$$

$$f_{pclk} = (X * 16 + Y) \text{ MHz}$$

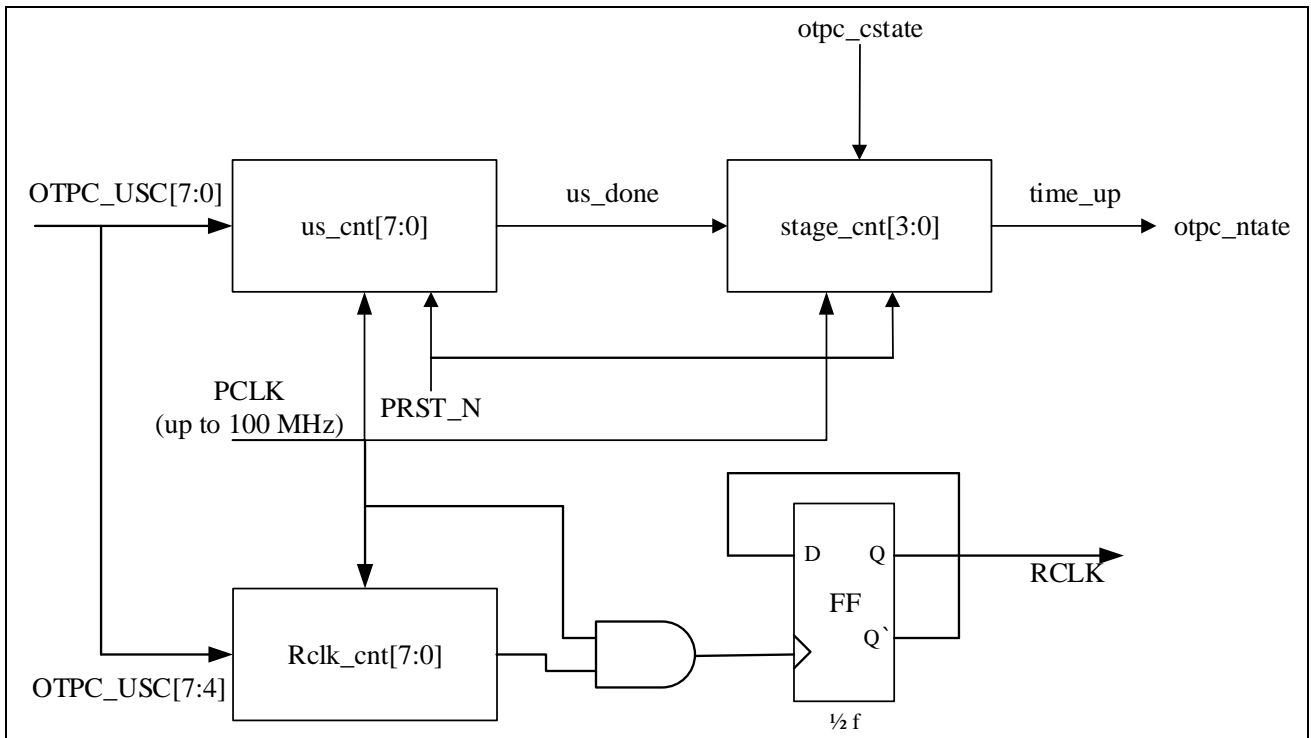
$$\frac{f_{pclk} - Y}{X} = 16 \text{ MHz}$$

$$\frac{f_{pclk}}{X} = \left(16 + \frac{Y}{X}\right) \text{ MHz (worst case: } X = 1 (X \neq 0), Y = 15 (\text{max}), 31 \text{ MHz)}$$

$$f_{rclk} = \frac{f_{pclk}}{2(USC[7:4] + 1)} = \frac{f_{pclk}}{2(X + 1)} < \left(8 + \frac{Y}{2X}\right) \text{ MHz (max } 15.5 \text{ MHz)} < 20 \text{ MHz}$$

时钟预标量基于 OTPC\_USC 寄存器生成微秒信号，并使用它来决定状态机的传输。可以改变 OTPC\_USC 寄存器中的值来改变定时。由于 OTPC\_USC 寄存器值与时钟频率相同，计数器只需从 0 计数到 OTPC\_USC 值即可获得 1us 频率信号。

图 9-3 APB 时钟域中的时钟预标量框图。



### 9.3.1.1.2 有效标签和未使用标签

OTPC 将读取的第一部分数据是多副本系统配置区域的有效标签，以及单副本系统配置区和保留区的未使用标签。这是因为我们需要系统配置区域的有效信息来检索正确的数据副本。此区域未加密。这是因为加密会使信息丢失，而保护会使此有效标签无法再次编程。

系统配置区域中有 8 个配置，有 16 个副本。因此，这些配置中的每一个都可以被编程 16 次。每个有效标签有 16 位（[15:0]），一位表示此配置的一个副本。有效标签和相应程序和读取地址的示例如表 9-2 所示。当 OTPC 读取这部分系统配置时（地址范围从参考 NVR 表文件），OTPC 仅根据配置的有效标签获得有效的副本值。

表 9-2 有效标签和读取/编程地址示例

有效标签	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NO.1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	有效标签均为 1，无有效副本，读取地址=配置基址，编程地址=配置基址															
NO.2	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0
	此配置已编程 5 个副本。读取地址=配置基址+0x4。编程地址=配置基址+0x5。															
NO.3	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	所有副本都已编程到此配置。读取地址=配置基址+0xf。编程拒绝。															

未使用的标签仅表示相应的单词是否已编程。一位未使用的标签覆盖了用户内存区域中其余 256 个字中的一个字。未使用的标签存储在字库中。未使用标签的示例如表 9-3 所示。这个未使用的标签只会阻止用户对同一个字执行第二次编程。第二个编程将触发 OTPC\_STS.PGE。

表 9-3 未使用标签保护示例

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Unused tag	1	0	0	1	0	0	0	1	1	0	1	0	1	1	1	1
Address	0x30f	0x30e	0x30d	0x30c	0x30b	0x30a	0x309	0x308	0x307	0x306	0x305	0x304	0x303	0x302	0x301	0x300
Access	RW	RO	RO	RW	RO	RO	RO	RW	RW	RO	RW	RO	RW	RW	RW	RW

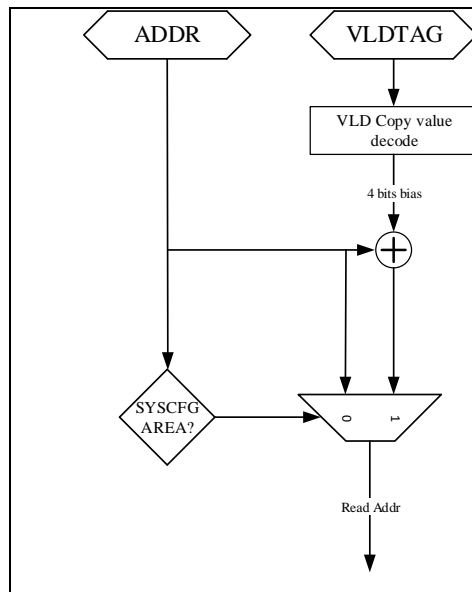
系统启动后，这些有效标签和未使用的标签信息将存储在 APB 时钟域下的寄存器中。当用户发出读取操作时，OTPC 读取有效副本。当用户程序地址被未使用的标签或有效标签覆盖时，它也会对未使用的标记/有效标签进行编程。用户无权访问有效的标记区域。他们可以检查有效的标签/未使用的标签寄存器，以确保下一个程序是合法的。

## 9.3.2 OTPC 读控制

用户可以通过将 OTPC\_CTRL.PRMD 设置为 0，然后对 OTPC\_ADDR 进行编程来发出读取请求。之后，OTPC 检查当前模式是否可以访问此特定地址。OTPC 用户模式从系统配置区域加载并存储在 APB 时钟域中。

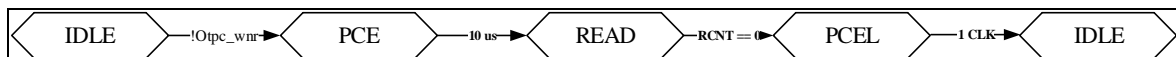
如果读取地址位于多副本系统配置区域，OTPC 将解码此配置的有效地址，并将其传递给 OTPC 读取地址以读取地址寄存器（如图 9-4 所示）。

图 9-4 读地址计算逻辑



OTPC 状态机和 OTPC 进行两次读取操作如图 9-5 所示。

图 9-5 OTPC 读状态机和时序 1



OTPC 将数据传递到寄存器堆，并发出读取完成信号。OTPC 解密逻辑使用 OTPC 密钥对读出的数据进行解密，并存储在 OTPC\_RDATA 寄存器中。如果此区域未加密（有效标签/未使用标签）。它将把原始读出值存储在寄存器中。

对于多副本系统配置区域，OTPC 仅读取最新有效的副本地址，并使用有效的副本地址进行解码。例如，OTPC\_SECJVLD.USR\_NVR\_VLD[15:0]=0x0000FFF0,表明 SEC\_JTAG 用户配置已经写过 4 个有效数据，无论读取地址是 0x310 还是 0x31F，当前都只会读取 0x313 地址的数据。

### 9.3.2.1 UCID 读取

UCID 为 128 位，遵守国民技术芯片序列号定义，它包含芯片生产及版本相关信息。它所包含的信息在出厂时编写，并保证对任意一个 MCU 微控制器在任何情况下都是唯一的，用户应用程序或外部设备可以通过 OTPC 接口读取，不可被修改。

UCID 地址：0x0238,占 16 字节。

### 9.3.3 OTPC 编程控制

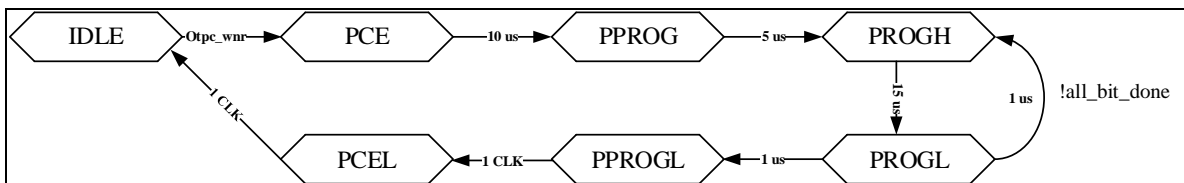
要发出编程请求，用户需要按照正确的顺序通过编程正确的密钥到 OTPC\_KEY 寄存器解锁 OTPC\_CTRL 寄存器，并将 OTPC\_CTRL.PRMD 位写入 1。然后对 OTPC\_WDATA 寄存器进行值编程，并通过将编程地址写入 OTPC\_ADDR 寄存器来发出程序请求。OTPC 注册模块在请求被接受后向 OTPC 模块提供程序信息。这包括编码后的程序地址和程序数据。

在 OTPC 寄存器模块中，它检查程序地址是否有效。在用户模式下，用户只能对系统配置和用户内存区域进行编程。程序到此范围之外的区域将触发 OTPC\_STS.WRPE。如果用户程序地址受有效标签或未使用标签保护，但所有有效副本都已编程，则它将触发 OTPC\_STS.PGE。根据程序地址所在的地区，有 2 种程序场景：

- 用户内存未使用区域：
  - 地址从 0x500 到 0x5ff，仅存储数据，没有具体含义。每个地址仅可以写一次，对应地址是否可以写通过 OTPC\_UMUUX 寄存器查看。
- NVR 用户配置区域：
  - 地址从 0x300 到 0x3CF，每个用户配置对应有 16 个副本，占用 0x10 个地址。仅可以调用 BOOT API 进行编程。可以通过 OTPC\_XXXVLD 寄存器看到当前有效标签值及剩余可写副本数量。关于每个地址的含义描述详情见 10.4.1.2 章节。

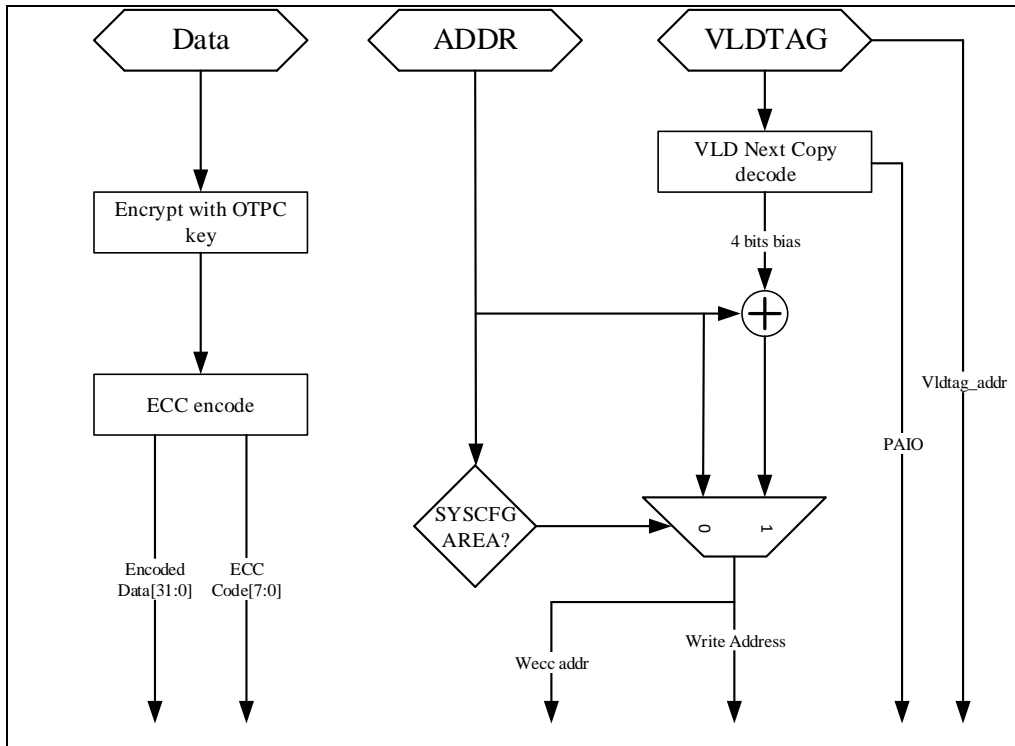
OTPC 从寄存器模块接收程序请求、地址和数据，然后启动程序序列。OTPC 程序过程的状态机如图 9-6 所示。对于 OTP 中的每个位编程，OTPC 需要编程两次，PAS=0 和 1（用于冗余程序）。有效标签/未使用的标签程序仅编程一位。

图 9-6 OTPC 编程状态机



OTPC 寄存器模块提供数据编程地址、编程数据、有效标签/未使用标签地址、编程位置。图 9-7 显示了提供给 OTPC 模块的地址。

图 9-7 OTPC 寄存器模块向 OTPC 提供的编程信号



OTPC 收到编程相关数据后，将启动编程 OTP。当 OTPC 编程为有效标签/未使用标签时，OTPC 与 OTP 寄存器模块握手，并更新副本寄存器以获取有效标签和未使用标签。这可以确保即使 OTPC 在数据为半编程时停止，该字也将被标记为已编程，无法再次编程。



## 9.4 OTPC 寄存器

### 9.4.1 OTPC 控制寄存器(OTPC\_CTRL)

偏移地址: 0x00

复位值: 0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved									BEEN	OOREEN	RDPEEN	WRPEEN	PGEEN	PRMD	LOCK
									rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:7	Reserved	保留，必须保持复位值
6	BEEN	BUSY ERR 输出中断使能 0: 禁用 1: 使能
5	OOREEN	OORERR 输出中断使能 0: 禁用 1: 使能
4	RDPEEN	RDPRTERR 输出中断使能 0: 禁用 1: 使能
3	WRPEEN	WRPRTERR 输出中断使能 0: 禁用 1: 使能
2	PGEEN	PGERR 输出中断使能 0: 禁用 1: 使能
1	PRMD	编程模式切换 软件可以设置或清除此位 0:OTP 下一个地址操作被读取 1:OTP 下一个地址操作是写
0	LOCK	OTPC 控制寄存器锁。 软件只能设置此位。当软件以正确的顺序解锁时，硬件会重置此位。任何不成功的解锁操作都会导致此位保持设置状态，直到下一次复位 0:OTPC_CTRL 寄存器解锁 1:OTPC_CTRL 寄存器被锁定，无法写入

## 9.4.2 OTPC 状态寄存器(OTPC\_STS)

偏移地址: 0x04

复位值: 0x0000 0000

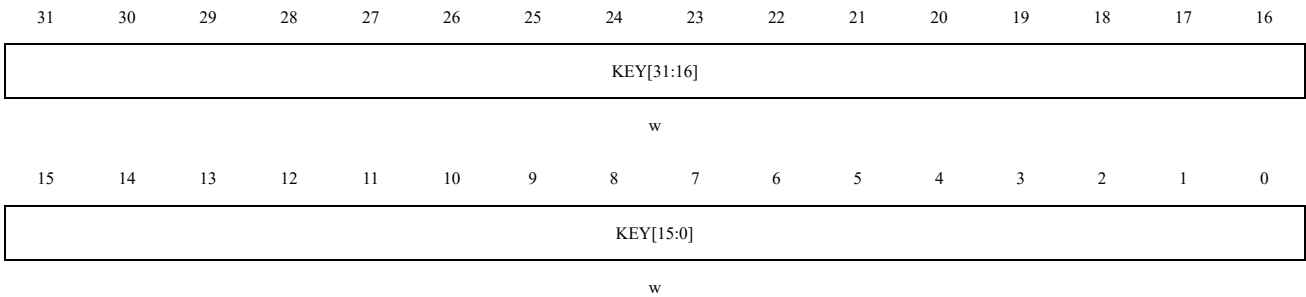
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							BE	OORE	RDPE	WRPE	PGE	KEYE	BUSY		
							rc_wl	rc_wl	rc_wl	rc_wl	rc_wl	r	r		

位域	名称	描述
31:7	Reserved	保留，必须保持复位值
6	BE	繁忙请求错误 当 OTPC 忙于最后一次操作时，用户发出请求时，硬件会设置此位。软件可以通过编写 1 来清除此位
5	OORE	读/写超出访问范围错误 此位表示最后一次操作超出 OTP 的访问范围，当用户发出超出范围的请求时，硬件会设置此位。软件可以通过向该位写入 1 来清除该位
4	RDPE	读保护错误 当用户试图读取密钥或保留区域等受保护区域时，硬件会设置此位。软件通过写入 1 来清除此位
3	WRPE	写保护错误 当用户尝试写入受保护区域时（在用户模式下，区域如系统信息，保留区域无法编程），将设置此位。软件写入 1 以清除此位
2	PGE	编程错误 此位表示存在编程错误 第二次对未使用的位保护区进行编程。或编程多副本配置 16 次以上。 软件写入 1 以清除此位
1	KEYE	密钥错误 此位表示解锁 OTPC_CTRL 寄存器时已向 OTPC 提供错误密钥。用户只能在复位后重试解锁过程
0	BUSY	忙 当前操作正在进行中，对相关寄存器的任何写入操作都将被忽略。用户应在 BUSY 位变为 0 后发出新操作

## 9.4.3 OTPC KEY 寄存器(OTPC\_KEY)

偏移地址: 0x08

复位值: 0x0000 0000

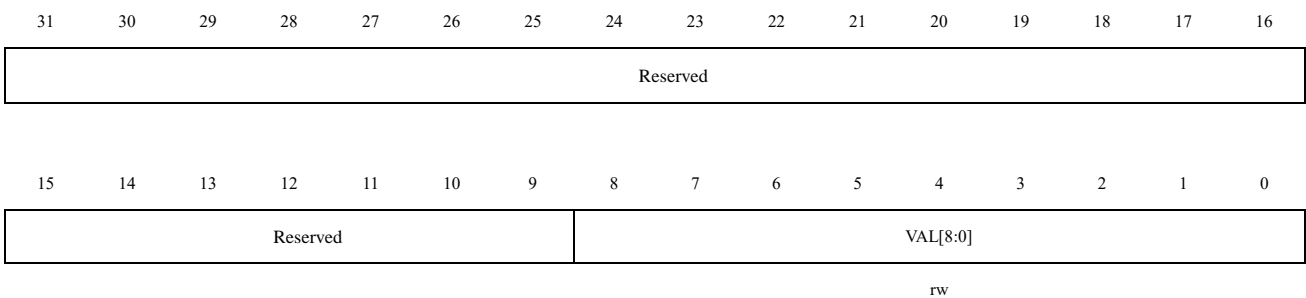


位域	名称	描述
31:0	KEY[31:0]	KEY 值寄存器 用户可以按照正确的顺序写入密钥以解锁 OTPC 密钥 1:0x45670123 密钥 2:0xCDEF89AB

### 9.4.4 OTPC 微秒控制寄存器(OTPC\_USC)

偏移地址: 0x0c

复位值: 0x0000 012f

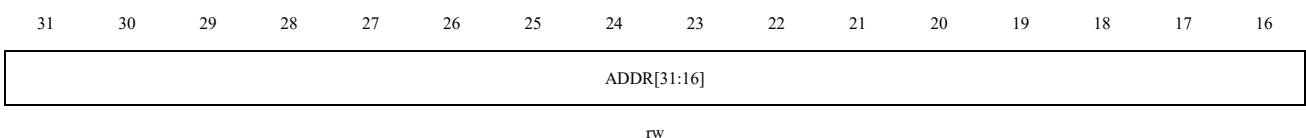


位域	名称	描述
31:9	Reserved	保留，必须保持复位值
8:0	VAL[8:0]	1us 计数 AHB 时钟频率标度为 1 us，AHB 时钟最大为 300 MHz。defalut 为 300， 以确保即使不更改此值，用户仍能正确读取或写入

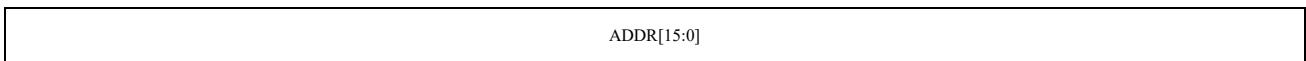
### 9.4.5 OTPC 操作地址寄存器(OTPC\_ADDR)

偏移地址: 0x10

复位值: 0x0000 0000



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



rw

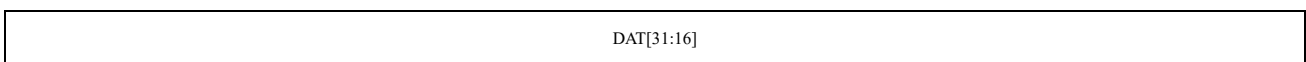
位域	名称	描述
31:0	ADDR[31:0]	操作地址。 写入此寄存器将根据 OTPC_CTRL.PRMD 位值触发操作。因此，此寄存器应该是最后一个编程

### 9.4.6 OTPC 读数据寄存器(OTPC\_RDATA)

偏移地址: 0x14

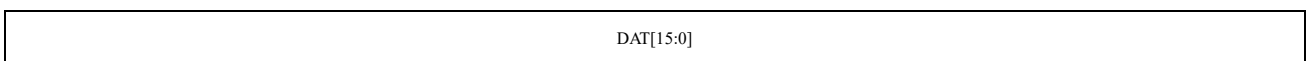
复位值: 0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



r

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



r

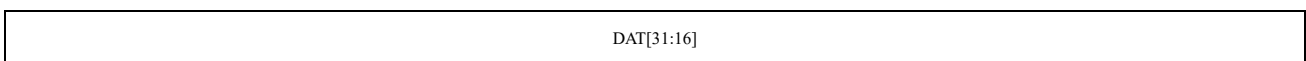
位域	名称	描述
31:0	DAT[31:0]	读取的数据值将存储在此寄存器中。发出读取操作后，用户需要等待 OTPC_STS.BUSY 位清除，然后读取此寄存器，否则此寄存器值对应于上次读取操作

### 9.4.7 OTPC 写数据寄存器(OTPC\_WDATA)

偏移地址: 0x18

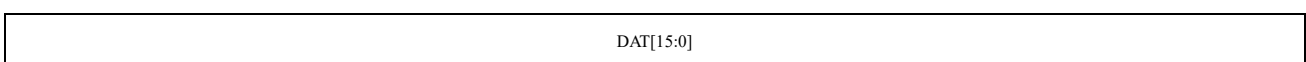
复位值: 0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



rw

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



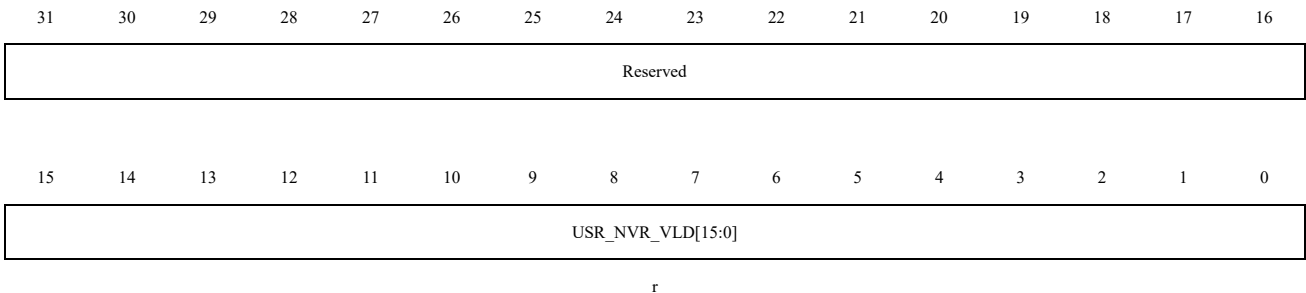
rw

位域	名称	描述
31:0	DAT[31:0]	写入数据值表示用户想要编程到 OTP 中的数据。此数据应在地址之前写入。

#### 9.4.8 SEC\_JTAG 寄存器的 OTPC 用户配置有效(OTPC\_SECJVLD)

偏移地址: 0x20

复位值: 0x0000 ffff



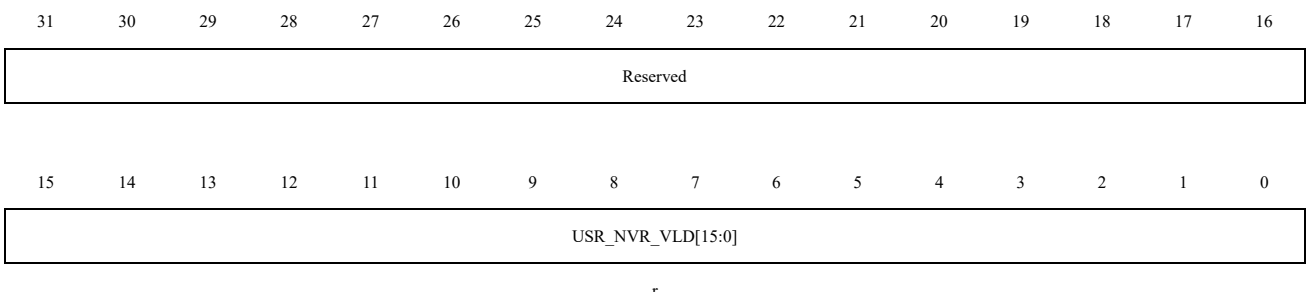
r

位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	USR_NVR_VLD[15:0]	多副本有效标签值。 其中 1 的数量表示该区域的剩余编程次数。最大编程次数为 16 次。 在启动后，OTPC 将从 OTP 加载此标签。每次编程时，此标签从最低有效位 (LSB) 到最高有效位 (MSB) 发生变化。所有 1 表示没有有效副本。最高有效位 (MSB) 为 0 表示有效副本位置。所有 0 表示不再可编程。

#### 9.4.9 SEC\_MODE 寄存器的 OTPC 用户配置有效(OTPC\_SECMDVLD)

偏移地址: 0x28

复位值: 0x0000 ffff



r

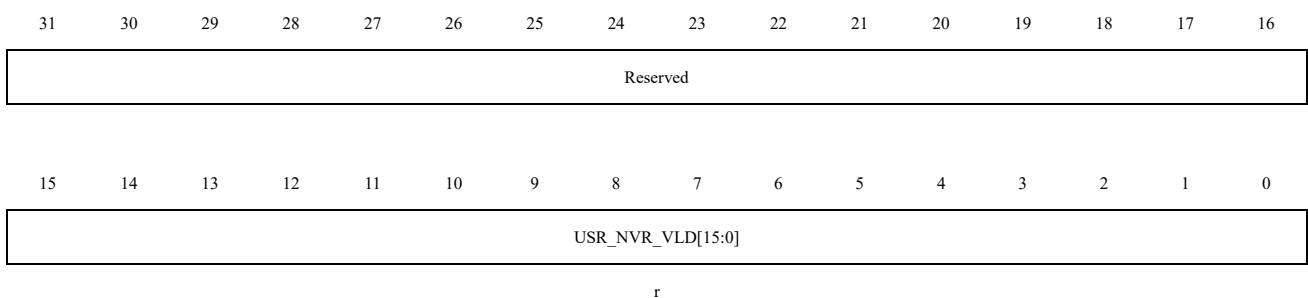
位域	名称	描述
31:16	Reserved	保留，必须保持复位值

位域	名称	描述
15:0	USR_NVR_VLD[15:0]	多副本有效标签值。 其中 1 的数量表示该区域的剩余编程次数。最大编程次数为 16 次。 在启动后，OTPC 将从 OTP 加载此标签。每次编程时，此标签从最低有效位（LSB）到最高有效位（MSB）发生变化。所有 1 表示没有有效副本。最高有效位（MSB）为 0 表示有效副本位置。所有 0 表示不再可编程。

### 9.4.10 RDP2 寄存器的 OTPC 用户配置有效(OTPC\_RDP2VLD)

偏移地址: 0x30

复位值: 0x0001 ffff

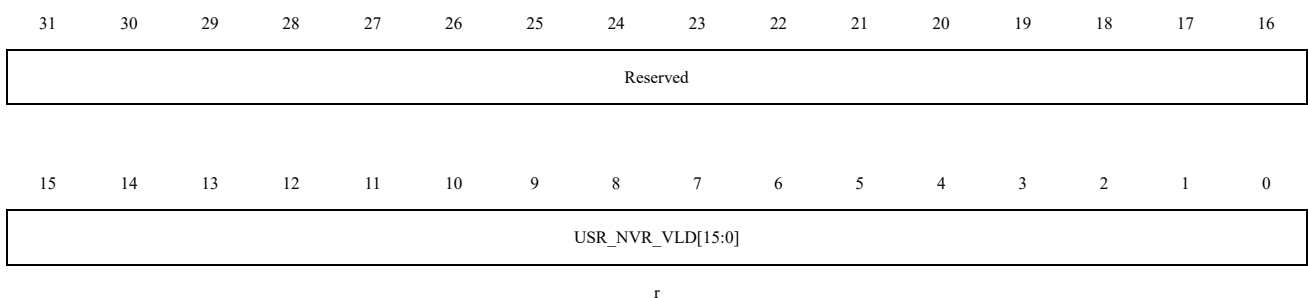


位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	USR_NVR_VLD[15:0]	多副本有效标签值。 其中 1 的数量表示该区域的剩余编程次数。最大编程次数为 16 次。 在启动后，OTPC 将从 OTP 加载此标签。每次编程时，此标签从最低有效位（LSB）到最高有效位（MSB）发生变化。所有 1 表示没有有效副本。最高有效位（MSB）为 0 表示有效副本位置。所有 0 表示不再可编程。

### 9.4.11 BTM 寄存器的 OTPC 用户配置有效(OTPC\_BTMVLD)

偏移地址: 0x38

复位值: 0x0000 ffff

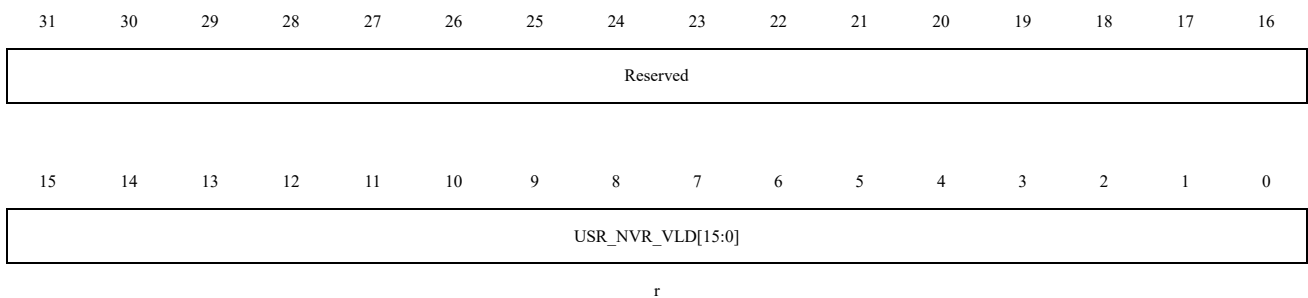


位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	USR_NVR_VLD[15:0]	多副本有效标签值。 其中 1 的数量表示该区域的剩余编程次数。最大编程次数为 16 次。 在启动后，OTPC 将从 OTP 加载此标签。每次编程时，此标签从最低有效位（LSB）到最高有效位（MSB）发生变化。所有 1 表示没有有效副本。最高有效位（MSB）为 0 表示有效副本位置。所有 0 表示不再可编程。

### 9.4.12 BOR 寄存器的 OTPC 用户配置有效(OTPC\_BORVLD)

偏移地址: 0x3c

复位值: 0x0000 ffff

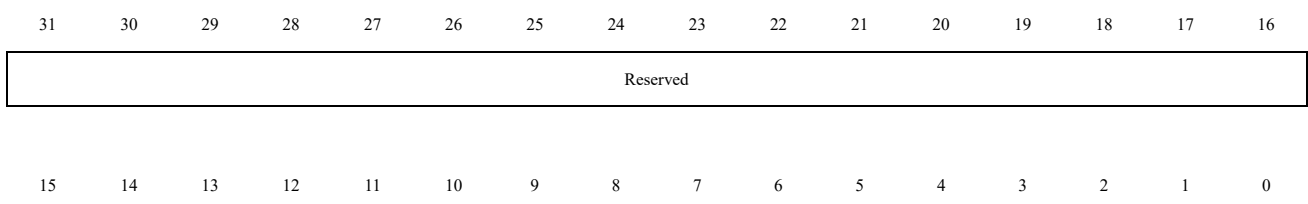


位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	USR_NVR_VLD[15:0]	多副本有效标签值。 其中 1 的数量表示该区域的剩余编程次数。最大编程次数为 16 次。 在启动后，OTPC 将从 OTP 加载此标签。每次编程时，此标签从最低有效位（LSB）到最高有效位（MSB）发生变化。所有 1 表示没有有效副本。最高有效位（MSB）为 0 表示有效副本位置。所有 0 表示不再可编程。

### 9.4.13 IWDG 寄存器的 OTPC 用户配置有效(OTPC\_IWDGVLD)

偏移地址: 0x40

复位值: 0x0000 ffff



USR_NVR_VLD[15:0]
-------------------

r

位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	USR_NVR_VLD[15:0]	多副本有效标签值。 其中 1 的数量表示该区域的剩余编程次数。最大编程次数为 16 次。 在启动后，OTPC 将从 OTP 加载此标签。每次编程时，此标签从最低有效位（LSB）到最高有效位（MSB）发生变化。所有 1 表示没有有效副本。最高有效位（MSB）为 0 表示有效副本位置。所有 0 表示不再可编程。

### 9.4.14 TCM 大小寄存器的 OTPC 用户配置有效(OTPC\_TCMSZVLD)

偏移地址: 0x44

复位值: 0x0000 ffff

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

Reserved
----------

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

USR_NVR_VLD[15:0]
-------------------

r

位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	USR_NVR_VLD[15:0]	多副本有效标签值。 其中 1 的数量表示该区域的剩余编程次数。最大编程次数为 16 次。 在启动后，OTPC 将从 OTP 加载此标签。每次编程时，此标签从最低有效位（LSB）到最高有效位（MSB）发生变化。所有 1 表示没有有效副本。最高有效位（MSB）为 0 表示有效副本位置。所有 0 表示不再可编程。

### 9.4.15 JTAG Key 寄存器的 OTPC 用户配置有效(OTPC\_JTAGKVLD)

偏移地址: 0x50

复位值: 0x0001 ffff

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

Reserved
----------



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

USR\_NVR\_VLD[15:0]

r

位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	USR_NVR_VLD[15:0]	多副本有效标签值。 其中 1 的数量表示该区域的剩余编程次数。最大编程次数为 16 次。 在启动后，OTPC 将从 OTP 加载此标签。每次编程时，此标签从最低有效位（LSB）到最高有效位（MSB）发生变化。所有 1 表示没有有效副本。最高有效位（MSB）为 0 表示有效副本位置。所有 0 表示不再可编程。

### 9.4.16 REK Unitx 寄存器的 OTPC 用户配置有效(OTPC\_REKUXVLD, x = 1~4)

偏移地址: 0x54+4\*(x-1)

复位值: 0x0000 ffff

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

USR\_NVR\_VLD[15:0]

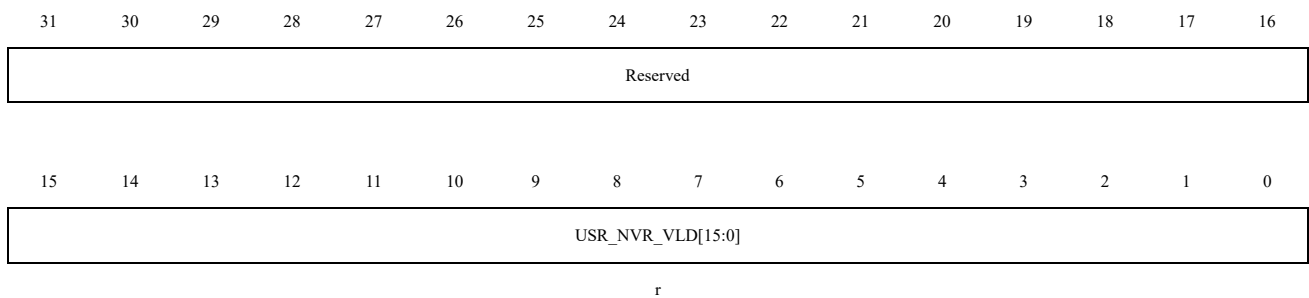
r

位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	USR_NVR_VLD[15:0]	多副本有效标签值。 其中 1 的数量表示该区域的剩余编程次数。最大编程次数为 16 次。 在启动后，OTPC 将从 OTP 加载此标签。每次编程时，此标签从最低有效位（LSB）到最高有效位（MSB）发生变化。所有 1 表示没有有效副本。最高有效位（MSB）为 0 表示有效副本位置。所有 0 表示不再可编程。

### 9.4.17 IDK Unitx 寄存器的 OTPC 用户配置有效(OTPC\_IDKUxVLD, x = 1~4)

偏移地址:  $0x64+4*(x-1)$

复位值:  $0x0000\ ffff$

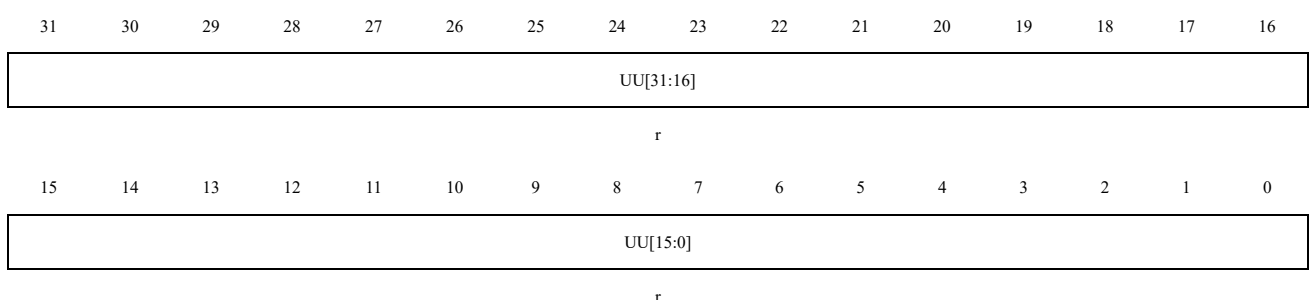


位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	USR_NVR_VLD[15:0]	多副本有效标签值。 其中 1 的数量表示该区域的剩余编程次数。最大编程次数为 16 次。 在启动后，OTPC 将从 OTP 加载此标签。每次编程时，此标签从最低有效位 (LSB) 到最高有效位 (MSB) 发生变化。所有 1 表示没有有效副本。最高有效位 (MSB) 为 0 表示有效副本位置。所有 0 表示不再可编程。

### 9.4.18 OTPC 用户内存未使用标志(OTPC\_UMUUX, x=0~7)

偏移地址:  $0x74+(4*x)$ , 从  $0x74$  到  $0x90$

复位值:  $0xffff\ ffff$



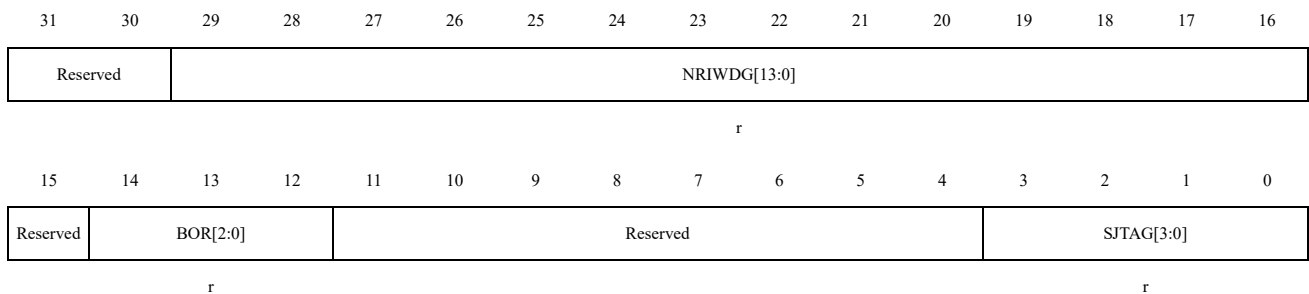
位域	名称	描述
31:0	UU[31:0]	USER 内存区域未使用标签：区域 0~31 个字 0：已使用，写保护 1：未使用，可以编程

位域	名称	描述
		注：每个 x 代表 32 个字。共 256 字

### 9.4.19 OTPC 调试端口 1 寄存器(OTPC\_CRLD1)

偏移地址: 0xb8

复位值: 0x3fff00ff

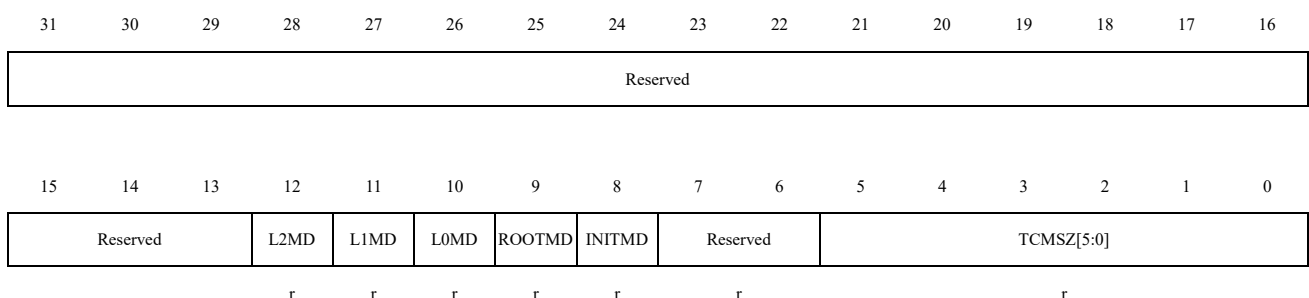


位域	名称	描述
31:30	Reserved	保留，必须保持复位值
29:16	NRIWDG[13:0]	有效的 SYS_CFG_NRST_IWDG_OTP 有效载荷数据。 OTPC 只有在启动流程后才会从 OTP 加载。
15	Reserved	保留，必须保持复位值
14:12	BOR[2:0]	有效的 SYS_CFG_BOR_OTP 有效载荷数据 OTPC 只有在启动流程后才会从 OTP 加载
11:4	Reserved	保留，必须保持复位值
3:0	SJTAG[3:0]	有效的 SEC_JTAG_CFG_OTP 有效载荷数据 OTPC 只有在启动流程后才会从 OTP 加载

### 9.4.20 OTPC 调试端口 2 寄存器(OTPC\_CRLD2)

偏移地址: 0xbc

Reset value: 0xffff913f



位域	名称	描述
31:13	Reserved	保留，必须保持复位值
12	L2MD	芯片模式状态 OTPC 只有在启动流程后才会从 OTP 加载
11	L1MD	芯片模式状态 OTPC 只有在启动流程后才会从 OTP 加载
10	L0MD	芯片模式状态 OTPC 只有在启动流程后才会从 OTP 加载
9	ROOTMD	芯片模式状态 OTPC 只有在启动流程后才会从 OTP 加载
8	INITMD	芯片模式状态 OTPC 只有在启动流程后才会从 OTP 加载
7:6	Reserved	保留，必须保持复位值
5:0	TCMSZ[5:0]	有效的 TCM_SZ_CFG_OTP 有效载荷数据

## 10 系统安全

### 10.1 介绍

由于安全要求通常因应用程序而异，N32H7xx 包含了一系列安全功能，有助于保护其安全资源，如固件、密钥、安全证书等。

不同的功能集可用于防御不同类型的攻击。它们被设计为根据产品生命周期不同阶段的保护需求配置不同的安全级别。

此外，N32H7xx 提供了一种通用加速器，可以提高所选加密算法的性能。

本节介绍 N32H7xx 设备上可用的不同安全功能。

### 10.2 主要安全特性

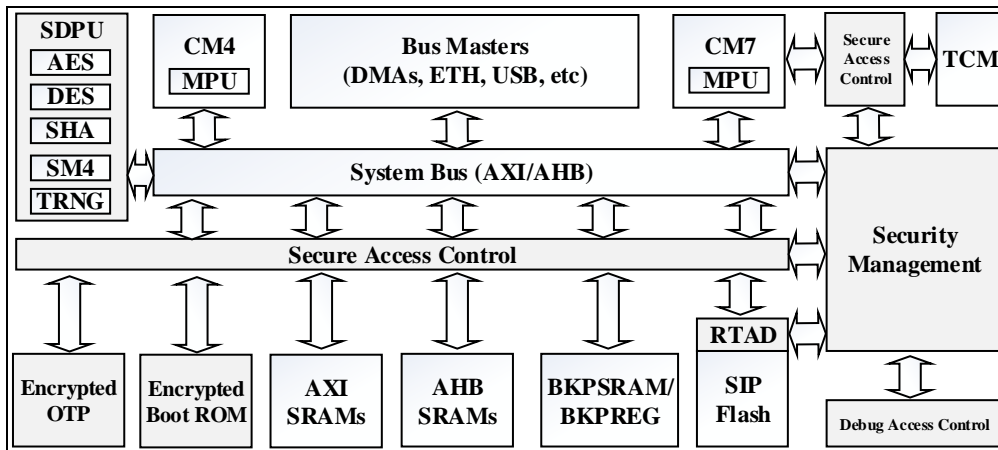
主要安全特性描述如下：

- 使用加密的 BOOT ROM 进行安全启动
- 安全固件下载
- 灵活的安全区域划分
  - FLASH 安全区域
  - RTAD 自定义安全区域
  - 程序固件专用执行区域（PFOER），用于仅执行固件保护
  - TCM 用户安全区域
  - SRAM 用户安全区域
- 具有全局读保护（RDP）的灵活生命周期安全方案
- SIP Flash 写保护（WRP）
- SIP Flash 的实时 AES 解密(RTAD)
- 带片上 OTP 阵列的安全片上一次性可编程控制器（OTPC）
- JTAG/SWD 的安全调试控制
- 加密加速器（AES, DES, SM4, SHA）
- 随机数生成器(TRNG)
- 防电压、温度和时钟攻击的篡改保护

### 10.3 系统安全架构

图 10-1 显示了安全架构的简化图：

图 10-1 N32H7xx 系统安全架构



除了使用各自内核 MPU 的 Cortex-M7 和 Cortex-M4 中的 ARMv7-M 安全机制外，N32H7xx 设备还具有广泛的安全功能，使软件开发人员能够更灵活地保护他们在许多存储器中的代码和资产在产品生命周期中免受不同类型的攻击。

这是由一个安全管理单元实现的，该单元采用不同的安全机制（RDP/WRP/PFOER）来保护存储器（ROM/RAM/OTP）和备份寄存器免受来自两个 CPU 以外的其他主设备的未经授权的传输。安全配置可以通过使用选项字节的安全代码进行编程。

此外，还采用加密和解密来保护 BOOT ROM、SIP Flash 和 OTP 等安全区域。安全密钥存储在 OTP 中并受到保护。RTAD 密钥可以通过用户代码进行编程。

然而，安全数据处理单元提供了几个行业标准的加密硬件加速器，包括 AES/DES/SHA/SM4。

N32H7xx 还支持使用加密的 Boot ROM 进行安全引导，以及安全的固件安装和更新。

## 10.4 安全特性描述

### 10.4.1 选项字节

#### 10.4.1.1 Flash 选项字节

SIP 闪存包括一组非易失性选项字节，用于定义芯片的安全配置。它们在上电复位或系统复位时加载。它们只能通过调用 BOOT API 读取和修改。

这些选项字节由最终用户根据应用程序要求进行配置。某些选项字节可能已在制造阶段初始化。

#### Flash 选项字节结构

表 10-1 显示了 Flash 选项字节组织。下面描述了选项字节的使用。

表 10-1 Flash 选项字节结构

偏移	名称	位域	域名
0x0000	RDP	[7:0]	RDP1
		[15:8]	nRDP1
		[23:16]	Reserved

		[31:24]	Reserved
0x0004	WRP	[0]	Reserved
		[31:1]	WRP
0x0008	nWRP	[0]	Reserved
		[31:1]	nWRP
0x000C	M7_BOOTADDR	[31:0]	M7_BOOTADDR
0x0010	M4_BOOTADDR	[31:0]	M4_BOOTADDR
0x0014	ENCRYPTION	[15:0]	CRYPTION_LVL
0x0016	SEC_MODE	[15:0]	SEC_MODE
0x0018	SEC_CFG1	[31]	DMES1
		[30:29]	Reserved
		[28:16]	SEC_END1
		[15:13]	Reserved
		[12:0]	SEC_BEGIN1
0x001C	Reserved	[31:0]	Reserved
0x0020	PFOER_CFG1	[31]	DMEP1
		[30:29]	Reserved
		[28:16]	PFOER_END1
		[15:13]	Reserved
		[12:0]	PFOER_BEGIN1
0x0024	Reserved	[31:0]	Reserved
0x0028	Reserved	[31:0]	Reserved
0x002C	CRC	[31:0]	CRC

### Flash 选项字节描述

- **RDP**: 用于定义 RDP 保护级别。更多详细信息请参考第 10.4.5.2 节。
- **WRP/nWRP**: Flash 的写保护选项。更多详细信息请参考第 10.4.6 节。
- **M7\_BOOTADDR**: 根据 CRYPTION\_LVL 定义 Cortex-M7 用户代码的执行或存储地址。如果未启用加密, 则这是 Cortex M7 用户代码的执行地址和存储地址。但是, 当启用加密时, 这只是存储地址, 执行地址必须在 Flash 用户配置表 (EXE\_ADDR\_M7) 中定义。
- **M4\_BOOTADDR**: 定义 Cortex-M4 用户代码的执行地址。
- **CRYPTION\_LVL**: 加密级别定义
  - 0xFFFF: 无加密(默认)
  - 0xE00B: 加密+无绑定
  - 0xEBEB: 加密+绑定
  - Others: 无加密
- **SEC\_MODE**: 应用程序可以使用此非易失性选项来管理安全访问模式, 如第 10.4.2 节所述。
- **SEC\_CFG1**: 闪存安全区域定义 (更多详细信息请参考第 10.4.4.1 节)

- SEC\_BEGIN1: 闪存安全区域起始地址
- SEC\_END1: 闪存安全区域结束地址
- DMES1: 当设置为 1 时, 可以在 RDP 保护级别降级或全擦过程中擦除安全区域
- PFOER\_CFG1: Flash PFOER 区域定义 (更多详细信息请参考第 10.4.4.2 节)
  - PFOER\_BEGIN1: PFOER 区域开始地址
  - PFOER\_END1: PFOER 区域结束地址
  - DMEP1: 当设置为 1 时, 可以在 RDP 保护级别降级或全擦过程中擦除 PFOER 区域
- CRC: 这是选项字节区域的 CRC 计算, 用于校验目标。

### 10.4.1.2 OTP 选项字节

表 10-2 显示了 OTP 选项字节结构。OTP 选项字节只允许进行 16 次修改。下面描述了选项字节的使用。

表 10-2 OPT 选项字节结构

OTP 区域	选项字节	位对齐	OTP 地址
OB1_OTP_INFO	RESERVED	RESERVED	0x0300
	SEC_JTAG_CFG_OTP	{12'hfff, SEC_JTAG_CFG_OTP_bakn[3:0], 12'h0, SEC_JTAG_CFG_OTP[3:0]}	0x0310
	RESERVED	RESERVED	0x0320
	SEC_MODE_OTP	{SEC_MODE_OTP_bakn[15:0], SEC_MODE_OTP[15:0]}	0x0330
OB2_OTP_INFO	RESERVED	RESERVED	0x0340
	RDP2_OTP	{nRDP2_OTP_bakn[7:0], RDP2_OTP_bakn[7:0], nRDP2_OTP[7:0], RDP2_OTP[7:0]}	0x0350
	RESERVED	RESERVED	0x0360
OB3_OTP_INFO	SYS_CFG_BTM_OTP	{SYS_CFG_BTM_OTP_bakn[15:0], SYS_CFG_BTM_OTP[15:0]}	0x0370
	SYS_CFG_BOR_OTP	{13'h1fff, SYS_CFG_BOR_OTP_bakn[2:0], 13'h0, SYS_CFG_BOR_OTP[2:0]}	0x0380
	SYS_CFG_NRST_IWDG_OTP	{2'b11, SYS_CFG_NRST_IWDG_OTP_bakn[13:0], 2'b0, SYS_CFG_NRST_IWDG_OTP[13:0]}	0x0390
	TCM_SZ_CFG_OTP	{10'h3ff, TCM_SZ_CFG_OTP_bakn[5:0], 10'h0, TCM_SZ_CFG_OTP[5:0]}	0x03a0
	RESERVED	RESERVED	0x03b0
	RESERVED	RESERVED	0x03c0

#### OTP 选项字节描述

- SEC\_JTAG\_CFG\_OTP: JTAG 配置
  - 1111/1001: JTAG/SWD 允许
  - 其他: JTAG/SWD 禁用
- SEC\_MODE\_OTP: 应用程序可以使用此非易失性选项来管理安全访问模式, 如第 3.4.2 节所述。
  - 0xE5CE: 使能



- Other: 不使能
- RDP2\_OTP: 用于定义 RDP 保护级别。更多详细信息请参考第 10.4.5.2 节。
- SYS\_CFG\_BTM\_OTP: 启动模式配置
  - 16'h5AA5: 从 FLASH 启动
  - 16'h4884: 从串行接口启动
  - 其他: 启动模式由 BOOT0 决定
- SYS\_CFG\_BOR\_OTP: 限电电压等级选项, 请参阅 PWR 部分了解更多详细信息。
- SYS\_CFG\_NRST\_IWDG\_OTP: NRST 和看门狗管理选项
  - nRST\_STOP\_C\_M7(bit13)/nRST\_STOP\_C\_M4(bit12): 当进入相应的 Cortex-M7 和 Cortex-M4 stop0/stop2 模式时, 系统会自动复位; 自动复位 (0), 不自动复位 (1)
  - nRST\_STDBY\_C\_M7(bit11)/nRST\_STDBY\_C\_M4(bit10): 当进入相应的 Cortex-M7 和 Cortex-M4 standby 模式时, 系统会自动复位; 自动复位 (0), 不自动复位 (1)
  - IWDG\_SW\_M7(bit9)/IWDG\_SW\_M4(bit8):看门狗控制选择: 硬件 (0), 软件 (1)
  - IWDG\_STOP0\_M7(bit7)/IWDG\_STOP0\_M4(bit6): IWDG1 (Cortex-M7) 和 IWDG2 (Cortex-M4) 在各自的 CPU STOP0 模式下, 如果为 1 处于活动状态, 如果为 0 则冻结。
  - IWDG\_STOP2\_M7(bit5)/IWDG\_STOP2\_M4(bit4): IWDG1 (Cortex-M7) 和 IWDG2 (Cortex-M4) 在各自的 CPU STOP2 模式下, 如果为 1 处于活动状态, 如果为 0 则冻结。
  - IWDG\_STANDBY\_M7(bit3)/IWDG\_STANDBY\_M4(bit2): IWDG1 (Cortex-M7) 和 IWDG2 (Cortex-M4) 在各自的 CPU Standby 模式下, 如果为 1 处于活动状态, 如果为 0 则冻结。
  - IWDG\_SLEEP\_M7(bit1)/IWDG\_SLEEP\_M4(bit0): IWDG1 (Cortex-M7) 和 IWDG2 (Cortex-M4) 在各自的 CPU sleep 模式下, 如果为 1 处于活动状态, 如果为 0 则冻结。
- TCM\_SZ\_CFG\_OTP: TCM 大小配置。
  - 有 1M SRAM 可以用于 TCM 分配, 详情见表 10-3 Embedded SRAM。

**表 10-3 TCM 大小配置表**

TCM_SZ_CFG_OTP	ITCM Size(KB)	DTCM Size(KB)	SRAM Size(KB)
0	1024	0	0
1	896	128	0
2	768	256	0
3	640	384	0
4	512	512	0
5	384	640	0
6	256	768	0
7	128	896	0
8	0	1024	0
9	896	0	128
10	768	128	128
11	640	256	128
12	512	384	128
13	384	512	128
14	256	640	128
15	128	768	128
16	0	896	128

17	768	0	256
18	640	128	256
19	512	256	256
20	384	384	256
21	256	512	256
22	128	640	256
23	0	768	256
24	640	0	384
25	512	128	384
26	384	256	384
27	256	384	384
28	128	512	384
29	0	640	384
30	512	0	512
31	384	128	512
32	256	256	512
33	128	384	512
34	0	512	512
35	384	0	640
36	256	128	640
37	128	256	640
38	0	384	640
39	256	0	768
40	128	128	768
41	0	256	768
42	128	0	896
43	0	128	896
44~63	0	0	1024

### 10.4.1.3 选项字节修改

选项字节只能由安全库代码修改。选项字节更改操作可用于修改保存在 SIP Flash 或 OTP 的非易失性选项字节区域中的配置和保护设置。

安全管理模块具有两组选项字节寄存器：

- 第一个寄存器集包含选项字节的当前值。在上电复位、系统复位或从系统待机模式唤醒后，它们的值由安全库代码从 Flash 或 OTP 加载。
- 第二个寄存器组允许修改选项字节。

用户需要调用安全库进行修改。用户应用程序需要通过操作的返回值检查操作的结果。如果不成功，用户应用程序可以检查其配置中的错误。

#### 解锁 Flash 选项字节修改

重置后，MMU\_STS.OBL 位设置为 1，Flash 选项字节被锁定。因此，在尝试更改选项字节之前，应用程序

软件必须调用 BOOT API 解锁选项配置寄存器。MMU\_ST.S.OBL 位被清除，Flash 选项字节被解锁。

任何错误的序列都会锁定相应的寄存器/位，直到下一次系统复位，并产生总线错误。

### 解锁 OTPC\_CTRL 寄存器

同样，在用户可以编程 OTP 选项字节之前，需要解锁序列。请参阅 OTPC 章节。

### 选项字节修改序列

要修改用户选项字节，请按照以下顺序操作：

- 解锁序列
  - 对于 Flash 选项字节修改：使用 BOOT API 解锁 Flash 选项字节的修改，除非寄存器已经解锁。
  - 对于 OTP 选项字节修改：通过向 OTPC\_KEY 寄存器写入正确的密钥序列来解锁 OTPC\_CTRL，除非寄存器已经解锁。
- 调用安全库以相应地修改 Flash/OTP 选项字节
- 等待 API 完成并检查状态

## 10.4.2 安全启动

BOOTROM 中的安全启动是一个受保护的代码，在系统复位后始终执行。作为信任的根源，此代码检查芯片安全配置并激活相应的运行时保护，从而降低了可能在芯片上运行的恶意软件的风险。安全启动还会在执行下一级固件之前对其进行身份验证。

## 10.4.3 安全固件安装

安全固件安装是嵌入在安全 BOOTROM 中的不可变安全服务。它允许在不受信任的生产环境（如 OEM 合同制造商）中安全安装 OEM 固件。

使用 AES 保护写入内部 SIP 闪存或在外部闪存中加密的已安装映像的机密性。

请注意，不支持安全固件更新，需要由客户应用程序代码完成。

## 10.4.4 灵活的安全区域划分

N32H7xx 允许按如下方式配置多个安全区域：

- Flash 安全区域
- Flash PFOER (程序固件仅执行区域)
- 四个用户 RTAD 区域，具有可配置的访问级别（仅执行、仅数据访问或正常访问）
  - 每个区域都可以用不同的密钥进行加密和解密
- TCM 中的用户安全区域（仅适用于 Cortex-M7）
- SRAM 中的用户安全区域（仅适用于 Cortex-M4）

#### 10.4.4.1 Flash 安全区域(仅 Cortex-M7)

N32H7xx 允许在闪存的用户区域中定义仅安全区域。只有当 Cortex-M7 CPU 在 SEC\_MODE 选项字节设置为使能的情况下执行安全应用程序代码时，才能访问此区域。仅安全区域有助于将安全用户代码与应用程序非安全代码隔离开来，如图 10-2 所示。例如，它们可用于保护客户安全固件升级代码、自定义安全引导库或第三方安全库。

##### Flash 安全编程

通过在 SEC\_CFG1 选项字节中设置 SEC\_END1 和 SEC\_BEGIN1，可以在 Flash 中定义一个仅安全区域，END 地址严格高于 BEGIN 地址。SEC\_BEGIN1 和 SEC\_END1 的定义粒度为 4096 字节。

例如，要在用户组 1 的前 32KB 上设置一个仅安全区域（即从地址 0x15000000 到地址 0x15007FFF，两者都包括在内），SEC\_CFG1 寄存器必须配置如下：

- SEC\_BEGIN1[12:0] = 0x000
- SEC\_END1[12:0] = 0x007

上面定义的仅安全区域大小等于：

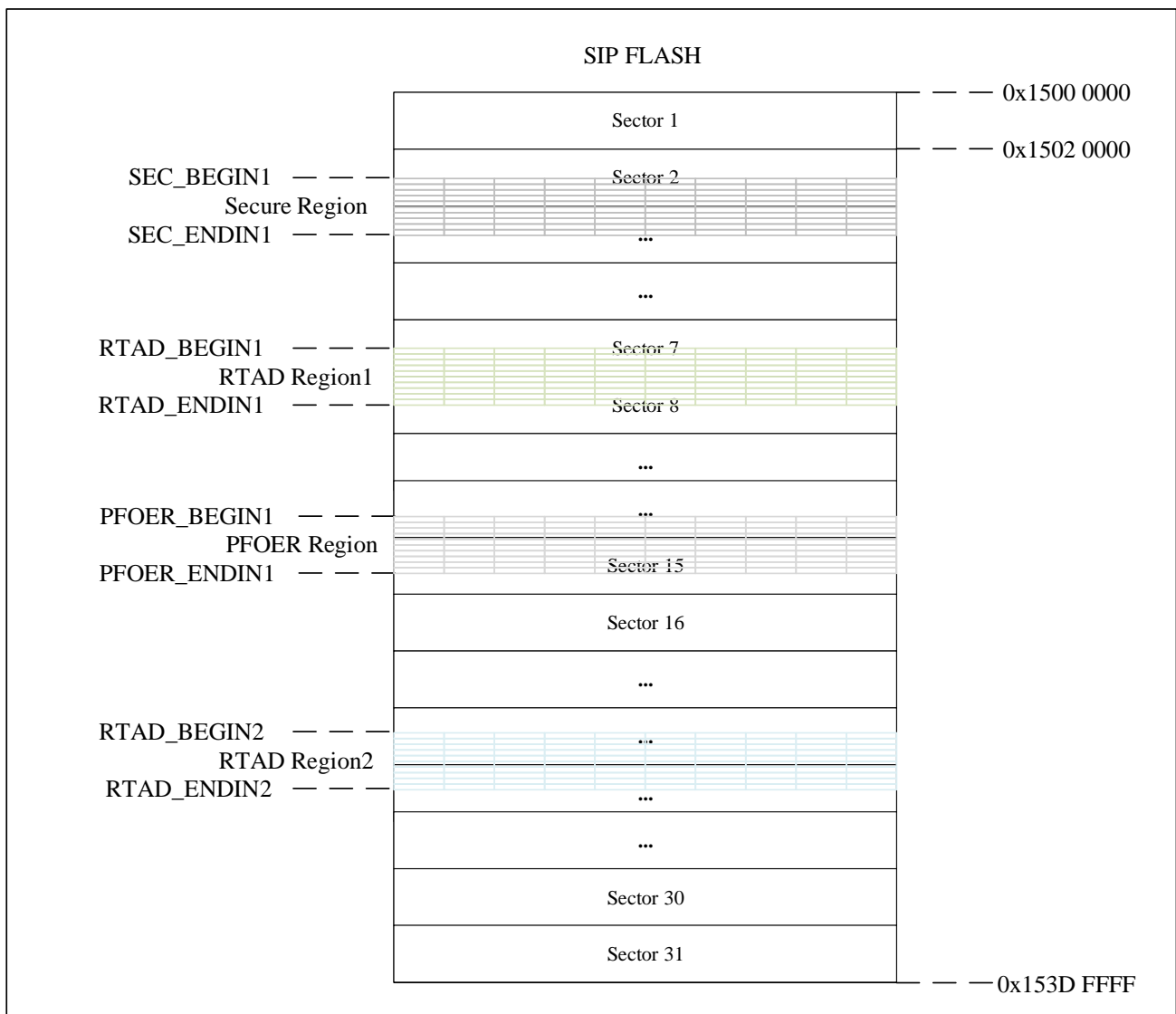
$[(\text{SEC\_END1} - \text{SEC\_BEGIN1}) + 1] \times 4096 = 8 \times 4096 \text{ 字节} = 32 \text{ K 字节}$ 。

这些选项字节只能由运行 BOOT ROM 安全库的 CPU 修改。

可以设置的最小安全区域为 8KB。

##### 闪存安全区域属性

- 在此区域执行代码时，Arm Cortex-M7 调试事件被忽略。
- 只有执行安全库或用户安全应用程序的 Arm Cortex-M7 内核可以访问它（主 ID 过滤）。在所有其他情况下，访问仅安全区域是非法的。
- Flash 安全区域受 RDP 保护。更多详细信息请参考第 10.4.5 章。
- 对仅安全区域的非法访问进行如下管理：
  - 数据读取访问返回全 1。数据写入访问被忽略。不会产生总线错误，但会发出错误标记。
- 根据 DMES1 选项字节配置，有效的仅安全区域可以进行擦除保护。当它被擦除保护时，行为如下：
  - 不可能对位于该区域的扇区（包括包含区域开始地址和结束地址的扇区）进行擦除操作。
  - 如果定义了单个有效的仅安全区域，包括由于 RDP 降级导致的擦除，都无法执行全部擦除

**图 10-2 Flash 安全区域分区**


#### 10.4.4.2 编程固件仅执行区域 (PFOER)

N32H7xx 允许在每个闪存组的用户区域中定义“仅可执行”区域，如图 10-2 所示。在此区域中，只允许从系统中提取指令访问。即使是常量文字池下载也是不允许的。这种保护对于保护第三方软件知识产权特别有效。

请注意，仅可执行区域的使用要求使用“仅执行”选项相应地编译客户代码。

##### PFOER 区域编程

通过在 PFOER\_CFG1 选项字节中设置 PFOER\_END1 和 PFOER\_BEGIN1，可以在 Flash 中定义一个 PFOER 区域，使 END 地址严格高于 BEGIN 地址。PFOER\_BEGIN1 和 PFOER\_END1 的定义粒度为 4096 字节。

例如，要在用户组 1 的前 16KB 上设置 PFOER 区域（即从地址 0x15000000 到地址 0x15007FFF，两者都包括在内），必须按如下方式配置 PFOER\_CFG1 寄存器：

- PFOER\_BEGIN1[12:0] = 0x000
- PFOER\_END1[12:0] = 0x003

上述定义的 PFOER 区域大小等于：

$[(\text{PFOER\_END1} - \text{PFOER\_BEGIN1}) + 1] \times 4096 = 4 \times 4096 \text{ 字节} = 16\text{K 字节}$ 。

这些选项字节只能由运行 BOOT ROM 安全库的 CPU 修改。

可以设置的最小 PFOER 区域为 8KB。

### Flash PFOER 区域属性

- 在此区域执行代码时，Arm Cortex-M7 调试事件被忽略。
- 只有 Arm Cortex-M7 内核可以从该区域执行。
- PFOER 安全区域受 RDP 保护。更多详细信息请参考第 10.4.5 章。
- 对 PFOER 区域的非法访问管理如下：
  - 数据读取访问返回全 1。数据写入访问被忽略。不会产生总线错误，但会发出错误标记。
- 有效的 PFOER 区域可以根据 DMEP1 选项字节配置进行擦除保护。当它被擦除保护时，行为如下：
  - 不可能对位于该区域的扇区（包括包含区域开始地址和结束地址的扇区）进行擦除操作。
  - 如果定义了单个有效的仅安全区域，包括由于 RDP 降级导致的擦除，都无法执行全部擦除

### 10.4.4.3 Flash RTAD 自定义安全区域

N32H7xx 允许在闪存的用户区域定义四个 RTAD 自定义安全区域，如图 10-2 所示。建议将非安全闪存区域定义为 RTAD 自定义安全区域，特别是在闪存为外部时。

RTAD 区域由 128 位 AES 加密。解密由带有软件可编程密钥（RTAD\_KEY1/2/3/4）的 RTAD 模块完成。RTAD\_CRC 可用于密钥验证。有关 RTAD 操作的更多详细信息，请参阅第 10.4.7 章。

### RTAD 区域编程

通过在 MMU\_RTR1/2/3/4 寄存器中设置 RBEG[12:0]和 REND[12:0]，可以在闪存中定义 RTAD 自定义安全区域。需要用户代码通过 MMU\_RTADC1/2/3/4 寄存器中的 REN 激活这些区域。

所有 4 个 RTAD 区域共享一个随机数。它可在 AFIO 模块的 AFIO\_XSPI1\_DEC\_NONCE0/1/2 寄存器中编程。

### RTAD 自定义安全区域属性

四个 RTAD 区域的安全级别也可以通过涉及 RPROPERTY 和 RMOD 的 MMU\_RTADC 寄存器设置，如下所示：

RPROPERTY [1:0]：区域属性。即使 REN=0，RPROPERTY 仍然可以对此区域处于活动状态。

- 00：此区域只允许取指令。数据访问被阻止。
- 01：此区域只允许数据/常量文字池加载。指令提取被阻止。
- 1x：允许指令和数据访问。

RMOD[1:0]：RTAD 区域的 RTAD 模式

- 00：仅对指令提取启用解密
- 01：仅对数据/常量文字池加载启用解密
- 1x：对指令提取和数据/常量文字池加载进行解密

#### 10.4.4.4 TCM 安全区域 (仅限 Cortex-M7)

N32H7xx 允许在 ITCM 内存的用户区域中定义一个仅安全区域，如图 10-3 所示。该区域只能由 Cortex-M7 CPU 执行。请注意，这仅在通过闪存的选项字节 CRYPTION\_LVL 启用加密时实现，并且表 10-4 所示的闪存用户配置表嵌入 M7\_BOOT\_ADDR 地址的闪存内容中，用于通过安全代码进行安全区域配置。

表 10-4 FLASH 用户配置表

偏移	名称	位域	描述
0x0000	Header[127:0]	[31:0]:“NSSF” [63:32]:版本 [95:64]: 页眉尺寸 [127:96]:预留	NSSF: Identification Tag 版本: 版本 页眉尺寸: 0x100 预留
	Nonce_encry[127:0]	NONCE 密文: [31:0]: 始终为 0 [127:32]: NONCE	NONCE 明文的低 4 个字节始终保持为 0，高 12 个字节有效。
	rek_encry[127:0]	加密 REK	REK 密钥用于解密加密的应用程序。
	app_hash[255:0]	应用程序摘要	明文应用程序 SHA256 摘要使用公钥加密。
	EXE_ADDR_M7[31:0]	M7 执行地址	执行 M7 代码的位置
	App_size_M7[31:0]	M7 固件程序大小	以字节为单位
	SaveAddr_M4[31:0]	M4 固件存储地址	执行 M4 代码的位置
	App_size_M4[31:0]	M4 固件程序大小	以字节为单位
	Reserved	预留	预留
0x0100	M7 code		加密用户代码
	M4 code		

#### TCM 安全区域编程

TCM 安全区域能够被定义在 ITCM，通过在 Flash 用户配置表设置 EXE\_ADDR\_M7 到 ITCM 内存区。配置 App\_size\_M7 决定安全区域大小，最大 1MB，颗粒度 4KB。选项字节 M7\_BOOT\_ADDR 可用于指定闪存中需要复制到 ITCM 执行的安全 TCM 代码的位置。

这些选项字节只能由运行 BOOTROM 安全库的 CPU 修改。

#### TCM 安全区域属性

- TCM 安全区域受 RDP 保护。更多详细信息请参考第 10.4.5 章。
- 对仅安全区域的非法访问进行如下管理：
  - 数据读取访问返回全 1。数据写入访问被忽略。不会产生总线错误，但会发出错误标记。

#### 10.4.4.5 SRAM 安全区域(仅限 Cortex-M4)

N32H7xx 允许在 SRAM 存储器的用户区域中定义一个仅安全区域，如图 10-3 所示。只有从该区域执行的 Arm Cortex-M4 代码才被视为安全代码。请注意，这仅在通过闪存的选项字节 CRYPTION\_LVL 启用加密时实现，并且表 10-4 所示的闪存用户配置表嵌入闪存内容中，用于通过安全代码进行安全区域配置。

#### SRAM 安全区域编程

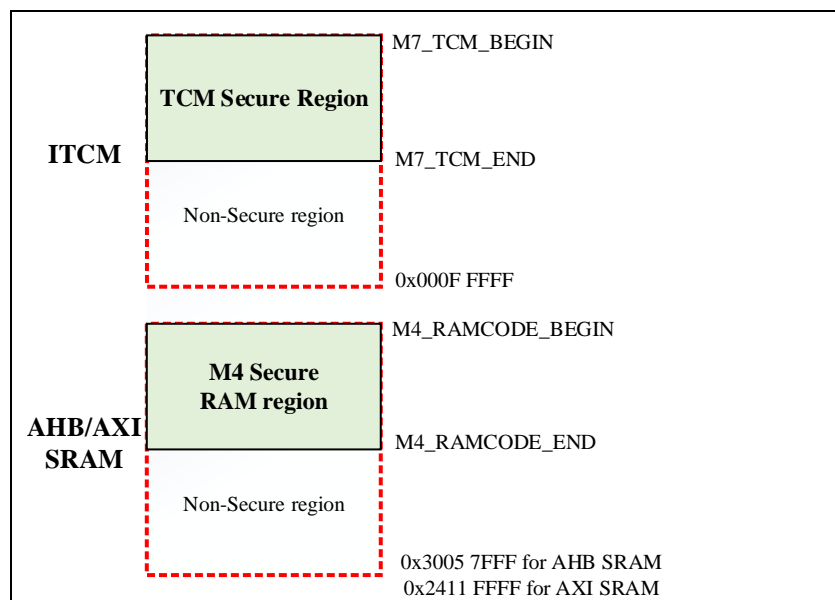
可以在 AHB SRAM1-5 或 AXI SRAM 1-3 中定义 SRAM 安全区域，通过设置闪存选项字节中的 SaveAddr\_M4[31:0]到这些 SRAM 存储区域。配置 App\_size\_M4 决定安全区域大小，最大 1MB，颗粒度 4KB。Flash 用户配置表中的 M4\_BOOTADDR 可用于指定需要复制到 SRAM 执行的 Flash 中安全代码的位置。

这些选项字节只能由运行 BOOTROM 安全库的 CPU 修改。

### SRAM 安全区域属性

- SRAM 安全区域受 RDP 保护。更多详细信息请参考第 10.4.5 章。
- 这仅适用于 Cortex-M4 保护的 SRAM 代码。Cortex-M7 CPU 运行来自此区域的代码被视为非安全代码。因此，在 RDP 保护级别 L1 和 L2 中，Cortex-M7 无法在区域中正确执行代码，因为从非安全代码访问 Cortex-M4 安全区域会阻止常量文字池加载。
- 对仅安全区域的非法访问进行如下管理：
  - 数据读取访问返回全 1。数据写入访问被忽略。不会产生总线错误，但会发出错误标记。

图 10-3 Flash 安全区域分区



#### 10.4.4.6 灵活安全的 TCM 尺寸配置

为了灵活性，软件可以相应地调整 ITCM、DTCM、AXI SRAM 2 和 AXISRAM 3 的大小和映射。有关更多详细信息，请参阅 TCM 章节。

#### 使用 BOOT API 接口的易失性编程

为了防止非法用户利用它来窃取安全代码和数据，TCM 大小配置由 SECURE\_BOOTROM 安全检查。TCMC\_CTR 寄存器只能由 SECURE\_BOOTROM 编程。

用户可以通过调用 BOOT API 接口对 TCM 大小配置进行编程。

如果 TCM 大小配置更新，TCM 或 AXI SRAM 2 和 3 中的安全代码将被擦除。

用户可以从 TCM\_CTR 寄存器中读取状态，以确认大小是否已更新。否则，用户需要检查他们的配置是否正确。



## 使用 OTP 中 TCM\_SZ\_CFG\_OTP 的非易失性编程

当 BOOTPIN=1（串行下载模式）时，OTP 中的 TCM\_SZ\_CFG\_OTP 可以通过“国民 MCU 下载工具”进行更改。在上电或系统重置期间，此 OTP 配置将自动加载到 TCMC\_CTR 寄存器中。

## 10.4.5 RDP 生命周期安全方案

### 10.4.5.1 介绍

全局读保护（RDP）机制（全硬件功能）在整个产品生命周期内控制对芯片调试、测试和固件开发的访问，如表 10-5 所示。支持的转换如图 10-4 所示，可以通过调试界面或安全代码和用户应用程序请求（如果可用）。

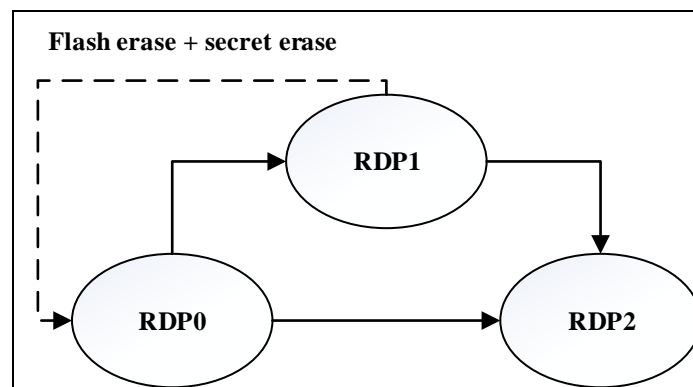
表 10-5 产品生命周期安全管理

RDP 保护等级		调试	描述
<b>Level 0</b>	设备开放，受保护区域除外	除安全区域外的所有区域	不受保护，用于调试、测试和开发的 BOOTROM/BOOTPATCH/OTP/Flash Secure/PFOER 代码除外
<b>Level 1</b>	设备内存被保护	仅非安全 SRAM/TCM 区域	不允许从非安全下载的代码或调试器访问闪存、安全 SRAM/TCM、BKPSRAM 和备份寄存器
<b>Level 2</b>	整片被保护	禁用	用户 2 级模式主要用于芯片保护。JTAG/SWD 等调试器已禁用。不允许修改选项字节。只能读取选项字节。因此，从 2 级降级到较低级别是不可能的。

根据 RDP 保护级别，安全管理模块限制非法用户对受保护存储器（AHBSRAM1-5、BOOTROM、TCM、AXISRAM1-3、BKPRAM、Flash 安全代码、BOOTPATCH 和 Flash 保护用户代码）和 RTC 备份寄存器的未经授权的访问。更多详细信息请参考第 10.4.5.2 章。

如图 10-4 所示，在 RDP 回归过程中，闪存会自动部分或全部擦除。

图 10-4 RDP 转换



### 10.4.5.2 全局读保护(RDP)

RDP 是全局的，因为它不仅适用于 SIP 闪存，也适用于其他安全区域，如 SRAM、TCM、BOOTROM、OTP

和备份寄存器。

RDP 级别是通过将表 10-6 中给出的值写入 RDP 选项字节中来设置的(见 10.4.1.3 章节).

**表 10-6 不同 RDP 等级下的 RDP 值**

RDP Level	RDP1	nRDP1	RDP2	nRDP2
L0	0xA5	0x5A	!0xCC	!0x33
L1	!0xA5	!0x5A	!0xCC	!0x33
L2	不关心	不关心	0xCC	0x33

## 每个内存的 RDP 保护级别定义

### Flash RDP 保护定义

表 10-7 显示了 SIP Flash 的 RDP 访问保护。

#### Flash RDP Level 0

除了 BOOTPATCH、Flash 安全代码和 Flash FPOER 等受保护区域外，对闪存的大部分访问都是开放的。

##### ■ BOOTPATCH

- 只有安全的 BOOTROM 代码才能完全访问 BOOTPATCH。
- BOOTPATCH 用户本身只能读取/跳转到 BOOTPATCH，不允许擦除/编程。
- 其他用户可以调用 BOOTPATCH API，但不能直接读取 BOOTPATCH 中的数据。

##### ■ 选项字节

- 所有用户都可以在 RDP 级别 0 中读取这些区域中的数据，但这些数据不可执行
- 仅 SECURE\_BOOTROM/BOOTROM\_API 用户能擦除这些区域
- 允许编程和擦除，但是，只有 BOOTROM 用户可以访问 Flash 配置接口，因此，除了 BOOTROM 之外，其他用户需要调用 BOOTROM API 来执行编程和擦除操作。

##### ■ Flash 安全区域

- 只有 SECURE\_BOOTROM/BOOTROM\_API/BOOTPATCH 和 Flash 安全代码本身才允许读取/跳转到此安全区域。
- 仅 SECURE BOOTROM 能编程此区域
- 只有 SECURE\_BOOTROM/BOOTROM\_API 才能直接擦除 Flash 安全区域。其他用户只能使用 BOOTROM\_API 间接擦除 Flash 安全区域。是否可以擦除取决于安全区域的 Flash WRP/DMES1 配置。

##### ■ Flash PFOER 区域

- 不允许读取/编程，只允许跳转。
- 只有 SECURE\_BOOTROM/BOOTROM\_API 才能直接擦除 Flash PFOER 区域。其他用户 ID 只能通过使用 BOOTROM API 间接擦除 Flash SECURE 区域。是否可以擦除取决于 PFOER 区域的 Flash WRP/DMEP 配置。

## ■ Flash 非安全区域

- 不允许读取/写入此区域，只允许跳转。用户应相应地划分其代码和常量文字池。
- 只有 SECURE\_BOOTROM/BOOTRO\_API 才能直接擦除 Flash PFOER 区域。其他用户只能使用 BOOTROM\_API 间接擦除 Flash 安全区域。是否可以擦除取决于 Flash 非安全区域的 Flash WRP 配置。

### Flash RDP Level 1

RDP 级别 1 主要用于保护内存，防止非法代码下载到 SRAM/TCM/SDRAM 或其他外部存储器中，访问闪存非安全区域。除 BOOTROM/BOOTPATCH/FLASH 之外的调试器和其他用户不允许读取/编程/擦除 FLASH 非安全区域。Flash 的其余访问权限与 RDP 级别 0 中的相同。

### Flash RDP Level 2

JTAG/SWD 等调试器被禁用，因此无法访问 Flash。除 BOOTROM/Flash/SRAM/TCM 之外的其他用户对闪存的访问也被禁用。

不允许修改 Flash 选项字节。只能读取选项字节。因此，从 RDP 级别 2 降级到较低级别是不可能的。

RDP 级别 2 中对 Flash 的其余访问权限与 RDP 级别 1 中的相同。

**表 10-7 SIP Flash RDP 保护**

RDP 保护等级	访问区域	访问类型	SECURE BOOTROM	BOOTROM_API NS_BOOTPATCH	SIP Flash			TCM/SRAM		调试或其他区域代码		
					SECURE	PFOER	non-SECURE	Secure TCM/SRAM	Non-Secure TCM/SRAM			
Level 0	SIP Flash	NS_BOOTPATCH	Read	Yes	Yes	No	No	No	No	No	No	
			PE	Yes	No	No	No	No	No	No	No	No
			Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
		OB_FLASH	Read	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
			PE	Yes	Yes	IPO	IPO	IPO	IPO	IPO	IPO	IPO
			Jump	No	No	No	No	No	No	No	No	No
		Secure Area	Read	Yes	Yes	Yes	No	No	No	No	No	No
			PE	Yes	ME	IME	IME	IME	IME	IME	IME	IME
			Jump	Yes	Yes	Yes	No	No	No	No	No	No
		PFOER	Read	No	No	No	No	No	No	No	No	No
			PE	ME	ME	IME	IME	IME	IME	IME	IME	IME
			Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Non-Secure	Read	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes		
	PE	Yes	Yes	IPIE	IPIE	IPIE	IPIE	IPIE	IPIE	IPIE		
	Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes		
Level 1	SIP Flash	NS_BOOTPATCH	Read	Yes	Yes	No	No	No	No	No	No	
			PE	Yes	No	No	No	No	No	No	No	No
			Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
		OB_FLASH	Read	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
			PE	Yes	Yes	IPO	IPO	IPO	IPO	IPO	IPO	IPO
			Jump	No	No	No	No	No	No	No	No	No
		Secure Area	Read	Yes	Yes	Yes	No	No	No	No	No	No
			PE	Yes	ME	IME	IME	IME	IME	IME	IME	IME
			Jump	Yes	Yes	Yes	No	No	No	No	No	No
		PFOER	Read	No	No	No	No	No	No	No	No	No
			PE	ME	ME	IME	IME	IME	IME	IME	IME	IME
			Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Non-Secure	Read	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No	No		
	PE	Yes	Yes	IPIE	IPIE	IPIE	IPIE	IPIE	IME	IME		
	Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes		
Level 2	SIP Flash	NS_BOOTPATCH	Read	Yes	Yes	No	No	No	No	No	No	
			PE	Yes	No	No	No	No	No	No	No	
			Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
		OB_FLASH	Read	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No	

			PE	No	No	No	No	No	No	No	No	
			Jump	No	No	No	No	No	No	No	No	No
		Secure Area	Read	Yes	Yes	Yes	No	No	No	No	No	No
			PE	Yes	ME	IME	IME	IME	IME	IME	IME	No
			Jump	Yes	Yes	Yes	No	No	No	No	No	No
		PFOER	Read	No	No	No	No	No	No	No	No	No
			PE	ME	ME	IME	IME	IME	IME	IME	IME	IME
			Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No
		Non-Secure	Read	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No	No
			PE	Yes	Yes	IPIE	IPIE	IPIE	IPIE	IPIE	IME	No
			Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No

IPO: 仅使用 BOOTROM API 的间接程序; IME: 仅使用 BOOTROM API 进行间接批量擦除; PE: 允许直接编程和擦除; IPIE: 间接程序间接擦除

### BOOTROM RDP 保护定义

表 10-8 显示了 BOOTROM 的 RDP 访问保护。

无论 RDP 保护级别如何, 只有 SECURE BOOTROM 和 BOOTROM\_API/BOOTPATCH 用户才允许访问 SECURE BOOTROM。

BOOTROM\_API 读取访问仅对 SECURE BOOTROM 和 BOOTROM\_API/BOOPATCH 用户开放。仅允许所有 RDP 级别的 BOOTROM/FLASH/TCM/SRAM 用户进行跳转访问。除 BOOTROM/FLASH/TCM/SRAM 之外的其他用户只能在 RDP 级别 0 和级别 1 中调用 BOOTROM\_API。

表 10-8 BOOTROM RDP 保护

RDP 保护等级	访问区域	访问类型	SECURE_BOOTROM	BOOTROM_API NS_BOOTPATCH	SIP Flash			TCM/SRAM		调试或其他区域代码
					SECURE	PFOER	Non-Secure	secure TCM/SRAM	Non-secure TCM/SRAM	
Level 0	SECURE_BOOTROM	Read	Yes	Yes	No	No	No	No	No	No
		Jump	Yes	Yes	No	No	No	No	No	No
	BOOTROM_API	Read	Yes	Yes	No	No	No	No	No	No
		Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Level 1	SECURE_BOOTROM	Read	Yes	Yes	No	No	No	No	No	No
		Jump	Yes	Yes	No	No	No	No	No	No
	BOOTROM_API	Read	Yes	Yes	No	No	No	No	No	No
		Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Level 2	SECURE_BOOTROM	Read	Yes	Yes	No	No	No	No	No	No
		Jump	Yes	Yes	No	No	No	No	No	No
	BOOTROM_API	Read	Yes	Yes	No	No	No	No	No	No

		Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No
--	--	------	-----	-----	-----	-----	-----	-----	-----	----

### RAM/TCM/RTC 备份寄存器的 RDP 保护定义

表 10-9 显示了 RAM/TCM/RTC 备份寄存器的 RDP 保护的详细信息。

#### RDP level 0

所有用户均可访问 TCM/SRAM/BKPSRAM/备份寄存器。

#### RDP level 1

在此模式下，使能了对 BOOTROM/FLASH/安全 SRAM/TCM 以外的其他用户的保护。它们对受保护的 TCM/SRAM 和备份区域的读/写访问被禁用。跳转到 BKPSRAM 也被禁用。

其余的访问权限与 RDP 级别 0 中的相同。

#### RDP level 2

调试器已禁用，因此无法访问 SRAM/TCM/备份寄存器。禁止除 FLASH/BOOTROM/TCM/SRAM 以外的其他用户访问 TCM/SRAM/BKPSRAM/备份寄存器。其余的访问权限与 RDP 级别 1 中的相同。

**表 10-9 RAM/TCM/RTC 备份寄存器 RDP 保护**

RDP 保护等级	访问区域		访问类型	SECURE_BOOTROM	BOOTROM_API NS_BOOTPATCH	SIP Flash			TCM/SRAM		调试或其他区域代码		
						SECURE	PFOER	Non-Secure	secure TCM/SRAM	Non-secure TCM/SRAM			
Level L0	TCM/SRAM	Secure	TCM	Read	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	
				Write	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
				Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
			SRAM	Read	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
				Write	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
				Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
		Non-Secure	TCM	Read	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
				Write	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
				Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
			SRAM	Read	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
				Write	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
				Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
	Backup SRAM		Read	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	
			Write	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	
			Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	
			Backup Register	Read	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
				Write	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
				Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Level L1	TCM/SRAM	Secure	TCM	Read	Yes	Yes	Yes	Yes	Yes	Yes	No	No	
				Write	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No	No
				Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
			SRAM	Read	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No	No
				Write	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No	No
				Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
		Non-Secure	TCM	Read	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
				Write	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
				Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
			SRAM	Read	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
				Write	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
				Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
	Backup SRAM		Read	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No	No	
			Write	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No	No	
			Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No	No	
			Backup Register	Read	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No	No
				Write	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No	No
				Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No	No

			Write	Yes	Yes	Yes	Yes	Yes	Yes	No	No	
Level L2	TCM/SRAM	Secure	TCM	Read	Yes	Yes	Yes	Yes	Yes	Yes	No	No
				Write	Yes	Yes	Yes	Yes	Yes	Yes	No	No
				Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No
			SRAM	Read	Yes	Yes	Yes	Yes	Yes	Yes	No	No
				Write	Yes	Yes	Yes	Yes	Yes	Yes	No	No
				Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No
		Non-Secure	TCM	Read	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No
				Write	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No
				Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No
			SRAM	Read	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No
				Write	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No
				Jump	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No
	Backup SRAM	Read	Yes	Yes	Yes	Yes	Yes	Yes	No	No		
		Write	Yes	Yes	Yes	Yes	Yes	Yes	No	No		
		Jump	Yes	Yes	Yes	Yes	Yes	Yes	No	No		
	Backup Register	Read	Yes	Yes	Yes	Yes	Yes	Yes	No	No		
Write		Yes	Yes	Yes	Yes	Yes	Yes	No	No			

### OTP RDP 保护定义

表 10-10 显示了 OTP 的 RDP 保护的详细信息。

模拟微调和密钥信息（key\_Info1 和 key\_Info2）未打开读取，所有 RDP 级别中的 SECURE\_BOOTROM 除外。除了 RDP 级别 0 和级别 1 中由 SECURE\_BOOTROM 进行的 Key\_Info2 区域外，无法进行修改。

不允许所有用户修改系统信息。除调试用户和 RDP 级别 2 中的 FLASH/BOOTROM/SRAM/TCM 以外的其他用户外，所有 RDP 级别只允许所有用户进行读取访问。

只有在 RDP 保护级别 0 和级别 1 中使用 SECURE\_BOOTROM 或 BOOTROM\_API/BOOPATCH 时，才能修改 OTP 选项字节。在 RDP 级别 1 中，OB1\_OTP 和 OB2\_OTP 只能使用 SECURE\_BOOTROM 进行修改。

用户信息和保留区域对所有用户开放，但以下用户除外：

- RDP 级别 1 和级别 2 中除 FLASH/BOOTROM/SRAM/TCM 之外的调试器和其他用户

表 10-10 OPT RDP 保护

OTP 区域	RDP 保护等级	访问类型	SECURE_BOOTROM	BOOTROM_API BOOPATCH	SIP FLASH	Secure TCM/SRAM Code	Non-Secure TCM/SRAM Code	调试或其他区域代码
OB1_OTP	Level L0 <sup>(1)</sup>	Read	Yes	Yes	Yes	Yes	Yes	Yes
		Write	Yes	No	No	No	No	No



	Level L1 <sup>(1)</sup>	Read	Yes	Yes	Yes	Yes	Yes	Yes
		Write	Yes	No	No	No	No	No
	Level L2	Read	Yes	Yes	Yes	Yes	Yes	No
		Write	No <sup>(3)</sup>	No	No	No	No	No
<b>OB2_OTP</b>	Level L0 <sup>(1)</sup>	Read	Yes	Yes	Yes	Yes	Yes	Yes
		Write	Yes <sup>(4)</sup>	No	No	No	No	No
	Level L1 <sup>(1)</sup>	Read	Yes	Yes	Yes	Yes	Yes	Yes
		Write	Yes <sup>(4)</sup>	No	No	No	No	No
	Level L2	Read	Yes	Yes	Yes	Yes	Yes	No
		Write	No	No	No	No	No	No
<b>OB3_OTP</b>	Level L0 <sup>(1)</sup>	Read	Yes	Yes	Yes	Yes	Yes	Yes
		Write	Yes	Yes <sup>(2)</sup>	No	No	No	No
	Level L1 <sup>(1)</sup>	Read	Yes	Yes	Yes	Yes	Yes	Yes
		Write	Yes	Yes <sup>(2)</sup>	No	No	No	No
	Level L2	Read	Yes	Yes	Yes	Yes	Yes	No
		Write	No	No	No	No	No	No
<b>User Info</b>	Level 0	Read	Yes	Yes	Yes	Yes	Yes	Yes
		Write	Yes	Yes	Yes	Yes	Yes	Yes
	Level 1	Read	Yes	Yes	Yes	Yes	Yes	Yes
		Write	Yes	Yes	Yes	Yes	No	No
	Level 2	Read	Yes	Yes	Yes	Yes	No	No
		Write	Yes	Yes	Yes	Yes	No	No

(1) 在 RDP 级别 0 和 1 中，当用户将数据写入这些区域时，OTPC 将自动写入其 VLD 地址位。如果用户直接写入其 VLD 地址，则将被拒绝，并将断言程序错误标志。

(2) 在 RDP 级别 0 和 1 中，除了 TCM\_SZ\_CFG\_OTP 之外，OB3\_OTP 可以由 SECURE\_BOOTROM 和 BOOTROM\_API 写入。只有 SECURE\_BOOTROM 可以修改 TCM\_SZ\_CFG\_OTP。

(3) RDP 级别 2 中的 SECURE\_BOOTROM 只能写入 “SM\_CFG\_OTP”。

(4) 在 RDP 级别 0 和 1 中，OB2\_OTP 只允许进行一次修改。

## 非 CPU 主机 RDP

为了使其他非 CPU 主机（如 MDMA、DMA、GPU、USB 等）能够访问安全存储器，需要相应的软件来激活它们在 MMU\_XXX\_ME 寄存器中的存储器访问。否则，无法保证其访问安全内存。它们的访问权限与在 MMU\_XXX\_ME 中使其内存访问的软件代码相同。

## RDP 保护错误

当检测到非法读取或写入访问时，会引发相应的错误标记。没有产生总线错误。有关更多详细信息，请参阅 MMU\_STS 寄存器。用户可以选择在检测到非法访问时生成中断或复位。

## 10.4.6 Flash 写保护(WRP)

闪存写保护（WRP）可防止非法或不必要的写入/擦除到闪存用户区域的特殊部分。

通过清除/设置 Flash 选项字节 WRP 配置中的相应 WRP 位，可以独立地对任何 128KB 字节的闪存扇区进行

写保护或不保护。从 0x15000 0000 开始，总共可以保护 31 个扇区。

写保护扇区既不能擦除也不能编程。因此，如果一个扇区受写保护，则无法执行扇区擦除，除非在 RDP 级别 1 到 0 的降级期间执行扇区擦除。

当 RDP 级别设置为级别 0 或级别 1 时，可以无限制地修改嵌入式闪存写保护用户选项位。当设置为级别 2 时，写保护位字段在选项字节中不能再更改。

*注意：当通过 DMESI 或 DMEPI 使能 PFOER 或 Flash 安全区域时，它们会受到擦除保护。*

### 10.4.7 SIP Flash 的实时 AES 解密 (RTAD)

实时 AES 解密 (RTAD) 引擎是一个位于 AXI 总线矩阵和 xSPI1 控制器之间的模块。当它在 XIP 模式下运行时，它对来自 SIP Flash 的数据执行实时 AES 128 位解密。

- 当它在 XIP 模式下运行时，它会对来自 SIP Flash 的数据进行实时解密。
- 它使用 AES-128 计数器模式执行解密。
- 128 位块是与对齐到较低 4 位地址的存储器映射地址对齐的存储器，即较低的 4 位地址用于寻址块内的 128 位 (16 字节)。
- 仅在需要离线完成加密并通过非 XIP 模式写入 SPI 闪存时执行解密。
- 支持所有 AHB3 传输类型，包括 INCR 和所有 WRAP 突发类型。
- 足够的缓冲区来处理 AHB 包装突发，以尽量减少从 SPI 闪存重新获取数据。

有关 RTAD 功能的更多详细信息，请参阅 RTAD 章节。

### 10.4.8 带片上 OTP 阵列的安全片上 OTP 控制器 (OTPC)

OTPC 提供了与片上 OTP 接口的主要用户可见机制。OTP 的用途包括：

- 唯一芯片标识符
- 掩码修订号
- 加密密钥
- 安全配置
- 启动特性
- 永久非易失的各种控制信号请求

OTPC 提供：

- 能够直接读取 fuses
- 能够通过软件或 JTAG/SWD 编写 (编程) fuses
- OTP 读保护和写保护
- 锁定选定 OTP 字段的 OTP

有关更多详细信息，请参阅 OTPC 一章。

### 10.4.9 JTAG/SWD 的安全调试控制

该设备限制对嵌入式调试功能的访问，以确保客户资产的机密性，防止未经授权使用调试和跟踪功能。

除了表 10-5 所示的 RDP 调试保护之外，其他调试限制机制如下：

- 在执行 SECURE\_BOOTROM、安全 FLASH 代码和 FLASH PFOER 代码期间，相应的调试访问端口完全禁用。例如，如果 CM7 从 SECURE BOOTROM 执行，则 CM7 调试访问端口完全禁用。
- DAP 安全模式：默认情况下，所有 DAP 都被禁用，一旦 BOOTROM 和 FLASH 中的安全代码执行完毕，DAP 将被释放。

### 10.4.10 加密加速器(AES, DES, SM4, SHA, TRNG)

N32H7xx 采用了表 10-11 所示的几种加密加速器功能：

表 10-11 N32H7xx 加密加速器特性

主要特性	次要特性	描述
算法	AES	支持 128, 192 和 256 位密钥
		支持 CBC、ECB 模式
	DES	支持 DES,TDES
		TDES 中支持 2KEY 和 3KEY
	SM4	支持 CBC,ECB 模式
	SHA	支持 SHA1,SHA224,SHA256,SHA384,SHA512
	RNG	支持 TRNG & PRNG 模式
		支持 LSFR129 进行后处理
		支持 XOR 合并所有源
		Support FIPS-140 CAVP
其他	支持 RNG 等算法同时运行	
系统	FIFO 配置	支持通过 FIFO 配置算法数据
SDMA	数据传输	支持通过 AHB 接口将数据作为主数据从 SRAM 自动传输到 SRAM
		通过参数支持 SRAM 传输的基址
		支持数据传输最大大小=4KB (1024 字)
		支持数据传输数据大小检查
		支持数据传输 CRC16 计算
		支持 SRAM 最大大小=2MB (512Kwords)
		在源/目标地址偏移=1/2/3 的情况下支持数据重新连接

### 10.4.11 防电压、温度和时钟攻击的篡改保护

N32H7xx 设备包括对关键安全资产的主动保护，以抵御温度、电压和频率攻击。更具体地说，它具有以下特点：

- 篡改检测时擦除设备密钥，包括备份 SRAM 和备份寄存器

- 改进了 CPU 及其相关安全外围设备的安全执行保证，包括：
  - 电压超出范围（例如：VBAT）、温度和时钟（LSE/HSE）检测
  - 由内部振荡器 LSI 计时的安全监视器 IWDG
  - 可能选择内部振荡器 HSI 作为系统时钟
  - 电源保护
  - RTC/TAMP 域通过 VBAT 自动供电

## 10.5 安全管理寄存器

### 10.5.1 MMU 控制寄存器(MMU\_CTRL)

偏移地址: 0x00

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														RSTE	INTE
														rw	rw

位域	名称	描述
31:2	Reserved	保留，必须保持复位值
1	RSTE	复位使能 当发生 MMU 越权时，此位设置是否产生复位。 0: 禁用 1: 使能
0	INTE	中断使能 当发生 MMU 越权时，此位设置是否产生中断。 0: 禁用 1: 使能

### 10.5.2 MMU 状态寄存器(MMU\_STS)

偏移地址: 0x04

复位值: 0x04000030

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved						XSPIL	ITRDE	ITWRE	BKRDE	BKWRE	H5RDE	H5WRE	H4RDE	H4WRE	H3RDE	H3WRE



		1: 检测到
17	H3RDE	AHBSRAM3 读取错误 通过写入 0 清除 0: 未检测到 1: 检测到
16	H3WRE	AHBSRAM3 写错误 通过写入 0 清除 0: 未检测到 1: 检测到
15	H2RDE	AHBSRAM2 读取错误 通过写入 0 清除 0: 未检测到 1: 检测到
14	H2WRE	AHBSRAM2 写错误 通过写入 0 清除 0: 未检测到 1: 检测到
13	H1RDE	AHBSRAM1 读取错误 通过写入 0 清除 0: 未检测到 1: 检测到
12	H1WRE	AHBSRAM1 写错误 通过写入 0 清除 0: 未检测到 1: 检测到
11	X3RDE	AXISRAM3 读取错误 通过写入 0 清除 0: 未检测到 1: 检测到
10	X3WRE	AXISRAM3 写错误 通过写入 0 清除 0: 未检测到 1: 检测到
9	X2RDE	AXISRAM2 读取错误 通过写入 0 清除 0: 未检测到 1: 检测到
8	X2WRE	AXISRAM2 写错误 通过写入 0 清除 0: 未检测到 1: 检测到
7	X1RDE	AXISRAM1 读取错误 通过写入 0 清除

		0: 未检测到 1: 检测到
6	X1WRE	AXISRAM1 写错误 通过写入 0 清除 0: 未检测到 1: 检测到
5	OBL	选项字节锁 只写 1。当它被设置时，它表示对选项字节的访问被锁定。在检测到解锁序列后，硬件会重置此位。如果解锁操作不成功，此位将保持设置状态，直到下一次复位。（BOOTROM 通过配置接口处理访问限制，HW 通过 XIP 接口处理）
4	FLASHL	Flash 锁 只写 1。当它被设置时，它表示对 Flash main 的访问被锁定。在检测到解锁序列后，硬件会重置此位。如果解锁操作不成功，此位将保持设置状态，直到下一次复位。（BOOTROM 通过配置界面处理访问限制，HW 通过 XIP 界面处理）
3	XSPIRDE	XSPI 读取错误 通过写入 0 清除 0: 未检测到 1: 检测到
2:0	Reserved	保留，必须保持复位值

### 10.5.3 MMU RTADx 配置寄存器(MMU\_RTADCx, x = 1~4)

偏移地址:  $0x34 + (x-1) * 4$

复位值: 0x000000f0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						RPROPERTY	RMOD	Reserved	RKEYL	RCFGL	REN				
						rw	rw		rw	rw	rw				

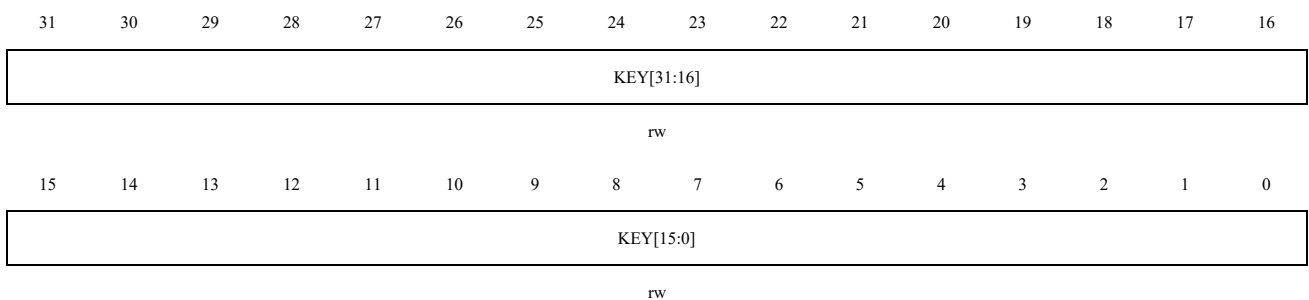
位域	名称	描述
31:8	Reserved	保留，必须保持复位值
7:6	RPROPERTY	区域x属性。 当设置为“01”时，RREGION1 (RBEG/REND) 的区域设置可以被视为数据闪存区域。即使REN=0，RPROPERTY 仍然可以在此Regionx中处于活动状态。 00: 此区域只允许取指令。数据访问被阻止。 01: 此区域只允许数据/常量文字池加载。指令提取被阻止。

		1x: 允许指令和数据访问。
5:4	RMOD	RTAD区域x的RTAD模式 00: 仅对指令进行解密, 01: 只对数据/常量文字池进行解密, 1x: 对指令和数据/常量文字池（所有此区域）进行解密。
3	Reserved	保留, 必须保持复位值
2	RKEYL	RTAD区域x的RTAD密钥锁 0: 解锁, 可以自由修改。 1: 锁, 不能修改。 一旦锁定, 将一直保留到下一次复位。
1	RCFGL	RTAD区域x的RTAD配置锁定 RPROPERTY/RMOD/REN/MMU_RTKxPx.KEY/RREGION1 (RBEG/REND) 锁定或解锁。 0: 解锁, 可以自由修改。 1: 锁, 不能修改。 一旦锁定, 将一直保留到下一次复位。HW写入RCFGL=1->RKEYL=1
0	REN	RTAD区域x使能。 RTAD由BOOTPATCH的硬件自动使能, 并且由硬件自动禁用OB_FLASH。 0: Main FLASH的RTAD区域x禁用RTAD。 1: Main FLASH的RTAD区域x使能RTAD。

### 10.5.4 MMU RTAD KEY1 部分 x 寄存器(MMU\_RTK1Px, x = 0~3)

偏移地址:  $0x44 + x * 4$

复位值: 0x00000000



位域	名称	描述
----	----	----

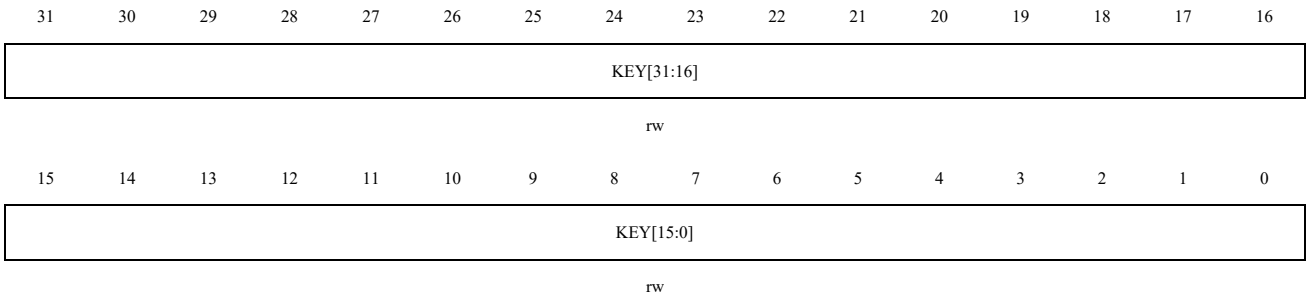


31:0	KEY	RTAD 区域部分的随机密钥，只能使用 BOOTROM_API 编写
------	-----	------------------------------------

### 10.5.5 MMU RTAD KEY2 部分 x 寄存器(MMU\_RTK2Px, x = 0~3)

偏移地址:  $0x54 + x * 4$

复位值: 0x00000000

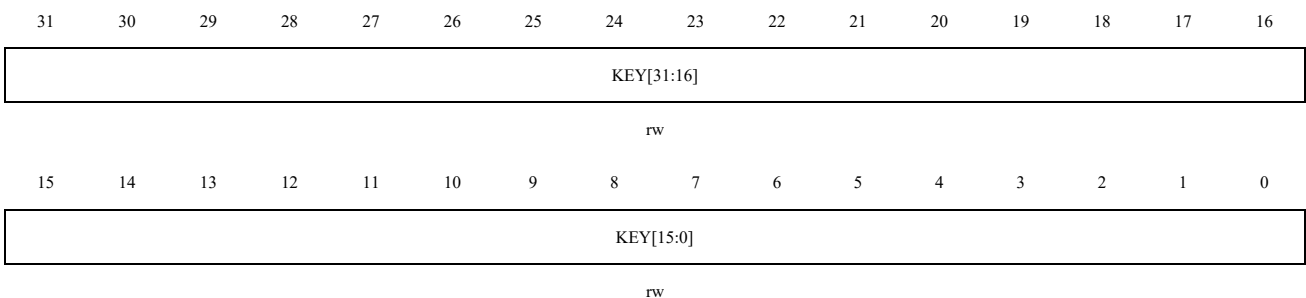


位域	名称	描述
31:0	KEY	RTAD 区域部分的随机密钥，只能使用 BOOTROM_API 编写

### 10.5.6 MMU RTAD KEY3 部分 x 寄存器(MMU\_RTK3Px, x = 0~3)

偏移地址:  $0x64 + x * 4$

复位值: 0x00000000

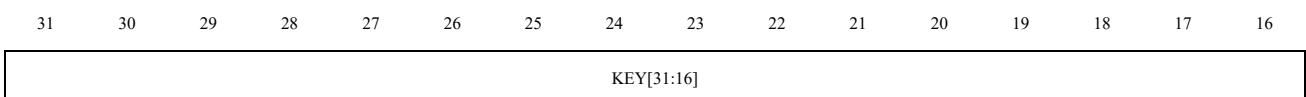


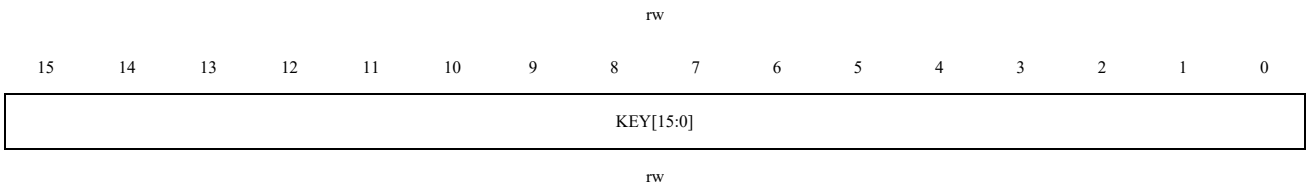
位域	名称	描述
31:0	KEY	RTAD 区域部分的随机密钥，只能使用 BOOTROM_API 编写

### 10.5.7 MMU RTAD KEY4 部分 x 寄存器(MMU\_RTK4Px, x = 0~3)

偏移地址:  $0x74 + x * 4$

复位值: 0x00000000



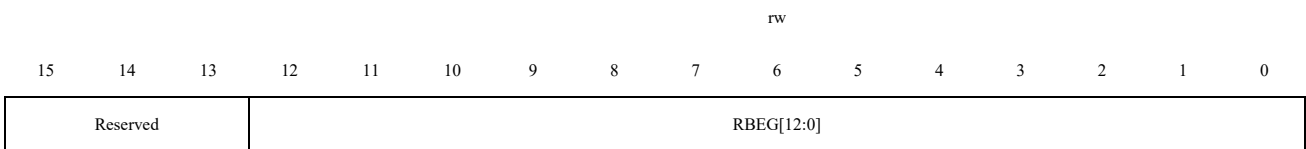
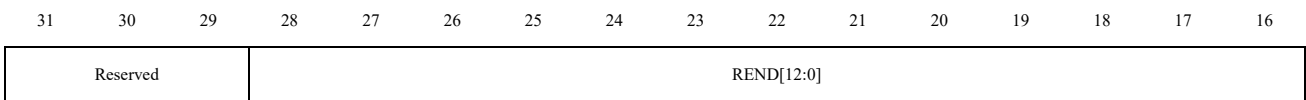


位域	名称	描述
31:0	KEY	RTAD 区域部分的随机密钥，只能使用 BOOTROM_API 编写

### 10.5.8 MMU RTAD 区域 x 寄存器(MMU\_RTRx, x = 1~4)

偏移地址:  $0x84 + (x - 1) * 4$

复位值: 0x00001FFF



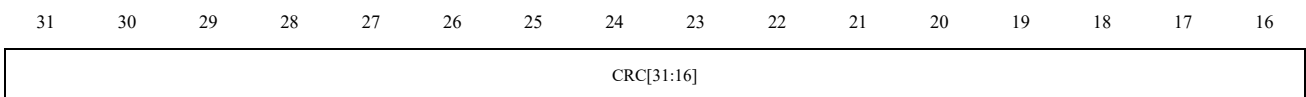
rw

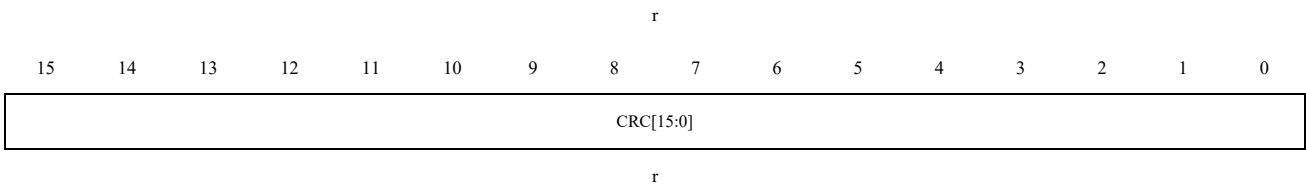
位域	名称	描述
31:29	Reserved	保留，必须保持复位值
28:16	REND[12:0]	RTAD 区域 x 的结束 Addr={REND[12:0], 12'hFFF} 如果(RBEGx<RENDx)&(RENx=1)，则相应的 RTAD Regionx 处于活动状态。 RTAD 区域 x 开始/结束，粒度为 4KB。
15:13	Reserved	保留，必须保持复位值
12:0	RBEG[12:0]	RTAD 区域 x 的开始 Addr = {RBEG[12:0], 12'000} 如果(RBEGx<RENDx)&(RENx=1)，则相应的 RTAD Regionx 处于活动状态。 RTAD 区域 x 开始/结束，粒度为 4KB。

### 10.5.9 MMU RTAD CRC32 多项式寄存器(MMU\_RTCRC)

偏移地址: 0xb8

复位值: 0xffffffff



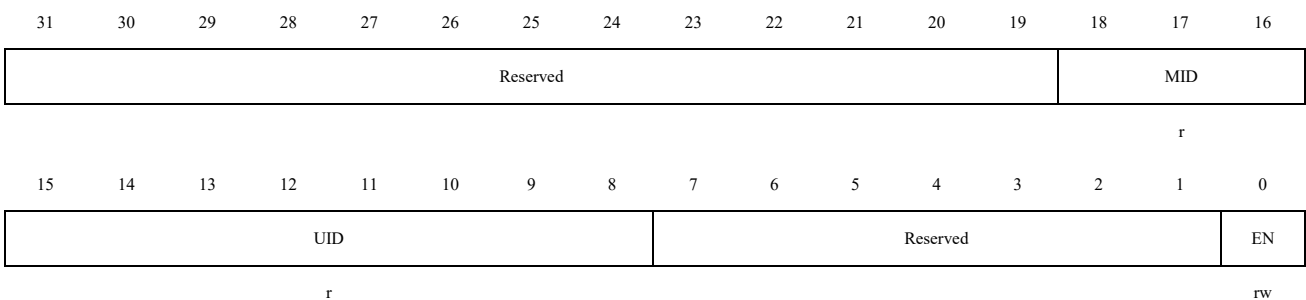


位域	名称	描述
31:0	CRC	CRC32 多项式 0x04C1DB7 (以太网): $X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^8+X^7+X^5+X^4+X^2+X+1$ , CRC 初始值为 32'FFFF_FFFF。CRC 计算只需要一个循环。 CRC 为所有 4 个 RTAD_KEY1/2/3/4 共享。UserCode 应在写入每个 RTAD_KEYx[127:0]后读回以进行验证, 它将在写入下一个 RTAD_KEYy 时更新。

### 10.5.10 MMU ETH1 内存访问使能寄存器(MMU\_ETH1ME)

偏移地址: 0x012c

复位值: 0x00000000

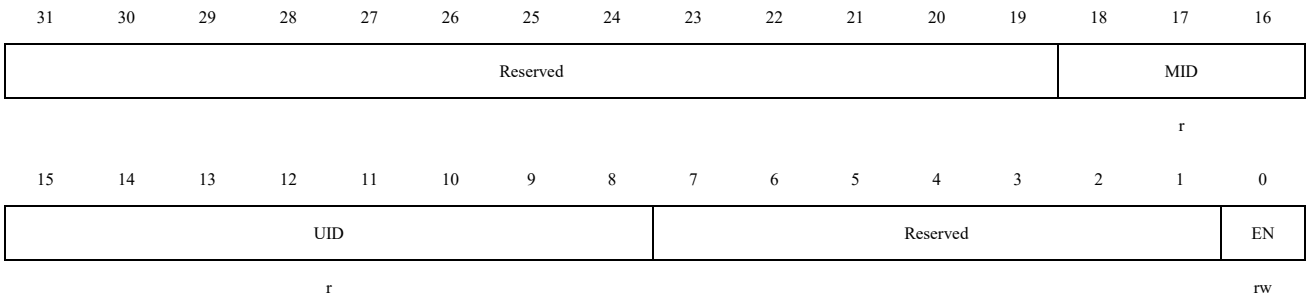


位域	名称	描述
31:19	Reserved	保留, 必须保持复位值
18:16	MID	主机使能 [0]: CM7,[1]: CM4,[2]: DEBUG 0: 禁用 1: 使能
15:8	UID	使能的用户 ID [0]:other_id(SDRAM,external SRAM,etc), [1]: nonsec_tcm/sram, [2]: sec_tcm/sram, [3]:non_sec_flash, [4] pfoer_flash, [5]: sec_flash, [6]: bootrom_api, [7]:sec_bootrom 0: 禁用 1: 使能
7:1	Reserved	保留, 必须保持复位值
0	EN	使能此主机的内存访问 0: 禁用 1: 使能

### 10.5.11 MMU ETH2 内存访问使能寄存器(MMU\_ETH2ME)

偏移地址: 0x0130

复位值: 0x00000000

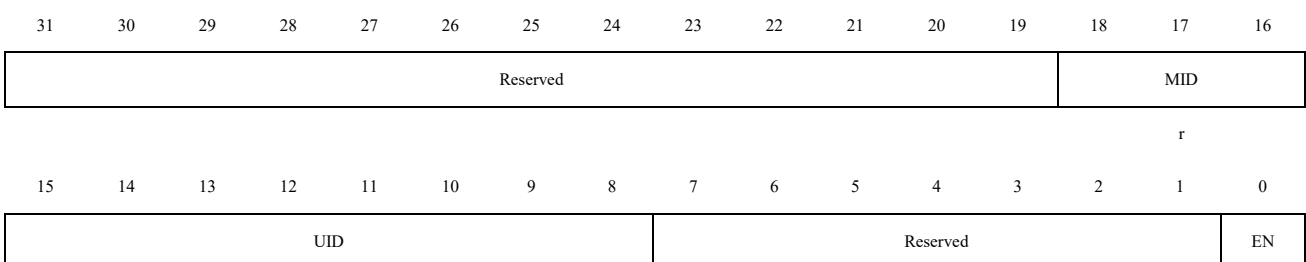


位域	名称	描述
31:19	Reserved	保留, 必须保持复位值
18:16	MID	主机使能 [0]: CM7,[1]: CM4,[2]: DEBUG 0: 禁用 1: 使能
15:8	UID	使能的用户 ID [0]:other_id(SDRAM,external SRAM,etc), [1]: nonsec_tcm/sram, [2]: sec_tcm/sram, [3]:non_sec_flash, [4] pfoer_flash, [5]: sec_flash, [6]: bootrom_api, [7]:sec_bootrom 0: 禁用 1: 使能
7:1	Reserved	保留, 必须保持复位值
0	EN	使能此主机的内存访问 0: 禁用 1: 使能

### 10.5.12 MMU USB1 内存访问使能寄存器(MMU\_USB1ME)

偏移地址: 0x0134

复位值: 0x00000000



r

rw

位域	名称	描述
31:19	Reserved	保留, 必须保持复位值
18:16	MID	主机使能 [0]: CM7,[1]: CM4,[2]: DEBUG 0: 禁用 1: 使能
15:8	UID	使能的用户 ID [0]:other_id(SDRAM,external SRAM,etc), [1]: nonsec_tcm/sram, [2]: sec_tcm/sram, [3]:non_sec_flash, [4] pfoer_flash, [5]: sec_flash, [6]: bootrom_api, [7]:sec_bootrom 0: 禁用 1: 使能
7:1	Reserved	保留, 必须保持复位值
0	EN	使能此主机的内存访问 0: 禁用 1: 使能

### 10.5.13 MMU USB2 内存访问使能寄存器(MMU\_USB2ME)

偏移地址: 0x0138

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved													MID		
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UID										Reserved					EN
r															rw

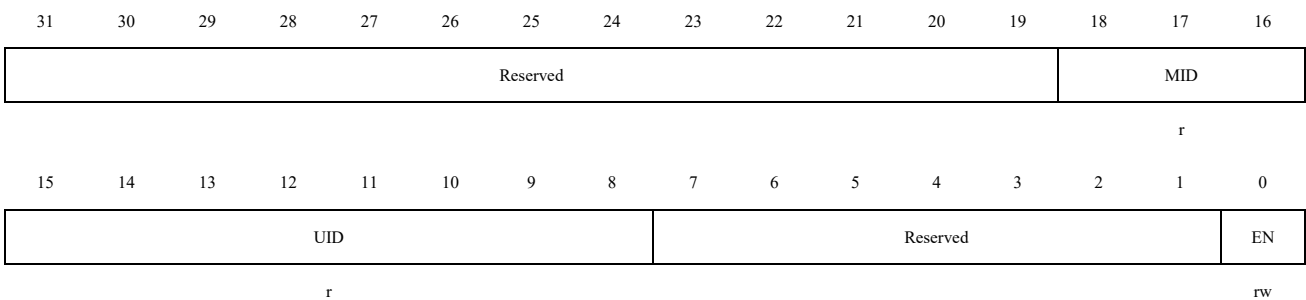
位域	名称	描述
31:19	Reserved	保留, 必须保持复位值
18:16	MID	主机使能 [0]: CM7,[1]: CM4,[2]: DEBUG 0: 禁用 1: 使能
15:8	UID	使能的用户 ID [0]:other_id(SDRAM,external SRAM,etc), [1]: nonsec_tcm/sram, [2]: sec_tcm/sram, [3]:non_sec_flash, [4] pfoer_flash, [5]: sec_flash, [6]: bootrom_api, [7]:sec_bootrom 0: 禁用

		1: 使能
7:1	Reserved	保留, 必须保持复位值
0	EN	使能此主机的内存访问 0: 禁用 1: 使能

### 10.5.14 MMU SDMMC1 内存访问使能寄存器(MMU\_SD1ME)

偏移地址: 0x013c

复位值: 0x00000000

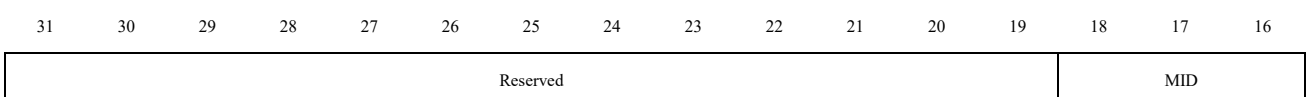


位域	名称	描述
31:19	Reserved	保留, 必须保持复位值
18:16	MID	主机使能 [0]: CM7,[1]: CM4,[2]: DEBUG 0: 禁用 1: 使能
15:8	UID	使能的用户 ID [0]:other_id(SDRAM,external SRAM,etc), [1]: nonsec_tcm/sram, [2]: sec_tcm/sram, [3]:non_sec_flash, [4] pfoer_flash, [5]: sec_flash, [6]: bootrom_api, [7]:sec_bootrom 0: 禁用 1: 使能
7:1	Reserved	保留, 必须保持复位值
0	EN	使能此主机的内存访问 0: 禁用 1: 使能

### 10.5.15 MMU SDMMC2 内存访问使能寄存器(MMU\_SD2ME)

偏移地址: 0x0140

复位值: 0x00000000



r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UID										Reserved					EN
rw															

位域	名称	描述
31:19	Reserved	保留, 必须保持复位值
18:16	MID	主机使能 [0]: CM7,[1]: CM4,[2]: DEBUG 0: 禁用 1: 使能
15:8	UID	使能的用户 ID [0]:other_id(SDRAM,external SRAM,etc), [1]: nonsec_tcm/sram, [2]: sec_tcm/sram, [3]:non_sec_flash, [4] pfoer_flash, [5]: sec_flash, [6]: bootrom_api, [7]:sec_bootrom 0: 禁用 1: 使能
7:1	Reserved	保留, 必须保持复位值
0	EN	使能此主机的内存访问 0: 禁用 1: 使能

### 10.5.16 MMU DVP1 内存访问使能寄存器(MMU\_DVP1ME)

偏移地址: 0x0144

复位值: 0x00000000

r															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved												MID			
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UID										Reserved					EN
rw															

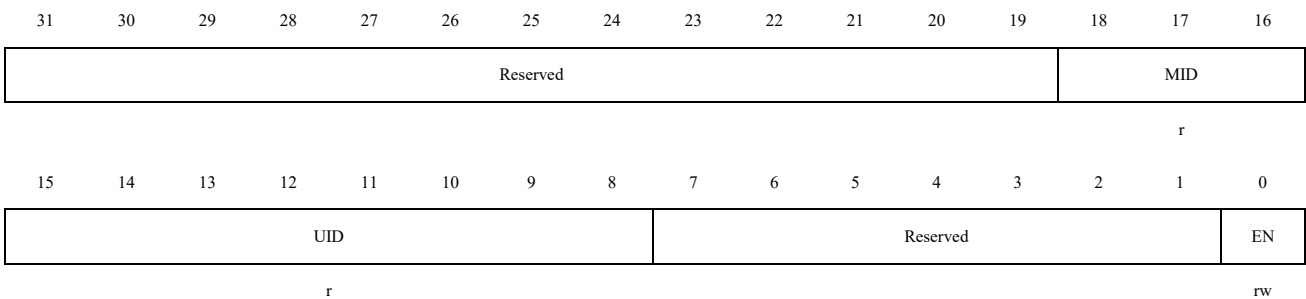
位域	名称	描述
31:19	Reserved	保留, 必须保持复位值
18:16	MID	主机使能 [0]: CM7,[1]: CM4,[2]: DEBUG 0: 禁用 1: 使能

15:8	UID	使能的用户 ID [0]:other_id(SDRAM,external SRAM,etc), [1]: nonsec_tcm/sram, [2]: sec_tcm/sram, [3]:non_sec_flash, [4] pfoer_flash, [5]: sec_flash, [6]: bootrom_api, [7]:sec_bootrom 0: 禁用 1: 使能
7:1	Reserved	保留, 必须保持复位值
0	EN	使能此主机的内存访问 0: 禁用 1: 使能

### 10.5.17 MMU DVP2 内存访问使能寄存器(MMU\_DVP2ME)

偏移地址: 0x0148

复位值: 0x00000000



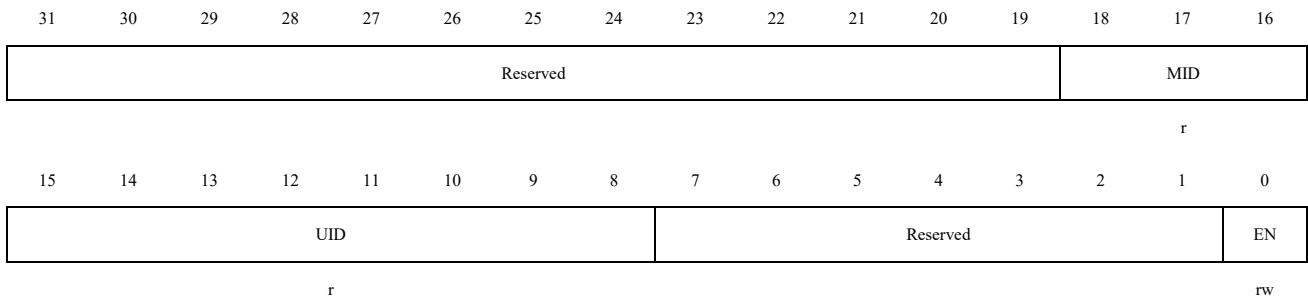
位域	名称	描述
31:19	Reserved	保留, 必须保持复位值
18:16	MID	主机使能 [0]: CM7,[1]: CM4,[2]: DEBUG 0: 禁用 1: 使能
15:8	UID	使能的用户 ID [0]:other_id(SDRAM,external SRAM,etc), [1]: nonsec_tcm/sram, [2]: sec_tcm/sram, [3]:non_sec_flash, [4] pfoer_flash, [5]: sec_flash, [6]: bootrom_api, [7]:sec_bootrom 0: 禁用 1: 使能
7:1	Reserved	保留, 必须保持复位值
0	EN	使能此主机的内存访问 0: 禁用 1: 使能

### 10.5.18 MMU DMA1 内存访问使能寄存器(MMU\_DMA1ME)

偏移地址: 0x014c



复位值: 0x00000000

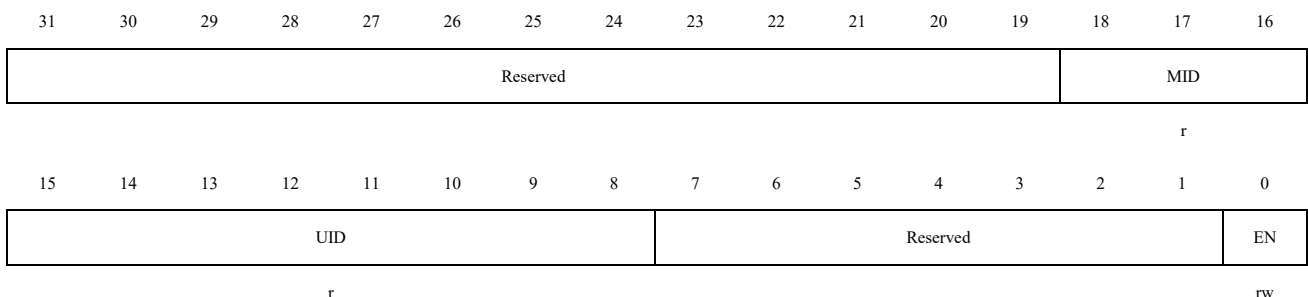


位域	名称	描述
31:19	Reserved	保留, 必须保持复位值
18:16	MID	主机使能 [0]: CM7,[1]: CM4,[2]: DEBUG 0: 禁用 1: 使能
15:8	UID	使能的用户 ID [0]:other_id(SDRAM,external SRAM,etc), [1]: nonsec_tcm/sram, [2]: sec_tcm/sram, [3]:non_sec_flash, [4] pfoer_flash, [5]: sec_flash, [6]: bootrom_api, [7]:sec_bootrom 0: 禁用 1: 使能
7:1	Reserved	保留, 必须保持复位值
0	EN	使能此主机的内存访问 0: 禁用 1: 使能

### 10.5.19 MMU DMA2 内存访问使能寄存器(MMU\_DMA2ME)

偏移地址: 0x0150

复位值: 0x00000000



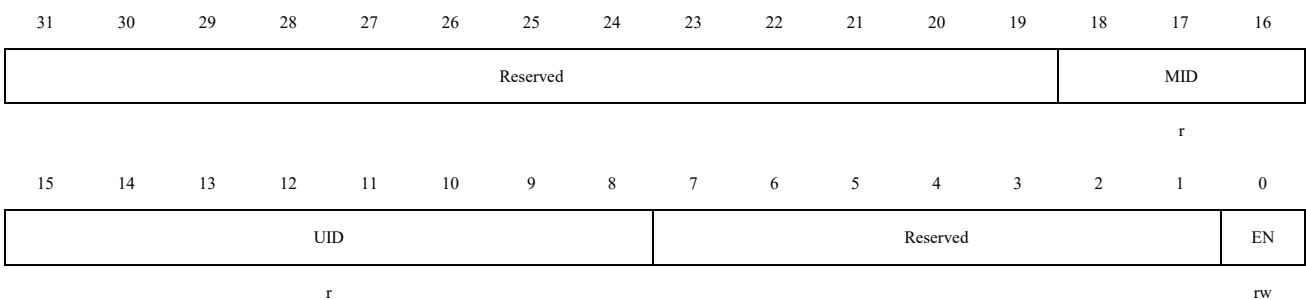
位域	名称	描述
31:19	Reserved	保留, 必须保持复位值
18:16	MID	主机使能

		[0]: CM7,[1]: CM4,[2]: DEBUG 0: 禁用 1: 使能
15:8	UID	使能的用户 ID [0]:other_id(SDRAM,external SRAM,etc), [1]: nonsec_tcm/sram, [2]: sec_tcm/sram, [3]:non_sec_flash, [4] pfoer_flash, [5]: sec_flash, [6]: bootrom_api, [7]:sec_bootrom 0: 禁用 1: 使能
7:1	Reserved	保留, 必须保持复位值
0	EN	使能此主机的内存访问 0: 禁用 1: 使能

### 10.5.20 MMU DMA3 内存访问使能寄存器(MMU\_DMA3ME)

偏移地址: 0x0154

复位值: 0x00000000

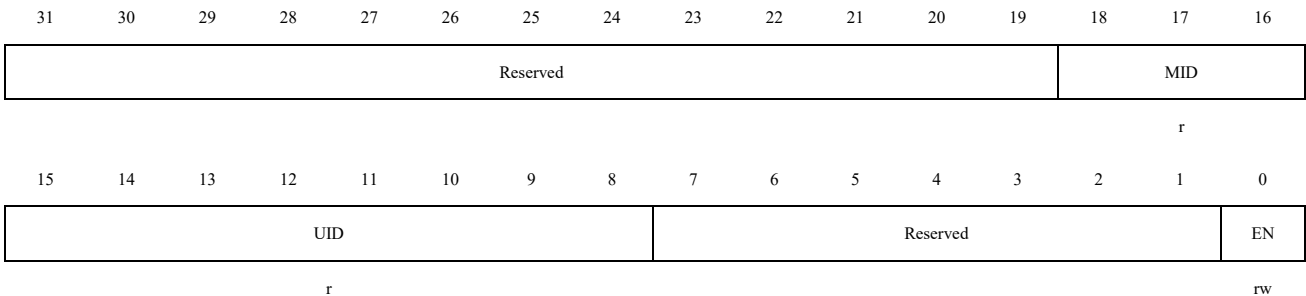


位域	名称	描述
31:19	Reserved	保留, 必须保持复位值
18:16	MID	主机使能 [0]: CM7,[1]: CM4,[2]: DEBUG 0: 禁用 1: 使能
15:8	UID	使能的用户 ID [0]:other_id(SDRAM,external SRAM,etc), [1]: nonsec_tcm/sram, [2]: sec_tcm/sram, [3]:non_sec_flash, [4] pfoer_flash, [5]: sec_flash, [6]: bootrom_api, [7]:sec_bootrom 0: 禁用 1: 使能
7:1	Reserved	保留, 必须保持复位值
0	EN	使能此主机的内存访问 0: 禁用 1: 使能

### 10.5.21 MMU MDMA 内存访问使能寄存器(MMU\_MDMAME)

偏移地址: 0x0158

复位值: 0x00000000

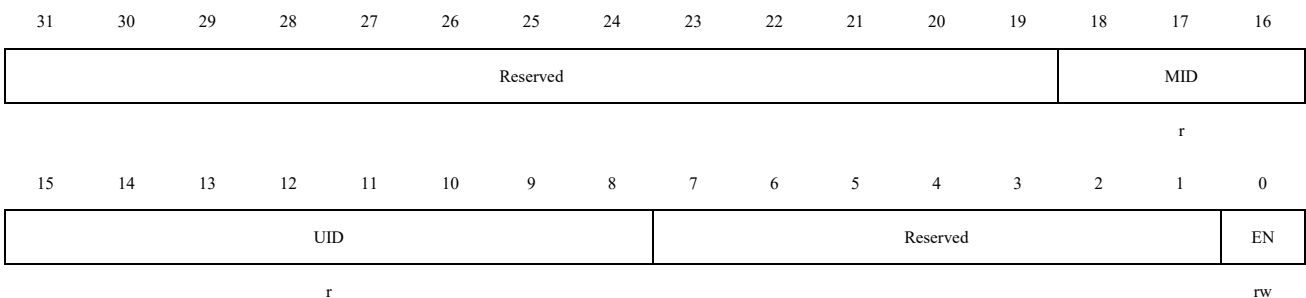


位域	名称	描述
31:19	Reserved	保留, 必须保持复位值
18:16	MID	主机使能 [0]: CM7,[1]: CM4,[2]: DEBUG 0: 禁用 1: 使能
15:8	UID	使能的用户 ID [0]:other_id(SDRAM,external SRAM,etc), [1]: nonsec_tcm/sram, [2]: sec_tcm/sram, [3]:non_sec_flash, [4] pfoer_flash, [5]: sec_flash, [6]: bootrom_api, [7]:sec_bootrom 0: 禁用 1: 使能
7:1	Reserved	保留, 必须保持复位值
0	EN	使能此主机的内存访问 0: 禁用 1: 使能

### 10.5.22 MMU JPEG 内存访问使能寄存器(MMU\_JPEGME)

偏移地址: 0x015c

复位值: 0x00000000

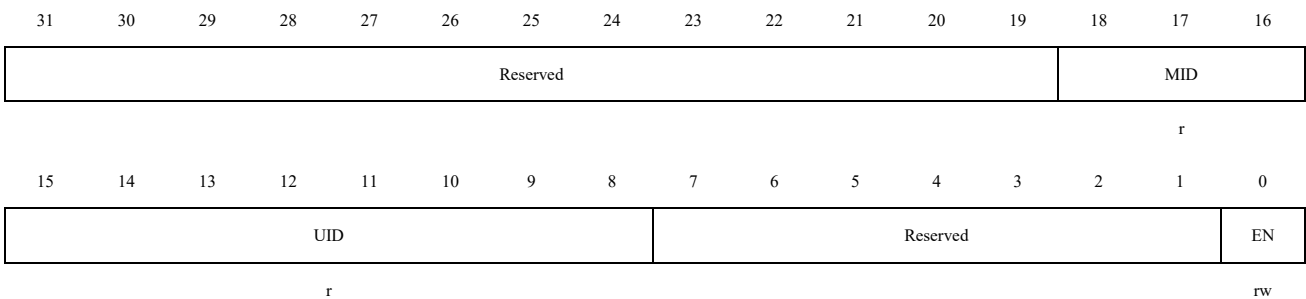


位域	名称	描述
31:19	Reserved	保留, 必须保持复位值
18:16	MID	主机使能 [0]: CM7,[1]: CM4,[2]: DEBUG 0: 禁用 1: 使能
15:8	UID	使能的用户 ID [0]:other_id(SDRAM,external SRAM,etc), [1]: nonsec_tcm/sram, [2]: sec_tcm/sram, [3]:non_sec_flash, [4] pfoer_flash, [5]: sec_flash, [6]: bootrom_api, [7]:sec_bootrom 0: 禁用 1: 使能
7:1	Reserved	保留, 必须保持复位值
0	EN	使能此主机的内存访问 0: 禁用 1: 使能

### 10.5.23 MMU LCD 内存访问使能寄存器(MMU\_LCDME)

偏移地址: 0x0160

复位值: 0x00000000



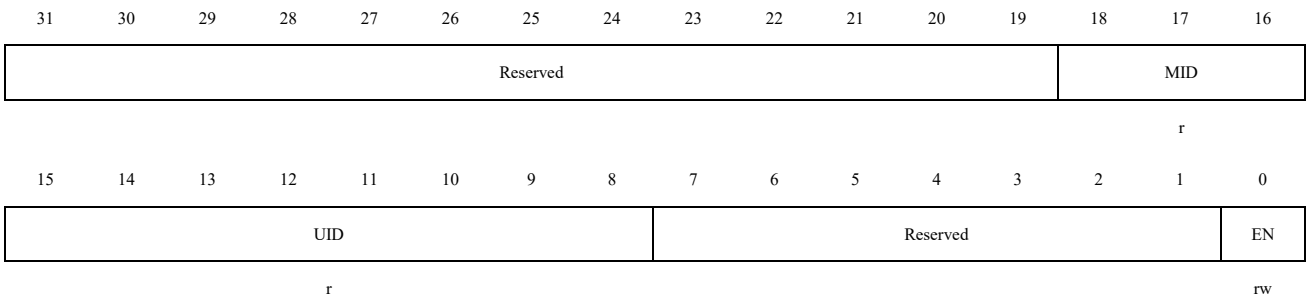
位域	名称	描述
31:19	Reserved	保留, 必须保持复位值
18:16	MID	主机使能 [0]: CM7,[1]: CM4,[2]: DEBUG 0: 禁用 1: 使能
15:8	UID	使能的用户 ID [0]:other_id(SDRAM,external SRAM,etc), [1]: nonsec_tcm/sram, [2]: sec_tcm/sram, [3]:non_sec_flash, [4] pfoer_flash, [5]: sec_flash, [6]: bootrom_api, [7]:sec_bootrom 0: 禁用 1: 使能
7:1	Reserved	保留, 必须保持复位值

0	EN	使能此主机的内存访问 0: 禁用 1: 使能
---	----	------------------------------

### 10.5.24 MMU GPU 内存访问使能寄存器(MMU\_GPUME)

偏移地址: 0x0164

复位值: 0x00000000

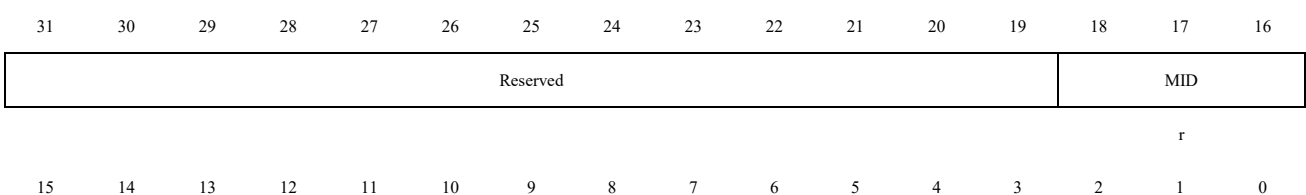


位域	名称	描述
31:19	Reserved	保留, 必须保持复位值
18:16	MID	主机使能 [0]: CM7,[1]: CM4,[2]: DEBUG 0: 禁用 1: 使能
15:8	UID	使能的用户 ID [0]:other_id(SDRAM,external SRAM,etc), [1]: nonsec_tcm/sram, [2]: sec_tcm/sram, [3]:non_sec_flash, [4] pfoer_flash, [5]: sec_flash, [6]: bootrom_api, [7]:sec_bootrom 0: 禁用 1: 使能
7:1	Reserved	保留, 必须保持复位值
0	EN	使能此主机的内存访问 0: 禁用 1: 使能

### 10.5.25 MMU SDPU 内存访问使能寄存器(MMU\_SDPUME)

偏移地址: 0x0168

复位值: 0x00000000



UID	Reserved	EN
r		rw

位域	名称	描述
31:19	Reserved	保留, 必须保持复位值
18:16	MID	主机使能 [0]: CM7,[1]: CM4,[2]: DEBUG 0: 禁用 1: 使能
15:8	UID	使能的用户 ID [0]:other_id(SDRAM,external SRAM,etc), [1]: nonsec_tcm/sram, [2]: sec_tcm/sram, [3]:non_sec_flash, [4] pfoer_flash, [5]: sec_flash, [6]: bootrom_api, [7]:sec_bootrom 0: 禁用 1: 使能
7:1	Reserved	保留, 必须保持复位值
0	EN	使能此主机的内存访问 0: 禁用 1: 使能

### 10.5.26 MMU XSPI 读错误调试寄存器(MMU\_XRD)

偏移地址: 0x0170

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				MID				UID							
				r								r			

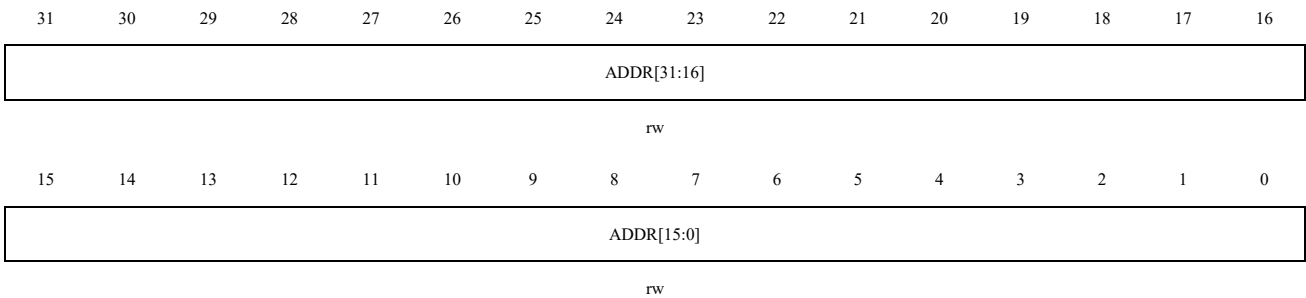
位域	名称	描述
31:12	Reserved	保留, 必须保持复位值
11:8	MID	主机读错误 ID [0]: DEBUG,[1]: other non-cpu master(ETH/USB/etc),[2]: CM7,[3]: CM4 0: 无错误 1: 发生错误
7:0	UID	用户读错误 ID [0]:other_id(SDRAM,external SRAM,etc), [1]: nonsec_tcm/sram, [2]: sec_tcm/sram,

		[3]:non_sec_flash, [4] pfoer_flash, [5]: sec_flash, [6]: bootrom_api, [7]:sec_bootrom 0: 无错误 1: 发生错误
--	--	--

### 10.5.27 MMU XSPI 读错误地址寄存器(MMU\_XRAD)

偏移地址: 0x0178

复位值: 0x00000000

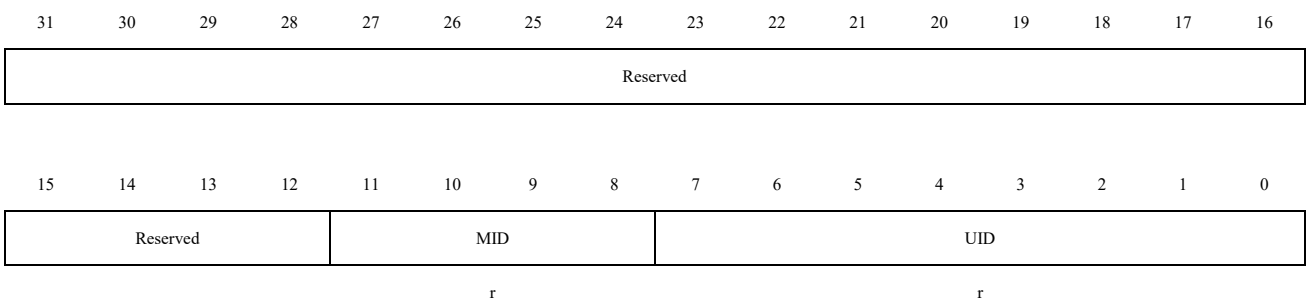


位域	名称	描述
31:0	ADDR	MMU 调试寄存器（一旦检测到 MMU_STS.XSPIRED，就会被捕获并保存，直到软件清除 MMU_STS.XSPIRED FLAG）

### 10.5.28 MMU AXI SRAMn 写错误调试寄存器(MMU\_XnWD, n = 1~3)

偏移地址: 0x017c + (n - 1) \* 16

复位值: 0x00000000



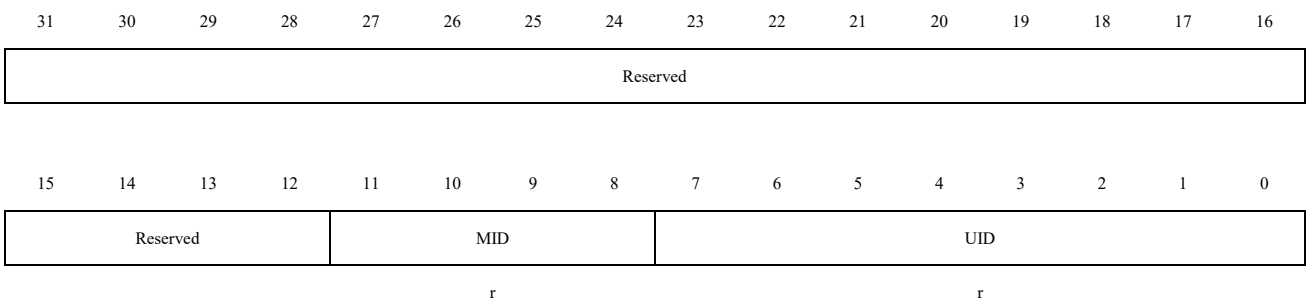
位域	名称	描述
31:12	Reserved	保留，必须保持复位值
11:8	MID	主机写错误 ID [0]: DEBUG,[1]: other non-cpu master(ETH/USB/etc),[2]: CM7,[3]: CM4 0: 无错误 1: 发生错误
7:0	UID	用户写错误 ID

		[0]:other_id(SDRAM,external SRAM,etc), [1]: nonsec_tcm/sram, [2]: sec_tcm/sram, [3]:non_sec_flash, [4] pfoer_flash, [5]: sec_flash, [6]: bootrom_api, [7]:sec_bootrom 0: 无错误 1: 发生错误
--	--	---

### 10.5.29 MMU AXI SRAMn 读错误调试寄存器(MMU\_XnRD, n = 1~3)

偏移地址:  $0x0180 + (n - 1) * 16$

复位值: 0x00000000

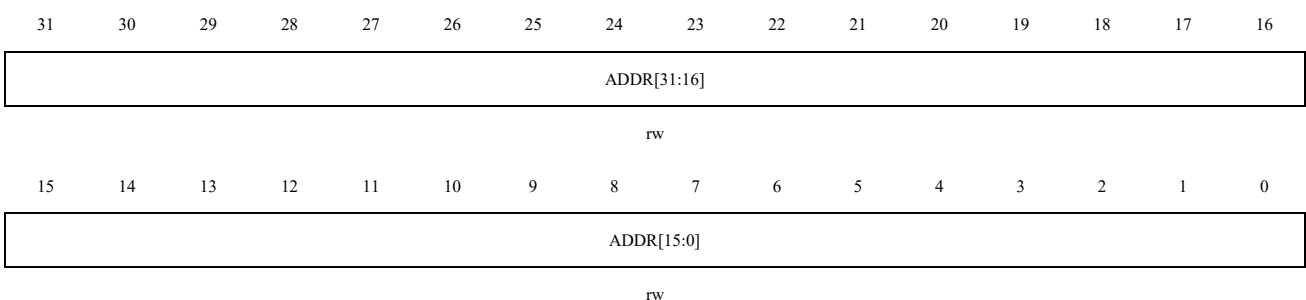


位域	名称	描述
31:12	Reserved	保留, 必须保持复位值
11:8	MID	主机读错误 ID [0]: DEBUG,[1]: other non-cpu master(ETH/USB/etc),[2]: CM7,[3]: CM4 0: 无错误 1: 发生错误
7:0	UID	用户读错误 ID [0]:other_id(SDRAM,external SRAM,etc), [1]: nonsec_tcm/sram, [2]: sec_tcm/sram, [3]:non_sec_flash, [4] pfoer_flash, [5]: sec_flash, [6]: bootrom_api, [7]:sec_bootrom 0: 无错误 1: 发生错误

### 10.5.30 MMU AXI SRAMn 写错误地址寄存器(MMU\_XnWAD, n = 1~3)

偏移地址:  $0x0184 + (n - 1) * 16$

复位值: 0x00000000



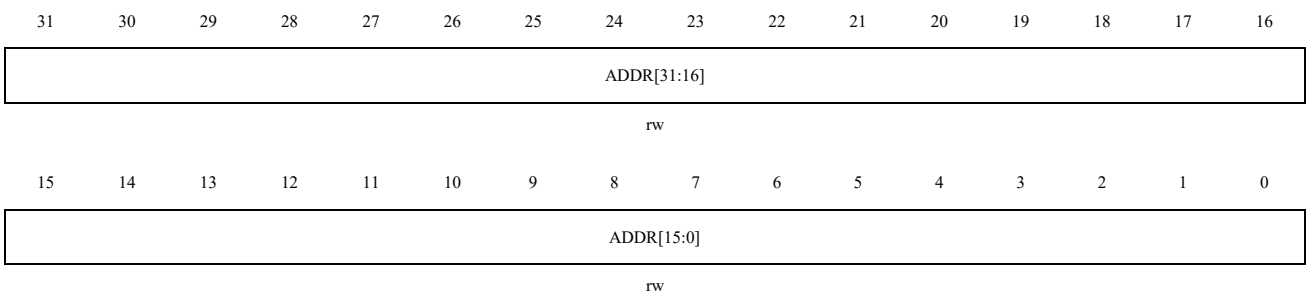


位域	名称	描述
31:0	ADDR	MMU 调试寄存器（一旦检测到 MMU_STS.XnWRE，就会被捕获并保存，直到软件清除 MMU_STS.XnWRE 标志）

### 10.5.31 MMU AXI SRAM<sub>n</sub> 读错误地址寄存器(MMU\_XnRAD, n = 1~3)

偏移地址:  $0x0188 + (n - 1) * 16$

复位值: 0x00000000

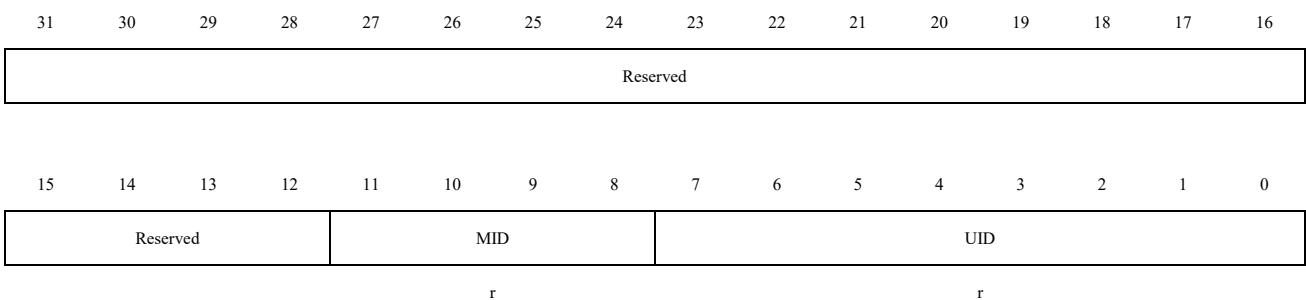


位域	名称	描述
31:0	ADDR	MMU 调试寄存器（一旦检测到 MMU_STS.XnRDE，就会被捕获并保存，直到软件清除 MMU_STS.XnRDE FLAG）

### 10.5.32 MMU AHB SRAM<sub>n</sub> 写错误调试寄存器(MMU\_HnWD, n = 1~5)

偏移地址:  $0x0210 + (n - 1) * 16$

复位值: 0x00000000



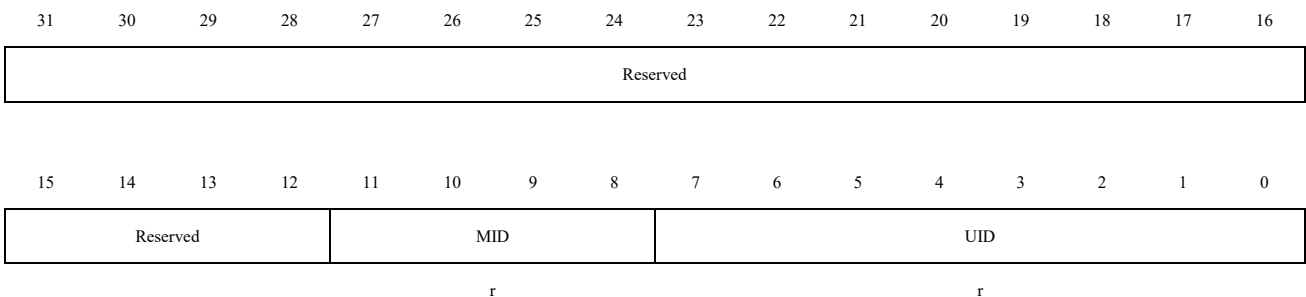
位域	名称	描述
31:12	Reserved	保留，必须保持复位值
11:8	MID	主机写错误 ID [0]: DEBUG,[1]: other non-cpu master(ETH/USB/etc),[2]: CM7,[3]: CM4 0: 无错误 1: 发生错误

7:0	UID	用户写错误 ID [0]:other_id(SDRAM,external SRAM,etc), [1]: nonsec_tcm/sram, [2]: sec_tcm/sram, [3]:non_sec_flash, [4] pfoer_flash, [5]: sec_flash, [6]: bootrom_api, [7]:sec_bootrom 0: 无错误 1: 发生错误
-----	-----	---

### 10.5.33 MMU AHB SRAMn 读错误调试寄存器(MMU\_HnRD, n = 1~5)

偏移地址:  $0x0214 + (n - 1) * 16$

复位值: 0x00000000



位域	名称	描述
31:12	Reserved	保留, 必须保持复位值
11:8	MID	主机读错误 ID [0]: DEBUG,[1]: other non-cpu master(ETH/USB/etc),[2]: CM7,[3]: CM4 0: 无错误 1: 发生错误
7:0	UID	用户读错误 ID [0]:other_id(SDRAM,external SRAM,etc), [1]: nonsec_tcm/sram, [2]: sec_tcm/sram, [3]:non_sec_flash, [4] pfoer_flash, [5]: sec_flash, [6]: bootrom_api, [7]:sec_bootrom 0: 无错误 1: 发生错误

### 10.5.34 MMU AHB SRAMn 写错误地址寄存器(MMU\_HnWAD, n = 1~5)

偏移地址:  $0x0218 + (n - 1) * 16$

复位值: 0x00000000



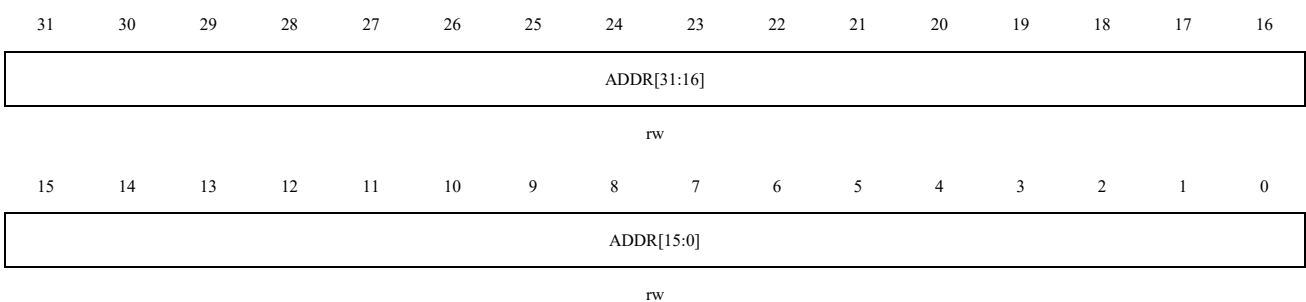
rw

位域	名称	描述
31:0	ADDR	MMU 调试寄存器（一旦检测到 MMU_STS.HnWRE，就会被捕获并保存，直到软件清除 MMU_STS.HnWRE 标志）

### 10.5.35 MMU AHB SRAMn 读错误地址寄存器(MMU\_HnRAD, n = 1~5)

 偏移地址:  $0x021c + (n - 1) * 16$ 

复位值: 0x00000000

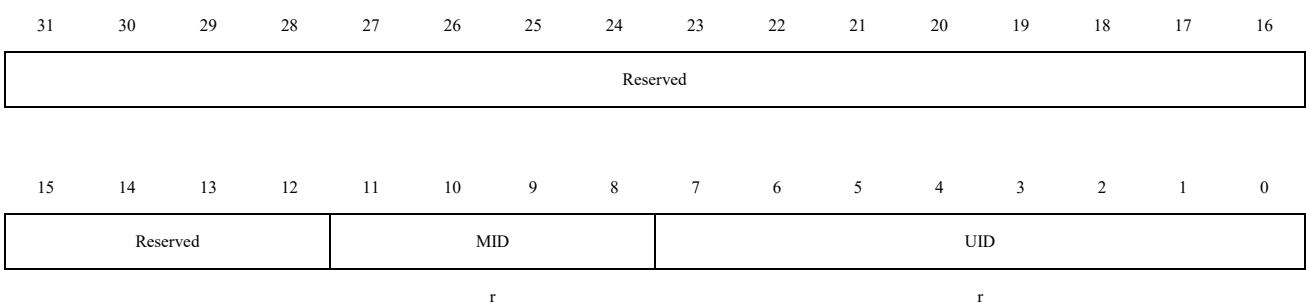


位域	名称	描述
31:0	ADDR	MMU 调试寄存器（一旦检测到 MMU_STS.HnRDE，就会被捕获并保存，直到软件清除 MMU_STS.HnRDE FLAG）

### 10.5.36 MMU Backup SRAM 写错误调试寄存器(MMU\_BKWD)

偏移地址: 0x0260

复位值: 0x00000000



位域	名称	描述
31:12	Reserved	保留，必须保持复位值
11:8	MID	主机写错误 ID [0]: DEBUG,[1]: other non-cpu master(ETH/USB/etc),[2]: CM7,[3]: CM4

		0: 无错误 1: 发生错误
7:0	UID	用户写错误 ID [0]:other_id(SDRAM,external SRAM,etc), [1]: nonsec_tcm/sram, [2]: sec_tcm/sram, [3]:non_sec_flash, [4] pfoer_flash, [5]: sec_flash, [6]: bootrom_api, [7]:sec_bootrom 0: 无错误 1: 发生错误

### 10.5.37 MMU Backup SRAM 读错误调试寄存器(MMU\_BKRD)

偏移地址: 0x0264

复位值: 0x00000000

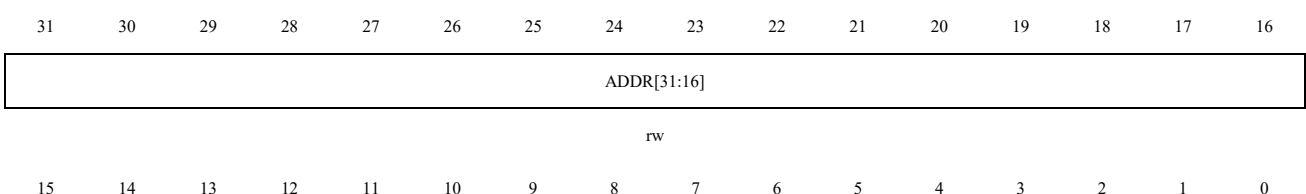


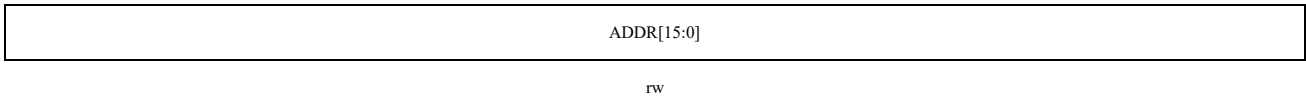
位域	名称	描述
31:12	Reserved	保留, 必须保持复位值
11:8	MID	主机读错误 ID [0]: DEBUG,[1]: other non-cpu master(ETH/USB/etc),[2]: CM7,[3]: CM4 0: 无错误 1: 发生错误
7:0	UID	用户读错误 ID [0]:other_id(SDRAM,external SRAM,etc), [1]: nonsec_tcm/sram, [2]: sec_tcm/sram, [3]:non_sec_flash, [4] pfoer_flash, [5]: sec_flash, [6]: bootrom_api, [7]:sec_bootrom 0: 无错误 1: 发生错误

### 10.5.38 MMU Backup SRAM 写错误地址寄存器(MMU\_BKWAD)

偏移地址: 0x0268

复位值: 0x00000000



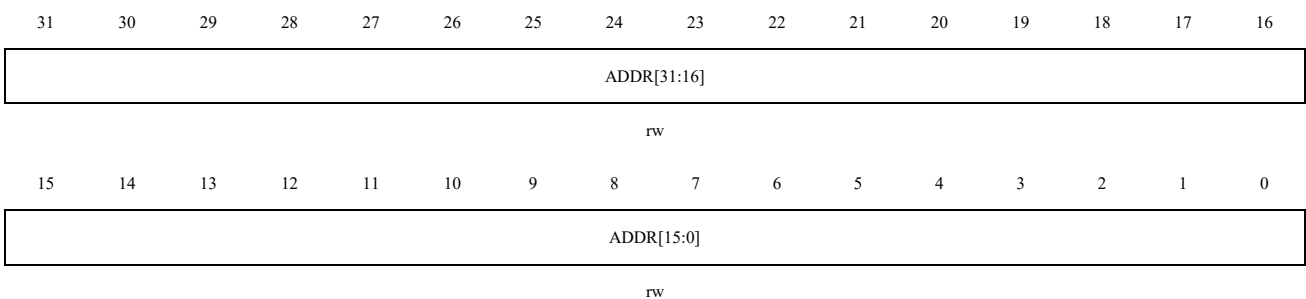


位域	名称	描述
31:0	ADDR	MMU 调试寄存器（一旦检测到 MMU_STS.BKWRE，就会被捕获并保存，直到软件清除 MMU_STS.BKWRE 标志）

### 10.5.39 MMU Backup SRAM 读错误地址寄存器(MMU\_BKRAD)

偏移地址: 0x026c

复位值: 0x00000000

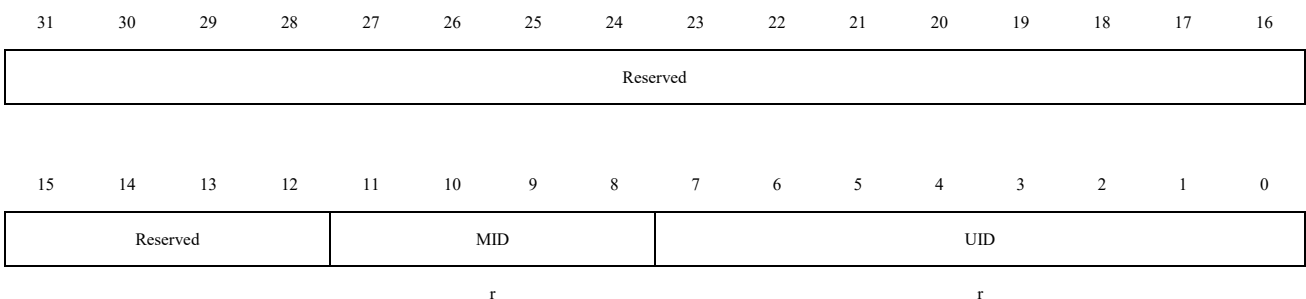


位域	名称	描述
31:0	ADDR	MMU 调试寄存器（一旦检测到 MMU_STS.BKRDE，就会被捕获并保存，直到软件清除 MMU_STS.BKRDE FLAG）

### 10.5.40 MMU ITCM SRAM 写错误调试寄存器(MMU\_ITWD)

偏移地址: 0x0270

复位值: 0x00000000



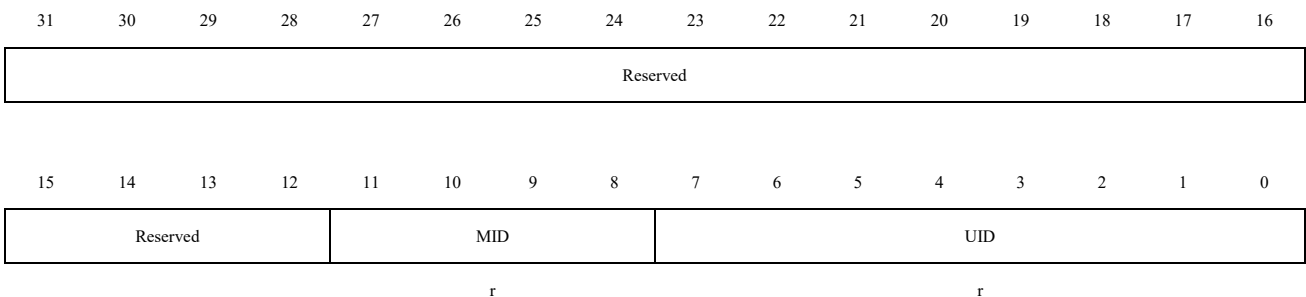
位域	名称	描述
31:12	Reserved	保留，必须保持复位值
11:8	MID	主机写错误 ID

		[0]: DEBUG,[1]: other non-cpu master(ETH/USB/etc),[2]: CM7,[3]: CM4 0: 无错误 1: 发生错误
7:0	UID	用户写错误 ID [0]:other_id(SDRAM,external SRAM,etc), [1]: nonsec_tcm/sram, [2]: sec_tcm/sram, [3]:non_sec_flash, [4] pfoer_flash, [5]: sec_flash, [6]: bootrom_api, [7]:sec_bootrom 0: 无错误 1: 发生错误

### 10.5.41 MMU ITCM SRAM 读错误调试寄存器(MMU\_ITRD)

偏移地址: 0x0274

复位值: 0x00000000

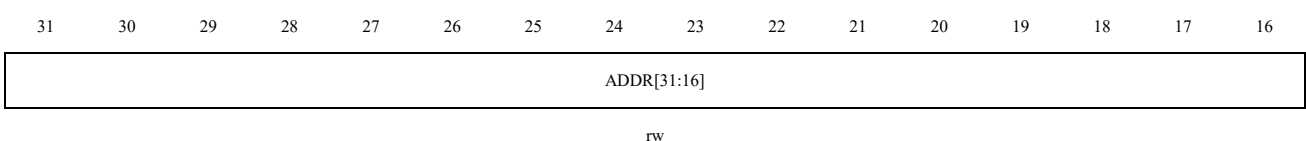


位域	名称	描述
31:12	Reserved	保留, 必须保持复位值
11:8	MID	主机读错误 ID [0]: DEBUG,[1]: other non-cpu master(ETH/USB/etc),[2]: CM7,[3]: CM4 0: 无错误 1: 发生错误
7:0	UID	用户读错误 ID [0]:other_id(SDRAM,external SRAM,etc), [1]: nonsec_tcm/sram, [2]: sec_tcm/sram, [3]:non_sec_flash, [4] pfoer_flash, [5]: sec_flash, [6]: bootrom_api, [7]:sec_bootrom 0: 无错误 1: 发生错误

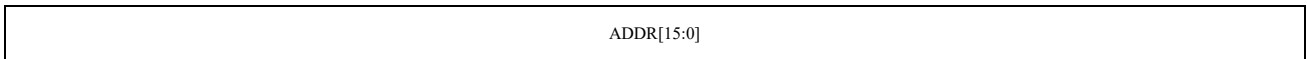
### 10.5.42 MMU ITCM SRAM 写错误地址寄存器(MMU\_ITWAD)

偏移地址: 0x0278

复位值: 0x00000000



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



rw

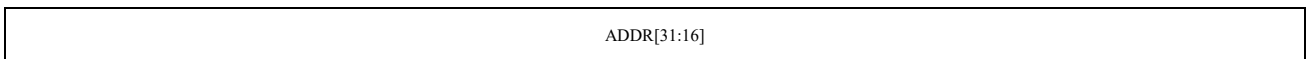
位域	名称	描述
31:0	ADDR	MMU 调试寄存器（一旦检测到 MMU_STS.ITWRE，就会被捕获并保存，直到软件清除 MMU_STS.ITWRE FLAG）

### 10.5.43 MMU ITCM SRAM 读错误地址寄存器(MMU\_ITRAD)

偏移地址: 0x027c

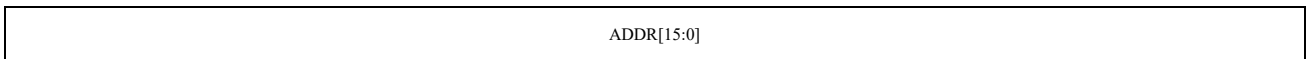
复位值: 0x00000000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



rw

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



rw

位域	名称	描述
31:0	ADDR	MMU 调试寄存器（一旦检测到 MMU_STS.ITRDE，就会被捕获并保存，直到软件清除 MMU_STS.ITRDE FLAG）

## 11 实时 AES 解密

### 11.1 介绍

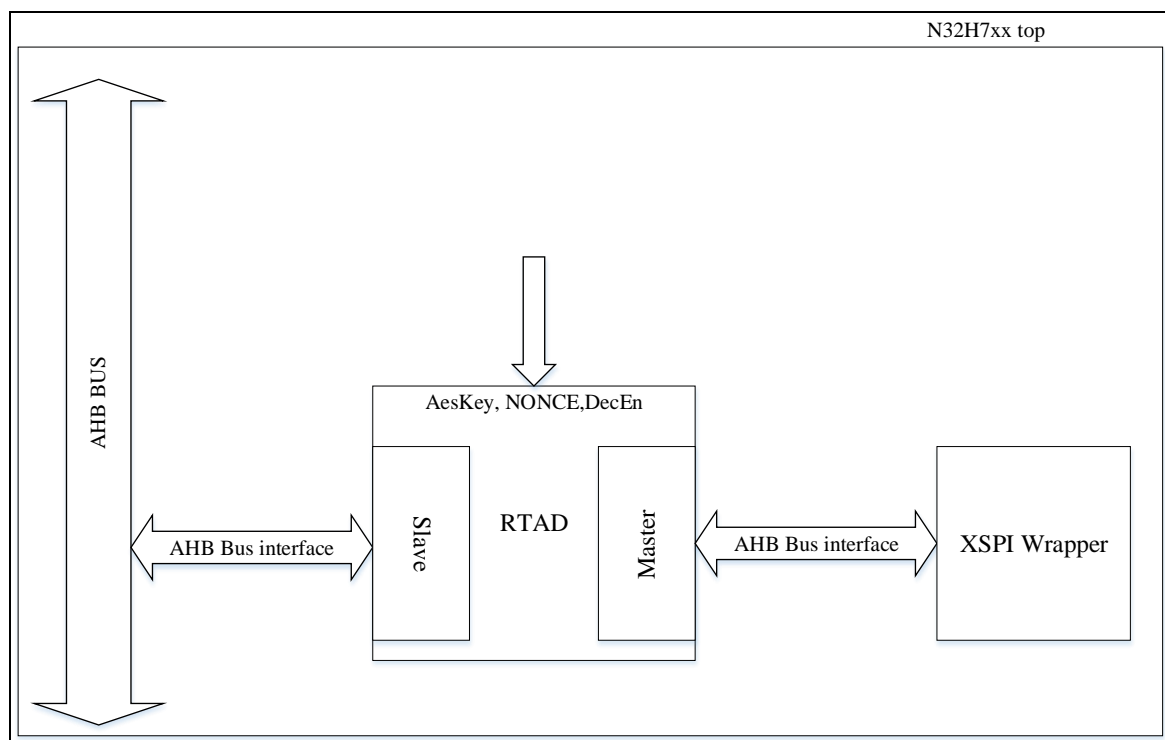
实时 AES 解密 (RTAD) 引擎是一个模块, 位于 AHB 总线矩阵和 xSPI 控制器之间 (仅支持 XSPI1, 不支持 XSPI2)。当 xSPI 在 XIP 模式下运行时, 它对数据执行实时 AES 128 位解密。

### 11.2 主要特点

- 在 XIP 模式下运行时对来自 xSPI 的数据进行实时解密。
- 它使用 AES-128 计数器模式进行解密。
- 128 位数据块的内存对齐方式与内存映射地址保持一致, 且该内存映射地址对齐至地址的低 4 位。即地址的低 4 位用于寻址块内的 128 位 (16 字节) 数据。
- 仅执行解密, 因为加密是在离线模式下完成的, 并通过非 XIP 模式写入 SPI 闪存。
- 支持 AHB-32 从属接口和面向 xSPI 控制器的主侧 AHB-32 接口。
- 支持所有 AHB3 传输类型, 包括 WRAP 突发类型。
- 足够的缓冲区以处理 AHB 包裹突发, 从而最大限度地减少从 SPI 闪存重新获取数据的情况。

### 11.3 框图

图 11-1 RTAD 框图





## 11.4 功能描述

RTAD 在 XIPREAD 模式下（仅当加密离线完成并通过非 XIP 模式写入 SPI 闪存时）对来自 xSPI（仅 xSPI1）的数据执行实时 AES 128 位解密。

### 11.4.1 编程指南

操作流程如下：

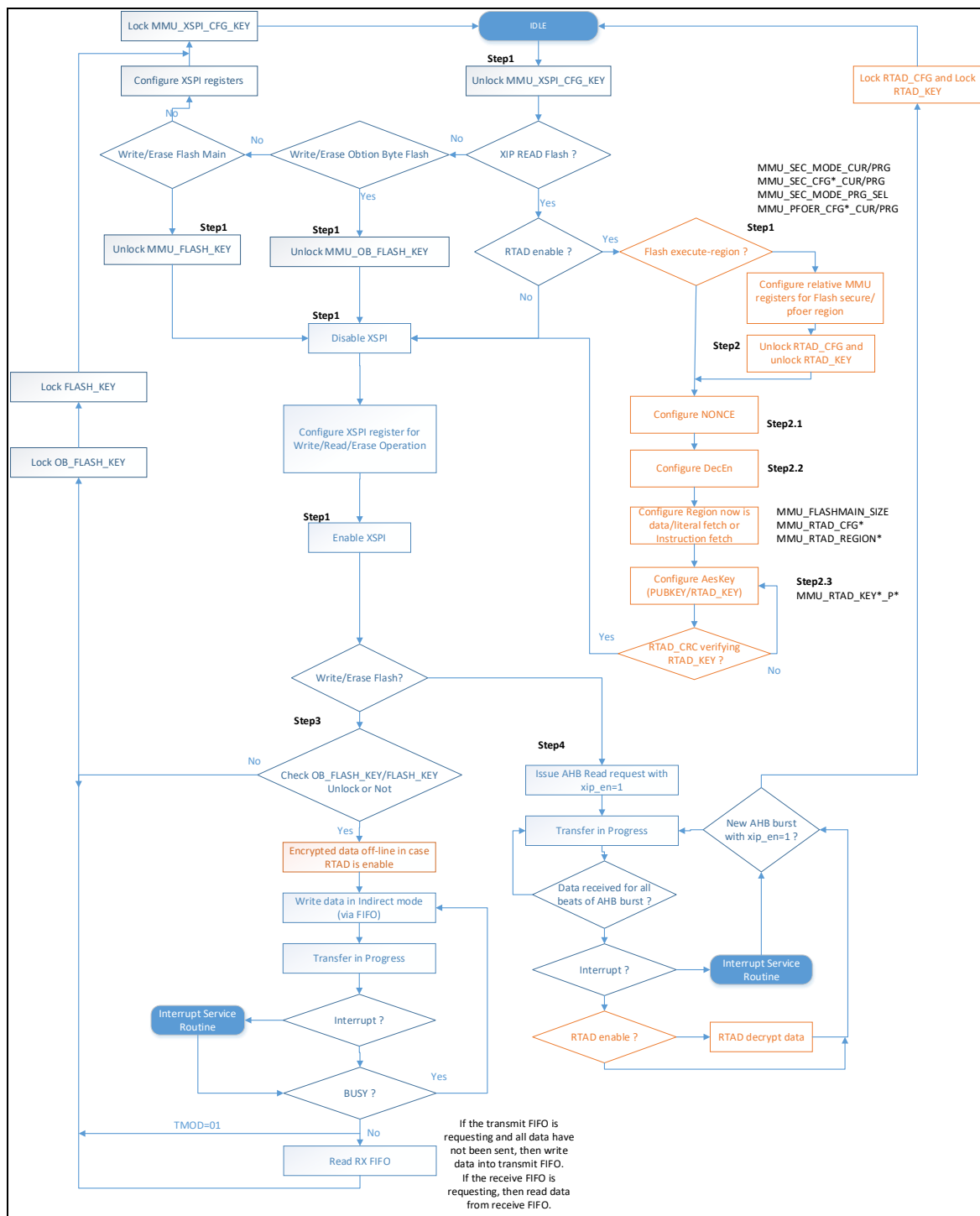
- 1) 如果启用 RTAD，通过配置 MMU\_RTADCx (x= 1~4)解锁 RTAD\_KEY 和 RTAD\_CFG，然后开始配置 RTAD 功能。
- 2) 配置 NONCE。

用于 RTAD 算法的 NONCE 96 位由 AFIO 寄存器配置（详细信息请参阅 AFIO 用户手册-寄存器概述），如下所示：

- AFIO\_XSPI1\_DEC\_NONCE2
  - AFIO\_XSPI1\_DEC\_NONCE1
  - AFIO\_XSPI1\_DEC\_NONCE0。
- 3) 配置 RTAD 工作模式并启用 RTAD
    - 设置 MMU\_RTADCx.REN 以启用 RTAD。
    - 通过 MMU\_RTADCx (x = 1~4)寄存器的 RMODE[1:0]字段和 RPROPERTY[1:0]字段配置 Flash 区域现在是数据/字面值获取还是指令获取。
    - 配置 MMU\_RTRx (x = 1~4) 中的 RBEG[12:0]和 REND[12:0]字段的解码区域。
  - 4) 将 AesKey 配置为 MMU\_RTKxPx
    - AesKey 用于 AES 128 位解密算法，并根据您访问的区域选择。
    - 当访问 Flash 主存时，如果 Flash 主存被 MMU\_RTRx 寄存器确定的区域划分（XIP 读取地址在 MMU\_RTRx 的 RBEG[12:0]和 REND[12:0]字段范围内），则 AesKey 由 MMU\_RTKxPx 确定。
  - 5) AesKey 验证
    - 在将密钥写入 MMU\_RTKxPy(x = 1~4, y = 0~3)后，硬件将从 MMU\_RTKxPy 计算 RTAD\_CRC，然后从 MMU\_RTCRC[31:0]寄存器读取以进行验证。
    - CRC 多项式 0x04C11DB7，初始值 0xFFFF\_FFFF。

在上述步骤之后，RTAD 将从 xSPI Flash 解密数据（xSPI 必须在 XIP 模式下工作）。操作的详细描述如下图表所示。

图 11-2 RTAD 工作流程图



### 11.4.2 寄存器总览概览

详细内容请参考 AFIO 和 MMU 的寄存器描述。

## 12 GPIO 和 AFIO

### 12.1 概述

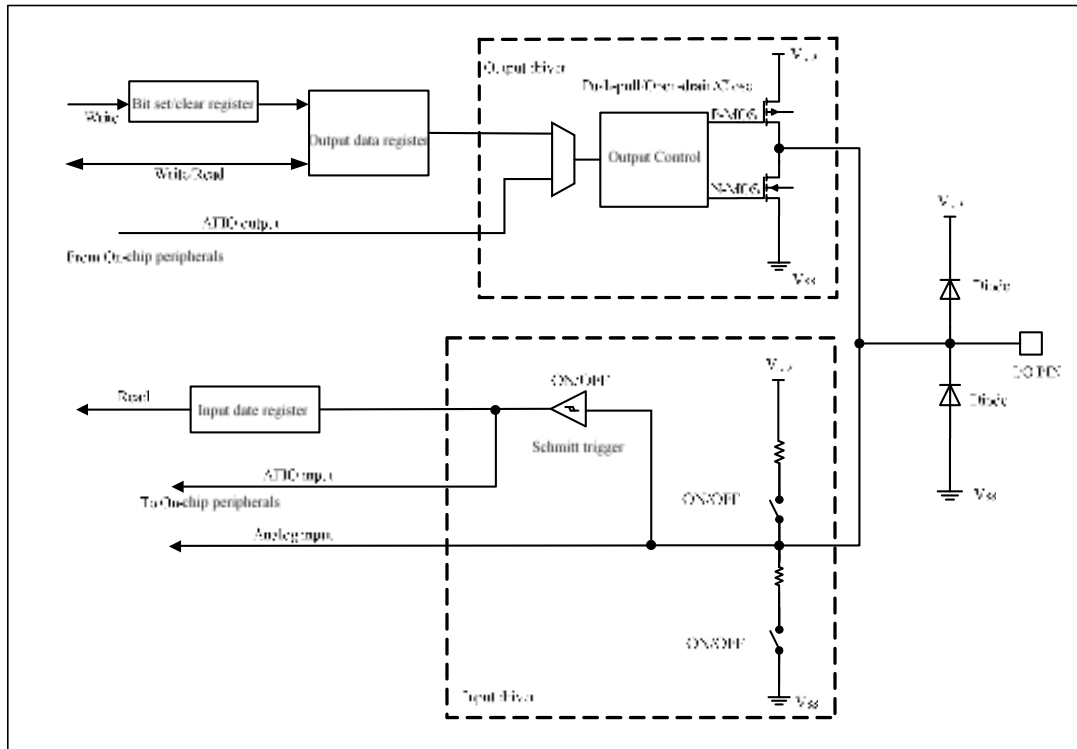
GPIO (General purpose input/output) 即通用型 I/O, AFIO (Alternate-function input/output) 即复用功能 I/O。芯片最多支持 168 个 GPIO, 共被分为 11 组 (GPIOA/GPIOB/GPIOC/GPIOD/GPIOE/GPIOF/GPIOG/GPIOH/GPIOI/GPIOJ/GPIOK), 每组 16 个端口 (K 组总共 8 个端口)。GPIO 端口和其他的复用外设共用引脚, 用户可以根据需求灵活配置。每个 GPIO 引脚都可以独立配置成输出 (推挽或开漏)、输入 (浮空、上拉或下拉) 或复用的外设功能端口。除了模拟功能引脚外, 其他的 GPIO 引脚都有大电流通过能力。

GPIO 端口特性如下:

- 每个 GPIO 端口可由软件分别配置成以下模式:
  - ◆ 输入浮空
  - ◆ 输入上拉
  - ◆ 输入下拉
  - ◆ 模拟功能
  - ◆ 开漏输出, 上下拉可配置
  - ◆ 推挽输出, 上下拉可配置
  - ◆ 推挽复用功能, 上下拉可配置
  - ◆ 开漏复用功能, 上下拉可配置
- 独立的位设置或位清除功能
- 所有 IO 支持外部中断
- 所有 IO 支持低功耗模式唤醒, 上升或下降沿可配置
  - ◆ 16 个 EXTI 可用于 SLEEP 模式、STOP0 模式、STOP2 模式唤醒, 所有 IO 可复用为 EXTI
  - ◆ PA0/PA2/PC1/PC13/PI8/PI11 可用于 STANDBY 模式唤醒
- 支持软件重映射 IO 复用功能
- 支持 GPIO 锁定机制, 锁定后只能通过复位清除

每个 I/O 端口位都可以任意编程, 但 I/O 端口寄存器可以按照 32 位字、16wei2 半字或 8 位字节进行访问, 因为它使用 AHB 接口 (除了 AFIO 寄存器, 它只支持 32 位字访问)。

图 12-1 I/O 端口的基本结构



大多数 I/O 端口可以配置为兼容 5V。

## 12.2 IO 功能描述

### 12.2.1 IO 模式配置

IO 的模式控制由配置寄存器 GPIOx\_PMODE、GPIOx\_POTYPE 以及 GPIOx\_PUPD(x= A,B,C,D,E,F,G,H,I,J,K) 来设置，不同的操作模式下的配置如下表所示：

表 12-1 IO 端口配置表

PMODE[1:0]	POTYPE	PUPD[1:0]		I/O 配置
01	0	0	0	通用输出推挽 (Push-Pull)
	0	0	1	通用输出推挽 (Push-Pull) + 上拉
	0	1	0	通用输出推挽 (Push-Pull) + 下拉
	0	1	1	保留
	1	0	0	通用输出开漏 (Open-Drain)
	1	0	1	通用输出开漏 (Open-Drain) + 上拉
	1	1	0	通用输出开漏 (Open-Drain) + 下拉
10	0	0	0	复用功能+推挽 (Push-Pull)
	0	0	1	复用功能+推挽 (Push-Pull) + 上拉
	0	1	0	复用功能+推挽 (Push-Pull) + 下拉
	0	1	1	保留

PMODE[1:0]	POTYPE	PUPD[1:0]		I/O 配置
	1	0	0	复用功能+开漏 (Open-Drain)
	1	0	1	复用功能+开漏 (Open-Drain) +上拉
	1	1	0	复用功能+开漏 (Open-Drain) +下拉
	1	1	1	保留
00	x	0	0	浮空输入
	x	0	1	上拉输入
	x	1	0	下拉输入
	x	1	1	保留
11	x	0	0	模拟模式
	x	0	1	保留
	x	1	0	
	x	1	1	

IO 在不同的配置下的输入输出特性如下表所示：

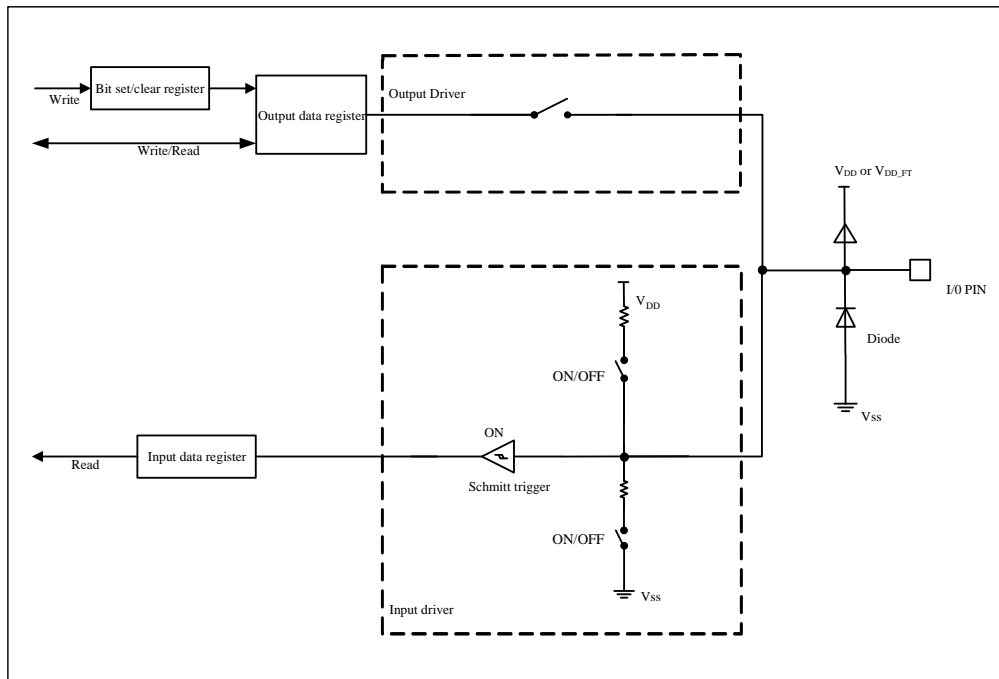
表 12-2 IO 不同配置的输入输出特性

特性	GPIO输入	GPIO输出	模拟模式	外设复用
输出缓冲器	禁能	使能	禁能	根据外设功能自动配置
施密特触发器	使能	使能	禁能 输出值被强制为0	使能
上下拉/浮空	可配	可配	禁能	可配
开漏模式	禁能	可配, 输出数据为“0”时GPIO输出 0, “1”时GPIO高阻	禁能	可配, 输出数据为“0”时GPIO输出 0, “1”时GPIO高阻
推挽模式	禁能	可配, 输出数据为“0”时GPIO输出 0, “1”时GPIO输出1	禁能	可配, 输出数据为“0”时GPIO输出 0, “1”时GPIO输出1
输入数据寄存器 (IO状态)	可读	可读	读出为0	可读
输出数据寄存器 (写入值)	无效	可读写	无效	可读

### 12.2.1.1 输入模式

当 I/O 端口配置为输入模式时：

- 输出缓冲器被禁止
- 施密特触发输入被激活
- 根据 GPIOx\_PUPD 寄存器的值决定是否打开弱上拉或弱下拉电阻
- 出现在 I/O 脚上的数据被采样到输入数据寄存器
- 对输入数据寄存器的访问可以得到 I/O 状态

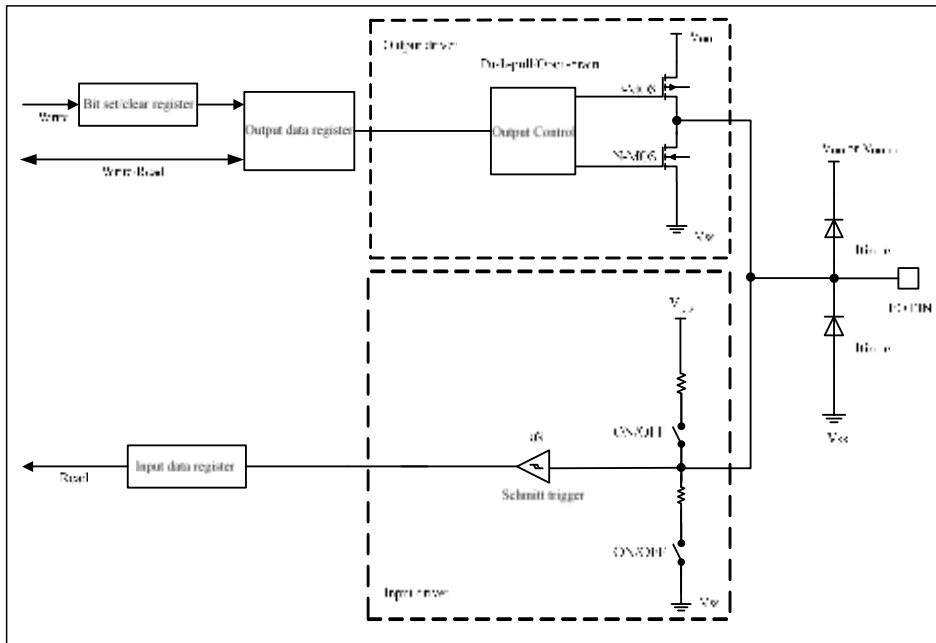
**图 12-2 输入浮空/上拉/下拉/复用配置**


### 12.2.1.2 输出模式

当 I/O 端口配置为输出时：

- 输出缓冲器被激活
  - ◆ 开漏模式： 输出寄存器上的'0'激活 N-MOS，引脚输出低电平  
输出寄存器上的'1'使端口置于高阻状态（P-MOS 从不被激活）
  - ◆ 推挽模式： 输出寄存器上的'0'激活 N-MOS，引脚输出低电平  
输出寄存器上的'1'激活 P-MOS，引脚输出高电平
- 施密特触发输入被激活
- 根据 GPIOx\_PUPD 寄存器的值决定是否打开弱上拉或弱下拉电阻
- 出现在 I/O 脚上的数据被采样到输入数据寄存器
- 对输入数据寄存器的读访问可得到 I/O 状态
- 对输出数据寄存器的读访问可得到最后写入的值

图 12-3 输出模式配置

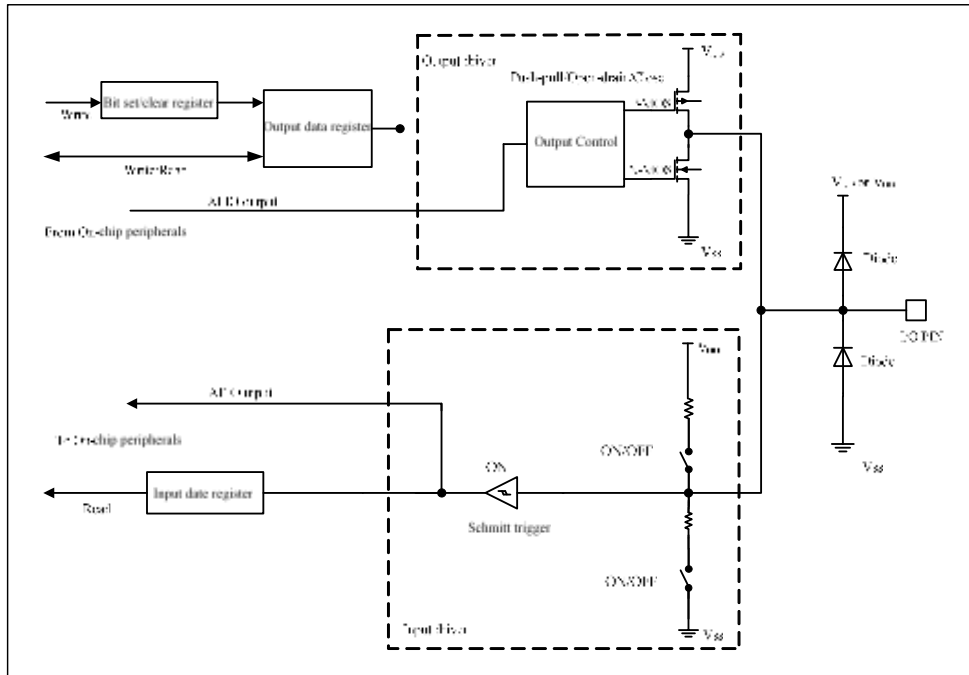


### 12.2.1.3 复用功能模式

当 I/O 端口配置为复用功能时：

- 在开漏或推挽配置中，输出缓冲器由外设控制
- 施密特触发输入被激活
- 根据 GPIOx\_PUPD 寄存器的值决定是否打开弱上拉或弱下拉电阻
- 带有内置外设的信号驱动输出缓冲区
- 出现在 I/O 脚上的数据被采样到输入数据寄存器
- 对输入数据寄存器的读访问可得到 I/O 状态

图 12-4 复用功能配置

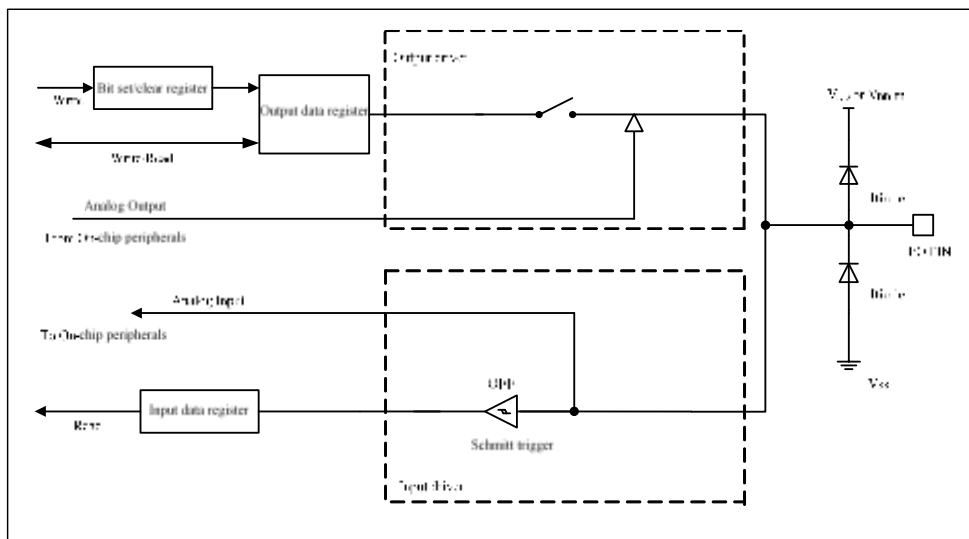


### 12.2.1.4 模拟模式

当 I/O 端口被配置为模拟模式时：

- 输出缓冲器被禁止
- 施密特触发输入被禁止，输出值被强置为'0'（实现了每个模拟 I/O 引脚上的零消耗）
- 弱上拉和下拉电阻被禁止
- 读取输入数据寄存器时数值为'0'

图 12-5 高阻抗的模拟模式配置





## 12.2.2 复位后状态

复位期间和刚复位后，复用功能未开启，绝大部分 I/O 端口被配置成模拟功能模式（GPIOx\_PMODE.PMODEy[1:0]=11b）。但以下几个特殊端口需要注意：

- PH0-OSC\_IN、PH1-OSC\_OUT 默认无 GPIO 功能：
  - ◆ PH0-OSC\_IN、PH1-OSC\_OUT 引脚默认为 OSC\_IN、OSC\_OUT 引脚，置于模拟模式
- 复位后，调试系统相关的引脚默认状态为启动 SWD-JTAG，JTAG 引脚被置于输入上拉或下拉模式：
  - ◆ PA15: JTDI 置于上拉输入模式
  - ◆ PA14: JTCK 置于下拉输入模式
  - ◆ PA13: JTMS 置于上拉输入模式
  - ◆ PB4: NJTRST 置于上拉输入模式
  - ◆ PB3: JTDO 置于浮空输入模式
- PC13、PC14、PC15：
  - ◆ PC13~15 为备电域下的三个 IO，备份域初次上电默认为模拟模式；
- BOOT0：
  - ◆ 通电时默认模式为输入下拉模式。启动判断完成后，进入模拟模式

## 12.2.3 单独的位设置和位清除

通过将置位寄存器（GPIOx\_PBSC）和复位寄存器（GPIOx\_PBC）中要改变的位写“1”，可以实现数据寄存器（GPIOx\_POD）的单独位操作，可以设置/复位一个或多个位，写入'1'的位相应置位或清除，未写入'1'的位不会改变。软件不需要禁止中断，并且在单次 AHB 写操作里完成。

## 12.2.4 外部中断/唤醒线

所有端口都有外部中断能力，可以在 EXTI 模块中配置：

- 端口必须配置成输入模式
- 所有端口可配置用于 SLEEP/STOP0/STOP2 模式唤醒，支持上升或下降沿可配
- PA0/PA2/PC1/PC13/PI8/PI11 可用于 STANDBY 模式唤醒
- 所有 I/O 端口可任意连接到 16 个外部中断/事件线上，由寄存器 AFIO\_EXTI\_CFGx 配置

## 12.2.5 复用功能

当 I/O 口配置为复用功能模式时，必须在使用前对端口模式寄存器（GPIOx\_PMODE）、输出类型寄存器（GPIOx\_POTYPE 配置为推挽或开漏）以及复用功能配置寄存器进行编程，具体如下：

- 复用输入功能：端口必须配置为输入模式（浮空、上拉或下拉）且输入引脚必须由外部驱动。
- 复用输出功能：端口必须配置成复用输出模式（推挽或开漏）。

- 双向复用功能：端口必须配置成复用输出模式（推挽或开漏）。此时，输入驱动器被自动配置成浮空输入模式。
- 必须同时编程复用功能配置寄存器，将端口重映射为期望的复用功能。

端口在复用输出模式下，引脚和输出数据寄存器断开，并和片上外设的输出信号连接。如果软件把一个 GPIO 脚配置成复用输出功能，但是外设没有被激活，它的输出将不确定。

### 12.2.5.1 时钟输出 MCO

微控制器允许输出时钟信号到外部 MCO 管脚，共两路 MCO 输出（MCO1/MCO2），可通过 PA8/PC9 管脚输出。MCO 管脚必须被配置为复用推挽输出模式。MCO1 时钟的时钟信号可以从以下六个时钟信号中选择，由时钟配置寄存器 `RCC_CFG3.MCO1SEL[3:0]` 控制：

- MSI
- HSI
- HSE
- PLL3\_B
- LSI
- LSE

MCO2 时钟的时钟信号可以从以下六个时钟信号中选择，由时钟配置寄存器 `RCC_CFG3.MCO2SEL[3:0]` 控制：

- SYS\_CLK
- PLL1\_A
- PLL2\_A
- PLL3\_A
- SHRPLL
- LSE

MCO1和MCO2信号映射关系如下表所示：

表 12-3 MCO 复用功能重映射

复用功能	GPIO 端口	重映射
MCO1	PA8	AF15
MCO2	PC9	AF15

### 12.2.5.2 备电域 PC13/PC14/PC15 功能重映射

PC14/PC15 的模式按照下面优先级顺序决定：

- 当 LSE 使能（`RCC_BDCTRL.LSEEN` 置位），PC14/PC15 管脚会被强制为模拟模式。如果 LSE 配置为外部时钟模式（`RCC_BDCTRL.LSEBP` 置位），PC14（`OSC32_IN`）强制为模拟模式，PC15（`OSC32_OUT`）还可用作其他用途。
- 如果 LSE 没有使能，且备电域由 VDD 供电时，PC14/PC15 可用作 GPIO。

PC13 的模式按照下面优先级顺序决定：

- 当启用 RTC-OUT（闹钟输出、校准时钟输出、自动唤醒输出或入侵事件输出）时，PC13 用作 RTC 输出引脚。
- 当 RTC-OUT 被禁用且 RTC-TAMP1 被启用时，PC13 用作入侵检测输入引脚
- 如果上述功能都未使能，且备电域由 VDD 供电时，PC13 可用作 GPIO。

PC13~PC15 不同模式的配置条件如下表所示：

PC14和PC15	条件	PAD模式配置	优先级
LSE	LSE使能	模拟模式	高
GPIO	LSE关闭，备份域由VDD供电，且不进入低功耗模式（STANDBY, STOP0）。	GPIO的模式由应用决定	低
PC13	条件	PAD模式配置	
RTC-OUT	闹钟输出、校准时钟输出、自动唤醒输出或入侵事件输出使能	复用推挽输出	高
RTC-TAMP1	RTC-OUT1禁用，RTC-TAMP1使能	浮空输入	中
GPIO	RTC-TAMP1禁用，RTC-OUT禁用，备份域由VDD供电，且不进入低功耗模式（STANDBY, STOP0）时	GPIO的模式由应用决定	低

PC14~PC15 用作 GPIO 时，可配置为时间戳触发输入管脚，详见下表：

表 12-4 时间戳输入复用功能重映射

复用功能	GPIO端口	重映射
时间戳触发输入	PC13	AF9
	PC14	AF9
	PC15	AF9

### 12.2.5.3 HSE/LSE 管脚用作 GPIO 端口

HSE 的 OSC\_IN 和 OSC\_OUT 分别映射到 PH0 和 PH1, LSE 的 OSC32\_IN 和 OSC32\_OUT 分别映射到 PC14 和 PC15。如果 HSE 或 LSE 关闭，相应管脚可以用作 GPIO。如果 HSE 或 LSE 开启，相应管脚进入模拟模式并绕开 GPIO 配置。

HSE 或 LSE 配置为旁路模式时，管脚保持为外部时钟输入，OSC\_OUT 或 OSC32\_OUT 仍然可以用作 GPIO。

### 12.2.5.4 JTAG/SWD 复用功能重映射

芯片上电默认使能 SWD-JTAG 调试接口，调试接口被映射到 GPIO 端口上，如下表所示。

复用功能	GPIO端口	重映射
JTMS/SWDIO	PA13	AF15
JTCK/SWCLK	PA14	AF15
JTDI	PA15	AF15
JTDO	PB3	AF15
NJTRST	PB4	AF15

如果在调试过程中需要使用其 GPIO 功能，可以通过设置调试 IO 复用功能配置寄存器（GPIOx\_AFL 或

GPIOx\_AFH) 来更改上述重映射配置。

#### 12.2.5.4.1 上下拉配置

由于 JTAG 的引脚直接连接到内部的调试寄存器上(JTCK/SWCLK 直接连接到时钟端),因此必须保证 JTAG 的输入引脚不能处于浮空态。为了避免任何非可控的 IO 电平, JTAG 的输入引脚固定内部的上下拉:

- NJTRST: 内部上拉
- JTDI: 内部上拉
- JTMS/SWDIO: 内部上拉
- JTCK/SWCLK: 内部下拉

*注意: 一旦JTAG接口被用户软件释放, GPIO控制器重新获得控制权, 需要保证GPIO寄存器的复位态和上述保持一致。*

#### 12.2.5.5 SHRTIMx 复用功能重映射

##### 12.2.5.5.1 SHRTIM1 复用功能重映射

外部事件输入 SHRTIM1\_EXEVx (x=1~10) 和 SHRTIM1\_FILT<sub>x</sub> (x=1~6) 可以映射到某些引脚, 在 AFIO\_SHRT1\_EXEV\_CFG<sub>x</sub> (x=1,2) 和 AFIO\_SHRT1\_FALT\_SEL 寄存器中进行配置(引脚名称在寄存器位描述中列出)。有关其他信号映射关系, 请参考下表。

表 12-5 SHRTIM1 复用功能重映射

复用功能	GPIO 端口	重映射
SHRTIM1_CHA1	PC6	AF7
SHRTIM1_CHA2	PC7	AF7
SHRTIM1_CHB1	PC8	AF4
SHRTIM1_CHB2	PA8	AF3
SHRTIM1_CHC1	PA9	AF5
SHRTIM1_CHC2	PA10	AF3
SHRTIM1_CHD1	PA11	AF4
SHRTIM1_CHD2	PA12	AF3
SHRTIM1_CHE1	PG6	AF5
SHRTIM1_CHE2	PG7	AF5
SHRTIM1_CHF1	PG4	AF6
SHRTIM1_CHF2	PG5	AF7
SHRTIM1_SCIN	PB11	AF3
	PE0	AF5
SHRTIM1_SCOUT	PB10	AF6
	PE1	AF5

##### 12.2.5.5.2 SHRTIM2 复用功能重映射

外部事件输入 SHRTIM2\_EXEVx (x=1~10) 和 SHRTIM2\_FILT<sub>x</sub> (x=1~6) 可以映射到某些引脚, 在 AFIO\_SHRT2\_EXEV\_CFG<sub>x</sub>(x=1,2) 和 AFIO\_SHRT2\_FALT\_SEL 寄存器中进行配置(引脚名称列在寄存器位描述中)。有关其他信号映射关系, 请参阅下表。

**表 12-6 SHRTIM2 复用功能重映射**

复用功能	GPIO 端口	重映射
SHRTIM2_CHA1	PF0	AF5
SHRTIM2_CHA2	PF1	AF6
SHRTIM2_CHB1	PF2	AF6
SHRTIM2_CHB2	PF3	AF6
SHRTIM2_CHC1	PF4	AF7
SHRTIM2_CHC2	PF5	AF6
SHRTIM2_CHD1	PH2	AF6
SHRTIM2_CHD2	PH3	AF5
SHRTIM2_CHE1	PH4	AF4
SHRTIM2_CHE2	PH5	AF4
SHRTIM2_CHF1	PF14	AF4
SHRTIM2_CHF2	PF15	AF5
SHRTIM2_SCIN	PD8	AF4
	PG2	AF5
SHRTIM2_SCOUT	PD9	AF3
	PG3	AF3

### 12.2.5.6 ATIMx 复用功能重映射

#### 12.2.5.6.1 ATIM1 复用功能重映射

**表 12-7 ATIM1 复用功能重映射**

复用功能	GPIO 端口	重映射
ATIM1_ETR	PA12	AF5
	PG5	AF8
	PE7	AF6
ATIM1_CH1	PA8	AF4
	PK1	AF4
	PE9	AF6
ATIM1_CH2	PA9	AF6
	PJ11	AF4
	PE11	AF5
ATIM1_CH3	PA10	AF4
	PJ9	AF3
	PE13	AF5
ATIM1_CH4	PA11	AF5
	PE14	AF6
ATIM1_BKIN1	PA6	AF8
	PE15	AF4
	PB12	AF6
	PK2	AF3

复用功能	GPIO 端口	重映射
ATIM1_BKIN2	PE6	AF4
	PG4	AF7
	PA12	AF4
ATIM1_CH1N	PA7	AF9
	PB13	AF6
	PE8	AF6
	PK0	AF4
ATIM1_CH2N	PJ10	AF4
	PB0	AF5
	PB14	AF6
	PE10	AF5
ATIM1_CH3N	PB1	AF7
	PB15	AF6
	PJ8	AF3
	PE12	AF6
ATIM1_CH4N	PB2	AF8
	PD10	AF5
	PH6	AF6

### 12.2.5.6.2 ATIM2 复用功能重映射

表 12-8 ATIM2 复用功能重映射

复用功能	GPIO 端口	重映射
ATIM2_ETR	PA0	AF5
	PG8	AF6
	PI3	AF7
ATIM2_CH1	PJ8	AF4
	PC6	AF8
	PI5	AF8
ATIM2_CH2	PJ6	AF3
	PJ10	AF5
	PI6	AF7
	PC7	AF8
ATIM2_CH3	PK0	AF5
	PC8	AF5
	PI7	AF8
ATIM2_CH4	PC9	AF9
	PI2	AF7
ATIM2_BKIN1	PA6	AF9
	PK2	AF4
	PG2	AF6

复用功能	GPIO 端口	重映射
	PI4	AF7
ATIM2_BKIN2	PG3	AF4
	PA8	AF5
	PI1	AF8
ATIM2_CH1N	PA5	AF8
	PA7	AF10
	PJ9	AF4
	PH13	AF5
ATIM2_CH2N	PB0	AF6
	PB14	AF7
	PJ7	AF3
	PJ11	AF5
ATIM2_CH3N	PH14	AF6
	PB1	AF8
	PB15	AF7
	PK1	AF5
ATIM2_CH4N	PH15	AF7
	PB2	AF9
	PI0	AF6

### 12.2.5.6.3 ATIM3 复用功能重映射

表 12-9 ATIM3 复用功能重映射

复用功能	GPIO 端口	重映射
ATIM3_ETR	PF6	AF6
	PH12	AF7
ATIM3_CH1	PF8	AF6
	PA6	AF10
	PH8	AF6
ATIM3_CH2	PF9	AF7
	PH10	AF6
ATIM3_CH3	PF10	AF5
	PD8	AF5
ATIM3_CH4	PF7	AF5
	PD14	AF5
ATIM3_BKIN1	PF5	AF7
	PH7	AF5
ATIM3_BKIN2	PI14	AF5
	PI15	AF4
ATIM3_CH1N	PH9	AF5
ATIM3_CH2N	PH11	AF5

复用功能	GPIO 端口	重映射
ATIM3_CH3N	PD9	AF4
ATIM3_CH4N	PD15	AF5

#### 12.2.5.6.4 ATIM4 复用功能重映射

表 12-10 ATIM4 复用功能重映射

复用功能	GPIO 端口	重映射
ATIM4_ETR	PF6	AF7
	PJ0	AF4
ATIM4_CH1	PF9	AF8
	PA7	AF11
	PJ1	AF5
ATIM4_CH2	PF10	AF6
	PJ3	AF4
ATIM4_CH3	PF7	AF6
	PJ12	AF5
ATIM4_CH4	PF8	AF7
	PJ14	AF3
ATIM4_BKIN1	PG0	AF7
	PD7	AF6
ATIM4_BKIN2	PJ5	AF4
	PK3	AF4
ATIM4_CH1N	PJ2	AF4
ATIM4_CH2N	PJ4	AF4
ATIM4_CH3N	PJ13	AF5
ATIM4_CH4N	PJ15	AF3

#### 12.2.5.7 GTIMx 复用功能重映射

##### 12.2.5.7.1 GTIM1 复用功能重映射

表 12-11 GTIM1 复用功能重映射

复用功能	GPIO 端口	重映射
GTIMA1_ETR	PA0	AF7
	PA5	AF10
	PA15	AF10
	PF4	AF8
GTIMA1_CH1	PF0	AF6
	PA0	AF6
	PA5	AF9
	PA15	AF9
GTIMA1_CH2	PF1	AF7
	PA1	AF4



复用功能	GPIO 端口	重映射
	PB3	AF8
GTIMA1_CH3	PF2	AF7
	PA2	AF3
	PB10	AF7
GTIMA1_CH4	PF3	AF7
	PA3	AF7
	PB11	AF4

### 12.2.5.7.2 GTIM2 复用功能重映射

表 12-12 GTIM2 复用功能重映射

复用功能	GPIO 端口	重映射
GTIMA2_ETR	PD2	AF7
	PB8	AF6
GTIMA2_CH1	PA6	AF11
	PC6	AF9
	PB4	AF10
GTIMA2_CH2	PA7	AF12
	PC7	AF9
	PB5	AF8
GTIMA2_CH3	PB0	AF7
	PC8	AF6
	PB6	AF4
GTIMA2_CH4	PB1	AF9
	PC9	AF10
	PB7	AF5

### 12.2.5.7.3 GTIM3 复用功能重映射

表 12-13 GTIM3 复用功能重映射

复用功能	GPIO 端口	重映射
GTIMA3_ETR	PD11	AF3
	PE0	AF6
GTIMA3_CH1	PD12	AF3
	PB6	AF5
GTIMA3_CH2	PD13	AF3
	PB7	AF6
GTIMA3_CH3	PD14	AF6
	PB8	AF7
GTIMA3_CH4	PD15	AF6
	PB9	AF6

### 12.2.5.7.4 GTIM4 复用功能重映射

表 12-14 GTIM4 复用功能重映射

复用功能	GPIO 端口	重映射
GTIMA4_ETR	PA4	AF10
	PH8	AF7
GTIMA4_CH1	PA0	AF8
	PH10	AF7
GTIMA4_CH2	PA1	AF5
	PH11	AF6
GTIMA4_CH3	PA2	AF4
	PH12	AF8
GTIMA4_CH4	PA3	AF8
	PI0	AF7

### 12.2.5.7.5 GTIM5 复用功能重映射

表 12-15 GTIM5 复用功能重映射

复用功能	GPIO 端口	重映射
GTIMA5_ETR	PB2	AF10
	PG3	AF5
GTIMA5_CH1	PF0	AF7
	PF6	AF8
	PG12	AF9
GTIMA5_CH2	PF1	AF8
	PF7	AF7
	PG13	AF7
GTIMA5_CH3	PF2	AF8
	PF8	AF8
	PG14	AF8
GTIMA5_CH4	PF3	AF8
	PF9	AF9

### 12.2.5.7.6 GTIM6 复用功能重映射

表 12-16 GTIM6 复用功能重映射

复用功能	GPIO 端口	重映射
GTIMA6_ETR	PG2	AF7
	PB3	AF9
GTIMA6_CH1	PF11	AF4
	PK4	AF4
GTIMA6_CH2	PF12	AF5
	PK5	AF4

复用功能	GPIO 端口	重映射
GTIMA6_CH3	PF13	AF6
	PK6	AF4
GTIMA6_CH4	PF14	AF5
	PK7	AF4

### 12.2.5.7.7 GTIM7 复用功能重映射

表 12-17 GTIM7 复用功能重映射

复用功能	GPIO 端口	重映射
GTIMA7_ETR	PI11	AF5
	PI14	AF6
GTIMA7_CH1	PH6	AF7
	PB14	AF8
GTIMA7_CH2	PH9	AF6
	PB15	AF8
GTIMA7_CH3	PI9	AF5
	PI12	AF5
GTIM7_CH4	PI10	AF6
	PI13	AF5

### 12.2.5.7.8 GTIMB1 复用功能重映射

表 12-18 GTIMB1 复用功能重映射

复用功能	GPIO 端口	重映射
GTIMB1_ETR	PE2	AF5
	PG1	AF8
GTIMB1_CH1N	PE4	AF5
	PA1	AF6
GTIMB1_CH1P	PE5	AF5
	PA2	AF5
	PC12	AF9
GTIMB1_CH2	PE6	AF5
	PA3	AF9
GTIMB1_CH3	PE0	AF7
GTIMB1_CH4	PE1	AF6
GTIMB1_BRK	PE3	AF3
	PA0	AF9
	PD2	AF8

### 12.2.5.7.9 GTIMB2 复用功能重映射

表 12-19 GTIMB2 复用功能重映射

复用功能	GPIO 端口	重映射
GTIMB2_ETR	PF2	AF9
	PD5	AF5
GTIMB2_CH1N	PF8	AF9
	PD0	AF5
	PB6	AF6
GTIMB2_CH1P	PF6	AF9
	PD1	AF4
	PB8	AF8
GTIMB2_CH2	PF5	AF8
	PD2	AF9
GTIMB2_CH3	PF4	AF9
	PD3	AF6
GTIMB2_CH4	PF3	AF9
	PD4	AF6
GTIMB2_BRK	PF10	AF7
	PB4	AF11

### 12.2.5.7.10 GTIMB3 复用功能重映射

表 12-20 GTIMB3 复用功能重映射

复用功能	GPIO 端口	重映射
GTIMB3_ETR	PH5	AF5
	PI15	AF5
GTIMB3_CH1N	PF9	AF10
	PJ0	AF5
	PB7	AF7
GTIMB3_CH1P	PF7	AF8
	PJ1	AF6
	PB9	AF7
GTIMB3_CH2	PH2	AF7
	PJ2	AF5
GTIMB3_CH3	PH3	AF6
	PJ3	AF5
GTIMB3_CH4	PH4	AF5
	PJ4	AF5
GTIMB3_BRK	PG6	AF6
	PB5	AF9

### 12.2.5.8 LPTIMx 复用功能重映射

#### 12.2.5.8.1 LPTIM1 复用功能重映射

表 12-21 LPTIM1 复用功能重映射

复用功能	GPIO 端口	重映射
LPTIM1_ETR	PG14	AF9
	PE0	AF8
LPTIM1_IN1	PD12	AF4
	PG12	AF10
LPTIM1_IN2	PH2	AF8
	PG11	AF8
	PE1	AF7
LPTIM1_OUT	PD13	AF4
	PG13	AF8

#### 12.2.5.8.2 LPTIM2 复用功能重映射

表 12-22 LPTIM2 复用功能重映射

复用功能	GPIO 端口	重映射
LPTIM2_ETR	PB11	AF5
	PE0	AF9
LPTIM2_IN1	PB10	AF8
	PD12	AF5
LPTIM2_IN2	PB12	AF7
	PD11	AF4
LPTIM2_OUT	PB13	AF7
	PD10	AF6

#### 12.2.5.8.3 LPTIM3 复用功能重映射

表 12-23 LPTIM3 复用功能重映射

复用功能	GPIO 端口	重映射
LPTIM3_ETR	PI10	AF7
LPTIM3_IN1	PI8	AF4
LPTIM3_IN2	PI9	AF6
LPTIM3_OUT	PA1	AF7

#### 12.2.5.8.4 LPTIM4 复用功能重映射

表 12-24 LPTIM4 复用功能重映射

复用功能	GPIO 端口	重映射
LPTIM4_ETR	PF15	AF6
LPTIM4_IN1	PG0	AF8
LPTIM4_IN2	PG1	AF9
LPTIM4_OUT	PA2	AF6

### 12.2.5.8.5 LPTIM5 复用功能重映射

表 12-25 LPTIM5 复用功能重映射

复用功能	GPIO 端口	重映射
LPTIM5_ETR	PJ5	AF5
LPTIM5_IN1	PH6	AF8
LPTIM5_IN2	PH7	AF6
LPTIM5_OUT	PA3	AF10

### 12.2.5.9 FDCAN 复用功能重映射

#### 12.2.5.9.1 FDCAN1 复用功能重映射

表 12-26 FDCAN1 复用功能重映射

复用功能	GPIO 端口	重映射
FDCAN1_TX	PI8	AF5
	PA12	AF9
	PH13	AF7
	PD1	AF6
	PB9	AF9
FDCAN1_RX	PI9	AF8
	PA11	AF9
	PH14	AF9
	PD0	AF8
	PB8	AF10

#### 12.2.5.9.2 FDCAN2 复用功能重映射

表 12-27 FDCAN2 复用功能重映射

复用功能	GPIO 端口	重映射
FDCAN2_TX	PH9	AF9
	PB13	AF10
	PB6	AF10
FDCAN2_RX	PH8	AF10
	PB12	AF10
	PB5	AF11

#### 12.2.5.9.3 FDCAN3 复用功能重映射

表 12-28 FDCAN3 复用功能重映射

复用功能	GPIO 端口	重映射
FDCAN3_TX	PF7	AF10
	PF15	AF8
	PD13	AF7

复用功能	GPIO 端口	重映射
	PG9	AF8
FDCAN3_RX	PF6	AF11
	PF14	AF7
	PD12	AF9
	PG10	AF11

#### 12.2.5.9.4 FDCAN4 复用功能重映射

表 12-29 FDCAN4 复用功能重映射

复用功能	GPIO 端口	重映射
FDCAN4_TX	PE2	AF7
	PI10	AF8
	PF0	AF9
FDCAN4_RX	PE3	AF5
	PI11	AF6
	PF1	AF10

#### 12.2.5.9.5 FDCAN5 复用功能重映射

表 12-30 FDCAN5 复用功能重映射

复用功能	GPIO 端口	重映射
FDCAN5_TX	PF4	AF11
	PH4	AF8
	PE8	AF8
FDCAN5_RX	PF5	AF9
	PH5	AF8
	PE9	AF8

#### 12.2.5.9.6 FDCAN6 复用功能重映射

表 12-31 FDCAN6 复用功能重映射

复用功能	GPIO 端口	重映射
FDCAN6_TX	PI12	AF6
	PF12	AF6
	PE13	AF7
FDCAN6_RX	PI13	AF6
	PF13	AF8
	PE14	AF9

### 12.2.5.9.7 FDCAN7 复用功能重映射

表 12-32 FDCAN7 复用功能重映射

复用功能	GPIO 端口	重映射
FDCAN7_TX	PJ3	AF8
	PH6	AF10
	PJ6	AF4
	PG7	AF7
FDCAN7_RX	PJ4	AF7
	PH7	AF8
	PJ7	AF4
	PG8	AF8

### 12.2.5.9.8 FDCAN8 复用功能重映射

表 12-33 FDCAN8 复用功能重映射

复用功能	GPIO 端口	重映射
FDCAN8_TX	PJ0	AF7
	PJ8	AF8
	PG2	AF9
FDCAN8_RX	PJ1	AF8
	PJ9	AF8
	PG3	AF7

### 12.2.5.10 DVP 复用功能重映射

#### 12.2.5.10.1 DVP1 复用功能重映射

表 12-34 DVP1 复用功能重映射

复用功能	GPIO 端口	重映射
DVP1_PIXCLK	PF6	AF3
	PA6	AF3
DVP1_HSYNC	PA4	AF3
	PB2	AF4
	PH8	AF5
DVP1_VSYNC	PG9	AF4
	PB7	AF3
	PI5	AF6
DVP1_D0	PH9	AF4
	PC6	AF5
	PA9	AF2
DVP1_D1	PH10	AF5
	PC7	AF5
	PA10	AF2



复用功能	GPIO 端口	重映射
DVP1_D2	PH11	AF4
	PB13	AF3
	PC8	AF3
	PG10	AF7
	PE0	AF4
DVP1_D3	PH12	AF5
	PC9	AF4
	PG11	AF5
	PE1	AF4
DVP1_D4	PE4	AF3
	PH14	AF4
	PC11	AF3
DVP1_D5	PD3	AF3
	PB6	AF3
	PI4	AF5
DVP1_D6	PE5	AF3
	PB8	AF5
	PI6	AF5
DVP1_D7	PE6	AF2
	PB9	AF4
	PI7	AF6
DVP1_D8	PH6	AF4
	PI1	AF5
	PC10	AF4
DVP1_D9	PJ5	AF2
	PH7	AF3
	PI2	AF4
	PC12	AF4
DVP1_D10	PI3	AF4
	PD6	AF4
	PB5	AF4
DVP1_D11	PF10	AF4
	PH15	AF5
	PD2	AF6
DVP1_D12	PF11	AF2
	PD12	AF2
	PG6	AF4
DVP1_D13	PJ4	AF2
	PD13	AF2
	PG7	AF4
	PI0	AF3

复用功能	GPIO 端口	重映射
	PG15	AF4
DVP1_D14	PJ3	AF2
	PD4	AF3
DVP1_D15	PJ2	AF2
	PD5	AF3
DVP1_MCLK	PB1	AF5

### 12.2.5.10.2 DVP2 复用功能重映射

表 12-35 DVP2 复用功能重映射

复用功能	GPIO 端口	重映射
DVP2_PIXCLK	PF7	AF3
	PH5	AF2
DVP2_HSYNC	PF8	AF4
	PH4	AF3
	PD8	AF3
DVP2_VSYNC	PF9	AF4
	PJ1	AF3
	PD9	AF2
DVP2_D0	PE2	AF3
	PF0	AF4
	PK3	AF3
DVP2_D1	PE3	AF2
	PF1	AF5
	PK4	AF3
DVP2_D2	PF2	AF4
	PI12	AF3
	PK5	AF3
DVP2_D3	PI13	AF3
	PF3	AF4
	PK6	AF3
DVP2_D4	PI14	AF3
	PF4	AF5
	PK7	AF3
DVP2_D5	PF5	AF4
	PF6	AF4
	PK2	AF2
DVP2_D6	PC2	AF5
	PF12	AF4
	PK1	AF2
DVP2_D7	PC3	AF5

复用功能	GPIO 端口	重映射
	PF13	AF4
	PK0	AF2
DVP2_D8	PF14	AF3
	PJ6	AF2
	PI4	AF6
DVP2_D9	PF15	AF4
	PJ7	AF2
	PI5	AF7
DVP2_D10	PG0	AF6
	PJ8	AF2
	PI6	AF6
DVP2_D11	PG1	AF6
	PJ9	AF2
	PI7	AF7
DVP2_D12	PB2	AF5
	PJ10	AF2
	PG2	AF4
	PJ15	AF2
DVP2_D13	PI15	AF3
	PJ11	AF2
	PG3	AF2
	PJ14	AF2
DVP2_D14	PB12	AF4
	PG4	AF5
	PJ13	AF4
DVP2_D15	PD11	AF2
	PG5	AF6
	PJ12	AF4
DVP2_MCLK	PG12	AF6

### 12.2.5.11 FEMC 复用功能重映射

表 12-36 FEMC 复用功能重映射

复用功能	GPIO 端口	重映射
FEMC_A0	PF0	AF3
FEMC_A1	PF1	AF4
	PC5	AF3
FEMC_A2	PF2	AF3
FEMC_A3	PF3	AF3
	PF10	AF8
FEMC_A4	PF4	AF4

复用功能	GPIO 端口	重映射
	PI2	AF1
FEMC_A5	PF5	AF3
FEMC_A6	PF12	AF3
FEMC_A7	PF13	AF3
	PI13	AF1
FEMC_A8	PF14	AF2
FEMC_A9	PF15	AF3
	PI14	AF1
FEMC_A10	PG0	AF5
	PA3	AF3
FEMC_A11	PG1	AF5
	PK2	AF0
FEMC_A12	PG2	AF3
	PK6	AF1
FEMC_A13	PG3	AF1
FEMC_A14	PG4	AF4
FEMC_A15	PG5	AF5
	PK7	AF1
FEMC_A16/FEMC_CLE	PD11	AF1
FEMC_A17/FEMC_ALE	PD12	AF1
FEMC_A18	PD13	AF1
FEMC_A19	PE3	AF1
	PA0	AF2
FEMC_A20	PE4	AF1
FEMC_A21	PE5	AF1
FEMC_A22	PE6	AF0
	PC4	AF3
FEMC_A23	PE2	AF2
FEMC_A24	PG13	AF3
FEMC_A25	PC0	AF3
	PG14	AF4
FEMC_D0/FEMC_DA0	PC1	AF8

复用功能	GPIO 端口	重映射
	PD14	AF4
	PI11	AF3
FEMC_D1/FEMC_DA1	PD15	AF4
FEMC_D2/FEMC_DA2	PD0	AF3
	PJ6	AF0
FEMC_D3/FEMC_DA3	PD1	AF3
	PJ7	AF0
FEMC_D4/FEMC_DA4	PE7	AF5
FEMC_D5/FEMC_DA5	PE8	AF5
	PJ10	AF0
FEMC_D6/FEMC_DA6	PE9	AF5
	PC12	AF2
	PJ11	AF0
FEMC_D7/FEMC_DA7	PE10	AF4
	PD2	AF3
	PK3	AF1
FEMC_D8/FEMC_DA8	PA4	AF1
	PE11	AF2
FEMC_D9/FEMC_DA9	PA5	AF2
	PE12	AF3
	PK4	AF1
FEMC_D10/FEMC_DA10	PE13	AF2
	PB14	AF2
FEMC_D11/FEMC_DA11	PE14	AF3
	PB15	AF2
	PK5	AF1
FEMC_D12/FEMC_DA12	PC0	AF4
	PE15	AF2
FEMC_D13/FEMC_DA13	PD8	AF2
	PB10	AF2
FEMC_D14/FEMC_DA14	PD9	AF1
FEMC_D15/FEMC_DA15	PD10	AF3
	PB11	AF1
FEMC_D16	PH8	AF3
FEMC_D17	PH9	AF2
FEMC_D18	PH10	AF3

复用功能	GPIO 端口	重映射
FEMC_D19	PH11	AF2
FEMC_D20	PH12	AF3
FEMC_D21	PH13	AF2
FEMC_D22	PH14	AF2
FEMC_D23	PH15	AF3
FEMC_D24	PI0	AF1
FEMC_D25	PI1	AF3
FEMC_D26	PI2	AF2
FEMC_D27	PI3	AF3
FEMC_D28	PI6	AF3
FEMC_D29	PI7	AF4
FEMC_D30	PI9	AF2
FEMC_D31	PI10	AF4
FEMC_NE1/FEMC_NCE1	PC7	AF3
	PD7	AF2
FEMC_NE2/FEMC_NCE2	PC8	AF1
	PG9	AF3
FEMC_NE3	PG6	AF2
	PG10	AF4
FEMC_NE4	PG12	AF3
FEMC_NOE	PD4	AF2
FEMC_NWE	PD5	AF2
FEMC_NADV/FEMC_NL	PB7	AF2
FEMC_NWAIT	PC6	AF3
	PD6	AF2
FEMC_NBL0	PE0	AF2
	PJ13	AF1
FDMC_NBL1	PE1	AF2
FDMC_NBL2	PI4	AF3

复用功能	GPIO 端口	重映射
FDMC_NBL3	PI5	AF4
FEMC_CLK	PD3	AF1
FEMC_INT/FEMC_BUSY	PC8	AF2
	PG7	AF2
FEMC_BAA	PH6	AF3
	PJ15	AF0
	PJ12	AF1
FEMC_CRE	PH7	AF2
	PJ14	AF0

### 12.2.5.12 USARTx 复用功能重映射

#### 12.2.5.12.1 USART1 复用功能重映射

表 12-37 USART1 复用功能重映射

复用功能	GPIO 端口	重映射
USART1_TX	PF0	AF8
	PB14	AF9
	PA9	AF7
	PB6	AF7
USART1_RX	PF1	AF9
	PB15	AF9
	PA10	AF5
	PB7	AF8
USART1_CK	PF2	AF10
	PA8	AF6
USART1_CTS	PF3	AF10
	PA11	AF6
USART1_RTS_DE	PF4	AF10
	PA12	AF6

### 12.2.5.12.2 USART2 复用功能重映射

表 12-38 USART2 复用功能重映射

复用功能	GPIO 端口	重映射
USART2_TX	PA2	AF7
	PD5	AF6
USART2_RX	PA3	AF11
	PD6	AF7
USART2_CK	PA4	AF11
	PD7	AF7
USART2_CTS	PA0	AF10
	PD3	AF7
USART2_RTS_DE	PA1	AF8
	PD4	AF7

### 12.2.5.12.3 USART3 复用功能重映射

表 12-39 USART3 复用功能重映射

复用功能	GPIO 端口	重映射
USART3_TX	PB10	AF9
	PD8	AF6
	PC10	AF7
USART3_RX	PB11	AF6
	PD9	AF5
	PC11	AF7
USART3_CK	PB12	AF8
	PD10	AF7
	PC12	AF10
USART3_CTS	PB13	AF8
	PD11	AF5
USART3_RTS_DE	PB14	AF10
	PD12	AF6

### 12.2.5.12.4 USART4 复用功能重映射

表 12-40 USART4 复用功能重映射

复用功能	GPIO 端口	重映射
USART4_TX	PC6	AF10
	PG14	AF10
USART4_RX	PC7	AF10



复用功能	GPIO 端口	重映射
	PG9	AF7
USART4_CK	PG7	AF6
	PC8	AF7
USART4_CTS	PG13	AF9
	PG15	AF5
USART4_RTS_DE	PG8	AF7
	PG12	AF11

### 12.2.5.12.5 USART5 复用功能重映射

表 12-41 USART5 复用功能重映射

复用功能	GPIO 端口	重映射
USART5_TX	PE3	AF4
	PG12	AF12
USART5_RX	PE2	AF6
	PG11	AF9
USART5_CK	PE15	AF5
	PG15	AF6
USART5_CTS	PG13	AF10
USART5_RTS_DE	PG14	AF11

### 12.2.5.12.6 USART6 复用功能重映射

表 12-42 USART6 复用功能重映射

复用功能	GPIO 端口	重映射
USART6_TX	PE5	AF6
	PH15	AF8
USART6_RX	PE4	AF6
	PH14	AF7
USART6_CK	PE14	AF7
USART6_CTS	PG4	AF8
USART6_RTS_DE	PG5	AF9

### 12.2.5.12.7 USART7 复用功能重映射

表 12-43 USART7 复用功能重映射

复用功能	GPIO 端口	重映射
USART7_TX	PH5	AF6

复用功能	GPIO 端口	重映射
	PF15	AF7
USART7_RX	PH4	AF6
	PF14	AF6
USART7_CK	PH3	AF7
	PF13	AF7
USART7_CTS	PG2	AF8
USART7_RTS_DE	PG3	AF6

### 12.2.5.12.8 USART8 复用功能重映射

表 12-44 USART8 复用功能重映射

复用功能	GPIO 端口	重映射
USART8_TX	PI3	AF8
	PI5	AF9
USART8_RX	PI2	AF8
	PI4	AF8
USART8_CK	PI1	AF9
	PI6	AF8
USART8_CTS	PJ8	AF5
USART8_RTS_DE	PJ9	AF5

### 12.2.5.13 UARTx 复用功能重映射

#### 12.2.5.13.1 UART9 复用功能重映射

表 12-45 UART9 复用功能重映射

复用功能	GPIO 端口	重映射
UART9_TX	PA0	AF11
	PA12	AF7
	PH13	AF6
	PC10	AF8
	PD1	AF5
	PB9	AF8
UART9_RX	PI9	AF7
	PA1	AF9
	PA11	AF7
	PH14	AF8
	PC11	AF8

复用功能	GPIO 端口	重映射
	PD0	AF6
	PB8	AF9
UART9_CTS	PB0	AF8
	PB15	AF10
UART9_RTS_DE	PB14	AF11
	PA15	AF11

### 12.2.5.13.2 UART10 复用功能重映射

表 12-46 UART10 复用功能重映射

复用功能	GPIO 端口	重映射
UART10_TX	PH12	AF9
	PB13	AF9
	PC12	AF11
	PB6	AF8
UART10_RX	PH11	AF7
	PB12	AF9
	PD2	AF10
	PB5	AF10
UART10_CTS	PH9	AF7
	PC9	AF11
UART10_RTS_DE	PH8	AF8
	PC8	AF8

### 12.2.5.13.3 UART11 复用功能重映射

表 12-47 UART11 复用功能重映射

复用功能	GPIO 端口	重映射
UART11_TX	PF7	AF9
	PE8	AF7
	PA15	AF12
	PB4	AF12
UART11_RX	PF6	AF10
	PE7	AF7
	PA8	AF7
	PB3	AF10
UART11_CTS	PF9	AF11
	PE10	AF6
UART11_RTS_DE	PF8	AF10
	PE9	AF7

### 12.2.5.13.4 UART12 复用功能重映射

表 12-48 UART12 复用功能重映射

复用功能	GPIO 端口	重映射
UART12_TX	PD12	AF7
	PJ8	AF6
	PE1	AF8
UART12_RX	PD13	AF5
	PJ9	AF6
	PE0	AF10
UART12_CTS	PD14	AF7
	PJ10	AF6
UART12_RTS_DE	PD15	AF7
	PJ11	AF6

### 12.2.5.13.5 UART13 复用功能重映射

表 12-49 UART13 复用功能重映射

复用功能	GPIO 端口	重映射
UART13_TX	PG1	AF10
	PE13	AF6
	PD15	AF8
UART13_RX	PG0	AF9
	PE12	AF7
	PD14	AF8
UART13_CTS	PJ4	AF6
	PE14	AF8
	PD12	AF8
	PD0	AF7
UART13_RTS_DE	PJ3	AF6
	PE15	AF6
	PD13	AF6

### 12.2.5.13.6 UART14 复用功能重映射

表 12-50 UART14 复用功能重映射

复用功能	GPIO 端口	重映射
UART14_TX	PH7	AF7
	PJ11	AF7
UART14_RX	PH6	AF9
	PJ10	AF7
UART14_CTS	PH9	AF8
	PJ9	AF7

复用功能	GPIO 端口	重映射
UART14_RTS_DE	PH8	AF9
	PJ8	AF7

### 12.2.5.13.7 UART15 复用功能重映射

表 12-51 UART15 复用功能重映射

复用功能	GPIO 端口	重映射
UART15_TX	PH3	AF8
	PJ1	AF7
UART15_RX	PH2	AF9
	PJ0	AF6
UART15_CTS	PH5	AF7
	PJ3	AF7
UART15_RTS_DE	PH4	AF7
	PJ2	AF6

### 12.2.5.14 LPUARTx 复用功能重映射

#### 12.2.5.14.1 LPUART1 复用功能重映射

表 12-52 LPUART1 复用功能重映射

复用功能	GPIO 端口	重映射
LPUART1_CTS	PA11	AF8
LPUART1_RTS	PA12	AF8
LPUART1_RX	PA10	AF6
	PB7	AF9
LPUART1_TX	PA9	AF8
	PB6	AF9

#### 12.2.5.14.2 LPUART2 复用功能重映射

表 12-53 LPUART2 复用功能重映射

复用功能	GPIO 端口	重映射
LPUART2_CTS	PD2	AF11
LPUART2_RTS	PD3	AF8
LPUART2_RX	PI3	AF9
	PD5	AF7
LPUART2_TX	PI2	AF9
	PD4	AF8

### 12.2.5.15 I2C 复用功能重映射

#### 12.2.5.15.1 I2C1 复用功能重映射

表 12-54 I2C1 复用功能重映射

复用功能	GPIO 端口	重映射
I2C1_SCL	PG5	AF10
	PD4	AF9
	PB6	AF11
	PB8	AF11
I2C1_SDA	PG4	AF9
	PD5	AF8
	PB7	AF10
	PB9	AF10
I2C1_SMBA	PG6	AF7
	PD1	AF7
	PB5	AF12

#### 12.2.5.15.2 I2C2 复用功能重映射

表 12-55 I2C2 复用功能重映射

复用功能	GPIO 端口	重映射
I2C2_SCL	PF1	AF11
	PH4	AF9
	PB10	AF10
I2C2_SDA	PF0	AF10
	PH5	AF9
	PB11	AF7
I2C2_SMBA	PF2	AF11
	PH6	AF11
	PB12	AF12

#### 12.2.5.15.3 I2C3 复用功能重映射

表 12-56 I2C3 复用功能重映射

复用功能	GPIO 端口	重映射
I2C3_SCL	PH7	AF9
	PK0	AF6
	PA8	AF9
I2C3_SDA	PH8	AF11
	PK1	AF6
	PC9	AF12
I2C3_SMBA	PH9	AF10
	PK2	AF5

复用功能	GPIO 端口	重映射
	PA9	AF10

#### 12.2.5.15.4 I2C4 复用功能重映射

表 12-57 I2C4 复用功能重映射

复用功能	GPIO 端口	重映射
I2C4_SCL	PF14	AF8
	PH11	AF8
	PD12	AF10
	PB8	AF12
	PB6	AF12
I2C4_SDA	PF15	AF9
	PH12	AF10
	PD13	AF8
	PB7	AF11
	PB9	AF11
I2C4_SMBA	PF13	AF9
	PH10	AF8
	PD11	AF6
	PB5	AF13
	PB9	AF12

#### 12.2.5.15.5 I2C5 复用功能重映射

表 12-58 I2C5 复用功能重映射

复用功能	GPIO 端口	重映射
I2C5_SCL	PF1	AF12
	PA8	AF10
	PC11	AF9
I2C5_SDA	PF0	AF11
	PC9	AF13
	PC10	AF9
I2C5_SMBA	PF2	AF12
	PA9	AF11
	PC12	AF12

#### 12.2.5.15.6 I2C6 复用功能重映射

表 12-59 I2C6 复用功能重映射

复用功能	GPIO 端口	重映射
I2C6_SCL	PF4	AF12
	PF12	AF7
	PE14	AF10
I2C6_SDA	PF3	AF11
	PF11	AF5
	PE13	AF8

复用功能	GPIO 端口	重映射
I2C6_SMBA	PF5	AF10
	PF13	AF10
	PE15	AF7

### 12.2.5.15.7 I2C7 复用功能重映射

表 12-60 I2C7 复用功能重映射

复用功能	GPIO 端口	重映射
I2C7_SCL	PI13	AF7
	PE8	AF9
	PD9	AF6
I2C7_SDA	PI12	AF7
	PE7	AF8
	PD8	AF7
I2C7_SMBA	PI14	AF7
	PE9	AF9
	PD10	AF8

### 12.2.5.15.8 I2C8 复用功能重映射

表 12-61 I2C8 复用功能重映射

复用功能	GPIO 端口	重映射
I2C8_SCL	PD15	AF9
	PJ9	AF9
	PG5	AF11
	PI3	AF10
I2C8_SDA	PD14	AF9
	PJ8	AF9
	PG4	AF10
	PI2	AF10
I2C8_SMBA	PD13	AF9
	PJ10	AF8
	PG6	AF8
	PI1	AF10

### 12.2.5.15.9 I2C9 复用功能重映射

表 12-62 I2C9 复用功能重映射

复用功能	GPIO 端口	重映射
I2C9_SCL	PI11	AF7
	PJ1	AF9
	PJ4	AF8



复用功能	GPIO 端口	重映射
	PH15	AF9
I2C9_SDA	PH10	AF9
	PJ0	AF8
	PJ3	AF9
	PH14	AF10
I2C9_SMBA	PI9	AF9
	PJ2	AF7
	PH13	AF8

### 12.2.5.15.10 I2C10 复用功能重映射

表 12-63 I2C10 复用功能重映射

复用功能	GPIO 端口	重映射
I2C10_SCL	PI1	AF11
	PJ14	AF4
	PK4	AF5
	PK7	AF5
	PI6	AF9
I2C10_SDA	PI0	AF8
	PJ13	AF6
	PK3	AF5
	PK6	AF5
	PI5	AF10
I2C10_SMBA	PI3	AF11
	PJ12	AF6
	PK5	AF5
	PI4	AF9

### 12.2.5.16 SPIx/I2Sx 复用功能重映射

#### 12.2.5.16.1 SPI1 复用功能重映射

表 12-64 SPI1 复用功能重映射

复用功能	GPIO 端口	重映射
SPI1_NSS	PA4	AF4
	PA15	AF2
	PG10	AF8
SPI1_SCK	PA5	AF4
	PG11	AF6
	PB3	AF1
SPI1_MISO	PA6	AF4
	PG9	AF5
	PB4	AF2

复用功能	GPIO 端口	重映射
SPI1_MOSI	PA7	AF5
	PB5(AFIO_RMP_CFG.SPI1SEL=1)	AF5
	PD7	AF3

### 12.2.5.16.2 SPI2 复用功能重映射

表 12-65 SPI2 复用功能重映射

复用功能	GPIO 端口	重映射
SPI2_NSS	PA11	AF2
	PB9(AFIO_RMP_CFG.SPI2SEL=1)	AF5
	PB12(AFIO_RMP_CFG.SPI2SEL=1)	AF5
	PI0	AF4
	PB4	AF3
SPI2_SCK	PB10	AF4
	PB13	AF4
	PA9	AF3
	PA12	AF1
	PI1	AF6
	PD3	AF4
SPI2_MISO	PC2	AF6
	PB14	AF4
	PI2	AF5
SPI2_MOSI	PC1	AF4
	PC3	AF6
	PB15	AF4
	PI3	AF5

### 12.2.5.16.3 SPI3 复用功能重映射

表 12-66 SPI3 复用功能重映射

复用功能	GPIO 端口	重映射
SPI3_NSS	PA4	AF5
	PA15	AF3
	PD4	AF4
SPI3_SCK	PC10	AF5
	PD7	AF4
	PB3	AF2
SPI3_MISO	PB1	AF6
	PC11	AF4
	PD5	AF4
	PB4	AF4
SPI3_MOSI	PB2	AF6
	PB5(AFIO_RMP_CFG.SPI3SEL=1)	AF6

复用功能	GPIO 端口	重映射
	PC12	AF5
	PD6	AF5

#### 12.2.5.16.4 SPI4 复用功能重映射

表 12-67 SPI4 复用功能重映射

复用功能	GPIO 端口	重映射
SPI4_NSS	PA0	AF3
	PA4	AF6
	PG8	AF4
	PA15	AF4
SPI4_SCK	PA5	AF5
	PC12	AF6
	PG13	AF5
	PB3	AF3
SPI4_MISO	PA6	AF5
	PG12	AF7
	PB4	AF5
SPI4_MOSI	PA7	AF6
	PB5(AFIO_RMP_CFG.SPI4SEL=1)	AF7
	PG14	AF6

#### 12.2.5.16.5 SPI5 复用功能重映射

表 12-68 SPI5 复用功能重映射

复用功能	GPIO 端口	重映射
SPI5_NSS	PF6	AF5
	PH5	AF3
	PK1	AF3
SPI5_SCK	PF7	AF4
	PH6	AF5
	PK0	AF3
SPI5_MISO	PF8	AF5
	PH7	AF4
	PJ11	AF3
SPI5_MOSI	PF9	AF5
	PF11	AF3
	PJ10	AF3

#### 12.2.5.16.6 SPI6 复用功能重映射

表 12-69 SPI6 复用功能重映射

复用功能	GPIO 端口	重映射
SPI6_NSS	PE4	AF4

复用功能	GPIO 端口	重映射
	PF2	AF5
	PE11	AF4
SPI6_SCK	PE2	AF4
	PF3	AF5
	PE12	AF5
	PE5	AF4
SPI6_MISO	PF4	AF6
	PE13	AF4
SPI6_MOSI	PE6	AF3
	PF5	AF5
	PE14	AF5

### 12.2.5.16.7 SPI7 复用功能重映射

表 12-70 SPI7 复用功能重映射

复用功能	GPIO 端口	重映射
SPI7_NSS	PI12	AF4
	PJ2	AF3
	PH12	AF6
	PH13	AF4
SPI7_SCK	PI8	AF3
	PJ1	AF4
SPI7_MISO	PI13	AF4
	PJ3	AF3
	PH14	AF5
SPI7_MOSI	PI14	AF4
	PJ4	AF3
	PH15	AF6

### 12.2.5.16.8 I2S1 复用功能重映射

表 12-71 I2S1 复用功能重映射

复用功能	GPIO 端口	重映射
I2S1_CK	PA5	AF6
	PG11	AF7
	PB3	AF4
I2S1_CKIN	PC9	AF5
I2S1_MCK	PC4	AF5
I2S1_SD	PA6	AF6
	PG9	AF6
	PB4	AF6
I2S1_SD_EXT	PA7	AF7
	PB5(AFIO_RMP_CFG.SPI1SEL=0)	AF5

复用功能	GPIO 端口	重映射
	PD7	AF5
I2S1_WS	PA4	AF7
	PA15	AF5
	PG10	AF9

### 12.2.5.16.9 I2S2 复用功能重映射

表 12-72 I2S2 复用功能重映射

复用功能	GPIO 端口	重映射
I2S2_CK	PB10	AF5
	PB13	AF5
	PA9	AF4
	PA12	AF2
	PI1	AF7
	PD3	AF5
I2S2_CKIN	PC9	AF6
I2S2_MCK	PC6	AF6
I2S2_SD	PC2	AF7
	PB14	AF5
	PI2	AF6
I2S2_SD_EXT	PC1	AF5
	PC3	AF7
	PB15	AF5
	PI3	AF6
I2S2_WS	PA11	AF3
	PB9(AFIO_RMP_CFG.SPI2SEL=0)	AF5
	PB12(AFIO_RMP_CFG.SPI2SEL=0)	AF5
	PI0	AF5
	PB4	AF7

### 12.2.5.16.10 I2S3 复用功能重映射

表 12-73 I2S3 复用功能重映射

复用功能	GPIO 端口	重映射
I2S3_CK	PC10	AF6
	PB3	AF5
I2S3_CKIN	PC9	AF7
I2S3_MCK	PC7	AF6
I2S3_SD	PC11	AF5
	PB4	AF8
I2S3_SD_EXT	PB2	AF7
	PB5(AFIO_RMP_CFG.SPI3SEL=0)	AF6
	PC12	AF7

复用功能	GPIO 端口	重映射
	PD6	AF6
I2S3_WS	PA4	AF8
	PA15	AF6

### 12.2.5.16.11 I2S4 复用功能重映射

表 12-74 I2S4 复用功能重映射

复用功能	GPIO 端口	重映射
I2S4_CK	PA5	AF7
	PC12	AF8
	PG13	AF6
	PB3	AF6
I2S4_CKIN	PC9	AF8
I2S4_MCK	PA3	AF6
I2S4_SD	PA6	AF7
	PG12	AF8
	PB4	AF9
I2S4_SD_EXT	PA7	AF8
	PB5(AFIO_RMP_CFG.SPI4SEL=0)	AF7
	PG14	AF7
I2S4_WS	PA0	AF4
	PA4	AF9
	PG8	AF5
	PA15	AF7

### 12.2.5.16.12 SPI/I2S 复用功能重映射

表 12-75 SPI/I2S 复用功能重映射

复用功能	GPIO 端口	重映射
SPI1_MOSI/I2S1_SD_EXT	PB5	AF5
SPI3_MOSI/I2S3_SD_EXT	PB5	AF6
SPI4_MOSI/I2S4_SD_EXT	PB5	AF7
SPI2_NSS/I2S2_WS	PB9	AF5
	PB12	AF5

### 12.2.5.17 XSPI2 复用功能重映射

#### 12.2.5.17.1 XSPI2 复用功能重映射

表 12-76 XSPI2 复用功能重映射

复用功能	GPIO 端口	重映射
XSPI2_CLK	PI13	AF0
	PF4	AF2
	PF10	AF1

复用功能	GPIO 端口	重映射
	PB2	AF2
XSPI2_IO0	PI9	AF1
	PF0	AF1
	PF8	AF1
	PB1	AF1
XSPI2_IO1	PI10	AF2
	PF1	AF2
	PF9	AF1
	PB0	AF1
XSPI2_IO2	PI11	AF0
	PF2	AF1
	PF7	AF1
	PA7	AF2
XSPI2_IO3	PI12	AF0
	PF3	AF1
	PF6	AF1
	PA6	AF1
XSPI2_IO4	PH2	AF3
	PJ1	AF0
	PG0	AF2
XSPI2_IO5	PH3	AF2
	PJ2	AF0
	PG1	AF2
XSPI2_IO6	PK3	AF0
	PG10	AF0
XSPI2_IO7	PK4	AF0
	PG11	AF0
XSPI2_DQS	PF12	AF1
	PG7	AF0
	PK6	AF0
	PG15	AF1
XSPI2_NCLK	PI14	AF0
	PF5	AF1
XSPI2_NCS1	PE5	AF0
	PG12	AF0
	PK5	AF0
XSPI2_NCS2	PG0	AF3
	PE7	AF3
	PI4	AF1
XSPI2_NCS3	PG1	AF3
	PI5	AF2

复用功能	GPIO 端口	重映射
XSPI2_NCS4	PG10	AF1
	PI6	AF1
XSPI2_NCSIN	PG11	AF1
	PI7	AF2

## 12.2.5.18 ETHx 复用功能重映射

### 12.2.5.18.1 ETH1 复用功能重映射

表 12-77 ETH1 复用功能重映射

复用功能	GPIO 端口	重映射
ETH1_CLK125	PD10	AF1
ETH1_GMII_GTX_CLK	PF5	AF2
ETH1_MII_RXD0/ETH1_RMII_RXD0/ETH1_GMII_RXD0	PC4	AF1
ETH1_MII_RXD1/ETH1_RMII_RXD1/ETH1_GMII_RXD1	PC5	AF2
ETH1_MII_RXD2/ETH1_GMII_RXD2	PB0	AF2
	PH6	AF2
ETH1_MII_RXD3/ETH1_GMII_RXD3	PB1	AF2
	PH7	AF1
ETH1_GMII_RXD4	PE12	AF2
	PH8	AF2
ETH1_GMII_RXD5	PE13	AF1
	PH9	AF1
ETH1_GMII_RXD6	PE14	AF2
	PH10	AF2
ETH1_GMII_RXD7	PE15	AF1
	PH11	AF1
ETH1_MII_TXD0/ETH1_RMII_TXD0/ETH1_GMII_TXD0	PB12	AF2
	PG13	AF0
ETH1_MII_TXD1/ETH1_RMII_TXD1/ETH1_GMII_TXD1	PB13	AF1
	PG12	AF1
	PG14	AF1
ETH1_MII_TXD2/ETH1_GMII_TXD2	PE3	AF0
	PC2	AF4
	PB7	AF0
ETH1_MII_TXD3/ETH1_GMII_TXD3	PE2	AF1
	PB8	AF0
ETH1_GMII_TXD4	PF0	AF2
	PI4	AF2
ETH1_GMII_TXD5	PF1	AF3
	PI5	AF3



复用功能	GPIO 端口	重映射
ETH1_GMII_TXD6	PF2	AF2
	PI6	AF2
ETH1_GMII_TXD7	PF3	AF2
	PI7	AF3
ETH1_MDC	PC1	AF1
ETH1_MDIO	PA2	AF1
ETH1_MII_COL/ETH1_GMII_COL	PH3	AF3
	PA3	AF2
ETH1_MII_CRIS/ETH1_GMII_CRIS	PA0	AF0
	PH2	AF4
ETH1_MII_RX_CLK/ETH1_RMII_REF_CLK/ETH1_GMII_RX_CLK	PA1	AF2
ETH1_MII_RX_DV/ETH1_RMII_CRIS_DV/ETH1_GMII_RX_DV	PA7	AF3
ETH1_MII_RX_ER/ETH1_GMII_RX_ER	PI10	AF3
	PB10	AF1
ETH1_MII_TX_CLK/ETH1_GMII_TX_CLK	PC3	AF4
ETH1_MII_TX_EN/ETH1_RMII_TX_EN/ETH1_GMII_TX_EN	PB11	AF0
	PG11	AF2
ETH1_MII_TX_ER/ETH1_GMII_TX_ER	PB2	AF3
	PA9	AF0
ETH1_PHY_INTN	PD15	AF1
	PG7	AF1
	PG15	AF2
ETH1_PPS_OUT	PB4	AF0
	PD14	AF2
	PG8	AF2
	PB5	AF2

### 12.2.5.18.2 ETH2 复用功能重映射

表 12-78 ETH2 复用功能重映射

复用功能	GPIO 端口	重映射
ETH2_MII_RXD0/ETH2_RMII_RXD0	PG2	AF2
	PI1	AF2
	PG9	AF1
ETH2_MII_RXD1/ETH2_RMII_RXD1	PG3	AF0
	PI2	AF1
	PG10	AF2
ETH2_MII_RXD2	PJ8	AF0
	PG4	AF1
ETH2_MII_RXD3	PJ9	AF0
	PG5	AF2
ETH2_MII_TX_CLK	PI8	AF0

复用功能	GPIO 端口	重映射
	PG0	AF4
ETH2_MII_TX_EN/ETH2_RMII_TX_EN	PF11	AF6
	PH13	AF1
ETH2_MII_TX_ER	PG1	AF4
	PJ5	AF0
ETH2_MII_TXD0/ETH2_RMII_TXD0	PH4	AF0
	PF12	AF2
	PH14	AF1
ETH2_MII_TXD1/ETH2_RMII_TXD1	PH5	AF1
	PF13	AF2
	PH15	AF2
ETH2_MII_TXD2	PJ0	AF0
	PF14	AF1
ETH2_MII_TXD3	PJ1	AF1
	PF15	AF2
ETH2_PHY_INTN	PE4	AF0
	PE7	AF4
	PD15	AF2
ETH2_PPS_OUT	PF10	AF2
	PI15	AF0
	PD10	AF2
ETH2_MDC	PF7	AF2
ETH2_MDIO	PF6	AF2
ETH2_MII_COL	PF8	AF2
	PK0	AF0
ETH2_MII_CRS	PF9	AF2
	PK1	AF0
ETH2_MII_RX_CLK/ETH2_RMII_REF_CLK	PF4	AF3
	PJ4	AF0
	PA8	AF0
ETH2_MII_RX_DV/ETH2_RMII_CRS_DV	PC0	AF2
	PJ3	AF0
	PH12	AF2
ETH2_MII_RX_ER	PG6	AF1
	PI3	AF2

### 12.2.5.19 ESC 复用功能重映射

表 12-79 ESC 复用功能重映射

复用功能	GPIO 端口	重映射
ESC_EEPROM_CLK	PE5	AF8
	PE8	AF12

复用功能	GPIO 端口	重映射
	PJ10	AF9
ESC_EEPROM_DATA	PE6	AF6
	PE9	AF11
	PJ11	AF8
ESC_IRQ	PJ5	AF6
	PC8	AF9
	PD3	AF10
	PI6	AF11
ESC_LATCH0	PI9	AF11
	PC0	AF10
	PD11	AF7
	PK7	AF6
ESC_LATCH1	PD6	AF10
	PK4	AF6
	PI5	AF11
ESC_LED_ERR	PB2	AF12
	PD8	AF9
	PK0	AF7
	PG15	AF9
	PD0	AF10
ESC_LED_RUN	PA4	AF13
	PE15	AF8
	PK1	AF7
ESC_LED_STATE_RUN	PE4	AF8
	PA5	AF11
	PE10	AF8
	PJ15	AF4
ESC_LINK_ACT0	PD12	AF11
	PC12	AF13
	PG15	AF8
	PH2	AF10
ESC_P1_MII_TX_EN	PH2	AF11
ESC_LINK_ACT1	PA11	AF11
	PD7	AF10
	PI7	AF9
ESC_MDC	PF7	AF11
	PC1	AF9
	PE12	AF10
	PC7	AF12
ESC_MDIO	PF6	AF12
	PE13	AF11
	PA2	AF8
	PC6	AF13
ESC_P1_LINK	PA2	AF9
ESC_P0_LINK	PE11	AF8
	PK2	AF6
	PE0	AF11

复用功能	GPIO 端口	重映射
ESC_P0_MII_RX_CLK	PF5	AF11
	PA1	AF10
ESC_P0_MII_RX_DV	PA0	AF12
	PA7	AF13
ESC_P0_MII_RX_ER	PI10	AF10
	PH3	AF9
	PB10	AF12
ESC_P0_MII_RXD0	PF8	AF11
	PC4	AF7
ESC_P0_MII_RXD1	PF9	AF12
	PC5	AF9
ESC_P0_MII_RXD2	PB0	AF10
	PH6	AF12
	PH10	AF9
ESC_P0_MII_RXD3	PB1	AF11
	PH7	AF11
	PH11	AF10
ESC_P0_MII_TX_CLK	PC3	AF9
ESC_P0_MII_TX_EN	PB11	AF9
	PG11	AF10
ESC_P0_MII_TXD0	PB12	AF3
	PG13	AF11
ESC_P0_MII_TXD1	PB13	AF13
	PG12	AF13
	PG14	AF12
ESC_P0_MII_TXD2	PE3	AF6
	PC2	AF10
	PC10	AF11
	PJ12	AF7
	PB7	AF13
ESC_P0_MII_TXD3	PE2	AF8
	PC11	AF11
	PJ13	AF7
ESC_P1_LINK	PA6	AF12
	PG8	AF9
	PA10	AF8
ESC_P1_MII_RX_CLK	PF4	AF13
	PJ4	AF9
	PA8	AF11
ESC_P1_MII_RX_DV	PJ3	AF10
	PH12	AF12
	PC0	AF9
ESC_P1_MII_RX_ER	PG6	AF9
	PI3	AF12
ESC_P1_MII_RXD0	PG2	AF10
	PI1	AF12

复用功能	GPIO 端口	重映射
	PG9	AF9
ESC_P1_MII_RXD1	PG3	AF8
	PI2	AF12
	PG10	AF12
ESC_P1_MII_RXD2	PJ8	AF10
	PG4	AF11
ESC_P1_MII_RXD3	PJ9	AF10
	PG5	AF12
ESC_P1_MII_TX_CLK	PI8	AF6
	PG0	AF10
ESC_P1_MII_TX_EN	PF10	AF9
	PF11	AF7
	PH13	AF9
ESC_P1_MII_TXD0	PH4	AF10
	PF12	AF8
	PH14	AF11
ESC_P1_MII_TXD1	PH5	AF10
	PF13	AF13
	PH15	AF10
ESC_P1_MII_TXD2	PJ0	AF9
	PF14	AF10
ESC_P1_MII_TXD3	PJ1	AF10
	PF15	AF10
ESC_RESET_IN	PI11	AF8
	PI0	AF9
	PE1	AF10
ESC_RESET_OUT	PD13	AF10
	PC6	AF13
	PD1	AF9
ESC_SYNC0	PD9	AF8
	PA9	AF12
	PI4	AF11
ESC_SYNC1	PJ2	AF8
	PA12	AF11
	PD5	AF9

### 12.2.5.20 SDRAM 复用功能重映射

表 12-80 SDRAM 复用功能重映射

复用功能	GPIO 端口	重映射
SDRAM_A0	PF0	AF0
	PE8	AF1
SDRAM_A1	PF1	AF0
	PE9	AF1
SDRAM_A2	PF2	AF0
	PE10	AF1

SDRAM_A3	PF3	AF0
	PE11	AF7
SDRAM_A4	PF4	AF0
	PH6	AF1
SDRAM_A5	PF5	AF0
	PH7	AF10
SDRAM_A6	PF12	AF0
	PH8	AF1
SDRAM_A7	PF13	AF0
	PH9	AF11
SDRAM_A8	PF14	AF0
	PH10	AF1
SDRAM_A9	PF15	AF0
	PH11	AF9
SDRAM_A10	PG0	AF0
	PG1	AF1
SDRAM_A11	PG1	AF0
	PH12	AF1
SDRAM_A12	PG2	AF0
SDRAM_BA0	PG4	AF0
	PF15	AF1
SDRAM_BA1	PG5	AF0
	PG0	AF1
SDRAM_CKE0	PC3	AF0
	PH2	AF0
	PC5	AF0
	PD14	AF1
SDRAM_CKE1	PH7	AF0
	PB5	AF0
SDRAM_CLK	PG8	AF0
SDRAM_D0	PD14	AF0
	PI4	AF10
SDRAM_D1	PD15	AF0
	PI5	AF1
SDRAM_D2	PD0	AF0
	PI6	AF10
SDRAM_D3	PD1	AF0
	PI7	AF1
SDRAM_D4	PE7	AF0
	PF4	AF1
SDRAM_D5	PE8	AF0
	PF1	AF1

SDRAM_D6	PE9	AF0
	PC12	AF0
	PI9	AF10
SDRAM_D7	PE10	AF0
	PD2	AF0
	PI10	AF1
SDRAM_D8	PA4	AF0
	PE11	AF0
	PI1	AF1
SDRAM_D9	PA5	AF0
	PE12	AF0
	PI2	AF11
SDRAM_D10	PE13	AF0
	PB14	AF0
	PI3	AF1
SDRAM_D11	PE14	AF0
	PB15	AF0
	PD0	AF1
SDRAM_D12	PC0	AF1
	PE15	AF0
	PD1	AF1
SDRAM_D13	PD8	AF0
	PD2	AF1
SDRAM_D14	PD9	AF0
	PG15	AF7
SDRAM_D15	PD10	AF0
	PE1	AF9
SDRAM_D16	PH8	AF0
SDRAM_D17	PH9	AF0
SDRAM_D18	PH10	AF0
SDRAM_D19	PH11	AF0
SDRAM_D20	PH12	AF0
SDRAM_D21	PH13	AF0
SDRAM_D22	PH14	AF0
SDRAM_D23	PH15	AF0
SDRAM_D24	PI0	AF0
SDRAM_D25	PI1	AF0
SDRAM_D26	PI2	AF0
SDRAM_D27	PI3	AF0
SDRAM_D28	PI6	AF0
SDRAM_D29	PI7	AF0
SDRAM_D30	PI9	AF0

SDRAM_D31	PI10	AF0
SDRAM_DQM0	PE0	AF0
	PA5	AF1
SDRAM_DQM1	PE1	AF0
	PG2	AF1
SDRAM_DQM2	PI4	AF0
SDRAM_DQM3	PI5	AF0
SDRAM_NRAS	PF11	AF0
SDRAM_NCAS	PG15	AF0
	PC5	AF7
SDRAM_NCE0	PC2	AF0
	PH3	AF0
	PC4	AF0
	PF13	AF1
SDRAM_NCE1	PH6	AF0
	PB6	AF0
SDRAM_NWE	PC0	AF0
	PH5	AF0
	PA7	AF0

### 12.2.5.21 LCD 复用功能重映射

表 12-81 LCD 复用功能重映射

复用功能	GPIO 端口	重映射
LCD_B0	PE4	AF2
	PJ12	AF2
	PG14	AF5
LCD_B1	PA10	AF0
	PD0	AF4
	PJ13	AF2
	PG12	AF4
LCD_B2	PC10	AF3
	PA3	AF4
	PC9	AF2
	PD2	AF4
	PD6	AF3
	PJ14	AF1
LCD_B3	PG10	AF5
	PD10	AF4
	PA8	AF1
	PJ15	AF1
LCD_B4	PG11	AF4
	PA10	AF1
	PJ13	AF3



复用功能	GPIO 端口	重映射
	PG12	AF5
	PE12	AF4
	PC11	AF2
	PK3	AF2
	PI4	AF4
LCD_B5	PA3	AF5
	PK4	AF2
	PB5	AF3
	PI5	AF5
LCD_B6	PA15	AF0
	PK5	AF2
	PB8	AF4
	PI6	AF4
LCD_B7	PD2	AF5
	PK6	AF2
	PB9	AF3
	PI7	AF5
LCD_G0	PE5	AF2
	PB1	AF3
	PJ7	AF1
LCD_G1	PE6	AF1
	PB0	AF3
	PJ8	AF1
LCD_G2	PC0	AF5
	PA6	AF2
	PI15	AF1
	PJ9	AF1
	PH13	AF3
LCD_G3	PJ12	AF3
	PG10	AF6
	PC9	AF3
	PE11	AF3
	PJ10	AF1
	PH14	AF3
LCD_G4	PH4	AF1
	PB10	AF3
	PJ11	AF1
	PH15	AF4
LCD_G5	PH4	AF2
	PC1	AF3
	PB11	AF2
	PK0	AF1
	PI0	AF2

复用功能	GPIO 端口	重映射
LCD_G6	PI11	AF4
	PK1	AF1
	PC7	AF4
	PI1	AF4
LCD_G7	PB15	AF3
	PK2	AF1
	PG8	AF3
	PI2	AF3
	PD3	AF2
LCD_R0	PI15	AF2
	PH2	AF5
	PG13	AF4
	PE0	AF3
LCD_R1	PA2	AF2
	PH3	AF4
	PJ0	AF1
LCD_R2	PA1	AF3
	PJ1	AF2
	PH8	AF4
	PC10	AF2
LCD_R3	PA15	AF1
	PB0	AF4
	PJ2	AF1
	PH9	AF3
LCD_R4	PA5	AF3
	PJ3	AF1
	PH10	AF4
	PA11	AF1
LCD_R5	PC0	AF6
	PJ4	AF1
	PH11	AF3
	PA9	AF1
	PA12	AF0
LCD_R6	PA8	AF2
	PB1	AF4
	PJ5	AF1
	PH12	AF4
	PC12	AF3
	PE1	AF3
LCD_R7	PJ0	AF2
	PC4	AF4
	PE15	AF3
	PJ6	AF1

复用功能	GPIO 端口	重映射
	PG6	AF3
LCD_CLK	PI14	AF2
	PE14	AF4
	PB14	AF3
	PG7	AF3
LCD_DE	PF10	AF3
	PC5	AF4
	PE13	AF3
	PK7	AF2
LCD_HSYNC	PI10	AF5
	PI12	AF2
	PC6	AF4
LCD_VSYNC	PI9	AF3
	PI13	AF2
	PA4	AF2
	PA7	AF4

### 12.2.5.22 SDMMCx 复用功能重映射

#### 12.2.5.22.1 SDMMC1 复用功能重映射

表 12-82 SDMMC1 复用功能重映射

复用功能	GPIO 端口	重映射
SDMMC1_CD	PD1	AF2
SDMMC1_CDIR	PB9	AF0
SDMMC1_D0	PB13	AF2
	PC8	AF0
SDMMC1_D0DIR	PC6	AF0
SDMMC1_D1	PC9	AF1
SDMMC1_D2	PC10	AF1
SDMMC1_D3	PC11	AF1
SDMMC1_D4	PB8	AF2
	PD14	AF3
SDMMC1_D5	PB9	AF1
	PD15	AF3
SDMMC1_D6	PC6	AF1
	PB6	AF2
SDMMC1_D7	PC7	AF1
	PB7	AF1
SDMMC1_CK	PC12	AF1
SDMMC1_CKIN	PB8	AF1
SDMMC1_CMD	PD2	AF2
SDMMC1_D123DIR	PC7	AF0
SDMMC1_LEDCTRL	PI11	AF1
	PF9	AF3
	PE8	AF4
SDMMC1_RST	PD3	AF0

复用功能	GPIO 端口	重映射
SDMMC1_SEL	PI8	AF1
	PA11	AF0
	PJ12	AF0
SDMMC1_WP	PD0	AF2

### 12.2.5.22.2 SDMMC2 复用功能重映射

表 12-83 SDMMC2 复用功能重映射

复用功能	GPIO 端口	重映射
SDMMC2_CD	PD5	AF1
SDMMC2_CDIR	PG5	AF3
SDMMC2_D0	PB14	AF1
	PG9	AF2
SDMMC2_D0DIR	PG13	AF1
SDMMC2_D1	PB15	AF1
	PG10	AF3
SDMMC2_D2	PG11	AF3
	PB3	AF0
SDMMC2_D3	PG12	AF2
	PB4	AF1
SDMMC2_D4	PG4	AF3
	PB8	AF3
SDMMC2_D5	PG5	AF4
	PB9	AF2
SDMMC2_D6	PG13	AF2
	PC6	AF2
SDMMC2_D7	PG14	AF3
	PC7	AF2
SDMMC2_CK	PC1	AF2
	PD6	AF1
SDMMC2_CKIN	PC4	AF2
	PG4	AF2
SDMMC2_CMD	PA0	AF1
	PD7	AF1
SDMMC2_D123DIR	PG14	AF2
SDMMC2_LEDCTRL	PI11	AF2
	PF8	AF3
	PE9	AF4
SDMMC2_RST	PG15	AF3
SDMMC2_SEL	PI8	AF2
	PC5	AF8
	PJ13	AF0
SDMMC2_WP	PD4	AF1

### 12.2.5.23 USBx\_HS 复用功能重映射

#### 12.2.5.23.1 USB1\_HS 复用功能重映射

表 12-84 USB1\_HS 复用功能重映射

复用功能	GPIO 端口	重映射
USB1_SOF	PA8	AF8
USB1_VBUS	PA9	AF9
USB1_ID	PA10	AF7
USB1_DM	PA11	AF10
USB1_DP	PA12	AF10

#### 12.2.5.23.2 USB2\_HS 复用功能重映射

表 12-85 USB2\_HS 复用功能重映射

复用功能	GPIO 端口	重映射
USB2_SOF	PA4	AF12
USB2_ID	PB12	AF11
USB2_VBUS	PB13	AF11
USB2_DM	PB14	AF12
USB2_DP	PB15	AF11

### 12.2.5.24 DSMU 复用功能重映射

表 12-86 DSMU 复用功能重映射

复用功能	GPIO 端口	重映射
DSMU_CKIN0	PC0	AF7
DSMU_CKIN1	PB2	AF11
	PB13	AF12
	PC2	AF8
	PD7	AF8
DSMU_CKIN2	PC4	AF6
	PE8	AF10
	PB15	AF12
DSMU_CKIN3	PE5	AF7
	PD8	AF8
	PC6	AF11
DSMU_CKIN4	PE11	AF6
	PC1	AF6
	PD6	AF8
DSMU_CKIN5	PE13	AF9
	PC10	AF10
	PB7	AF12
DSMU_CKIN6	PF14	AF9
	PD0	AF9

复用功能	GPIO 端口	重映射
DSMU_CKIN7	PB11	AF8
	PB8	AF13
DSMU_DATIN0	PC1	AF7
DSMU_DATIN1	PD6	AF9
	PC3	AF8
	PB1	AF10
	PB12	AF13
DSMU_DATIN2	PC5	AF5
	PE7	AF9
	PB14	AF13
DSMU_DATIN3	PE4	AF7
	PD9	AF7
	PC7	AF11
DSMU_DATIN4	PE10	AF7
	PC0	AF8
	PD7	AF9
DSMU_DATIN5	PE12	AF8
	PC11	AF10
	PB6	AF13
DSMU_DATIN6	PF13	AF11
	PD1	AF8
DSMU_DATIN7	PB10	AF11
	PB9	AF13
DSMU_CKOUT	PC2	AF9
	PB0	AF9
	PE9	AF10
	PD10	AF9
	PD3	AF9

### 12.2.5.25 EVENT 复用功能重映射

EVENT 支持完整的引脚映射，如下表所示。

表 12-87 EVENT 复用功能重映射

复用功能	GPIO 端口	重映射
EVENT_OUT	PAX (x=0~15)	AF14
	PBx (x=0~15)	AF14
	PCx (x=0~15)	AF14
	PDx (x=0~15)	AF14
	PEx (x=0~15)	AF14
	PFx (x=0~15)	AF14
	PGx (x=0~15)	AF14
	PHx (x=0~15)	AF14

复用功能	GPIO 端口	重映射
	PIx (x=0~15)	AF14
	PJx (x=0~15)	AF14
	PKx (x=0~7)	AF14

### 12.2.5.26 COMP 复用功能重映射

#### 12.2.5.26.1 COMP1 复用功能重映射

表 12-88 COMP1 复用功能重映射

复用功能	GPIO 端口	重映射
COMP1_OUT	PC5	AF6
	PE12	AF9

#### 12.2.5.26.2 COMP2 复用功能重映射

表 12-89 COMP2 复用功能重映射

复用功能	GPIO 端口	重映射
COMP2_OUT	PE8	AF11
	PE13	AF10

#### 12.2.5.26.3 COMP3 复用功能重映射

表 12-90 COMP3 复用功能重映射

复用功能	GPIO 端口	重映射
COMP3_OUT	PF0	AF12
	PF13	AF12

#### 12.2.5.26.4 COMP4 复用功能重映射

表 12-91 COMP4 复用功能重映射

复用功能	GPIO 端口	重映射
COMP4_OUT	PH8	AF12
	PH12	AF11

### 12.2.5.27 RTC 复用功能重映射

表 12-92 RTC 复用功能重映射

复用功能	GPIO 端口	重映射
RTC_REFIN	PB15	AF15
RTC_OUT2	PB2	AF15
RTC_OUT2	PI8	AF15

## 12.2.6 外设的 IO 配置

### 12.2.6.1 ADC/DAC IO 配置

表 12-93 ADC/DAC IO 配置

ADC/DAC 引脚	GPIO 配置
ADC	模拟模式
DAC	模拟模式

### 12.2.6.2 SHRTIM IO 配置

表 12-94 SHRTIM IO 配置

SHRTIM 引脚	配置	GPIO 配置
SHRTIM1/2_CHx1(x=A~F)	输出比较通道 x	推挽复用
SHRTIM1/2_CHx2(x=A~F)	互补输出通道 x	推挽复用
SHRTIM1/2_FLTx(x=1~6)	故障输入 x	输入模式+复用功能
SHRTIM1/2_SCIN	同步信号输入	输入模式+复用功能
SHRTIM1/2_SCOUT	同步信号输出	推挽复用
SHRTIM1/2_EXEVx(x=1~10)	外部事件输入 x	输入模式+复用功能

### 12.2.6.3 ATIM IO 配置

表 12-95 ATIM1/2/3/4 IO 配置

ATIM 引脚	配置	GPIO 配置
ATIM1/2/3/4_CHx(x=1~4)	输入捕获通道 x	输入模式+复用功能
	输出比较通道 x	推挽复用
ATIM1/2/3/4_CHxN(x=1~4)	互补输出通道 x	推挽复用
ATIM1/2/3/4_BKIN1	刹车输入	输入模式+复用功能
ATIM1/2/3/4_BKIN2	双向刹车	开漏复用
ATIM1/2/3/4_ETR	外部触发时钟输入	输入模式+复用功能

### 12.2.6.4 GTIM IO 配置

表 12-96 GTIMA1~7 IO 配置

GTIM 引脚	配置	GPIO 配置
GTIMA1~7_CHx(x=1~4)	输入捕获通道 x	输入模式+复用功能
	输出比较通道 x	推挽复用
GTIMA1~7_ETR	外部触发时钟输入	输入模式+复用功能



### 12.2.6.5 GTIMB IO 配置

表 12-97 GTIMB1/2/3 IO 配置

GTIM 引脚	配置	GPIO 配置
GTIMB1/2/3_CHx(x=1P,2,3,4)	输入捕获通道 x	输入模式+复用功能
	输出比较通道 x	推挽复用
GTIMB1/2/3_CH1N	互补输出通道 1	推挽复用
GTIMB1/2/3_BKIN	刹车输入	输入模式+复用功能
	双向刹车	开漏复用
GTIMB1/2/3_ETR	外部触发时钟输入	输入模式+复用功能

### 12.2.6.6 LPTIM IO 配置

表 12-98 LPTIM1/2/3/4/5 IO 配置

LPTIM 引脚	配置	GPIO 配置
LPTIM1/2/3/4/5_INx(x=1, 2)	输入通道 x	输入模式+复用功能
LPTIM1/2/3/4/5_OUT	PWM 输出	推挽复用
LPTIM1/2/3/4/5_ETR	外部触发输入	输入模式+复用功能

### 12.2.6.7 FDCAN IO 配置

表 12-99 FDCAN1/2/3/4/5/6/7/8 IO 配置

FDCAN 引脚	GPIO 配置
FDCAN1/2/3/4/5/6/7/8_TX	推挽复用
FDCAN1/2/3/4/5/6/7/8_RX	输入模式+复用功能

### 12.2.6.8 DVP IO 配置

表 12-100 DVP1/2 IO 配置

DVP 引脚	GPIO 配置
DVP1/2_HSYNC	输入模式+复用功能
DVP1/2_VSYNC	输入模式+复用功能
DVP1/2_PCLK	输入模式+复用功能
DVP1/2_Dx (x=0~7)	输入模式+复用功能

### 12.2.6.9 FEMC IO 配置

表 12-101 FEMC IO 配置

FEMC 引脚	GPIO 配置
FEMC_Ax (x=0~25)	推挽复用
FEMC_Dx (x=0~31)	推挽复用
FEMC_DAx (x=0~15)	推挽复用
FEMC_CLK	推挽复用
FEMC_NOE	推挽复用
FEMC_NWE	推挽复用
FEMC_NE (x=1~4)	推挽复用

FEMC 引脚	GPIO 配置
FEMC_NCE (x=1,2)	推挽复用
FEMC_ALE	推挽复用
FEMC_CLE	推挽复用
FEMC_NBLx (x=0~3)	推挽复用
FEMC_NADV/NL	推挽复用
FEMC_NWAIT	输入模式+复用功能
FEMC_INT/BUSY	输入模式+复用功能
FEMC_BAA	推挽复用
FEMC_CRE	推挽复用

### 12.2.6.10 U(S)ART IO 配置

表 12-102 U(S)ARTx (USART : x = {1..8}, UART : x = {1..7}) IO 配置

U(S)ART 引脚	配置	GPIO 配置
U(S)ARTx_TX	全双工模式	推挽复用
	半双工同步模式	推挽复用 + 上拉
	单线模式	输入模式+复用功能
U(S)ARTx_RX	全双工模式	输入模式+复用功能
	半双工同步模式	未用, 可作为通用 I/O
USARTx_CK	同步模式	推挽复用
U(S)ARTx_RTS_DE	硬件流量控制	推挽复用
U(S)ARTx_CTS	硬件流量控制	输入模式+复用功能

### 12.2.6.11 LPUART IO 配置

表 12-103 LPUART1/2 IO 配置

LPUART 引脚	配置	GPIO 配置
LPUARTx_TX	全双工模式	推挽复用
	半双工同步模式	推挽复用 + 上拉
	单线模式	输入模式+复用功能
LPUARTx_RX	全双工模式	输入模式+复用功能
	半双工同步模式	未用, 可作为通用 I/O
LPUARTx_RTS	硬件流量控制	推挽复用
LPUARTx_CTS	硬件流量控制	输入模式+复用功能

### 12.2.6.12 I2C IO 配置

表 12-104 I2C (x= {1...10}) IO 配置

I2C 引脚	配置	GPIO 配置
I2Cx_SCL	I2C 时钟	开漏复用
I2Cx_SDA	I2C 数据	开漏复用
I2Cx_SMBA	SMBA 数据	推挽复用

### 12.2.6.13 SPI IO 配置

**表 12-105 SPI(x={1..7}) IO 配置**

SPI 引脚	配置	GPIO 配置
SPIx_SCK	主模式	推挽复用
	从模式	输入模式+复用功能
SPIx_MOSI	全双工模式/主模式	推挽复用
	全双工模式/从模式	输入模式+复用功能
	单工双向数据线/主模式	推挽复用
	单工双向数据线/从模式	未用, 可作为通用 I/O
SPIx_MISO	全双工模式/主模式	输入模式+复用功能
	全双工模式/从模式	推挽复用
	单工双向数据线/主模式	未用, 可作为通用 I/O
	单工双向数据线/从模式	推挽复用
SPIx_NSS	硬件从模式	输入模式+复用功能
	硬件主模式/NSS 输出使能	推挽复用
	软件模式	未用, 可作为通用 I/O

### 12.2.6.14 I2S IO 配置

**表 12-106 I2S (x={1..4}) IO 配置**

SPI 引脚	配置	GPIO 配置
I2Sx_WS	主模式	推挽复用
	从模式	输入模式+复用功能
I2Sx_CK	主模式	推挽复用
	从模式	输入模式+复用功能
I2Sx_SD	发送器	推挽复用
	接收器	输入模式+复用功能
I2Sx_SD_EXT	发送器	推挽复用
	接收器	输入模式+复用功能
I2Sx_MCK	主模式	推挽复用
	从模式	未用, 可作为通用 I/O
I2S_CKIN	-	输入模式+复用功能

### 12.2.6.15 DSMU IO 配置

**表 12-107 DSMU IO 配置**

DSMU 引脚	配置	GPIO 配置
DSMU_CKINx(0~7)	同步信号输入	输入模式
DSMU_CKOUT	同步信号输出	推挽复用
DSMU_DATINx (x=0~7)	同步信号输入	输入模式

### 12.2.6.16 XSPI IO 配置

表 12-108 XSPI1/2 IO 配置

XSPI 引脚	配置	GPIO 配置
XSPI1/2_IO x (x=0~7)	数据线	推挽复用
XSPI1/2_CLK	时钟信号	推挽复用
XSPI1/2_NCLK	反向时钟输出信号	推挽复用
XSPI1/2_DQS	数据选通信号输入	推挽复用
XSPI1/2_NCSIN	从机选择输入	推挽复用
XSPI1/2_NCSx (x=1..4)	片选输出信号	推挽复用

### 12.2.6.17 ETH IO 配置

表 12-109 ETH1/2 IO 配置

ETH 引脚	GPIO 配置
ETH1/2_MDC	推挽复用 + 快速翻转
ETH1/2_MDIO	推挽复用 + 快速翻转
ETH1/2_PPS_OUT	推挽复用
ETH1/2_PHY_INTN	输入模式+复用功能
ETH1/2_MII_CRX/ETH1_GMII_CRX	输入模式+复用功能
ETH1/2_MII_COL/ETH1_GMII_COL	输入模式+复用功能
ETH1/2_MII_RX_ER/ETH1_GMII_RX_ER	输入模式+复用功能
ETH1/2_MII_RX_DV/ETH1_GMII_RX_DV/ ETH1/2_RMII_CRX_DV	输入模式+复用功能
ETH1/2_MII_RXD3/ ETH1_GMII_RXD3	输入模式+复用功能
ETH1/2_MII_RXD2/ ETH1_GMII_RXD2	输入模式+复用功能
ETH1/2_MII_RXD1/ ETH1_GMII_RXD1/ ETH1/2_RMII_RXD1	输入模式+复用功能
ETH1/2_MII_RXD0/ETH1_GMII_RXD0/ ETH1/2_RMII_RXD0	输入模式+复用功能
ETH1_GMII_RXDx (x=4..7)	输入模式+复用功能
ETH1/2_MII_RX_CLK/ETH1_GMII_RX_CLK/ ETH1/2_RMII_REF_CLK/	输入模式+复用功能
ETH1/2_MII_TX_EN/ETH1_GMII_TX_EN/ ETH1/2_RMII_TX_EN	推挽复用 + 快速翻转
ETH1/2_MII_TX_ER/ETH1_GMII_TX_ER	推挽复用
ETH1/2_MII_TX_CLK/ ETH1_GMII_TX_CLK	输入模式+复用功能
ETH1/2_MII_TXD3/ ETH1_GMII_TXD3	推挽复用 + 快速翻转
ETH1/2_MII_TXD2/ ETH1_GMII_TXD2	推挽复用 + 快速翻转
ETH1/2_MII_TXD1/ ETH1_GMII_TXD1/ ETH1/2_RMII_TXD1	推挽复用 + 快速翻转
ETH1/2_MII_TXD0/ ETH1_GMII_TX_EN/ ETH1/2_RMII_TXD0	推挽复用 + 快速翻转
ETH1_GMII_TXDx (x=4..7)	推挽复用 + 快速翻转

ETH1_CLK125	输入模式+复用功能
ETH1_GMII_GTX_CLK	推挽复用

### 12.2.6.18 USBHS IO 配置

表 12-110 USBHS IO 配置

USB 引脚	GPIO 配置
USB_HS_DM	推挽复用
USB_HS_DP	
USB_HS_ID	输入模式+复用功能
USB_HS_SOF	推挽复用
USB_VBUS	输入模式+复用功能

### 12.2.6.19 ESC IO 配置

表 12-111 ESC IO 配置

ESC 引脚	GPIO 配置
ESC_EEPROM_CLK	推挽复用
ESC_EEPROM_DATA	推挽复用
ESC_IRQ	推挽复用
ESC_LATCH[1:0]	输入模式+复用功能
ESC_LED_ERR	推挽复用
ESC_LED_RUN	推挽复用
ESC_LED_STATE_RUN	推挽复用
ESC_LINK_ACT[1:0]	推挽复用
ESC_MDC	推挽复用
ESC_MDIO	推挽复用
ESC_RESET_OUT	推挽复用
ESC_RESET_IN	输入模式+复用功能
ESC_P0_LINK	输入模式+复用功能
ESC_P0_MII_RX_CLK	输入模式+复用功能
ESC_P0_MII_RX_DV	输入模式+复用功能
ESC_P0_MII_RX_ER	输入模式+复用功能
ESC_P0_MII_RXD[3:0]	推挽复用
ESC_P0_MII_TX_CLK	推挽复用
ESC_P0_MII_TX_EN	推挽复用
ESC_P0_MII_TXD[3:0]	推挽复用
ESC_P1_MII_RX_CLK	输入模式+复用功能
ESC_P1_MII_RX_DV	输入模式+复用功能
ESC_P1_MII_RX_ER	输入模式+复用功能
ESC_P1_MII_RXD[3:0]	推挽复用
ESC_P1_MII_TX_CLK	推挽复用
ESC_P1_MII_TX_EN	推挽复用
ESC_P1_MII_TXD[3:0]	推挽复用

ESC 引脚	GPIO 配置
ESC_P1_LINK	输入模式+复用功能
ESC_SYNC[1:0]	推挽复用

### 12.2.6.20 SDRAM IO 配置

表 12-112 SDRAM IO 配置

SDRAM 引脚	配置	GPIO 配置
SDRAM_A[12:0]	输出地址信号	推挽复用
SDRAM_BA[1:0]	输出 bank 地址信号	推挽复用
SDRAM_NCAS	输出列地址信号	推挽复用
SDRAM_NCE[1:0]	输出片选信号	推挽复用
SDRAM_CKE[1:0]	输出时钟使能信号	推挽复用
SDRAM_CLK	输出时钟信号	推挽复用
SDRAM_D[31:0]	双向数据信号	推挽复用
SDRAM_DMQ[3:0]	输出数据掩码信号	推挽复用
SDRAM_NRAS	输出行地址选通信号	推挽复用
SDRAM_NWE	输出写使能信号	推挽复用

### 12.2.6.21 LCD IO 配置

表 12-113 LCD IO 配置

LCD 引脚	配置	GPIO 配置
LCD_B[7:0]	B 信号线	推挽复用
LCD_G[7:0]	G 信号线	推挽复用
LCD_R[7:0]	R 信号线	推挽复用
LCD_CLK	时钟输出信号	推挽复用
LCD_DE	数据使能输出信号	推挽复用
LCD_HSYNC	水平同步输出信号	推挽复用
LCD_VSYNC	垂直同步输出信号	推挽复用

### 12.2.6.22 SDMMC IO 配置

表 12-114 SDMMC1/2 IO 配置

SDMMC 引脚	配置	GPIO 配置
SDMMC_D[7:0]	双向数据线	推挽复用
SDMMC_WP	写保护输入	推挽复用
SDMMC_CD	卡检测输入	推挽复用
SDMMC_CMD	双向命令线	推挽复用
SDMMC_CK	时钟输出到卡	推挽复用
SDMMC_CKIN	来自卡的反馈时钟输入	推挽复用
SDMMC_RST	EMMC 硬件复位输出	推挽复用
SDMMC_CDIR	命令方向输出	推挽复用
SDMMC_D0DIR	Data0 方向输出	推挽复用

SDMMC_D123DIR	数据 1/2/3 方向输出	推挽复用
SDMMC_LEDCTRL	LED 控制输出	推挽复用
SDMMC_SEL	1.8V 开关使能输出	推挽复用

### 12.2.6.23 Other IO 配置

表 12-115 Other IO 配置

引脚	配置	GPIO 配置
RTC_REFIN	RTC 参考时钟输入	输入模式+复用功能
RTC_OUT2	RTC out2 引脚	推挽复用
Timestamp	时间戳触发输入	输入模式+复用功能
MCO1/2	时钟输出	推挽复用
EXTI Input Line	外部中断输入	输入模式
COMPx_OUT	COMP 输出	推挽复用
EVENT_OUT	事件输出	推挽复用

### 12.2.7 GPIO 锁定机制

锁定机制用于冻结 IO 配置以防止被意外更改。当在一个端口位上执行了锁定（LOCK）程序，在下一次复位之前，不能再更改端口的配置，参考端口配置锁定寄存器 GPIOx\_PLOCK。

- PLOCKK，即 GPIOx\_PLOCK[16]，只有在执行正确的序列 w1 -> w0 -> w1 -> r0（这里的 r0 也是必须的）之后才会变为 1。之后，它只有在执行系统复位时才会变为 0。
- PLOCKy 只能在 PLOCKK=0 时修改。
- 设置 PLOCKK 位的锁定序列 w1 -> w0 -> w1 -> r0 仅在 GPIOx\_PLOCK.PLOCK[15:0] 中的值（1 或 0）在此序列期间不发生变化时才有效。如果在此序列期间 GPIOx\_PLOCK.PLOCK[15:0] 中的值发生变化，则 GPIOx\_PLOCK.PLOCKK 位不会被设置。
- 只要 GPIOx\_PLOCK.PLOCKK=0 且 GPIOx\_PLOCK.PLOCKy=0 或 1，所有配置和复用功能位均可修改。当 GPIOx\_PLOCK.PLOCKK=1 但 GPIOx\_PLOCK.PLOCK[x] = 0 时，可以修改对应 GPIOx\_PLOCK.PLOCK[x] = 0 的配置和复用功能位。
- 仅当 GPIOx\_PLOCK.PLOCKK=1 且 GPIOx\_PLOCK.PLOCK[x] = 1 时，对应 GPIOx\_PLOCK.PLOCK[x] = 1 的配置被锁定，无法修改。

如果锁定序列操作错误，则必须重新进行（w1-> w0-> w1-> r0）以重新启动锁定操作。

### 12.2.8 GPIO PAD 类型

芯片中有三种类型的 GPIO：5V Tolerant、3.3V Tolerant 以及 3.3V Tolerant（高速 IO）。每种类型的引脚将具有不同的驱动能力。更多详情请参见 12.3.13。

表 12-116 GPIO PAD 类型

5V Tolerant	BOOT0, PA8, PA10, PA11, PA12, PA13, PA14, PA15 PB3, PB4, PB9 PC6, PC7, PC8, PC13, PC14, PC15
-------------	--

	PD3 PE4, PE6 PG3 PH0, PH1, PH4 PI8, PI15 PJ0, PJ3, PJ4, PJ5, PJ6, PJ7, PJ8, PJ9, PJ10, PJ11, PJ12, PJ13, PJ14, PJ15 PK0, PK1, PK2
3.3V Tolerant	PA0, PA1, PA2, PA3, PA6, PA9 PB0, PB1, PB2, PB7, PB8, PB10, PB11, PB12, PB13 PC1, PC9, PC10, PC11 PD4, PD5, PD6, PD7, PD11, PD12, PD13 PE2, PE3, PE5 PF6, PF7, PF8, PF9, PF10 PG6, PG7, PG9, PG10, PG11, PG12, PG13, PG14 PI11, PI12, PI13, PI14 PJ1, PJ2, PK3, PK4, PK5, PK6, PK7
3.3V Tolerant (High Speed IO)	PI10, PI9, PI7, PI6, PI5, PI4, PI3, PI2, PI1, PI0 PH15, PH14, PH13, PH12, PH11, PH10, PH9, PH8, PH7, PH6, PH5, PH3, PH2 PG15, PG8, PG5, PG4, PG2, PG1, PG0 PF15, PF14, PF13, PF12, PF11, PF5, PF4, PF3, PF2, PF1, PF0 PE15, PE14, PE13, PE12, PE11, PE10, PE9, PE8, PE7, PE1, PE0 PD15, PD14, PD10, PD9, PD8, PD2, PD1, PD0 PC12, PC5, PC4, PC3, PC2, PC0 PB15, PB14, PB6, PB5, PA7, PA5, PA4

## 12.3 GPIO 寄存器

必须以 32 位字的方式操作这些外设寄存器。

### 12.3.1 GPIO 寄存器总览

GPIOA 基地址: 0x58032800

GPIOB 基地址: 0x58032C00

GPIOC 基地址: 0x58033000

GPIOD 基地址: 0x58033400

GPIOE 基地址: 0x58033800

GPIOF 基地址: 0x58033C00

GPIOG 基地址: 0x58034000

GPIOH 基地址: 0x58034400

GPIOI 基地址: 0x58034800



GPIOJ 基地址: 0x58034C00

GPIOK 基地址: 0x58035000

### 12.3.2 GPIO 端口模式配置寄存器 (GPIOx\_PMODE)

偏移地址: 0x00

复位值: 0xABFF FFFF (x=A); 0xFFFF FEBF (x=B); 0xFFFFFFFF (x=C,D,E,F,G,H,I,J), 0x0000 FFFF (x=K)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PMODE15		PMODE14 [1:0]		PMODE13 [1:0]		PMODE12 [1:0]		PMODE11 [1:0]		PMODE10 [1:0]		PMODE9 [1:0]		PMODE8 [1:0]	
rw		rw		rw		rw		rw		rw		rw		rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMODE7[1:0]		PMODE6 [1:0]		PMODE5 [1:0]		PMODE4[1:0]		PMODE3 [1:0]		PMODE2 [1:0]		PMODE1 [1:0]		PMODE0 [1:0]	
rw		rw		rw		rw		rw		rw		rw		rw	

位域	名称	描述	
31:30	PMODEy[1:0]	端口 y 的模式位 (y = 0...15 对于 x = A,B,C,D,E,F,G,H,I,J, y = 0...7 对于 x = K)	
29:28			
27:26			
25:24			00: 输入模式
23:22			01: 通用输出模式
21:20			10: 复用功能模式
19:18			11: 模拟功能模式 (复位后的状态)
17:16			
15:14			
13:12			
11:10			
9:8			
7:6			
5:4			
3:2			
1:0			

### 12.3.3 GPIO 输出类型定义寄存器 (GPIOx\_POTYPE)

偏移地址: 0x04

复位值: 0x0000 0000(x = A,B,C,D,E,F,G,H,I,J)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

POT15	POT14	POT13	POT12	POT11	POT10	POT9	POT8	POT7	POT6	POT5	POT4	POT3	POT2	POT1	POT0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	POTy[15:0]	端口 y 的输出模式位 (y = 0...15 对于 x = A,B,C,D,E,F,G,H,I,J, y = 0...7 对于 x = K) 0: 推挽输出模式 (复位后的状态) 1: 开漏输出模式

### 12.3.4 GPIO 端口翻转速率配置寄存器 (GPIOx\_SR)

偏移地址: 0x08

复位值: 0x0000 FFFF (x = A,B,C,D,E,F,G,H,I,J); 0x0000 00FF (x = K)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SR15	SR14	SR13	SR12	SR11	SR10	SR9	SR8	SR7	SR6	SR5	SR4	SR3	SR2	SR1	SR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	SRy[15:0]	端口 y 的翻转速率配置 (y = 0...15 对于 x = A,B,C,D,E,F,G,H,I,J, y = 0...7 对于 x = K) 这些位只能作为 16 位字进行读取或写入。 0: 快速翻转 1: 慢速翻转

### 12.3.5 GPIO 端口上下拉配置寄存器 (GPIOx\_PUPD)

偏移地址: 0x0C

复位值: 0x6400 0000 (x = A); 0x0000 0100 (x = B); 0x0000 0000 (x = C,D,E,F,G,H,I,J,K)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PUPD15[1:0]	PUPD14[1:0]	PUPD13[1:0]	PUPD12[1:0]	PUPD11[1:0]	PUPD10[1:0]	PUPD9[1:0]	PUPD8[1:0]								
rw	rw	rw	rw	rw	rw	rw	rw								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PUPD7[1:0]	PUPD6[1:0]	PUPD5[1:0]	PUPD4[1:0]	PUPD3[1:0]	PUPD2[1:0]	PUPD1[1:0]	PUPD0[1:0]								

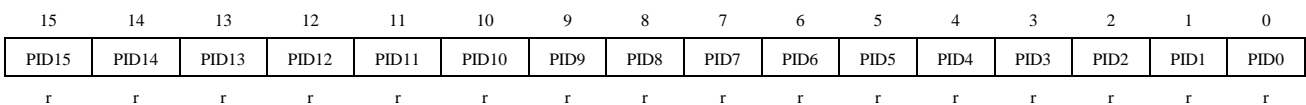
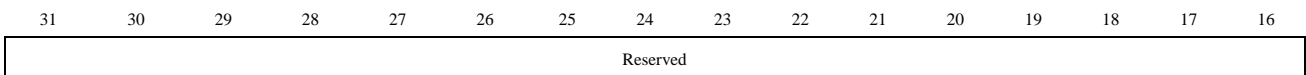
rw                      rw                      rw                      rw                      rw                      rw                      rw

位域	名称	描述
31:30 29:28 27:26 25:24 23:22 21:20 19:18 17:16 15:14 13:12 11:10 9:8 7:6 5:4 3:2 1:0	PUPDy[1:0]	端口 y 的模式位 (y = 0...15 对于 x = A,B,C,D,E,F,G,H,I,J, y = 0...7 对于 x = K)  00: 无上拉或下拉  01: 上拉  10: 下拉  11: 保留

### 12.3.6 GPIO 输入数据寄存器 (GPIOx\_PID)

偏移地址: 0x10

复位值: 0x0000 0000



位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15:0	PIDy[15:0]	端口输入数据 (y = 0...15 对于 x = A,B,C,D,E,F,G,H,I,J, y = 0...7 对于 x = K) 这些位是只读的, 只能以 16 位字的形式读取, 读取的值为对应 I/O 端口的状态。

### 12.3.7 GPIO 输出数据寄存器 (GPIOx\_POD)

偏移地址: 0x14

复位值: 0x0000 0000

Reserved															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15:0	PODy[15:0]	端口输出数据 (y = 0...15 对于 x = A,B,C,D,E,F,G,H,I,J, y = 0...7 对于 x = K) 这些位只能作为 16 位字读写。操作 GPIOx_PBSC (x = A...D), 对应的 POD 位可以独立设置/清除。

### 12.3.8 GPIO 端口位设置/清除寄存器 (GPIOx\_PBSC)

偏移地址: 0x18

复位值: 0x0000 0000

Reserved															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PBC15	PBC14	PBC13	PBC12	PBC11	PBC10	PBC9	PBC8	PBC7	PBC6	PBC5	PBC4	PBC3	PBC2	PBC1	PBC0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PBS15	PBS14	PBS13	PBS12	PBS11	PBS10	PBS9	PBS8	PBS7	PBS6	PBS5	PBS4	PBS3	PBS2	PBS1	PBS0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

位域	名称	描述
31:16	PBCy	清除端口 GPIOx 的第 y 位 (y = 0...15 对于 x = A,B,C,D,E,F,G,H,I,J, y = 0...7 对于 x=K) 这些位只能写入并只能以字 (16 位) 的形式操作。 0: 对相应的 PODy 位不产生影响 1: 清除对应的 PODy 位为 0 <i>注: 如果同时设置了 PBSy 和 PBCy 的对应位, PBSy 位起作用。</i>
15:0	PBSy	设置端口 GPIOx 的第 y 位 (y = 0...15 对于 x = A,B,C,D,E,F,G,H,I,J, y = 0...7 对于 x=K) 这些位只能写入并只能以字 (16 位) 的形式操作。 0: 对相应的 PODy 位不产生影响 1: 设置对应的 PODy 位为 1

### 12.3.9 GPIO 端口锁定配置寄存器 (GPIOx\_PLOCK)

偏移地址: 0x1C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															PLOCKK
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PLOCK15	PLOCK14	PLOCK13	PLOCK12	PLOCK11	PLOCK10	PLOCK9	PLOCK8	PLOCK7	PLOCK6	PLOCK5	PLOCK4	PLOCK3	PLOCK2	PLOCK1	PLOCK0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:17	Reserved	保留, 必须保持复位值。
16	PLOCKK	锁键。该位可随时读出, 它只可通过锁键写入序列修改。 0: 端口配置锁键位未激活 1: 端口配置锁键位被激活, 下次系统复位前 GPIOx_PLOCK 寄存器被锁住。 锁键的写入序列: 写 1 -> 写 0 -> 写 1 -> 读 0 -> 读 1 最后一个读可省略, 但可以用来确认锁键已被激活。 <i>注: 在操作锁键的写入序列时, 不能改变 PLOCK [15:0] 的值。操作锁键写入序列中的任何错误将不能激活锁键。</i>
15:0	PLOCKy	端口 GPIOx 的配置锁定位 y (y = 0...15) 端口 GPIOx 的配置锁定位 y (y = 0...15 对于 x = A,B,C,D,E,F,G,H,I,J, y = 0...7 对于 x = K) 这些位可读可写但只能在 PLOCKK 位为 0 时写入。 0: 不锁定端口的配置 1: 锁定端口的配置

### 12.3.10 GPIO 端口复用功能低配置寄存器 (GPIOx\_AFL)

偏移地址: 0x20

复位值: 0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFSEL7[3:0]				AFSEL6[3:0]				AFSEL5[3:0]				AFSEL4[3:0]			
rw				rw				rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFSEL3[3:0]				AFSEL2[3:0]				AFSEL1[3:0]				AFSEL0[3:0]			
rw				rw				rw				rw			

位域	名称	描述
31:0	AFSELY[3:0]	端口 GPIOx 的复用功能配置位 y ( y = 0...7 ) 0000: AF0 0001: AF1 0010: AF2 0011: AF3 0100: AF4 0101: AF5 0110: AF6 0111: AF7 1000: AF8 1001: AF9 1010: AF10 1011: AF11 1100: AF12 1101: AF13 1110: AF14 1111: AF15

### 12.3.11 GPIO 端口复用功能高配置寄存器 (GPIOx\_AFH)

偏移地址: 0x24

复位值: 0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFSEL15[3:0]				AFSEL14[3:0]				AFSEL13[3:0]				AFSEL12[3:0]			
rw				rw				rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFSEL11[3:0]				AFSEL10[3:0]				AFSEL9[3:0]				AFSEL8[3:0]			
rw				rw				rw				rw			

位域	名称	描述
31:0	AFSELY[3:0]	端口 GPIOx 的复用功能配置位 y ( y = 8...15 ) 0000: AF0 0001: AF1 0010: AF2 0011: AF3 0100: AF4 0101: AF5 0110: AF6 0111: AF7 1000: AF8 1001: AF9

位域	名称	描述
		1010: AF10 1011: AF11 1100: AF12 1101: AF13 1110: AF14 1111: AF15

### 12.3.12 GPIO 端口位清除寄存器 (GPIOx\_PBC)

偏移地址: 0x28

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PBC15	PBC14	PBC13	PBC12	PBC11	PBC10	PBC9	PBC8	PBC7	PBC6	PBC5	PBC4	PBC3	PBC2	PBC1	PBC0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15:0	PBCy	清除端口 GPIOx 的第 y 位 (y = 0...15 对于 x = A,B,C,D,E,F,G,H,I,J, y = 0...7 对于 x = K) 这些位只能写入并只能以字 (16 位) 的形式操作。 0: 对相应的 PODy 位不产生影响 1: 清除对应的 PODy 位为 0

### 12.3.13 GPIO 驱动能力配置寄存器 (GPIOx\_DS)

偏移地址: 0x1C

复位值: 0xAAAA AAAA (x = A,B,C,D,E,F,G,H,I,J); 0x0000 AAAA (x = K)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DS15[1:0]		DS14[1:0]		DS13[1:0]		DS12[1:0]		DS11[1:0]		DS10[1:0]		DS9[1:0]		DS8[1:0]	
rw		rw		rw		rw		rw		rw		rw		rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DS7[1:0]		DS6[1:0]		DS5[1:0]		DS4[1:0]		DS3[1:0]		DS2[1:0]		DS1[1:0]		DS0[1:0]	
rw		rw		rw		rw		rw		rw		rw		rw	

位域	名称	描述																																																																	
31:30 29:28 27:26 25:24 23:22 21:20 19:18 17:16 15:14 13:12 11:10 9:8 7:6 5:4 3:2 1:0	DSy[1:0]	<p>端口 y 驱动能力配置 (y = 0...15)</p> <p>3.3V Tolerant PADS</p> <table border="1"> <thead> <tr> <th>DSy[1]</th> <th>DSy[0]</th> <th>Drive Strength</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>2mA</td> </tr> <tr> <td>0</td> <td>1</td> <td>8mA</td> </tr> <tr> <td>1</td> <td>0</td> <td>4mA</td> </tr> <tr> <td>1</td> <td>1</td> <td>12mA</td> </tr> </tbody> </table> <p>5V Tolerant PADS</p> <table border="1"> <thead> <tr> <th>DSy[1]</th> <th>DSy[0]</th> <th>Drive Strength</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1mA</td> </tr> <tr> <td>0</td> <td>1</td> <td>4mA</td> </tr> <tr> <td>1</td> <td>0</td> <td>2mA</td> </tr> <tr> <td>1</td> <td>1</td> <td>6mA</td> </tr> </tbody> </table> <p>DSNz, DSPz (z=0..2). See AFIO_HS_DSN_CFGx and AFIO_HS_DSP_CFGx</p> <p>3.3V Tolerant PADS (High Speed IO)</p> <table border="1"> <thead> <tr> <th>DSy[1]</th> <th>DSy[0]</th> <th>DSNz</th> <th>DSPz</th> <th>Drive Strength</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1mA</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>2mA</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>8mA</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>4mA</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>5mA</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>12mA</td> </tr> </tbody> </table>	DSy[1]	DSy[0]	Drive Strength	0	0	2mA	0	1	8mA	1	0	4mA	1	1	12mA	DSy[1]	DSy[0]	Drive Strength	0	0	1mA	0	1	4mA	1	0	2mA	1	1	6mA	DSy[1]	DSy[0]	DSNz	DSPz	Drive Strength	0	0	0	0	1mA	0	0	1	1	2mA	0	1	0	0	8mA	1	0	0	0	4mA	1	0	1	1	5mA	1	1	0	0	12mA
DSy[1]	DSy[0]	Drive Strength																																																																	
0	0	2mA																																																																	
0	1	8mA																																																																	
1	0	4mA																																																																	
1	1	12mA																																																																	
DSy[1]	DSy[0]	Drive Strength																																																																	
0	0	1mA																																																																	
0	1	4mA																																																																	
1	0	2mA																																																																	
1	1	6mA																																																																	
DSy[1]	DSy[0]	DSNz	DSPz	Drive Strength																																																															
0	0	0	0	1mA																																																															
0	0	1	1	2mA																																																															
0	1	0	0	8mA																																																															
1	0	0	0	4mA																																																															
1	0	1	1	5mA																																																															
1	1	0	0	12mA																																																															



## 12.4 AFIO 寄存器

AFIO 基地址：0x58032400

### 12.4.1 AFIO 重映射配置寄存器 (AFIO\_RMP\_CFG)

偏移地址：0x00

复位值：0x0000 0007

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	EXTI_AFLT BYP	SIP_SDRAM_SEL	SPI4_SEL	SPI3_SEL	SPI2_SEL	SPI1_SEL	SDMMC1_CLKFB	SDMMC2_CLKFB	I2S_FDUP	Reserved	XSPI2_EDN	XSPI1_EDN	FEMC_SEL	FEMC_NOBYTE	
	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETH2_PHY	ETH1_PHY[1:0]	SPI7_NSS	SPI6_NSS	SPI5_NSS	SPI4_NSS	SPI3_NSS	SPI2_NSS	SPI1_NSS	Reserved	SIP_FLASHSEL[2:0]					
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw				rw

位域	名称	描述
31	Reserved	保留，必须保持复位值。
30	EXTI_AFLTBYPS	Bypass EXTI 的模拟滤波器 0: 滤波 1: 不滤波
29	SIP_SDRAM_SEL	设置 SIP SDRAM PAD 优先级。 0: 不设置优先级。 1: 将 PAD 到 SIP SDRAM 的 AFSEL 优先于其他模块的 AF 选择。
28	SPI4_SEL	选择 SPI4 或 I2S4 功能。 0: 启用 I2S4 (仅适用于共享 SPI/I2S 的 IO) 1: 启用 SPI4
27	SPI3_SEL	选择 SPI3 或 I2S3 功能。 0: 启用 I2S3 (仅适用于共享 SPI/I2S 的 IO) 1: 启用 SPI3
26	SPI2_SEL	选择 SPI2 或 I2S2 功能。 0: 启用 I2S2 (仅适用于共享 SPI/I2S 的 IO) 1: 启用 SPI2
25	SPI1_SEL	选择 SPI1 或 I2S1 功能。 0: 启用 I2S1 (仅适用于共享 SPI/I2S 的 IO) 1: 启用 SPI1
24	SDMMC1_CLKFB	SDMMC1 选择外部时钟或反馈时钟输入 0: 外部时钟输入 1: 反馈时钟输入
23	SDMMC2_CLKFB	SDMMC2 选择外部时钟或反馈时钟输入 0: 外部时钟输入

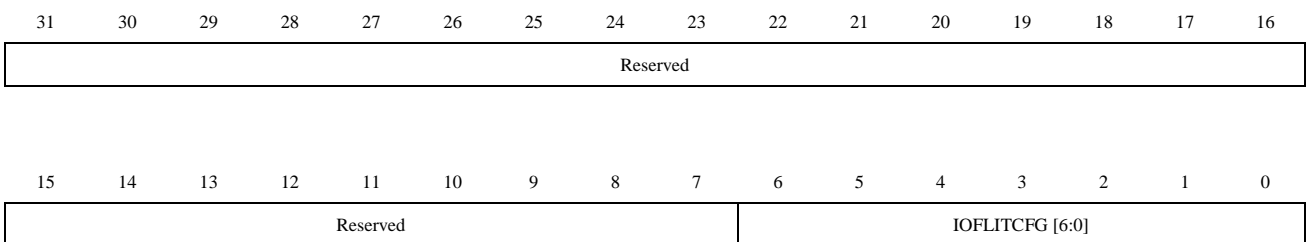
位域	名称	描述
		1: 反馈时钟输入
22:21	I2S_FDUP[1:0]	启用 I2S 全双工模式 00: 启用 I2S1 全双工模式 01: 启用 I2S2 全双工模式 10: 启用 I2S3 全双工模式 11: 启用 I2S4 全双工模式
20	Reserved	保留, 必须保持复位值。
19	XSPI2_EDN	XSPI2 字节序选择 0: 小端序 1: 大端序
18	XSPI1_EDN	XSPI1 字节序选择 0: 小端序 1: 大端序
17	FEMC_SEL	选择 FEMC 工作模式 0: SRAM/PSRAM/NOR 设备 1: NAND 设备
16	FEMC_NOBYTE	FEMC 中 NBL 信号选择 0: 支持字节选通 NBL 信号 1: 不支持字节选通 NBL 信号
15	ETH2_PHY	ETH2 PHY 选择 0: MII 1: RMII
14:13	ETH1_PHY[1:0]	ETH1 PHY 选择 00: GMII 01: RGMII 10: RMII 11: MII
12	SPI7_NSS	SPI7 的 NSS 模式 (当 NSS 配置为 AFIO 推挽输出时): 0: 空闲时 NSS 为高阻状态 1: 空闲时 NSS 为高电平
11	SPI6_NSS	SPI6 的 NSS 模式 (当 NSS 配置为 AFIO 推挽输出时): 0: 空闲时 NSS 为高阻状态 1: 空闲时 NSS 为高电平
10	SPI5_NSS	SPI5 的 NSS 模式 (当 NSS 配置为 AFIO 推挽输出时): 0: 空闲时 NSS 为高阻状态 1: 空闲时 NSS 为高电平
9	SPI4_NSS	SPI4 的 NSS 模式 (当 NSS 配置为 AFIO 推挽输出时): 0: 空闲时 NSS 为高阻状态 1: 空闲时 NSS 为高电平
8	SPI3_NSS	SPI3 的 NSS 模式 (当 NSS 配置为 AFIO 推挽输出时): 0: 空闲时 NSS 为高阻状态 1: 空闲时 NSS 为高电平

位域	名称	描述
7	SPI2_NSS	SPI2 的 NSS 模式（当 NSS 配置为 AFIO 推挽输出时）： 0: 空闲时 NSS 为高阻状态 1: 空闲时 NSS 为高电平
6	SPI1_NSS	SPI1 的 NSS 模式（当 NSS 配置为 AFIO 推挽输出时）： 0: 空闲时 NSS 为高阻状态 1: 空闲时 NSS 为高电平
5:3	Reserved	保留，必须保持复位值。
2:0	SIP_FLASHSEL [2:0]	000: IS25WJ032F 001: IS25LP016D/IS25WP016D 010: XM25LU32CK 011: GT25Q16A 100: GT25Q32A 111: 禁用 SIP 段（切换到主 IOM）– 默认

### 12.4.2 AFIO IOM 滤波控制寄存器（AFIO\_FILTER\_CFG）

偏移地址：0x04

复位值：0x0000 0000



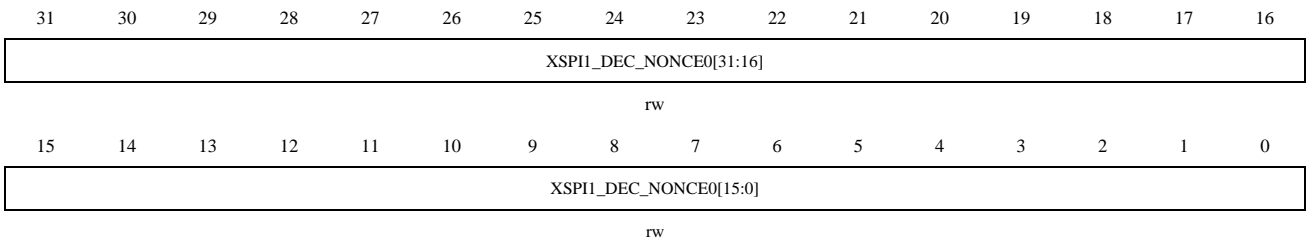
rw

位域	名称	描述
31:7	Reserved	保留，必须保持复位值。
6:0	IOFLITCFG[6:0]	滤波器控制 0000000: 旁路滤波器 其他: 计数器值，以 hclk 为周期的滤波时长

### 12.4.3 AFIO XSPI1 随机数寄存器 0（AFIO\_XSPI1\_NON0）

偏移地址：0x08

复位值：0xA54B 885C

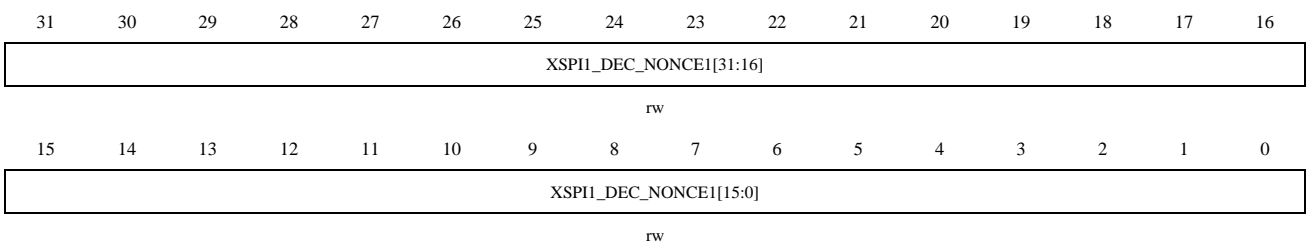


位域	名称	描述
31:0	XSPI1_DEC_NONCE0[31:0]	XSPI 解密随机数[31:0]，总计 96 位 RTAD 使用 AES128-CTR 基于给定的密钥、随机数值和读取地址位进行解密，并获得 DataFilter 结果

#### 12.4.4 AFIO XSPI1 随机数寄存器 1 (AFIO\_XSPI1\_NON1)

偏移地址：0x0C

复位值：0x0000 0DC0

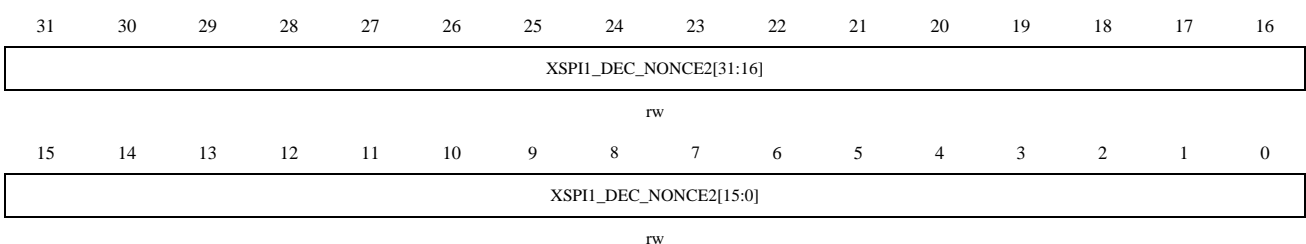


位域	名称	描述
31:0	XSPI1_DEC_NONCE1[31:0]	XSPI 解密随机数[63:32]，总计 96 位 RTAD 使用 AES128-CTR 基于给定的密钥、随机数值和读取地址位进行解密，并获得 DataFilter 结果

#### 12.4.5 AFIO XSPI1 随机数寄存器 2 (AFIO\_XSPI1\_NON2)

偏移地址：0x10

复位值：0x0000 0000

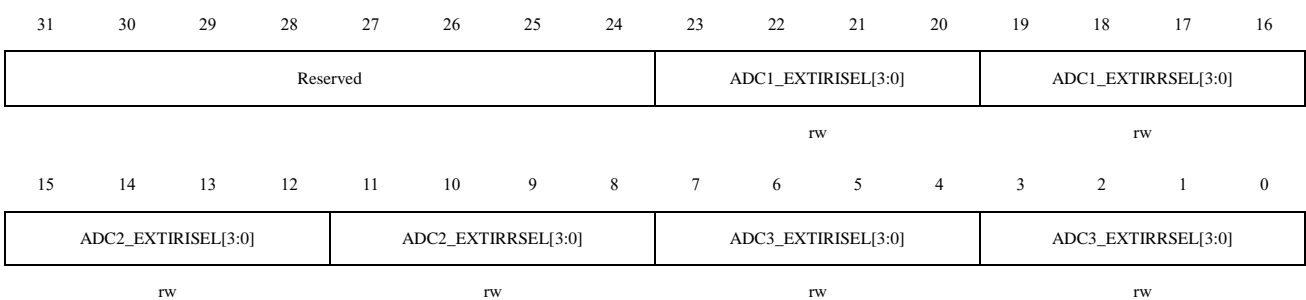


位域	名称	描述
31:0	XSPI1_DEC_NONCE2[31:0]	XSPI 解密随机数[95:64]，总计 96 位 RTAD 使用 AES128-CTR 基于给定的密钥、随机数值和读取地址位进行解密，并获得 DataFilter 结果

## 12.4.6 AFIO ADC 重映射配置寄存器 (AFIO\_ADCRMP\_CFG)

偏移地址：0x14

复位值：0x0000 0000



位域	名称	描述
31:24	Reserved	保留，必须保持复位值。
23:20	ADC1_EXTIRISEL[3:0]	选择中断线作为 ADC1 注入通道的外部触发信号源 0000: EXTI Line0 0001: EXTI Line1 0010: EXTI Line2 0011: EXTI Line3 0100: EXTI Line4 0101: EXTI Line5 0110: EXTI Line6 0111: EXTI Line7 1000: EXTI Line8 1001: EXTI Line9 1010: EXTI Line10 1011: EXTI Line11 1100: EXTI Line12 1101: EXTI Line13 1110: EXTI Line14 1111: EXTI Line 15
19:16	ADC1_EXTIRRSEL[3:0]	选择中断线作为 ADC1 规则通道的外部触发信号源 0000: EXTI Line0 0001: EXTI Line1

		0010: EXTI Line2 0011: EXTI Line3 0100: EXTI Line4 0101: EXTI Line5 0110: EXTI Line6 0111: EXTI Line7 1000: EXTI Line8 1001: EXTI Line9 1010: EXTI Line10 1011: EXTI Line11 1100: EXTI Line12 1101: EXTI Line13 1110: EXTI Line14 1111: EXTI Line 15
15:12	ADC2_EXTIRISEL[3:0]	选择中断线作为 ADC2 注入通道的外部触发信号源 0000: EXTI Line0 0001: EXTI Line1 0010: EXTI Line2 0011: EXTI Line3 0100: EXTI Line4 0101: EXTI Line5 0110: EXTI Line6 0111: EXTI Line7 1000: EXTI Line8 1001: EXTI Line9 1010: EXTI Line10 1011: EXTI Line11 1100: EXTI Line12 1101: EXTI Line13 1110: EXTI Line14 1111: EXTI Line 15
11:8	ADC2_EXTIRRSEL[3:0]	选择中断线作为 ADC2 规则通道的外部触发信号源 0000: EXTI Line0 0001: EXTI Line1 0010: EXTI Line2 0011: EXTI Line3 0100: EXTI Line4 0101: EXTI Line5 0110: EXTI Line6 0111: EXTI Line7 1000: EXTI Line8 1001: EXTI Line9 1010: EXTI Line10 1011: EXTI Line11

		1100: EXTI Line12 1101: EXTI Line13 1110: EXTI Line14 1111: EXTI Line 15
7:4	ADC3_EXTIRISEL[3:0]	选择中断线作为 ADC3 注入通道的外部触发信号源 0000: EXTI Line0 0001: EXTI Line1 0010: EXTI Line2 0011: EXTI Line3 0100: EXTI Line4 0101: EXTI Line5 0110: EXTI Line6 0111: EXTI Line7 1000: EXTI Line8 1001: EXTI Line9 1010: EXTI Line10 1011: EXTI Line11 1100: EXTI Line12 1101: EXTI Line13 1110: EXTI Line14 1111: EXTI Line 15
3:0	ADC3_EXTIRRSEL[3:0]	选择中断线作为 ADC3 规则通道的外部触发信号源 0000: EXTI Line0 0001: EXTI Line1 0010: EXTI Line2 0011: EXTI Line3 0100: EXTI Line4 0101: EXTI Line5 0110: EXTI Line6 0111: EXTI Line7 1000: EXTI Line8 1001: EXTI Line9 1010: EXTI Line10 1011: EXTI Line11 1100: EXTI Line12 1101: EXTI Line13 1110: EXTI Line14 1111: EXTI Line 15

### 12.4.7 AFIO 外部中断配置寄存器 0 (AFIO\_EXTI\_CFG0)

偏移地址: 0x18

复位值: 0x0000 0000

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	EXTI3[7:0]								EXTI2[7:0]							
	rw								rw							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EXTI1[7:0]								EXTI0[7:0]							
	rw								rw							

位域	名称	描述
31:24 23:16 15:8 7:0	EXTIx[7:0]	EXTI Linex 配置 (x = 0 ... 3) 这些位可以由软件读写, 用于选择 EXTI Linex 外部中断的输入源  8'h0 : PA[0] pin 8'h1 : PB[0] pin 8'h2 : PC[0] pin 8'h3 : PD[0] pin 8'h4 : PE[0] pin 8'h5 : PF[0] pin 8'h6 : PG[0] pin 8'h7 : PH[0] pin 8'h8 : PI[0] pin 8'h9 : PJ[0] pin 8'hA : PK[0]pin  8'hB : PA[1] pin 8'hC : PB[1] pin 8'hD : PC[1] pin 8'hE : PD[1] pin 8'hF : PE[1] pin 8'h10 : PF[1] pin 8'h11 : PG[1] pin 8'h12 : PH[1] pin 8'h13 : PI[1] pin 8'h14 : PJ[1] pin 8'h15 : PK[1] pin  8'h16 : PA[2] pin 8'h17 : PB[2] pin 8'h18 : PC[2] pin 8'h19 : PD[2] pin 8'h1A : PE[2] pin 8'h1B : PF[2] pin 8'h1C : PG[2] pin 8'h1D : PH[2] pin



位域	名称	描述
		8'h1E : PI[2] pin
		8'h1F : PJ[2] pin
		8'h20 : PK[2] pin
		8'h21 : PA[3] pin
		8'h22 : PB[3] pin
		8'h23 : PC[3] pin
		8'h24 : PD[3] pin
		8'h25 : PE[3] pin
		8'h26 : PF[3] pin
		8'h27 : PG[3] pin
		8'h28 : PH[3] pin
		8'h29 : PI[3] pin
		8'h2A : PJ[3] pin
		8'h2B : PK[3] pin
		8'h2C : PA[4] pin
		8'h2D : PB[4] pin
		8'h2E : PC[4] pin
		8'h2F : PD[4] pin
		8'h30 : PE[4] pin
		8'h31 : PF[4] pin
		8'h32 : PG[4] pin
		8'h33 : PH[4] pin
		8'h34 : PI[4] pin
		8'h35 : PJ[4] pin
		8'h36 : PK[4] pin
		8'h37 : PA[5] pin
		8'h38 : PB[5] pin
		8'h39 : PC[5] pin
		8'h3A : PD[5] pin
		8'h3B : PE[5] pin
		8'h3C : PF[5] pin
		8'h3D : PG[5] pin
		8'h3E : PH[5] pin
		8'h3F : PI[5] pin
		8'h40 : PJ[5] pin
		8'h41 : PK[5] pin
		8'h42 : PA[6] pin
		8'h43 : PB[6] pin
		8'h44 : PC[6] pin

位域	名称	描述
		8'h45 : PD[6] pin
		8'h46 : PE[6] pin
		8'h47 : PF[6] pin
		8'h48 : PG[6] pin
		8'h49 : PH[6] pin
		8'h4A : PI[6] pin
		8'h4B : PJ[6] pin
		8'h4C : PK[6] pin
		8'h4D : PA[7] pin
		8'h4E : PB[7] pin
		8'h4F : PC[7] pin
		8'h50 : PD[7] pin
		8'h51 : PE[7] pin
		8'h52 : PF[7] pin
		8'h53 : PG[7] pin
		8'h54 : PH[7] pin
		8'h55 : PI[7] pin
		8'h56 : PJ[7] pin
		8'h57 : PK[7] pin
		8'h58 : PA[8] pin
		8'h59 : PB[8] pin
		8'h5A : PC[8] pin
		8'h5B : PD[8] pin
		8'h5C : PE[8] pin
		8'h5D : PF[8] pin
		8'h5E : PG[8] pin
		8'h5F : PH[8] pin
		8'h60 : PI[8] pin
		8'h61 : PJ[8] pin
		8'h62 : 0
		8'h63 : PA[9] pin
		8'h64 : PB[9] pin
		8'h65 : PC[9] pin
		8'h66 : PD[9] pin
		8'h67 : PE[9] pin
		8'h68 : PF[9] pin
		8'h69 : PG[9] pin
		8'h6A : PH[9] pin
		8'h6B : PI[9] pin
		8'h6C : PJ[9] pin

位域	名称	描述
		8'h6D : 0
		8'h6E : PA[10] pin
		8'h6F : PB[10] pin
		8'h70 : PC[10] pin
		8'h71 : PD[10] pin
		8'h72 : PE[10] pin
		8'h73 : PF[10] pin
		8'h74 : PG[10] pin
		8'h75 : PH[10] pin
		8'h76 : PI[10] pin
		8'h77 : PJ[10] pin
		8'h78 : 0
		8'h79 : PA[11] pin
		8'h7A : PB[11] pin
		8'h7B : PC[11] pin
		8'h7C : PD[11] pin
		8'h7D : PE[11] pin
		8'h7E : PF[11] pin
		8'h7F : PG[11] pin
		8'h80 : PH[11] pin
		8'h81 : PI[11] pin
		8'h82 : PJ[11] pin
		8'h83 : 0
		8'h84 : PA[12] pin
		8'h85 : PB[12] pin
		8'h86 : PC[12] pin
		8'h87 : PD[12] pin
		8'h88 : PE[12] pin
		8'h89 : PF[12] pin
		8'h8A : PG[12] pin
		8'h8B : PH[12] pin
		8'h8C : PI[12] pin
		8'h8D : PJ[12] pin
		8'h8E : 0
		8'h8F : PA[13] pin
		8'h90 : PB[13] pin
		8'h91 : PC[13] pin
		8'h92 : PD[13] pin
		8'h93 : PE[13] pin

位域	名称	描述
		8'h94 : PF[13] pin 8'h95 : PG[13] pin 8'h96 : PH[13] pin 8'h97 : PI[13] pin 8'h98 : PJ[13] pin 8'h99 : 0  8'h9A : PA[14] pin 8'h9B : PB[14] pin 8'h9C : PC[14] pin 8'h9D : PD[14] pin 8'h9E : PE[14] pin 8'h9F : PF[14] pin 8'hA0 : PG[14] pin 8'hA1 : PH[14] pin 8'hA2 : PI[14] pin 8'hA3 : PJ[14] pin 8'hA4 : 0  8'hA5 : PA[15] pin 8'hA6 : PB[15] pin 8'hA7 : PC[15] pin 8'hA8 : PD[15] pin 8'hA9 : PE[15] pin 8'hAA : PF[15] pin 8'hAB : PG[15] pin 8'hAC : PH[15] pin 8'hAD : PI[15] pin 8'hAE : PJ[15] pin 8'hAF : 0 Others: reserved

### 12.4.8 AFIO 外部中断配置寄存器 1 (AFIO\_EXTI\_CFG1)

偏移地址: 0x1C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EXTI7[7:0]								EXTI6[7:0]							
rw								rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI5[7:0]								EXTI4[7:0]							
rw								rw							

位域	名称	描述
31:24 23:16 15:8 7:0	EXTIx[7:0]	<p>EXTI Linex 配置 (x = 4 ... 7)</p> <p>这些位可以由软件读写, 用于选择 EXTI Linex 外部中断的输入源</p> <p>8'h0 : PA[0] pin 8'h1 : PB[0] pin 8'h2 : PC[0] pin 8'h3 : PD[0] pin 8'h4 : PE[0] pin 8'h5 : PF[0] pin 8'h6 : PG[0] pin 8'h7 : PH[0] pin 8'h8 : PI[0] pin 8'h9 : PJ[0] pin 8'hA : PK[0]pin</p> <p>8'hB : PA[1] pin 8'hC : PB[1] pin 8'hD : PC[1] pin 8'hE : PD[1] pin 8'hF : PE[1] pin 8'h10 : PF[1] pin 8'h11 : PG[1] pin 8'h12 : PH[1] pin 8'h13 : PI[1] pin 8'h14 : PJ[1] pin 8'h15 : PK[1] pin</p> <p>8'h16 : PA[2] pin 8'h17 : PB[2] pin 8'h18 : PC[2] pin 8'h19 : PD[2] pin 8'h1A : PE[2] pin 8'h1B : PF[2] pin 8'h1C : PG[2] pin 8'h1D : PH[2] pin 8'h1E : PI[2] pin 8'h1F : PJ[2] pin 8'h20 : PK[2] pin</p> <p>8'h21 : PA[3] pin 8'h22 : PB[3] pin 8'h23 : PC[3] pin</p>

		8'h24 : PD[3] pin 8'h25 : PE[3] pin 8'h26 : PF[3] pin 8'h27 : PG[3] pin 8'h28 : PH[3] pin 8'h29 : PI[3] pin 8'h2A : PJ[3] pin 8'h2B : PK[3] pin  8'h2C : PA[4] pin 8'h2D : PB[4] pin 8'h2E : PC[4] pin 8'h2F : PD[4] pin 8'h30 : PE[4] pin 8'h31 : PF[4] pin 8'h32 : PG[4] pin 8'h33 : PH[4] pin 8'h34 : PI[4] pin 8'h35 : PJ[4] pin 8'h36 : PK[4] pin  8'h37 : PA[5] pin 8'h38 : PB[5] pin 8'h39 : PC[5] pin 8'h3A : PD[5] pin 8'h3B : PE[5] pin 8'h3C : PF[5] pin 8'h3D : PG[5] pin 8'h3E : PH[5] pin 8'h3F : PI[5] pin 8'h40 : PJ[5] pin 8'h41 : PK[5] pin  8'h42 : PA[6] pin 8'h43 : PB[6] pin 8'h44 : PC[6] pin 8'h45 : PD[6] pin 8'h46 : PE[6] pin 8'h47 : PF[6] pin 8'h48 : PG[6] pin 8'h49 : PH[6] pin 8'h4A : PI[6] pin 8'h4B : PJ[6] pin 8'h4C : PK[6] pin
--	--	---

		<p>8'h4D : PA[7] pin              8'h4E : PB[7] pin              8'h4F : PC[7] pin              8'h50 : PD[7] pin              8'h51 : PE[7] pin              8'h52 : PF[7] pin              8'h53 : PG[7] pin              8'h54 : PH[7] pin              8'h55 : PI[7] pin              8'h56 : PJ[7] pin              8'h57 : PK[7] pin</p> <p>8'h58 : PA[8] pin              8'h59 : PB[8] pin              8'h5A : PC[8] pin              8'h5B : PD[8] pin              8'h5C : PE[8] pin              8'h5D : PF[8] pin              8'h5E : PG[8] pin              8'h5F : PH[8] pin              8'h60 : PI[8] pin              8'h61 : PJ[8] pin              8'h62 : 0</p> <p>8'h63 : PA[9] pin              8'h64 : PB[9] pin              8'h65 : PC[9] pin              8'h66 : PD[9] pin              8'h67 : PE[9] pin              8'h68 : PF[9] pin              8'h69 : PG[9] pin              8'h6A : PH[9] pin              8'h6B : PI[9] pin              8'h6C : PJ[9] pin              8'h6D : 0</p> <p>8'h6E : PA[10] pin              8'h6F : PB[10] pin              8'h70 : PC[10] pin              8'h71 : PD[10] pin              8'h72 : PE[10] pin              8'h73 : PF[10] pin              8'h74 : PG[10] pin</p>
--	--	--

	<p>8'h75 : PH[10] pin              8'h76 : PI[10] pin              8'h77 : PJ[10] pin              8'h78 : 0</p> <p>8'h79 : PA[11] pin              8'h7A : PB[11] pin              8'h7B : PC[11] pin              8'h7C : PD[11] pin              8'h7D : PE[11] pin              8'h7E : PF[11] pin              8'h7F : PG[11] pin              8'h80 : PH[11] pin              8'h81 : PI[11] pin              8'h82 : PJ[11] pin              8'h83 : 0</p> <p>8'h84 : PA[12] pin              8'h85 : PB[12] pin              8'h86 : PC[12] pin              8'h87 : PD[12] pin              8'h88 : PE[12] pin              8'h89 : PF[12] pin              8'h8A : PG[12] pin              8'h8B : PH[12] pin              8'h8C : PI[12] pin              8'h8D : PJ[12] pin              8'h8E : 0</p> <p>8'h8F : PA[13] pin              8'h90 : PB[13] pin              8'h91 : PC[13] pin              8'h92 : PD[13] pin              8'h93 : PE[13] pin              8'h94 : PF[13] pin              8'h95 : PG[13] pin              8'h96 : PH[13] pin              8'h97 : PI[13] pin              8'h98 : PJ[13] pin              8'h99 : 0</p> <p>8'h9A : PA[14] pin              8'h9B : PB[14] pin              8'h9C : PC[14] pin</p>
--	---



		8'h9D : PD[14] pin 8'h9E : PE[14] pin 8'h9F : PF[14] pin 8'hA0 : PG[14] pin 8'hA1 : PH[14] pin 8'hA2 : PI[14] pin 8'hA3 : PJ[14] pin 8'hA4 : 0  8'hA5 : PA[15] pin 8'hA6 : PB[15] pin 8'hA7 : PC[15] pin 8'hA8 : PD[15] pin 8'hA9 : PE[15] pin 8'hAA : PF[15] pin 8'hAB : PG[15] pin 8'hAC : PH[15] pin 8'hAD : PI[15] pin 8'hAE : PJ[15] pin 8'hAF : 0 Others: reserved
--	--	--

## 12.4.9 AFIO 外部中断配置寄存器 2 (AFIO\_EXTI\_CFG2)

偏移地址: 0x20

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EXTI11[7:0]								EXTI10[7:0]							
rw								rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI9[7:0]								EXTI8[7:0]							
rw								rw							

位域	名称	描述
31:24	EXTIx[7:0]	EXTI Linex 配置 (x = 8 ... 11)
23:16		这些位可以由软件读写, 用于选择 EXTI Linex 外部中断的输入源
15:8		8'h0 : PA[0] pin
7:0		8'h1 : PB[0] pin
		8'h2 : PC[0] pin
	8'h3 : PD[0] pin	
	8'h4 : PE[0] pin	
	8'h5 : PF[0] pin	

	<p>8'h6 : PG[0] pin</p> <p>8'h7 : PH[0] pin</p> <p>8'h8 : PI[0] pin</p> <p>8'h9 : PJ[0] pin</p> <p>8'hA : PK[0]pin</p> <p>8'hB : PA[1] pin</p> <p>8'hC : PB[1] pin</p> <p>8'hD : PC[1] pin</p> <p>8'hE : PD[1] pin</p> <p>8'hF : PE[1] pin</p> <p>8'h10 : PF[1] pin</p> <p>8'h11 : PG[1] pin</p> <p>8'h12 : PH[1] pin</p> <p>8'h13 : PI[1] pin</p> <p>8'h14 : PJ[1] pin</p> <p>8'h15 : PK[1] pin</p> <p>8'h16 : PA[2] pin</p> <p>8'h17 : PB[2] pin</p> <p>8'h18 : PC[2] pin</p> <p>8'h19 : PD[2] pin</p> <p>8'h1A : PE[2] pin</p> <p>8'h1B : PF[2] pin</p> <p>8'h1C : PG[2] pin</p> <p>8'h1D : PH[2] pin</p> <p>8'h1E : PI[2] pin</p> <p>8'h1F : PJ[2] pin</p> <p>8'h20 : PK[2] pin</p> <p>8'h21 : PA[3] pin</p> <p>8'h22 : PB[3] pin</p> <p>8'h23 : PC[3] pin</p> <p>8'h24 : PD[3] pin</p> <p>8'h25 : PE[3] pin</p> <p>8'h26 : PF[3] pin</p> <p>8'h27 : PG[3] pin</p> <p>8'h28 : PH[3] pin</p> <p>8'h29 : PI[3] pin</p> <p>8'h2A : PJ[3] pin</p> <p>8'h2B : PK[3] pin</p> <p>8'h2C : PA[4] pin</p> <p>8'h2D : PB[4] pin</p>
--	--

	<p>8'h2E : PC[4] pin</p> <p>8'h2F : PD[4] pin</p> <p>8'h30 : PE[4] pin</p> <p>8'h31 : PF[4] pin</p> <p>8'h32 : PG[4] pin</p> <p>8'h33 : PH[4] pin</p> <p>8'h34 : PI[4] pin</p> <p>8'h35 : PJ[4] pin</p> <p>8'h36 : PK[4] pin</p> <p>8'h37 : PA[5] pin</p> <p>8'h38 : PB[5] pin</p> <p>8'h39 : PC[5] pin</p> <p>8'h3A : PD[5] pin</p> <p>8'h3B : PE[5] pin</p> <p>8'h3C : PF[5] pin</p> <p>8'h3D : PG[5] pin</p> <p>8'h3E : PH[5] pin</p> <p>8'h3F : PI[5] pin</p> <p>8'h40 : PJ[5] pin</p> <p>8'h41 : PK[5] pin</p> <p>8'h42 : PA[6] pin</p> <p>8'h43 : PB[6] pin</p> <p>8'h44 : PC[6] pin</p> <p>8'h45 : PD[6] pin</p> <p>8'h46 : PE[6] pin</p> <p>8'h47 : PF[6] pin</p> <p>8'h48 : PG[6] pin</p> <p>8'h49 : PH[6] pin</p> <p>8'h4A : PI[6] pin</p> <p>8'h4B : PJ[6] pin</p> <p>8'h4C : PK[6] pin</p> <p>8'h4D : PA[7] pin</p> <p>8'h4E : PB[7] pin</p> <p>8'h4F : PC[7] pin</p> <p>8'h50 : PD[7] pin</p> <p>8'h51 : PE[7] pin</p> <p>8'h52 : PF[7] pin</p> <p>8'h53 : PG[7] pin</p> <p>8'h54 : PH[7] pin</p> <p>8'h55 : PI[7] pin</p> <p>8'h56 : PJ[7] pin</p>
--	---

		8'h57 : PK[7] pin  8'h58 : PA[8] pin 8'h59 : PB[8] pin 8'h5A : PC[8] pin 8'h5B : PD[8] pin 8'h5C : PE[8] pin 8'h5D : PF[8] pin 8'h5E : PG[8] pin 8'h5F : PH[8] pin 8'h60 : PI[8] pin 8'h61 : PJ[8] pin 8'h62 : 0  8'h63 : PA[9] pin 8'h64 : PB[9] pin 8'h65 : PC[9] pin 8'h66 : PD[9] pin 8'h67 : PE[9] pin 8'h68 : PF[9] pin 8'h69 : PG[9] pin 8'h6A : PH[9] pin 8'h6B : PI[9] pin 8'h6C : PJ[9] pin 8'h6D : 0  8'h6E : PA[10] pin 8'h6F : PB[10] pin 8'h70 : PC[10] pin 8'h71 : PD[10] pin 8'h72 : PE[10] pin 8'h73 : PF[10] pin 8'h74 : PG[10] pin 8'h75 : PH[10] pin 8'h76 : PI[10] pin 8'h77 : PJ[10] pin 8'h78 : 0  8'h79 : PA[11] pin 8'h7A : PB[11] pin 8'h7B : PC[11] pin 8'h7C : PD[11] pin 8'h7D : PE[11] pin 8'h7E : PF[11] pin
--	--	--

	<p>8'h7F: PG[11] pin              8'h80 : PH[11] pin              8'h81 : PI[11] pin              8'h82 : PJ[11] pin              8'h83 : 0</p> <p>8'h84 : PA[12] pin              8'h85 : PB[12] pin              8'h86 : PC[12] pin              8'h87 : PD[12] pin              8'h88 : PE[12] pin              8'h89 : PF[12] pin              8'h8A : PG[12] pin              8'h8B : PH[12] pin              8'h8C : PI[12] pin              8'h8D : PJ[12] pin              8'h8E : 0</p> <p>8'h8F : PA[13] pin              8'h90 : PB[13] pin              8'h91 : PC[13] pin              8'h92 : PD[13] pin              8'h93 : PE[13] pin              8'h94 : PF[13] pin              8'h95 : PG[13] pin              8'h96 : PH[13] pin              8'h97 : PI[13] pin              8'h98 : PJ[13] pin              8'h99 : 0</p> <p>8'h9A : PA[14] pin              8'h9B : PB[14] pin              8'h9C : PC[14] pin              8'h9D : PD[14] pin              8'h9E : PE[14] pin              8'h9F : PF[14] pin              8'hA0 : PG[14] pin              8'hA1 : PH[14] pin              8'hA2 : PI[14] pin              8'hA3 : PJ[14] pin              8'hA4 : 0</p> <p>8'hA5 : PA[15] pin              8'hA6 : PB[15] pin</p>
--	--

		8'hA7 : PC[15] pin 8'hA8 : PD[15] pin 8'hA9 : PE[15] pin 8'hAA : PF[15] pin 8'hAB : PG[15] pin 8'hAC : PH[15] pin 8'hAD : PI[15] pin 8'hAE : PJ[15] pin 8'hAF : 0 Others: reserved
--	--	---

### 12.4.10 AFIO 外部中断配置寄存器 3 (AFIO\_EXTI\_CFG3)

偏移地址: 0x24

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EXTI15[7:0]								EXTI14[7:0]							
rw								rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI13[7:0]								EXTI12[7:0]							
rw								rw							

位域	名称	描述
31:24	EXTIx[7:0]	EXTI Linex 配置 (x = 12 ... 15)
23:16		这些位可以由软件读写, 用于选择 EXTI Linex 外部中断的输入源
15:8		8'h0 : PA[0] pin
7:0		8'h1 : PB[0] pin
		8'h2 : PC[0] pin
		8'h3 : PD[0] pin
		8'h4 : PE[0] pin
		8'h5 : PF[0] pin
		8'h6 : PG[0] pin
		8'h7 : PH[0] pin
		8'h8 : PI[0] pin
		8'h9 : PJ[0] pin
		8'hA : PK[0]pin
		8'hB : PA[1] pin
		8'hC : PB[1] pin
		8'hD : PC[1] pin
	8'hE : PD[1] pin	
8'hF : PE[1] pin		

		8'h10 : PF[1] pin 8'h11 : PG[1] pin 8'h12 : PH[1] pin 8'h13 : PI[1] pin 8'h14 : PJ[1] pin 8'h15 : PK[1] pin  8'h16 : PA[2] pin 8'h17 : PB[2] pin 8'h18 : PC[2] pin 8'h19 : PD[2] pin 8'h1A : PE[2] pin 8'h1B : PF[2] pin 8'h1C : PG[2] pin 8'h1D : PH[2] pin 8'h1E : PI[2] pin 8'h1F : PJ[2] pin 8'h20 : PK[2] pin  8'h21 : PA[3] pin 8'h22 : PB[3] pin 8'h23 : PC[3] pin 8'h24 : PD[3] pin 8'h25 : PE[3] pin 8'h26 : PF[3] pin 8'h27 : PG[3] pin 8'h28 : PH[3] pin 8'h29 : PI[3] pin 8'h2A : PJ[3] pin 8'h2B : PK[3] pin  8'h2C : PA[4] pin 8'h2D : PB[4] pin 8'h2E : PC[4] pin 8'h2F : PD[4] pin 8'h30 : PE[4] pin 8'h31 : PF[4] pin 8'h32 : PG[4] pin 8'h33 : PH[4] pin 8'h34 : PI[4] pin 8'h35 : PJ[4] pin 8'h36 : PK[4] pin  8'h37 : PA[5] pin
--	--	--

		<p>8'h38 : PB[5] pin</p> <p>8'h39 : PC[5] pin</p> <p>8'h3A : PD[5] pin</p> <p>8'h3B : PE[5] pin</p> <p>8'h3C : PF[5] pin</p> <p>8'h3D : PG[5] pin</p> <p>8'h3E : PH[5] pin</p> <p>8'h3F : PI[5] pin</p> <p>8'h40 : PJ[5] pin</p> <p>8'h41 : PK[5] pin</p> <p>8'h42 : PA[6] pin</p> <p>8'h43 : PB[6] pin</p> <p>8'h44 : PC[6] pin</p> <p>8'h45 : PD[6] pin</p> <p>8'h46 : PE[6] pin</p> <p>8'h47 : PF[6] pin</p> <p>8'h48 : PG[6] pin</p> <p>8'h49 : PH[6] pin</p> <p>8'h4A : PI[6] pin</p> <p>8'h4B : PJ[6] pin</p> <p>8'h4C : PK[6] pin</p> <p>8'h4D : PA[7] pin</p> <p>8'h4E : PB[7] pin</p> <p>8'h4F : PC[7] pin</p> <p>8'h50 : PD[7] pin</p> <p>8'h51 : PE[7] pin</p> <p>8'h52 : PF[7] pin</p> <p>8'h53 : PG[7] pin</p> <p>8'h54 : PH[7] pin</p> <p>8'h55 : PI[7] pin</p> <p>8'h56 : PJ[7] pin</p> <p>8'h57 : PK[7] pin</p> <p>8'h58 : PA[8] pin</p> <p>8'h59 : PB[8] pin</p> <p>8'h5A : PC[8] pin</p> <p>8'h5B : PD[8] pin</p> <p>8'h5C : PE[8] pin</p> <p>8'h5D : PF[8] pin</p> <p>8'h5E : PG[8] pin</p> <p>8'h5F : PH[8] pin</p> <p>8'h60 : PI[8] pin</p>
--	--	---



	<p>8'h61 : PJ[8] pin 8'h62 : 0</p> <p>8'h63 : PA[9] pin 8'h64 : PB[9] pin 8'h65 : PC[9] pin 8'h66 : PD[9] pin 8'h67 : PE[9] pin 8'h68 : PF[9] pin 8'h69 : PG[9] pin 8'h6A : PH[9] pin 8'h6B : PI[9] pin 8'h6C : PJ[9] pin 8'h6D : 0</p> <p>8'h6E : PA[10] pin 8'h6F : PB[10] pin 8'h70 : PC[10] pin 8'h71 : PD[10] pin 8'h72 : PE[10] pin 8'h73 : PF[10] pin 8'h74 : PG[10] pin 8'h75 : PH[10] pin 8'h76 : PI[10] pin 8'h77 : PJ[10] pin 8'h78 : 0</p> <p>8'h79 : PA[11] pin 8'h7A : PB[11] pin 8'h7B : PC[11] pin 8'h7C : PD[11] pin 8'h7D : PE[11] pin 8'h7E : PF[11] pin 8'h7F : PG[11] pin 8'h80 : PH[11] pin 8'h81 : PI[11] pin 8'h82 : PJ[11] pin 8'h83 : 0</p> <p>8'h84 : PA[12] pin 8'h85 : PB[12] pin 8'h86 : PC[12] pin 8'h87 : PD[12] pin 8'h88 : PE[12] pin</p>
--	---

	<p>8'h89 : PF[12] pin              8'h8A : PG[12] pin              8'h8B : PH[12] pin              8'h8C : PI[12] pin              8'h8D : PJ[12] pin              8'h8E : 0</p> <p>8'h8F : PA[13] pin              8'h90 : PB[13] pin              8'h91 : PC[13] pin              8'h92 : PD[13] pin              8'h93 : PE[13] pin              8'h94 : PF[13] pin              8'h95 : PG[13] pin              8'h96 : PH[13] pin              8'h97 : PI[13] pin              8'h98 : PJ[13] pin              8'h99 : 0</p> <p>8'h9A : PA[14] pin              8'h9B : PB[14] pin              8'h9C : PC[14] pin              8'h9D : PD[14] pin              8'h9E : PE[14] pin              8'h9F : PF[14] pin              8'hA0 : PG[14] pin              8'hA1 : PH[14] pin              8'hA2 : PI[14] pin              8'hA3 : PJ[14] pin              8'hA4 : 0</p> <p>8'hA5 : PA[15] pin              8'hA6 : PB[15] pin              8'hA7 : PC[15] pin              8'hA8 : PD[15] pin              8'hA9 : PE[15] pin              8'hAA : PF[15] pin              8'hAB : PG[15] pin              8'hAC : PH[15] pin              8'hAD : PI[15] pin              8'hAE : PJ[15] pin              8'hAF : 0</p> <p>Others: reserved</p>
--	---

### 12.4.11 AFIO IO 端口模拟信号通道配置寄存器 0 (AFIO\_ANAEN\_CFG0)

偏移地址: 0x28

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						PA7 ANAEN	PA6 ANAEN	PA5 ANAEN	PA4 ANAEN	PA3 ANAEN	PA2 ANAEN	PA1 ANAEN	PA1_C ANAEN	PA0 ANAEN	PA0_C ANAEN
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:10	Reserved	保留, 必须保持复位值。
9:3	PAxANAEN	PAx 端口模拟信号通道使能位 (x = 1 ... 7) 0: 禁用端口 PAx 的模拟信号通道 1: 启用端口 PAx 的模拟信号通道
2	PA1_CANAEN	PA1_C 端口模拟信号通道使能位 0: 禁用 PA1_C 端口的模拟信号通道 1: 启用 PA1_C 端口的模拟信号通道
1	PA0ANAEN	PA0 端口模拟信号通道使能位 0: 禁用 PA0 端口模拟信号通道 1: 启用 PA0 端口模拟信号通道
0	PA0_CANAEN	PA0_C 端口模拟信号通道使能位 0: 禁用 PA0_C 端口的模拟信号通道 1: 启用 PA0_C 端口的模拟信号通道

### 12.4.12 AFIO IO 端口模拟信号通道配置寄存器 1 (AFIO\_ANAEN\_CFG1)

偏移地址: 0x2C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													PB1 ANAEN	PB0 ANAEN	
													rw	rw	

位域	名称	描述
31:2	Reserved	保留，必须保持复位值。
1:0	PBxANAEN	PBx 端口模拟信号通道使能位 (x = 0 ... 1) 0: 禁用端口 PBx 的模拟信号通道 1: 启用端口 PBx 的模拟信号通道

### 12.4.13 AFIO IO 端口模拟信号通道配置寄存器 2 (AFIO\_ANAEN\_CFG2)

偏移地址: 0x30

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				PC13 ANAEN	PC8 ANAEN	PC6 ANAEN	PC5 ANAEN	P4 ANAEN	PC3_C ANAEN	PC3 ANAEN	PC2_C ANAEN	PC2 ANAEN	PC1 ANAEN	PC0 ANAEN	
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	

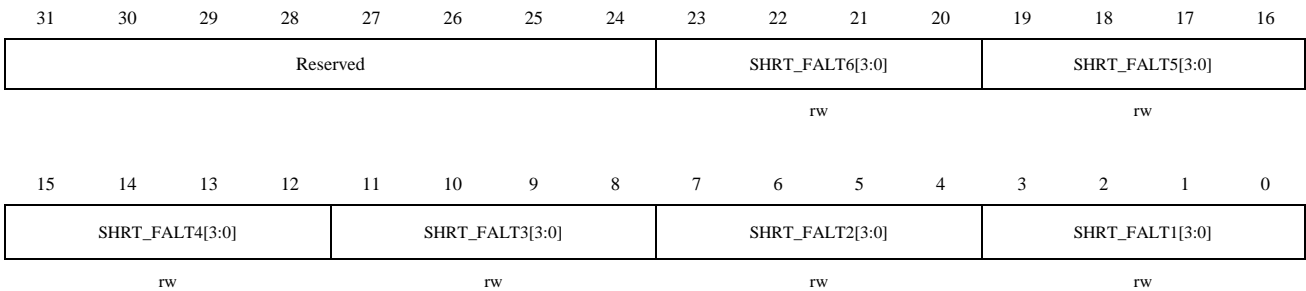
位域	名称	描述
31:11	Reserved	保留，必须保持复位值。
10	PC13ANAEN	PC13 端口模拟信号通道使能位 0: 禁用 PC13 端口的模拟信号通道 1: 启用 PC13 端口的模拟信号通道
9	PC8ANAEN	PC8 端口模拟信号通道使能位 0: 禁用 PC8 端口的模拟信号通道 1: 启用 PC8 端口的模拟信号通道
8:6	PCxANAEN	PCx 端口模拟信号通道使能位 (x = 4... 6) 0: 禁用端口 PCx 的模拟信号通道 1: 启用端口 PCx 的模拟信号通道
5	PC3_CANAEN	PC3_C 端口模拟信号通道使能位 0: 禁用 PC3_C 端口的模拟信号通道 1: 启用 PC3_C 端口的模拟信号通道
4	PC3ANAEN	PC3 端口模拟信号通道使能位 0: 禁用 PC3 端口的模拟信号通道 1: 启用 PC3 端口的模拟信号通道
3	PC2_CANAEN	PC2_C 端口模拟信号通道使能位 0: 禁用 PC2_C 端口的模拟信号通道 1: 启用 PC2_C 端口的模拟信号通道
2:0	PCxANAEN	PCx 端口模拟信号通道使能位 (x = 0 ... 2)

		0: 禁用端口 PCx 的模拟信号通道 1: 启用端口 PCx 的模拟信号通道
--	--	--

### 12.4.14 AFIO SHRTIM1 故障配置寄存器 (AFIO\_SHRT1\_FAULT\_CFG)

偏移地址: 0x34

复位值: 0x0000 0000



位域	名称	描述
31:24	Reserved	保留, 必须保持复位值。
23:20	SHRT_FAULTx[3:0]	配置故障通道 SHRTIM1_FAULTx (x=1...6):
19:16		0001: PA15
15:12		0010: PB3
11:8		0011: PC11
7:4		0100: PD4
3:0		0101: PE4
		0110: PG9
	0111: PG10	
	1000: PI6	
	1001: PI15	
	1010: PK2	
	Others: Reserved	

### 12.4.15 AFIO SHRTIM2 故障配置寄存器 (AFIO\_SHRT2\_FAULT\_CFG)

偏移地址: 0x38

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								SHRT_FALT6[3:0]				SHRT_FALT5[3:0]			
								rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SHRT_FALT4[3:0]				SHRT_FALT3[3:0]				SHRT_FALT2[3:0]				SHRT_FALT1[3:0]			
rw				rw				rw				rw			

位域	名称	描述
31:24	Reserved	保留，必须保持复位值。
23:20	SHRT_FALT <sub>x</sub> [3:0]	SHRTIM2_FALT <sub>x</sub> 配置故障通道 (x=1...6) :
19:16		0001: PC5
15:12		0010: PD1
11:8		0011: PD15
7:4		0100: PF9
3:0		0101: PF13
		0110: PG1
		0111: PI0
		1000: PI9
		1001: PI13
	1010 : PJ0	
	1011 : PK1	
	1100 : PK6	
	Others : Reserved	

### 12.4.16 AFIO IO 端口模拟信号通道配置寄存器 3 (AFIO\_ANAEN\_CFG3)

偏移地址: 0x3C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				PF14	PF13	PF12	PF11	PF10	PF9	PF8	PF7	PF6	PF5	PF4	PF3
				ANAEN	ANAEN	ANAEN	ANAEN	ANAEN	ANAEN	ANAEN	ANAEN	ANAEN	ANAEN	ANAEN	ANAEN
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:12	Reserved	保留，必须保持复位值。

11:0	PFxANAEN	PFx 端口模拟信号通道使能位 (x = 3 ... 14) 0: 禁用端口 PFx 的模拟信号通道 1: 启用端口 PFx 的模拟信号通道
------	----------	--

### 12.4.17 AFIO IO 端口模拟信号通道配置寄存器 4 (AFIO\_ANAEN\_CFG4)

偏移地址: 0x44

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												PH5 ANAEN	PH4 ANAEN	PH3 ANAEN	PH2 ANAEN
												rw	rw	rw	rw

位域	名称	描述
31:4	Reserved	保留, 必须保持复位值。
3:0	PHxANAEN	PHx 端口模拟信号通道使能位 (x = 2 ... 5) 0: 禁用端口 PHx 的模拟信号通道 1: 启用端口 PHx 的模拟信号通道

### 12.4.18 AFIO IO 端口模拟信号通道配置寄存器 5 (AFIO\_ANAEN\_CFG5)

偏移地址: 0x48

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													PI15 ANAEN	PI8 ANAEN	
													rw	rw	

位域	名称	描述
31:2	Reserved	保留, 必须保持复位值。
1	PI15ANAEN	PI15 端口模拟信号通道使能位

		0: 禁用 PI15 端口模拟信号通道 1: 启用 PI15 端口模拟信号通道
0	PI8ANAEN	PI8 端口模拟信号通道使能位 0: 禁用 PI8 端口模拟信号通道 1: 启用 PI8 端口模拟信号通道

### 12.4.19 AFIO IO 端口模拟信号通道配置寄存器 6 (AFIO\_ANAEN\_CFG6)

偏移地址: 0x4C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved										PJ7 ANAEN	PJ6 ANAEN	PJ5 ANAEN	PJ4 ANAEN	PJ3 ANAEN	PJ0 ANAEN
										rw	rw	rw	rw	rw	rw

位域	名称	描述
31:6	Reserved	保留, 必须保持复位值。
5:1	PJxANAEN	PJx 端口模拟信号通道使能位 (x = 3 ... 7) 0: 禁用 PJx 端口的模拟信号通道 1: 启用 PJx 端口的模拟信号通道
0	PJ0ANAEN	PJ0 端口模拟信号通道使能位 0: 禁用 PJ0 端口模拟信号通道 1: 启用 PJ0 端口模拟信号通道

### 12.4.20 AFIO IO 端口模拟滤波配置寄存器 0 (AFIO\_EFT\_CFG0)

偏移地址: 0x54

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PB_EFTEN[15:0]															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PA_EFTEN[15:0]															
rw															

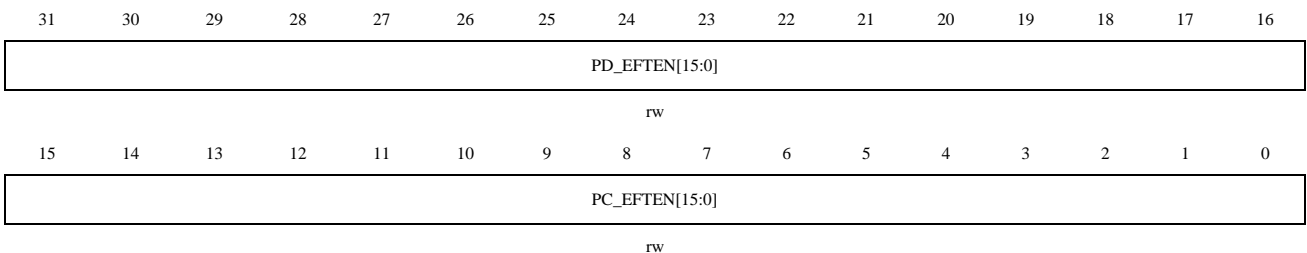


位域	名称	描述
31:16	PB_EFTEN [15:0]	PBx EFT 启用 (x = 0 ... 15) 0: 禁用 EFT IE 1: 启用 EFT IE 支持的 IO: PB3, PB4, PB9 (其余未连接)
15:0	PA_EFTEN [15:0]	PAX EFT 启用 (x = 0 ... 15) 0: 禁用 EFT 1: 启用 EFT 支持的 IO: PA8, PA10, PA11, PA12, PA13, PA14, PA15 (其余未连接)

### 12.4.21 AFIO IO 端口模拟滤波配置寄存器 1 (AFIO\_EFT\_CFG1)

偏移地址: 0x58

复位值: 0x0000 0000

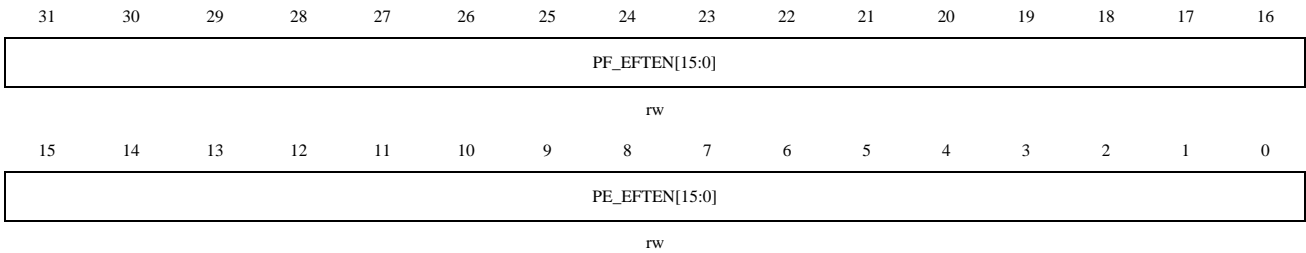


位域	名称	描述
31:16	PD_EFTEN [15:0]	PDx EFT 启用 (x = 0 ... 15) 0: 禁用 EFT 1: 启用 EFT 支持的 IO: PD3 (其余未连接)
15:0	PC_EFTEN [15:0]	PCx EFT 启用 (x = 0 ... 15) 0: 禁用 EFT 1: 启用 EFT 支持的 IO: PC6, PC7, PC8, PC13, PC14, PC15 (其他未连接)

### 12.4.22 AFIO IO 端口模拟滤波配置寄存器 2 (AFIO\_EFT\_CFG2)

偏移地址: 0x5C

复位值: 0x0000 0000

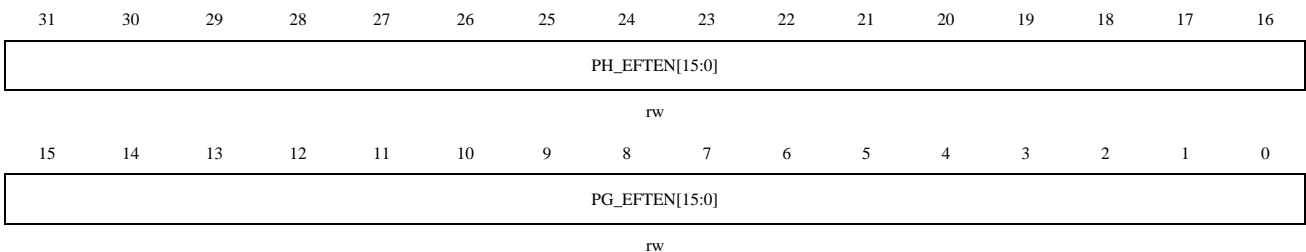


位域	名称	描述
31:16	PF_EFTEN [15:0]	PF <sub>x</sub> EFT 启用 (x = 0 … 15) 0: 禁用 EFT 1: 启用 EFT 支持的 IO: 不支持任何引脚
15:0	PE_EFTEN [15:0]	PE <sub>x</sub> EFT 启用 (x = 0 … 15) 0: 禁用 EFT 1: 启用 EFT 支持的 IO: PE4, PE6 (其余未连接)

### 12.4.23 AFIO IO 端口模拟滤波配置寄存器 3 (AFIO\_EFT\_CFG3)

偏移地址: 0x60

复位值: 0x0000 0000

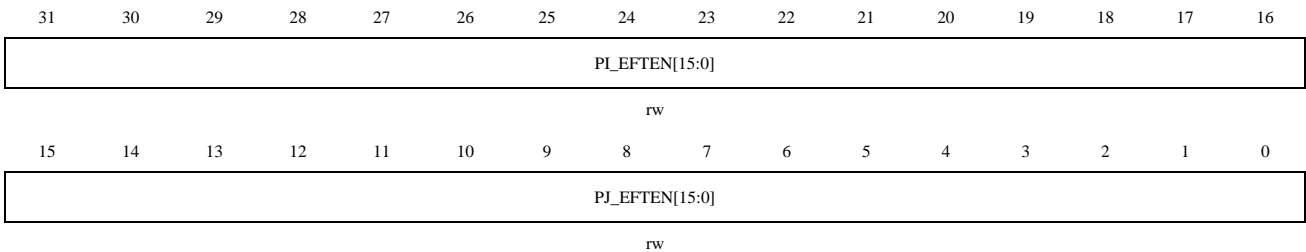


位域	名称	描述
31:16	PH_EFTEN [15:0]	PH <sub>x</sub> EFT 启用 (x = 0 … 15) 0: 禁用 EFT 1: 启用 EFT 支持的 IO: PH0, PH1, PH4 (其余未连接)
15:0	PG_EFTEN [15:0]	PG <sub>x</sub> EFT 启用 (x = 0 … 15) 0: 禁用 EFT 1: 启用 EFT 支持的 IO: PG3 (其余未连接)

### 12.4.24 AFIO IO 端口模拟滤波配置寄存器 4 (AFIO\_EFT\_CFG4)

偏移地址: 0x64

复位值: 0x0000 0000

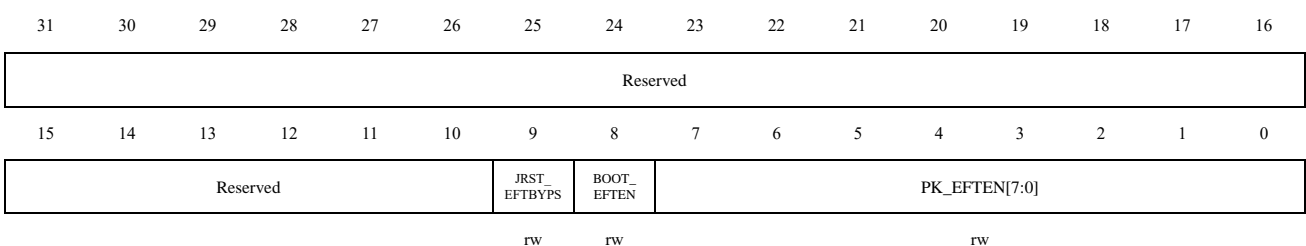


位域	名称	描述
31:16	PI_EFTEN [15:0]	PJx EFT 启用(x = 0 ... 15) 0: 禁用 EFT 1: 启用 EFT 支持的 IO: PI8, PI15 (其余未连接)
15:0	PJ_EFTEN [15:0]	PIx EFT 启用 (x = 0 ... 15) 0: 禁用 EFT 1: 启用 EFT 支持的 IO: PJ0, PJ3, PJ4, P5, PJ6, PJ7, PJ8, PJ9, PJ10, PJ11, PJ12, PJ14, PJ15 (其余未连接)

### 12.4.25 AFIO IO 端口模拟滤波配置寄存器 5 (AFIO\_EFT\_CFG5)

偏移地址: 0x68

复位值: 0x0000 0000



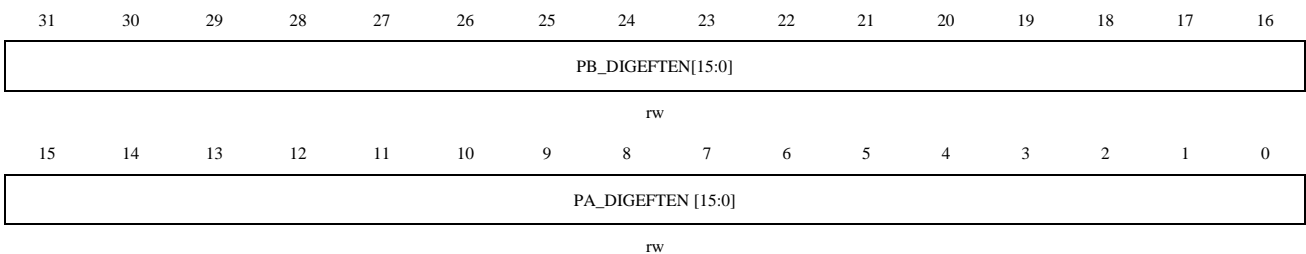
位域	名称	描述
31:10	Reserved	保留, 必须保持复位值。
9	JRST_EFTBYP	BYPASS 0: 过滤输出 1: JTAG RST 未过滤输出

位域	名称	描述
8	BOOT_EFTEN	BOOT 引脚 EFT 启用 0: 禁用 EFT 1: 启用 EFT
7:0	PK_EFTEN[7:0]	PKx EFT 启用 (x = 0 ... 7) 0: 禁用 EFT 1: 启用 EFT 支持的 IO: PK0, PK1, PK2 (其余未连接)

### 12.4.26 AFIO IO 端口数字滤波配置寄存器 0 (AFIO\_DIGEFT\_CFG0)

偏移地址: 0x6C

复位值: 0x0000 0000

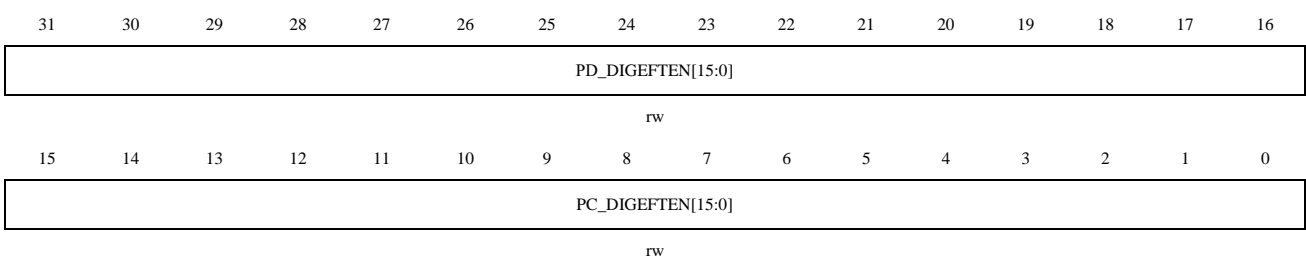


位域	名称	描述
31:16	PB_DIGEFTEN[15:0]	PBx 端口数字滤波使能位 (x = 0 ... 15) 0: 禁用 PBx 端口的数字滤波 1: 启用 PBx 端口的数字滤波
15:0	PA_DIGEFTEN[15:0]	PAx 端口数字滤波使能位 (x = 0 ... 15) 0: 禁用 PAx 端口的数字滤波 1: 启用 PAx 端口的数字滤波

### 12.4.27 AFIO IO 端口数字滤波配置寄存器 1 (AFIO\_DIGEFT\_CFG1)

偏移地址: 0x70

复位值: 0x0000 0000

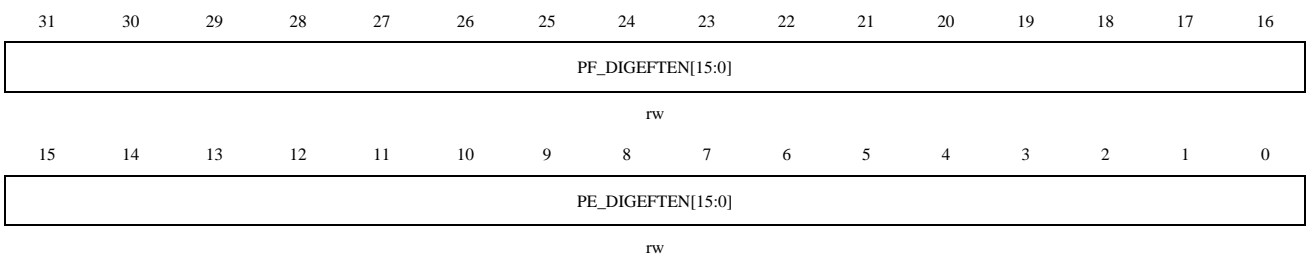


位域	名称	描述
31:16	PD_DIGEFTEN [15:0]	PDx 端口数字滤波使能位 (x = 0 ... 15) 0: 禁用 PDx 端口的数字滤波 1: 启用 PDx 端口的数字滤波
15:0	PC_DIGEFTEN[15:0]	PCx 端口数字滤波使能位 (x = 0 ... 15) 0: 禁用 PCx 端口的数字滤波 1: 启用 PCx 端口的数字滤波

### 12.4.28 AFIO IO 端口数字滤波配置寄存器 2 (AFIO\_DIGEFT\_CFG2)

偏移地址: 0x74

复位值: 0x0000 0000

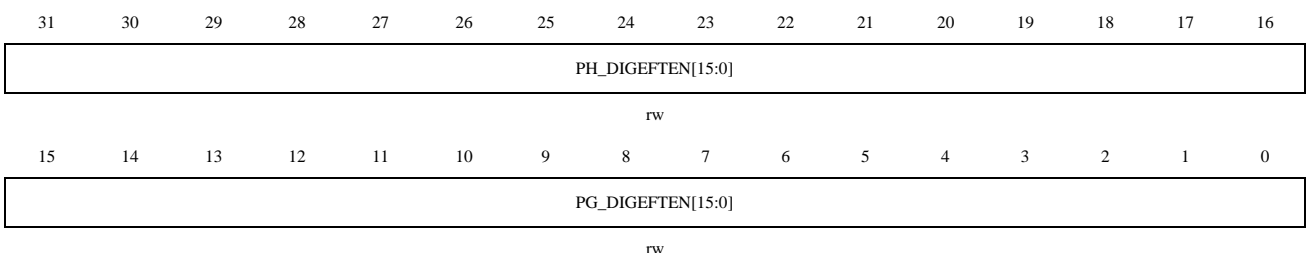


位域	名称	描述
31:16	PF_DIGEFTEN[15:0]	PFx 端口数字滤波使能位 (x = 0 ... 15) 0: 禁用 PFx 端口的数字滤波 1: 启用 PFx 端口的数字滤波
15:0	PE_DIGEFTEN[15:0]	PEx 端口数字滤波使能位 (x = 0 ... 15) 0: 禁用 PEx 端口的数字滤波 1: 启用 PEx 端口的数字滤波

### 12.4.29 AFIO IO 端口数字滤波配置寄存器 3 (AFIO\_DIGEFT\_CFG3)

偏移地址: 0x78

复位值: 0x0000 0000

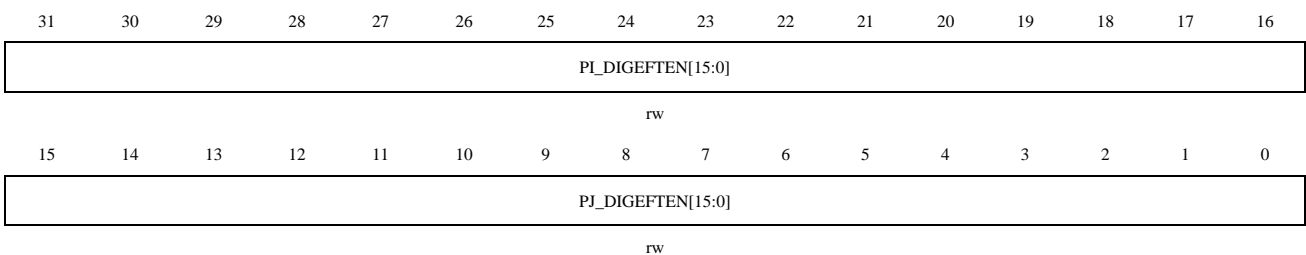


位域	名称	描述
31:16	PH_DIGEFTEN[15:0]	PHx 端口数字滤波使能位 (x = 0 ... 15) 0: 禁用 PHx 端口的数字滤波 1: 启用 PHx 端口的数字滤波
15:0	PG_DIGEFTEN[15:0]	PGx 端口数字滤波使能位 (x = 0 ... 15) 0: 禁用 PGx 端口的数字滤波 1: 启用 PGx 端口的数字滤波

### 12.4.30 AFIO IO 端口数字滤波配置寄存器 4 (AFIO\_DIGEFT\_CFG4)

偏移地址: 0x7C

复位值: 0x0000 0000

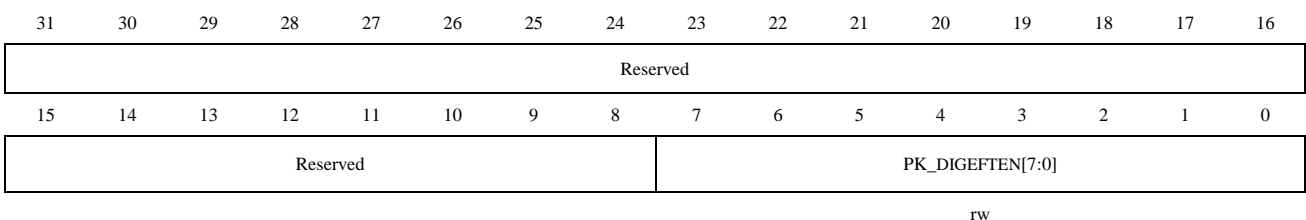


位域	名称	描述
31:16	PI_DIGEFTEN[6:0]	PIx 端口数字滤波使能位 (x = 0 ... 15) 0: 禁用 PIx 端口的数字滤波 1: 启用 PIx 端口的数字滤波
15:0	PJ_DIGEFTEN[15:0]	PJx 端口数字滤波使能位 (x = 0 ... 15) 0: 禁用 PJx 端口的数字滤波 1: 启用 PJx 端口的数字滤波

### 12.4.31 AFIO IO 端口数字滤波配置寄存器 5 (AFIO\_DIGEFT\_CFG5)

偏移地址: 0x80

复位值: 0x0000 0000

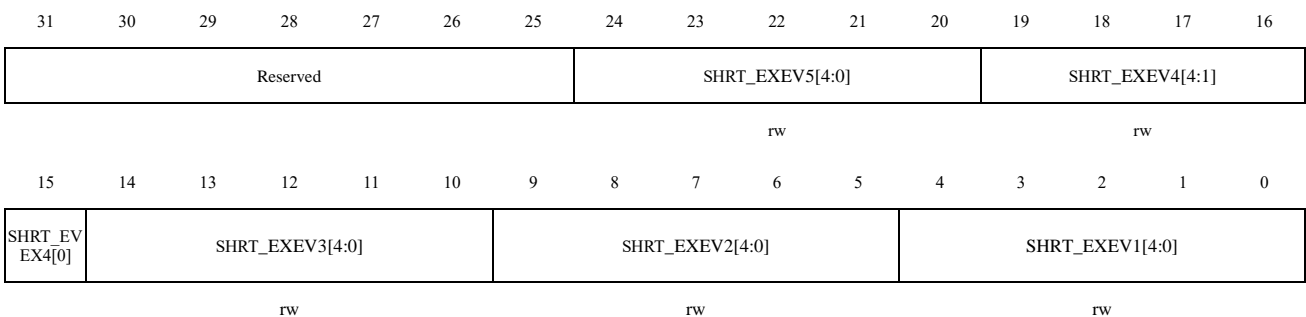


位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
7:0	PK_DIGEFTEN[7:0]	PKx 端口数字滤波使能位 (x = 0 ... 7) 0: 禁用 PKx 端口的数字滤波 1: 启用 PKx 端口的数字滤波

### 12.4.32 AFIO SHRTIM1 外部事件配置寄存器 0(AFIO\_SHRT1\_EXEV\_CFG0)

偏移地址: 0x84

复位值: 0x0000 0000



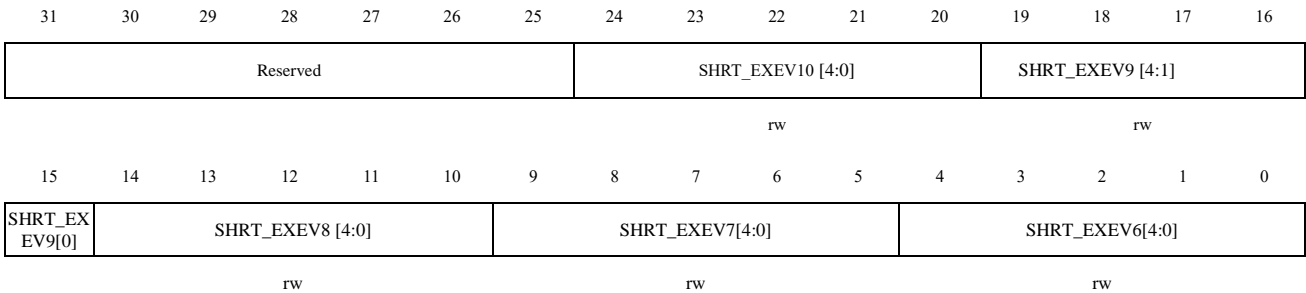
位域	名称	描述
31:25	Reserved	保留，必须保持复位值。
24:20 19:15 14:10 9:5 4:0	SHRT_EXEVx[4:0]	SHRTIM1_EXEVx 配置外部事件输入通道 (x=1...5): 00001: PB4 00010: PB5 00011: PB6 00100: PB7 00101: PC10 00110: PC12 00111: PD5 01000: PD8 01001: PD9 01010: PE6 01011: PG0 01100: PG11 01101: PG12 01110: PG13 01111: PI14 10000: PJ5 10001: PK3

		10010: PK4 Others: Reserved
--	--	--------------------------------

### 12.4.33 AFIO SHRTIM1 外部事件配置寄存器 1(AFIO\_SHRT1\_EXEV\_CFG1)

偏移地址：0x88

复位值：0x0000 0000



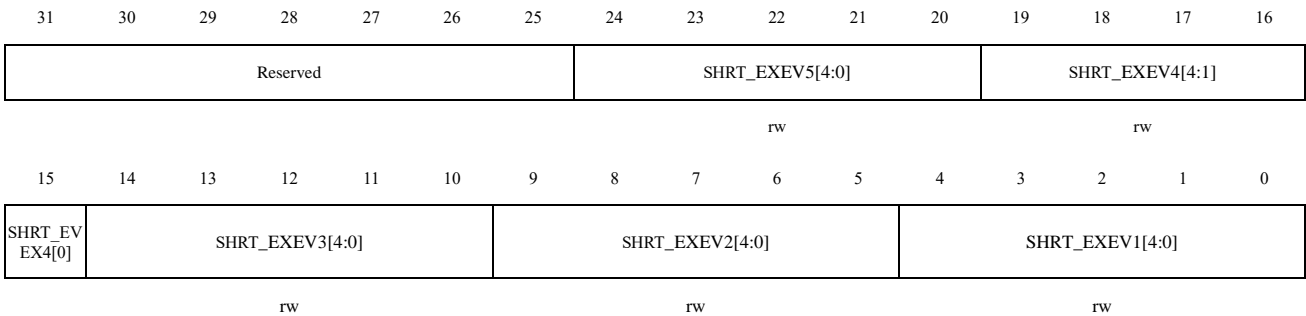
位域	名称	描述
31:25	Reserved	保留，必须保持复位值。
24:20 19:15 14:10 9:5 4:0	SHRT_EXEVx[4:0]	SHRTIM1_EXEVx 配置外部事件输入通道 (x=6...10): 00001: PB4 00010: PB5 00011: PB6 00100: PB7 00101: PC10 00110: PC12 00111: PD5 01000: PD8 01001: PD9 01010: PE6 01011: PG0 01100: PG11 01101: PG12 01110: PG13 01111: PI14 10000: PJ5 10001: PK3 10010: PK4 Others: Reserved



### 12.4.34 AFIO SHRTIM2 外部事件配置寄存器 0(AFIO\_SHRT2\_EXEV\_CFG0)

偏移地址：0x8C

复位值：0x0000 0000

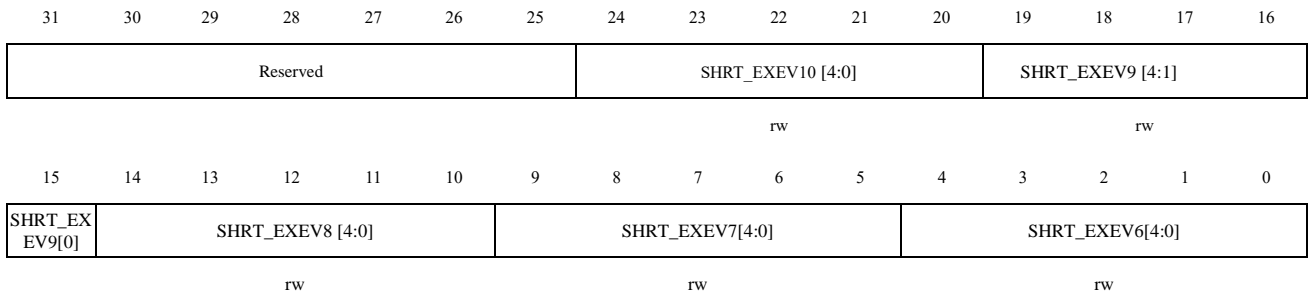


位域	名称	描述
31:25	Reserved	保留，必须保持复位值。
24:20 19:15 14:10 9:5 4:0	SHRT_EXEV <sub>x</sub> [4:0]	SHRTIM2_EXEV <sub>x</sub> 配置外部事件输入通道 (x=1...5): 00001: PA2 00010: PC4 00011: PD0 00100: PD11 00101: PE3 00110: PE14 00111: PF10 01000: PG8 01001: PG15 01010: PH7 01011: PH8 01100: PH10 01101: PH11 01110: PH12 01111: PI11 10000: PJ2 10001: PJ14 10010: PK0 Others: Reserved

### 12.4.35 AFIO SHRTIM2 外部事件配置寄存器 1(AFIO\_SHRT2\_EXEV\_CFG1)

偏移地址：0x90

复位值：0x0000 0000

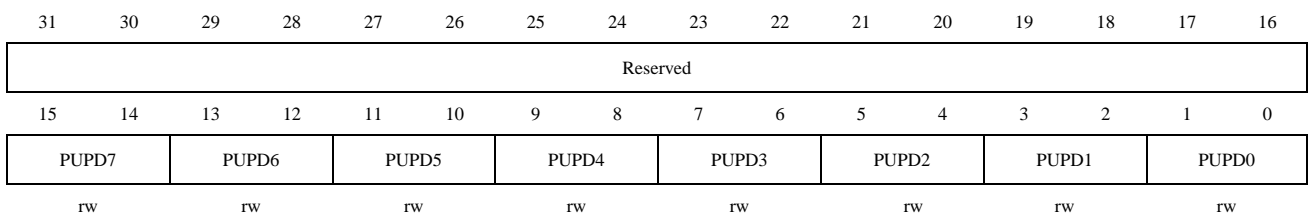


位域	名称	描述
31:25	Reserved	保留，必须保持复位值。
24:20	SHRT_EXEVx[4:0]	SHRTIM2_EXEVx 配置外部事件输入通道 (x=6...10):
19:15		00001: PA2
14:10		00010: PC4
9:5		00011: PD0
4:0		00100: PD11
		00101: PE3
		00110: PE14
		00111: PF10
		01000: PG8
		01001: PG15
	01010: PH7	
	01011: PH8	
	01100: PH10	
	01101: PH11	
	01110: PH12	
	01111: PI11	
	10000: PJ2	
	10001: PJ14	
	10010: PK0	
	Others: Reserved	

### 12.4.36 AFIO SIP 上拉/下拉配置寄存器 (AFIO\_SIP\_PUPD)

偏移地址: 0x94

复位值: 0x0000 0000



位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:14	PUPDx	SIP XSPI 数据引脚上拉-下拉配置 (x = 0...7) 00: 无上拉, 下拉 01: 上拉 10: 下拉 11: 保留
13:12		
11:10		
9:8		
7:6		
5:4		
3:2		
1:0		

### 12.4.37 AFIO IO 端口高速模式配置寄存器 0 (AFIO\_HSMOD\_CFG0)

偏移地址: 0x98

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								PA7 HSEN	Reserved	PA5 HSEN	PA4 HSEN	Reserved			
								rw		rw	rw				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PB15 HSEN	PB14 HSEN	Reserved						PB6 HSEN	PB5 HSEN	Reserved					
rw	rw							rw	rw						

位域	名称	描述
31:24	Reserved	保留，必须保持复位值。
23	PA7HSEN	为 PA7 Pad Model 启用高速 pad 接口连接 0: 禁用 1: 启用 (必须与 VREF_EN 一起启用以选择高速 IO 输入)
22	Reserved	保留，必须保持复位值。
21:20	PAXHSEN	为 PAX Pad Model 启用高速 pad 接口连接 (x = 4 ... 5) 0: 禁用 1: 启用 (必须与 VREF_EN 一起启用以选择高速 IO 输入)
19:16	Reserved	保留，必须保持复位值。
15:14	PBXHSEN	为 PBX Pad Model 启用高速 pad 接口连接 (x = 14 ... 15) 0: 禁用 1: 启用 (必须与 VREF_EN 一起启用以选择高速 IO 输入)
13:7	Reserved	保留，必须保持复位值。
6:5	PBXHSEN	为 PBX Pad Model 启用高速 pad 接口连接 (x = 5 ... 6) 0: 禁用

位域	名称	描述
		1: 启用 (必须与 VREF_EN 一起启用以选择高速 IO 输入)
4:0	Reserved	保留, 必须保持复位值。

### 12.4.38 AFIO IO 端口高速模式配置寄存器 1 (AFIO\_HSMOD\_CFG1)

偏移地址: 0x9C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			PC12 HSEN	Reserved						PC5 HSEN	PC4 HSEN	PC3 HSEN	PC2 HSEN	Reserved	PC0 HSEN
			rw							rw	rw	rw	rw		rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PD15 HSEN	PD14 HSEN	Reserved			PD10 HSEN	PD9 HSEN	PD8 HSEN	Reserved					PD2 HSEN	PD1 HSEN	PD0 HSEN
rw	rw				rw	rw	rw						rw	rw	rw

位域	名称	描述
31:29	Reserved	保留, 必须保持复位值。
28	PC12HSEN	为 PC12 Pad Model 启用高速 pad 接口连接 0: 禁用 1: 启用 (必须与 VREF_EN 一起启用以选择高速 IO 输入)
27:22	Reserved	保留, 必须保持复位值。
21:18	PCxHSEN	为 PCx Pad Model 启用高速 pad 接口连接 (x = 2 ... 5) 0: 禁用 1: 启用 (必须与 VREF_EN 一起启用以选择高速 IO 输入)
17	Reserved	保留, 必须保持复位值。
16	PC0HSEN	为 PC0 Pad Model 启用高速 pad 接口连接 0: 禁用 1: 启用 (必须与 VREF_EN 一起启用以选择高速 IO 输入)
15:14	PDxHSEN	为 PDx Pad Model 启用高速 pad 接口连接 (x = 14 ... 15) 0: 禁用 1: 启用 (必须与 VREF_EN 一起启用以选择高速 IO 输入)
13:11	Reserved	保留, 必须保持复位值。
10:8	PDxHSEN	为 PDx Pad Model 启用高速 pad 接口连接 (x = 8 ... 10) 0: 禁用 1: 启用 (必须与 VREF_EN 一起启用以选择高速 IO 输入)
7:3	Reserved	保留, 必须保持复位值。
2:0	PDxHSEN	为 PDx Pad Model 启用高速 pad 接口连接 (x = 0 ... 2) 0: 禁用 1: 启用 (必须与 VREF_EN 一起启用以选择高速 IO 输入)

### 12.4.39 AFIO IO 端口高速模式配置寄存器 2 (AFIO\_HSMOD\_CFG2)

偏移地址: 0xA0

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
PE15 HSEN	PE14 HSEN	PE13 HSEN	PE12 HSEN	PE11 HSEN	PE10 HSEN	PE9 HSEN	PE8 HSEN	PE7 HSEN	Reserved						PE1 HSEN	PE0 HSEN
rw	rw	rw	rw	rw	rw	rw	rw	rw							rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
PF15 HSEN	PF14 HSEN	PF13 HSEN	PF12 HSEN	PF11 HSEN	Reserved					PF5 HSEN	PF4 HSEN	PF3 HSEN	PF2 HSEN	PF1 HSEN	PF0 HSEN	
rw	rw	rw	rw	rw						rw	rw	rw	rw	rw	rw	

位域	名称	描述
31:23	PExHSEN	为 PEx Pad Model 启用高速 pad 接口连接 (x = 7 ... 15) 0: 禁用 1: 启用 (必须与 VREF_EN 一起启用以选择高速 IO 输入)
22:18	Reserved	保留, 必须保持复位值。
17:16	PExHSEN	为 PEx Pad Model 启用高速 pad 接口连接 (x = 0 ... 1) 0: 禁用 1: 启用 (必须与 VREF_EN 一起启用以选择高速 IO 输入)
15:11	PFxHSEN	为 PFx Pad Model 启用高速 pad 接口连接 (x = 11 ... 15) 0: 禁用 1: 启用 (必须与 VREF_EN 一起启用以选择高速 IO 输入)
10:6	Reserved	保留, 必须保持复位值。
5:0	PFxHSEN	为 PFx Pad Model 启用高速 pad 接口连接 (x = 0 ... 5) 0: 禁用 1: 启用 (必须与 VREF_EN 一起启用以选择高速 IO 输入)

### 12.4.40 AFIO IO 端口高速模式配置寄存器 3 (AFIO\_HSMOD\_CFG3)

偏移地址: 0xA4

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
PG15 HSEN	Reserved						PG8 HSEN	Reserved			PG5 HSEN	PG4 HSEN	Reserved	PG2 HSEN	PG1 HSEN	PG0 HSEN
rw							rw				rw	rw		rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
PH15 HSEN	PH14 HSEN	PH13 HSEN	PH12 HSEN	PH11 HSEN	PH10 HSEN	PH9 HSEN	PH8 HSEN	PH7 HSEN	PH6 HSEN	PH5 HSEN	Reserved	PH3 HSEN	PH2 HSEN	Reserved		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw			

位域	名称	描述
31	PG15HSEN	为 PG15 Pad Model 启用高速 pad 接口连接 0: 禁用 1: 启用 (必须与 VREF_EN 一起启用以选择高速 IO 输入)
30:25	Reserved	保留, 必须保持复位值。
24	PG8HSEN	为 PG8 Pad Model 启用高速 pad 接口连接 0: 禁用 1: 启用 (必须与 VREF_EN 一起启用以选择高速 IO 输入)
23:22	Reserved	保留, 必须保持复位值。
21:20	PGxHSEN	为 PGx Pad Model 启用高速 pad 接口连接 (x = 4 ... 5) 0: 禁用 1: 启用 (必须与 VREF_EN 一起启用以选择高速 IO 输入)
19	Reserved	保留, 必须保持复位值。
18:16	PGxHSEN	为 PGx Pad Model 启用高速 pad 接口连接 (x = 0 ... 2) 0: 禁用 1: 启用 (必须与 VREF_EN 一起启用以选择高速 IO 输入)
15:5	PHxHSEN	为 PHx Pad Model 启用高速 pad 接口连接 (x = 5 ... 15) 0: 禁用 1: 启用 (必须与 VREF_EN 一起启用以选择高速 IO 输入)
4	Reserved	保留, 必须保持复位值。
3:2	PHxHSEN	为 PHx Pad Model 启用高速 pad 接口连接 (x = 2 ... 3) 0: 禁用 1: 启用 (必须与 VREF_EN 一起启用以选择高速 IO 输入)
1:0	Reserved	保留, 必须保持复位值。

#### 12.4.41 AFIO IO 端口高速模式配置寄存器 4 (AFIO\_HSMOD\_CFG4)

偏移地址: 0xA8

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved					PI10 HSEN	PI9 HSEN	Reserved	PI7 HSEN	PI6 HSEN	PI5 HSEN	PI4 HSEN	PI3 HSEN	PI2 HSEN	PI1 HSEN	PI0 HSEN
					rw	rw		rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															

位域	名称	描述
31:27	Reserved	保留，必须保持复位值。
26:25	PIxHSEN	为 PIx Pad Model 启用高速 pad 接口连接 (x = 9 ... 10) 0: 禁用 1: 启用 (必须与 VREF_EN 一起启用以选择高速 IO 输入)
24	Reserved	保留，必须保持复位值。
23:16	PIxHSEN	为 PIx Pad Model 启用高速 pad 接口连接 (x = 0 ... 7) 0: 禁用 1: 启用 (必须与 VREF_EN 一起启用以选择高速 IO 输入)
15:0	Reserved	保留，必须保持复位值。

## 12.4.42 AFIO SIP 翻转速率配置寄存器 (AFIO\_SIP\_SR)

偏移地址: 0xB0

复位值: 0x0000 00FF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								SR7	SR6	SR5	SR4	SR3	SR2	SR1	SR0
								rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
7:0	SRy	SIP XSPI 数据引脚翻转速率配置 (y=0...7) 0: 快速翻转 1: 慢速翻转

### 12.4.43 AFIO SIP 驱动强度配置寄存器 (AFIO\_SIP\_DS)

偏移地址: 0xB4

复位值: 0x0000 5555

位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15:14	DSy	SIP XSPI 数据 PAD 驱动强度配置 (y = 0...7) 00: 2mA 驱动强度 10: 4mA 驱动强度 01: 8mA 驱动强度 11: 12mA 驱动强度
13:12		
11:10		
9:8		
7:6		
5:4		
3:2		
1:0		

### 12.4.44 AFIO ADC 开关配置寄存器 (AFIO\_ADCSW\_CFG)

偏移地址: 0xD0

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			VREF	SWPJ7	SWPJ6	DAC135_SEL[2:0]		SWPJ5	SWPJ4	TEMP	SWPJ3	SWPJ0	DAC246_SEL[2:1]		
			rw	rw	rw	rw		rw	rw	rw	rw	rw	rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC246_SEL[0]	VBAT	SWPI15[1:0]		SWPA1_C[1:0]		SWPC3_C[1:0]		SWPC2_C[1:0]			SWPA0_C[3:0]				
rw	rw	rw		rw		rw		rw			rw				

位域	名称	描述
31:29	Reserved	保留, 必须保持复位值。
28	VREF	在 ADC3_INP19 中启用 Vrefint 监控 0: 禁用 1: 启用
27	SWPJ7	PJ7 开关打开 0: PJ7 模拟开关闭合 1: PJ7 模拟开关为 ADC3_INP19 打开
26	SWPJ6	PJ6 开关打开 0: PJ6 模拟开关关闭 1: PJ6 模拟开关为 ADC3_INP18 打开
25:23	DAC135_SEL[2:0]	在 ADC2_INP16 (x=1,2,3) 中启用 DAC135 监控



		000: 禁用 001: 在 ADC2_INP16 中启用 DAC1 监控 010: 在 ADC2_INP16 中启用 DAC3 监控 100: 在 ADC2_INP16 中启用 DAC5 监控 其他: 保留
22	SWPJ5	PJ5 开关打开 0: PJ5 模拟开关闭合 1: PJ5 模拟开关为 ADC2_INP16 打开
21	SWPJ4	PJ4 开关打开 0: PJ4 模拟开关关闭 1: PJ4 模拟开关为 ADC3_INP19 打开
20	TEMP	在 ADC3_INP18 启用温度监测 0: 禁用 1: 启用
19	SWPJ3	PJ3 开关打开 0: PJ3 模拟开关闭合 1: PJ3 模拟开关为 ADC3_INP18 打开
18	SWPJ0	PJ0 开关打开 0: PJ0 模拟开关闭合 1: PJ0 模拟开关为 ADC2_INP16 打开
17:15	DAC246_SEL[2:0]	DAC246 监控在 ADC2_INP17 中启用 000: 禁用 001: DAC2 监控在 ADC2_INP17 中启用 010: DAC4 监控在 ADC2_INP17 中启用 100: DAC6 监控在 ADC2_INP17 中启用 其他: 保留
14	VBAT	在 ADC3_INP17 中启用 VABT 监控 0: 禁用 1: 启用
13:12	SWPI15[1:0]	PI15 开关打开 00: 模拟开关关闭 01: 模拟开关为 ADC2_INP17 打开 PI15 10: 模拟开关为 ADC3_INP17 打开 PI15 其他: 保留
11:10	SWPA1_C[1:0]	PA1_C 开关打开 00: 模拟开关关闭 01: 模拟开关打开 PA1_C, 用于 ADC2_INP1 10: 模拟开关打开 PA1_C, 用于 ADC1_INP1 其他: 保留
9:8	SWPC3_C[1:0]	PC3_C 开关打开 00: 模拟开关关闭 01: 模拟开关打开 PC3_C, 用于 ADC2_INP1 10: 模拟开关打开 PC3_C, 用于 ADC3_INP1 其他: 保留

7:4	SWPC2_C[3:0]	PC2_C 开关打开 0000: 模拟开关关闭 0001: 模拟开关打开, PC2_C 用于 ADC2_INP0 0010: 模拟开关打开, PC2_C 用于 ADC2_INN1 0100: 模拟开关打开, PC2_C 用于 ADC3_INP0 1000: 模拟开关打开, PC2_C 用于 ADC3_INN1 其他: 保留
3:0	SWPA0_C[3:0]	PA0_C 开关打开 0000: 模拟开关关闭 0001: 模拟开关打开 PA0_C 用于 ADC2_INP0 0010: 模拟开关打开 PA0_C 用于 ADC2_INN1 0100: 模拟开关打开 PA0_C 用于 ADC1_INP0 1000: 模拟开关打开 PA0_C 用于 ADC1_INN1 其他: 保留

## 12.4.45 AFIO IO 端口高速模式 VREF 使能配置寄存器 0 (AFIO\_HSMOD\_VREF\_EN0)

偏移地址: 0xD8

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PE15 VREFEN	PE14 VREFEN	PE13 VREFEN	PE12 VREFEN	PE11 VREFEN	PE10 VREFEN	PE9 VREFEN	PE8 VREFEN	PE7 VREFEN	PE1 VREFEN	PE0 VREFEN	PD15 VREFEN	PD14 VREFEN	PD10 VREFEN	PD9 VREFEN	PD8 VREFEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PD2 VREFEN	PD1 VREFEN	PD0 VREFEN	PC12 VREFEN	PC5 VREFEN	PC4 VREFEN	PC3 VREFEN	PC2 VREFEN	PC0 VREFEN	PB15 VREFEN	PB14 VREFEN	PB6 VREFEN	PB5 VREFEN	PA7 VREFEN	PA5 VREFEN	PA4 VREFEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:0	PXyVREFEN	启用端口 y 引脚的高速 RX 参考信号连接 0: 禁用 1: 启用 (必须与 HS_EN 一起启用, 以选择高速 IO 输入)  参考表 12-117。 注意: ① y = 4/5/7 for X=A (GPIOA) ② y = 5/6/14/15 for X=B (GPIOB) ③ y = 0/2/3/4/5/12 for X=C (GPIOC) ④ y = 0/1/2/8/9/10/14/15 for X=D (GPIOD)

位域	名称	描述
		⑤ $y = 0/1/7/8/9/10/11/12/13/14/15$ for $X=E$ (GPIOE)

**表 12-117 高速 PAD**

80	79	78	76	75	74	73	72	71	70	69	68	67	66	65	64	
Reserved								PI10	PI9	PI7	PI6	PI5	PI4	PI3	PI2	PI1
63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48	
PI0	PH15	PH14	PH13	PH12	PH11	PH10	PH9	PH8	PH7	PH6	PH5	PH3	PH2	PG15	PG8	
47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32	
PG5	PG4	PG2	PG1	PG0	PF15	PF14	PF13	PF12	PF11	PF5	PF4	PF3	PF2	PF1	PF0	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
PE15	PE14	PE13	PE12	PE11	PE10	PE9	PE8	PE7	PE1	PE0	PD15	PD14	PD10	PD9	PD8	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
PD2	PD1	PD0	PC12	PC5	PC4	PC3	PC2	PC0	PB15	PB14	PB6	PB5	PA7	PA5	PA4	

## 12.4.46 AFIO IO 端口高速模式 VREF 使能配置寄存器 1 (AFIO\_HSMOD\_VREF\_EN1)

偏移地址: 0xDC

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PI0 VREFEN	PH15 VREFEN	PH14 VREFEN	PH13 VREFEN	PH12 VREFEN	PH11 VREFEN	PH10 VREFEN	PH9 VREFEN	PH8 VREFEN	PH7 VREFEN	PH6 VREFEN	PH5 VREFEN	PH3 VREFEN	PH2 VREFEN	PG15 VREFEN	PG8 VREFEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PG5 VREFEN	PG4 VREFEN	PG2 VREFEN	PG1 VREFEN	PG0 VREFEN	PF15 VREFEN	PF14 VREFEN	PF13 VREFEN	PF12 VREFEN	PF11 VREFEN	PF5 VREFEN	PF4 VREFEN	PF3 VREFEN	PF2 VREFEN	PF1 VREFEN	PF0 VREFEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:0	PXyVREFEN	启用端口 $y$ 引脚的高速 RX 参考信号连接 0: 禁用 1: 启用 (必须与 HS_EN 一起启用, 以选择高速 IO 输入)  参考表 12-117。 注意: ① $y = 0/1/2/3/4/5/11/12/13/14/15$ for $X=F$ (GPIOF) ② $y = 0/1/2/4/5/8/15$ for $X=G$ (GPIOG) ③ $y = 2/3/5/6/7/8/9/10/11/12/13/14/15$ for $X=H$ (GPIOH) ④ $y = 0$ for $X=I$ (GPIOI)

## 12.4.47 AFIO IO 端口高速模式 VREF 使能配置寄存器 2 (AFIO\_HSMOD\_VREF\_EN2)

偏移地址: 0xE0

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16				
Reserved																			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Reserved											PI10 VREFEN	PI9 VREFEN	PI7 VREFEN	PI6 VREFEN	PI5 VREFEN	PI4 VREFEN	PI3 VREFEN	PI2 VREFEN	PI1 VREFEN
											rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:9	Reserved	保留，必须保持复位值。
8:0	PXyVREFEN	启用端口 y 引脚的高速 RX 参考信号连接 0: 禁用 1: 启用（必须与 HS_EN 一起启用，以选择高速 IO 输入）  参考表 12-117。 注意： ① $y = 1/2/3/4/5/6/7/9/10$ for $X=I$ (GPIOI)

## 12.4.48 AFIO 高速 IO 端口 DSN 配置寄存器 0 (AFIO\_HS\_DSN\_CFG0)

偏移地址: 0xE4

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PE15 DSN	PE14 DSN	PE13 DSN	PE12 DSN	PE11 DSN	PE10 DSN	PE9 DSN	PE8 DSN	PE7 DSN	PE1 DSN	PE0 DSN	PD15 DSN	PD14 DSN	PD10 DSN	PD9 DSN	PD8 DSN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PD2 DSN	PD1 DSN	PD0 DSN	PC12 DSN	PC5 DSN	PC4 DSN	PC3 DSN	PC2 DSN	PC0 DSN	PB15 DSN	PB14 DSN	PB6 DSN	PB5 DSN	PA7 DSN	PA5 DSN	PA4 DSN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述																																			
31:0	PXyDSN	高速端口 y DSN PAD 信号连接使能，用于配置高速 IO 驱动强度： <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>DSy[1]</th> <th>DSy[0]</th> <th>DSNz</th> <th>DSPz</th> <th>Drive Strength</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1mA</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>2mA</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>8mA</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>4mA</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>5mA</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>12mA</td></tr> </tbody> </table> <p>参考表 12-117。</p> <p>注意：</p> <p>①y = 4/5/7 for X=A (GPIOA)</p> <p>②y = 5/6/14/15 for X=B (GPIOB)</p> <p>③y = 0/2/3/4/5/12 for X=C (GPIOC)</p> <p>④y = 0/1/2/8/9/10/14/15 for X=D (GPIOD)</p> <p>⑤y = 0/1/7/8/9/10/11/12/13/14/15 for X=E (GPIOE)</p>	DSy[1]	DSy[0]	DSNz	DSPz	Drive Strength	0	0	0	0	1mA	0	0	1	1	2mA	0	1	0	0	8mA	1	0	0	0	4mA	1	0	1	1	5mA	1	1	0	0	12mA
DSy[1]	DSy[0]	DSNz	DSPz	Drive Strength																																	
0	0	0	0	1mA																																	
0	0	1	1	2mA																																	
0	1	0	0	8mA																																	
1	0	0	0	4mA																																	
1	0	1	1	5mA																																	
1	1	0	0	12mA																																	

### 12.4.49 AFIO 高速 IO 端口 DSN 配置寄存器 1 (AFIO\_HS\_DSN\_CFG1)

偏移地址：0xE8

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PI0 DSN	PH15 DSN	PH14 DSN	PH13 DSN	PH12 DSN	PH11 DSN	PH10 DSN	PH9 DSN	PH8 DSN	PH7 DSN	PH6 DSN	PH5 DSN	PH3 DSN	PH2 DSN	PG15 DSN	PG8 DSN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PG5 DSN	PG4 DSN	PG2 DSN	PG1 DSN	PG0 DSN	PF15 DSN	PF14 DSN	PF13 DSN	PF12 DSN	PF11 DSN	PF5 DSN	PF4 DSN	PF3 DSN	PF2 DSN	PF1 DSN	PF0 DSN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述																																			
31:0	PXyDSN	高速端口 y DSN PAD 信号连接使能，用于配置高速 IO 驱动强度： <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>DSy[1]</th> <th>DSy[0]</th> <th>DSNz</th> <th>DSPz</th> <th>Drive Strength</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1mA</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>2mA</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>8mA</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>4mA</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>5mA</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>12mA</td></tr> </tbody> </table>	DSy[1]	DSy[0]	DSNz	DSPz	Drive Strength	0	0	0	0	1mA	0	0	1	1	2mA	0	1	0	0	8mA	1	0	0	0	4mA	1	0	1	1	5mA	1	1	0	0	12mA
DSy[1]	DSy[0]	DSNz	DSPz	Drive Strength																																	
0	0	0	0	1mA																																	
0	0	1	1	2mA																																	
0	1	0	0	8mA																																	
1	0	0	0	4mA																																	
1	0	1	1	5mA																																	
1	1	0	0	12mA																																	

位域	名称	描述
		参考表 12-117。 注意： ① $y = 0/1/2/3/4/5/11/12/13/14/15$ for $X=F$ (GPIOF) ② $y = 0/1/2/4/5/8/15$ for $X=G$ (GPIOG) ③ $y = 2/3/5/6/7/8/9/10/11/12/13/14/15$ for $X=H$ (GPIOH) ④ $y = 0$ for $X=I$ (GPIOI)

### 12.4.50 AFIO 高速 IO 端口 DSN 配置寄存器 2 (AFIO\_HS\_DSN\_CFG2)

偏移地址：0xEC

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							PI10 DSN	PI9 DSN	PI7 DSN	PI6 DSN	PI5 DSN	PI4 DSN	PI3 DSN	PI2 DSN	PI1 DSN
							rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述																																			
31:9	Reserved	保留，必须保持复位值。																																			
8:0	PXyDSN	高速端口 y DSN PAD 信号连接使能，用于配置高速 IO 驱动强度： <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>DSy[1]</th> <th>DSy[0]</th> <th>DSNz</th> <th>DSPz</th> <th>Drive Strength</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1mA</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>2mA</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>8mA</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>4mA</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>5mA</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>12mA</td> </tr> </tbody> </table> 参考表 12-117。 注意： ① $y = 1/2/3/4/5/6/7/9/10$ for $X=I$ (GPIOI)	DSy[1]	DSy[0]	DSNz	DSPz	Drive Strength	0	0	0	0	1mA	0	0	1	1	2mA	0	1	0	0	8mA	1	0	0	0	4mA	1	0	1	1	5mA	1	1	0	0	12mA
DSy[1]	DSy[0]	DSNz	DSPz	Drive Strength																																	
0	0	0	0	1mA																																	
0	0	1	1	2mA																																	
0	1	0	0	8mA																																	
1	0	0	0	4mA																																	
1	0	1	1	5mA																																	
1	1	0	0	12mA																																	

### 12.4.51 AFIO 高速 IO 端口 DSP 配置寄存器 0 (AFIO\_HS\_DSP\_CFG0)

偏移地址：0xF0

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PE15 DSP	PE14 DSP	PE13 DSP	PE12 DSP	PE11 DSP	PE10 DSP	PE9 DSP	PE8 DSP	PE7 DSP	PE1 DSP	PE0 DSP	PD15 DSP	PD14 DSP	PD10 DSP	PD9 DSP	PD8 DSP
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PD2 DSP	PD1 DSP	PD0 DSP	PC12 DSP	PC5 DSP	PC4 DSP	PC3 DSP	PC2 DSP	PC0 DSP	PB15 DSP	PB14 DSP	PB6 DSP	PB5 DSP	PA7 DSP	PA5 DSP	PA4 DSP
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述																																			
31:0	PXyDSP	高速端口 y DSP PAD 信号连接使能，用于配置高速 IO 驱动强度： <table border="1" style="margin-top: 10px;"> <thead> <tr> <th>DSy[1]</th><th>DSy[0]</th><th>DSNz</th><th>DSPz</th><th>Drive Strength</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>1mA</td></tr> <tr> <td>0</td><td>0</td><td>1</td><td>1</td><td>2mA</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>0</td><td>8mA</td></tr> <tr> <td>1</td><td>0</td><td>0</td><td>0</td><td>4mA</td></tr> <tr> <td>1</td><td>0</td><td>1</td><td>1</td><td>5mA</td></tr> <tr> <td>1</td><td>1</td><td>0</td><td>0</td><td>12mA</td></tr> </tbody> </table> <p>参考表 12-117。</p> <p>注意：</p> <p>① y = 4/5/7 for X=A (GPIOA)</p> <p>② y = 5/6/14/15 for X=B (GPIOB)</p> <p>③ y = 0/2/3/4/5/12 for X=C (GPIOC)</p> <p>④ y = 0/1/2/8/9/10/14/15 for X=D (GPIOD)</p> <p>⑤ y = 0/1/7/8/9/10/11/12/13/14/15 for X=E (GPIOE)</p>	DSy[1]	DSy[0]	DSNz	DSPz	Drive Strength	0	0	0	0	1mA	0	0	1	1	2mA	0	1	0	0	8mA	1	0	0	0	4mA	1	0	1	1	5mA	1	1	0	0	12mA
DSy[1]	DSy[0]	DSNz	DSPz	Drive Strength																																	
0	0	0	0	1mA																																	
0	0	1	1	2mA																																	
0	1	0	0	8mA																																	
1	0	0	0	4mA																																	
1	0	1	1	5mA																																	
1	1	0	0	12mA																																	

## 12.4.52 AFIO 高速 IO 端口 DSP 配置寄存器 1 (AFIO\_HS\_DSP\_CFG1)

偏移地址：0xF4

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PI0 DSP	PH15 DSP	PH14 DSP	PH13 DSP	PH12 DSP	PH11 DSP	PH10 DSP	PH9 DSP	PH8 DSP	PH7 DSP	PH6 DSP	PH5 DSP	PH3 DSP	PH2 DSP	PG15 DSP	PG8 DSP
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PG5 DSP	PG4 DSP	PG2 DSP	PG1 DSP	PG0 DSP	PF15 DSP	PF14 DSP	PF13 DSP	PF12 DSP	PF11 DSP	PF5 DSP	PF4 DSP	PF3 DSP	PF2 DSP	PF1 DSP	PF0 DSP
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述																																			
31:0	PXyDSP	高速端口 y DSP PAD 信号连接使能，用于配置高速 IO 驱动强度： <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>DSy[1]</th> <th>DSy[0]</th> <th>DSNz</th> <th>DSPz</th> <th>Drive Strength</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1mA</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>2mA</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>8mA</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>4mA</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>5mA</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>12mA</td></tr> </tbody> </table> 参考表 12-117。 注意： ① y = 0/1/2/3/4/5/11/12/13/14/15 for X=F (GPIOF) ② y = 0/1/2/4/5/8/15 for X=G (GPIOG) ③ y = 2/3/5/6/7/8/9/10/11/12/13/14/15 for X=H (GPIOH) ④ y = 0 for X=I (GPIOI)	DSy[1]	DSy[0]	DSNz	DSPz	Drive Strength	0	0	0	0	1mA	0	0	1	1	2mA	0	1	0	0	8mA	1	0	0	0	4mA	1	0	1	1	5mA	1	1	0	0	12mA
DSy[1]	DSy[0]	DSNz	DSPz	Drive Strength																																	
0	0	0	0	1mA																																	
0	0	1	1	2mA																																	
0	1	0	0	8mA																																	
1	0	0	0	4mA																																	
1	0	1	1	5mA																																	
1	1	0	0	12mA																																	

### 12.4.53 AFIO 高速 IO 端口 DSP 配置寄存器 2 (AFIO\_HS\_DSP\_CFG2)

偏移地址：0xF8

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							PI10 DSP	PI9 DSP	PI7 DSP	PI6 DSP	PI5 DSP	PI4 DSP	PI3 DSP	PI2 DSP	PI1 DSP
							rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述																																			
31:9	Reserved	保留，必须保持复位值。																																			
8:0	PXyDSP	高速端口 y DSP PAD 信号连接使能，用于配置高速 IO 驱动强度： <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>DSy[1]</th> <th>DSy[0]</th> <th>DSNz</th> <th>DSPz</th> <th>Drive Strength</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1mA</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>2mA</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>8mA</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>4mA</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>5mA</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>12mA</td></tr> </tbody> </table>	DSy[1]	DSy[0]	DSNz	DSPz	Drive Strength	0	0	0	0	1mA	0	0	1	1	2mA	0	1	0	0	8mA	1	0	0	0	4mA	1	0	1	1	5mA	1	1	0	0	12mA
DSy[1]	DSy[0]	DSNz	DSPz	Drive Strength																																	
0	0	0	0	1mA																																	
0	0	1	1	2mA																																	
0	1	0	0	8mA																																	
1	0	0	0	4mA																																	
1	0	1	1	5mA																																	
1	1	0	0	12mA																																	



位域	名称	描述
		参考表 12-117。 注意： ① $y = 1/2/3/4/5/6/7/9/10$ for $X=I$ (GPIOI)

## 13 中断和事件

### 13.1 嵌套向量中断寄存器

#### 13.1.1 NVIC 特性

CPU1 (Cortex-M7) 和 CPU2 (Cortex-M4) 内核各自包含它们自己的嵌套向量中断控制器 (分别为 NVIC1 和 NVIC2)。N32H7xx 支持以下中断配置:

- 234 个可屏蔽中断通道
- 16 个可编程的优先等级

NVIC 负责中断和异常的管理。有关 NVIC 的更多信息,请分别参考 Cortex-M7 和 Cortex-M4 的 PM0253 和 PM0214 编程手册。

#### 13.1.2 SysTick 校准值寄存器

SysTick 校准值 (SYST\_CALIB) 设置为常数 0x3E8。它提供了相对于 1MHz SysTick 频率的 1 毫秒参考时间基准。SysTick 重装载值必须根据应用中使用的频率在 SYST\_RVR 寄存器中编程:例如,当 SysTick 频率为 100MHz 时,重装载值 =  $(100 \times \text{SYST\_CALIB}) - 1 = 0x1869F$ 。

#### 13.1.3 中断和异常向量

Reset, NMI, HardFault, MemManage, Bus Fault, UsageFault, SVCcall, DebugMonitor, PendSV, SysTick 是 CPU 的内部异常,连接到其 NVIC。

CPU 的浮点运算单元 (FPU) 中断连接到其 NVIC,位于位置 55。

SEMA4 中断线 1 连接到 NVIC1 的位置 172,而 SEMA4 中断线 2 连接到 NVIC2 的位置 173。

DCMUA 中断连接到 NVIC1 的 177 号位置,而 DCMUB 中断线连接到 NVIC2 的 177 号位置。

CM4 AHB ICACHE 和 DCACHE 中断仅连接到 NVIC2,分别位于位置 53 和 54。

WWDG1 中断连接到 NVIC1 的位置 0,而 WWDG2 中断连接到 NVIC2 的位置 0。

WWDG1 复位通过 EXTI 连接到 NVIC2 的位置 174,而 WWDG2 复位通过 EXTI 连接到 NVIC1 的位置 174。

剩余的中断线路在 NVIC1 和 NVIC2 上以对称方式布线。

表 13-1 NVIC1 和 NVIC2 映射

NVIC1 (CM7)	NVIC2 (CM4)	优先级	首字母缩略词	描述	地址偏移
-	-	-	MSP	Main Stack pointer	0x00000000
-	-	-3	Reset	Reset	0x00000004
-	-	-2	NMI	Non-Maskable Interrupt (RCC CSS)	0x00000008
-	-	-1	HardFault	All faults	0x0000000C

-	-	0	MemManage	Memory Management	0x00000010
-	-	1	BusFault	Prefetch fault, memory access fault	0x00000014
-	-	2	UsageFault	Undefined instruction or illegal state	0x00000018
-	-	-	-	Reserved	0x0000001C
-	-	-	-	Reserved	0x00000020
-	-	-	-	Reserved	0x00000024
-	-	-	-	Reserved	0x00000028
-	-	3	SVCall	System Service Call via SWI instruction	0x0000002C
-	-	4	DebugMonitor	Debug Monitor	0x00000030
-	-	-	-	-	0x00000034
-	-	5	PendSV	Pendable request for system service	0x00000038
-	-	6	Systick	System tick timer	0x0000003C
0	-	7	WWDG1	WWDG1 interrupt	0x00000040
-	0	7	WWDG2	WWDG2 interrupt	0x00000040
1	1	8	PVD	PVD through EXTI line 16	0x00000044
2	2	9	RTC_TAMPER	RTC tamper, timestamp or CSS LSE or RTC OVERFLOW or LSICSS through EXTI line 18	0x00000048
3	3	10	RTC_WKUP	RTC Wakeup interrupt through EXTI line 19	0x0000004C
4	4	11	RCC	RCC global interrupt	0x00000050
5	5	12	EXTI0	EXTI Line 0 interrupt	0x00000054
6	6	13	EXTI1	EXTI Line 1 interrupt	0x00000058
7	7	14	EXTI2	EXTI Line 2 interrupt	0x0000005C
8	8	15	EXTI3	EXTI Line 3 interrupt	0x00000060
9	9	16	EXTI4	EXTI Line 4 interrupt	0x00000064
10	10	17	EXTI9_5	EXTI Line[9:5] interrupt	0x00000068
11	11	18	EXTI15_10	EXTI Line[15:10] interrupt	0x0000006C
12	12	19	DMA1_channel_0	DMA1 channel 0 global interrupt	0x00000070
13	13	20	DMA1_channel_1	DMA1 channel 1 global interrupt	0x00000074
14	14	21	DMA1_channel_2	DMA1 channel 2 global interrupt	0x00000078
15	15	22	DMA1_channel_3	DMA1 channel 3 global interrupt	0x0000007C
16	16	23	DMA1_channel_4	DMA1 channel 4 global interrupt	0x00000080
17	17	24	DMA1_channel_5	DMA1 channel 5 global interrupt	0x00000084
18	18	25	DMA1_channel_6	DMA1 channel 6 global interrupt	0x00000088
19	19	26	DMA1_channel_7	DMA1 channel 7 global interrupt	0x0000008C
20	20	27	DMA2_channel_0	DMA2 channel 0 global interrupt	0x00000090
21	21	28	DMA2_channel_1	DMA2 channel 1 global interrupt	0x00000094
22	22	29	DMA2_channel_2	DMA2 channel 2 global interrupt	0x00000098
23	23	30	DMA2_channel_3	DMA2 channel 3 global interrupt	0x0000009C

24	24	31	DMA2_channel_4	DMA2 channel 4 global interrupt	0x000000A0
25	25	32	DMA2_channel_5	DMA2 channel 5 global interrupt	0x000000A4
26	26	33	DMA2_channel_6	DMA2 channel 6 global interrupt	0x000000A8
27	27	34	DMA2_channel_7	DMA2 channel 7 global interrupt	0x000000AC
28	28	35	DMA3_channel_0	DMA3 channel 0 global interrupt	0x000000B0
29	29	36	DMA3_channel_1	DMA3 channel 1 global interrupt	0x000000B4
30	30	37	DMA3_channel_2	DMA3 channel 2 global interrupt	0x000000B8
31	31	38	DMA3_channel_3	DMA3 channel 3 global interrupt	0x000000BC
32	32	39	DMA3_channel_4	DMA3 channel 4 global interrupt	0x000000C0
33	33	40	DMA3_channel_5	DMA3 channel 5 global interrupt	0x000000C4
34	34	41	DMA3_channel_6	DMA3 channel 6 global interrupt	0x000000C8
35	35	42	DMA3_channel_7	DMA3 channel 7 global interrupt	0x000000CC
36	36	43	MDMA_channel_0	MDMA channel 0 global interrupt	0x000000D0
37	37	44	MDMA_channel_1	MDMA channel 1 global interrupt	0x000000D4
38	38	45	MDMA_channel_2	MDMA channel 2 global interrupt	0x000000D8
39	39	46	MDMA_channel_3	MDMA channel 3 global interrupt	0x000000DC
40	40	47	MDMA_channel_4	MDMA channel 4 global interrupt	0x000000E0
41	41	48	MDMA_channel_5	MDMA channel 5 global interrupt	0x000000E4
42	42	49	MDMA_channel_6	MDMA channel 6 global interrupt	0x000000E8
43	43	50	MDMA_channel_7	MDMA channel 7 global interrupt	0x000000EC
44	44	51	MDMA_channel_8	MDMA channel 8 global interrupt	0x000000F0
45	45	52	MDMA_channel_9	MDMA channel 9 global interrupt	0x000000F4
46	46	53	MDMA_channel_10	MDMA channel 10 global interrupt	0x000000F8
47	47	54	MDMA_channel_11	MDMA channel 11 global interrupt	0x000000FC
48	48	55	MDMA_channel_12	MDMA channel 12 global interrupt	0x00000100
49	49	56	MDMA_channel_13	MDMA channel 13 global interrupt	0x00000104
50	50	57	MDMA_channel_14	MDMA channel 14 global interrupt	0x00000108
51	51	58	MDMA_channel_15	MDMA channel 15 global interrupt	0x0000010C
52	52	59	SDPU	SDPU global interrupt	0x00000110
53	-	60	-	Reserved	0x00000114
-	53		AHB CM4 iCache	CM4 AHB iCache interrupt	
54	-	61	-	Reserved	0x00000118
-	54		AHB CM4 dCache	CM4 AHB dCache interrupt	
55	-	62	FPU_CPU1	FPU_CM7 global interrupt	0x0000011C
-	55		FPU_CPU2	FPU_CM4 global interrupt	
56	56	63	ECCMON	ECCMON global interrupt	0x00000120
57	57	64	RTC ALARM	RTC Alarm through EXTI line 17	0x00000124
58	58	65	I2C1_EVENT	I2C1 Event interrupt	0x00000128
59	59	66	I2C1_ERR	I2C1 error interrupt	0x0000012C

60	60	67	I2C2_EVENT	I2C2 Event interrupt	0x00000130
61	61	68	I2C2_ERR	I2C2 error interrupt	0x00000134
62	62	69	I2C3_EVENT	I2C3 Event interrupt	0x00000138
63	63	70	I2C3_ERR	I2C3 error interrupt	0x0000013C
64	64	71	I2C4_EVENT	I2C4 Event interrupt	0x00000140
65	65	72	I2C4_ERR	I2C4 error interrupt	0x00000144
66	66	73	I2C5_EVENT	I2C5 Event interrupt	0x00000148
67	67	74	I2C5_ERR	I2C5 error interrupt	0x0000014C
68	68	75	I2C6_EVENT	I2C6 Event interrupt	0x00000150
69	69	76	I2C6_ERR	I2C6 error interrupt	0x00000154
70	70	77	I2C7_EVENT	I2C7 Event interrupt	0x00000158
71	71	78	I2C7_ERR	I2C7 error interrupt	0x0000015C
72	72	79	I2C8_EVENT	I2C8 Event interrupt	0x00000160
73	73	80	I2C8_ERR	I2C8 error interrupt	0x00000164
74	74	81	I2C9_EVENT	I2C9 Event interrupt	0x00000168
75	75	82	I2C9_ERR	I2C9 error interrupt	0x0000016C
76	76	83	I2C10_EVENT	I2C10 Event interrupt	0x00000170
77	77	84	I2C10_ERR	I2C10 error interrupt	0x00000174
78	78	85	I2S1	I2S1 global interrupt	0x00000178
79	79	86	I2S2	I2S1 global interrupt	0x0000017C
80	80	87	I2S3	I2S1 global interrupt	0x00000180
81	81	88	I2S4	I2S1 global interrupt	0x00000184
82	82	89	xSPI1_IRQ	xSPI1 global interrupt	0x00000188
83	83	90	xSPI2_IRQ	xSPI1 global interrupt	0x0000018C
84	84	91	SPI1	SPI1 global interrupt	0x00000190
85	85	92	SPI2	SPI2 global interrupt	0x00000194
86	86	93	SPI3	SPI3 global interrupt	0x00000198
87	87	94	SPI4	SPI4 global interrupt	0x0000019C
88	88	95	SPI5	SPI5 global interrupt	0x000001A0
89	89	96	SPI6	SPI6 global interrupt	0x000001A4
90	90	97	SPI7	SPI7 global interrupt	0x000001A8
91	91	98	LCD_EVENT	TFT LCD Controller event interrupt	0x000001AC
92	92	99	LCD_ERR	TFT LCD Controller error interrupt	0x000001B0
93	93	100	DVP1	DVP1 global interrupt	0x000001B4
94	94	101	DVP2	DVP1 global interrupt	0x000001B8
95	95	102	DMAMUX2	DMAMUX2 (MDMA MUX) global interrupt	0x000001BC
96	96	103	USBHS1_HS_EPx_OUT	USBHS1_HS endpoint out global interrupt	0x000001C0
97	97	104	USBHS1_HS_EPx_IN	USBHS1_HS endpoint in global interrupt	0x000001C4

98	98	105	USBHS1_HS_WKUP	USBHS1_HS WKUP interrupt through EXTI line 62	0x000001C8
99	99	106	USBHS1_HS	USBHS1_HS global interrupt	0x000001CC
100	100	107	USBHS2_HS_EPx_OUT	USBHS2_HS endpoint out global interrupt	0x000001D0
101	101	108	USBHS2_HS_EPx_IN	USBHS2_HS endpoint in global interrupt	0x000001D4
102	102	109	USBHS2_HS_WKUP	USBHS2_HS WKUP interrupt through EXTI line 63	0x000001D8
103	103	110	USBHS2_HS	USBHS2_HS global interrupt	0x000001DC
104	104	111	ETH1	Ethernet 1 global interrupt	0x000001E0
105	105	112	ETH1_PMT_LPI	Ethernet 1 PMT wakeup interrupt and LPI interrupt through EXTI line 83	0x000001E4
106	106	113	ETH2	Ethernet 2 global interrupt	0x000001E8
107	107	114	ETH2_PMT_LPI	Ethernet 2 PMT wakeup interrupt and LPI interrupt through EXTI line 84	0x000001EC
108	108	115	FDCAN1_INT0	FDCAN1 global interrupt line 0	0x000001F0
109	109	116	FDCAN2_INT0	FDCAN2 global interrupt line 0	0x000001F4
110	110	117	FDCAN3_INT0	FDCAN3 global interrupt line 0	0x000001F8
111	111	118	FDCAN4_INT0	FDCAN4 global interrupt line 0	0x000001FC
112	112	119	FDCAN1_INT1	FDCAN1 global interrupt line 1	0x00000200
113	113	120	FDCAN2_INT1	FDCAN2 global interrupt line 1	0x00000204
114	114	121	FDCAN3_INT1	FDCAN3 global interrupt line 1	0x00000208
115	115	122	FDCAN4_INT1	FDCAN4 global interrupt line 1	0x0000020C
116	116	123	USART1	USART1 global interrupt	0x00000210
117	117	124	USART2	USART2 global interrupt	0x00000214
118	118	125	USART3	USART3 global interrupt	0x00000218
119	119	126	USART4	USART4 global interrupt	0x0000021C
120	120	127	USART5	USART5 global interrupt	0x00000220
121	121	128	USART6	USART6 global interrupt	0x00000224
122	122	129	USART7	USART7 global interrupt	0x00000228
123	123	130	USART8	USART8 global interrupt	0x0000022C
124	124	131	UART9	UART9 global interrupt	0x00000230
125	125	132	UART10	UART10 global interrupt	0x00000234
126	126	133	UART11	UART11 global interrupt	0x00000238
127	127	134	UART12	UART12 global interrupt	0x0000023C
128	128	135	UART13	UART13 global interrupt	0x00000240
129	129	136	UART14	UART14 global interrupt	0x00000244
130	130	137	UART15	UART15 global interrupt	0x00000248
131	131	138	LPUART1	LPUART1 global interrupt + wakeup through EXTI line 49	0x0000024C
132	132	139	LPUART2	LPUART2 global interrupt + wakeup	0x00000250

				through EXTI line 52	
133	133	140	GPU	GPU global interrupt	0x00000254
134	134	141	-	Reserved	0x00000258
135	135	142	SDMMC1	SDMMC1_IRQ + WKUP through EXTI line 24	0x0000025C
136	136	143	SDMMC2	SDMMC2_IRQ + WKUP through EXTI line 25	0x00000260
137	137	144	ADC1	ADC1 global interrupt	0x00000264
138	138	145	ADC2	ADC2 global interrupt	0x00000268
139	139	146	ADC3	ADC3 global interrupt	0x0000026C
140	140	147	COMP12	COMP1 and COMP2 through EXTI line 20 and 21	0x00000270
141	141	148	COMP34	COMP3 and COMP4 through EXTI line 22 and 23	0x00000274
142	142	149	SHRTIM1_INT1	High Resolution timer 1 interrupt 1	0x00000278
143	143	150	SHRTIM1_INT2	High Resolution timer 1 interrupt 2	0x0000027C
144	144	151	SHRTIM1_INT3	High Resolution timer 1 interrupt 3	0x00000280
145	145	152	SHRTIM1_INT4	High Resolution timer 1 interrupt 4	0x00000284
146	146	153	SHRTIM1_INT5	High Resolution timer 1 interrupt 5	0x00000288
147	147	154	SHRTIM1_INT6	High Resolution timer 1 interrupt 6	0x0000028C
148	148	155	SHRTIM1_INT7	High Resolution timer 1 interrupt 7	0x00000290
149	149	156	SHRTIM1_INT8	High Resolution timer 1 interrupt 8	0x00000294
150	150	157	SHRTIM2_INT1	High Resolution timer 1 interrupt 1	0x00000298
151	151	158	SHRTIM2_INT2	High Resolution timer 1 interrupt 2	0x0000029C
152	152	159	SHRTIM2_INT3	High Resolution timer 1 interrupt 3	0x000002A0
153	153	160	SHRTIM2_INT4	High Resolution timer 1 interrupt 4	0x000002A4
154	154	161	SHRTIM2_INT5	High Resolution timer 1 interrupt 5	0x000002A8
155	155	162	SHRTIM2_INT6	High Resolution timer 1 interrupt 6	0x000002AC
156	156	163	SHRTIM2_INT7	High Resolution timer 1 interrupt 7	0x000002B0
157	157	164	SHRTIM2_INT8	High Resolution timer 1 interrupt 8	0x000002B4
158	158	165	FDCAN5_INT0	FDCAN5 global interrupt line 0	0x000002B8
159	159	166	FDCAN6_INT0	FDCAN6 global interrupt line 0	0x000002BC
160	160	167	FDCAN7_INT0	FDCAN7 global interrupt line 0	0x000002C0
161	161	168	FDCAN8_INT0	FDCAN8 global interrupt line 0	0x000002C4
162	162	169	FDCAN5_INT1	FDCAN5 global interrupt line 1	0x000002C8
163	163	170	FDCAN6_INT1	FDCAN6 global interrupt line 1	0x000002CC
164	164	171	FDCAN7_INT1	FDCAN7 global interrupt line 1	0x000002D0
165	165	172	FDCAN8_INT1	FDCAN8 global interrupt line 1	0x000002D4
166	166	173	DSI	MIPI DSI Interrupt through EXTI line 87	0x000002D8
167	-		-	Reserved	

-	167	174	AHB_CACHE_PARMON	AHB i/dCACHE parity error interrupt	0x000002DC
168	168	175	LPTIM5_WKUP	LPTIM5 wakeup through EXTI 86	0x000002E0
169	169	176	JPEG_SGDMA_H2P	JPEG SGDMA Host to Peripheral Interrupt	0x000002E4
170	170	177	JPEG_SGDMA_P2H	JPEG SGDMA Peripheral to Host Interrupt	0x000002E8
171	171	178	WAKEUP_IO	6 WAKEUP IOs through EXTI line 70-75	0x000002EC
172	-	179	SEMA4_INT1	SEMA4 interrupt 1	0x000002F0
-	173	180	SEMA4_INT2	SEMA4 interrupt 2	0x000002F4
174	-	181	WWDG2_RST	WWDG2 reset interrupt through EXTI line 82	0x000002F8
-	174	181	WWDG1_RST	WWDG1 reset interrupt through EXTI line 81	
175	175	182	OTPC	OTPC IRQ	0x000002FC
176	176	183	FEMC	FEMC interrupt	0x00000300
177	-	184	DCMUB	DCMUB interrupt	0x00000304
-	177		DCMUA	DCMUA interrupt	
178	178	185	DAC1	DAC1 IRQ	0x00000308
179	179	186	DAC2	DAC2 IRQ	0x0000030C
180	180	187	MDMA_AHBS_ERROR	MDMA AHBS ERROR through EXTI line 55-56	0x00000310
181	181	188	CM7_Error_on_Cache_Read	CM7 Error on Cache Read through EXTI line 64-65	0x00000314
182	182	189	DAC3	DAC3 interrupt	0x00000318
183	183	190	DAC4	DAC4 interrupt	0x0000031C
184	184	191	EMC	EMC event interrupt through EXTI line 88-89	0x00000320
185	185	192	DAC5	DAC5 interrupt	0x00000324
186	186	193	DAC6	DAC6 interrupt	0x00000328
187	187	194	ESC_OPB	ETHERCAT Slave Control OPB Interrupt	0x0000032C
188	188	195	ESC_SYNC0	ETHERCAT Slave Control SYNC0 Interrupt	0x00000330
189	189	196	ESC_SYNC1	ETHERCAT Slave Control SYNC1 Interrupt	0x00000334
190	190	197	ESC_WRP	ETHERCAT Slave Control WRAPPER Interrupt	0x00000338
191	191	198	-	Reserved	0x0000033C
192	192	199	ATIM1_BRK	Advanced timer 1 break interrupt	0x00000340
193	193	200	ATIM1_TRG_COM	Advanced timer 1 trigger and commutation interrupts	0x00000344
194	194	201	ATIM1_CC	Advanced timer 1 capture/compare interrupt	0x00000348
195	195	202	ATIM1_UP	Advanced timer 1 update interrupt	0x0000034C
196	196	203	ATIM2_BRK	Advanced timer 2 break interrupt	0x00000350
197	197	204	ATIM2_TRG_COM	advanced timer 2 trigger and commutation interrupts	0x00000354



198	198	205	ATIM2_CC	Advanced timer 2 capture/compare interrupt	0x00000358
199	199	206	ATIM2_UP	Advanced timer 2 update interrupt	0x0000035C
200	200	207	ATIM3_BRK	Advanced timer 3 break interrupt	0x00000360
201	201	208	ATIM3_TRG_COM	Advanced timer 3 trigger and commutation interrupts	0x00000364
202	202	209	ATIM3_CC	Advanced timer 3 capture/compare interrupt	0x00000368
203	203	210	ATIM3_UP	Advanced timer 3 update interrupt	0x0000036C
204	204	211	ATIM4_BRK	Advanced timer 4 break interrupt	0x00000370
205	205	212	ATIM4_TRG_COM	Advanced timer 4 trigger and commutation interrupts	0x00000374
206	206	213	ATIM4_CC	Advanced timer 4 capture/compare interrupt	0x00000378
207	207	214	ATIM4_UP	Advanced timer 4 update interrupt	0x0000037C
208	208	215	GTIMA1	General timer A1 global interrupt	0x00000380
209	209	216	GTIMA2	General timer A2 global interrupt	0x00000384
210	210	217	GTIMA3	General timer A3 global interrupt	0x00000388
211	211	218	GTIMA4	General timer A4 global interrupt	0x0000038C
212	212	219	GTIMA5	General timer A5 global interrupt	0x00000390
213	213	220	GTIMA6	General timer 6 global interrupt	0x00000394
214	214	221	GTIMA7	General timer A7 global interrupt	0x00000398
215	215	222	GTIMB1	General timer B1 global interrupt	0x0000039C
216	216	223	GTIMB2	General timer B2 global interrupt	0x000003A0
217	217	224	GTIMB3	General timer B3 global interrupt	0x000003A4
218	218	225	BTIM1	Base timer 1 global interrupt	0x000003A8
219	219	226	BTIM2	Base timer 2 global interrupt	0x000003AC
220	220	227	BTIM3	Base timer 3 global interrupt	0x000003B0
221	221	228	BTIM4	Base timer 4 global interrupt	0x000003B4
222	222	229	LPTIM1_WKUP	LPTIM1 wakeup through EXTI 66	0x000003B8
223	223	230	LPTIM2_WKUP	LPTIM2 wakeup through EXTI 67	0x000003BC
224	224	231	LPTIM3_WKUP	LPTIM3 wakeup through EXTI 68	0x000003C0
225	225	232	LPTIM4_WKUP	LPTIM4 wakeup through EXTI 69	0x000003C4
226	226	233	DSMU_FLT0	DSMU Filter Interrupt 0	0x000003C8
227	227	234	DSMU_FLT1	DSMU Filter Interrupt 1	0x000003CC
228	228	235	DSMU_FLT2	DSMU Filter Interrupt 2	0x000003D0
229	229	236	DSMU_FLT3	DSMU Filter Interrupt 3	0x000003D4
230	230	237	FMAC	FMAC global interrupt	0x000003D8
231	231	238	CORDIC	Cordic global interrupt	0x000003DC
232	232	239	DMAMUX1	DMAMUX1 interrupt	0x000003E0
233	233	240	MMU	MMU interrupt	0x000003E4

## 13.2 外部中断/事件控制器 (EXTI)

### 13.2.1 简介

扩展中断和事件控制器 (EXTI) 通过可配置的片上外设和外部输入的直接事件输入来处理唤醒功能。它将唤醒事件发送到电源管理模块 (PWR)，并将中断和事件信号传输到两个 CPU。

EXTI 唤醒事件可用于从 STOP0 和 STOP2 模式唤醒系统。它们也可以用于唤醒处于 SLEEP、STOP0 和 STOP2 模式的 CPU。此外，它们还可以用于在运行模式下生成中断和事件。

### 13.2.2 EXTI 主要特性

EXTI 控制器的主要特性如下：

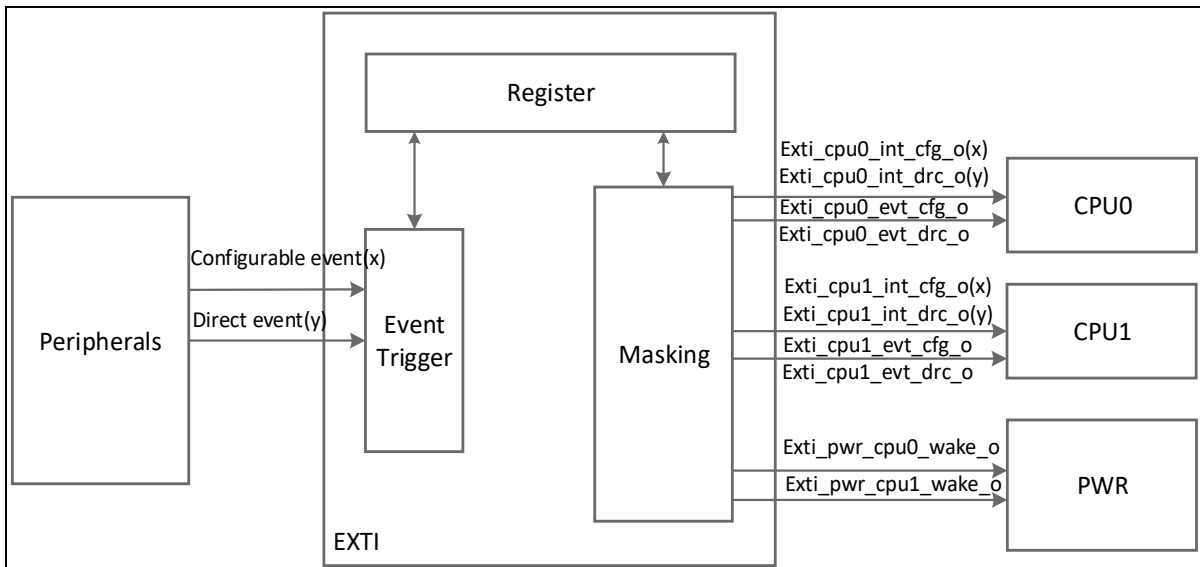
- 从 STOP0/STOP2 模式唤醒系统
- 向 CPU 生成中断和事件

这些请求可以由以下事件输入生成：

- 直接事件（来自片上外设，事件标志在源外设处存在并被清除，而不是在 EXTI 中）具有以下功能：
  - ◇ 仅允许上升沿触发
  - ◇ 具有屏蔽功能
- 可配置事件（来自外部设备或仅生成脉冲事件的片上外设），具有以下功能：
  - ◇ 软件触发
  - ◇ 支持上升沿和下降沿触发，且可编程
  - ◇ 具备屏蔽功能

### 13.2.3 EXTI 框图

图 13-1 外部中断/事件控制器框图



如上图所示，片上/片外外设将事件发送到 EXTI 并触发以下操作：

- 对 CPUx NVIC 和 rxev 输入的中断和事件，用于 CSLEEP 模式下的唤醒
- 向 PWR 发送的唤醒事件，用于系统在 STOP0/STOP2 模式或 CPU 在 CSTOP0/CSTOP2 模式下的唤醒

### 13.2.4 EXTI 功能描述

下表显示了用于可配置和直接事件输入的可用寄存器。直接事件仅可用屏蔽寄存器，而可配置事件可使用所有 5 个寄存器，因为它们的触发器可以编程为上升沿/下降沿以及软件触发。

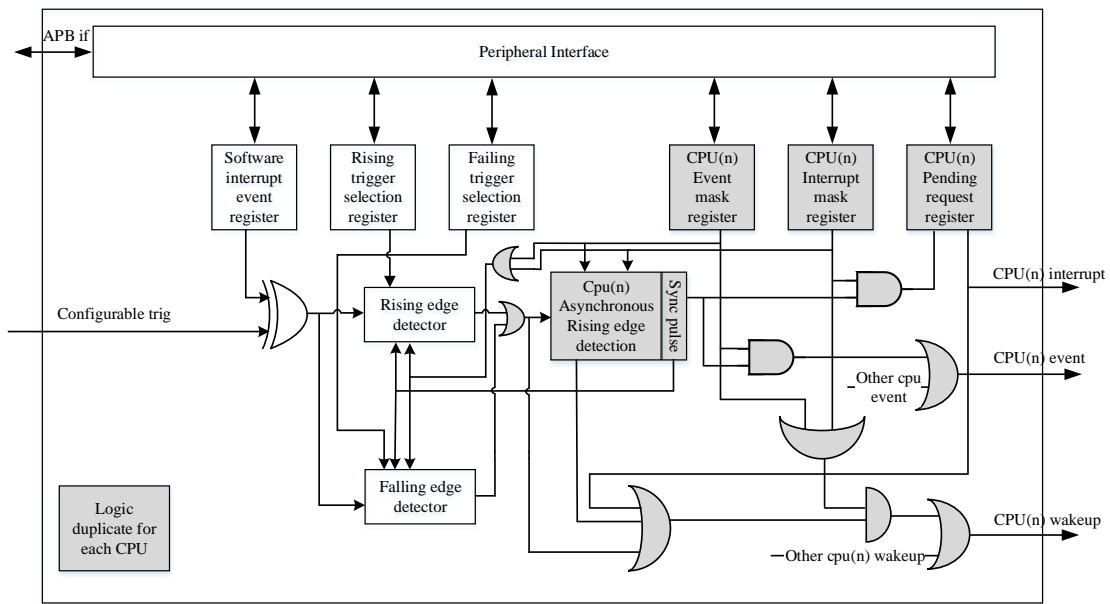
表 13-2 EXTI 事件输入配置和寄存器控制

事件输入类型	EXTI_RT_CFG	EXTI_FT_CFG	EXTI_SWIE	EXTI_M4IMASK EXTI_M7IMASK	EXTI_M4EMASK EXTI_M7EMASK
可配置事件输入	X	X	X	X	X
直接事件输入	-	-	-	X	X

#### 13.2.4.1 EXTI 可配置事件输入

下图显示了可配置的事件触发逻辑。

图 13-2 可配置事件触发逻辑



- 上升/下降沿选择寄存器 (EXTI\_RT\_CFGx/EXTI\_FT\_CFGx)  
这些寄存器用于配置触发边沿。它可以是上升沿、下降沿或双边沿。
- 软件中断事件寄存器 (EXTI\_SWIEx)  
这些寄存器用于通过软件生成事件。
- 中断/事件屏蔽寄存器 (EXTI\_CM4/CM7IMASKx 或 EXTI\_CM4/CM7EMASKx)  
这两个寄存器专门分配给每个 CPU (CPU0/1)。它们用于屏蔽从输入到各自 CPU 的中断和事件。
- CPU 挂起寄存器 (EXTI\_CM4/CM7PENDx)  
检测到的未屏蔽中断将设置相应的 CPU 挂起寄存器。这些将作为中断事件用于相应的 NVIC。未屏蔽事件将无法设置 CPU 挂起寄存器

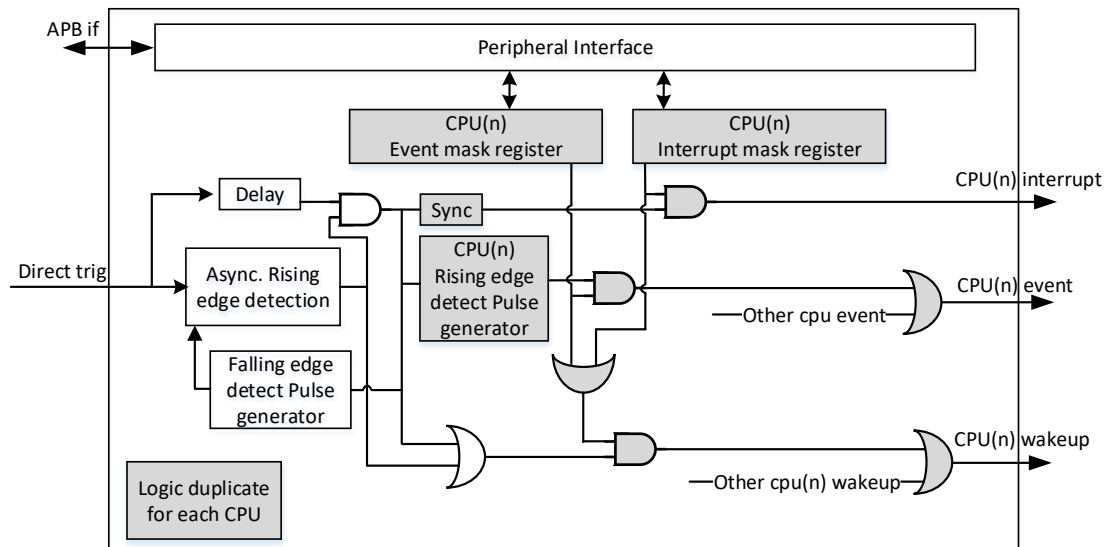
### 13.2.4.2 EXTI 直接事件输入

下图显示了直接事件触发逻辑。

只有中断/事件屏蔽寄存器可用于直接中断/事件屏蔽。对于触发检测，它总是固定为上升沿。

直接事件没有挂起寄存器，因为挂起标志存在于源外设并已被清除。此外，直接事件没有可用的软件触发。

图 13-3 直接事件触发逻辑



下表显示了软件配置中可配置事件和直接事件的 EXTI Line 号。

表 13-3 可配置和直接事件的 EXTI 映射

RT_CFGx FT_CFGx SWIEx M7IMASKx M4IMASKx M7EMASKx M4EMASKx	可配置事件	EXTI Line	M7IMASKx_DRC M4IMASKx_DRC M7EMASKx_DRC M4EMASKx_DRC	直接事件	EXTI Line
0	EXTI0	EXTI Line0	0	SDMMC1_wkup	EXTI Line24
1	EXTI1	EXTI Line1	1	SDMMC2_wkup	EXTI Line25
2	EXTI2	EXTI Line2	2	ETH1_wkup	EXTI Line83
3	EXTI3	EXTI Line3	3	ETH2_wkup	EXTI Line84
4	EXTI4	EXTI Line4	4	Reserved	Reserved
1	EXTI5	EXTI Line5	1	Reserved	Reserved
6	EXTI6	EXTI Line6	6	Reserved	Reserved
7	EXTI7	EXTI Line7	7	Reserved	Reserved
8	EXTI8	EXTI Line8	8	Reserved	Reserved
9	EXTI9	EXTI Line9	9	Reserved	Reserved
10	EXTI10	EXTI Line10	10	Reserved	Reserved
11	EXTI11	EXTI Line11	11	Reserved	Reserved
12	EXTI12	EXTI Line12	12	Reserved	Reserved
13	EXTI13	EXTI Line13	13	Reserved	Reserved
14	EXTI14	EXTI Line14	14	Reserved	Reserved
15	EXTI15	EXTI Line15	15	Reserved	Reserved
16	PVD and AVD	EXTI Line16	16	Reserved	Reserved
17	RTC alarms	EXTI Line17	17	Reserved	Reserved

RT_CFGx FT_CFGx SWIEx M7IMASKx M4IMASKx M7EMASKx M4EMASKx	可配置事件	EXTI Line	M7IMASKx_DRC M4IMASKx_DRC M7EMASKx_DRC M4EMASKx_DRC	直接事件	EXTI Line
18	RTC tamper/RTC Timestamp/LSECSS/ LSICSS/RTC Calendar Overflow	EXTI Line18	18	Reserved	Reserved
19	RTC wakeup	EXTI Line19	19	Reserved	Reserved
20	COMP1	EXTI Line20	20	Reserved	Reserved
21	COMP2	EXTI Line21	21	Reserved	Reserved
22	COMP3	EXTI Line22	22	Reserved	Reserved
23	COMP4	EXTI Line23	23	Reserved	Reserved
24	WWDG1 reset	EXTI Line81	24	Reserved	Reserved
25	WWDG2 reset	EXTI Line82	25	Reserved	Reserved
26	Reserved	Reserved	26	Reserved	Reserved
27	Reserved	Reserved	27	DCMUA Interrupt	EXTI Line51
28	DSI video error	EXTI Line87	28	Reserved	Reserved
29	Reserved	Reserved	29	Reserved	Reserved
30	Reserved	Reserved	30	DCMUB Interrupt	EXTI Line54
31	WKUP1	EXTI Line70	31	Reserved	Reserved
32	WKUP2	EXTI Line71	32	Reserved	Reserved
33	WKUP3	EXTI Line72	33	Reserved	Reserved
34	WKUP4	EXTI Line73	34	Reserved	Reserved
35	WKUP5	EXTI Line74	35	Reserved	Reserved
36	WKUP6	EXTI Line75	36	Reserved	Reserved
37	LPTIM1 wakeup	EXTI Line66	37	Reserved	Reserved
38	LPTIM2 wakeup	EXTI Line67	38	CM7_AHBSRDY_ERROR	EXTI Line56
39	LPTIM3 wakeup	EXTI Line68	39	CM7 AHBS_ABORT	EXTI Line55
40	LPTIM4 wakeup	EXTI Line69	40	Reserved	Reserved
41	LPTIM5 wakeup	EXTI Line86	41	Reserved	Reserved
42	LPUART1 wakeup	EXTI Line49	42	Reserved	Reserved
43	LPUART2 wakeup	EXTI Line52	43	Reserved	Reserved
44	CM7 Correctable Error on Cache Read Event	EXTI Line64	44	Reserved	Reserved
45	CM7 Fatal Error on Cache Read Event	EXTI Line65	45	Reserved	Reserved
46	Reserved	Reserved	46	Reserved	Reserved
47	Reserved	Reserved	47	Reserved	Reserved

RT_CFGx FT_CFGx SWIEx M7IMASKx M4IMASKx M7EMASKx M4EMASKx	可配置事件	EXTI Line	M7IMASKx_DRC M4IMASKx_DRC M7EMASKx_DRC M4EMASKx_DRC	直接事件	EXTI Line
48	USB1 Wakeup	EXTI Line62	48	Reserved	Reserved
49	USB2 Wakeup	EXTI Line63	49	Reserved	Reserved
50	VDDD EMC event	EXTI Line89	50	Reserved	Reserved
51	BKP EMC event	EXTI Line88	51	Reserved	Reserved
52	Reserved	Reserved	52	RCC interrupt	EXTI Line76
53	Reserved	Reserved	53	SEMA1 interrupt	EXTI Line77
54	Reserved	Reserved	54	SEMA2 interrupt	EXTI Line78
55	Reserved	Reserved	55	CortexM4 SEV interrupt	EXTI Line79
56	Reserved	Reserved	56	CortexM7 SEV interrupt	EXTI Line80
57	Reserved	Reserved	57	HSECSS interrupt	EXTI Line85
58	Reserved	Reserved	58	Reserved	

### 13.2.5 EXTI 事件输入映射

下表显示了 EXTI 事件输入映射及其各自的功能。事件输入可以唤醒 CPU1、CPU2，在“任意”的情况下可以唤醒任意 CPU。

表 13-4 EXTI 事件输入映射

EXTI Event Line	Source	Type	Wakeup targets <sup>(1)</sup>	Connection to NVIC
0-15	EXTI[15:0]	Configurable	Any (SYSTEM STOP0/2 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
16	PVD and AVD	Configurable	Any (SYSTEM STOP0/2 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
17	RTC alarms	Configurable	Any (SYSTEM STOP0/2 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
18	RTC tamper, RTC timestamp, LSECSS, RTC calendar overflow, LSICSS	Configurable	Any (SYSTEM STOP0/2 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
19	RTC wakeup timer	Configurable	Any (SYSTEM STOP0/2 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
20	COMP1	Configurable	Any (SYSTEM STOP0/2 or CPU	Yes

EXTI Event Line	Source	Type	Wakeup targets <sup>(1)</sup>	Connection to NVIC
			Cn_SLP/Cn_STP0/Cn_STP2)	
21	COMP2	Configurable	Any (SYSTEM STOP0/2 OR CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
22	COMP3	Configurable	Any (SYSTEM STOP0 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
23	COMP4	Configurable	Any (SYSTEM STOP0 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
24	SDMMC1 wakeup event	Direct	Any (SYSTEM STOP0 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
25	SDMMC2 wakeup event	Direct	Any (SYSTEM STOP0 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
26-48	Reserved	-	-	-
49	LPUART1 wakeup	Configurable	Any (SYSTEM STOP0/2 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
50	Reserved	-	-	-
51	DCMUA Interrupt	Direct	CM7 (CPU Cn_STP0 /Cn_STP2)	No <sup>(2)</sup>
52	LPUART2 wakeup	Configurable	Any (SYSTEM STOP0/2 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
53	Reserved	-	-	-
54	DCMUB Interrupt	Direct	CM4 (CPU Cn_STP0 /Cn_STP2)	No <sup>(2)</sup>
55	CM7 AHBS_ABORT	Direct	Any (CM7/CM4 Cn_SLP or CM4 Cn_STP0 /Cn_STP2)	Yes
56	CM7_AHBSRDY_ERROR	Direct	Any (CPU Cn_SLP/Cn_STP0 /Cn_STP2)	Yes
57	Reserved	-	-	-
58	Reserved	-	-	-
59	Reserved	-	-	-
60	Reserved	-	-	-
61	Reserved	-	-	-
62	USB1_HS wakeup	Configurable	Any (SYSTEM STOP0 or CPU	Yes



EXTI Event Line	Source	Type	Wakeup targets <sup>(1)</sup>	Connection to NVIC
			Cn_SLP/Cn_STP0/Cn_STP2)	
63	USB2_HS wakeup	Configurable	Any (SYSTEM STOP0 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
64	CM7 Correctable Error on Cache Read	Configurable	CM4 (Cn_SLP/Cn_STP0 /Cn_STP2)	Yes
65	CM7 Fatal Error on Cache Read	Configurable	CM4 (Cn_SLP/Cn_STP0 /Cn_STP2))	Yes
66	LPTIM1 wakeup	Configurable	Any (SYSTEM STOP0/2 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
67	LPTIM2 wakeup	Configurable	Any (SYSTEM STOP0/2 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
68	LPTIM3 wakeup	Configurable	Any (SYSTEM STOP0/2 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
69	LPTIM4 wakeup	Configurable	Any (SYSTEM STOP0/2 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
70	WKUP1	Configurable	Any (SYSTEM STOP0/2 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
71	WKUP2	Configurable	Any (SYSTEM STOP0/2 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
72	WKUP3	Configurable	Any (SYSTEM STOP0/2 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
73	WKUP4	Configurable	Any (SYSTEM STOP0/2 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
74	WKUP5	Configurable	Any (SYSTEM STOP0/2 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
75	WKUP6	Configurable	Any (SYSTEM STOP0/2 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
76	RCC interrupt	Direct	Any (CPU Cn_SLP/ Cn_STP0/Cn_STP2)	No <sup>(2)</sup>

EXTI Event Line	Source	Type	Wakeup targets <sup>(1)</sup>	Connection to NVIC
77	SEMA1 interrupt	Direct	CM7 (Cn_SLP/Cn_STP0/Cn_STP2)	No <sup>(2)</sup>
78	SEMA2 interrupt	Direct	CM4 (Cn_SLP/Cn_STP0/Cn_STP2)	No <sup>(2)</sup>
79	CortexM4 SEV interrupt	Direct	CM7 (Cn_SLP)	No <sup>(3)</sup>
80	CortexM7 SEV interrupt	Direct	CM4 (Cn_SLP)	No <sup>(3)</sup>
81	WWDG1 reset	Configurable	CM4 (Cn_SLP/Cn_STP0/Cn_STP2)	Yes
82	WWDG2 reset	Configurable	CM7 (Cn_SLP/Cn_STP0/Cn_STP2)	Yes
83	ETHERNET1 wakeup (LPI+PMT)	Direct	Any (SYSTEM STOP0 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
84	ETHERNET2 wakeup (LPI+PMT)	Direct	Any (SYSTEM STOP0 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
85	HSECSS interrupt	Direct	Any (CPU Cn_SLP/ Cn_STP0/Cn_STP2)	No <sup>(2)</sup>
86	LPTIMER5 wakeup	Configurable	Any (SYSTEM STOP0/2 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
87	DSI Error Event (Video Error + Overflow + Underflow)	Configurable	Any (SYSTEM STOP0 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
88	BKP EMC	Configurable	Any (SYSTEM STOP0/2 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
89	VDDD EMC	Configurable	Any (SYSTEM STOP0/2 or CPU Cn_SLP/Cn_STP0/Cn_STP2)	Yes
90	Reserved	-	-	-

**注释:**

(1) 这是用于低功耗模式下的唤醒。对于中断，只要能够连接到 NVIC，就可以中断任何处于运行模式的 CPU。

(2) 可直接通过外设在 CPUNVIC 上使用，用于通过 PWR 进行系统电源/时钟唤醒，从而使 CPU 的电源/时钟可用于采样唤醒中断。这对于 CPU 低功耗唤醒非常有用，即系统处于更高功耗模式（例如系统处于运行模式，CM4 处于 STOP0 或 CM7 处于 STOP2）。

(3) 在 CPU NVIC 上不可用，可通过 PWR 或 CPU 事件输入 (rxev) 用于系统唤醒。

## 13.2.6 EXTI 编程指南

### 13.2.6.1 公共指南

#### 可配置事件输入

可配置事件需要通过在相应的 EXTI\_RT\_CFGx/EXTI\_FT\_CFGx 寄存器中对所选边缘进行编程来激活。当检测到已启用且未屏蔽的事件时，相应的中断/事件和 EXTI\_M4/M7PENDx 中的待处理 PRx 位将被设置。待处理的 PRx 位应由软件检查和清除。这也将清除相应的 CPU 中断。没有 CPU 事件待处理位。中断/事件也可以通过软件创建，通过向 EXTI\_SWIEx 写入 1。

#### 直接事件输入

需要在源外设中激活直接事件输入。直接事件触发仅在上升沿检测。直接事件没有相应的中断挂起位和软件触发。需要软件取消屏蔽检测到的触发，以便向 CPU 生成中断/事件。

### 13.2.6.2 EXTI 中断编程指南

- 在 EXTI\_RT\_CFGx/FT\_CFGx 寄存器中编程所选边沿，以便在这些事件为可配置事件时激活事件输入
- 通过在 EXTI\_CM4/CM7IMASKx 寄存器的相应掩码位中写入 1 来取消屏蔽事件中断。
- 编程相应的 NVIC 以启用相应的中断线，或者使用 SEVONPEND，以便 CPU 在 WFI/WFE 指令后能够检测到中断。注意，如果事件是可配置的，则需要通过软件清除相应的 EXTI 挂起位。

### 13.2.6.3 EXTI 事件编程指南

- 在 EXTI\_RT\_CFGx/FT\_CFGx 寄存器中对选定的边缘进行编程，以在它们是可配置事件时激活事件输入。
- 通过在 EXTI\_CM4/CM7EMASKx 寄存器的相应掩码位写入 1 来取消屏蔽事件输入。
- CPU 在执行 WFE 指令后可以检测事件输入。不需要进行 NVIC 编程。事件没有 EXTI 挂起位需要清除。

### 13.2.6.4 EXTI CPU 唤醒流程

- 在 EXTI\_RT\_CFGx/FT\_CFGx 寄存器中编程选定的边沿，以在它们是可配置事件时激活事件输入。
- 编程 EXTI\_CM4/CM7IMASKx 或 EXTI\_CM4/CM7EMASKx 以取消屏蔽事件输入，以便可以生成唤醒事件。

### 13.2.6.5 EXTI 软件中断/事件触发编程指南

- 在 EXTI\_RT\_CFGx/FT\_CFGx 寄存器中编程所选边沿，以在事件输入可配置时激活事件输入。
- 编程 EXTI\_CM4/CM7IMASKx 或 EXTI\_CM4/CM7EMASKx 以解除事件输入屏蔽，从而可以生成唤醒事件。
- 在 EXTI\_SWIEx 寄存器的相应中断使能位中编程“1”以生成软件触发中断/事件。

## 13.3 EXTI 寄存器

每个寄存器只能用 32 位（字）访问。

### 13.3.1 EXTI 上升沿触发配置寄存器（EXTI\_RT\_CFG0）

偏移地址：0x00

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RT_CFG[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RT_CFG[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:0	RT_CFGx	线 x 上的上升沿触发配置位（ $x = 0 \cdots 31$ ） 0：禁止输入线 x 上的上升沿触发（中断和事件） 1：允许输入线 x 上的上升沿触发（中断和事件）

### 13.3.2 EXTI 上升沿触发配置寄存器（EXTI\_RT\_CFG1）

偏移地址：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved												RT_CFG[19:16]			
												rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RT_CFG[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:25	Reserved	保留，必须保持复位值。
19:0	RT_CFGx	可配置事件输入 $x+32$ （ $x = 0 \cdots 19$ ）的上升沿触发事件配置位。 0：禁止输入线 x 上的上升沿触发（中断和事件） 1：允许输入线 x 上的上升沿触发（中断和事件）

### 13.3.3 EXTI 下降沿触发配置寄存器 (EXTI\_FT\_CFG0)

偏移地址: 0x20

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FT_CFG[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FT_CFG[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:0	FT_CFGx	线 x 上的下降沿触发配置位 (x = 0...31) 0: 禁止输入线 x 上的下降沿触发 (中断和事件) 1: 允许输入线 x 上的下降沿触发 (中断和事件)

### 13.3.4 EXTI 下降沿触发配置寄存器 (EXTI\_FT\_CFG1)

偏移地址: 0x24

复位值: 0x0000 0000

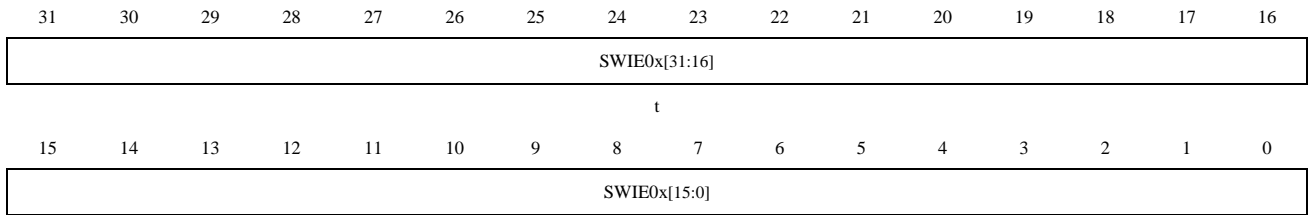
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved												FT_CFG[19:16]			
												rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FT_CFG[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:25	Reserved	保留, 必须保持复位值。
19:0	FT_CFGx	可配置事件输入 x+32 (x = 0...19) 的下降沿触发事件配置位。 0: 禁止输入线 x 上的下降沿触发 (中断和事件) 1: 允许输入线 x 上的下降沿触发 (中断和事件)

### 13.3.5 EXTI 软件中断使能寄存器 (EXTI\_SWIE0)

偏移地址: 0x40

复位值: 0x0000 0000



位域	名称	描述
31:0	SWIE0x	Line x 的软件中断 (x=0...31) 0: 写入 0 无效果 1: 向此位写入 1 将触发 Line x 的事件。此位由硬件自动清除。

### 13.3.6 EXTI 软件中断使能寄存器 (EXTI\_SWIE1)

偏移地址: 0x44

复位值: 0x0000 0000

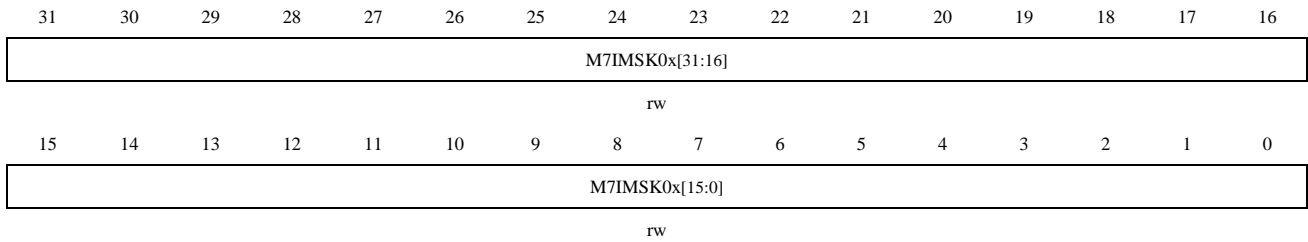


位域	名称	描述
31:20	Reserved	保留, 必须保持复位值。
19:0	SWIE1x	Line x+32 的软件中断 (x = 0...19) 0: 写入 0 无效果 1: 向此位写入 1 将触发 Line x 的事件。此位由硬件自动清除。

### 13.3.7 EXTI 到 CPU1 中断屏蔽寄存器 (EXTI\_M7IMASK0)

偏移地址: 0x60

复位值: 0x0000 0000

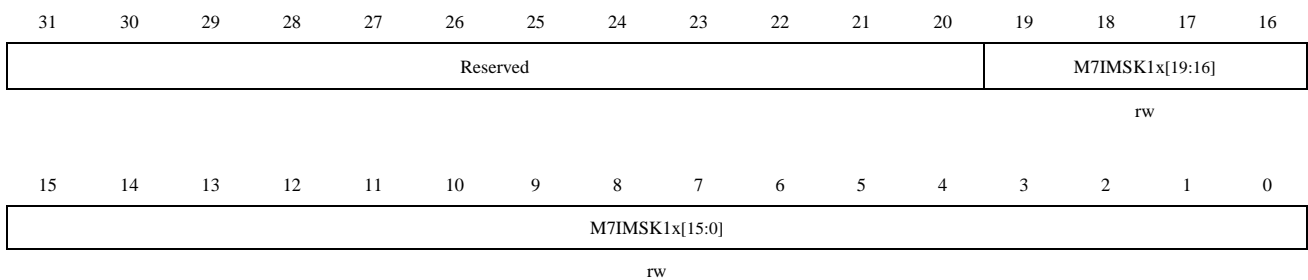


位域	名称	描述
31:0	M7IMSK0x	线 x 上的中断屏蔽位 (x = 0...31) 0: 屏蔽来自线 x 上的中断请求; 1: 开放来自线 x 上的中断请求。

### 13.3.8 EXTI 到 CPU1 中断屏蔽寄存器 (EXTI\_M7IMASK1)

偏移地址: 0x64

复位值: 0x0000 0000

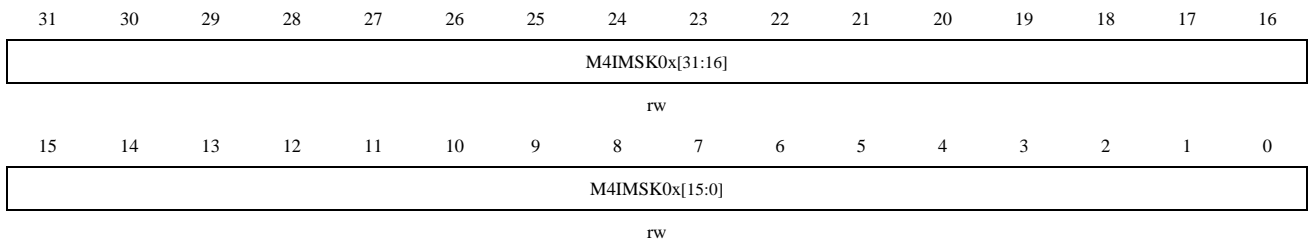


位域	名称	描述
31:20	Reserved	保留, 必须保持复位值。
19:0	M7IMSK1x	Line x+32 上的中断屏蔽位 (x = 0...19) 0: 屏蔽来自线 x 上的中断请求; 1: 开放来自线 x 上的中断请求。

### 13.3.9 EXTI 到 CPU2 中断屏蔽寄存器 (EXTI\_M4IMASK0)

偏移地址: 0x80

复位值: 0x0000 0000

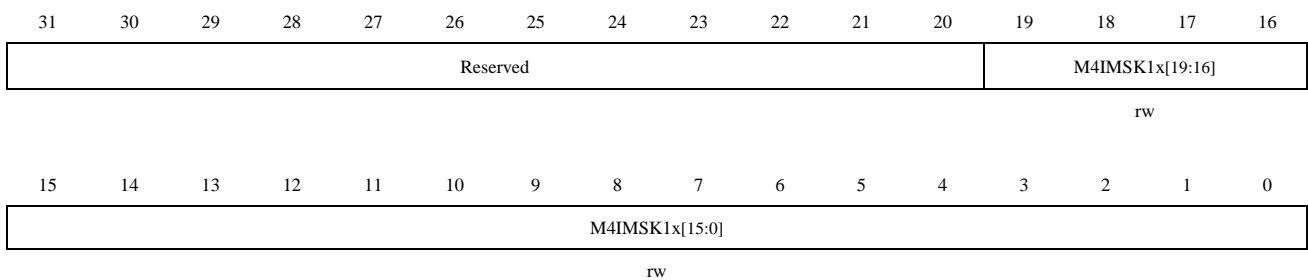


位域	名称	描述
31:0	M4IMSK0x	线 x 上的中断屏蔽位 (x = 0...31) 0: 屏蔽来自线 x 上的中断请求; 1: 开放来自线 x 上的中断请求。

### 13.3.10 EXTI 到 CPU2 中断屏蔽寄存器 (EXTI\_M4IMASK1)

偏移地址: 0x84

复位值: 0x0000 0000



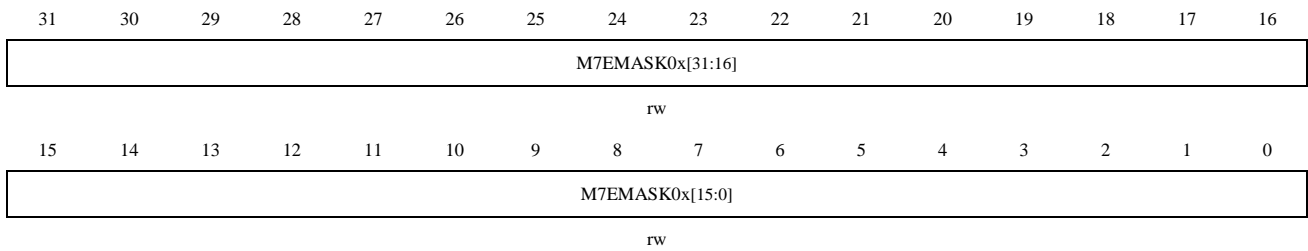
位域	名称	描述
31:20	Reserved	保留, 必须保持复位值。
19:0	M4IMSK1x	Line x+32 上的中断屏蔽位 (x = 0...19) 0: 屏蔽来自线 x 上的中断请求; 1: 开放来自线 x 上的中断请求。

### 13.3.11 EXTI 到 CPU1 事件屏蔽寄存器 (EXTI\_M7EMASK0)

偏移地址: 0xA0

复位值: 0x0000 0000



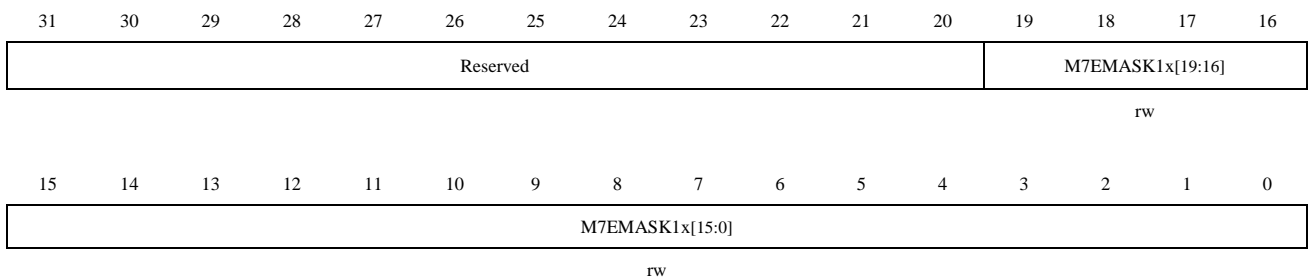


位域	名称	描述
31:0	M7EMASK0x	线 x 上的事件屏蔽位 (x = 0...31) 0: 屏蔽来自线 x 上的事件请求; 1: 开放来自线 x 上的事件请求。

### 13.3.12 EXTI 到 CPU1 事件屏蔽寄存器 (EXTI\_M7EMASK1)

偏移地址: 0xA4

复位值: 0x0000 0000

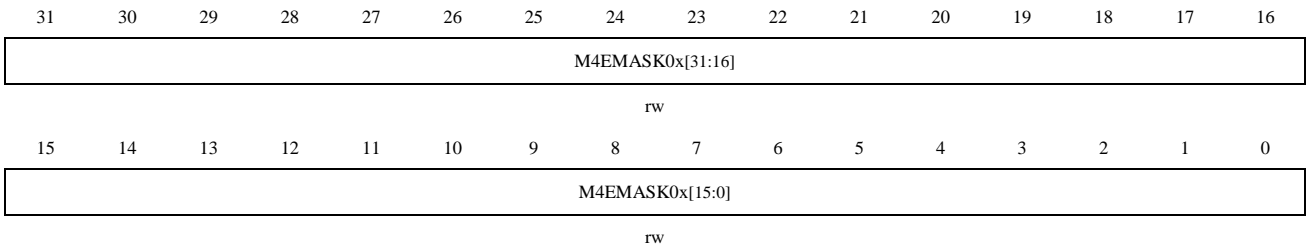


位域	名称	描述
31:20	Reserved	保留, 必须保持复位值。
19:0	M7EMASK1x	Line x+32 上的事件屏蔽位 (x = 0...19) 0: 屏蔽来自线 x 上的事件请求; 1: 开放来自线 x 上的事件请求。

### 13.3.13 EXTI 到 CPU2 事件屏蔽寄存器 (EXTI\_M4EMASK0)

偏移地址: 0xC0

复位值: 0x0000 0000

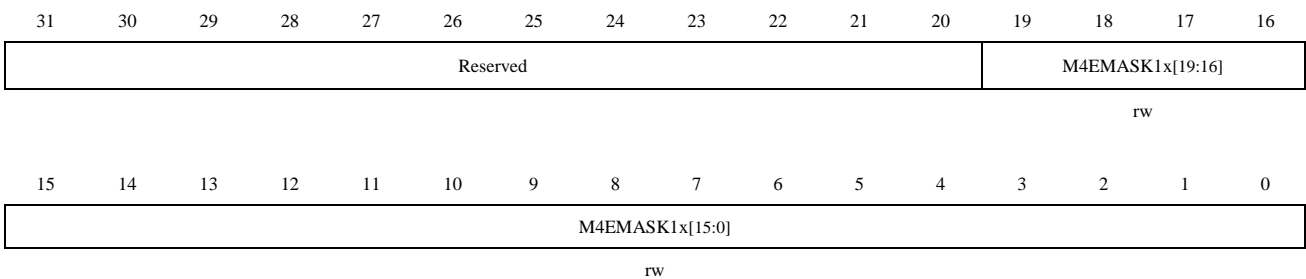


位域	名称	描述
31:0	M4EMASK0x	线 x 上的事件屏蔽位 (x = 0...31) 0: 屏蔽来自线 x 上的事件请求; 1: 开放来自线 x 上的事件请求。

### 13.3.14 EXTI 到 CPU2 事件屏蔽寄存器 (EXTI\_M4EMASK1)

偏移地址: 0xC4

复位值: 0x0000 0000

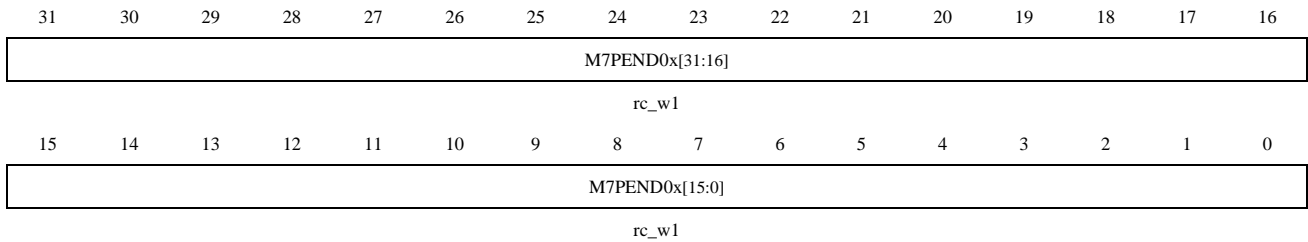


位域	名称	描述
31:20	Reserved	保留, 必须保持复位值。
19:0	M4EMASK1x	Line x+32 上的事件屏蔽位 (x = 0...19) 0: 屏蔽来自线 x 上的事件请求; 1: 开放来自线 x 上的事件请求。

### 13.3.15 EXTI 到 CPU1 挂起寄存器 (EXTI\_M7PEND0)

偏移地址: 0xE0

复位值: 0x0000 0000

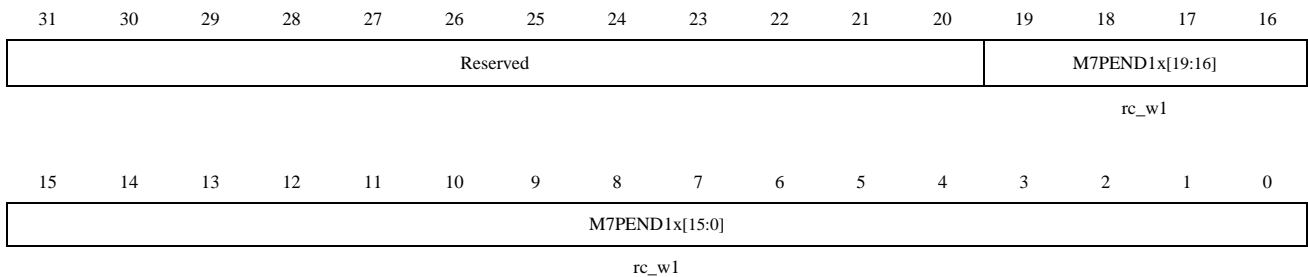


位域	名称	描述
31:0	M7PEND0x	线 x 上的挂起位 (x = 0...31) 0: 没有发生挂起请求 1: 发生了挂起触发请求 当选定的边沿事件到达外部中断时, 该位被设置

### 13.3.16 EXTI 到 CPU1 挂起寄存器 (EXTI\_M4PEND0)

偏移地址: 0xE4

复位值: 0x0000 0000

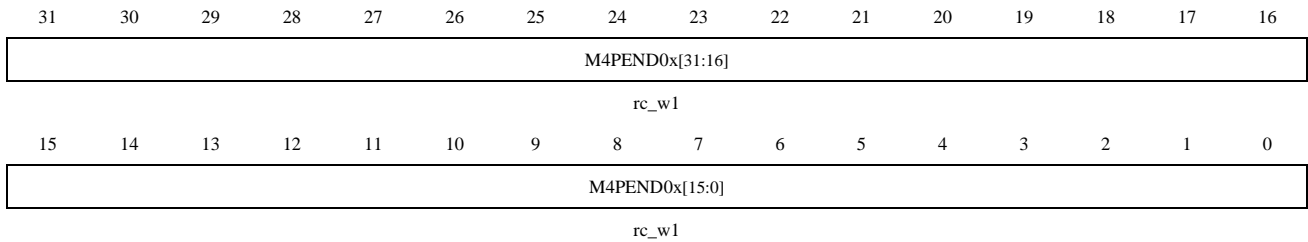


位域	名称	描述
31:20	Reserved	保留, 必须保持复位值。
19:0	M7PEND1x	线 x+32 上的挂起位 (x = 0...19) 0: 没有发生挂起请求 1: 发生了挂起触发请求 当选定的边沿事件到达外部中断时, 该位被设置

### 13.3.17 EXTI 到 CPU2 挂起寄存器 (EXTI\_M4PEND0)

偏移地址: 0x100

复位值: 0x0000 0000



位域	名称	描述
31:0	M4PEND0x	线 x 上的挂起位 (x = 0...31) 0: 没有发生挂起请求 1: 发生了挂起触发请求 当选定的边沿事件到达外部中断时, 该位被设置

### 13.3.18 EXTI 到 CPU2 挂起寄存器 (EXTI\_M4EMASK1)

偏移地址: 0x104

复位值: 0x0000 0000

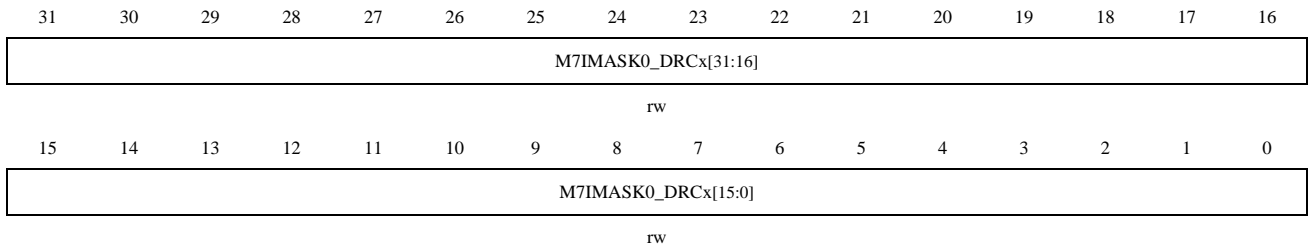


位域	名称	描述
31:20	Reserved	保留, 必须保持复位值。
19:0	M4PEND1x	线 x+32 上的挂起位 (x = 0...19) 0: 没有发生挂起请求 1: 发生了挂起触发请求 当选定的边沿事件到达外部中断时, 该位被设置

### 13.3.19 EXTI 到 CPU1 中断屏蔽寄存器 (EXTI\_M7IMASK0\_DRC)

偏移地址: 0x120

复位值: 0x0000 0000

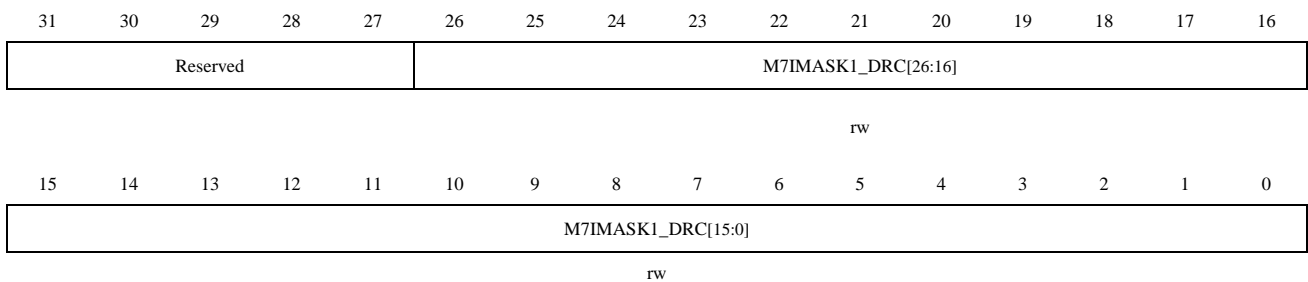


位域	名称	描述
31:0	M7IMASK0_DRCx	线 x 上的中断屏蔽位 (x = 0...31) 0: 屏蔽来自线 x 上的中断请求; 1: 开放来自线 x 上的中断请求。

### 13.3.20 EXTI 到 CPU1 中断屏蔽寄存器 (EXTI\_M7IMASK1\_DRC)

偏移地址: 0x124

复位值: 0x0000 0000

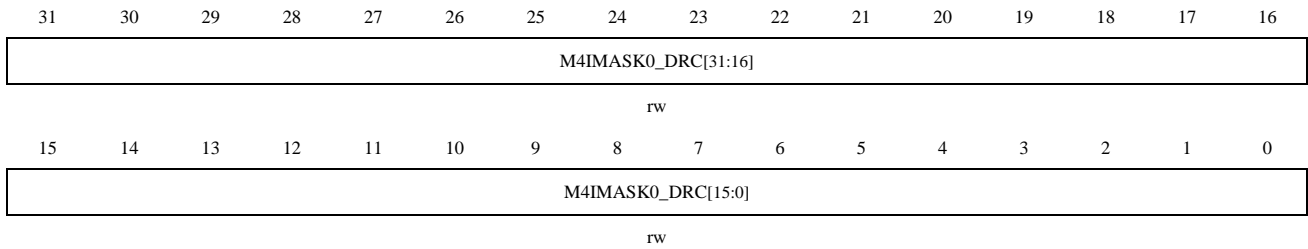


位域	名称	描述
31:27	Reserved	保留, 必须保持复位值。
26:0	M7IMASK1_DRCx	Line x+32 上的中断屏蔽位 (x = 0...26) 0: 屏蔽来自线 x 上的中断请求; 1: 开放来自线 x 上的中断请求。

### 13.3.21 EXTI 到 CPU2 中断屏蔽寄存器 (EXTI\_M4IMASK0\_DRC)

偏移地址: 0x140

复位值: 0x0000 0000

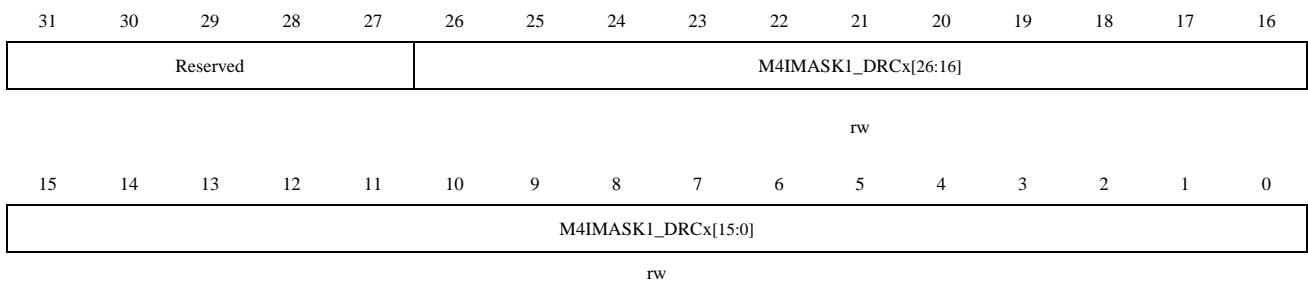


位域	名称	描述
31:0	M4IMASK0_DRCx	线 x 上的中断屏蔽位 (x = 0...31) 0: 屏蔽来自线 x 上的中断请求; 1: 开放来自线 x 上的中断请求。

### 13.3.22 EXTI 到 CPU2 中断屏蔽寄存器 (EXTI\_M4IMASK1\_DRC)

偏移地址: 0x144

复位值: 0x0000 0000

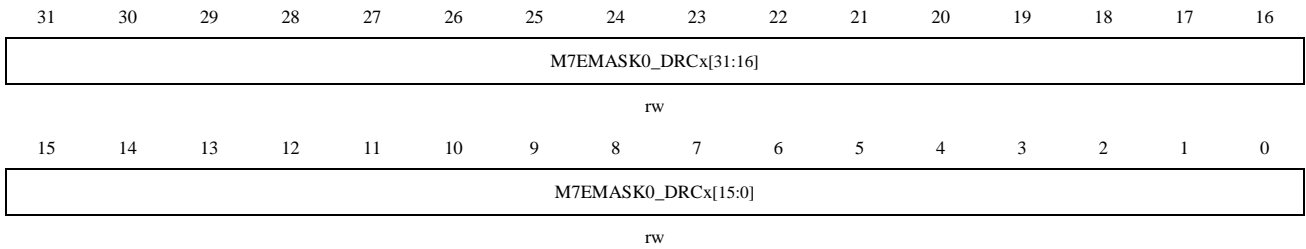


位域	名称	描述
31:27	Reserved	保留, 必须保持复位值。
26:0	M4IMASK1_DRCx	Line x+32 上的中断屏蔽位 (x = 0...26) 0: 屏蔽来自线 x 上的中断请求; 1: 开放来自线 x 上的中断请求。

### 13.3.23 EXTI 到 CPU1 事件屏蔽寄存器 (EXTI\_M7EMASK0\_DRC)

偏移地址: 0x160

复位值: 0x0000 0000

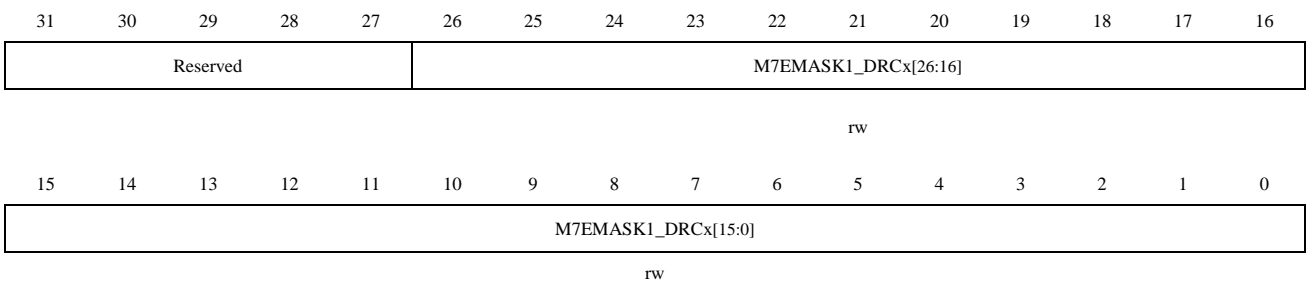


位域	名称	描述
31:0	M7EMASK0_DRCx	线 x 上的事件屏蔽位 (x = 0...31) 0: 屏蔽来自线 x 上的事件请求; 1: 开放来自线 x 上的事件请求。

### 13.3.24 EXTI 到 CPU1 事件屏蔽寄存器 (EXTI\_M7EMASK1\_DRC)

偏移地址: 0x164

复位值: 0x0000 0000

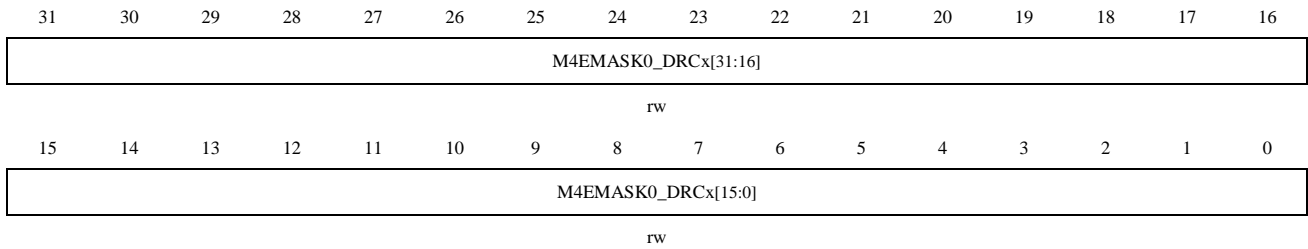


位域	名称	描述
31:27	Reserved	保留, 必须保持复位值。
26:0	M7EMASK1_DRCx	Line x+32 上的事件屏蔽位 (x = 0...26) 0: 屏蔽来自线 x 上的事件请求; 1: 开放来自线 x 上的事件请求。

### 13.3.25 EXTI 到 CPU2 事件屏蔽寄存器 (EXTI\_M4EMASK0\_DRC)

偏移地址: 0x180

复位值: 0x0000 0000

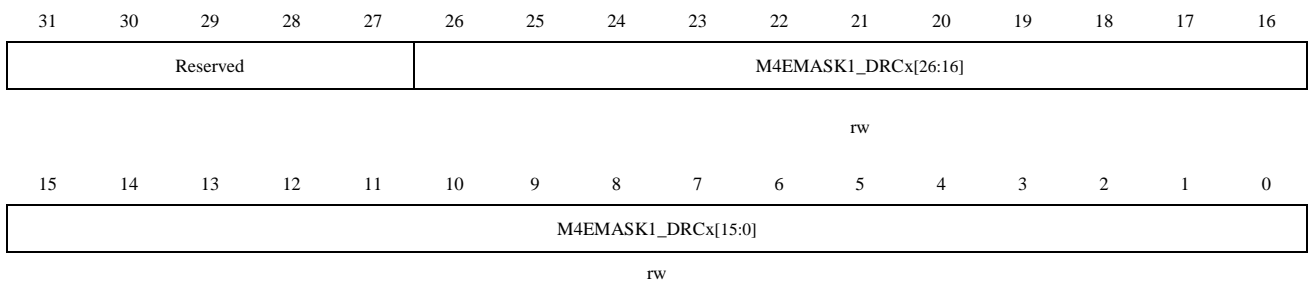


位域	名称	描述
31:0	M4EMASK0_DRCx	线 x 上的事件屏蔽位 (x = 0...31) 0: 屏蔽来自线 x 上的事件请求; 1: 开放来自线 x 上的事件请求。

### 13.3.26 EXTI 到 CPU2 事件屏蔽寄存器 (EXTI\_M4EMASK1\_DRC)

偏移地址: 0x184

复位值: 0x0000 0000



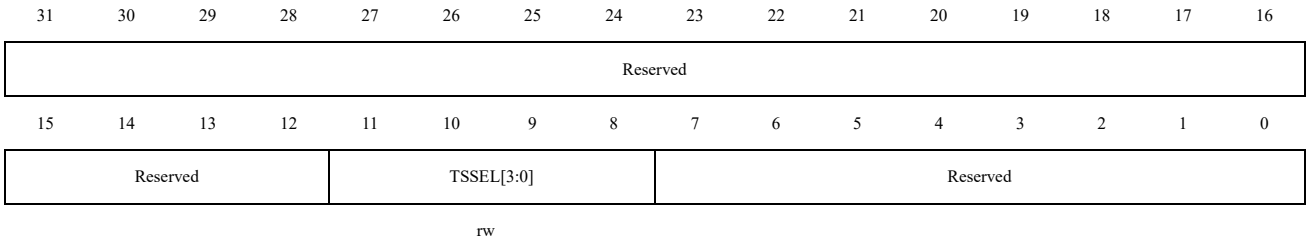
位域	名称	描述
31:27	Reserved	保留, 必须保持复位值。
26:0	M4EMASK1_DRCx	Line x+32 上的事件屏蔽位 (x = 0...26) 0: 屏蔽来自线 x 上的事件请求; 1: 开放来自线 x 上的事件请求。

### 13.3.27 EXTI 时间戳触发源选择寄存器 (EXTI\_TSSEL)

偏移地址: 0x1C0

复位值: 0x0000 0000





位域	名称	描述
31:12	Reserved	保留，必须保持复位值。
11:8	TSSEL[3:0]	选择外部中断输入作为时间戳事件的触发源 0: 选择 EXTIO 作为时间戳事件的触发源； 1: 选择 EXTI1 作为时间戳事件的触发源； ..... 15: 选择 EXTI15 作为时间戳事件的触发源。
7:0	Reserved	保留，必须保持复位值。

## 14 DMA 请求多路复用器 (DMAMUX)

### 14.1 简介

外设通过激活其 DMA 请求信号发起 DMA 传输请求。该请求将保持待处理状态，直至 DMA 控制器通过发出 DMA 应答信号进行处理，此时原始 DMA 请求信号将被禁用。

DMAMUX 可实现设备外设与 DMA 控制器间 DMA 请求线的路由。该路由由可编程多通道 DMA 请求线多路复用器管理。每个通道可无条件选择特定 DMA 请求线，或响应其 DMAMUX 同步输入端触发的事件进行选择。此外，DMAMUX 还能根据其输入信号触发的可编程事件生成 DMA 请求。

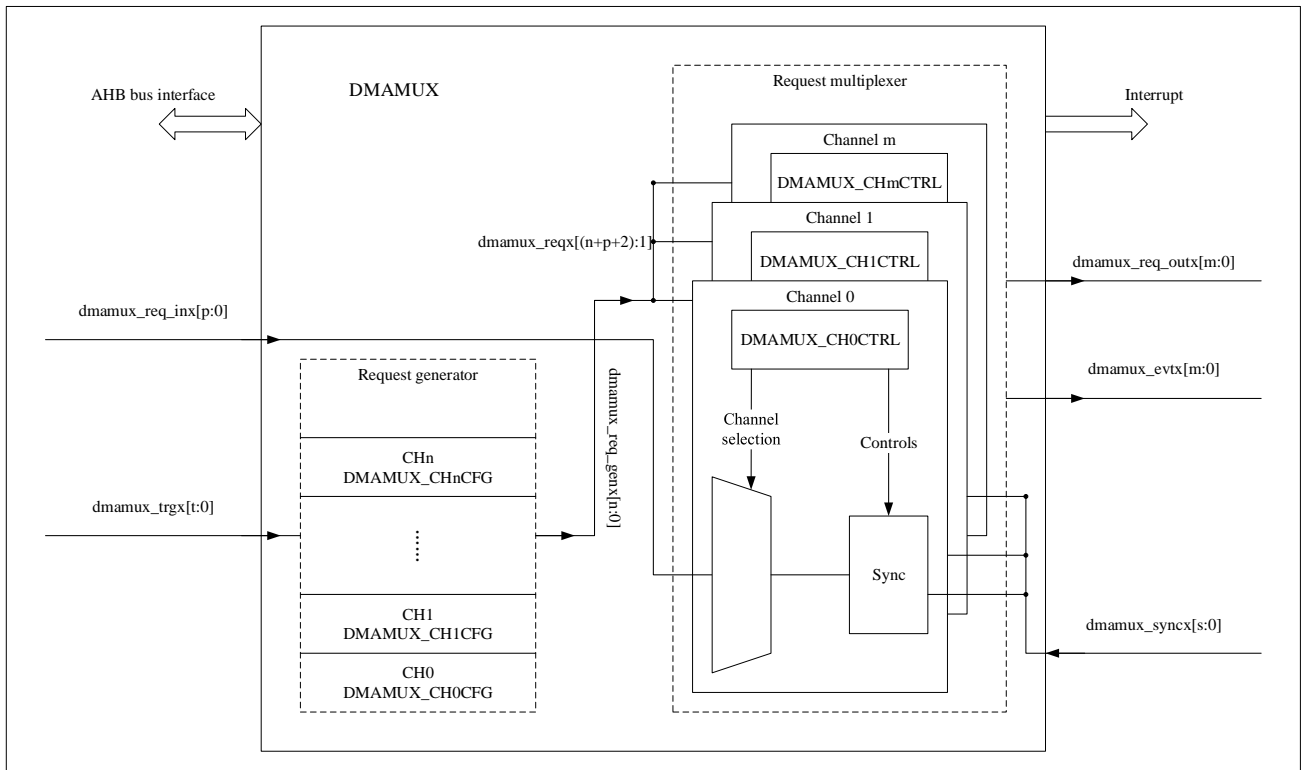
### 14.2 主要特性

DMAMUX 包含以下特性：

- 每个 DMA 请求生成器通道：
  - DMA 请求触发输入选择器
  - DMA 请求计数器
  - 选定 DMA 请求触发输入的事件溢出标志
- 每个 DMA 请求线复用器通道输出：
  - 最多支持 210 条来自外设的输入 DMA 请求线
  - 最多支持 3 条输出 DMA 请求线
  - 同步输入选择器
  - DMA 请求计数器
  - 所选同步输入对应的事件溢出标志
  - 单事件输出，用于 DMA 请求链式处理
- AHB 从机接口（不支持突发模式，仅支持 32 位访问）
- DMAMUX 溢出中断

### 14.3 功能框图

图 14-1 DMAMUX 功能框图



DMAMUX 包含两个主要子模块：请求线复用器和请求线生成器。

实现方案分配如下：

- 输入至 DMAMUX 请求复用器子模块 (`dmamux_reqx`) 的信号源自外设 (`dmamux_req_inx`) 及 DMAMUX 请求生成器子模块 (`dmamux_req_genx`) 的通道
- DMAMUX 将请求输出 (`dmamux_req_outx`) 发送至 DMA 控制器的通道
- DMA 请求触发输入 (`dmamux_trgx`) 接收内部或外部信号
- 同步输入 (`dmamux_syncx`) 接收内部及外部信号

### 14.4 功能描述

N32H7xx 集成了两个 DMAMUX 实例，DMAMUX1 和 DMAMUX2 的硬件配置特性如下表所示。

表 14-1 DMAMUX 输入和输出

特性	DMAMUX1	DMAMUX2
同步输入数量	9	1 (内部使用或未使用)
外设请求数量	210	4
请求触发输入数量	26	38
请求生成器通道数量	8	16
输出请求通道数量	24	16

## 14.4.1 DMAMUX 通道

DMAMUX 通道指可根据请求多路复用器选定的输入，整合额外 DMAMUX 请求生成器通道的 DMAMUX 请求多路复用器通道。

每个 DMAMUX 请求多路复用器通道均与单个 DMA 控制器通道建立专属关联。

### 14.4.1.1 通道配置流程

要同时配置 DMAMUX x 通道和对应的 DMA y 通道，请按以下步骤操作：

1. 完整设置并配置 DMA 通道 y，确保除通道启用外所有设置均已完成。
2. 完整设置并配置相关的 DMAMUX y 通道。
3. 通过在 DMA y 通道寄存器中设置 EN 位来启用 DMA 通道 y。

## 14.4.2 DMAMUX 请求线多路复用器

DMAMUX 请求多路复用器配备多个通道，用于管理 DMA 请求和应答控制信号（称为 DMA 请求线）的路由。

每条 DMA 请求线同时连接至 DMAMUX 请求线多路复用器的所有通道。

DMA 请求源自外设或 DMAMUX 请求生成器。

具体而言，每个 DMAMUX 请求线多路复用器通道 x 通过 DMAMUX\_CHxCTRL.REQID [7:0] 寄存器选定对应的 DMA 请求线编号。

*注：REQID 字段中的空值表示未选定任何 DMA 请求线。*

*仅当应用程序能确保多个通道不会同时激活时，才可将非零 REQID 值分配给多个通道。换言之，若两个不同通道同时接收到相同的有效硬件请求，可能导致 DMA 硬件产生不可预测的行为。*

*此外，除选择 DMA 请求外，还可根据需要配置并启用同步模式和/或事件生成功能。*

### 14.4.2.1 同步模式与通道事件生成

每个 DMAMUX 请求线多路复用器通道 x 均可通过使能 DMAMUX\_CHxCTRL.SYEN 位实现独立同步。

DMAMUX 具备多个同步输入端，这些输入端并行连接至所有请求多路复用器通道。

特定通道 x 的同步输入通过 DMAMUX\_CHxCTRL.SYID[2:0] 寄存器进行选择。

当通道处于同步模式时，选定的 DMA 请求线信号将在检测到可编程上升沿或下降沿（由 DMAMUX\_CHxCTRL.SYPOL[1:0] 配置）后，被转发至多路复用器通道输出。

此外，DMAMUX 请求多路复用器内置可编程 DMA 请求计数器。该计数器可用于生成通道请求输出，并可用于事件生成。通过设置 DMAMUX\_CHxCTRL.EVEGEN 位可启用通道 x 的事件生成功能。

检测到同步边沿时，当前待处理的选定输入 DMA 请求线将连接至 DMAMUX 多路复用器通道 x 输出。

**注意：**若同步事件发生时无待处理的选定输入 DMA 请求线，则该事件将被忽略。后续被选中的输入请求线在下次同步事件发生前不会连接至 DMAMUX 多路复用器通道输出。

此后每次 DMA 控制器处理连接的 DMAMUX 请求（即请求被取消选中），DMAMUX 请求计数器将递减一次。

当计数器发生下溢时，DMA 请求计数器将自动从 DMAMUX\_CHxCTRL.NUMREQ[4:0] 字段重新加载值，并断开输入 DMA 请求线与多路复用器通道 x 输出的连接。

因此，在检测到同步事件后发送到多路复用器通道 x 输出的 DMA 请求数量等于 DMAMUX\_CHxCTRL.NUMREQ[4:0] 字段指定的值加一。NUMREQ [4:0] 字段指定的值加一。

注意：只有当相应多路复用器通道 x 的同步使能位和事件生成使能 (EVEGEN) 位均被禁用时，才应通过软件修改 DMAMUX\_CHxCTRL.NUMREQ[4:0] 字段值。

图 14-2 DMAMUX 同步事件生成示例 1

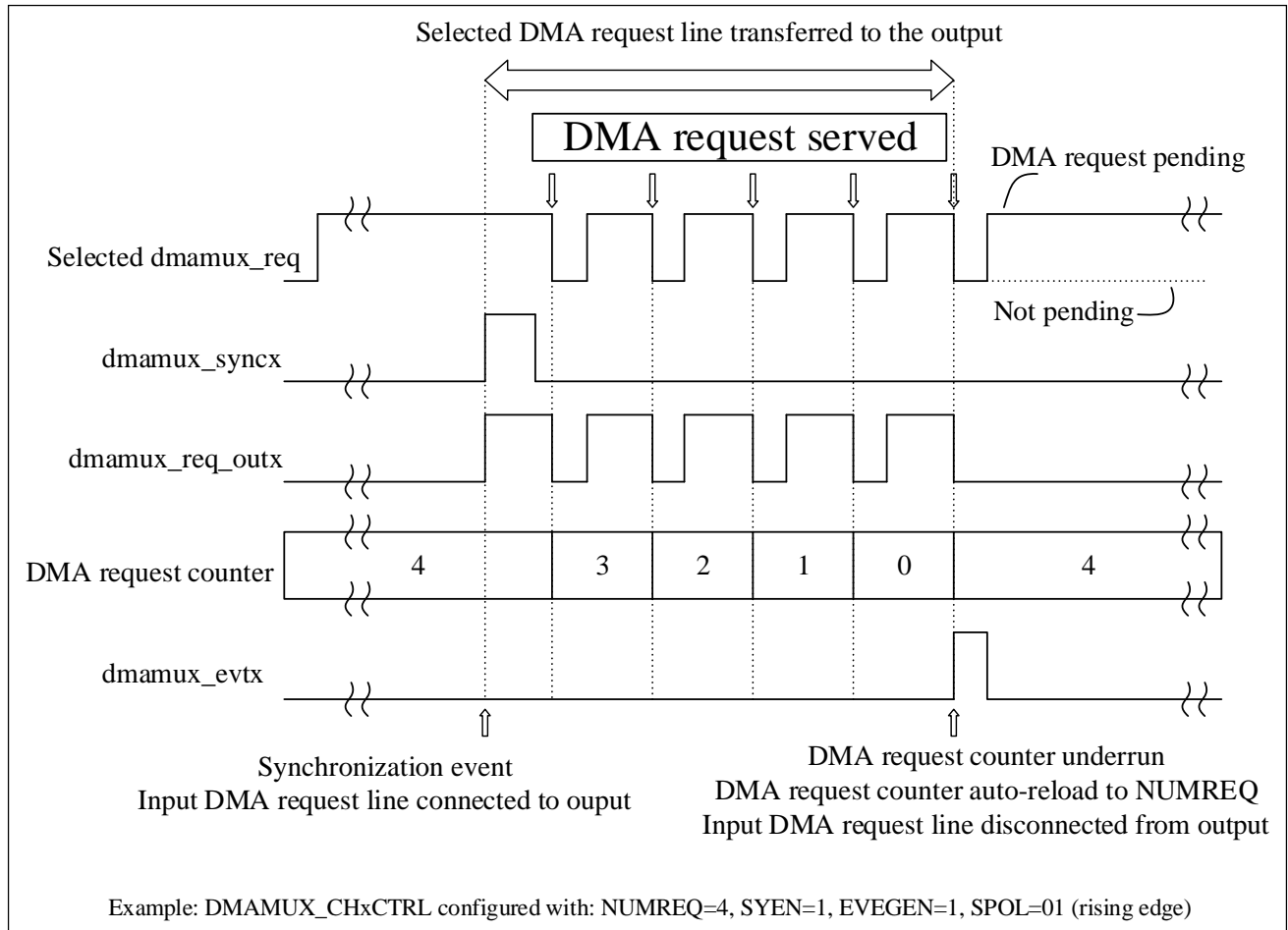
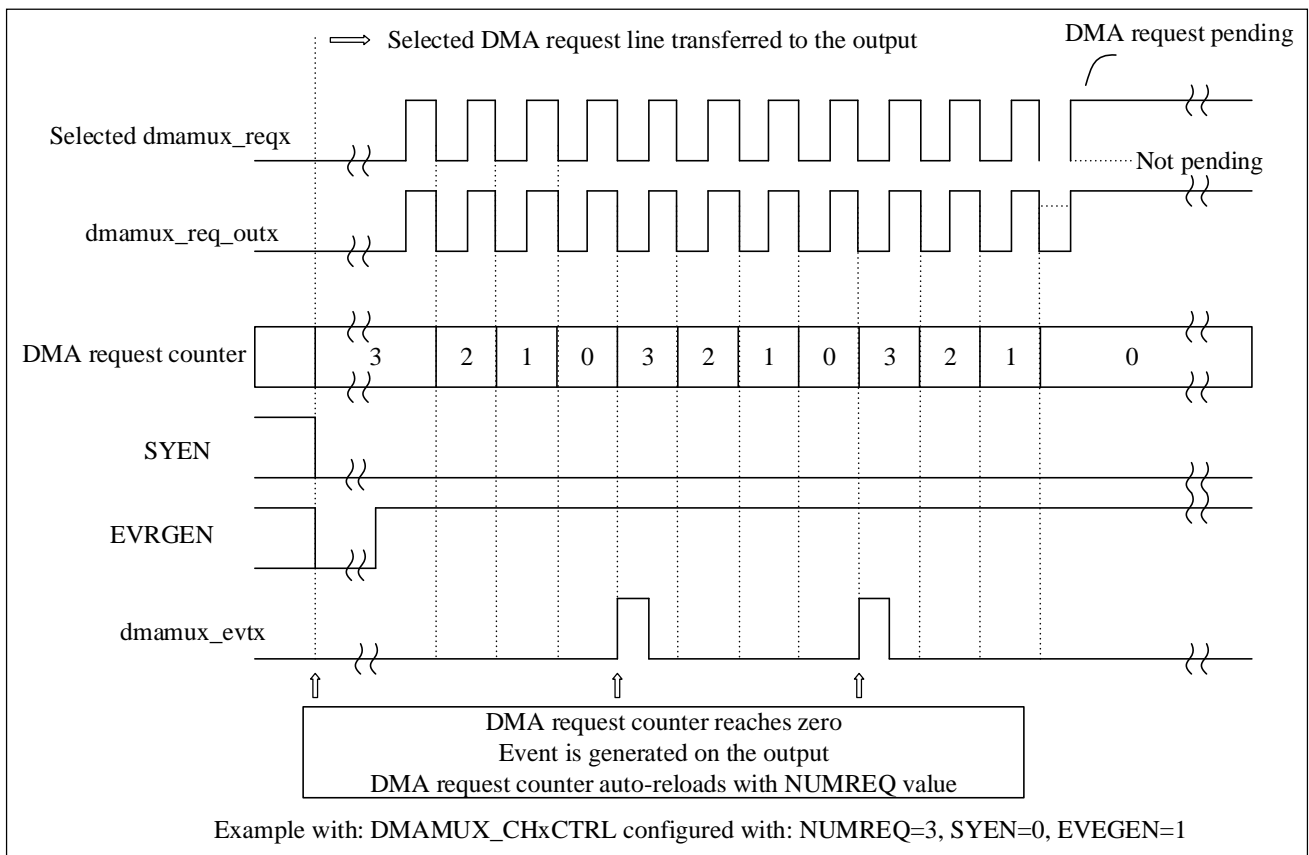


图 14-3 DMAMUX 同步事件生成示例 2



如果 DMAMUX\_CHXCTRL.EVEGEN 位被启用，当多路复用器通道的 DMA 请求计数器自动从编程的 NUMREQ 字段中重新加载值时，该通道将生成一个通道事件，该事件表现为一个 AHB 时钟周期脉冲，如上图波形所示。

*注意：如果 DMAMUX\_CHXCTRL.EVEGEN 被启用且 DMAMUX\_CHxCTRL.NUMREQ[4:0] 被设置为 0，则每次处理完一个 DMA 请求后都会生成一个事件。NUMREQ[4:0] 设置为 0 时，每次 DMA 请求被处理后都会生成事件。*

*注意：若边沿后的状态保持稳定超过两个 AHB 时钟周期，则检测到同步事件（边沿）。*

向 DMAMUX\_CHxCTRL 寄存器写入时，同步事件会被屏蔽三个 AHB 时钟周期。

#### 14.4.2.2 同步溢出与中断

若在请求计数器（通过 DMAMUX\_CHxCTRL.NUMREQ[4:0]编程的内部请求计数器）发生下溢前出现新的同步事件，则同步溢出标志 DMAMUX\_STS.SOFx 将被激活。

*注意：当相关 DMA 控制器通道不再使用时，必须禁用请求多路复用器通道 x 的同步功能（DMAMUX\_CHxCTRL.SYEN = 0）。否则，由于 DMA 控制器未发送确认（即无服务请求），新同步事件检测将导致同步溢出。*

可通过设置对应的清除同步溢出标志位 DMAMUX\_CLR.CSOFx 来清除溢出标志 DMAMUX\_STS.SOFx。

当同步溢出中断使能位 DMAMUX\_CHxCTRL.SOIE 被设置时，启用同步溢出标志将触发中断。

### 14.4.3 DMAMUX 请求生成器

DMAMUX 请求生成器通过其 DMA 请求触发输入端响应触发事件来发出 DMA 请求。该器件包含多个通道，所有通道的 DMA 请求触发输入均并联连接。DMAMUX 请求生成器各通道的输出端作为 DMAMUX 请求线多路复用器的输入端。

每个 DMAMUX 请求生成器通道  $x$  包含一个使能位 `DMAMUX_RGCFG.GEN` (生成器使能)。通道  $x$  的 DMA 请求触发输入通过 `DMAMUX_RGCFG.SIGID` (触发信号 ID) 字段进行选择。DMA 请求触发输入端的触发事件可配置为上升沿、下降沿或任意沿，有效沿由 `DMAMUX_RGCFG.GPOL` (生成器极性) 字段决定。

当触发事件发生时，对应生成器通道开始在其输出端产生 DMA 请求。每次 DMAMUX 生成的 DMA 请求被连接的 DMA 控制器处理 (即请求被取消断言) 时，DMAMUX 请求生成器内部的 DMA 请求计数器将递减。若计数器发生下溢，请求生成器通道将停止生成 DMA 请求，并在下一次触发事件时自动将 DMA 请求计数器重新加载为其编程值。

因此，触发事件后生成的 DMA 请求总数为 `GNUMREQ[4:0] + 1`。

*注意：仅当对应生成器通道  $x$  的 `DMAMUX_CHxCFG.GEN` 位被禁用时，才可通过软件修改 `DMAMUX_CHxCFG.GNUMREQ[4:0]` 字段值。*

*当边沿后的状态保持稳定超过两个 AHB 时钟周期时，即识别为触发事件 (边沿)。此外，向 `DMAMUX_RGxCFG` 寄存器写入时，触发事件会被屏蔽三个 AHB 时钟周期。*

#### 14.4.3.1 触发器溢出与中断

若在 DMAMUX 请求生成器计数器 (通过 `DMAMUX_CHxCFG.GNUMREQ[4:0]` 字段编程的内部计数器) 发生欠位之前出现新的 DMA 请求触发事件，且请求生成器通道  $x$  通过 `DMAMUX_CHxCFG.GEN` 启用时，硬件将断言请求触发事件溢出标志位 `DMAMUX_RGSTS.OFx`。

*注意：当相关 DMA 控制器通道不再使用时，必须禁用请求生成器通道  $x$  (`DMAMUX_RGCFG.GEN = 0`)。否则，由于 DMA 未发送确认 (即未处理请求)，新检测到的触发事件将导致触发器溢出。*

通过设置对应的清除溢出标志位 `DMAMUX_RGCFG.COFx` 可清除溢出标志 `DMAMUX_RGCFG.OFx`。

若 DMA 请求触发事件溢出中断使能位 `DMAMUX_RGCFG.TOVIEN` 被设置，则启用 DMAMUX 请求触发溢出标志将产生中断。

### 14.4.4 DMAMUX 中断

中断可由以下情况触发：

- 每个 DMA 请求线复用器通道的同步事件超时
- 每个 DMA 请求生成器通道的触发事件超时

针对每种情况，均提供独立的通道级中断使能、状态及清除标志寄存器位。

表 14-2 DMAMUX 中断信号

中断信号	中断事件	事件标志	清除位	使能位
dmaxuxovr_it	DMAMUX 请求线复用器通道 $x$ 发生同步事件溢出	SOF $x$	CSOF $x$	SOIEN
	DMAMUX 请求生成器通道 $x$ 发生触发事件溢出	OF $x$	COF $x$	TOVIEN

## 14.4.5 DMAMUX 编程指南

编程寄存器前需先禁用 DMAMUX 通道。配置 DMAMUX\_CHxCTRL.SYEN 和 EGE 为其他值前，应确保 DMAMUX\_CHxCTRL.SYEN 和 DMAMUX\_CHXCTRL.EVEGEN 均设置为 0。

## 14.5 寄存器

### 14.5.1 DMAMUX1 寄存器

DMAMUX1 基址：0x4004\_6400

#### 14.5.1.1 DMAMUX1 请求线多路复用器通道 x 控制寄存器 (DMAMUX1\_CHxCTRL)

偏移地址：0x00 + 0x04 \* x (x = 0 ~ 23)

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				SYID[3:0]				NUMREQ[4:0]				SYPOL[1:0]		SYEN	
				rw				rw				rw		rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						EVEGEN	SOIEN	REQID[7:0]							
						rw	rw	rw							

位域	名称	描述
31:28	Reserved	保留，必须保持复位值。
27:24	SYID	同步标识 选择同步输入。参见模块互联章节的 DMAMUX1 DMA 同步输入表。
23:19	NUMREQ	要转发的 DMA 请求数减 1 指定在同步事件后发送至 DMA 控制器的 DMA 请求数量，以及/或生成输出事件前所需的 DMA 请求数量。 <i>注意：仅当 SOIEN 位和 EVEGEN 位均置为低电平时，才可修改此字段。</i>
18:17	SYPOL	同步极性 定义所选同步输入的沿极性： 00：无事件 01：上升沿 10：下降沿 11：双边沿
16	SYEN	同步使能 0：同步禁止 1：同步使能
15:10	Reserved	保留，必须保持复位值。
9	EVEGEN	事件生成使能



位域	名称	描述
		0: 事件生成禁止 1: 事件生成使能
8	SOIEN	同步溢出中断使能 0: 中断禁止 1: 中断使能
7:0	REQID	DMA 请求标识 选择输入 DMA 请求。 有关多路复用器输入与资源的映射关系, 请参见模块互联章节的 DMAMUX1 DMA 请求输入表。

### 14.5.1.2 DMAMUX1 请求线多路复用器中断通道状态寄存器 (DMAMUX1\_STS)

偏移地址: 0x80

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								SOF23	SOF22	SOF21	SOF20	SOF19	SOF18	SOF17	SOF16
								r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOF15	SOF14	SOF13	SOF12	SOF11	SOF10	SOF9	SOF8	SOF7	SOF6	SOF5	SOF4	SOF3	SOF2	SOF1	SOF0
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位域	名称	描述
31:24	Reserved	保留, 必须保持复位值。
23:0	SOFx	同步溢出事件标志 当 DMA 请求线复用器通道 x 发生同步事件时, 且 DMA 请求计数器值低于 NUMREQ[4:0], 该标志将被置位。 通过向 DMAMUX1_CLR 寄存器中对应的 CSOFx 位写入 1 可清除该标志。

### 14.5.1.3 DMAMUX1 请求线多路复用器中断清除标志寄存器 (DMAMUX1\_CLR)

偏移地址: 0x84

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								CSOF23	CSOF22	CSOF21	CSOF20	CSOF19	CSOF18	CSOF17	CSOF16
								w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSOF15	CSOF14	CSOF13	CSOF12	CSOF11	CSOF10	CSOF9	CSOF8	CSOF7	CSOF6	CSOF5	CSOF4	CSOF3	CSOF2	CSOF1	CSOF0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

位域	名称	描述
31:24	Reserved	保留，必须保持复位值。
23:0	CSOFx	清除同步溢出事件标志 向每个位写入 1 将清除 DMAMUX1_STS 寄存器中对应的溢出标志 SOFx。

#### 14.5.1.4 DMAMUX1 请求生成器通道 x 配置寄存器 (DMAMUX1\_CHxCFG)

偏移地址:  $0x100 + 0x04 * x$  ( $x = 0 \sim 7$ )

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								GNUMREQ[4:0]				GPOL[1:0]		GEN	
								rw				rw		rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							TOVIEN	Reserved		SIGID[5:0]					
							rw			rw					

位域	名称	描述
31:24	Reserved	保留，必须保持复位值。
23:19	GNUMREQ	要生成的 DMA 请求数 (减 1) 实际生成数量为 GNUMREQ[4:0] + 1 该字段仅在 GEN 位禁止时写入。
18:17	GPOL	DMA 请求生成器触发极性 00: 无事件 01: 上升沿 10: 下降沿 11: 双边沿
16	GEN	DMA 请求生成器通道 x 使能 0: DMA 请求生成器通道 x 禁止 1: DMA 请求生成器通道 x 使能
15:9	Reserved	保留，必须保持复位值。
8	TOVIEN	触发器溢出中断使能 0: 禁止触发器溢出事件发生时的中断 1: 使能触发器溢出事件发生时的中断
7:6	Reserved	保留，必须保持复位值。
5:0	SIGID	信号标识 选择用于 DMA 请求生成器通道 x 的 DMA 请求触发输入。参见模块互连章节的 DMAMUX1 DMA 触发输入表。

### 14.5.1.5 DMAMUX1 请求生成器中断状态寄存器 (DMAMUX1\_RGSTS)

偏移地址: 0x180

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								OF7	OF6	OF5	OF4	OF3	OF2	OF1	OF0
								r	r	r	r	r	r	r	r

位域	名称	描述
31:8	Reserved	保留, 必须保持复位值。
7:0	OFx	触发器溢出事件标志 当 DMA 请求生成器通道 x 上发生新的触发事件时, 该标志被设置。通过向 DMAMUX1_RGCLR 寄存器中对应的 COFx 位写入 1 来清除该标志。

### 14.5.1.6 DMAMUX1 请求生成器中断清除标志寄存器 (DMAMUX1\_RGCLR)

偏移地址: 0x184

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								COF7	COF6	COF5	COF4	COF3	COF2	COF1	COF0
								w	w	w	w	w	w	w	w

位域	名称	描述
31:8	Reserved	保留, 必须保持复位值。
7:0	COFx	清除触发器溢出事件标志 向每个位写入 1 可清除 DMAMUX1_RGSTS 寄存器中对应的溢出标志 OFx。

## 14.5.2 DMAMUX2 寄存器

DMAMUX2 基址: 0x5112\_0000

### 14.5.2.1 DMAMUX2 请求线多路复用器通道 x 控制寄存器 (DMAMUX2\_CHxCTRL)

偏移地址: 0x00 + 0x04 \* x (x = 0 ~ 15)

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				SYID[3:0]				NUMREQ[4:0]				SYPOL[1:0]		SYEN	
				rw				rw				rw		rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						EVEGEN	SOIEN	REQID[7:0]							
						rw	rw	rw							

位域	名称	描述
31:28	Reserved	保留，必须保持复位值。
27:24	SYID	同步标识 选择同步输入。 <i>注意：DMAMUX2 仅有一个同步输入，因此该位域只能设置为0，其他值均无效。</i>
23:19	NUMREQ	要转发的 DMA 请求数减 1 指定在同步事件后发送至 DMA 控制器的 DMA 请求数量，以及/或生成输出事件前所需的 DMA 请求数量。 <i>注意：仅当 SOIEN 位和 EVEGEN 位均置为低电平时，才可修改此字段。</i>
18:17	SYPOL	同步极性 定义所选同步输入的沿极性： 00：无事件 01：上升沿 10：下降沿 11：双边沿
16	SYEN	同步使能 0：同步禁止 1：同步使能
15:10	Reserved	保留，必须保持复位值。
9	EVEGEN	事件生成使能 0：事件生成禁止 1：事件生成使能
8	SOIEN	同步溢出中断使能 0：中断禁止 1：中断使能
7:0	REQID	DMA 请求标识 选择输入 DMA 请求。 有关多路复用器输入与资源的映射关系，请参见模块互联章节的 DMAMUX2 DMA 请求输入表。

#### 14.5.2.2 DMAMUX2 请求线多路复用器中断通道状态寄存器 (DMAMUX2\_STS)

偏移地址: 0x80

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOF15	SOF14	SOF13	SOF12	SOF11	SOF10	SOF9	SOF8	SOF7	SOF6	SOF5	SOF4	SOF3	SOF2	SOF1	SOF0
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	SOFx	同步溢出事件标志 当 DMA 请求线复用器通道 x 发生同步事件时，且 DMA 请求计数器值低于 NUMREQ[4:0]，该标志将被置位。 通过向 DMAMUX2_CLR 寄存器中对应的 CSOFx 位写入 1 可清除该标志。

#### 14.5.2.3 DMAMUX2 请求线多路复用器中断清除标志寄存器 (DMAMUX2\_CLR)

偏移地址：0x84

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSOF15	CSOF14	CSOF13	CSOF12	CSOF11	CSOF10	CSOF9	CSOF8	CSOF7	CSOF6	CSOF5	CSOF4	CSOF3	CSOF2	CSOF1	CSOF0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	CSOFx	清除同步溢出事件标志 向每个位写入 1 将清除 DMAMUX2_STS 寄存器中对应的溢出标志 SOF <sub>x</sub> 。

#### 14.5.2.4 DMAMUX2 请求生成器通道 x 配置寄存器 (DMAMUX2\_CHxCFG)

偏移地址：0x100 + 0x04 \* x (x = 0 ~ 15)

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved						GNUMREQ[4:0]				GPOL[1:0]		GEN			

										rw						rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved							TOVIEN	Reserved			SIGID[5:0]						
							rw				rw						

位域	名称	描述
31:24	Reserved	保留，必须保持复位值。
23:19	GNUMREQ	要生成的 DMA 请求数（减 1） 实际生成数量为 GNUMREQ[4:0] + 1 该字段仅在 GEN 位禁止时写入。
18:17	GPOL	DMA 请求生成器触发极性 00：无事件 01：上升沿 10：下降沿 11：双边沿
16	GEN	DMA 请求生成器通道 x 使能 0：DMA 请求生成器通道 x 禁止 1：DMA 请求生成器通道 x 使能
15:9	Reserved	保留，必须保持复位值。
8	TOVIEN	触发器溢出中断使能 0：禁止触发器溢出事件发生时的中断 1：使能触发器溢出事件发生时的中断
7:6	Reserved	保留，必须保持复位值。
5:0	SIGID	信号标识 选择用于 DMA 请求生成器通道 x 的 DMA 请求触发输入。参见模块互连章节的 DMAMUX2 DMA 触发输入表。

#### 14.5.2.5 DMAMUX2 请求生成器中断状态寄存器（DMAMUX2\_RGSTS）

偏移地址：0x180

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OF15	OF14	OF13	OF12	OF11	OF10	OF9	OF8	OF7	OF6	OF5	OF4	OF3	OF2	OF1	OF0
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

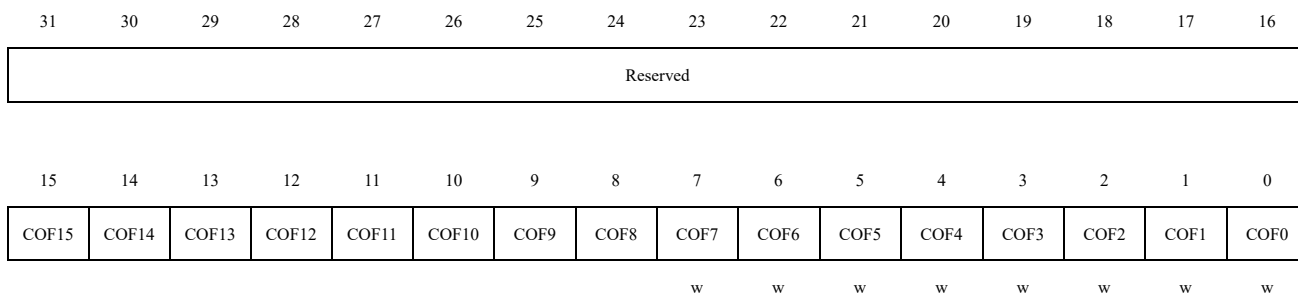
位域	名称	描述
31:16	Reserved	保留，必须保持复位值。

位域	名称	描述
15:0	OF <sub>x</sub>	触发器溢出事件标志 当 DMA 请求生成器通道 x 上发生新的触发事件时，该标志被设置。通过向 DMAMUX2_RGCLR 寄存器中对应的 COF <sub>x</sub> 位写入 1 来清除该标志。

### 14.5.2.6 DMAMUX2 请求生成器中断清除标志寄存器 (DMAMUX2\_RGCLR)

偏移地址: 0x184

复位值: 0x0000 0000



位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	COF <sub>x</sub>	清除触发器溢出事件标志 向每个位写入 1 可清除 DMAMUX2_RGSTS 寄存器中对应的溢出标志 OF <sub>x</sub> 。

## 15 DMA 控制器

### 15.1 简介

DMA 控制器由 CPU 控制，用于实现源与目标之间的高速数据传输。在配置完成后，数据可以在无需 CPU 干预的情况下传输。因此，CPU 可以释放出来用于其他计算/控制任务，或者节省整个系统的功耗。

N32H7xx 有三个 DMA 控制器（DMA1、DMA2、DMA3），每个控制器有 8 个逻辑通道。每个逻辑通道用于处理来自一个或多个外设的内存访问请求。内部仲裁器控制不同 DMA 通道的优先级。

### 15.2 主要特性

DMA 包括以下特性：

#### 通用

- 符合 AMBA 2.0 标准
- AHB 从接口--用于编程 DMA
- 通道
  - 每个 DMA 有 8 个通道，每个通道对应一个源和目标对
  - 单向通道--数据仅单方向传输
  - 可编程通道优先级
- AHB 主接口允许同时进行 DMA 传输
  - 支持 2 个主总线：1 个用于内存访问，1 个用于外设访问
- 管理器可以位于不同的 AHB 层（多层支持）
- 源和目标可以位于不同的 AHB 层（实现伪飞越性能）
- 每个 AHB 管理器接口配备 32 位数据总线
- 传输
  - 支持内存到内存、内存到外设、外设到内存以及外设到外设的 DMA 传输
  - 在最后一个节拍上的 DMA 突发指示
- 仲裁方案决定哪个请求线路被授予访问特定主总线接口的权限

#### 地址生成

- 可编程源地址和目标地址（在 AHB 总线上）
- 地址递增、递减或不变
- 通过以下方式实现多块传输：
  - 链表（块链接）
  - 通道寄存器的自动重载



- 块之间的连续地址

- 独立的多块传输类型的源和目标选择
- 散射/聚集

### 通道缓冲

- 每个通道配备独立的源端和目标端 FIFO
- 基于 D 触发器的 FIFO
- 自动数据打包或拆包以适应 FIFO 宽度

### 通道控制

- 每个通道均可编程设置源和目标
- 每个通道均可编程设置传输类型（内存到内存、内存到外设、外设到内存以及外设到外设）
- 每个通道均可编程设置突发事务大小
- 可编程使能和禁用 DMA 通道
- 支持在不丢失数据的情况下禁用通道
- 支持 DMA 操作暂停（挂起）
- 每个通道均可编程设置最大突发传输大小
- 通道锁定--可编程设置为覆盖事务级、块级或 DMA 传输级

### 传输启动

- 源和目标外设的握手接口
  - 硬件握手接口
  - 软件握手接口
  - 外设中断握手接口
- 握手接口支持单次或突发 DMA 事务
- 硬件握手接口的极性控制
- 使能和禁用各个 DMA 握手接口

### 流量控制

- 在块传输级别（源、目标或 DMA 控制器）进行可编程流量控制
- 当目标为流控制器时，对源数据预取的软件控制

### 中断

- 组合和单独的中断请求
- 中断生成条件：
  - DMA 传输（多块）完成
  - 块传输完成

- 单次和突发事务完成
- we 条件

■ 支持中断使能与屏蔽功能

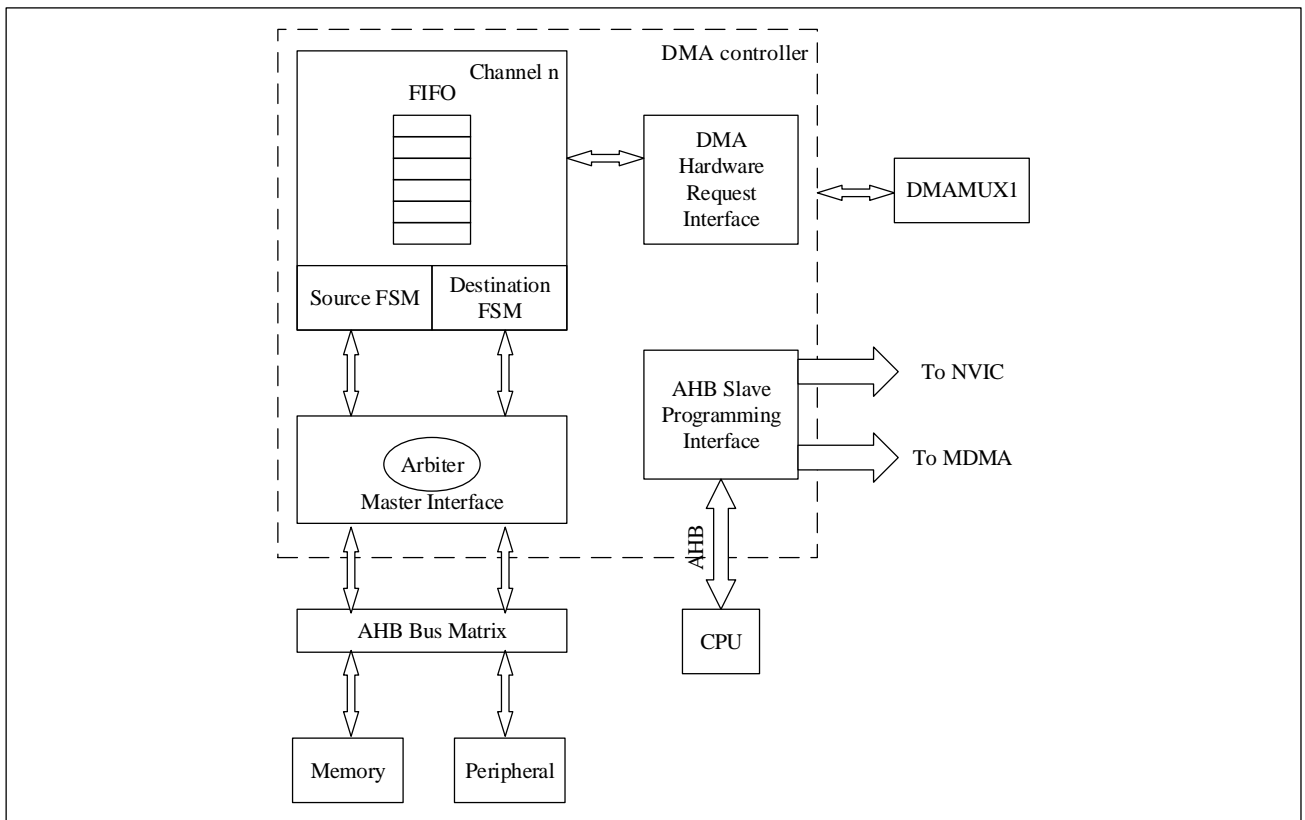
低功耗模式

- 全局时钟门控
- 通道特定时钟门控

### 15.3 功能框图

下图显示了 DMA 模块主要接口的功能分组：

图 15-1 DMA 框图



### 15.4 功能描述

#### 15.4.1 基础定义

以下术语是对本节中使用的 DMA 概念的简明定义：

**源外设**：位于 AHB 层上的设备，DMA 控制器从中读取数据；然后 DMA 控制器将数据存储在通道 FIFO 中。源外设与目标外设配合形成一个通道。源外设可以是 AHB 或 APB 从设备。如果源是 APB 从设备，则通过 AHB-APB 桥访问它。

**目标外设:** DMA 控制器将从 FIFO 存储的数据（之前从源外设读取）写入的设备。目标外设可以是 AHB 或 APB 从设备。如果目标是 APB 从设备，则通过 AHB-APB 桥访问。

**内存:** 用作 DMA 传输的源或目标，始终“就绪”，不需要与 DMA 控制器交互的握手接口。只有当外设插入的等待状态不超过 16 个时，才应将其分配为内存。如果需要超过 16 个等待状态，则外设必须使用握手接口（如果外设未被编程为内存，这是默认设置），以便在准备接收或提供数据时发出信号。

内存外设也可以生成 SPLIT/RETRY 响应。

**通道:** 通过通道 FIFO，在一个配置的 AHB 层上的源外设和同一或不同 AHB 层上的目标外设之间的读/写数据路径。如果源外设不是内存，则会为通道分配一个源握手接口。

如果目标外设不是内存，则为通道分配一个目标握手接口。源和目标握手接口可以通过编程通道寄存器动态分配。

**主接口:** DMA 控制器是 AHB 总线上的主设备，从源读取数据并通过 AHB 总线写入目标。最多可以有 2 个主接口，这意味着最多可以有四个独立的源和目标通道可以同时运行。每个通道都需要为主接口进行仲裁。如果源和目标外设位于不同的 AHB 层上，则需要多个主接口。

**从接口:** DMA 控制器通过该 AHB 接口进行编程。从接口在实际应用中可以与任何主接口处于同一层，也可以位于单独的层。

**握手接口:** 一组符合协议的信号或软件寄存器，用于在 DMA 控制器与源或目标外设之间进行握手，以控制它们之间的单次或突发事务传输。该接口用于请求、确认和控制 DMA 事务。一个通道可以通过三种类型的握手接口之一接收请求：硬件、软件或外设中断。

- **硬件握手接口:** 使用硬件信号控制在 DMA 控制器与源或目标外设之间传输单个或突发事务。有关此接口的更多信息，请参见 15.4.6.3 和 15.4.7.1 章节。
- **软件握手接口:** 使用软件寄存器控制在 DMA 控制器与源或目标外设之间传输单个或突发事务。外设的 I/O 上不需要特殊的 DMA 握手信号。此模式对于在不修改现有外设的情况下与 DMA 控制器进行接口非常有用。有关此接口的更多信息，请参见 15.4.10 章节。
- **外设中断握手接口:** 硬件握手接口的简单使用。在此模式下，外设的中断线连接到硬件握手接口的 dma\_req 输入；其他接口信号被忽略。有关此接口的更多信息，请参见 15.4.8 章节。

**流量控制器:** 决定 DMA 块传输的长度并终止传输的设备（可以是 DMA 控制器，或源/目标外设）。

- 如果在启用通道之前知道块的长度，那么您应该将 DMA 控制器编程为流控制器。
- 如果在启用通道之前未知块的长度，则源或目标外设需要终止块传输。在此模式下，外设是流量控制器。

**流量控制模式 (DMA\_CHnCFG.FCM):** 仅在目标外设为流量控制器时适用的特殊模式。它控制从源外设的数据预取。

**传输层次结构:** 图 15-2 说明了 DMA 传输、块传输、事务（单次或突发）和 AHB 传输（单次或突发）之间的层次结构，适用于非存储器外设。图 15-3 展示了内存的传输层次结构。

*注意: 对于内存外设，没有 DMA 事务级别。*

图 15-2 非存储外设的传输层次结构

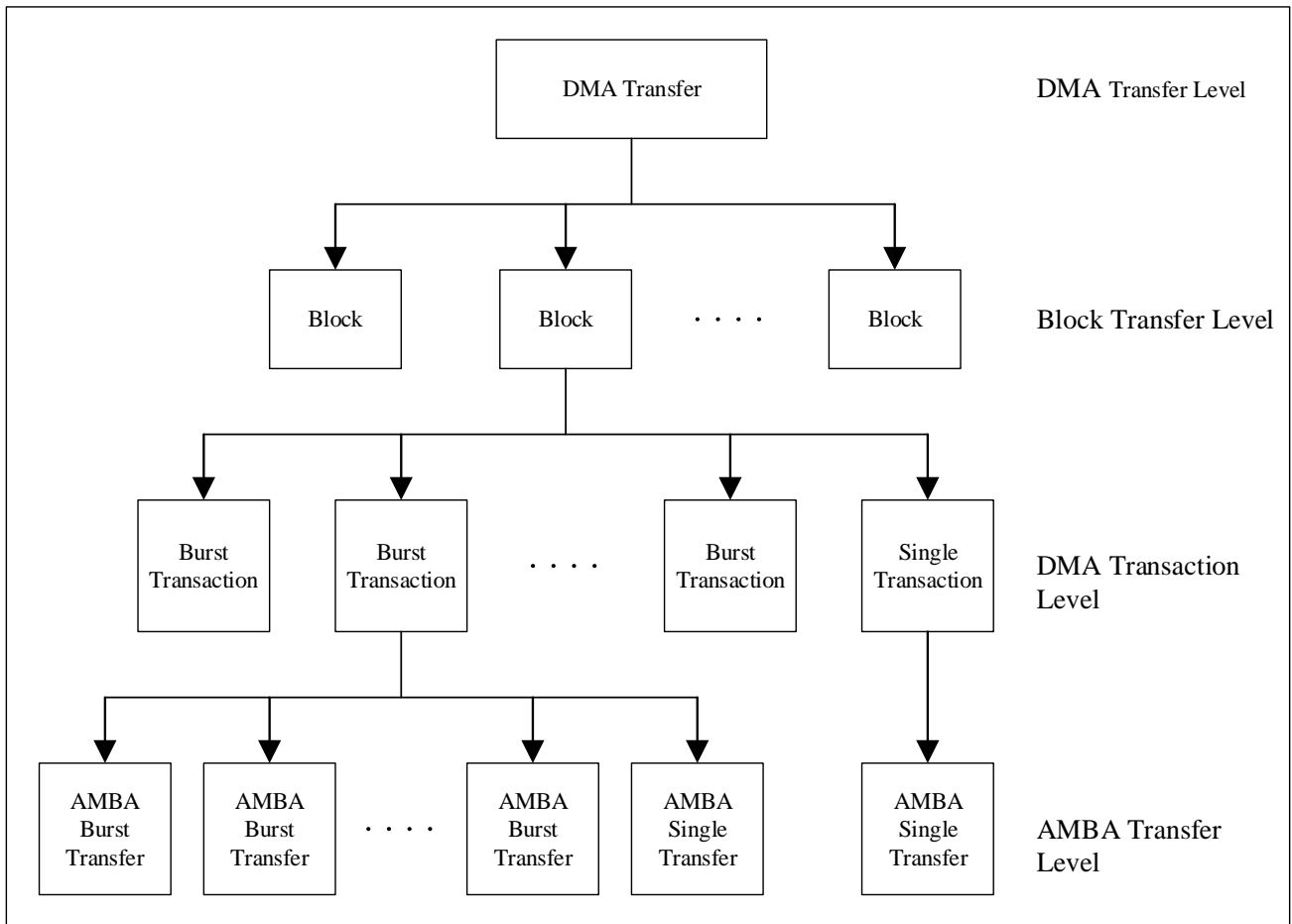
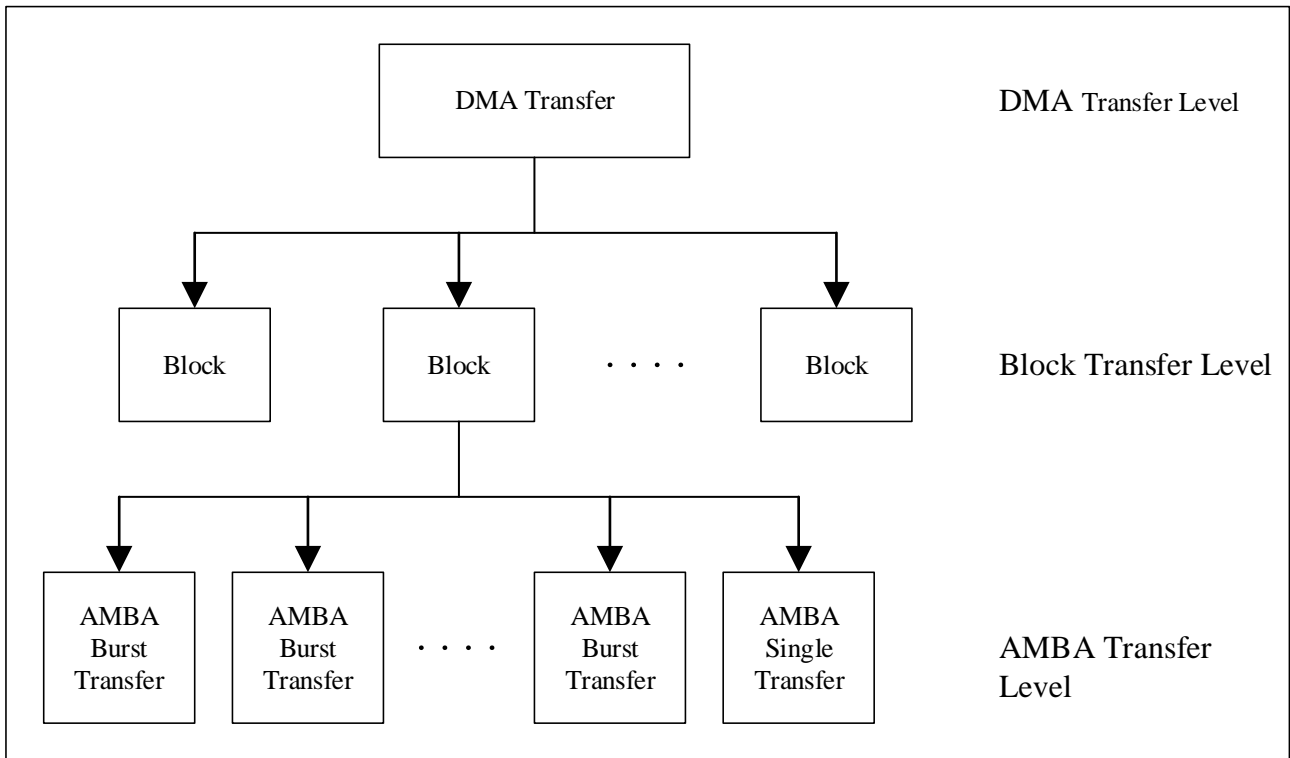


图 15-3 内存传输层次结构



**块:** DMA 数据块，其数量为块长度，由流控制器确定。对于 DMA 和内存之间的传输，一个块直接被分解为一系列突发传输和单次传输。对于 DMA 和非内存外设之间的传输，一个块被分解为一系列 DMA 事务（单次和突发）。这些事务又被分解为一系列 AHB 传输。

**事务:** DMA 传输的基本单位，由硬件或软件握手接口决定。事务仅与 DMA 控制器和源或目标外设之间的传输相关，如果该外设是非内存设备。

有两种类型的事务：

- **单事务:** 单次事务的长度始终为 1，并转换为单次 AHB 传输。
- **突发事务:** 突发事务的长度被编程到 DMA 中。该突发事务被转换为一系列突发和 AHB 单次传输。突发事务长度由程序控制，通常与 DMA 以及源和目标外设中的 FIFO 大小有一定关系。

**DMA 传输:** 软件控制 DMA 传输中的块数。在 DMA 传输完成后，DMA 控制器内的硬件会禁用通道并生成中断，以指示 DMA 传输已完成。然后您可以重新编程通道以进行新的 DMA 传输。

- **单块 DMA 传输:** 包含单个块。
- **多块 DMA 传输:** DMA 传输可能由多个 DMA 块组成。通过块链（链表指针）、通道寄存器自动重载以及连续块支持多块 DMA 传输。源和目标可以独立选择使用哪种方法。
  - **链表（块链接）:** 链表指针（LLP）指向系统内存中下一个链表项（LLI）所在的位置。LLI 是一组描述下一个块（块描述符）和 LLP 寄存器的寄存器。启用块链接时，DMA 控制器在每个块的开始处获取 LLI。有关链表和块链接的更多信息，请参见 15.4.9.1 章节。

LLI 访问始终是 32 位访问（Hsize=2），对齐到 32 位边界，且不能更改或编程为除 32 位以外的任何其他值。

- **自动重载:** DMA 控制器在每个块结束时自动将通道寄存器重新加载为通道首次启用时的值。有关此功能的更多信息, 请参见 15.4.9.2 章节。
- **连续块:** 连续块之间的地址被选择为前一个块结束的延续。有关更多信息, 请参见 15.4.9.3 章节。

**散射:** 与块内的目标传输相关。当达到散射边界时, 目标地址会根据编程的数量递增或递减。连续散射边界之间的 AHB 传输次数由软件控制。

**聚集:** 与块内的源传输相关。当达到聚集边界时, 源地址会按编程量递增或递减。连续聚集边界之间的 AHB 传输次数由软件控制。

有关散射和聚集的更多信息, 请参见 15.4.14 章节。

**通道锁定:** 软件可以通过锁定主总线接口的仲裁, 将一个通道编程为在 DMA 传输、块或事务(单次或突发)期间保持 AHB 主接口。有关通道锁定的更多信息, 请参见 15.4.12.2 章节。

**总线锁定:** 软件可以通过在 DMA 传输、块或事务(单次或突发)期间断言 hlock 来编程一个通道以保持对 AHB 总线的控制。至少, 在总线锁定期间会断言通道锁定。有关更多信息, 请参见 15.4.12.1 章节。

**FIFO 模式:** 一种特殊模式, 用于提高带宽。当启用时, 通道会等待 FIFO 少于一半满时从源外设获取数据, 并等待 FIFO 大于或等于一半满时将数据发送到目标外设。因此, 通道可以使用突发传输数据, 从而消除了每次单个 AHB 传输中对 AHB 主接口仲裁的需求。当未启用此模式时, 通道仅等待 FIFO 能够传输或接受单个 AHB 传输后才请求主总线接口。

**伪飞越操作:** 通常, 完成一次传输需要两个 AHB 总线周期--一个用于读取源数据, 一个用于写入目标数据。然而, 当 DMA 传输的源和目标外设位于不同的 AHB 层时, DMA 控制器可以在从源获取数据并存储到通道 FIFO 的同时, 从通道 FIFO 提取数据并写入目标外设。这种活动被称为伪飞越操作。为确保此过程按正确顺序执行, DMA 控制器中的源和目标逻辑应首先赢得各自的主接口, 然后源和目标层的主接口必须赢得其 AHB 层的仲裁。

## 15.4.2 块流量控制器和传输类型

控制数据块长度的设备被称为流量控制器。必须将 DMA 控制器、源外设或目标外设之一指定为流量控制器。

- 如果在通道启用之前已知块大小, 则应将 DMA 控制器设置为流控制器。块大小应编程到 DMA\_CHnCTRL.BTS 字段中。
- 如果在启用 DMA 通道时块大小未知, 则源或目标外设必须是流量控制器。

DMA\_CHnCTRL.TTFC 字段指示该通道的传输类型和流量控制器。表 15-1 列出了有效的传输类型和流量控制器组合。

表 15-1 传输类型和流量控制器组合

DMA_CHnCTRL.TTFC	传输类型	流量控制器
000	内存到内存	DMA 控制器
001	内存到外设	DMA 控制器
010	外设到内存	DMA 控制器
011	外设到外设	DMA 控制器
100	外设到内存	外设
101	外设到外设	源外设

DMA_CHnCTRL.TTFC	传输类型	流量控制器
110	内存到外设	外设
111	外设到外设	目标外设

### 15.4.3 握手接口

握手接口在事务级别用于控制单个或突发事务的流。握手接口的操作不同，取决于外设还是 DMA 控制器作为流量控制器。

外设使用握手接口向 DMA 控制器指示其已准备好通过 AHB 总线传输或接收数据。

非存储器外设可以通过 DMA 控制器使用两种握手接口之一请求 DMA 传输：

- 硬件
- 软件

软件根据每个通道选择硬件或软件握手接口。软件握手通过内存映射寄存器完成，而硬件握手通过专用握手接口完成。

*注意：在本节的其余部分中，提到的源和目标硬件握手接口均假定为高电平有效接口（请参阅 DMA\_CHnCFG 寄存器中的 SRCHSPOL 和 DSTHSPOL 位）。当使用低电平有效握手接口时，其有效电平和边沿与高电平有效接口相反。*

握手接口的类型取决于外设是否是流量控制器。

*注意：源和目标外设可以独立选择握手接口类型，即硬件或软件握手。有关更多信息，请参阅 DMA\_CHnCFG 寄存器中的 HSSELSRC 和 HSSELDST 位。*

### 15.4.4 内存外设

图 15-3 显示了 DMA 的内存外设 DMA 传输层次结构。DMA 控制器没有握手接口，因此内存外设永远不能成为流控制器。一旦通道启用，传输将立即进行，无需等待事务请求。

没有事务级握手接口的替代方案是允许 DMA 控制器在通道启用后尝试对外设进行 AHB 传输。如果外设从设备无法接受这些 AHB 传输，它会在总线上插入等待状态（通过取消断言 hready）直到它准备好；不建议在总线上插入超过 16 个等待状态。通过使用握手接口，外设可以向 DMA 控制器发出信号，表明它已准备好发送或接收数据，然后 DMA 控制器可以访问外设，而无需外设总线插入等待状态。

*注意：如果一个通道专门用于内存到内存的 DMA 传输--即在源端或目标端没有事务级握手--那么请将 SRCMSIZE 和 DSTMSIZE 字段（在 DMA\_CHnCTRL 寄存器中）设置为 4，以实现逻辑优化。*

SRCMSIZE 和 DSTMSIZE 是仅对具有握手接口的外设有效的属性；它们不能用于定义内存外设的突发长度。

当外设是存储器时，DMA 控制器始终是流量控制器，并使用 DMA 传输来移动数据块；因此，SRCMSIZE 和 DSTMSIZE 值不用于存储器外设。SRCMSIZE 和 DSTMSIZE 的限制用于适应资源有限的设备，例如 FIFO。存储器通常没有类似于 FIFO 的限制。

因此：

- 突发传输到内存的长度始终等于通道 FIFO 中可用的数据项数量或完成块传输所需的数据项数量，以较小者为准。

- 从内存中进行突发传输的长度始终等于通道 FIFO 中可用空间或完成块传输所需的数据项数量，以较小者为准。

*注意：通过在 DMA\_CHnCFG 寄存器中编程 MAMBABL 字段，软件可以限制与内存之间突发传输的长度。*

### 15.4.5 软件握手

当从外设需要 DMA 控制器执行 DMA 事务时，它通过向 CPU 或中断控制器发送中断来传达此请求。然后，中断服务例程使用 15.5.3 中详细说明了软件寄存器来启动和控制 DMA 事务。这组软件寄存器用于实现软件握手接口。

在 DMA\_CHnCFG 寄存器中，必须设置 HSSELSRC/HSSELDST 位以启用软件握手。

有关软件握手流程如何工作的详细信息，请参阅 15.4.6.4 和 15.4.7.2。

### 15.4.6 握手接口--外设不是流量控制器

当外设不是流量控制器时，DMA 控制器会尝试以尽可能少的总线带宽高效地传输数据。通常，DMA 控制器会尝试使用突发事务传输数据，并在可能的情况下，以单次突发填充或清空通道 FIFO--前提是软件没有限制突发长度。DMA 控制器还可以锁定主总线接口的仲裁，从而使某个通道永久获得主总线接口。此外，DMA 控制器可以断言 AMBA hlock 信号以锁定 DMA 系统仲裁器。有关更多信息，请参阅 15.4.12。

在描述当外设不是流量控制器时的握手接口操作之前，以下部分定义了术语“**单事务区域**”和“**提前终止的突发事务**”。

#### 15.4.6.1 单事务区域

在某些情况下，DMA 块传输无法仅使用突发事务完成。通常，这种情况发生在块大小不是突发事务长度的倍数时。在这些情况下，块传输会使用突发事务，直到剩余数据量小于一次突发事务的数据量为止。此时，DMA 控制器会采样“单次”状态标志，并使用单次事务完成块传输。

外设断言一个状态标志，向 DMA 控制器指示有足够的空间来完成从源/目标外设到目标/源外设的单次事务。

*注意：对于硬件握手，单次状态标志是硬件握手接口上的一个信号；请参阅 15.4.6.3。对于软件握手，单次状态标志是软件握手接口寄存器之一；请参阅 15.4.6.4。*

单事务区域是 DMA 控制器使用单事务完成块传输的时间间隔；在该区域之外则专门使用突发事务。

*注意：此区域也可以使用突发事务；有关更多信息，请参阅第 15.4.6.2 节。*

单事务区域仅适用于非流量控制器的外设。进入该区域的具体定义取决于什么充当流量控制器：

- DMA 控制器是流量控制器--当源外设源块传输中剩余的字节数小于  $src\_burst\_size\_bytes$  时，进入单次事务区域。如果： $blk\_size\_bytes / src\_burst\_size\_bytes = 整数$ ，则源永远不会进入该区域，源块仅使用突发事务。

目标外设目标块传输中剩余字节数小于  $dst\_burst\_size\_bytes$  时进入单事务区域。如果： $blk\_size\_bytes / dst\_burst\_size\_bytes = 整数$ ，则目标永远不会进入该区域，并且目标块仅使用突发事务。

- 源或目标外设是流控制器--当流控制外设（即源或目标）发出块中最后一个事务的信号，并且目标/源块中剩余要传输的数据量小于由  $dst\_burst\_size\_bytes$  或  $src\_burst\_size\_bytes$  指定的值时，目标或源外设进入单事务区域。



### 15.4.6.2 提前终止的突发事务

当源或目标外设处于单事务区域时,仍然可以请求突发事务。然而,src\_burst\_size\_bytes 或 dst\_burst\_size\_bytes 大于在触发突发事务时源/目标块传输中剩余完成的字节数。在这种情况下,突发事务会启动并在块完成时“提前终止”,而不会传输编程的完整数据量--即 src\_burst\_size\_bytes 或 dst\_burst\_size\_bytes--而仅传输完成块传输所需的数量。仅当外设不是流量控制器时,提前终止的突发事务才会发生在 DMA 控制器和外设之间。

DMA 控制器从不提前终止定义长度的突发传输。当 DMA 控制器在单次事务区域检测到突发时, DMA 控制器发出一个未定义长度的突发 (INCR), 其长度仅足以完成块传输。它不会传输所有已编程的 src\_burst\_size\_bytes 或 dst\_burst\_size\_bytes。

### 15.4.6.3 硬件握手--外设不是流量控制器

图 15-4 说明了当外设不是流量控制器时,外设(无论是目标还是源)与 DMA 控制器之间的硬件握手接口。

图 15-4 硬件握手接口--外设不是流量控制器

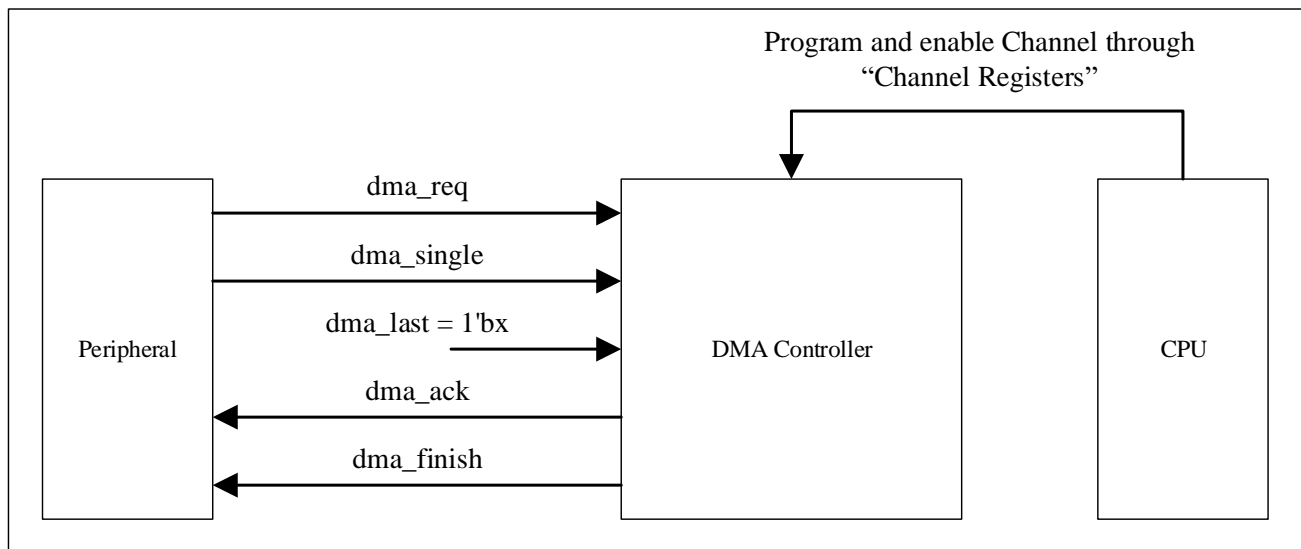


表 15-2 描述了在外设不是流量控制器的情况下的硬件握手信号;也就是说,当 DMA 控制器或其他外设是流量控制器时。信号极性可以通过在 DMA\_CHnCFG 寄存器中的 SRCHSPOL 和 DSTHSPOL 字段进行编程。

表 15-2 硬件握手接口

信号	I/O 类型	描述
dma_ack	O	DMA 控制器向外设发送确认信号。dma_ack 信号在当前事务的最后一次 AHB 传输的数据阶段后被置高--无论是单次传输还是突发传输--发送给已完成的外设。对于单次事务, dma_ack 保持置高状态,直到外设将 dma_single 置低; dma_ack 将在一个 hclk 周期后被置低。对于突发事务, dma_ack 保持置高状态,直到外设将 dma_req 置低; dma_ack 将在一个 hclk 周期后被置低。
dma_finish	O	DMA 控制器通过断言 dma_finish 来表示块完成。这与 dma_ack 具有相同的时序,并且如果块中的最后一个事务是突发事务,则与 dma_req 形成握手循环;如果块中的最后一个事务是单事务,则与 dma_single 形成握手循环。 当目标外设为流控制器时,若 dma_finish 与源外设进行交互,则上述时序定义存在例外情况。
dma_last	I	由于外设不是流量控制器, dma_last 不会被 DMA 控制器采样,并且该信号会被忽略。

信号	I/O 类型	描述
dma_req	I	从外设发出的突发事务请求。DMA 控制器始终将 dma_req 信号解释为突发事务请求，而不考虑 dma_single 的电平。这是一个电平敏感信号；一旦由外设置为有效，dma_req 必须保持有效状态，直到 DMA 控制器置为有效的 dma_ack 信号。收到 DMA 控制器发出的 dma_ack 信号以指示突发事务完成后，外设应将突发请求信号 dma_req 置为无效。一旦外设将 dma_req 置为无效，DMA 控制器将 dma_ack 置为无效。 如果在单事务区域（见 15.4.6.1）检测到 dma_req 上的活动电平，则使用提前终止的突发事务（见 15.4.6.2）完成该块。
dma_single	I	单次传输状态。dma_single 信号是目标外设可接收至少一个目标数据项时置位的状态信号；否则该信号被清除。对于源外设，dma_single 信号同样是状态信号，当其可发送至少一个源数据项时置位；否则该信号被清除。 一旦被置位，dma_single 必须保持置位状态直至 dma_ack 被置位，此时外设应取消 dma_single 的置位状态。 此信号仅在块传输的单事务区域内由 DMA 控制器采样（参见 15.4.6.1）。在该区域之外，dma_single 被忽略，所有事务都是突发事务。

*注意：当 dma\_req 或 dma\_single 信号被置为有效时，必须保持有效状态直到 dma\_ack 被置为有效；否则，DMA 控制器的行为未定义，且数据完整性无法保证。在这种情况下，可以通过禁用通道然后重新启用通道，并进行适当的编程以满足后续 DMA 传输的需求，从而重新使用相应的通道。*

#### 15.4.6.4 软件握手--外设不是流量控制器

当外设不是流量控制器时，最后的事务寄存器不会被使用（DMA\_SRCLTREQ 寄存器和 DMA\_DSTLTREQ 寄存器），这些寄存器中的值将被忽略。

##### 操作--外设不在单事务区域

将 1 写入 DMA\_SRCSTREQ 或 DMA\_DSTSTREQ 寄存器始终被解释为突发事务请求。然而，为了启动突发事务请求，软件必须向 DMA\_SRCSTREQ 或 DMA\_DSTSTREQ 寄存器写入 1。

您可以以任意顺序向 DMA\_SRCSTREQ 或 DMA\_DSTSTREQ 以及 DMA\_SRCSTREQ 或 DMA\_DSTSTREQ 寄存器写入 1，但必须同时断言这两个寄存器才能启动突发事务。在突发事务完成后，硬件会清除 DMA\_SRCSTREQ 或 DMA\_DSTSTREQ 以及 DMA\_SRCSTREQ 或 DMA\_DSTSTREQ 寄存器。

##### 操作--外设不在单事务区域

向 DMA\_SRCSTREQ 或 DMA\_DSTSTREQ 写入 1 会启动单次事务。单次事务完成后，DMA\_SRCSTREQ 或 DMA\_DSTSTREQ 以及 DMA\_SRCSTREQ 或 DMA\_DSTSTREQ 位将由硬件清除。因此，在单次事务已启动时，向 DMA\_SRCSTREQ 或 DMA\_DSTSTREQ 写入 1 将被忽略，请求的突发事务不会被处理。

需要再次强调，向 DMA\_SRCSTREQ 或 DMA\_DSTSTREQ 寄存器写入 1 始终是一个突发事务请求。然而，为了启动突发事务请求，必须断言 DMA\_SRCSTREQ 或 DMA\_DSTSTREQ 中的相应通道位。因此，为了确保在此区域内服务突发事务，必须在向 DMA\_SRCSTREQ 或 DMA\_DSTSTREQ 寄存器写入 1 之前，先向 DMA\_SRCSTREQ 或 DMA\_DSTSTREQ 写入 1。如果编程顺序颠倒，则会启动单个事务而不是突发事务。硬件在突发事务请求完成后会清除 DMA\_SRCSTREQ 或 DMA\_DSTSTREQ 以及 DMA\_SRCSTREQ 或 DMA\_DSTSTREQ 寄存器。当在单事务区域（见 15.4.6.1）中启动突发事务时，块将使用提前终止的突发事务完成（见 15.4.6.2）。

软件可以轮询 DMA\_SRCSTREQ 或 DMA\_DSTSTREQ 以及 DMA\_SRCSTREQ 或 DMA\_DSTSTREQ 寄存器中的相关通道位。当两者均为 0 时，表示请求的突发传输或单次事务已完成。或者，可以启用并取消屏蔽 IntSrcTran 或 IntDstTran 中断，以在请求的源或目标事务完成时生成中断。

*注意：当单次和突发事务都完成时，会触发事务完成中断。相同的事务完成中断用于单次和突发事务。*

#### 15.4.6.5 单事务--外设不是流量控制器

当源外设不是流量控制器时，源外设可以将 dma\_single 硬编码为非活动电平（硬件握手），或者软件永远不需要从源发起单次事务（软件握手）。如果以下任一情况为真，则可能发生这种情况：

- 块大小是突发事务长度的倍数。
  - 如果 DMA 控制器是流量控制器，并且  $blk\_size\_bytes\_dma / src\_burst\_size\_bytes = 整数$
  - 如果目标外设是流量控制器，并且  $blk\_size\_bytes\_dst / src\_burst\_size\_bytes = 整数$
- 块大小不是突发事务长度的倍数，但外设可以动态调整触发突发请求的水印级别，以实现块完成。

当目标外设不是流量控制器时，目标外设可能将 dma\_single 硬编码为非活动电平（硬件握手），或者软件将永远不需要对目标发起单次事务（软件握手）。当以下任一情况为真时，可能会发生这种情况：

- 块大小是突发事务长度的倍数。
  - 如果 DMA 控制器是流量控制器，并且  $blk\_size\_bytes\_dma / dst\_burst\_size\_bytes = 整数$
  - 如果源外设是流量控制器，并且  $blk\_size\_bytes\_src / dst\_burst\_size\_bytes = 整数$
- 目标外设可以动态地向上调整水印水平，以触发突发请求，从而完成目标块。
- 可以保证在某个时刻将从目标 FIFO 的“单事务区域”中提取数据，以触发突发事务。

如果以上都不成立，则需要一系列突发事务，随后进行单个事务以完成源/目标块传输。

#### 15.4.7 握手接口--外设是流量控制器

当外设是流量控制器时，它控制数据块的长度，并且必须在数据块传输完成时与 DMA 控制器通信。外设通过告知 DMA 控制器当前事务（突发或单次）是数据块中的最后一个事务来实现这一点。当外设是流量控制器且数据块大小不是 SRCMSIZE/DESTMSIZE 字段（在 DMA\_CHnCTRL 寄存器中）的倍数时，外设必须使用单次事务来完成数据块传输。

*注意：由于外设可以在单个事务上终止块，因此不存在像外设不是流控制器时那样的单事务区域的概念。*

当外设是流量控制器时，它会直接向 DMA 控制器指示要执行的事务类型（单次或突发）。在可能的情况下，DMA 控制器使用最大可能的突发长度。它还可以锁定主总线的仲裁，从而使一个通道永久获得主总线接口。DMA 控制器还可以断言 hlock 信号以锁定 DMA 系统仲裁器。有关更多信息，请参阅 15.4.12。

##### 15.4.7.1 硬件握手--外设是流量控制器

图 15-5 显示了当外设是流控制器时，目标或源外设与 DMA 控制器之间的硬件握手接口。

图 15-5 硬件握手接口--外设是流量控制器

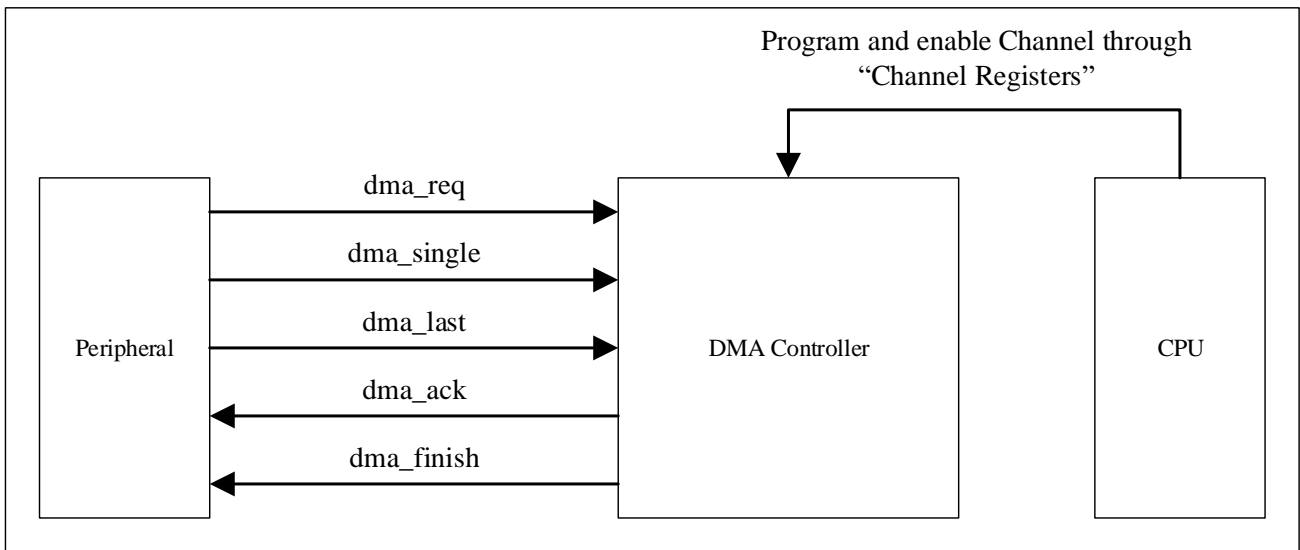


表 15-3 描述了当外设是流量控制器时硬件握手接口信号的操作。

表 15-3 硬件握手接口

信号	I/O 类型	描述
dma_ack	O	DMA 控制器向外设发送确认信号。在当前事务（单次或突发）中，最后一次 AHB 传输的数据阶段完成后，该信号被置为有效。它与 dma_req 形成握手循环，并保持有效状态，直到外设取消置为有效的 dma_req（在一个 hclk 周期后取消）。
dma_finish	O	DMA 控制器块传输完成信号。DMA 控制器通过断言 dma_finish 来表示块传输完成。这与 dma_ack 使用相同的时序，并与 dma_req 形成握手循环。
dma_last	I	块中的最后一次传输。当外设是流控制器时，它在与 dma_req 同时被置高的周期内置高 dma_last，以表明该传输请求是块中的最后一次传输；在该传输完成后，块传输即完成。如果在同一周期内 dma_single 为高，则最后一次传输是单次传输。如果在同一周期内 dma_single 为低，则最后一次传输是突发传输。
dma_req	I	从外设发出的事务请求。在 dma_req 上的活动电平会启动事务请求。事务类型--单次或突发--由 dma_single 限定。一旦 dma_req 被置为有效，它必须保持有效状态，直到 dma_ack 被置为有效。当驱动 dma_req 的外设检测到 dma_ack 被置为有效时，它必须将 dma_req 置为无效。
dma_single	I	单次或突发事务请求。如果在 dma_req 上升沿的同一时钟周期内，dma_single 被取消置位，则外设请求突发事务。如果被置位，外设请求单次事务。

注意：当 dma\_req 或 dma\_single 信号被置为有效时，它们必须保持有效状态直到 dma\_ack 被置为有效；否则，DMA 控制器的行为未定义，且数据完整性无法保证。在这种情况下，可以通过禁用通道然后重新启用通道，并进行适当的编程以满足后续 DMA 传输的需求，从而重新使用相应的通道。

### 15.4.7.2 软件握手--外设是流量控制器

将 1 写入源/目标软件事务请求会启动一个事务；分别参见 DMA\_SRCSTREQ 或 DMA\_DSTSTREQ。事务的类型（单次或突发）取决于单源/目标事务请求寄存器中相应通道位的状态；分别参见 DMA\_SRCSTREQ 或 DMA\_DSTSTREQ。

如果在向 DMA\_SRCSTREQ[n]或 DMA\_DSTSTREQ[n]寄存器写入 1 时，DMA\_SRCSTREQ[n]或

$DMA\_DSTSGTREQ[n] = 1$ ，这意味着软件正在请求通道  $n$  上的单次事务，否则为突发事务。

如果在最后源/目标请求寄存器中相应的通道位被置位，则该请求是块中的最后一个请求；请分别参阅  $DMA\_SRCLTREQ$  或  $DMA\_DSTLTREQ$ 。

如果在向  $DMA\_SRCSWTREQ[n]$  或  $DMA\_DSTSWTREQ[n]$  寄存器写入 1 时， $DMA\_SRCLTREQ[n]$  或  $DMA\_DSTLTREQ[n] = 1$ ，这意味着软件正在指示该事务是块中的最后一个事务。在写入  $DMA\_SRCSWTREQ$  或  $DMA\_DSTSWTREQ$  寄存器之前，必须先写入  $DMA\_SRCSGTREQ$  或  $DMA\_DSTSGTREQ$  以及  $DMA\_SRCLTREQ$  或  $DMA\_DSTLTREQ$  寄存器。

在完成事务（单次或突发）后， $DMA\_SRCSWTREQ$  或  $DMA\_DSTSWTREQ$  寄存器中的相关通道位会由硬件清除。因此，软件可以轮询此位以确定请求的事务是否已完成。或者，可以启用并取消屏蔽  $IntSrcTran$  或  $IntDstTran$  中断，以便在请求的事务（单次或突发）完成时生成中断。

当外设是流量控制器且块大小不是  $SRCMSIZE/DESTMSIZE$  字段（在  $DMA\_CHnCTRL$  寄存器中）的倍数时，软件必须使用单次事务来完成块传输。

### 15.4.7.3 单事务--外设是流量控制器

当源外设是流量控制器时，它可以将  $dma\_single$  硬编码为非活动级别（硬件握手），或者软件永远不需要从源发起单次事务（软件握手）。这种情况发生在： $blk\_size\_bytes\_src / src\_burst\_size\_bytes = 整数$ 。

当目标外设是流量控制器时，目标外设可以将  $dma\_single$  硬编码为非活动级别（硬件握手），或者在以下情况下，软件将永远不需要向目标发起单次事务（软件握手）： $blk\_size\_bytes\_dst / dst\_burst\_size\_bytes = 整数$ 。

### 15.4.8 外设中断请求接口

图 15-6 所示接口是硬件握手接口的简化版本。在此模式下：

- 外设的中断线连接到  $dma\_req$  输入
- $dma\_single$  输入被拉低
- 所有其他接口信号均被忽略

当从外设不具备硬件握手信号时，可使用此接口。对 DMA 控制器而言，这与 15.4.6.3 节所述接口相同。

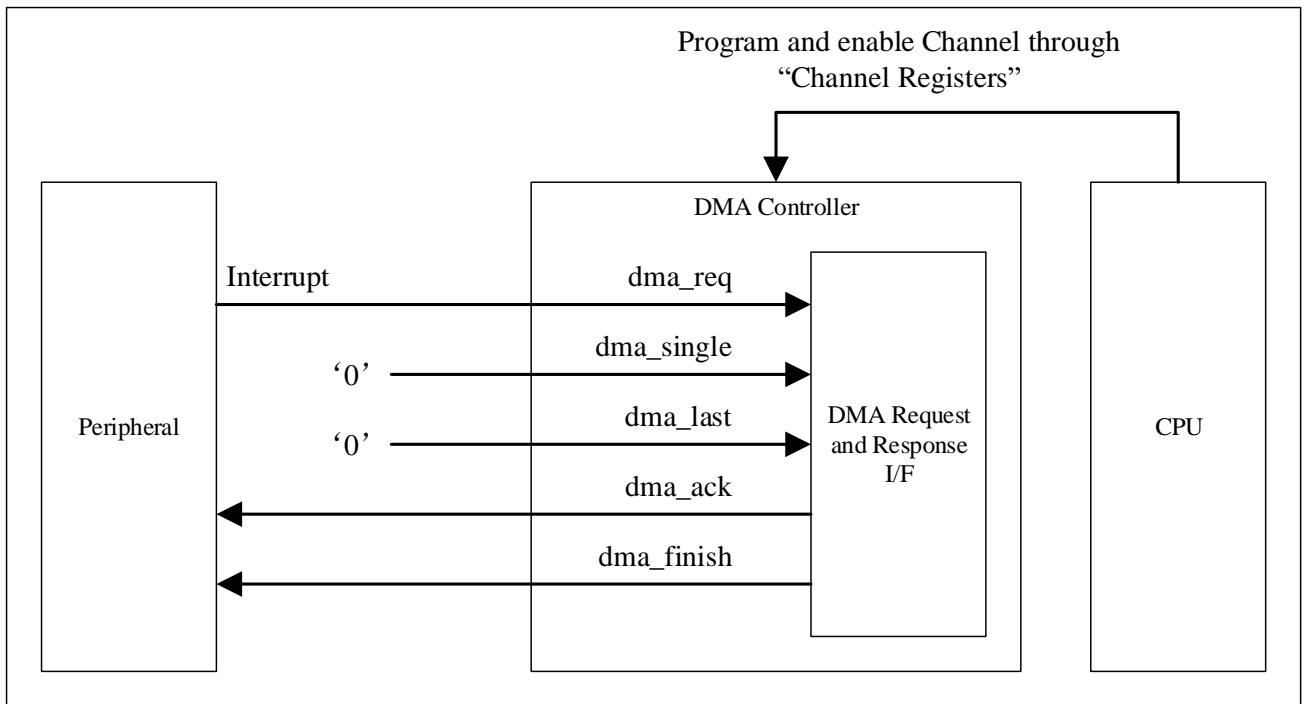
该外设永远无法充当流量控制器，因为它无法连接到  $dma\_last$  信号。如图 15-6 所示，外设的中断线与  $dma\_req$  线相连。外设中断线的时序必须与  $dma\_req$  线保持一致，具体要求详见 15.4.6.3 节。

由于外设未对  $dma\_ack$  信号进行采样，握手循环如下：

1. 外设生成一个中断以触发  $dma\_req$ 。
2. DMA 控制器完成突发事务并生成突发结束事务中断（ $IntSrcTran$  或  $IntDstTran$ ）。必须启用中断并取消屏蔽事务完成中断。
3. 中断服务例程清除外设中的中断，从而取消  $dma\_req$  的断言。

请注意， $dma\_single$  被硬编码为非活动电平。对于源/目标外设可以将  $dma\_single$  连接到非活动电平的情况，请参阅 15.4.6.5。

图 15-6 通过外设中断的事务请求



### 15.4.9 传输类型

DMA 传输可能由单块或多块传输组成。在多块传输的连续块中，DMA 中的 DMA\_CHnSA/DMA\_CHnDA 寄存器通过以下任一方法重新编程：

- 使用链表的块链式链接
- 自动重新加载
- 块之间的连续地址

在多块传输的连续块中，DMA 中的 DMA\_CHnCTRL 寄存器通过以下任一方法重新编程：

- 使用链表的块链式链接
- 自动重新加载

在块链处理中，使用链表是多块方法的首选。在连续的块中，DMA 中的 DMA\_CHnLLP 寄存器通过使用链表的块链处理重新编程。

块描述符由 4 个寄存器组成：DMA\_CHnSA、DMA\_CHnDA、DMA\_CHnLLP 和 DMA\_CHnCTRL。这四个寄存器以及 DMA\_CHnCFG 寄存器由 DMA 控制器用于设置和描述块传输。

*注意：术语链接列表项 (LLI) 和块描述符是同义词。*

#### 15.4.9.1 多块传输--使用链表的块链式链接

*注意：在传输过程中源和目标交换的多块传输不被支持。在多块传输中，传输方向在传输期间不得改变。*

在这种情况下，DMA 控制器通过从系统内存中获取该块的块描述符，在每个块开始之前重新编程通道寄存器。这被称为 LLI 更新。

DMA 块链使用一个链表指针寄存器 (DMA\_CHnLLP)，该寄存器存储内存中下一个链表项的地址。每个 LLI

包含相应的块描述符:

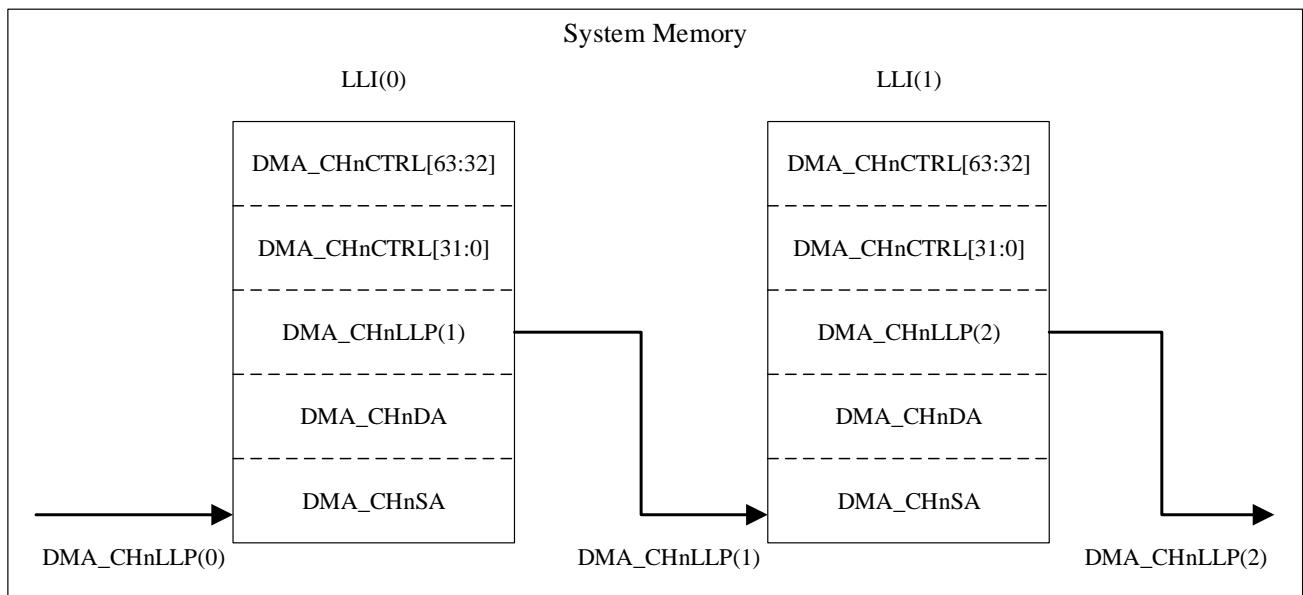
- DMA\_CHnSA
- DMA\_CHnDA
- DMA\_CHnLLP
- DMA\_CHnCTRL

要设置块链, 您需要在内存中编程一个链表序列。

LLI 访问始终是 32 位访问 (Hsize = 2), 对齐到 32 位边界, 且无法更改或编程为非 32 位的其他任何内容。

DMA\_CHnSA、DMA\_CHnDA、DMA\_CHnLLP 和 DMA\_CHnCTRL 寄存器在 LLI 更新时从系统内存中获取。DMA\_CHnCTRL 寄存器的更新内容在块完成时写回内存。图 15-7 显示了如何在内存中使用链式链接列表通过块链定义多块传输。

图 15-7 使用链表的多块传输



### 15.4.9.2 通道寄存器的自动重载

在自动重新加载期间, 通道寄存器在每个块完成时重新加载其初始值, 并将新值用于新块。

### 15.4.9.3 块间连续地址

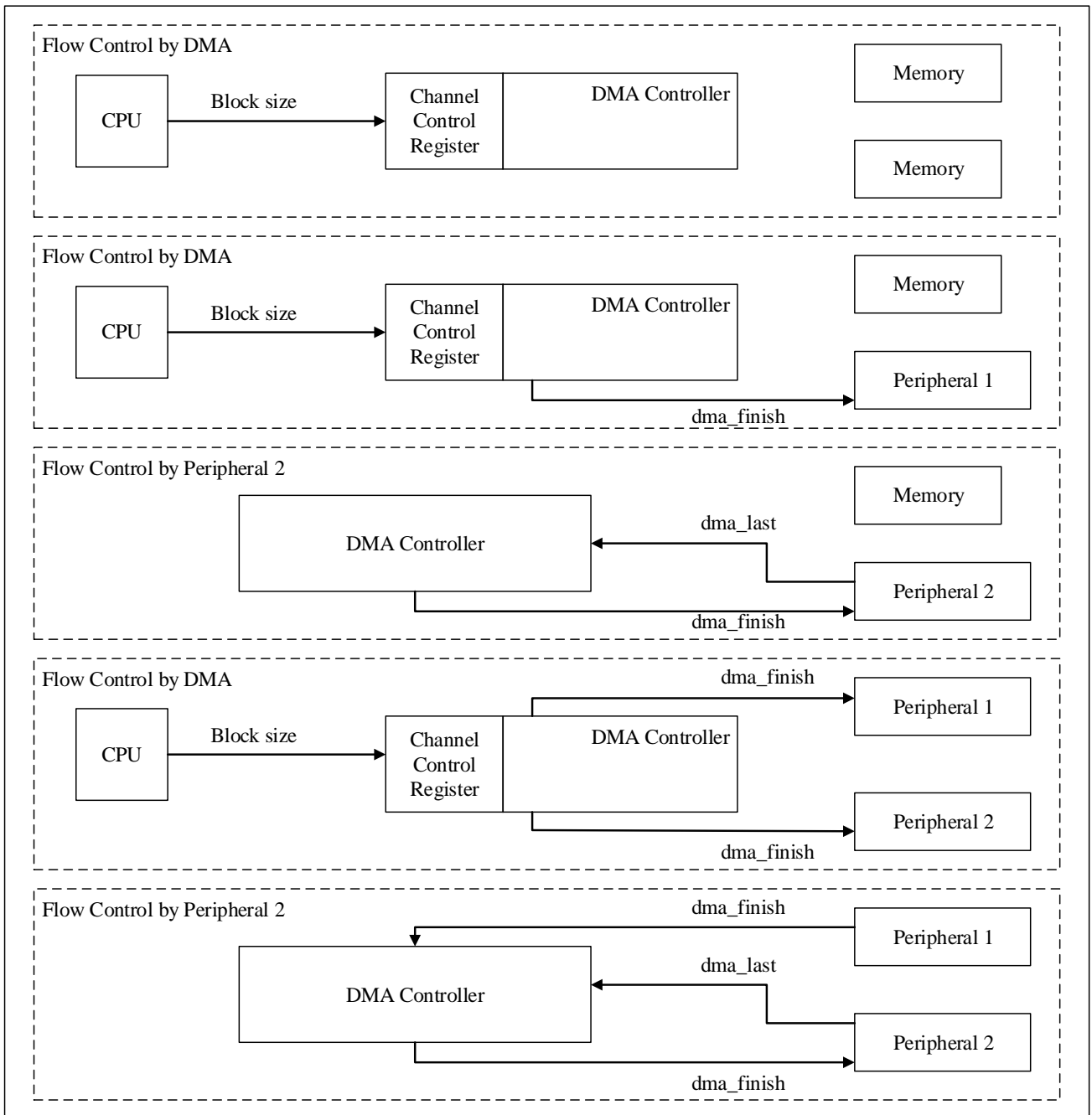
在此情况下, 相邻块之间的地址选择为从前一块末尾延续的地址。

启用源地址或目标地址在块间连续的功能, 由 LLPSRCEN 字段 (位于 DMA\_CHnCTRL 寄存器)、ASR 字段 (位于 DMA\_CHnCFG 寄存器)、LLPDSTEN 字段以及 ADR 字段共同实现。

### 15.4.10 流量控制配置

图 15-8 显示了使用硬件握手接口的五种不同流量控制配置--显示了接口的简化版本。这些场景也可以用于软件握手, 软件握手使用软件寄存器而不是信号。

图 15-8 流量控制配置



### 15.4.11 生成对 AHB 主总线接口的请求

每个通道都有一个源状态机和一个目标状态机并行运行。这些状态机生成仲裁器的请求输入，仲裁器为主总线接口仲裁（每个主总线接口一个仲裁器）。

当源/目标状态机获得主总线接口的控制权，并且主总线接口获得外部 AHB 总线的控制权时，外设和 DMA 控制器之间（代表已授权的状态机）的 AHB 传输即可进行。

AHB 从源外设传输或到目标外设的传输在通道 FIFO 准备好之前无法进行。对于突发事务请求以及涉及内存外设的传输，“FIFO 准备就绪”的标准由 DMA\_CHnCFG 寄存器的 FIFOMS 字段控制。



FIFO 就绪的定义对于以下内容是相同的:

- 单事务
- 突发事务, 其中 FIFOMS = 0
- 涉及内存外设的传输, 其中 FIFOMS = 0

通道 FIFO 在可用空间/数据足够完成指定传输宽度的单次 AHB 传输时被认为已准备就绪。源传输的 FIFO 就绪状态发生在通道 FIFO 有足够的空间接受至少一次源传输宽度 (DMA\_CHnCTRL 寄存器的 STW 字段) 的传输时。目标传输的 FIFO 就绪状态发生在通道 FIFO 包含足够的数以形成至少一次目标传输宽度 (DMA\_CHnCTRL 寄存器的 DTW 字段) 的传输时。

当 FIFOMS = 1 时, 涉及内存外设的突发事务请求和传输的 FIFO 就绪标准如下:

- 当 FIFO 小于半空时, FIFO 已准备好进行源突发传输。
- 当 FIFO 大于或等于半满时, FIFO 已准备好进行目标突发传输。

“准备就绪”状态会出现例外情况。在这些例外情况下, 假定 FIFOMS 的值为 0。以下是例外情况:

- 在突发事务或块传输接近结束时--如果完成源突发事务或源块传输所剩余的源数据项数量小于 CHn\_FIFO\_DEPTH/2, 通道源状态机不会等待通道 FIFO 少于半空。

*注意: 通道 0 到 1 的 FIFO 深度为 64 字节, 通道 2 到 7 的 FIFO 深度为 16 字节。*

- 同样, 如果完成目标突发事务或目标块传输所需的目标数据项数量小于 CHn\_FIFO\_DEPTH/2, 则通道目标状态机不会等待通道 FIFO 达到或超过半满。
- 当通道被挂起时--目标状态机不会等待 FIFO 变为半空再清空 FIFO, 无论 FIFOMS 字段的值如何。
- 在收到来自源或目标的分裂/重试响应后--AMBA 协议要求当 AHB 主设备收到分裂/重试响应后, 它必须重新发起接收到分裂/重试的传输在尝试任何其他传输之前。因此, 当 DMA 控制器下一次获得 AHB 总线时, 传输会重新发起到返回分裂/重试的相同地址, 而不考虑 FIFOMS。这将重复进行, 直到在 AHB hresp 总线上收到 OKAY 响应为止。

当源或目标外设不是内存时, 源或目标状态机会等待单次或突发事务请求。在收到事务请求后, 并且仅当通道 FIFO “准备好” 进行源或目标 AHB 传输时, 源或目标状态机会向主总线接口发出请求。

*注意: 有一个例外情况, 当目标外设是流量控制器且 FCM=1 (在 DMA\_CHnCFG 寄存器中禁用数据预取) 时。此时, 源状态机不会向主总线接口发出请求 (即使 FIFO 已 “准备好” 进行源传输并已接收到源事务请求), 直到目标请求新数据为止。*

当源/目标外设是内存时, 源/目标状态机必须等待直到通道 FIFO “准备好”。然后会向主总线接口发出请求。在内存外设与 DMA 控制器之间没有使用握手机制。

## 15.4.12 锁定 DMA 传输

可对 DMA 进行以下编程:

- 总线锁定--断言 AHB hlock 信号。
- 通道锁定--锁定 AHB 主接口的仲裁, 将主总线接口的所有权授予一个请求的通道状态机 (源或目标)。

总线和通道锁定可以在 DMA 传输、块传输或单次或突发事务的持续时间内进行。

### 15.4.12.1 总线锁定

如果通道配置寄存器中的 LOCKB 位被设置，那么 AHB hlock 信号将在 LOCKBL 字段中指定的持续时间内被断言。

### 15.4.12.2 通道锁定

如果设置了 LOCKCH 字段，则主总线接口的仲裁将在 LOCKCHL 字段中指定的持续时间内专门保留给该通道的源和目标外设。

如果总线锁定在某一段时间内被激活，那么通道也会在该时间段内自动锁定。出现三种情况：

- LOCKB = 0: 使用 LOCKCH 和 LOCKCHL 的编程值。
- LOCKB = 1 和 LOCKCH = 0: DMA 传输将继续，就像 LOCKCH = 1 和 LOCKCHL = LOCKBL 一样。LOCKCH 和 LOCKCHL 的编程值被忽略。
- LOCKB = 1 和 LOCKCH = 1 出现两种情况：
  - LOCKBL ≤ LOCKCHL: 在这种情况下，DMA 传输将继续进行，就好像 LOCKCHL = LOCKBL，并且忽略 LOCKCHL 的编程值。因此，如果在 DMA 传输级别启用了总线锁定，那么无论 LOCKCHL 的编程值如何，通道锁定也将在 DMA 传输级别启用。
  - LOCKBL > LOCKCHL: 使用 LOCKCHL 的编程值。因此，如果在 DMA 块传输级别启用了总线锁定，并且在 DMA 传输级别启用了通道锁定，那么将在 DMA 传输级别执行通道锁定。

### 15.4.12.3 锁定级别

如果为通道启用了锁定功能，那么当通道在锁定传输级别开始时首次被授予 AHB 主总线接口时，将激活以编程锁定传输级别的 AHB 主总线接口的锁定功能。锁定将持续到锁定传输级别完成；也就是说，如果通道 0 在块传输级别启用了通道级别锁定，那么该通道在块传输开始时首次被授予主总线接口时会锁定主总线接口，并持续锁定主总线接口直到块传输完成。

源和目标块传输在时间上连续发生，新的源块必须等到前一个目标块完成后才能开始。当源和目标都在同一个 AHB 层时，块级锁定在块传输到目标完成时终止。如果它们位于不同的层，则块级锁定在该层的块完成时终止（当源 AHB 层上的源块完成时，以及目标 AHB 层上的目标块完成时）。对于 DMA 传输级锁定也是如此。

事务级锁定有所不同，因为源事务和目标事务在时间上独立发生，并且在 DMA 块或 DMA 传输中的源事务和目标事务数量不必匹配。当源和目标位于同一 AHB 层时，事务级锁定仅在源或目标事务结束时清除，前提是对端外设当前未处于事务处理中。

例如，如果在事务级别启用了锁定并且发出了源事务结束的信号，那么只有在以下条件之一为真时才会禁用锁定：

- 目标位于不同的 AHB 层。
- 目标位于同一 AHB 层，但该通道当前未在与目标外设的事务处理中。

相同的规则适用于当终点事务被标记时。

如果在事务级别为通道启用了通道级或总线级锁定，并且通道的源或目标是内存设备，则锁定将被忽略，通道将继续运行，就像锁定（总线或通道）被禁用一样。

*注意：由于内存外设没有事务级的概念，因此当源或目标是内存时，不允许进行事务级锁定。*

### 15.4.13 AHB 主接口仲裁

每个 DMA 通道有两条请求线，用于请求特定主总线接口的所有权：通道源请求线和通道目标请求线。

源和目标分别为总线仲裁。一旦源/目标状态机获得主总线接口的所有权，并且主总线接口拥有 AHB 总线的所有权，那么 AHB 传输可以在外设和 DMA 控制器之间进行。图 15-9 说明了主总线接口的仲裁流程。

仲裁方案决定了哪个请求线路被授予特定的主总线接口。每个通道都有一个可编程的优先级。主总线接口的请求可以在任何时候发出，但只有在当前的 AHB 传输（突发或单次）完成后才会被授予。因此，如果主接口正在为低优先级通道传输数据，而高优先级通道请求服务，那么主接口将在完成低优先级通道的当前突发传输后，才会切换到为高优先级通道传输数据。

为了防止通道使主总线接口饱和，可以在通道设置时为其指定一个最大 AMBA 突发长度（DMA\_CHnCFG 寄存器中的 MAMBABL 字段）。这也可以防止主总线接口使 AHB 总线饱和，从而导致系统仲裁器在未定义长度的突发结束之前无法更改授予线。

以下是当没有通道锁定（参见 15.4.12.2）主总线接口的仲裁时采用的接口仲裁方案：

- 如果在最高优先级级别上只有一个请求行处于活动状态，那么具有最高优先级的请求将获得 AHB 主总线接口的所有权；优先级级别不需要是唯一的。

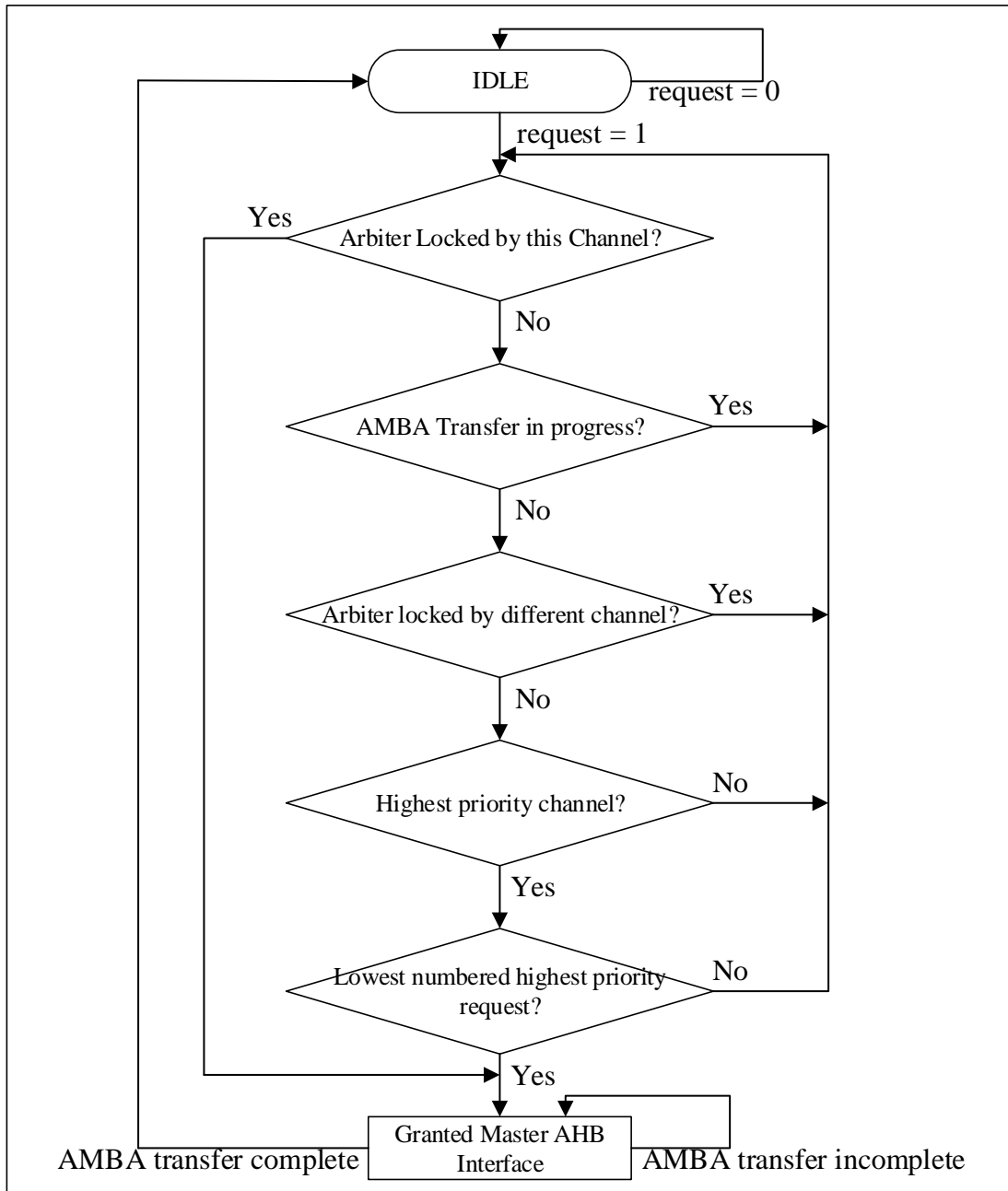
如果在最高请求优先级上有多个请求处于活动状态，那么这些竞争请求将进入第二层仲裁。

- 如果发生优先级相同的请求，则授予编号较低的通道。

换句话说，如果连接到通道 0 的外设请求和连接到通道 7 的外设请求具有相同的优先级，则优先授予连接到通道 0 的外设。

*注意：如果在做出授予决定时，源通道和目标通道的请求信号线都被断言，则优先授予源通道。源通道和目标通道继承其通道优先级，因此始终具有相同的优先级。*

图 15-9 主总线接口的仲裁流程图



### 15.4.14 散射或聚集

散射与目标传输相关。当达到散射边界时，目标地址会根据编程的数量（散射增量）递增或递减。当达到散射边界时，目标地址会根据 DMA\_CHnDS 寄存器中目标散射增量（DSI）字段存储的值，乘以单次 AHB 传输到目标的字节数（DMA\_CHnCTRL 寄存器中 DTW 字段的解码值 /8）递增或递减。连续散射边界之间的目标传输次数被编程到 DMA\_CHnDS 寄存器的目标散射计数（DSC）字段中。

通过向 DMA\_CHnCTRL 寄存器的 DSTSCAEN 字段写入 1 来启用散射功能。DINC 字段决定当达到散射边界时地址是递增、递减还是保持不变。如果 DINC 字段指示在整个 DMA 传输过程中使用固定地址控制，则忽略 DSTSCAEN 字段，并且散射功能会自动禁用。

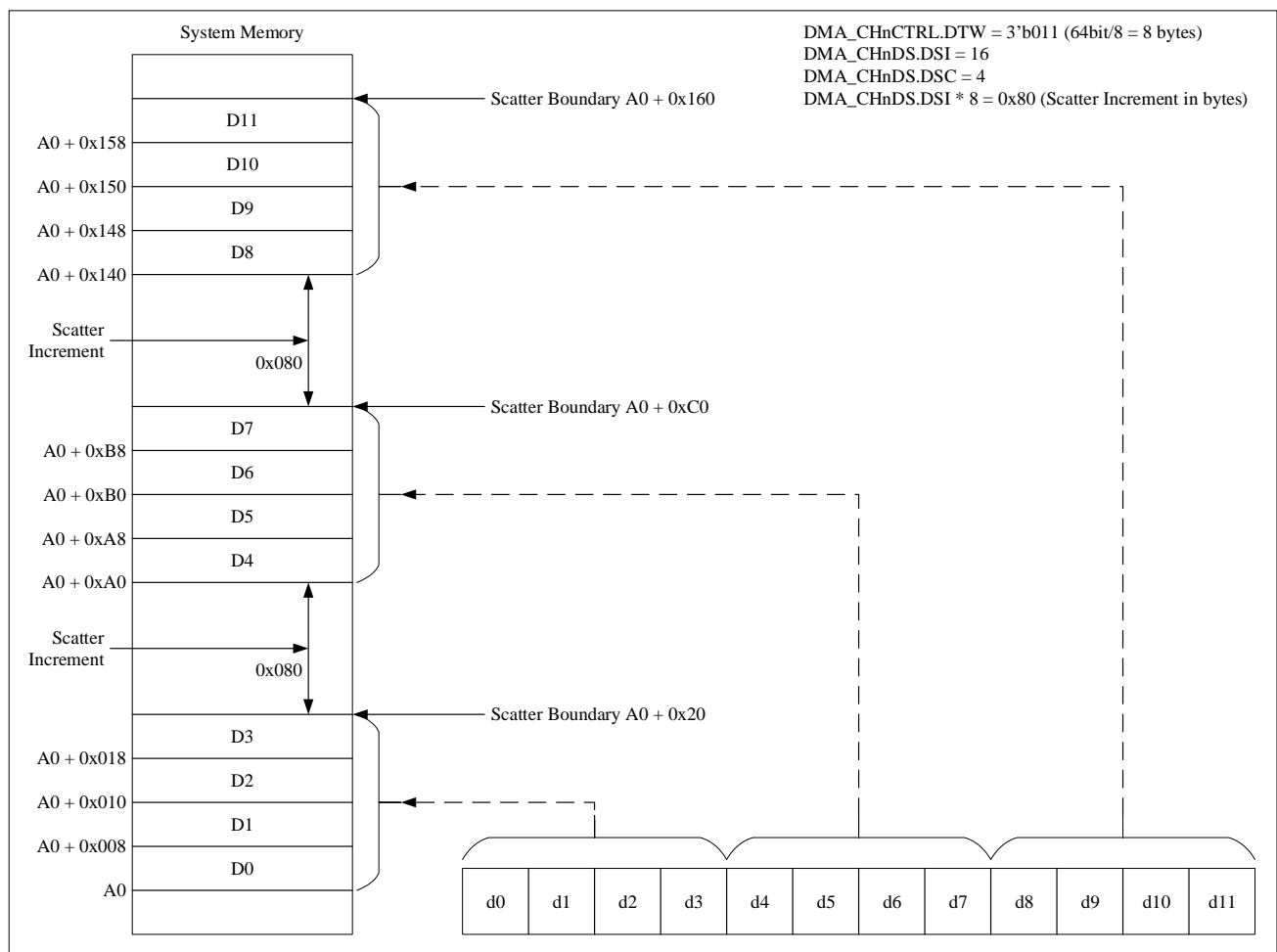
聚集与源传输相关。当达到聚集边界时，源地址会根据编程的数量递增或递减。连续聚集边界之间的源传输次数被编程到 DMA\_CHnSG 寄存器的源聚集计数（SGC）字段中。当达到聚集边界时，源地址会根据存储在源聚集增量（SGI）字段中的值递增或递减，该值乘以从源进行的单次 AHB 传输中的字节数（DMA\_CHnCTRL 寄存器的 STW 字段的解码值 / 8）。

通过向 DMA\_CHnCTRL 寄存器的 SRCGATEN 字段写入 1 来启用聚集功能。当达到聚集边界时，SINC 字段决定地址是递增、递减还是保持不变。如果 SINC 字段指示在整个 DMA 传输过程中使用固定地址控制，则忽略 SRCGATEN 字段，并且聚集功能会自动禁用。

*注意：对于多块传输，用于跟踪到达聚集/散射边界剩余传输次数的计数器将在每块传输开始时分别重新初始化为源聚集计数（SGC）和目标散射计数（DSC）。*

图 15-10 显示了一个目标散射传输的示例：

图 15-10 目标散射传输

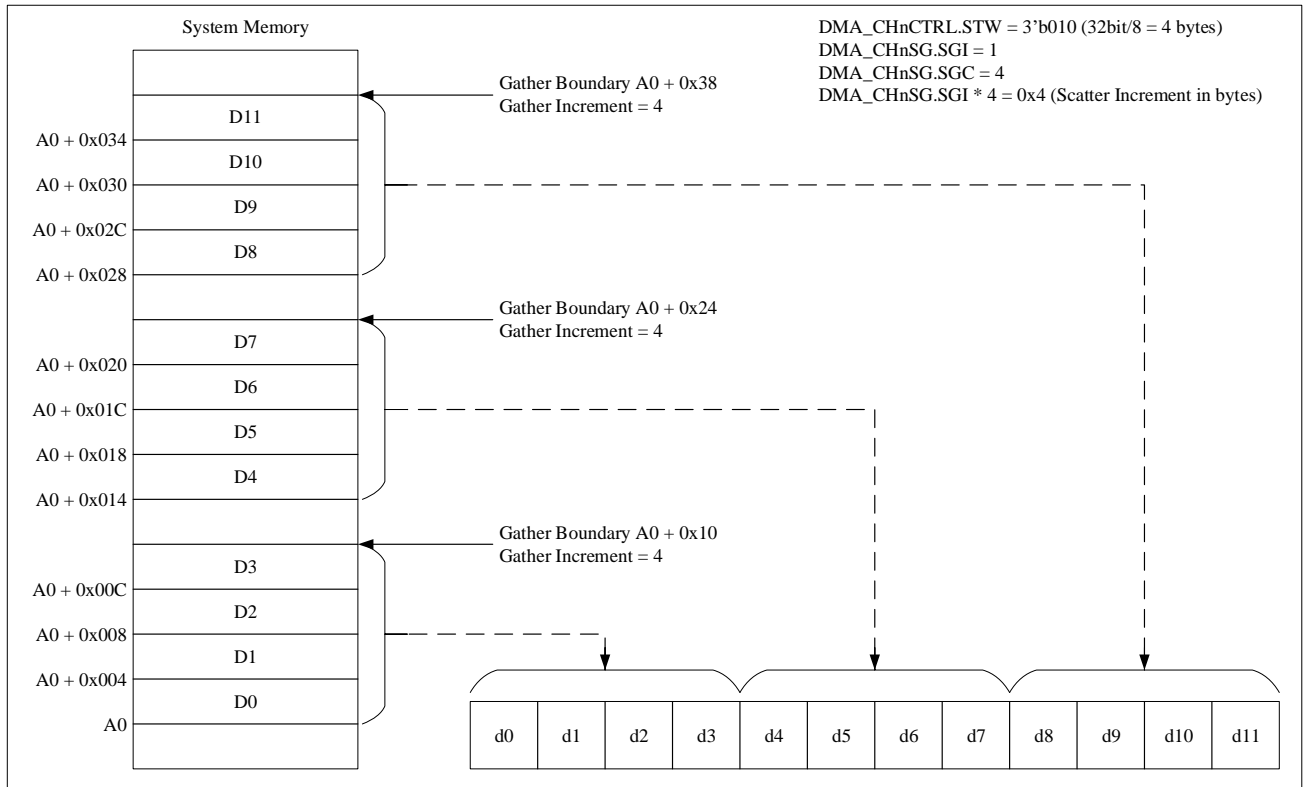


作为聚集增量的一个例子，请考虑以下内容：

- DMA\_CHnCTRL.STW = 3'b 010 (32 位)
- DMA\_CHnSG.SGC = 0x04 (源聚集计数)
- DMA\_CHnCTRL.SRCGATEN = 1 (启用源聚集)
- DMA\_CHnSA = A0 (起始源地址)

图 15-11 显示了当 SGI = 0x01 时的源聚集。

图 15-11 源聚集传输



### 15.4.15 AHB 传输错误处理

在 AHB 传输中发生错误时，将发生以下情况：

1. 正在进行的 DMA 传输立即停止。
2. 相关通道被禁用。
3. 发出中断请求（若未屏蔽）。

如果启用了多个通道，则仅禁用检测到 AHB 错误的通道。

FIFO 的内容不会被清除，但一旦通道重新启用以开始新序列，它们将变得不可访问并被覆盖。

不支持从错误发生点自动恢复传输，必须重新启动整个块传输才能成功完成。

DMA 不会通过硬件握手接口以任何方式指示错误发生，也不会指示传输结束。实际应用中，这意味着当错误发生时若外设请求处于活动状态：若外设是流量控制器则 dma\_req 为高电平；若外设非流量控制器则 dma\_req 或 dma\_single 为高电平（通道将被禁用），且 DMA 从不会断言 dma\_ack（或 dma\_finish）。

外设端的硬件握手接口在检测到错误中断后必须由 CPU 重新初始化。在重新启用通道之前，需要将 dma\_req 信号拉低，然后在通道启用后将其拉高。

### 15.4.16 非法寄存器访问

非法访问可以是以下任何一种：

- 尝试进行 hsize 大于 64 的 AHB 传输。
- hsel 信号已被断言，但地址未解码为有效地址。
- 对 DMA\_CHnSA、DMA\_CHnDA、DMA\_CHnLLP、DMA\_CHnCTRL、DMA\_CHnSG 或 DMA\_CHnDS 寄存器的写操作发生在通道启用时。
- 尝试从 DMA\_TCINTCLR、DMA\_BTCINTCLR、DMA\_STCINTCLR、DMA\_DTCINTCLR、DMA\_ERRINTCLR 读取。
- 尝试写入 DMA\_TCINTSTS、DMA\_BTCINTSTS、DMA\_STCINTSTS、DMA\_DTCINTSTS、DMA\_ERRINTSTS。
- 尝试写入 DMA\_INTCBESTS 寄存器。
- 尝试写入 DMA ID 寄存器或 DMA 组件 ID 寄存器。

非法访问（读/写）将返回错误响应。

### 15.4.17 中断

以下部分描述了与中断相关的寄存器、它们的状态以及如何清除它们。对于每个通道，有五种类型的中断源：

- **IntBlock:** 块传输完成中断

此中断是在 DMA 块传输到目标外设完成时生成的。

- **IntDstTran:** 目标事务完成中断

此中断是在完成从目标端握手接口（硬件或软件握手接口）请求的单次/突发事务的最后一次 AHB 传输后生成的。

*注意：如果通道的目标是内存，那么该通道将永远不会生成 IntDstTran 中断。因此，该字段中的相应位将不会被设置。*

- **IntErr:** 错误中断

当在 DMA 传输期间从 AHB 从设备在 HRESP 总线上接收到 ERROR 响应时，会生成此中断。此外，DMA 传输将被取消，通道将被禁用。

- **IntSrcTran:** 源事务完成中断

此中断是在源端握手接口（硬件或软件握手接口）完成所请求的单次/突发事务的最后一次 AHB 传输后生成的。

*注意：如果源或目标是内存，则应忽略 IntSrcTran/IntDstTran 中断，因为内存没有“DMA 事务级别”的概念。*

- **IntTfr:** DMA 传输完成中断

此中断是在 DMA 传输到目标外设完成时生成的。

当通道被使能以生成中断时，以下情况成立：

- 中断事件存储在原始状态寄存器中。
- 原始状态寄存器的内容与掩码寄存器的内容进行掩码处理。

- 经过掩码处理的中断存储在状态寄存器中。
- 状态寄存器的内容用于驱动 `int_*` 端口信号。
- 写入清除寄存器中的相应位会在同一个时钟周期内清除原始状态寄存器和状态寄存器中的中断。

五个状态寄存器的内容通过或运算生成组合状态寄存器中对应中断类型的单比特值，即 `DMA_INTCBESTS` 寄存器。

为了使中断传播通过原始中断寄存器阶段，必须在 `DMA_CHnCTRL` 寄存器中将 `INTEN` 设置为 `1'b1`，并且必须在中断屏蔽寄存器中取消屏蔽相关中断。

## 15.4.18 编程指南

### 15.4.18.1 单块传输

本节描述了单块传输的编程步骤。

- 1 读通道使能寄存器以选择一个空闲（已禁用）通道；请参阅 `DMA_CHEN` 寄存器。
- 2 通过写入中断清除寄存器，清除前一次 DMA 传输中通道上的任何未决中断。读取中断原始状态寄存器和中断状态寄存器确认所有中断已被清除。
- 3 编程以下通道寄存器：
  - a) 在 `DMA_CHnSA` 寄存器中为通道 `n` 写入起始源地址。
  - b) 在 `DMA_CHnDA` 寄存器中为通道 `n` 写入起始目标地址。
  - c) 将 `LLPSRCEN`、`LLPDSTEN` 设置为 0（在 `DMA_CHnCTRL` 寄存器中），并将 `ASR`、`ADR` 设置为 0（在 `DMA_CHnCFG` 寄存器中）。将 `DMA_CHnLLP` 寄存器设置为 0。
  - d) 将 DMA 传输的控制信息写入通道 `n` 的 `DMA_CHnCTRL` 寄存器。例如，在该寄存器中可编程设置如下：
    - 1) 设置传输类型（源和目标的内存或非内存外设）以及通过编程 `DMA_CHnCTRL` 寄存器的 `TTFC` 来设置流控制设备。
    - 2) 设置传输特性，例如：
      - 在 `STW` 字段中为源设置传输宽度。
      - 在 `DTW` 字段中为目标设置传输宽度。
      - 在源所在的 `SMS` 字段中设置源主层。
      - 在目标所在的 `DMS` 字段中设置目标主层。
      - 在 `SINC` 字段中为源设置递增/递减或固定地址。
      - 在 `DINC` 字段中为目标设置递增/递减或固定地址。
  - e) 将通道配置信息写入通道 `n` 的 `DMA_CHnCFG` 寄存器。
    - 1) 指定源和目标外设的握手接口类型（硬件或软件）；这对内存不是必需的。此步骤需要分别编程 `HSSELSRC/HSSELDST` 位。写入 0 激活硬件握手接口以处理源/目标请求。写入 1 激活软件握手接口以处理源和目标请求。



- 2) 如果为源或目标外设激活了硬件握手接口, 则为源和目标外设分别分配一个握手接口; 这需要分别编程 SRCPER 和 DSTPER 位。
  - f) 如果启用了聚集 (DMA\_CHnCTRL 寄存器中的 SRCGATEN 字段已启用), 则对通道 n 的 DMA\_CHnSG 寄存器进行编程。
  - g) 如果启用了散射 (DMA\_CHnCTRL 寄存器中的 DSTSCAEN 字段已启用), 则对通道 n 的 DMA\_CHnDS 寄存器进行编程。
- 4 确保在写入 DMA\_CHEN 之前启用 DMA\_CFG 寄存器的第 0 位。
  - 5 源和目标请求单次和突发 DMA 事务以传输数据块 (假设为非内存外设)。DMA 控制器在每次事务 (突发和单次) 完成时进行确认, 并执行数据块传输。
  - 6 一旦传输完成, 硬件会设置中断并禁用通道。此时, 您可以响应块完成或传输完成中断, 或者轮询传输完成原始中断状态寄存器 (DMA\_RAWTCINTSTS[n], n = 通道号), 直到硬件设置它, 以检测传输何时完成。请注意, 如果使用此轮询, 软件必须在启用通道之前, 通过写入中断清除寄存器 (DMA\_TCINTCLR[n], n = 通道号) 来确保传输完成中断已被清除。

### 15.4.18.2 基于链表的多块传输

本节描述了源和目标链表地址的多块传输的编程步骤。

1. 读通道使能寄存器以选择一个空闲 (已禁用) 通道; 请参阅 DMA\_CHEN 寄存器。
2. 在内存中建立链表项 (亦称块描述符) 的链式结构。为内存中每个链表项 (LLI) 的块描述符写入控制信息至 LLI\_CTRL 寄存器位置 (参见图 15-7, 对应通道 n)。例如可在寄存器中编程设置:
  - a) 设置传输类型 (源和目标的内存或非内存外设) 以及通过编程 DMA\_CHnCTRL 寄存器的 TTFC 来设置流控制设备。
  - b) 设置传输特性, 例如:
    - 1) 在 STW 字段中为源设置传输宽度。
    - 2) 在 DTW 字段中为目标设置传输宽度。
    - 3) 在源所在的 SMS 字段中设置源主层。
    - 4) 在目标所在的 DMS 字段中设置目标主层。
    - 5) 在 SINC 字段中为源设置递增/递减或固定地址。
    - 6) 在 DINC 字段中为目标设置递增/递减或固定地址。
3. 将通道配置信息写入通道 n 的 DMA\_CHnCFG 寄存器。
  - a) 指定源和目标外设的握手接口类型 (硬件或软件); 这对内存不是必需的。

此步骤需要分别编程 HSSELSRC/HSSELDST 位。写入 0 激活硬件握手接口以处理特定通道的源/目标请求。写入 1 激活软件握手接口以处理源/目标请求。
  - b) 如果为源或目标外设激活了硬件握手接口, 则需分别配置 SRCPER 和 DSTPER 位, 将握手接口分配至源/目标外设。
4. 确保内存中所有 LLI 条目的 LLI\_CTRL 寄存器位置的 LLPSRCEN 和 LLPDSTEN 字段 (最后一个除外) 都设置为 1。最后一个链表项的 LLI\_CTRL 寄存器位置的 LLPSRCEN 和 LLPDSTEN 字段必须

设置为 0。图 15-7 显示了一个包含两个链表项的链表示例。

5. 确保内存中所有 LLI 条目的 LLI.LLP 寄存器位置(除了最后一个)非零并指向下一个链表项的基地址。
6. 确保内存中所有 LLI 条目的 LLI.SA/LLI.DA 寄存器位置指向在该 LLI 获取之前的起始源/目标块地址。
7. 确保内存中所有 LLI 条目的 LLI.CTRL 寄存器位置的 DONE 字段被清除。
8. 如果启用了聚集 (DMA\_CHnCTRL 寄存器中的 SRCGATEN 字段已启用), 则编程通道 n 的 DMA\_CHnSG 寄存器。
9. 如果启用了散射 (DMA\_CHnCTRL 寄存器中的 DSTSCAEN 字段已启用), 则编程通道 n 的 DMA\_CHnDS 寄存器。
10. 通过写入中断清除寄存器, 清除前一次 DMA 传输中通道上的任何未决中断。读取中断原始状态寄存器和中断状态寄存器确认所有中断已被清除。
11. 将 LLPSRCEN、LLPDSTEN 设为 1 (在 DMA\_CHnCTRL 寄存器中), 并将 ASR、ADR 设为 0 (在 DMA\_CHnCFG 寄存器中)。
12. 将 DMA\_CHnLLP 寄存器编程为 LLP(0), 即指向第一个链表项的指针。
13. 最后, 通过向 DMA\_CHEN.CHn 位写入 1 来启用通道; 传输将被执行。
14. DMA 控制器从 DMA\_CHnLLP 指向的位置获取第一个 LLI。
15. 源端与目标端请求单次及突发 DMA 事务以传输数据块(假设为非内存外设)。DMA 控制器在数据块内每次事务(突发与单次)完成时均发出应答, 并执行数据块传输。
16. DMA\_CHnCTRL[63:32]寄存器被写入到系统内存中。

DMA\_CHnCTRL[63:32]寄存器被写入到同一层的相同位置 (DMA\_CHnLLP 寄存器中的 LMS 字段), 即在块传输开始之前获取的链表项的 DMA\_CHnCTRL 寄存器位置。由于只有 BTS 和 DONE 字段被 DMA 硬件更新, 因此仅写出 DMA\_CHnCTRL 寄存器的第二个字 (位[63:32])。此外, DONE 位被置为有效以指示块传输完成。

因此, 软件可以轮询 LLI 中 CTRL 寄存器的 DONE 位, 以确定块传输何时完成。

*注意: 不要轮询 DMA 内存映射中的 DONE 位 (即 DMA\_CHnCTRL 寄存器); 而是轮询该块的 LLI 中的 DONE 位。如果轮询到 LLI 中的 DONE 位被置位, 则表示该块传输已完成。LLI 中的 DONE 位在传输开始时 (步骤 7) 被清除。*

17. 控制寄存器的写回操作完成后, 将生成块结束中断信号 int\_block。
18. DMA 不会等待块中断被清除, 而是继续从当前 DMA\_CHnLLP 寄存器指向的内存位置获取下一个 LLI, 并自动重新编程 DMA\_CHnSA、DMA\_CHnDA、DMA\_CHnLLP 和 DMA\_CHnCTRL 通道寄存器。

DMA 传输持续进行, 直到 DMA 控制器确定在块传输结束时, DMA\_CHnCTRL 寄存器的 LLPSRCEN 和 LLPDSTEN 字段为 0, 并且 DMA\_CHnLLP 寄存器的 LOC 字段为 0 (如前所述)。此时控制器确认先前传输的块为本次 DMA 传输的最后一个块。

### 15.4.18.3 基于自动重载的多块传输

本节描述了源和目标自动重载地址的多块传输的编程步骤。

1. 读通道使能寄存器以选择一个空闲 (已禁用) 通道; 请参阅 DMA\_CHEN 寄存器。

2. 通过写入中断清除寄存器，清除前一次 DMA 传输中通道上的任何未决中断。读取中断原始状态寄存器和中断状态寄存器确认所有中断已被清除。
3. 编程以下通道寄存器：
  - a) 将起始源地址写入通道 n 的 DMA\_CHnSA 寄存器。
  - b) 将起始目标地址写入通道 n 的 DMA\_CHnDA 寄存器。
  - c) 将 LLPSRCEN、LLPDSTEN 设为 0（在 DMA\_CHnCTRL 寄存器中），并将 ASR、ADR 设为 1（在 DMA\_CHnCFG 寄存器中）。将 DMA\_CHnLLP 寄存器设置为 0。
  - d) 将 DMA 传输的控制信息写入通道 n 的 DMA\_CHnCTRL 寄存器。例如，在该寄存器中可编程设置如下：
    - 1) 设置传输类型(源和目标的内存或非内存外设)以及通过编程 DMA\_CHnCTRL 寄存器的 TTFC 来设置流控制设备。
    - 2) 设置传输特性，例如：
      - 在 STW 字段中为源设置传输宽度。
      - 在 DTW 字段中为目标设置传输宽度。
      - 在源所在的 SMS 字段中设置源主层。
      - 在目标所在的 DMS 字段中设置目标主层。
      - 在 SINC 字段中为源设置递增/递减或固定地址。
      - 在 DINC 字段中为目标设置递增/递减或固定地址。
  - e) 如果启用了聚集（DMA\_CHnCTRL 寄存器中的 SRCGATEN 字段已启用），为通道 n 编程 DMA\_CHnSG 寄存器。
  - f) 如果启用了散射（DMA\_CHnCTRL 寄存器中的 DSTSCAEN 字段已启用），为通道 n 编程 DMA\_CHnDS 寄存器。
  - g) 将通道配置信息写入通道 n 的 DMA\_CHnCFG 寄存器。确保重载位 ASR 和 ADR 已启用。
    - 1) 指定源和目标外设的握手接口类型（硬件或软件）；这对于内存不是必需的。

此步骤需要分别编程 HSELSRC/HSELDST 位。写入 0 激活硬件握手接口以处理源/目标请求。写入 1 激活软件握手接口以处理源和目标请求。
    - 2) 如果为源或目标外设激活了硬件握手接口，则将握手接口分配给源和目标外设。这需要分别编程 SRCPER 和 DSTPER 位。
4. 确保在写入 DMA\_CHnEN 之前启用 DMA\_CFG 寄存器的第 0 位。
5. 源和目标请求单次和突发 DMA 事务以传输数据块（假设为非内存外设）。DMA 控制器在每次突发/单次事务完成时进行确认，并执行数据块传输。
6. 当块传输完成时，DMA 控制器会重新加载 DMA\_CHnSA、DMA\_CHnDA 和 DMA\_CHnCTRL 寄存器。硬件会设置块完成中断。如果 DMA 控制器采样到 LLPSRCEN、LLPDSTEN 为 0（在 DMA\_CHnCTRL 寄存器中）且 ASR、ADR 为 0（在 DMA\_CHnCFG 寄存器中），则 DMA 传输已完成。硬件会设置传输完成中断并禁用通道。您可以选择响应块完成或传输完成中断，或者轮询传输完成原始中断状态寄存器

(DMA\_RAWTCINTSTS[n], n = 通道号), 直到硬件设置它, 以检测传输何时完成。请注意, 如果使用此轮询, 软件必须在启用通道之前, 通过写入中断清除寄存器 (DMA\_TCINTCLR[n], n = 通道号) 来确保传输完成中断已被清除。如果 DMA 控制器采样到 LLPSRCEN、LLPDSTEN 不为 0 (在 DMA\_CHnCTRL 寄存器中) 且 ASR、ADR 不为 0 (在 DMA\_CHnCFG 寄存器中), 则执行下一步操作。

#### 7. DMA 传输过程如下:

- a) 若中断被使能(DMA\_CHnCTRL 寄存器中 INTEN = 1)且块完成中断未屏蔽(DMA\_BTCINTMSK[x] = 1'b1, 其中 x 为通道号), 则硬件将在块传输完成时设置块完成中断。随后硬件将保持等待状态, 直至软件清除该块完成中断。若下一个数据块为 DMA 传输的最后一个块, 则块完成中断服务例程 (ISR) 应清除重载位 (DMA\_CHnCFG 寄存器中的 ASR/ADR)。若下一个数据块非 DMA 传输的最后一个块, 则重载位应保持使能状态。
- b) 若中断被禁止(DMA\_CHnCTRL 寄存器中 INTEN = 0)或块完成中断被屏蔽(DMA\_BTCINTMSK[x] = 1'b0, 其中 x 为通道号), 则硬件不会等待, 而是在检测到块完成中断清除寄存器被写入时立即启动下一个块传输。此时软件必须清除重载位 (DMA\_CHnCFG 寄存器中的 ASR/ADR), 以指示下一次传输为 DMA 传输的最后一个数据块。

### 15.4.18.4 基于 SA 自动重载和 DA 链表的多块传输

本节描述了源地址自动重载和目标地址链表的多块传输编程步骤。

1. 读通道使能寄存器以选择一个空闲 (已禁用) 通道; 请参阅 DMA\_CHEN 寄存器。
2. 在内存中建立链表项 (亦称块描述符) 的链式结构。为内存中每个链表项 (LLI) 的块描述符写入控制信息至 LLI\_CTRL 寄存器位置 (参见图 15-7, 对应通道 n)。例如可在寄存器中编程设置:
  - a) 设置传输类型 (源和目标的内存或非内存外设) 以及通过编程 DMA\_CHnCTRL 寄存器的 TTFC 来设置流控制设备。
  - b) 设置传输特性, 例如:
    - 1) 在 STW 字段中为源设置传输宽度。
    - 2) 在 DTW 字段中为目标设置传输宽度。
    - 3) 在源所在的 SMS 字段中设置源主层。
    - 4) 在目标所在的 DMS 字段中设置目标主层。
    - 5) 在 SINC 字段中为源设置递增/递减或固定地址。
    - 6) 在 DINC 字段中为目标设置递增/递减或固定地址。
3. 在 DMA\_CHnSA 寄存器中为通道 n 写入起始源地址。

*注意: 尽管在 LLI 获取期间会提取内存中设置的每个链表项 (LLI) 的 LLISA 寄存器位置中的值, 但这些值不会被使用。*

4. 将通道配置信息写入通道 n 的 DMA\_CHnCFG 寄存器。
  - a) 指定源和目标外设的握手接口类型 (硬件或软件); 这对内存不是必需的。

此步骤需要分别编程 HSSELSRC/HSSELDST 位。写入 0 激活硬件握手接口以处理特定通道的源/目标请求。写入 1 激活软件握手接口以处理源/目标请求。
  - b) 如果为源或目标外设激活了硬件握手接口, 则需分别配置 SRCPER 和 DSTPER 位, 将握手接口分

配至源/目标外设。

5. 确保内存中所有 LLI 条目的 LLI.CTRL 寄存器位置的 LLPSRCEN 字段设置为 0，LLPDSTEN 字段设置为 1（最后一个除外）。最后一个链表项的 LLI.CTRL 寄存器位置的 LLPSRCEN 和 LLPDSTEN 字段必须设置为 0。图 15-7 显示了一个包含两个链表项的链表示例。
6. 确保内存中所有 LLI 条目的 LLI.LLP 寄存器位置（除了最后一个）非零并指向下一个链表项的基地址。
7. 确保内存中所有 LLI 条目的 LLI.DA 寄存器位置指向在该 LLI 获取之前的起始目标块地址。
8. 确保内存中所有 LLI 条目的 LLI.CTRL 寄存器位置的 DONE 字段被清除。
9. 如果启用了聚集（DMA\_CHnCTRL 寄存器中的 SRCGATEN 字段已启用），则编程通道 n 的 DMA\_CHnSG 寄存器。
10. 如果启用了散射（DMA\_CHnCTRL 寄存器中的 DSTSCAEN 字段已启用），则编程通道 n 的 DMA\_CHnDS 寄存器。
11. 通过写入中断清除寄存器，清除前一次 DMA 传输中通道上的任何未决中断。读取中断原始状态寄存器和中断状态寄存器确认所有中断已被清除。
12. 将 LLPSRCEN 设置为 0，LLPDSTEN 设置为 1（在 DMA\_CHnCTRL 寄存器中），将 ASR 设置为 1，ADR 设置为 0（在 DMA\_CHnCFG 寄存器中）。
13. 将 DMA\_CHnLLP 寄存器编程为 LLP(0)，即指向第一个链表项的指针。
14. 确保在写入 DMA\_CHnEN 寄存器之前启用 DMA\_CFG 寄存器的第 0 位。
15. DMA 控制器从 DMA\_CHnLLP 指向的位置获取第一个 LLI。

*注意：LLI.SA、LLI.DA、LLI.LLP 和 LLI.CTRL 寄存器已被获取。LLI.SA 寄存器（尽管已被获取）未被使用。*

16. 源和目标请求单次和突发 DMA 事务以传输数据块（假设非内存外设）。DMA 控制器在每次事务（突发和单次）完成时进行确认，并执行数据块传输。
17. DMA\_CHnCTRL[63:32]寄存器被写入到系统内存中。

DMA\_CHnCTRL[63:32]寄存器被写入到同一层的相同位置（DMA\_CHnLLP 寄存器中的 LMS 字段），即在块传输开始之前获取的链表项的 DMA\_CHnCTRL 寄存器位置。由于只有 BTS 和 DONE 字段被 DMA 硬件更新，因此仅写出 DMA\_CHnCTRL 寄存器的第二个字（位[63:32]）。此外，DONE 位被置为有效以指示块传输完成。

因此，软件可以轮询 LLI 中 CTRL 寄存器的 DONE 位，以确定块传输何时完成。

*注意：不要轮询 DMA 内存映射中的 DONE 位（即 DMA\_CHnCTRL 寄存器）；而是轮询该块的 LLI 中的 DONE 位。如果轮询到 LLI 中的 DONE 位被置位，则表示该块传输已完成。LLI 中的 DONE 位在传输开始时（步骤 8）被清除。*

18. 控制寄存器的写回操作完成后，将生成块结束中断信号 int\_block。
19. DMA 控制器从初始值重新加载 DMA\_CHnSA 寄存器。硬件设置块完成中断。如果 DMA 控制器采样到 LLPSRCEN、LLPDSTEN 为 0（在 DMA\_CHnCTRL 寄存器中），且 ASR、ADR 为 0（在 DMA\_CHnCFG 寄存器中），则 DMA 传输已完成。硬件设置传输完成中断并禁用通道。您可以选择响应块完成或传输完成中断，或者轮询传输完成原始中断状态寄存器（DMA\_RAWTCINTSTS[n]，n 为通道号），直到硬件设置该状态，以检测传输何时完成。请注意，如果使用此轮询，软件必须在启用通道之前通过写入中断清除寄存器（DMA\_TCINTCLR[n]，n 为通道号）确保传输完成中断已清除。如果 DMA 控制器采样

到 LLPSRCEN、LLPDSTEN 不为 0（在 DMA\_CHnCTRL 寄存器中），且 ASR、ADR 不为 0（在 DMA\_CHnCFG 寄存器中），则执行以下步骤。

20. DMA 传输过程如下：

- a) 若中断被使能(DMA\_CHnCTRL 寄存器中 INTEN = 1)且块完成中断未屏蔽(DMA\_BTCINTMSK[x] = 1' b1, 其中 x 为通道号), 则硬件将在块传输完成时设置块完成中断。随后硬件将保持等待状态, 直至软件清除该块完成中断。若下一个数据块为 DMA 传输的最后一个块, 则块完成中断服务例程 (ISR) 应清除重载位 (DMA\_CHnCFG 寄存器中的 ASR/ADR)。若下一个数据块非 DMA 传输的最后块, 则重载位应保持使能状态。
- b) 若中断被禁止(DMA\_CHnCTRL 寄存器中 INTEN = 0)或块完成中断被屏蔽(DMA\_BTCINTMSK[x] = 1' b0, 其中 x 为通道号), 则硬件不会等待, 而是在检测到块完成中断清除寄存器被写入时立即启动下一个块传输。此时软件必须清除重载位 (DMA\_CHnCFG 寄存器中的 ASR/ADR), 以指示下一次传输为 DMA 传输的最后一个数据块。

21. DMA 控制器从当前 DMA\_CHnLLP 寄存器指向的内存位置获取下一个 LLI, 并自动重新编程 DMA\_CHnDA、DMA\_CHnCTRL 和 DMA\_CHnLLP 寄存器。请注意, DMA\_CHnSA 不会被重新编程, 因为重新加载的值将用于下一个 DMA 块传输。如果下一个块是 DMA 传输的最后一个块, 那么从 LLI 中获取的 DMA\_CHnCTRL 和 DMA\_CHnLLP 寄存器应与最后一个链表项匹配 (如前所述)。

#### 15.4.18.5 基于 SA 自动重载和 DA 连续模式的多块传输

本节描述了源地址自动重载和目标地址连续的多块传输的编程步骤。

1. 读通道使能寄存器以选择一个空闲 (已禁用) 通道; 请参阅 DMA\_CHEN 寄存器。
2. 通过写入中断清除寄存器, 清除前一次 DMA 传输中通道上的任何未决中断。读取中断原始状态寄存器和中断状态寄存器确认所有中断已被清除。
3. 编程以下通道寄存器:
  - a) 在 DMA\_CHnSA 寄存器中为通道 n 写入起始源地址。
  - b) 在 DMA\_CHnDA 寄存器中为通道 n 写入起始目标地址。
  - c) 将 LLPSRCEN、LLPDSTEN 在 DMA\_CHnCTRL 寄存器中设置为 0, 并将 ASR 设置为 1, ADR 设置为 0 (在 DMA\_CHnCFG 寄存器中)。将 DMA\_CHnLLP 寄存器设置为 0。
  - d) 将 DMA 传输的控制信息写入通道 n 的 DMA\_CHnCTRL 寄存器。例如, 在该寄存器中可编程设置如下:
    - 1) 设置传输类型(源和目标的内存或非内存外设)以及通过编程 DMA\_CHnCTRL 寄存器的 TTFC 来设置流控制设备。
    - 2) 设置传输特性, 例如:
      - 在 STW 字段中为源设置传输宽度。
      - 在 DTW 字段中为目标设置传输宽度。
      - 在源所在的 SMS 字段中设置源主层。
      - 在目标所在的 DMS 字段中设置目标主层。
      - 在 SINC 字段中为源设置递增/递减或固定地址。

■ 在 DINC 字段中为目标设置递增/递减或固定地址。

- e) 如果启用了聚集 (DMA\_CHnCTRL 寄存器中的 SRCGATEN 字段已启用), 则编程通道 n 的 DMA\_CHnSG 寄存器。
- f) 如果启用了散射 (DMA\_CHnCTRL 寄存器中的 DSTSCAEN 字段已启用), 则编程通道 n 的 DMA\_CHnDS 寄存器。
- g) 将通道配置信息写入通道 n 的 DMA\_CHnCFG 寄存器。

- 1) 指定源和目标外设的握手接口类型 (硬件或软件); 这对于内存不是必需的。

此步骤需要分别编程 HSSELSRC/HSSELDST 位。写入 0 激活硬件握手接口以处理源/目标请求。写入 1 激活软件握手接口以处理源和目标请求。

- 2) 如果为源或目标外设激活了硬件握手接口, 则需分别配置 SRCPER 和 DSTPER 位, 将握手接口分配至源/目标外设。

- 4. 确保在写入 DMA\_CHEN 之前启用 DMA\_CFG 寄存器的第 0 位。
- 5. 源和目标请求单次和突发 DMA 事务以传输数据块 (假设为非内存外设)。DMA 控制器在每次突发/单次事务完成时进行确认, 并执行数据块传输。
- 6. 当块传输完成时, DMA 控制器会重新加载 DMA\_CHnSA 寄存器, 而 DMA\_CHnDA 寄存器保持不变。硬件会设置块完成中断。如果 DMA 控制器采样到 LLPSRCEN、LLPDSTEN 为 0 (在 DMA\_CHnCTRL 寄存器中) 且 ASR、ADR 为 0 (在 DMA\_CHnCFG 寄存器中), 则 DMA 传输已完成。硬件会设置传输完成中断并禁用通道。您可以选择响应块完成或传输完成中断, 或者轮询传输完成原始中断状态寄存器 (DMA\_RAWTCINTSTS[n], n = 通道号), 直到硬件设置该寄存器, 以检测传输何时完成。请注意, 如果使用此轮询, 软件必须在启用通道之前, 通过写入中断清除寄存器 (DMA\_TCINTCLR[n], n = 通道号) 来确保传输完成中断已被清除。如果 DMA 控制器采样到 LLPSRCEN、LLPDSTEN 不为 0 (在 DMA\_CHnCTRL 寄存器中) 且 ASR、ADR 不为 0 (在 DMA\_CHnCFG 寄存器中), 则执行下一步操作。
- 7. DMA 传输过程如下:
  - a) 若中断被使能 (DMA\_CHnCTRL 寄存器中 INTEN = 1) 且块完成中断未屏蔽 (DMA\_BTCINTMSK[x] = 1'b1, 其中 x 为通道号), 则硬件将在块传输完成时设置块完成中断。随后硬件将保持等待状态, 直至软件清除该块完成中断。若下一个数据块为 DMA 传输的最后一个块, 则块完成中断服务例程 (ISR) 应清除重载位 (DMA\_CHnCFG 寄存器中的 ASR/ADR)。若下一个数据块非 DMA 传输的最后一个块, 则重载位应保持使能状态。
  - b) 若中断被禁止 (DMA\_CHnCTRL 寄存器中 INTEN = 0) 或块完成中断被屏蔽 (DMA\_BTCINTMSK[x] = 1'b0, 其中 x 为通道号), 则硬件不会等待, 而是在检测到块完成中断清除寄存器被写入时立即启动下一个块传输。此时软件必须清除重载位 (DMA\_CHnCFG 寄存器中的 ASR/ADR), 以指示下一次传输为 DMA 传输的最后一个数据块。

#### 15.4.18.6 基于 SA 链表和 DA 连续模式的多块传输

本节描述了源地址链表和目标地址连续的多块传输的编程步骤。

- 1. 读通道使能寄存器以选择一个空闲 (已禁用) 通道; 请参阅 DMA\_CHEN 寄存器。
- 2. 在内存中建立链表 (亦称块描述符)。为内存中每个链表项 (LLI) 的块描述符写入控制信息至 LLI\_CTRL 寄存器位置 (参见图 15-7, 通道 n)。例如, 可在寄存器中编程如下:

- a) 设置传输类型（源和目标的内存或非内存外设）以及通过编程 DMA\_CHnCTRL 寄存器的 TTFC 来设置流控制设备。
- b) 设置传输特性，例如：
  - 1) 在 STW 字段中为源设置传输宽度。
  - 2) 在 DTW 字段中为目标设置传输宽度。
  - 3) 在源所在的 SMS 字段中设置源主层。
  - 4) 在目标所在的 DMS 字段中设置目标主层。
  - 5) 在 SINC 字段中为源设置递增/递减或固定地址。
  - 6) 在 DINC 字段中为目标设置递增/递减或固定地址。

3. 在 DMA\_CHnDA 寄存器中为通道 n 写入起始源地址。

*注意：尽管在 LLI 获取期间会提取内存中设置的每个链表项 (LLI) 的 LLI.DA 寄存器位置中的值，但这些值不会被使用。*

4. 将通道配置信息写入通道 n 的 DMA\_CHnCFG 寄存器。

- a) 指定源和目标外设的握手接口类型（硬件或软件）；这对内存不是必需的。

此步骤需要分别编程 HSSELSRC/HSSELDST 位。写入 0 激活硬件握手接口以处理特定通道的源/目标请求。写入 1 激活软件握手接口以处理源/目标请求。

- b) 如果为源或目标外设激活了硬件握手接口，则需分别配置 SRCPER 和 DSTPER 位，将握手接口分配至源/目标外设。

5. 确保在内存中所有 LLI 条目的 LLI.CTRL 寄存器位置（最后一个除外），LLPSRCEN 字段设置为 1，LLPDSTEN 字段设置为 0。最后一个链表项的 LLI.CTRL 寄存器位置的 LLPSRCEN 和 LLPDSTEN 字段必须设置为 0。图 15-7 显示了一个包含两个链表项的链表示例。
6. 确保内存中所有 LLI 条目的 LLI.LLP 寄存器位置（除了最后一个）非零并指向下一个链表项的基地址。
7. 确保内存中所有 LLI 条目的 LLI.SA 寄存器位置指向在该 LLI 获取之前的起始源块地址。
8. 确保内存中所有 LLI 条目的 LLI.CTRL 寄存器位置的 DONE 字段被清除。
9. 如果启用了聚集（DMA\_CHnCTRL 寄存器中的 SRCGATEN 字段已启用），则编程通道 n 的 DMA\_CHnSG 寄存器。
10. 如果启用了散射（DMA\_CHnCTRL 寄存器中的 DSTSCAEN 字段已启用），则编程通道 n 的 DMA\_CHnDS 寄存器。
11. 通过写入中断清除寄存器，清除前一次 DMA 传输中通道上的任何未决中断。读取中断原始状态寄存器和中断状态寄存器确认所有中断已被清除。
12. 将 LLPSRCEN 设置为 1，LLPDSTEN 设置为 0（在 DMA\_CHnCTRL 寄存器中），并将 ASR 和 ADR 设置为 0（在 DMA\_CHnCFG 寄存器中）。
13. 将 DMA\_CHnLLP 寄存器编程为 LLP(0)，即指向第一个链表项的指针。
14. 确保在写入 DMA\_CHnEN 寄存器之前启用 DMA\_CFG 寄存器的第 0 位。
15. DMA 控制器从 DMA\_CHnLLP 指向的位置获取第一个 LLI。



注意: *LLI.SA*、*LLI.DA*、*LLI.LLP* 和 *LLI.CTRL* 寄存器已被获取。*LLI.DA* 寄存器的位置 (尽管已获取) 未被使用。*DMA* 中的 *DMA\_CHnDA* 寄存器保持不变。

16. 源和目标请求单次和突发 *DMA* 事务以传输数据块 (假设为非内存外设)。*DMA* 控制器在每次事务 (突发和单次) 完成时进行确认, 并执行数据块传输。

17. *DMA\_CHnCTRL*[63:32] 寄存器被写入到系统内存中。

*DMA\_CHnCTRL*[63:32] 寄存器被写入到同一层的相同位置 (*DMA\_CHnLLP* 寄存器中的 *LMS* 字段), 即在块传输开始之前获取的链表项的 *DMA\_CHnCTRL* 寄存器位置。由于只有 *BTS* 和 *DONE* 字段被 *DMA* 硬件更新, 因此仅写出 *DMA\_CHnCTRL* 寄存器的第二个字 (位[63:32])。此外, *DONE* 位被置为有效以指示块传输完成。

因此, 软件可以轮询 *LLI* 中 *CTRL* 寄存器的 *DONE* 位, 以确定块传输何时完成。

注意: 不要轮询 *DMA* 内存映射中的 *DONE* 位 (即 *DMA\_CHnCTRL* 寄存器); 而是轮询该块的 *LLI* 中的 *DONE* 位。如果轮询到 *LLI* 中的 *DONE* 位被置位, 则表示该块传输已完成。*LLI* 中的 *DONE* 位在传输开始时 (步骤 8) 被清除。

18. 控制寄存器的写回操作完成后, 将生成块结束中断信号 *int\_block*。

19. *DMA* 控制器不会等待块中断被清除, 而是继续从当前 *DMA\_CHnLLP* 寄存器指向的内存位置获取下一个 *LLI*, 并自动重新编程 *DMA\_CHnSA*、*DMA\_CHnLLP* 和 *DMA\_CHnCTRL* 寄存器。*DMA\_CHnDA* 寄存器保持不变。*DMA* 传输将继续, 直到 *DMA* 控制器确定在块传输结束时 *DMA\_CHnCTRL* 寄存器的 *LLPSRCEN* 和 *LLPDSTEN* 字段为 0, 并且 *DMA\_CHnLLP* 寄存器的 *LOC* 字段为 0 (如前所述)。然后 *DMA* 控制器知道先前传输的块是 *DMA* 传输中的最后一个块。

### 15.4.18.7 在传输完成之前禁用通道

在正常操作下, 软件通过向 *CHn* 位 (在 *DMA\_CHnEN* 寄存器中) 写入 1 来启用通道, 而硬件在传输完成时通过清除 *CHn* 位来禁用通道。

推荐的软件禁用通道而不丢失数据的方法是结合使用通道配置寄存器 (*DMA\_CHnCFG*) 中的 *CHSUSP* 位和 *FIFOEMPTY* 位。

1. 如果软件希望在 *DMA* 传输完成之前禁用一个通道, 那么它可以设置 *CHSUSP* 位来通知 *DMA* 控制器停止从源外设的所有传输。因此, 通道 *FIFO* 不会接收新的数据。
2. 软件现在可以轮询 *FIFOEMPTY* 位, 直到其指示通道 *FIFO* 为空。
3. *CHn* 位可以在通道 *FIFO* 清空后由软件清除。

当 *STW* < *DTW* (在 *DMA\_CHnCTRL* 寄存器中) 且 *CHSUSP* 位为高时, 一旦 *FIFO* 的内容不足以形成一个 *DTW* 的单字, *FIFOEMPTY* 就会被置位。然而, 通道 *FIFO* 中可能仍然有数据, 但不足以形成一次 *DTW* 的传输。在这种情况下, 一旦通道被禁用, 通道 *FIFO* 中剩余的数据将不会传输到目标外设。

可以通过向 *CHSUSP* 寄存器写入 0 来允许将通道从暂停状态移除。*DMA* 传输以正常方式完成。

注意: 如果通道被软件禁用, 活跃的单次或突发事务不保证会收到应答。

## 15.5 寄存器

*N32H7xx* 支持 3 个 *DMA* 控制器:

- DMA1 模块寄存器基地址: 0x4004 6800
- DMA2 模块寄存器基地址: 0x4004 6C00
- DMA3 模块寄存器基地址: 0x4004 7000

## 15.5.1 DMA 通道 n 寄存器

### 15.5.1.1 DMA 通道 n 源地址寄存器 (DMA\_CHnSA)

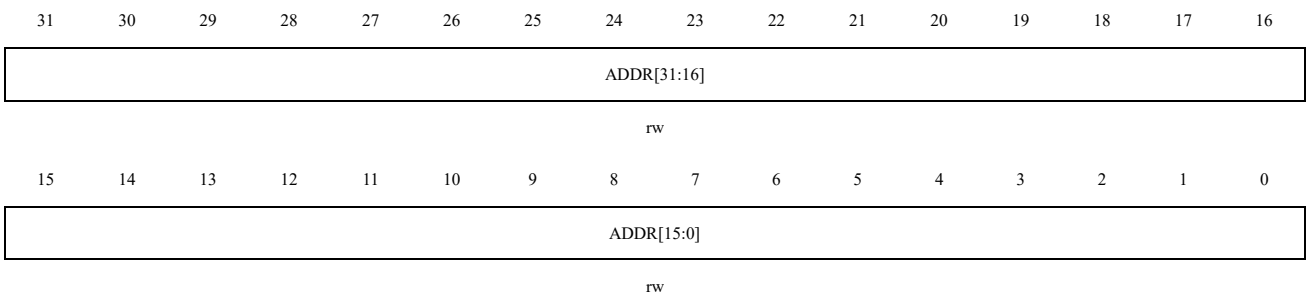
偏移地址:  $0x0000 + 0x58 \times n$  ( $n = 0 \sim 7$ )

复位值: 0x0000 0000

起始源地址在启用 DMA 通道之前由软件编程, 或者在 DMA 传输开始之前通过 LLI 更新。当 DMA 传输正在进行时, 该寄存器会更新以反映当前 AHB 传输的源地址。

*注意: 您必须将 DMA\_CHnSA 地址编程为与 DMA\_CHnCTRL.STW 对齐。*

有关在多块传输中每个 DMA 块开始时如何更新 DMA\_CHnSA 的信息, 请参阅 15.4.18。



位域	名称	描述
31:0	ADDR	DMA 传输的当前源地址: 在每次源传输后更新。DMA_CHnCTRL 寄存器中的 SINC 字段决定在整个块传输过程中, 每次源传输时地址是递增、递减还是保持不变。

### 15.5.1.2 DMA 通道 n 目标地址寄存器 (DMA\_CHnDA)

偏移地址:  $0x0008 + 0x58 \times n$  ( $n = 0 \sim 7$ )

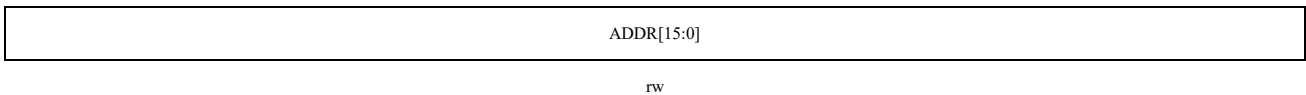
复位值: 0x0000 0000

起始目标地址在 DMA 通道启用之前由软件编程, 或者在 DMA 传输开始之前通过 LLI 更新。在 DMA 传输进行时, 该寄存器会更新以反映当前 AHB 传输的目标地址。

*注意: 您必须将 DMA\_CHnDA 地址编程为与 DMA\_CHnCTRL.DTW 对齐。*

有关在多块传输中每个 DMA 块开始时如何更新 DMA\_CHnDA 的信息, 请参阅 15.4.18。





位域	名称	描述
31:0	ADDR	当前 DMA 传输的目标地址： 在每次目标传输后更新。DMA_CHnCTRL 寄存器中的 DINC 字段决定在整个块传输过程中，每次目标传输时地址是递增、递减还是保持不变。

### 15.5.1.3 DMA 通道 n 链表指针寄存器 (DMA\_CHnLLP)

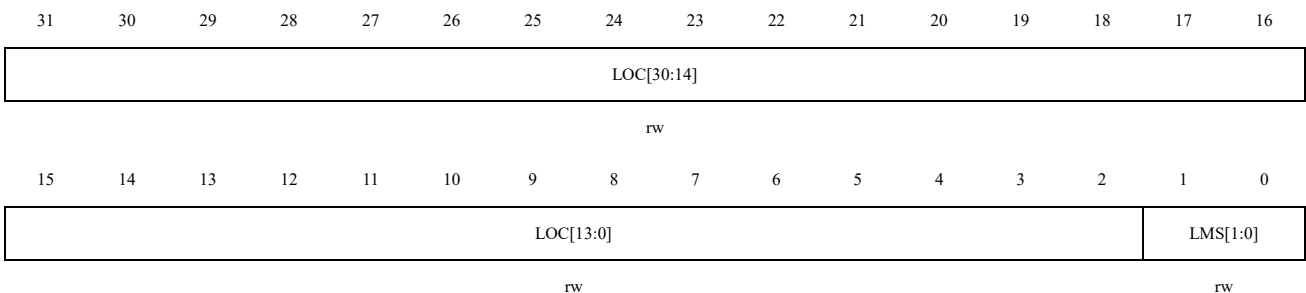
偏移地址：0x0010 + 0x58 × n (n = 0~7)

复位值：0x0000 0000

LLP 寄存器有两个功能：

- LOC != 0 的逻辑结果用于设置 DMA 传输的类型（单块或多块）。如果 LOC 被设置为 0x0，则不启用使用链表的传输。在启用通道之前，必须对该寄存器进行编程以设置传输类型。
- LOC != 0 包含用于使用链表进行块链接的下一个 LLI 的指针；请参阅 15.4.9.1。LLPx 寄存器也可指向块完成后控制信息及源/目标状态信息写回的地址。

*注意：如果启用了块链模式，在启用通道之前，您需要将此寄存器编程为指向内存中的第一个链表项(LLI)。*



位域	名称	描述
31:2	LOC	在启用块链模式的情况下，下一 LLI 的内存起始地址。请注意，起始地址的最低两位（LSB）未存储，因为假定地址已对齐到 32 位边界。LLI 访问始终是对齐到 32 位边界的 32 位访问（Hsize=2），且无法更改或编程为非 32 位的其他值。
1:0	LMS	表 Master 选择。 标识存储下一个链表项的内存设备所在的 AHB 层/接口。 0x0：内存设备将下一个链表项存储在 AHB master 1 上 0x1：内存设备将下一个链表项存储在 AHB master 2 上

### 15.5.1.4 DMA 通道 n 控制寄存器 (DMA\_CHnCTRL)

偏移地址：0x0018 + 0x58 × n (n = 0~7)

复位值：0x0000 0002 0030 4801

这些寄存器包含控制 DMA 传输的字段。当启用块链时，DMA\_CHnCTRL 寄存器是块描述符（链表项--LLI）

的一部分。在启用块链时，它可以在 DMA 传输中的每个块之间进行变化。有关此寄存器在块之间行为的信息，请参阅 15.4.9。

如果启用了状态回写，则控制寄存器的高字（位[63:32]）将在块传输结束时写入系统内存中 LLI 的控制寄存器位置。

*注意：在启用通道之前，您需要先编程这些寄存器。*

63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
Reserved															
47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
Reserved			DONE	BTS[11:0]											
			rw	rw											
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			LLPSRCE N	LLPDSTE N	SMS[1:0]	DMS[1:0]	TTFC[2:0]					Reserved	DSTSCAE N	SRCGATE N	SRCMSIZ E[2]
			rw	rw	rw	rw	rw						rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRCMSIZE[1:0]			DSTMSIZE[2:0]		SINC[1:0]		DINC[1:0]		STW[2:0]			DTW[2:0]		INTEN	
			rw	rw		rw		rw		rw			rw		rw

位域	名称	描述
63:45	Reserved	保留，必须保持复位值。
44	DONE	完成位。 如果启用了状态回写，控制寄存器的高字节（位[63:32]）将在块传输结束时写入系统内存中链表项（LLI）的控制寄存器位置，并设置完成位。软件可以轮询 LLI 的 DONE 位以查看块传输何时完成。在启用通道之前，设置内存中的链表时应清除 LLI 的 DONE 位。 LLI 访问始终是 32 位访问（Hsize=2），对齐到 32 位边界，且不能更改或编程为除 32 位以外的任何其他值。有关更多信息，请参阅 15.4.9。 0x0：在块传输结束时 DONE 位被取消断言 0x1：在块传输结束时设置 DONE 位
43:32	BTS	块传输大小。 当 DMA 控制器是流量控制器时，用户在通道启用之前写入此字段以指示块大小。编程到 BTS 中的数字表示每次块传输要执行的单次事务总数；单次事务映射到单个 AMBA 节拍。 单事务的宽度由 STW 字段决定。 一旦传输开始，回读值就是已经从源外设读取的数据项总数，无论流量控制器是什么。 当源或目标外设被指定为流控制器时，可读取的最大块大小饱和于 4095，但实际块大小可以更大。

位域	名称	描述
31:29	Reserved	保留，必须保持复位值。
28	LLPSRCEN	源链表指针使能。 仅当此字段为高且 DMA_CHnLLP 寄存器中的 LOC 非零时，源端才启用块链。 有关更多信息，请参见 15.4.9.1。 0x0：在源端禁用了使用链表的块链式链接 0x1：在源端启用了使用链表的块链式链接
27	LLPDSTEN	目标链表指针使能。 仅当此字段为高且 DMA_CHnLLP 寄存器中的 LOC 非零时，目标端才启用块链式。有关更多信息，请参见 15.4.9.1。 0x0：在目标端禁用了使用链表的块链式链接 0x1：在目标端启用了使用链表的块链式链接
26:25	SMS	源 Master 选择。 标识源设备（外设或内存）所在的主接口层。 0x0：从 AHB master 1 访问源设备（外设或内存） 0x1：从 AHB master 2 访问源设备（外设或内存）
24:23	DMS	目标 Master 选择。 标识目标设备（外设或内存）所在的主接口层。 0x0：从 AHB master 1 访问目标设备（外设或内存） 0x1：从 AHB master 2 访问目标设备（外设或内存）
22:20	TTFC	传输类型和流量控制。 流量控制可以分配给 DMA 控制器、源外设或目标外设。 对于使用链表操作的多块传输，TTFC 必须在该多块传输的所有块中保持不变。 0x0：传输类型为内存到内存，流量控制器为 DMA 控制器 0x1：传输类型为内存到外设，流量控制器为 DMA 控制器 0x2：传输类型为外设到内存，流量控制器为 DMA 控制器 0x3：传输类型为外设到外设，流量控制器为 DMA 控制器 0x4：传输类型为外设到内存，流量控制器为外设 0x5：传输类型为外设到外设，流量控制器为源外设 0x6：传输类型为内存到外设，流量控制器为外设 0x7：传输类型为外设到外设，流量控制器为目标外设
19	Reserved	保留，必须保持复位值。
18	DSTSCAEN	目标散射使能。 仅当 DINC 位指示递增或递减地址控制时，目标端的散射才适用。 0x0：目标散射已禁用 0x1：目标散射已启用
17	SRCGATEN	源聚集使能。 仅当 SINC 位指示递增或递减地址控制时，源端的聚集才适用。 0x0：源聚集已禁用 0x1：源聚集已启用
16:14	SRCMSIZE	源突发事务长度。 每次从相应的硬件或软件握手接口发出源突发事务请求时，从源读取的每个宽度为 STW 的数据项的数量。

位域	名称	描述
		0x0: 要传输的数据项数量为 1 0x1: 要传输的数据项数量为 4 0x2: 要传输的数据项数量为 8 0x3: 要传输的数据项数量为 16 0x4: 要传输的数据项数量为 32 0x5: 要传输的数据项数量为 64 0x6: 要传输的数据项数量为 128 0x7: 要传输的数据项数量为 256 <i>注意: 此值与 AHB 总线主控 HBURST 总线无关。</i>
13:11	DSTMSIZE	目标突发事务长度。 每次从相应的硬件或软件握手接口发出目标突发事务请求时, 从目标读取的每个宽度为 DTW 的数据项的数量。 0x0: 要传输的数据项数量为 1 0x1: 要传输的数据项数量为 4 0x2: 要传输的数据项数量为 8 0x3: 要传输的数据项数量为 16 0x4: 要传输的数据项数量为 32 0x5: 要传输的数据项数量为 64 0x6: 要传输的数据项数量为 128 0x7: 要传输的数据项数量为 256 <i>注意: 此值与 AHB 总线主控 HBURST 总线无关。</i>
10:9	SINC	源地址递增。 指示是否在每次源传输时递增或递减源地址。如果设备正在从具有固定地址的源外设 FIFO 获取数据, 则将此字段设置为“保持不变”。 0x0: 递增源地址 0x1: 递减源地址 0x2: 源地址保持不变 0x3: 源地址保持不变
8:7	DINC	目标地址递增。 指示是否在每次目标传输时递增或递减目标地址。如果设备正在向具有固定地址的目标外设 FIFO 写入数据, 则将此字段设置为“保持不变”。 0x0: 递增目标地址 0x1: 递减目标地址 0x2: 目标地址保持不变 0x3: 目标地址保持不变
6:4	STW	源传输宽度。 映射到 AHB 总线 hsize。对于非内存外设, 通常是外设 (源) FIFO 宽度。 0x0: 源传输宽度为 8 位 0x1: 源传输宽度为 16 位 0x2: 源传输宽度为 32 位 其他: 保留
3:1	DTW	目标传输宽度。 映射到 AHB 总线 hsize。对于非内存外设, 通常是外设 (目标) FIFO 宽度。

位域	名称	描述
		0x0: 目标传输宽度为 8 位 0x1: 目标传输宽度为 16 位 0x2: 目标传输宽度为 32 位 其他: 保留
0	INTEN	中断使能位。 如果置位, 则所有中断生成源都被启用。该位作为通道所有中断的全局屏蔽位; 即使 INTEN = 0, Raw*中断寄存器仍会断言。 0x0: 中断已禁用 0x1: 中断已启用

### 15.5.1.5 DMA 通道 n 配置寄存器 (DMA\_CHnCFG)

偏移地址:  $0x0040 + 0x58 \times n$  ( $n = 0 \sim 7$ )

复位值: 0x0000 0004 0000 0E00

该寄存器包含配置 DMA 传输的字段。通道配置寄存器在多块传输的所有块中保持固定。

*注意: 在启用通道之前, 您需要先对该寄存器进行编程。*

63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48	
Reserved																
47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32	
Reserved		DSTPER[2:0]			Reserved		SRCPER[2:0]			Reserved			PROTCTL[2:0]		FIFOMS	FCM
		rw					rw						rw		rw	rw
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
ADR	SDR	MAMBABL[9:0]										SRCHSPOL	DSTHSPOL	LOCKB	LOCKCH	
rw	rw	rw										rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
LOCKBL[1:0]		LOCKCHL[1:0]		HSELSRC	HSELDST	FIFOEMPTY	CHSUSP	CHPRIOR[2:0]			Reserved					
rw		rw		rw	rw	r	rw	rw								

位域	名称	描述
63:46	Reserved	保留, 必须保持复位值。
45:43	DSTPER	目标外设硬件接口: 当 HSELDST 字段为 0 时, 为通道 x 的目标分配硬件握手接口; 否则忽略此字段。通道可通过分配的硬件握手接口与连接至该接口的目标外设通信。 0x0: 分配硬件握手接口 0 0x1: 分配硬件握手接口 1 0x2: 分配硬件握手接口 2 0x3: 分配硬件握手接口 3

位域	名称	描述
		0x4: 分配硬件握手接口 4 0x5: 分配硬件握手接口 5 0x6: 分配硬件握手接口 6 0x7: 分配硬件握手接口 7 注意: 为了正确的 DMA 操作, 只有一个外设 (源或目标) 应分配到同一个握手接口。
42	Reserved	保留, 必须保持复位值。
41:39	SRCPER	源外设硬件接口: 当 HSSELSRC 字段为 0 时, 为通道 x 的源分配硬件握手接口; 否则忽略此字段。通道可通过分配的硬件握手接口与连接至该接口的源外设通信。 0x0: 分配硬件握手接口 0 0x1: 分配硬件握手接口 1 0x2: 分配硬件握手接口 2 0x3: 分配硬件握手接口 3 0x4: 分配硬件握手接口 4 0x5: 分配硬件握手接口 5 0x6: 分配硬件握手接口 6 0x7: 分配硬件握手接口 7 注意: 为了正确的 DMA 操作, 只有一个外设 (源或目标) 应分配到同一个握手接口。
38:37	Reserved	保留, 必须保持复位值。
36:34	PROTCTL	保护控制。 用于驱动 AHB HPROT [3:1]总线。AMBA 规范建议 HPROT 的默认值表示非缓存、非缓冲的特权数据访问。复位值用于指示此类访问。HPROT [0]被固定为高电平, 因为所有传输都是数据访问, 没有操作码获取。这些寄存器位与 HPROT [3:1]主接口信号之间存在一对一的映射。 HPROT 总线的映射如下: <ul style="list-style-type: none"> <li>■ 1'b1 映射至 HPROT[0]</li> <li>■ PROTCTL[0]映射至 HPROT[1]</li> <li>■ PROTCTL[1]映射至 HPROT[2]</li> <li>■ PROTCTL[2]映射至 HPROT[3]</li> </ul>
33	FIFOMS	FIFO 模式选择。 确定在处理突发事务请求之前, FIFO 中需要有多少空间或数据可用。 0x0: 空间/数据可用于指定传输宽度的单次 AHB 传输。 0x1: 可用数据大于或等于目标传输的 FIFO 深度的一半, 并且可用空间大于源传输的 FIFO 深度的一半。例外情况是在突发事务请求结束时或块传输结束时。
32	FCM	流量控制模式。 确定当目标外设是流量控制器时源事务请求的服务时机。 0x0: 源事务请求在发生时被处理。数据预取已启用。 0x1: 源事务请求在目标事务请求发生之前不会被处理。在此模式下, 从源传输的数据量受到限制, 以确保在目标终止块之前数据能够传输到目标。数据预取被禁用。
31	ADR	自动目标重新加载。



位域	名称	描述
		DMA_CHnDA 寄存器可以在每个块结束时自动从其初始值重新加载以进行多块传输。然后启动新的块传输。 0x0: 目标重载已禁用 0x1: 目标重载已启用
30	ASR	自动源重新加载。 DMA_CHnSA 寄存器可以在每个块结束时自动从其初始值重新加载以进行多块传输。然后启动新的块传输。 0x0: 源重载已禁用 0x1: 源重载已启用
29:20	MAMBABL	最大 AMBA 突发长度。 用于此通道的 DMA 传输的最大 AMBA 突发长度。值为 0 表示软件未限制此通道的 DMA 传输的最大 AMBA 突发长度。
19	SRCHSPOL	源握手接口极性。 0x0: 高电平有效 0x1: 低电平有效 <i>注意: 当所有外设使用硬件握手接口时, 该接口的极性必须配置为高电平有效。</i>
18	DSTHSPOL	目标握手接口极性。 0x0: 高电平有效 0x1: 低电平有效 <i>注意: 当所有外设使用硬件握手接口时, 该接口的极性必须配置为高电平有效。</i>
17	LOCKB	总线锁定位。 当激活时, AHB 总线主信号 hlock 将在 LOCKBL 中指定的持续时间内被断言。 有关更多信息, 请参阅 15.4.12。 0x0: 总线锁定位未启用 0x1: 总线锁定位已启用
16	LOCKCH	通道锁定位。 当通道被授予主总线接口的控制权并且该位被置位时, 在 LOCKCHL 中指定的持续时间内, 不会将主总线接口的控制权授予其他通道。向主总线接口仲裁器指示该通道希望在 LOCKCHL 中指定的持续时间内独占主总线接口的访问权。 0x0: 通道锁定位未启用 0x1: 通道锁定位已启用
15:14	LOCKBL	总线锁定级别。 表示 LOCKB 位适用的持续时间。 0x0: 超过 DMA 传输完成 0x1: 超过 DMA 块传输完成 0x2: 超过 DMA 事务完成 0x3: 超过 DMA 事务完成
13:12	LOCKCHL	通道锁定级别。 表示 LOCKCH 位适用的持续时间。 0x0: 超过 DMA 传输完成 0x1: 超过 DMA 块传输完成 0x2: 超过 DMA 事务完成 0x3: 超过 DMA 事务完成

位域	名称	描述
11	HSSELSRC	源软件或硬件握手选择。 此寄存器选择在该通道上源请求的握手接口是硬件还是软件。如果源外设是内存，则忽略此位。 0x0: 硬件握手接口。软件发起的事务请求被忽略。 0x1: 软件握手接口。硬件发起的事务请求被忽略。
10	HSSELDST	目标软件或硬件握手选择。 此寄存器选择在该通道上目标请求的握手接口是硬件还是软件。如果目标外设是内存，则忽略此位。 0x0: 硬件握手接口。软件发起的事务请求被忽略。 0x1: 软件握手接口。硬件发起的事务请求被忽略。
9	FIFOEMPTY	通道 FIFO 状态。 指示通道 FIFO 中是否有剩余数据。可以与 CHSUSP 结合使用以干净地禁用通道。有关更多信息，请参阅 15.4.18.7。 0x0: 通道 FIFO 未空 0x1: 通道 FIFO 为空
8	CHSUSP	通道暂停。 暂停所有从源的 DMA 数据传输，直到此位被清除。无法保证当前事务会完成。也可以与 FIFOEMPTY 结合使用，以干净地禁用通道而不丢失任何数据。有关更多信息，请参阅 15.4.18.7。 0x0: 从源进行的 DMA 传输未暂停 0x1: 暂停从源的 DMA 传输
7:5	CHPRIOR	通道优先级。 优先级 7 是最高优先级，0 是最低优先级。 0x0: 通道优先级为 0 0x1: 通道优先级为 1 0x2: 通道优先级为 2 0x3: 通道优先级为 3 0x4: 通道优先级为 4 0x5: 通道优先级为 5 0x6: 通道优先级为 6 0x7: 通道优先级为 7 <i>注意：对于具有不同通道的配置寄存器，此位域的复位值与逻辑通道号相同。</i>
4:0	Reserved	保留，必须保持复位值。

### 15.5.1.6 DMA 通道 n 源聚集寄存器 (DMA\_CHnSG)

偏移地址:  $0x0048 + 0x58 \times n$  ( $n = 0 \sim 7$ )

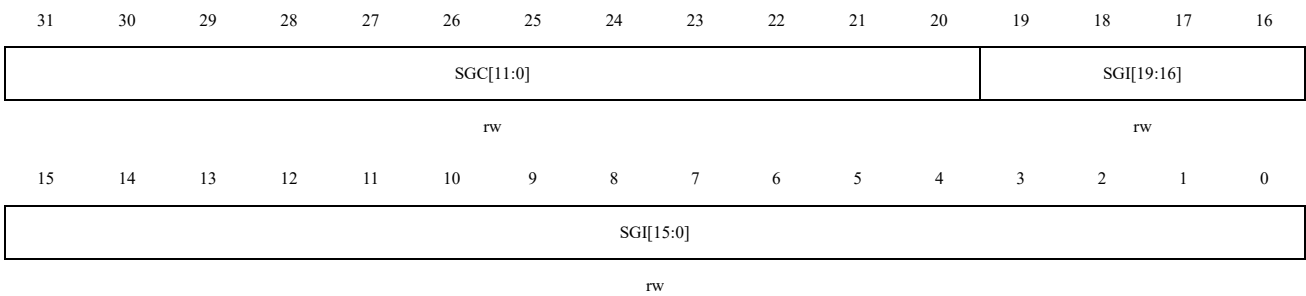
复位值: 0x0000 0000

源聚集寄存器包含两个字段:

- 源聚集计数字段 (SGC): 指定在连续的聚集间隔之间, STW 的连续源传输数量。这被定义为聚集边界。
- 源聚集间隔字段 (SGI): 指定在源传输启用聚集模式时, 在聚集边界上以 STW 的倍数增加/减少源地址。

注意：DMA 对非法寄存器访问返回一个错误响应，这包括访问在 DMA 配置期间已被移除的寄存器。

SINC 字段控制地址是递增还是递减。当 SINC 字段指示固定地址控制时，地址在整个传输过程中保持不变，并且忽略 DMA\_CHnSG 寄存器。有关更多信息，请参见 15.4.14。



位域	名称	描述
31:20	SGC	源聚集计数。 在连续的聚集边界之间的源连续传输计数。
19:0	SGI	源聚集间隔。

### 15.5.1.7 DMA 通道 n 目标散射寄存器 (DMA\_CHnDS)

偏移地址：0x0050 + 0x58 × n (n = 0~7)

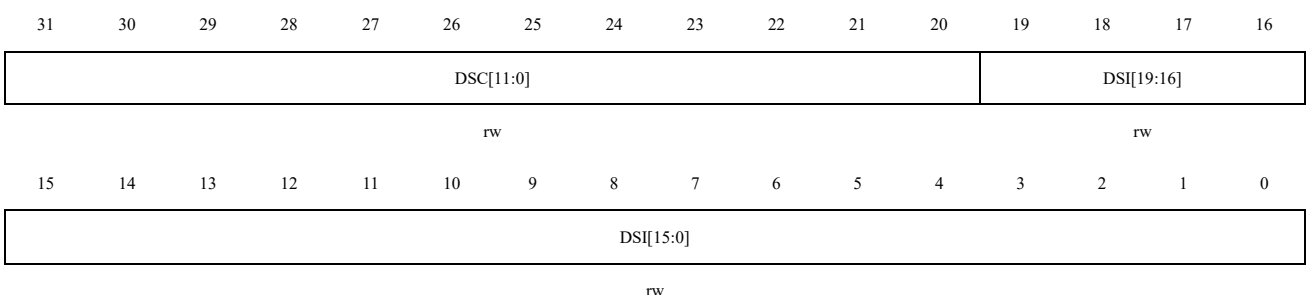
复位值：0x0000 0000

目标散射寄存器包含两个字段：

- 目标散射计数字段 (DSC)：指定连续散射间隔之间的 DTW 连续目标传输的数量。
- 目标散射间隔字段 (DSI)：指定在目标传输启用散射模式时，在散射边界上以 DTW 的倍数增加/减少目标地址。

注意：DMA 对非法寄存器访问返回一个错误响应，这包括访问在 DMA 配置期间已被移除的寄存器。

DINC 字段控制地址是递增还是递减。当 DINC 字段指示固定地址控制时，地址在整个传输过程中保持不变，并且忽略 DMA\_CHnDS 寄存器。有关更多信息，请参见 15.4.14。



位域	名称	描述
31:20	DSC	目标散射计数。 在连续的散射边界之间的目标连续传输计数。
19:0	DSI	目标散射间隔。

## 15.5.2 DMA 中断寄存器

### 15.5.2.1 DMA IntTfr 中断原始状态寄存器 (DMA\_RAWTCINTSTS)

偏移地址：0x02C0

复位值：0x0000 0000

此寄存器指示 DMA 传输完成中断的原始状态。

中断事件在屏蔽之前存储在此原始中断状态寄存器中。此寄存器为每个通道分配一个位；例如，第 2 位是通道 2 的原始传输完成中断。

此寄存器中的每个位通过在 DMA IntTfr 中断清除寄存器的相应位置写入 1 来清除。

*注意：此寄存器的写入权限仅用于软件测试目的。在正常操作下，不建议对该寄存器进行写入。*

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
								rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
n	CHn	通道 n 的 IntTfr 中断原始状态。 0x0：非活动原始中断状态 0x1：活动原始中断状态

### 15.5.2.2 DMA IntBlock 中断原始状态寄存器 (DMA\_RAWBTCINTSTS)

偏移地址：0x02C8

复位值：0x0000 0000

此寄存器指示 DMA 块传输完成中断的原始状态。

中断事件在屏蔽之前存储在此原始中断状态寄存器中。此寄存器为每个通道分配一个位；例如，第 2 位是通道 2 原始块传输完成中断。

此寄存器中的每个位通过在 DMA IntBlock 中断清除寄存器的相应位置写入 1 来清除。

*注意：此寄存器的写入权限仅用于软件测试目的。在正常操作下，不建议对该寄存器进行写入。*

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
								rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
n	CHn	通道 n 的 IntBlock 中断原始状态。 0x0: 非活动原始中断状态 0x1: 活动原始中断状态

### 15.5.2.3 DMA IntSrcTran 中断原始状态寄存器 (DMA\_RAWSTCINTSTS)

偏移地址: 0x02D0

复位值: 0x0000 0000

此寄存器指示 DMA 源事务完成中断的原始状态。

中断事件在屏蔽之前存储在此原始中断状态寄存器中。此寄存器为每个通道分配一个位；例如，第 2 位是通道 2 的原始源事务完成中断。

此寄存器中的每个位通过在 DMA IntSrcTran 中断清除寄存器的相应位置写入 1 来清除。

*注意：此寄存器的写入权限仅用于软件测试目的。在正常操作下，不建议对该寄存器进行写入。*

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
								rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
n	CHn	通道 n 的 IntSrcTran 中断原始状态。 0x0: 非活动原始中断状态 0x1: 活动原始中断状态

### 15.5.2.4 DMA IntDstTran 中断原始状态寄存器 (DMA\_RAWDTCINTSTS)

偏移地址: 0x02D8

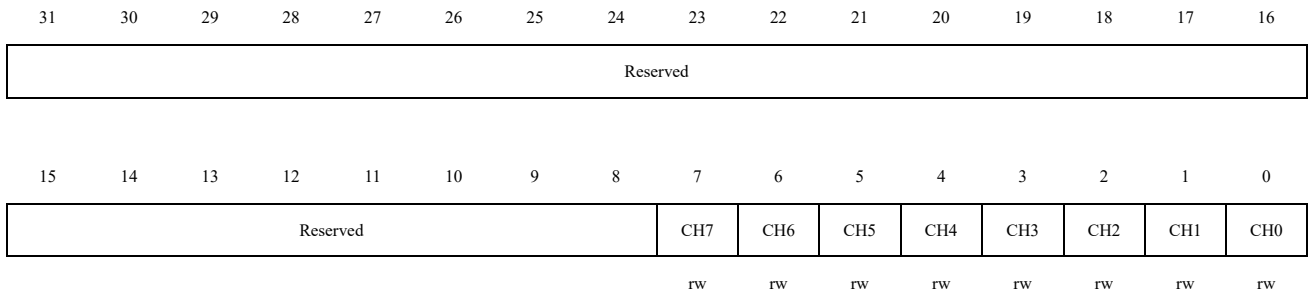
复位值: 0x0000 0000

此寄存器指示 DMA 目标事务完成中断的原始状态。

中断事件在屏蔽之前存储在此原始中断状态寄存器中。该寄存器为每个通道分配一个位；例如，第 2 位是通道 2 的原始目标事务完成中断。

此寄存器中的每个位通过在 DMA IntDstTran 中断清除寄存器的相应位置写入 1 来清除。

*注意：此寄存器的写入权限仅用于软件测试目的。在正常操作下，不建议对该寄存器进行写入。*



位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
n	CHn	通道 n 的 IntDstTran 中断原始状态。 0x0：非活动原始中断状态 0x1：活动原始中断状态

### 15.5.2.5 DMA IntErr 中断原始状态寄存器 (DMA\_RAWERRINTSTS)

偏移地址：0x02E0

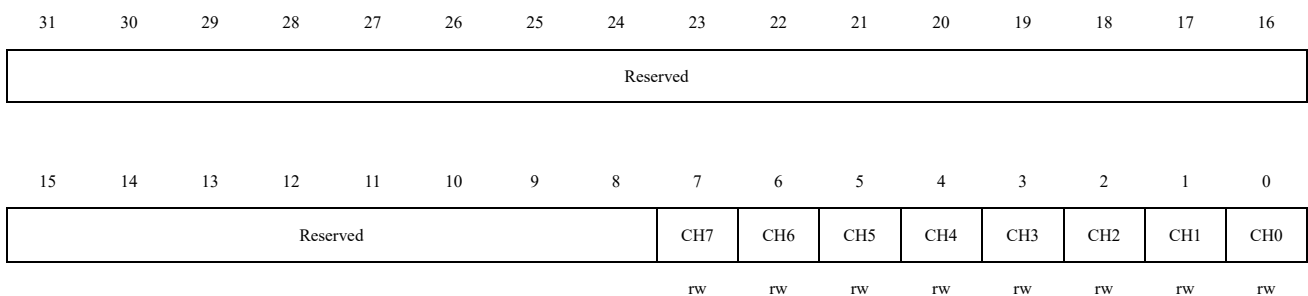
复位值：0x0000 0000

此寄存器指示 DMA 错误中断的原始状态。

中断事件在屏蔽之前存储在此原始中断状态寄存器中。此寄存器为每个通道分配一个位；例如，位 2 是通道 2 的原始错误中断。

此寄存器中的每个位通过向 DMA IntErr 中断清除寄存器的相应位置写入 1 来清除。

*注意：此寄存器的写入权限仅用于软件测试目的。在正常操作下，不建议对该寄存器进行写入。*



位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
n	CHn	通道 n 的 IntErr 中断原始状态。 0x0：非活动原始中断状态

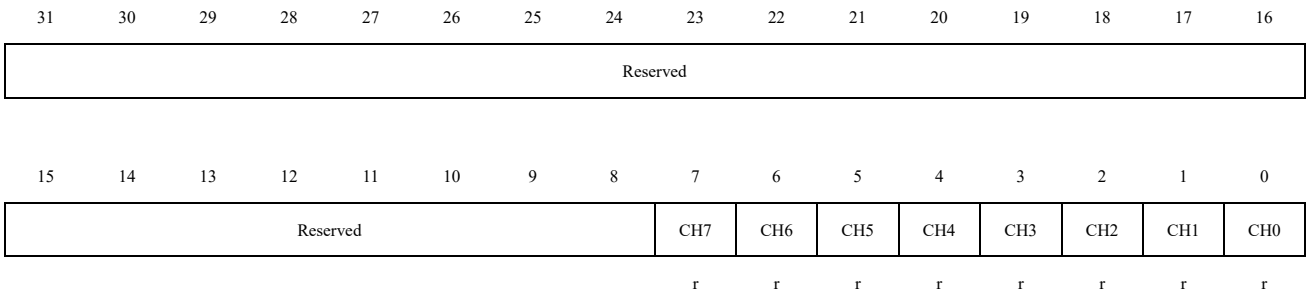
位域	名称	描述
		0x1: 活动原始中断状态

### 15.5.2.6 DMA IntTfr 中断状态寄存器 (DMA\_TCINTSTS)

偏移地址: 0x02E8

复位值: 0x0000 0000

所有通道的 DMA 传输完成中断事件在屏蔽后存储在此中断状态寄存器中。此寄存器为每个通道分配一个位; 例如, 第 2 位是通道 2 传输完成中断。



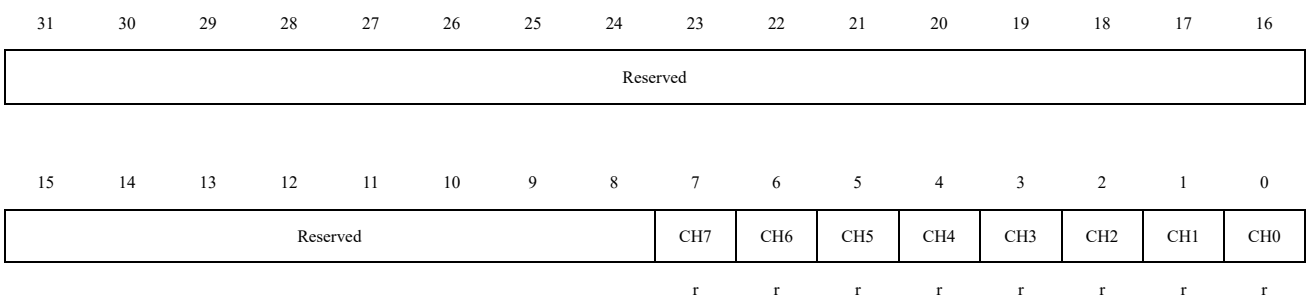
位域	名称	描述
31:8	Reserved	保留, 必须保持复位值。
n	CHn	通道 n 的 IntTfr 中断状态。 0x0: 非活动中断状态 0x1: 活动中断状态

### 15.5.2.7 DMA IntBlock 中断状态寄存器 (DMA\_BTCINTSTS)

偏移地址: 0x02F0

复位值: 0x0000 0000

所有通道的通道块完成中断事件在屏蔽后存储于此中断状态寄存器中。此寄存器为每个通道分配一个位; 例如, 位 2 是通道 2 块传输完成中断。



位域	名称	描述
31:8	Reserved	保留, 必须保持复位值。
n	CHn	通道 n 的 IntBlock 中断状态。 0x0: 非活动中断状态

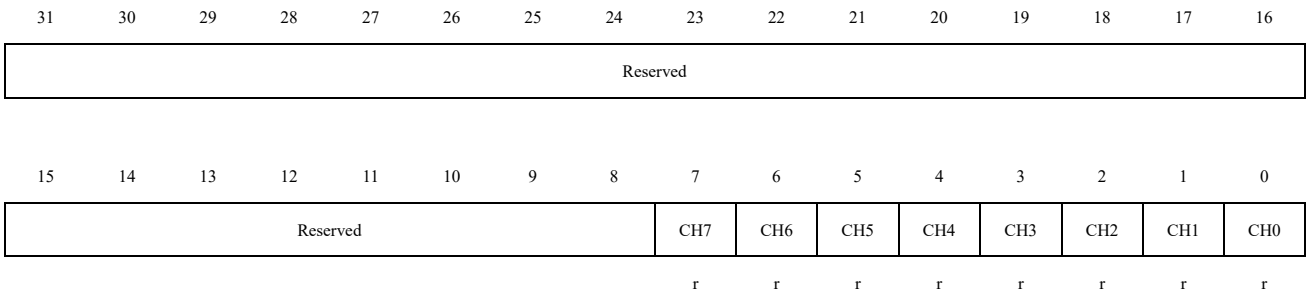
位域	名称	描述
		0x1: 活动中断状态

### 15.5.2.8 DMA IntSrcTran 中断状态寄存器 (DMA\_STCINTSTS)

偏移地址: 0x02F8

复位值: 0x0000 0000

所有通道的源事务完成中断事件在屏蔽后存储在此中断状态寄存器中。该寄存器为每个通道分配一个位；例如，第 2 位是通道 2 源事务完成中断状态。



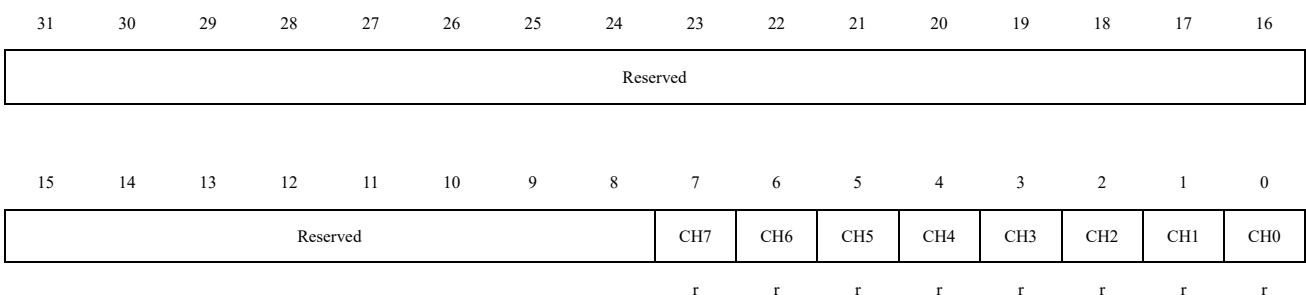
位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
n	CHn	通道 n 的 IntSrcTran 中断状态。 0x0: 非活动中断状态 0x1: 活动中断状态

### 15.5.2.9 DMA IntDstTran 中断状态寄存器 (DMA\_DTCINTSTS)

偏移地址: 0x0300

复位值: 0x0000 0000

所有通道的目标事务完成中断事件在屏蔽后存储在此中断状态寄存器中。该寄存器为每个通道分配了一个位；例如，第 2 位是通道 2 目标事务完成中断状态。



位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
n	CHn	通道 n 的 IntDstTran 中断状态。 0x0: 非活动中断状态



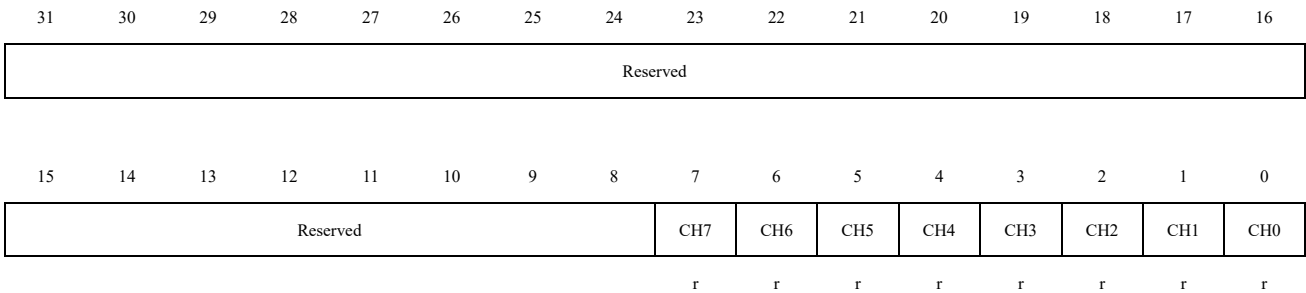
位域	名称	描述
		0x1: 活动中断状态

### 15.5.2.10 DMA IntErr 中断状态寄存器 (DMA\_ERRINTSTS)

偏移地址: 0x0308

复位值: 0x0000 0000

所有通道的错误中断事件在屏蔽后存储在此中断状态寄存器中。此寄存器为每个通道分配一个位; 例如, 第 2 位是通道 2 错误中断状态。



位域	名称	描述
31:8	Reserved	保留, 必须保持复位值。
n	CHn	通道 n 的 IntErr 中断状态。 0x0: 非活动中断状态 0x1: 活动中断状态

### 15.5.2.11 DMA IntTfr 中断屏蔽寄存器 (DMA\_TCINTMSK)

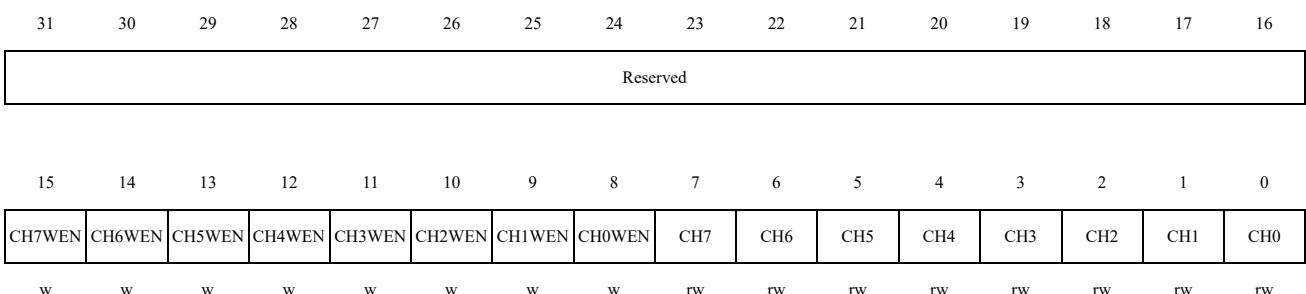
偏移地址: 0x0310

复位值: 0x0000 0000

DMA IntTfr 中断原始状态寄存器的内容与此掩码寄存器的内容进行掩码操作。寄存器的每一位分配给每个通道; 例如, 第 2 位是通道 2 传输完成中断的掩码位。

仅当 CHnWEN 字段中对应的掩码写使能位在同一 AHB 写传输中被置位时, 才会写入通道 CHn 位。这允许软件在不执行读取-修改写操作的情况下设置掩码位。例如, 向该掩码寄存器写入十六进制数 01x1 时, 仅将位 0 写为 1, 而位[7:1]保持不变。写入十六进制数 00xx 时, 位[7:0]保持不变。

向该寄存器任意位写入 1 将取消对应中断的屏蔽, 从而允许 DMA 控制器在状态寄存器和 int\_\* 端口信号 (内部中断信号) 中设置相应位。



位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
n + 8	CHnWEN	通道 n 中断屏蔽写入启用。 0x0: 中断屏蔽写入禁用 0x1: 中断屏蔽写入启用
n	CHn	通道 n IntTfr 中断屏蔽。 0x0: 屏蔽中断 0x1: 取消屏蔽中断

### 15.5.2.12 DMA IntBlock 中断屏蔽寄存器 (DMA\_BTCINTMSK)

偏移地址: 0x0318

复位值: 0x0000 0000

DMA IntBlock 中断原始状态寄存器的内容与此掩码寄存器的内容进行掩码操作。寄存器的每一位都分配给每个通道；例如，第 2 位是通道 2 块完成中断的掩码位。

仅当 CHnWEN 字段中对应的掩码写使能位在同一 AHB 写传输中被置位时，才会写入通道 CHn 位。这允许软件在不执行读取-修改写操作的情况下设置掩码位。例如，向该掩码寄存器写入十六进制数 01x1 时，仅将位 0 写为 1，而位[7:1]保持不变。写入十六进制数 00xx 时，位[7:0]保持不变。

向该寄存器任意位写入 1 将取消对应中断的屏蔽，从而允许 DMA 控制器在状态寄存器和 int\_\* 端口信号（内部中断信号）中设置相应位。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH7WEN	CH6WEN	CH5WEN	CH4WEN	CH3WEN	CH2WEN	CH1WEN	CH0WEN	CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
w	w	w	w	w	w	w	w	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
n + 8	CHnWEN	通道 n 中断屏蔽写入启用。 0x0: 中断屏蔽写入禁用 0x1: 中断屏蔽写入启用
n	CHn	通道 n IntBlock 中断屏蔽。 0x0: 屏蔽中断 0x1: 取消屏蔽中断

### 15.5.2.13 DMA IntSrcTran 中断屏蔽寄存器 (DMA\_STCINTMSK)

偏移地址: 0x0320

复位值: 0x0000 0000

DMA IntSrcTran 中断原始状态寄存器的内容与此掩码寄存器的内容进行掩码操作。寄存器的每一位分配给每个通道；例如，第 2 位是通道 2 源事务完成中断的掩码位。

仅当 CHnWEN 字段中对应的掩码写使能位在同一 AHB 写传输中被置位时，才会写入通道 CHn 位。这允许软件在不执行读取-修改写操作的情况下设置掩码位。例如，向该掩码寄存器写入十六进制数 01x1 时，仅将位 0 写为 1，而位[7:1]保持不变。写入十六进制数 00xx 时，位[7:0]保持不变。

向该寄存器任意位写入 1 将取消对应中断的屏蔽，从而允许 DMA 控制器在状态寄存器和 int\_\* 端口信号（内部中断信号）中设置相应位。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH7WEN	CH6WEN	CH5WEN	CH4WEN	CH3WEN	CH2WEN	CH1WEN	CH0WEN	CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
w	w	w	w	w	w	w	w	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
n + 8	CHnWEN	通道 n 中断屏蔽写入启用。 0x0: 中断屏蔽写入禁用 0x1: 中断屏蔽写入启用
n	CHn	通道 n IntSrcTran 中断屏蔽。 0x0: 屏蔽中断 0x1: 取消屏蔽中断

### 15.5.2.14 DMA IntDstTran 中断屏蔽寄存器 (DMA\_DTCINTMSK)

偏移地址：0x0328

复位值：0x0000 0000

DMA IntDstTran 中断原始状态寄存器的内容与此掩码寄存器的内容进行掩码操作。寄存器的每个位分配给每个通道；例如，第 2 位是通道 2 目标事务完成中断的掩码位。

仅当 CHnWEN 字段中对应的掩码写使能位在同一 AHB 写传输中被置位时，才会写入通道 CHn 位。这允许软件在不执行读取-修改写操作的情况下设置掩码位。例如，向该掩码寄存器写入十六进制数 01x1 时，仅将位 0 写为 1，而位[7:1]保持不变。写入十六进制数 00xx 时，位[7:0]保持不变。

向该寄存器任意位写入 1 将取消对应中断的屏蔽，从而允许 DMA 控制器在状态寄存器和 int\_\* 端口信号（内部中断信号）中设置相应位。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

CH7WEN	CH6WEN	CH5WEN	CH4WEN	CH3WEN	CH2WEN	CH1WEN	CH0WEN	CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
w	w	w	w	w	w	w	w	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
n + 8	CHnWEN	通道 n 中断屏蔽写入启用。 0x0: 中断屏蔽写入禁用 0x1: 中断屏蔽写入启用
n	CHn	通道 n IntDstTran 中断屏蔽。 0x0: 屏蔽中断 0x1: 取消屏蔽中断

### 15.5.2.15 DMA IntErr 中断屏蔽寄存器 (DMA\_ERRINTMSK)

偏移地址: 0x0330

复位值: 0x0000 0000

DMA IntErr 中断原始状态寄存器的内容与此掩码寄存器的内容进行掩码操作。寄存器的每一位都分配给每个通道；例如，第 2 位是通道 2 错误中断的掩码位。

仅当 CHnWEN 字段中对应的掩码写使能位在同一 AHB 写传输中被置位时，才会写入通道 CHn 位。这允许软件在不执行读取-修改写操作的情况下设置掩码位。例如，向该掩码寄存器写入十六进制数 01x1 时，仅将位 0 写为 1，而位[7:1]保持不变。写入十六进制数 00xx 时，位[7:0]保持不变。

向该寄存器任意位写入 1 将取消对应中断的屏蔽，从而允许 DMA 控制器在状态寄存器和 int\_\* 端口信号（内部中断信号）中设置相应位。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH7WEN	CH6WEN	CH5WEN	CH4WEN	CH3WEN	CH2WEN	CH1WEN	CH0WEN	CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
w	w	w	w	w	w	w	w	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
n + 8	CHnWEN	通道 n 中断屏蔽写入启用。 0x0: 中断屏蔽写入禁用 0x1: 中断屏蔽写入启用
n	CHn	通道 n IntErr 中断屏蔽。 0x0: 屏蔽中断 0x1: 取消屏蔽中断

### 15.5.2.16 DMA IntTfr 中断清除寄存器 (DMA\_TCINTCLR)

偏移地址: 0x0338

复位值: 0x0000 0000

DMA IntTfr 中断原始状态寄存器和 DMA IntTfr 中断状态寄存器的每个位均通过在本寄存器对应位置写入 1 来清除, 且操作在同一周期内完成。每个位分配给每个通道; 例如, 第 2 位是通道 2 传输完成中断的清除位。写入 0 没有效果。此寄存器不可读。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
								w	w	w	w	w	w	w	w

位域	名称	描述
31:8	Reserved	保留, 必须保持复位值。
n	CHn	通道 n 清除 IntTfr 中断。 0x0: 无影响 0x1: 清除中断

### 15.5.2.17 DMA IntBlock 中断清除寄存器 (DMA\_BTCINTCLR)

偏移地址: 0x0340

复位值: 0x0000 0000

DMA IntBlock 中断原始状态寄存器和 DMA IntBlock 中断状态寄存器的每个位均通过在本寄存器对应位置写入 1 来清除, 且操作在同一周期内完成。每个位分配给每个通道; 例如, 第 2 位是通道 2 块完成中断的清除位。写入 0 没有效果。此寄存器不可读。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
								w	w	w	w	w	w	w	w

位域	名称	描述
31:8	Reserved	保留, 必须保持复位值。
n	CHn	通道 n 清除 IntBlock 中断。 0x0: 无影响

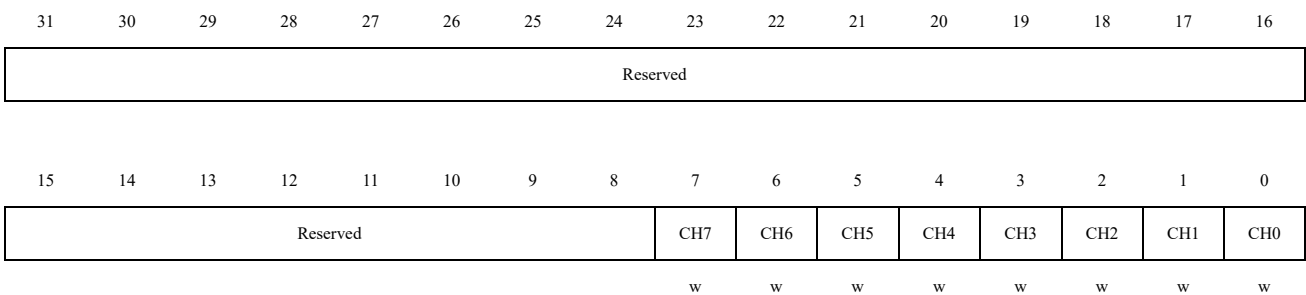
位域	名称	描述
		0x1: 清除中断

### 15.5.2.18 DMA IntSrcTran 中断清除寄存器 (DMA\_STCINTCLR)

偏移地址: 0x0348

复位值: 0x0000 0000

DMA IntSrcTran 中断原始状态寄存器和 DMA IntSrcTran 中断状态寄存器的每个位均通过在本寄存器对应位置写入 1 来清除, 且操作在同一周期内完成。每个位分配给每个通道; 例如, 第 2 位是通道 2 源事务完成中断的清除位。写入 0 没有效果。此寄存器不可读。



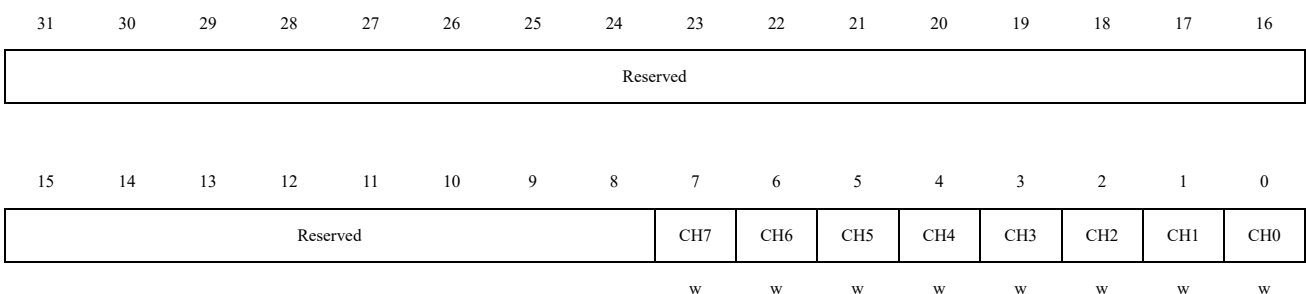
位域	名称	描述
31:8	Reserved	保留, 必须保持复位值。
n	CHn	通道 n 清除 IntSrcTran 中断。 0x0: 无影响 0x1: 清除中断

### 15.5.2.19 DMA IntDstTran 中断清除寄存器 (DMA\_DTCINTCLR)

偏移地址: 0x0350

复位值: 0x0000 0000

DMA IntDstTran 中断原始状态寄存器和 DMA IntDstTran 中断状态寄存器的每个位均通过在本寄存器对应位置写入 1 来清除, 且操作在同一周期内完成。每个位分配给每个通道; 例如, 第 2 位是通道 2 目标事务完成中断的清除位。写入 0 没有效果。此寄存器不可读。



位域	名称	描述
31:8	Reserved	保留, 必须保持复位值。

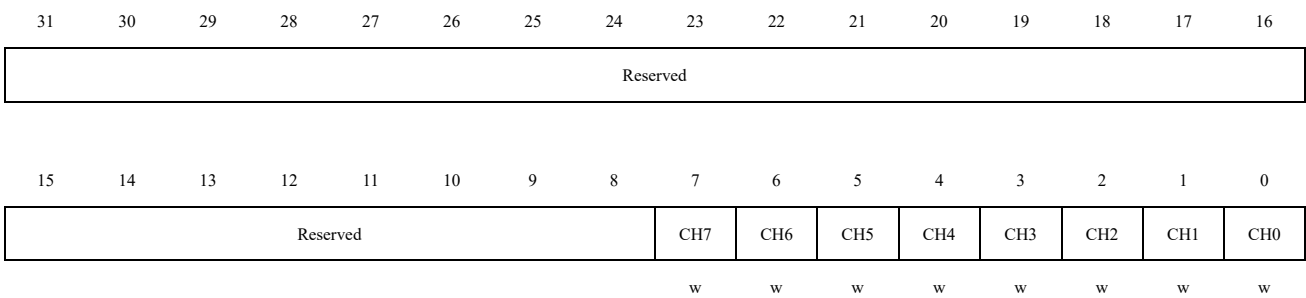
位域	名称	描述
n	CHn	通道 n 清除 IntDstTran 中断。 0x0: 无影响 0x1: 清除中断

### 15.5.2.20 DMA IntErr 中断清除寄存器 (DMA\_ERRINTCLR)

偏移地址: 0x0358

复位值: 0x0000 0000

DMA IntErr 中断原始状态寄存器和 DMA IntErr 中断状态寄存器的每个位均通过在本寄存器对应位置写入 1 来清除, 且操作在同一周期内完成。每个位分配给每个通道; 例如, 第 2 位是通道 2 错误中断的清除位。写入 0 没有效果。此寄存器不可读。



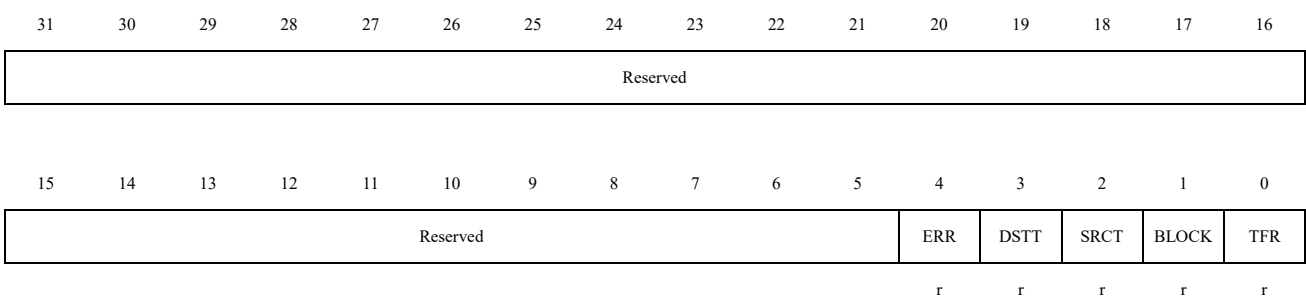
位域	名称	描述
31:8	Reserved	保留, 必须保持复位值。
n	CHn	通道 n 清除 IntErr 中断。 0x0: 无影响 0x1: 清除中断

### 15.5.2.21 DMA 中断组合状态寄存器 (DMA\_INTCBESTS)

偏移地址: 0x0360

复位值: 0x0000 0000

五个状态寄存器 DMA\_TCINTSTS、DMA\_BTCINTSTS、DMA\_STCINTSTS、DMA\_DTCINTSTS、DMA\_ERRINTSTS 的值分别与该组合状态寄存器中对应中断类型的单比特位进行或运算。该寄存器为只读寄存器。



位域	名称	描述
31:5	Reserved	保留，必须保持复位值。
4	ERR	DMA_ERRINTSTS 寄存器内容的或操作。 0x0: DMA_ERRINTSTS 寄存器内容的或运算结果是 0 0x1: DMA_ERRINTSTS 寄存器内容的或运算为 1
3	DSTT	DMA_DTCINTSTS 寄存器内容的或操作。 0x0: DMA_DTCINTSTS 寄存器内容的或运算为 0 0x1: DMA_DTCINTSTS 寄存器内容的或运算为 1
2	SRCT	DMA_STCINTSTS 寄存器内容的或运算。 0x0: DMA_STCINTSTS 寄存器内容的或运算为 0 0x1: DMA_STCINTSTS 寄存器内容的或运算为 1
1	BLOCK	DMA_BTCINTSTS 寄存器内容的或操作。 0x0: DMA_BTCINTSTS 寄存器内容的或运算为 0 0x1: DMA_BTCINTSTS 寄存器内容的或运算为 1
0	TFR	DMA_TCINTSTS 寄存器内容的或操作。 0x0: DMA_TCINTSTS 寄存器内容的或运算为 0 0x1: DMA_TCINTSTS 寄存器内容的或运算结果是 1

### 15.5.3 DMA 软件握手寄存器

#### 15.5.3.1 DMA 源软件事务请求寄存器 (DMA\_SRC SWTREQ)

偏移地址: 0x0368

复位值: 0x0000 0000

该寄存器中为每个通道分配一位。当通道 n 的源未使能软件握手时，位 n 将被忽略。

仅当在同一 AHB 写传输中 CHnWEN 字段中的对应通道写使能位被置位，且该通道在 DMA 通道使能寄存器中被启用时，才会写入通道 CHn 位。例如，写入十六进制 0101 会将 1 写入位 0，而位[7:1]保持不变。写入十六进制 00xx 会使位[7:0]保持不变。这允许软件在不执行读-改-写操作的情况下在此寄存器中设置一位。

此寄存器的功能取决于源是否为流量控制外设。关于源不是流量控制器时的描述，请参阅 15.4.6.4。关于源是流量控制器时的描述，请参阅 15.4.7.2。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH7WEN	CH6WEN	CH5WEN	CH4WEN	CH3WEN	CH2WEN	CH1WEN	CH0WEN	CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
w	w	w	w	w	w	w	w	rw	rw	rw	rw	rw	rw	rw	rw



位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
n + 8	CHnWEN	通道 n 源软件事务请求写入使能。 0x0: 源请求写入禁用 0x1: 源请求写入使能
n	CHn	通道 n 源软件事务请求。 0x0: 源请求未激活 0x1: 源请求处于活动状态

### 15.5.3.2 DMA 目标软件事务请求寄存器 (DMA\_DSTSWTREQ)

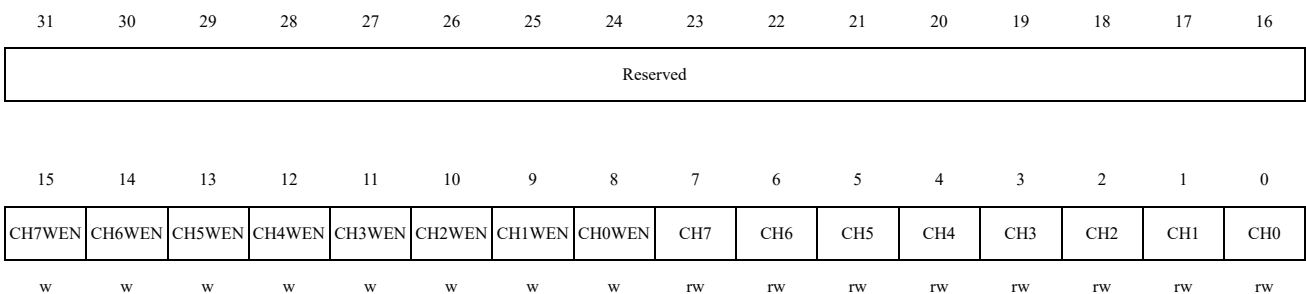
偏移地址: 0x0370

复位值: 0x0000 0000

该寄存器中为每个通道分配一位。当通道 n 的目标未使能软件握手时，位 n 将被忽略。

仅当在同一 AHB 写传输中 CHnWEN 字段中的对应通道写使能位被置位，且该通道在 DMA 通道使能寄存器中被启用时，才会写入通道 CHn 位。

此寄存器的功能取决于目标是否是流量控制外设。关于目标不是流量控制器时的描述，请参阅 15.4.6.4。关于源是流量控制器时的描述，请参阅 15.4.7.2。



位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
n + 8	CHnWEN	通道 n 目标软件事务请求写入使能。 0x0: 目标请求写入禁用 0x1: 目标请求写入启用
n	CHn	通道 n 目标软件事务请求。 0x0: 目标请求未激活 0x1: 目标请求处于活动状态

### 15.5.3.3 DMA 源单事务请求寄存器 (DMA\_SRCSGTREQ)

偏移地址: 0x0378

复位值: 0x0000 0000

该寄存器中为每个通道分配一位。当通道 n 的源未使能软件握手时，位 n 将被忽略。

仅当在同一 AHB 写传输中 CHnWEN 字段中的对应通道写使能位被置位，且该通道在 DMA 通道使能寄存器中被启用时，才会写入通道 CHn 位。

此寄存器的功能取决于源是否为流量控制外设。关于源不是流量控制器时的描述，请参阅 15.4.6.4。关于源是流量控制器时的描述，请参阅 15.4.7.2。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH7WEN	CH6WEN	CH5WEN	CH4WEN	CH3WEN	CH2WEN	CH1WEN	CH0WEN	CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
w	w	w	w	w	w	w	w	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
n + 8	CHnWEN	通道 n 源单事务请求写入启用。 0x0: 单次写入禁用 0x1: 单次写入启用
n	CHn	通道 n 源单事务请求。 0x0: 源请求未激活 0x1: 源请求处于活动状态

### 15.5.3.4 DMA 目标单事务请求寄存器 (DMA\_DSTSGTREQ)

偏移地址: 0x0380

复位值: 0x0000 0000

该寄存器中为每个通道分配一位。当通道 n 的目标未使能软件握手时，位 n 将被忽略。

仅当在同一 AHB 写传输中 CHnWEN 字段中的对应通道写使能位被置位，且该通道在 DMA 通道使能寄存器中被启用时，才会写入通道 CHn 位。

此寄存器的功能取决于目标是否是流量控制外设。关于目标不是流量控制器时的描述，请参阅 15.4.6.4。关于源是流量控制器时的描述，请参阅 15.4.7.2。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH7WEN	CH6WEN	CH5WEN	CH4WEN	CH3WEN	CH2WEN	CH1WEN	CH0WEN	CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
w	w	w	w	w	w	w	w	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
n + 8	CHnWEN	通道 n 目标单次事务请求写入使能。 0x0: 单次写入禁用

位域	名称	描述
		0x1: 单次写入启用
n	CHn	通道 n 目标单事务请求。 0x0: 目标单次或突发请求未激活 0x1: 目标单次或突发请求处于激活状态

### 15.5.3.5 DMA 源最后事务请求寄存器 (DMA\_SRCLTREQ)

偏移地址: 0x0388

复位值: 0x0000 0000

在此寄存器中为每个通道分配一个位。当通道 n 的源未启用软件握手, 或通道 n 的源不是流量控制器时, 位 n 将被忽略。

仅当在同一 AHB 写传输中 CHnWEN 字段中的对应通道写使能位被置位, 且该通道在 DMA 通道使能寄存器中被启用时, 才会写入通道 CHn 位。

有关此寄存器的描述, 请参阅 15.4.7.2。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH7WEN	CH6WEN	CH5WEN	CH4WEN	CH3WEN	CH2WEN	CH1WEN	CH0WEN	CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
w	w	w	w	w	w	w	w	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
n + 8	CHnWEN	通道 n 源最后事务请求写入使能。 0x0: 源最后事务请求写入禁用 0x1: 源最后事务请求写入使能
n	CHn	通道 n 源最后事务请求。 0x0: 非当前块中的最后事务 0x1: 当前块中的最后事务

### 15.5.3.6 DMA 目标最后事务请求寄存器 (DMA\_DSTLTREQ)

偏移地址: 0x0390

复位值: 0x0000 0000

在此寄存器中为每个通道分配一个位。当通道 n 的目标未启用软件握手, 或通道 n 的目标不是流量控制器时, 位 n 将被忽略。

仅当在同一 AHB 写传输中 CHnWEN 字段中的对应通道写使能位被置位, 且该通道在 DMA 通道使能寄存器中被启用时, 才会写入通道 CHn 位。

有关此寄存器的描述, 请参阅 15.4.7.2。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH7WEN	CH6WEN	CH5WEN	CH4WEN	CH3WEN	CH2WEN	CH1WEN	CH0WEN	CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
w	w	w	w	w	w	w	w	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
n + 8	CHnWEN	通道 n 目标最后事务请求写入使能。 0x0: 目标最后事务请求写入禁用 0x1: 目标最后事务请求写入启用
n	CHn	通道 n 目标最后事务请求。 0x0: 非当前块中的最后事务 0x1: 当前块中的最后事务

## 15.5.4 DMA 杂项寄存器

### 15.5.4.1 DMA 配置寄存器 (DMA\_CFG)

偏移地址: 0x0398

复位值: 0x0000 0000

该寄存器用于启用 DMA 功能，必须在任何通道活动开始前完成此操作。

若在任何通道仍处于活动状态时清除全局通道使能位，则 EN 字段仍返回 1，表示仍有通道处于活动状态，直至硬件终止所有通道上的活动，此时 EN 位才返回 0。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															EN
															rw

位域	名称	描述
31:1	Reserved	保留，必须保持复位值。
0	EN	DMA 使能位。 0x0: DMA 已禁用 0x1: DMA 已使能

### 15.5.4.2 DMA 通道使能寄存器 (DMA\_CHEN)

偏移地址: 0x03A0

复位值: 0x0000 0000

这是 DMA 通道使能寄存器。如果软件需要设置一个新通道, 那么可以读取此寄存器以确定哪些通道当前处于非活动状态; 然后可以根据所需的优先级启用一个非活动通道。

当全局 DMA 通道使能位 (DMA 配置寄存器的第 0 位) 为 0 时, 该寄存器的所有位都会被清除为 0。当全局通道使能位为 0 时, 对该寄存器的写操作将被忽略, 而读操作将始终返回 0。

通道使能位 CH<sub>n</sub> 仅在同一 AHB 写传输中对应通道写使能位 CH<sub>n</sub>WEN 被置高时才会被写入。例如, 写入十六进制数 01x1 时, 将 1 写入位 0, 而位[7:1]保持不变; 写入十六进制数 00xx 时, 位[7:0]保持不变。请注意, 此操作无需读取修改写入。

有关通过向 CH<sub>n</sub> 字段写入 0 来禁用通道的软件信息, 请参见 15.4.18.7。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH7WEN	CH6WEN	CH5WEN	CH4WEN	CH3WEN	CH2WEN	CH1WEN	CH0WEN	CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
w	w	w	w	w	w	w	w	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
n + 8	CH <sub>n</sub> WEN	通道 n 使能位写入使能。 0x0: 通道使能位写入禁用 0x1: 通道使能位写入使能
n	CH <sub>n</sub>	通道 n 使能。 此位由硬件自动清除, 以在完成 DMA 传输到目标的最后一次 AMBA 传输后禁用通道。因此, 软件可以轮询此位以确定该通道何时可用于新的 DMA 传输。 0x0: 禁用通道 0x1: 使能通道

### 15.5.4.3 DMA ID 寄存器 (DMA\_ID)

偏移地址: 0x03A8

复位值: 0x0000 0000

这是 DMA ID 寄存器, 这是一个只读寄存器, 用于读取硬编码的模块 ID 号。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
VALUE[31:16]															
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

VALUE[15:0]
-------------

r

位域	名称	描述
31:0	VALUE	硬编码 DMA 外设 ID。

#### 15.5.4.4 DMA 测试寄存器 (DMA\_TEST)

偏移地址: 0x03B0

复位值: 0x0000 0000

该寄存器用于将 AHB 从属接口置于测试模式, 在此模式下可写寄存器的读回值与写入值一致(前提是 DMA 配置未对相同寄存器进行优化)。在正常运行时, 某些寄存器的读回值取决于 DMA 状态, 因此不会与写入值一致。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															TMS

rw

位域	名称	描述
31:1	Reserved	保留, 必须保持复位值。
0	TMS	测试模式选择。 0x0: 将 AHB 从接口置于正常模式。 0x1: 将 AHB 从接口置于测试模式。在此模式下, 可写寄存器的回读值始终与写入的值匹配。

#### 15.5.4.5 DMA 低功耗超时寄存器 (DMA\_LPTIMEOUT)

偏移地址: 0x03B8

复位值: 0x0000 0008

此寄存器保存低功耗计数器的超时值。最终编程值(或未编程时的默认复位值)决定了低功耗计数器的超时值。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved										VALUE[7:0]					

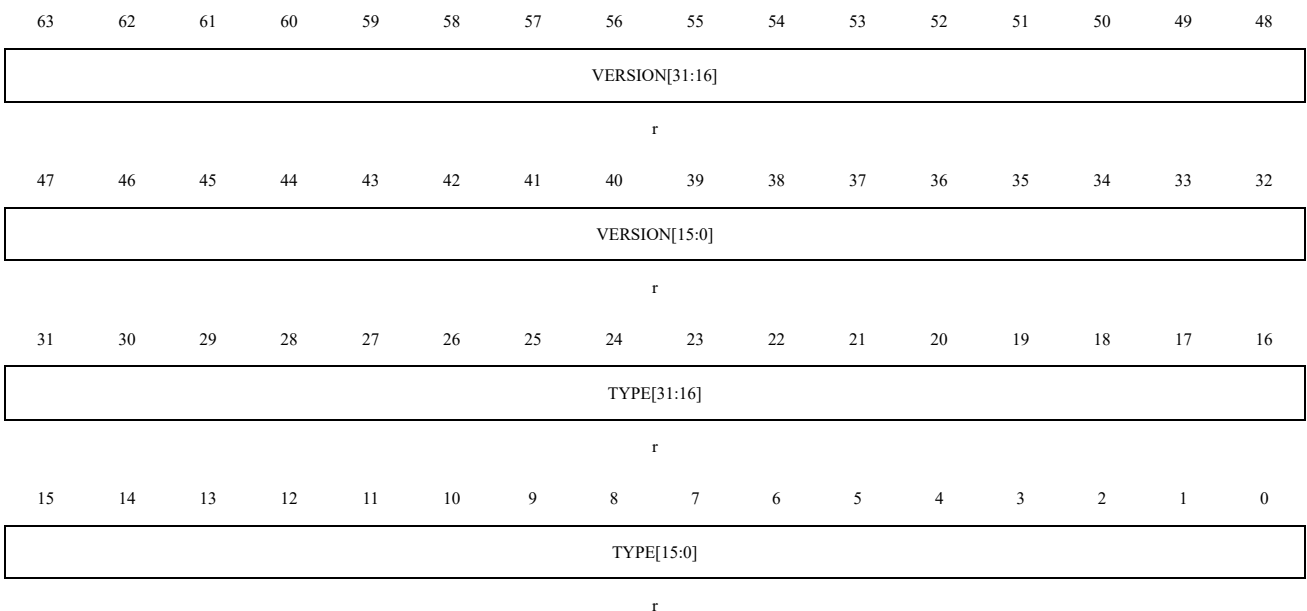
位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
7:0	VALUE	此字段保存低功耗计数器寄存器的超时值。

#### 15.5.4.6 DMA 组件 ID 寄存器 (DMA\_COMPID)

偏移地址：0x03F8

复位值：0x3232 332A 4457 1110

这是 DMA 组件版本寄存器，这是一个只读寄存器，在高 32 位中指定封装组件的版本，在低 32 位中指定组件类型。



位域	名称	描述
63:32	VERSION	DMA 组件版本。
31:0	TYPE	DMA 组件类型。

## 16 MDMA 控制器

### 16.1 简介

本章提供了 MDMA 的基本概述，它是一个高度可配置、高度可编程、高性能的多主多通道 DMA 控制器，使用 AXI 作为数据传输的总线接口。

### 16.2 主要特性

MDMA 包括以下特性：

#### 通用特性

- 独立的内核、从接口和主接口时钟
- 16 个通道，每个源和目标对一个通道
- 数据传输仅限于一个方向（每个通道都是单向的）
- 2 个 AXI 主接口：1 个用于访问 TCM（AXI master 2），1 个用于访问其他内存（AXI master 1）
- 内存到内存、内存到外设、外设到内存和外设到外设的 DMA 传输
- 符合 AMBA 4 AXI 规范的主接口
- 用于编程 DMA 控制器的 AHB 从接口
  - AHB 从接口仅支持单次传输（hburst = 3'b000）
- 64 位 AXI 主数据总线宽度
- 多级 DMA 传输层次结构
  - DMA 传输分为事务级、块级和完整 DMA 传输级
- 支持 AXI 非对齐传输

#### 通道缓冲

- 每个通道单个 FIFO
- 自动数据打包/拆包以适应 FIFO 宽度

#### 通道控制

- 每个通道均可编程设置传输类型（内存到内存、内存到外设、外设到内存和外设到外设）
- 单个或多个 DMA 事务
- 每个通道均可编程设置多事务大小
- 每个通道均可编程设置最大 AMBA 突发传输大小
- 通道禁用无数据丢失
- 通道暂停和恢复
- 可编程通道优先级



- 可编程多块传输，支持链表、连续地址及自动重载方法
- 链表动态扩展
- 独立配置源/目标多块传输类型
- 多状态机架构，每个通道源/目标各配置独立状态机
- 数据访问与 LLI 访问采用独立状态机
- 控制信号，例如缓存和保护，可针对每个 DMA 块进行编程
- 可编程传输长度（块长度）
- 错误状态寄存器以便在错误事件期间简化调试

### 流量控制

- DMA 传输层可编程流量控制
  - 如果在 DMA 初始化之前已知块传输的大小，则 DMA 控制器是 DMA 块传输级别的流量控制器
  - 如果在 DMA 初始化之前 DMA 块传输的大小未知，则源或目标外设是未定义长度（需求模式）DMA 块传输的流量控制器

### DMA1~3 触发 MDMA

- MDMA 可配置为通过 DMAMUX 基于 DMA1~3 中断触发事务处理。请参阅 DMAMUX 章节

### 握手接口

- 适用于非内存外设的可编程硬件握手接口
- 16 个硬件握手接口/外设中断接口
- 支持单独使能/禁止握手接口；外设与通道间可编程映射；支持多对一映射，每次仅一个外设处于活动状态
- 内存映射寄存器用于在软件握手模式下控制 DMA 传输

### 中断输出

- 组合和独立式中断输出
- 中断生成条件
  - DMA 传输完成
  - 块传输完成
  - 单事务或多事务完成
  - 错误条件
  - 通道暂停或禁用
- 中断使能和屏蔽

### 总线接口

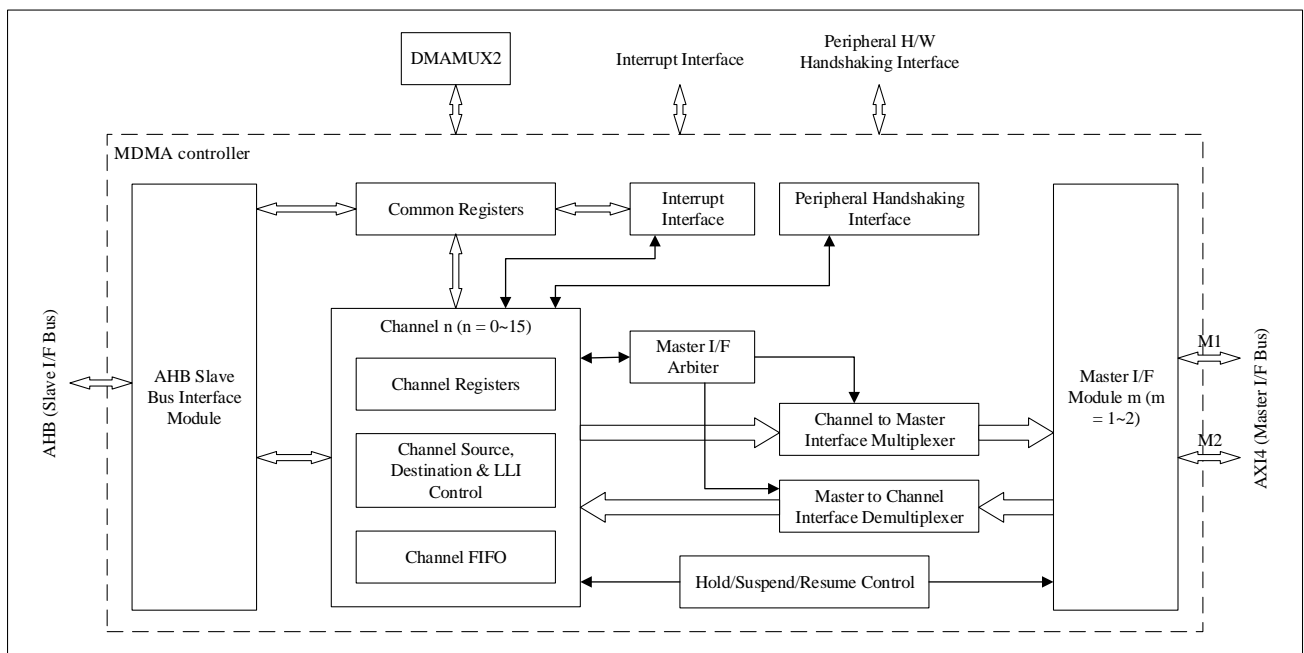
- 主接口采用 AMBA 4 AXI 协议，从接口采用 AHB 协议

- 主接口数据总线宽度为 64 位
- 主接口支持未完成事务处理
- 可设置主接口各通道的未完成事务上限
- 支持同一主接口上不同通道的乱序事务处理（特定通道的事务始终按顺序发起）
- 主接口支持递增地址与固定地址传输
- 源地址与目标地址传输必须对齐至对应传输宽度
- 从接口数据总线宽度为 32 位
- 从接口传输大小（宽度）必须与数据总线宽度一致

## 16.3 功能框图

下图显示了 MDMA 模块主要接口的功能分组：

图 16-1 MDMA 框图



## 16.4 功能描述

### 16.4.1 基础定义

以下术语是对本节中使用的 MDMA 概念的简明定义：

**源外设：** AXI 层上的设备，MDMA 控制器从中读取数据。然后 MDMA 控制器将数据存储于通道 FIFO 中。源外设与目标外设共同构成一个通道。

**目标外设：**MDMA 控制器将 FIFO 中存储的数据写入的设备（数据之前从源外设读取）。

**内存：**始终准备好进行 DMA 传输的源或目标，不需要握手接口与 MDMA 控制器交互。

**通道：**通过通道 FIFO 实现的、在某个配置的 AXI 层上的源外设与同一或不同 AXI 层上的目标外设之间的读写数据路径。如果源外设不是内存，则为通道分配一个源握手接口。如果目标外设不是内存，则为通道分配一个目标握手接口。源和目标握手接口可以通过编程通道寄存器动态分配。

**主接口：**MDMA 控制器是 AXI 总线上的主设备，从源读取数据并通过 AXI 总线将其写入目标。可以有最多两个主接口，因此最多可以有两个独立的源和目标通道同时运行。每个通道都必须为主接口仲裁。如果源和目标外设位于不同的 AXI 层上，则必须有多个主接口。

**从接口：**MDMA 控制器通过 AHB 接口进行编程。从接口可以与任何主接口位于同一层，也可以位于单独的层。

**握手接口：**一组符合协议的信号或软件寄存器，用于在 MDMA 控制器与源或目标外设之间进行握手。握手有助于控制 MDMA 控制器与外设之间单次或突发事务的传输。该接口用于请求、确认和控制 MDMA 事务。一个通道可以通过两种类型的握手接口之一接收请求：硬件或软件。

- **硬件握手接口：**使用硬件信号控制 MDMA 控制器与源或目标外设之间的单次或突发事务传输。硬件握手接口的简单使用是将外设的中断线连接到硬件握手接口的“dma\_req”输入；其他接口信号被忽略。
- **软件握手接口：**使用软件寄存器控制在 MDMA 控制器与源或目标外设之间传输单个或突发事务。在此模式下，外设的 I/O 上不需要特殊的 MDMA 握手信号。此模式对于在不修改现有外设的情况下将其与 MDMA 控制器连接非常有用。

**流量控制器：**决定 DMA 块传输长度并终止传输的设备（可为 MDMA 控制器，或源/目标外设）。如果在启用通道之前已知块的长度，则应将 MDMA 控制器编程为流量控制器。如果在启用通道之前未知块的长度，则源或目标外设应终止块传输。在这种模式下，外设（源/目标）是流量控制器。

**传输层次结构：**传输被分为最多四个层次：DMA 传输层级、块传输层级、事务层级和 AXI 传输层级。这样做是为了尽量减少在某些情况下，通道被分配给特定的一组外设，但某个外设没有足够的数据进行连续传输的影响。在这种情况下，通道无法分配给其他外设，从而降低了性能。

图 16-2 展示了非内存外设中 DMA 传输、块传输、事务（单次或突发）与 AMBA AXI 传输（单次或突发）之间的层级关系。

图 16-3 展示了内存外设中 DMA 传输、块传输与 AMBA AXI 传输（单次或突发）之间的层级关系。

*注意：内存外设不存在事务级别，因为内存被假定为始终处于数据传输的就绪状态。*

图 16-2 非存储外设的传输层次结构

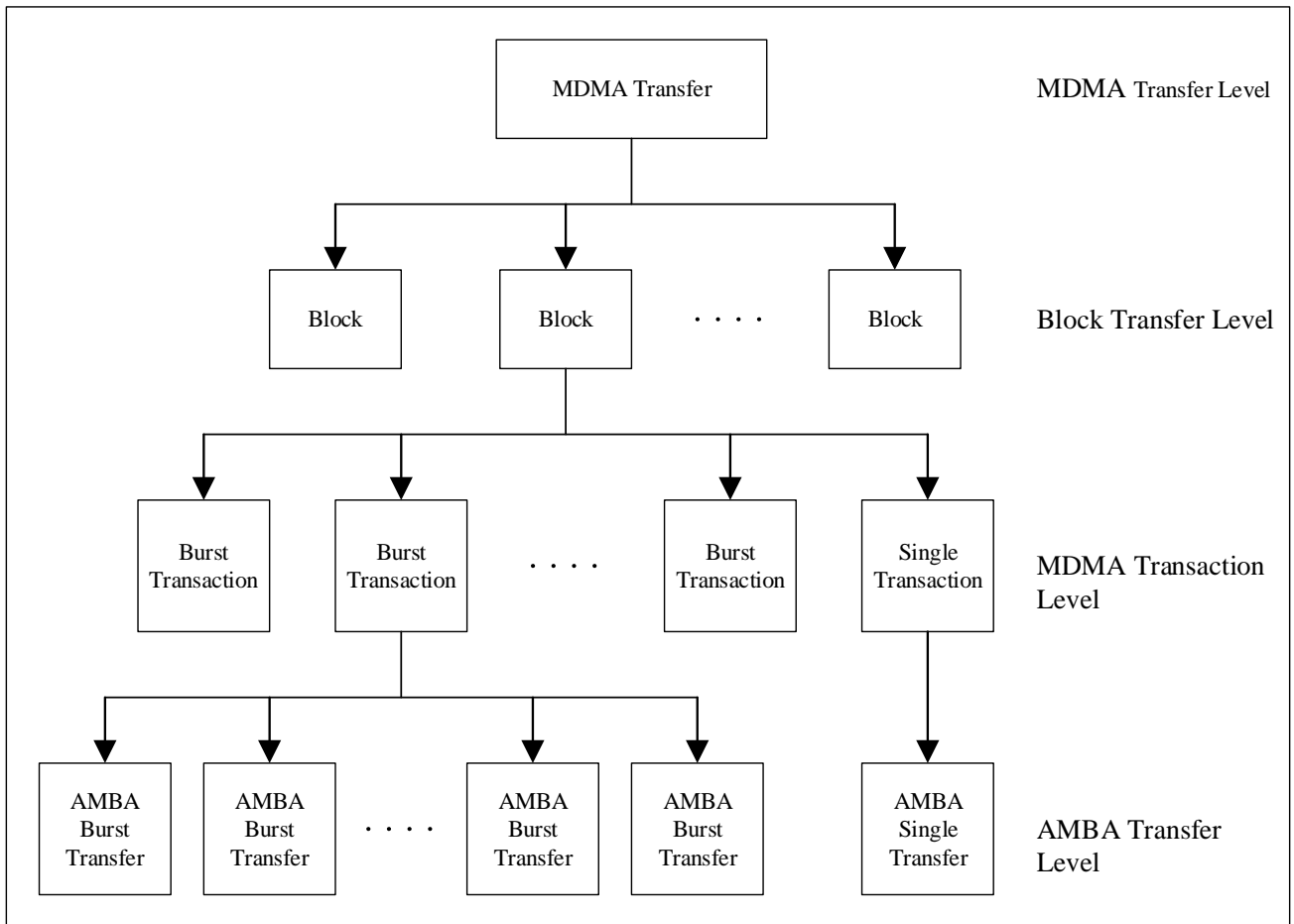
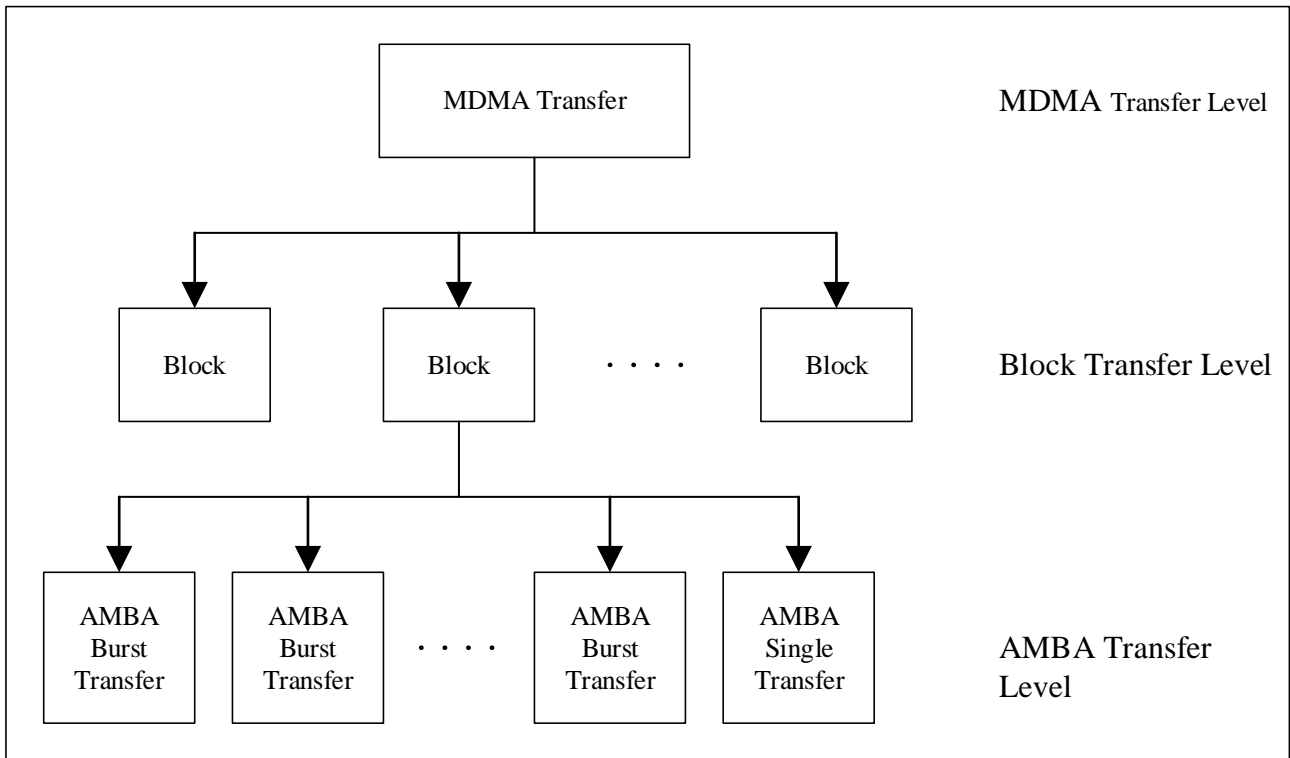


图 16-3 内存传输层次结构



**事务：** MDMA 传输的基本单位，由硬件或软件握手接口决定。仅当外设为非存储设备时，事务才适用于 MDMA 控制器与源或目标外设之间的传输。事务分为两种类型：

- **单事务：** 单次事务的长度始终为 1，并且它被转换为突发长度为 1 的 INCR AXI 传输。
- **突发事务：** 突发事务的长度被编程到 MDMA 控制器中。突发事务被转换为一系列 AXI 突发传输。突发事务的长度由程序控制，通常与 MDMA 控制器以及源和目标外设中的 FIFO 大小有一定关系。

**块：** MDMA 数据块，其容量即为数据块长度，由流量控制器确定。对于 MDMA 控制器与内存之间的传输，块会直接被分解为一系列突发传输。对于 MDMA 控制器与非内存外设之间的传输，块会被分解为一系列 MDMA 事务。这些事务又会被分解为一系列 AXI 传输。

**DMA 传输：** 软件控制 MDMA 传输中的块数。一旦 DMA 传输完成，MDMA 控制器内的硬件将禁用通道，并可生成中断信号以指示 DMA 传输完成。然后可以重新编程该通道以进行新的 DMA 传输。

- **单块 DMA 传输：** 包含单个块。
- **多块 DMA 传输：** 一次 DMA 传输可能由多个 DMA 块组成。通过块链（链表指针）、通道寄存器自动重载及连续块机制实现多块 DMA 传输支持。源和目标可以独立选择使用哪种方法。

- **链表（块链）：** 链表指针（LLP）指向系统内存中下一个链表项（LLI）所在位置。LLI 包含描述下一个块的寄存器组（块描述符）及 LLP 寄存器。当使能块链式传输时，MDMA 控制器会在每个块开头获取 LLI。LLI 访问始终采用与数据总线宽度相同的突发大小（arsize/awsize），且无法更改或编程为其他值。突发长度（awlen/arlen）根据数据总线宽度选择，确保访问不会跨越完整的 64 字节 LLI 结构。

若突发长度未受其他设置限制，MDMA 控制器将通过单次 AXI 突发获取完整 LLI（40 字节）。

- **自动重载：** MDMA 控制器在每个数据块结束时自动将通道寄存器重载为通道初始使能时的设定值。

- **连续块**: 相邻数据块的地址选择为前一数据块末尾的延续地址。

**通道锁定**: 软件可以通过锁定主总线接口的仲裁, 在 DMA 传输、块传输或事务 (单次或突发) 期间, 将一个通道编程为保持 AXI 主接口。

## 16.4.2 时钟和复位

MDMA 主复位来自 RCC 模块。有关更多详细信息, 请参阅 RCC 章节。

MDMA 还支持软复位, 该功能通过 MDMA\_SWRST 寄存器中的 RSTREQ 字段进行设置。软复位过程如下。

1. 软件向 RSTREQ 位写入 1 以复位 MDMA。软件持续轮询 RSTREQ 位直至检测到 0 值, 确认复位完成。  
MDMA 重置了不同时钟域中的所有模块, 除了从总线接口模块。
2. 从总线接口模块未复位, 因为软件正在轮询 RSTREQ 字段。
3. MDMA 将 RSTREQ 位清零。

*注意: 软件不允许将 0 写入 RSTREQ 字段。复位不能保证正在进行或已发布请求的数据传输完成。如果在传输之间执行复位, 可能会导致 AXI 协议违规。*

## 16.4.3 从总线接口

从总线接口模块通过外部 AHB 主设备实现访问 MDMA 内部寄存器的逻辑。该模块仅支持小端数据传输方案。

AHB 从总线接口可用于对通用寄存器 (见 16.5.1) 和通道寄存器 (见 16.5.2) 空间执行读或写操作。在执行读或写传输时, 从总线接口可能会提供从接口访问错误, 并且读/写事务可能由于以下任何原因而失败:

- 解码访问错误
- 写入只读寄存器访问错误
- 读取只写寄存器错误
- 写入挂起错误
- 未定义地址访问错误

AHB 从总线接口支持 32 位数据总线宽度。该从总线接口仅支持单次 AHB 传输。

## 16.4.4 主总线接口

主接口实现了在 AXI 总线上的数据传输。AXI 协议为 AXI4。MDMA 支持最多两个主接口, 它们独立运行以在外设和存储器之间传输数据。两个主接口使用相同的 AXI 协议。主接口的地址和数据总线宽度分别为 32 位和 64 位, 但两个主接口使用相同的配置。

主接口实现了 AXI 协议中指定的所有五个通道:

- 写地址
- 写数据
- 写响应

- 读取地址
- 读取数据

主接口通过 MDMA 控制器中的不同通道，为外部存储器或外设之间传输的数据实现多种 FIFO 进行临时存储。

MDMA 支持最多 16 个通道，这些通道可以根据一个定义明确的、可编程的仲裁方案分配到任一主接口，用于访问主接口。

除了通道源和目标外设，LLI 获取和 LLI 回写操作还需要访问主接口。MDMA 控制器实现了一种可编程仲裁方案，具体将在下节阐述。

## 16.4.5 仲裁方案

DMA 传输可以分为以下传输层次级别：

- 事务级别（仅适用于非存储外设）
- 块级别
- 完整 DMA 传输级别
- AXI 传输级别

MDMA 控制器采用动态优先级与平等仲裁机制，支持在不同 DMA 传输层级实现通道锁定功能。

可用优先级数量与使能通道数相同，每个通道的优先级值可在通道配置寄存器中编程设定。多个通道可设置相同优先级，但某些优先级可能未被使用。优先级 15 为最高优先级，0 为最低优先级。

动态优先级和相等仲裁是一种两级仲裁方案，其工作原理如下：

- 一级仲裁根据请求的优先级输入决定向哪个请求客户端发出授予信号。优先级最高的请求将获得主接口 AXI 通道的访问权限。
- 当两个或多个请求向仲裁器提交时，若其编程优先级值相同，则启动基于平等原则的二级仲裁。该机制将公平分配授权给处于相同优先级层级的所有活动请求客户端。

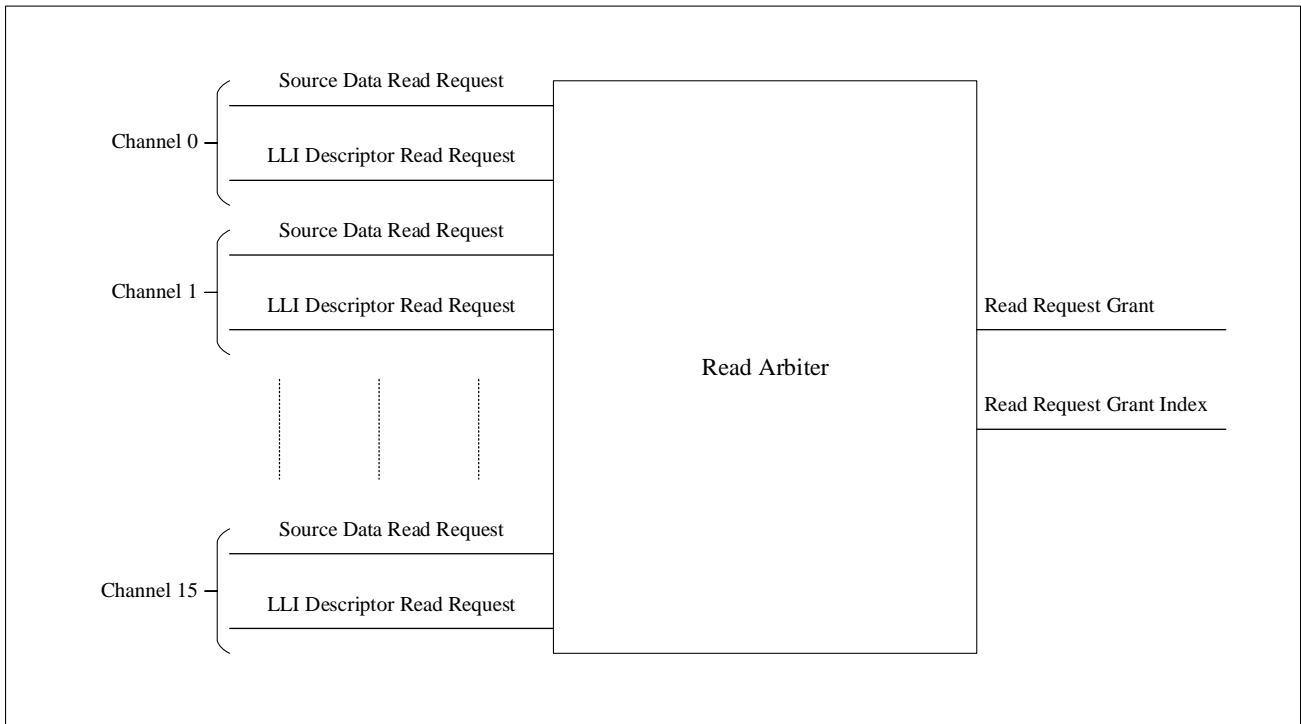
### 16.4.5.1 单仲裁方案

在单仲裁器方案中，源、目标和 LLI 状态机的读取请求仲裁是通过使用单仲裁器来执行的。来自通道到仲裁器的读取请求包括以下请求：

- 源数据读取请求
- LLI 描述符读取请求

单仲裁器方案根据动态优先级（第一级仲裁）和相等（第二级仲裁）方案在 16.4.5 中描述的方式，对来自所有通道的这些读取请求进行仲裁。被授予的读取请求将获得对 AXI 主接口的访问权限。单仲裁器方案--读仲裁器的框图如图 16-4。

图 16-4 单仲裁器方案--读仲裁器



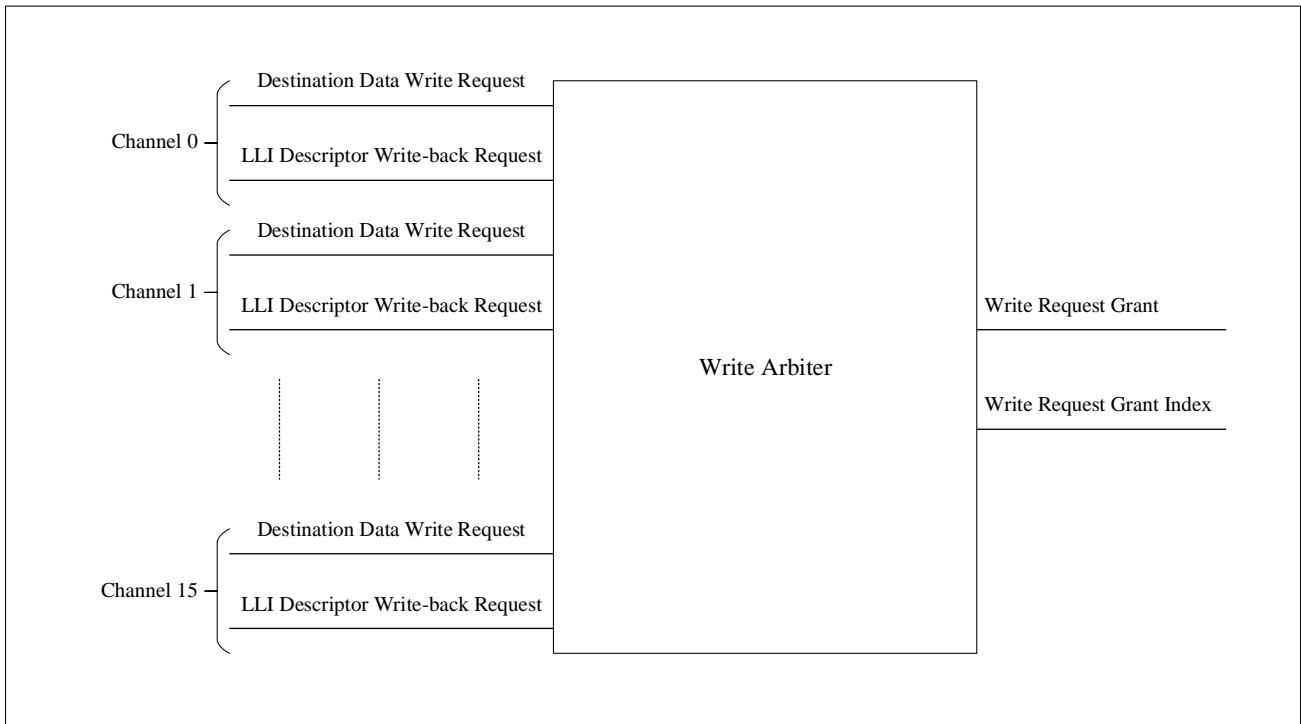
同样，来自目标和 LLI 状态机的写请求的仲裁是使用单仲裁器执行的。来自通道到仲裁器的写请求包括以下内容：

- 目标数据写入请求
- LLI 描述写回请求

单仲裁器方案根据动态优先级（第一级仲裁）和平等（第二级仲裁）方案，在所有通道的这些写请求之间进行仲裁。被授予的写请求将获得 AXI 主接口的访问权限。单仲裁器方案--写仲裁器的框图如图 16-5 所示。



图 16-5 单仲裁器方案--写仲裁器



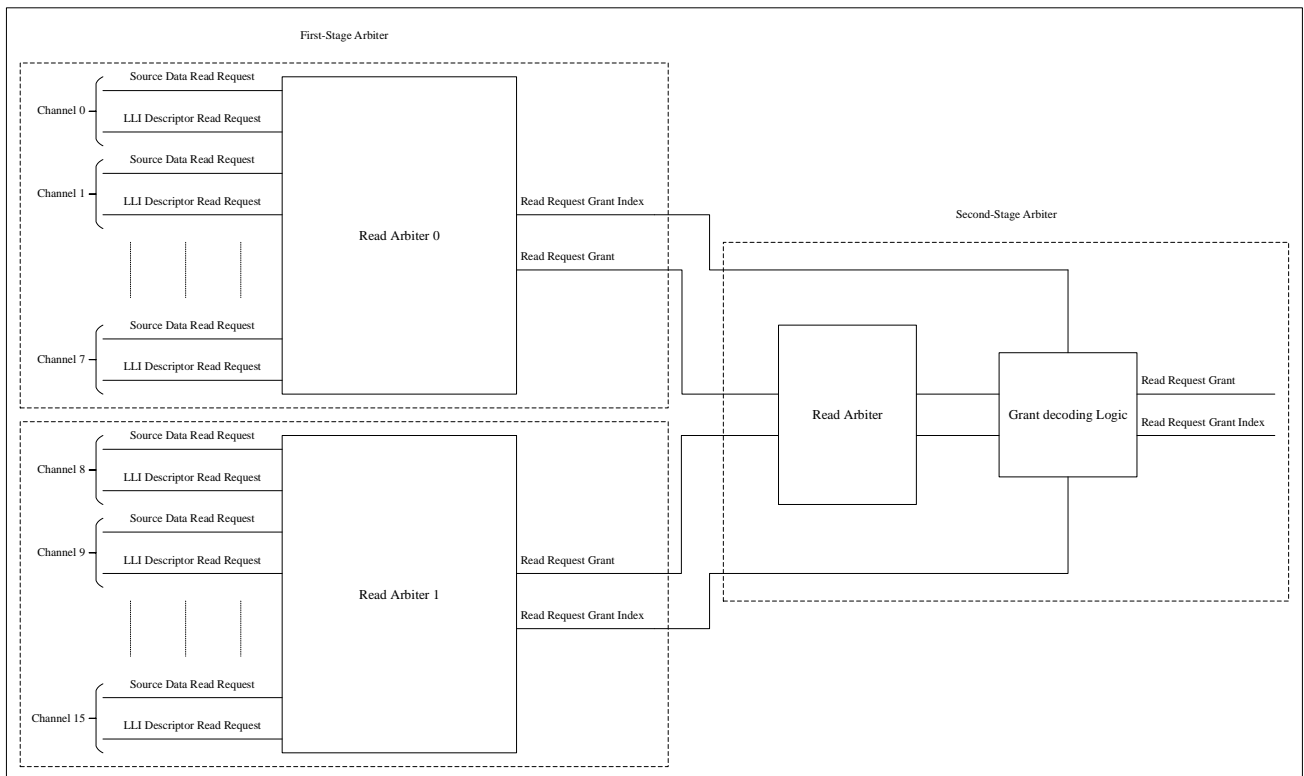
### 16.4.5.2 多仲裁方案

为了满足更高的 QoR（时序）要求（如果需要），引入了多仲裁器方案。该多仲裁器方案采用了两级仲裁架构。

第一级包含多个仲裁器，每个仲裁器最多拥有八个通道，这些通道与读取或写入请求相关联，并具有注册的授予输出。关于通道的读或写请求定义，请参见 16.4.5.1。第二级仅有一个仲裁器，其请求输入由第一级每个仲裁器的授予输出构成。第二级仲裁器的授权输出未进行注册。多仲裁器方案将单个仲裁器分成多个较小的仲裁器，如图 16-6 和图 16-7 所示。这有助于提高 MDMA 的整体 QoR。

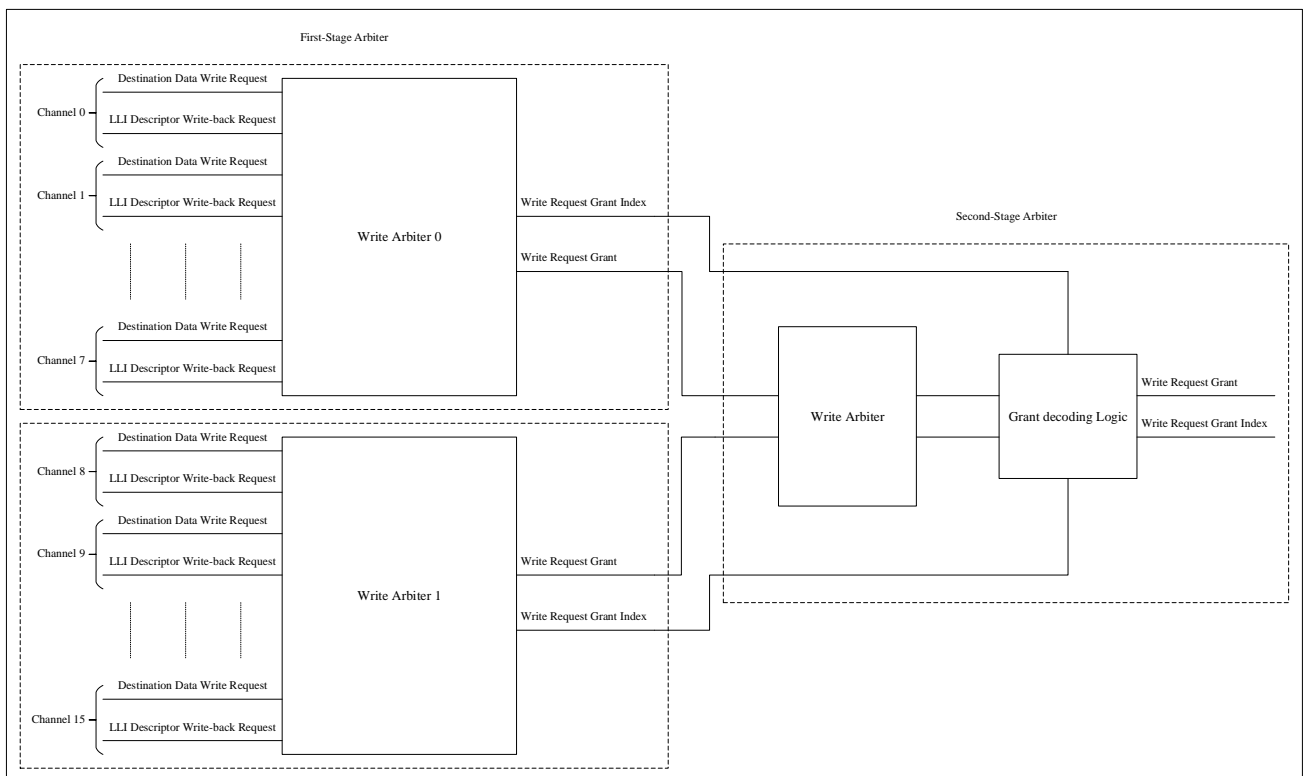
多仲裁器方案--读仲裁器的框图如图 16-6 所示。每个读仲裁器在单个仲裁器级别使用动态优先级（第一级仲裁）和平等（第二级仲裁）方案进行仲裁。

图 16-6 多仲裁器方案--读仲裁器



多仲裁器方案--写仲裁器的框图如图 16-7 所示。每个写仲裁器在单个仲裁器级别使用动态优先级（第一级仲裁）和平等（第二级仲裁）方案进行仲裁。

图 16-7 多仲裁器方案--写仲裁器



### 16.4.5.3 锁定和授予

仲裁器的锁输入使得一个请求能够在其他请求的情况下获得独占授权，持续时间为相应锁输入的持续时间。在客户端收到授权后，可以通过设置相应的锁输入将其他客户端排除在仲裁过程之外。

MDMA 设计允许通道在事务级别（仅适用于非内存外设）、块级别或完整 DMA 传输级别锁定仲裁器。默认情况下，MDMA 控制器会为一个完整的 AXI 传输锁定仲裁器。如果在更高级别启用了通道锁定--如事务、块或完整 DMA 传输--锁定仲裁器的通道将在锁定期获得主接口的访问权限，并且在此期间来自其他通道的请求将被忽略。

### 16.4.5.4 不同访问的优先级

如果具有相同优先级值的不同通道的源、目标和链表外设连接在同一个主接口上，不同访问的优先级如下：

- 对于 AXI 读通道  
链表获取 > 源数据传输

- 对于 AXI 写通道  
目标数据传输 > 链表回写

### 16.4.5.5 相同通道传输、获取和访问

源数据传输、目标数据传输、链表获取和链表状态回写访问对于特定通道通常按以下顺序进行：

链表获取 > 源数据传输和目标数据传输 > 链表回写。

在这种情况下，不需要在不同访问之间进行仲裁。

## 16.4.6 单事务区域

在某些情况下，DMA 块传输无法仅使用突发事务完成。通常发生在块大小不是突发事务长度的倍数时。在这些情况下，块传输使用突发事务直到剩余数据量小于一次突发事务的数据量为止。此时，MDMA 控制器会采样 `dma_single` 状态标志，并使用单次事务完成块传输。外设通过断言单次状态标志向 MDMA 控制器指示，从源或目标外设完成单次事务所需的数据或空间已足够。

对于硬件握手，单状态标志是硬件握手接口上的一个信号。对于软件握手，单状态标志是软件握手接口寄存器中的一位。

单事务区域是 MDMA 控制器使用单事务完成块传输的时间间隔；突发事务仅在该区域之外使用。

以下术语用于解释单事务区域。

- 源单事务大小（以字节为单位）：

$$src\_single\_size\_bytes = MDMA\_CHnCTRL.STW / 8$$

- 源突发事务大小（以字节为单位）：

$$src\_burst\_size\_bytes = MDMA\_CHnCTRL.SRCMSIZE * src\_single\_size\_bytes$$

- 目标单事务大小（以字节为单位）：

$$dst\_single\_size\_bytes = MDMA\_CHnCTRL.DTW / 8$$

- 目标突发事务大小（以字节为单位）：

$$dst\_burst\_size\_bytes = MDMA\_CHnCTRL.DSTMSIZE * dst\_single\_size\_bytes$$

■ 块大小（以字节为单位）：

- 如果 MDMA 是流量控制器

使用 MDMA 作为流量控制器，处理器将数据项数量（块大小）的源传输宽度（MDMA\_CHnCTRL.STW）编程到 MDMA 中，以便 MDMA 在块传输中传输；这被编程到 MDMA\_CHnBTS.NUM 字段中。因此，在一个块中要传输的总字节数为：

$$blk\_size\_bytes\_dma = MDMA\_CHnBTS.NUM * src\_single\_size\_bytes$$

- 如果源外设是流量控制器

$$blk\_size\_bytes\_src = (\text{块中源突发事务的数量} * src\_burst\_size\_bytes) + (\text{块中源单事务的数量} * src\_single\_size\_bytes)$$

- 如果目标外设是流量控制器

$$blk\_size\_bytes\_dst = (\text{块中目标突发事务的数量} * dst\_burst\_size\_bytes) + (\text{块中目标单事务的数量} * dst\_single\_size\_bytes)$$

单事务区域仅适用于非流量控制器的外设。进入该区域的确切定义取决于什么作为流量控制器。

■ 如果 MDMA 控制器是流量控制器：

- 源外设源块传输中剩余完成的字节数小于  $src\_burst\_size\_bytes$  时进入单事务区域。

如果  $blk\_size\_bytes\_dma / src\_burst\_size\_bytes$  是一个整数，那么源外设永远不会进入此区域，并且源块传输仅使用突发事务。

- 目标外设在目标块传输中剩余完成的字节数小于  $dst\_burst\_size\_bytes$  时进入单次事务区域。

如果  $blk\_size\_bytes\_dma / dst\_burst\_size\_bytes$  是一个整数，那么目标外设永远不会进入此区域，并且目标块传输仅使用突发事务。

■ 如果源外设或目标外设是流量控制器：

- 单事务区域不适用于流量控制器外设。

- 如果源外设是流量控制器，当流量控制外设（即源外设）发出块中最后一个事务的信号，并且目标块中剩余要传输的数据量小于  $dst\_burst\_size\_bytes$  指定的值时，目标外设进入单事务区域。

- 如果目标外设是流量控制器，当流量控制外设（即目标外设）发出块中最后一个事务的信号，并且源块中剩余要传输的数据量小于  $src\_burst\_size\_bytes$  指定的值时，源外设进入单事务区域。

注意：如果外设不是流量控制器，MDMA 控制器会忽略单事务区域之外的  $dma\_single$  输入。

## 16.4.7 握手接口

握手接口在事务级别用于控制单个或突发事务的流量。握手接口的操作取决于外设或 MDMA 控制器是否是流量控制器。外设使用握手接口向 MDMA 控制器指示它已准备好通过 AXI 总线传输或接收数据。

MDMA 最多支持 16 个硬件握手接口。在通道配置寄存器中，每个通道源和目标使用的握手接口类型（软件或硬件）均可独立编程设置。软件握手通过内存映射寄存器完成，而硬件握手通过专用握手接口完成。

### 16.4.7.1 硬件握手

以下一组输入/输出信号用于硬件握手。

**dma\_req:** 来自外设的突发事务请求输入。此信号的功能取决于外设是否为流控制器。

- **如果外设不是流量控制器:** MDMA 控制器始终将 dma\_req 信号解释为一个突发事务请求，而不管 dma\_single 的电平如何。一旦 dma\_req 被断言，它必须保持断言状态，直到 dma\_ack 被断言。当驱动 dma\_req 的外设确定 dma\_ack 被断言时，它必须取消断言 dma\_req。如果在单次事务区域检测到 dma\_req 的活动电平，则使用提前终止的突发事务完成块传输。
- **如果外设是流量控制器:** 在 dma\_req 上有一个活动电平会启动一个事务请求。事务的类型（是单次还是突发）由 dma\_single 输入限定。一旦 dma\_req 被断言，它必须保持断言状态直到 dma\_ack 被断言。当驱动 dma\_req 的外设确定“dma\_ack”被断言时，它必须取消断言 dma\_req。

**dma\_single:** 来自外设的单次事务请求输入。此信号的功能取决于外设是否为流量控制器。

- **如果外设不是流量控制器:** dma\_single 信号是一个状态信号，当源或目标外设能够传输或接受至少一个源或目标数据项时，该信号被断言；否则，该信号被清除。此信号仅在块传输的单次事务区域内由 MDMA 控制器采样。在该区域之外，dma\_single 被忽略，所有事务都是突发事务，这意味着 MDMA 控制器会等待 dma\_req 被断言。一旦 dma\_single 被断言，它必须保持断言状态直到 dma\_ack 被断言。当驱动 dma\_single 的外设检测到 dma\_ack 被断言时，它必须将 dma\_single 取消断言。
- **如果外设是流量控制器:** 源或目标外设通过断言 dma\_single 信号来请求单次事务。如果在同一个时钟周期内 dma\_single 和 dma\_req 同时被断言，外设请求的是单次事务。如果 dma\_single 被取消断言，外设请求的是突发事务。一旦 dma\_single 被断言，它必须保持断言状态直到 dma\_ack 被断言。当驱动 dma\_single 的外设确定 dma\_ack 被断言时，它必须取消断言 dma\_single。

**dma\_last:** 来自外设的块请求中的最后一个事务。此信号的功能取决于外设是否为流控制器。

- **如果外设不是流量控制器:** dma\_last 信号无关，因此被忽略。
- **如果外设是流量控制器:** 外设在与 dma\_req 同时被断言的周期内断言 dma\_last，以表示此事务请求是块中的最后一个，并且在此事务完成后块传输完成。如果在与 dma\_last（和 dma\_req）同时被断言的周期内 dma\_single 为高，则最后一个事务是单个事务。如果在与 dma\_last（和 dma\_req）同时被断言的周期内 dma\_single 为低，则最后一个事务是突发事务。一旦 dma\_last 被断言，它必须保持断言状态直到 dma\_ack 被断言。当驱动 dma\_last 的外设确定 dma\_ack 被断言时，它必须取消断言 dma\_last。

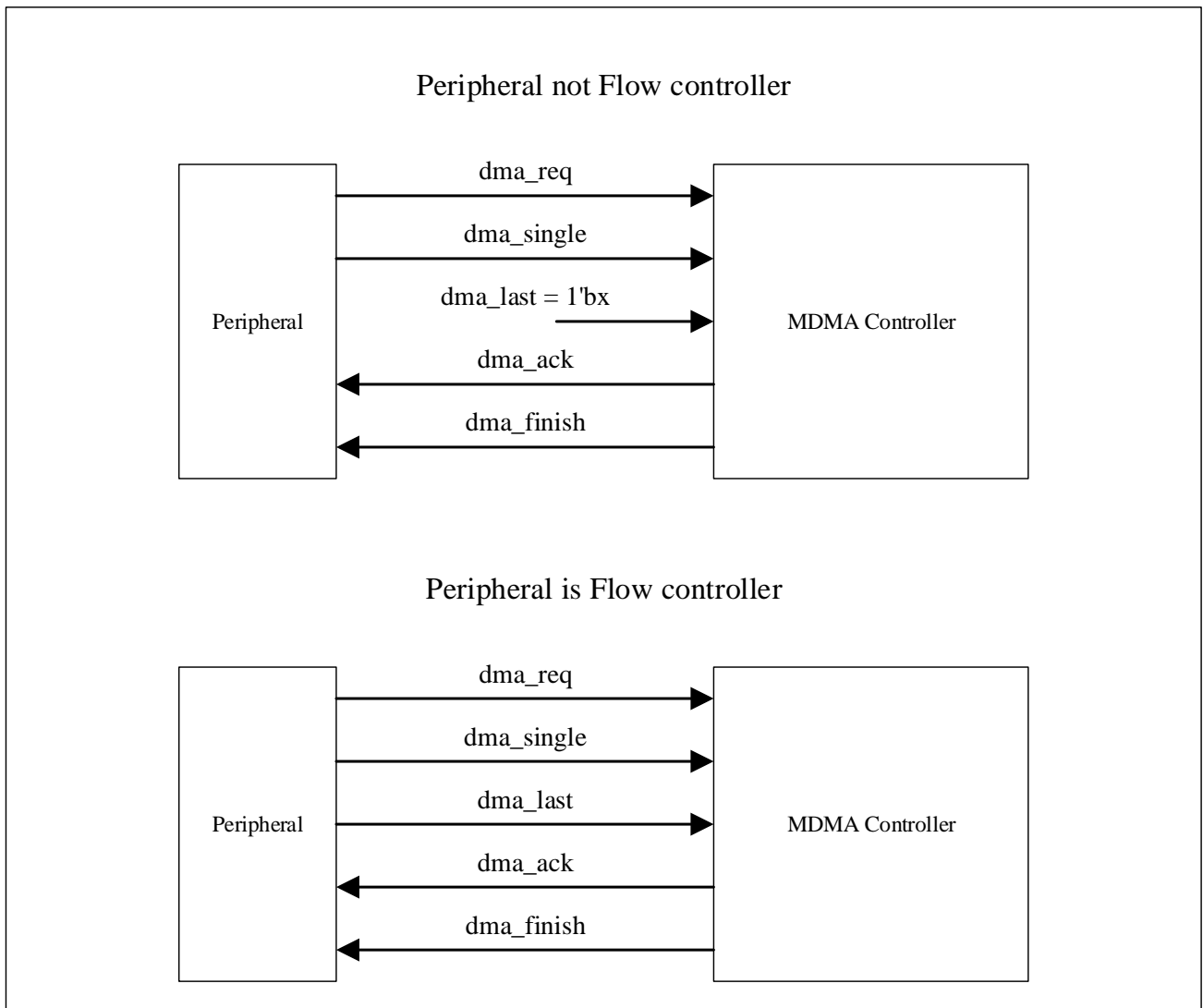
**dma\_ack:** MDMA 确认信号输出到外设。此信号的功能取决于外设是否为流量控制器。

- **如果外设不是流量控制器:** 在当前事务（单次或突发）中传输到外设的最后一次 AXI 数据传输完成后，dma\_ack 信号被断言。对于单次事务，dma\_ack 保持断言状态，直到外设将 dma\_single 取消断言（即在 dma\_single 取消断言后的一个 MDMA 内核时钟周期内，dma\_ack 被取消断言）。对于突发事务，dma\_ack 保持断言状态，直到外设将 dma\_req 取消断言（即在 dma\_req 取消断言后的一个 MDMA 内核时钟周期内，dma\_ack 被取消断言）。
- **如果外设是流量控制器:** 在当前事务（单次或突发）到外设的最后一次 AXI 数据传输完成后，dma\_ack 信号被断言。它与 dma\_req 形成一个握手循环，并保持断言状态，直到外设取消断言 dma\_req（也就是说，在 dma\_req 取消断言后的一个 MDMA 内核时钟周期后，dma\_ack 被取消断言）。

**dma\_finish:** 这是输出到外设的 MDMA 块传输完成指示信号。dma\_finish 信号被断言以指示块传输完成。它使用与 dma\_ack 相同的时序，并与 dma\_req 和/或 dma\_single 形成握手循环。

图 16-8 显示了目标或源外设与 MDMA 控制器之间的硬件握手接口。

图 16-8 硬件握手接口



注意：一旦外设断言 `dma_req`、`dma_single` 或 `dma_last`，在 MDMA 控制器断言 `dma_ack` 之前取消断言上述信号是不允许的。这样做可能会导致不可预测的行为。无论谁是流量控制器，也无论外设是否处于单事务区域，一旦 MDMA 控制器断言 `dma_ack`，`dma_req`、`dma_single` 和 `dma_last` 信号必须取消断言。建议严格遵循此要求，否则可能会发生不可预测的行为。

表 16-1 显示了流量控制器和硬件握手接口信号值的所有可能组合。

表 16-1 流量控制器和硬件握手接口

外设是流量控制器?	外设是否在单事务区域?	<code>dma_req</code>	<code>dma_single</code>	<code>dma_last</code>	MDMA 控制器操作
N	N	0	0	x	不是有效的事务请求。
		0	1	x	不是有效的事务请求。 如果外设不是流量控制器，“ <code>dma_single</code> ”不会被 MDMA 控制器在单事务区域之外

外设是流量控制器？	外设是否在单事务区域？	dma_req	dma_single	dma_last	MDMA 控制器操作	
					采样。	
		1	x	x	突发事务请求。 如果外设不是流量控制器，“dma_single”不会被 MDMA 控制器在单事务区域之外采样。 如果外设不是流量控制器，“dma_last”没有任何关联，并且会被忽略。	
		0	0	x	不是有效的事务请求。	
	Y		0	1	x	单事务请求。 MDMA 控制器启动 AXI 突发，突发长度为 1。 如果外设不是流量控制器，“dma_last”没有任何关联，并且会被忽略。
			1	0	x	突发事务请求。 MDMA 控制器启动完成事务所需突发长度的 AXI 突发（AXI 突发长度 <= 事务大小）。这称为提前突发终止。 如果外设不是流量控制器，“dma_last”没有任何关联，并且会被忽略。
			1	1	x	突发事务请求。 MDMA 控制器启动完成事务所需突发长度的 AXI 突发（AXI 突发长度 <= 事务大小）。这称为提前突发终止。 如果外设不是流量控制器，“dma_last”没有任何关联，并且会被忽略。
Y	_ <sup>(1)</sup>	0	0	x	不是有效的事务请求。	
		0	1	x	不是有效的事务请求。 如果外设是流量控制器，则必须断言“dma_req”以启动事务。MDMA 控制器会等待直到“dma_req”被断言。 事务类型（单次或突发）由“dma_single”输入限定。	
		1	0	0	突发事务请求（不是最后事务）。	
		1	0	1	最后的突发事务请求。	
		1	1	0	单事务请求（不是最后事务）。	
		1	1	1	最后事务请求。	

<sup>1</sup> 单事务区域不适用于流量控制外设，请参见 16.4.6。

### 16.4.7.2 软件握手

当从外设需要 MDMA 控制器执行 MDMA 事务时，它通过向 CPU 或中断控制器发送中断来传达此请求。中断服务例程随后使用软件握手寄存器来启动和控制 MDMA 事务。软件握手接口由一组软件寄存器实现。

通道配置寄存器中的 HSSELSRC/HSELDST 位必须设置为 1，以启用软件握手。

以下寄存器用于软件握手：

- MDMA\_CHnSHSRC 寄存器，请参见 16.5.2.8。
- MDMA\_CHnSHDST 寄存器，请参见 16.5.2.9。

MDMA 控制器在相应的源事务完成时，将 MDMA\_CHnSHSRC 中的活动请求位清零。同样，当目标事务完成时，MDMA\_CHnSHDST 中的活动请求位也被清零。

*注意：软件握手寄存器位的功能与相应的硬件握手信号相同，只是没有与 dma\_ack 和 dma\_finish 信号对应的寄存器字段。*

如果源和/或目标外设使用软件握手，MDMA 传输在完成请求的源和/或目标事务后会自动暂停。MDMA 控制器在硬件检测到软件已将 SHSR（在 MDMA\_CHnSHSRC 和/或 MDMA\_CHnSHDST 寄存器中）位设置为 1 之前，不会继续传输。

## 16.4.8 外设中断请求接口

这是硬件握手接口的简化版本。在此模式下：

- 外设的中断线连接到 dma\_req 输入。
- dma\_single 输入被拉低。
- dma\_last 输入被拉低。
- dma\_ack 和 dma\_finish 输出被忽略（未连接）。

此接口可用于从外设没有硬件握手信号的情况。对于 MDMA 控制器，这与硬件握手接口中外设不是流量控制器的情况相同。

外设永远不能成为流量控制器，因为它无法连接到 dma\_last 信号。外设的中断线与 dma\_req 线连接，当外设不是流量控制器时，外设中断线的时序必须与 dma\_req 线相同，就像硬件握手接口的情况一样。

因为外设不采样 dma\_ack 线，握手循环如下：

1. 外设生成一个中断，触发“dma\_req”。
2. MDMA 控制器完成突发事务并生成突发结束事务中断（源/目标事务完成中断）。必须在 MDMA 配置寄存器中启用全局中断，并且必须在 CHn 中断状态使能寄存器和 CHn 中断信号使能寄存器中使能用相应通道的事务完成指示中断。
3. 中断服务例程清除外设的中断，从而使“dma\_req”被取消断言。

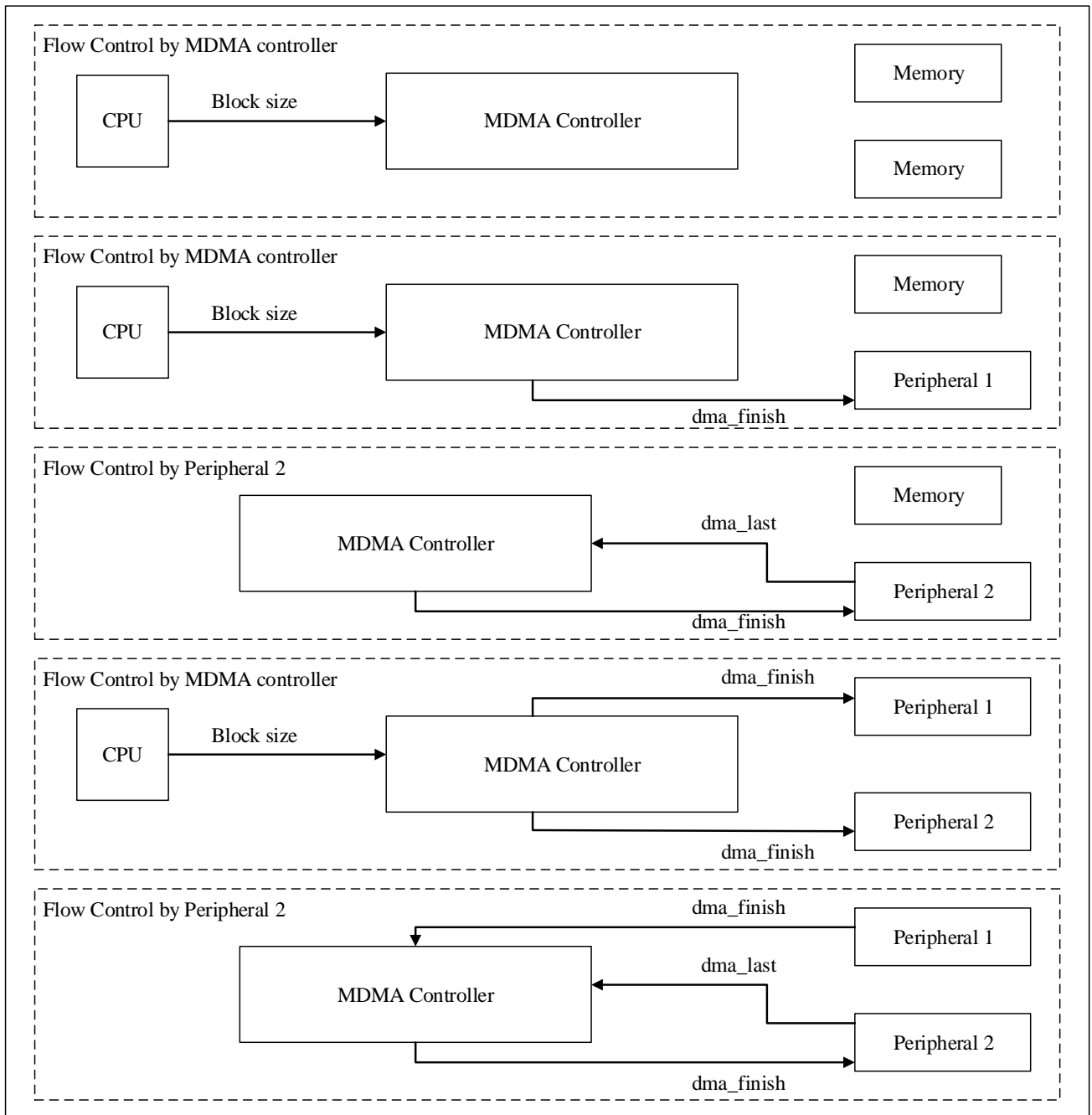
## 16.4.9 流量控制配置

传输类型和流量控制配置由 MDMA 通道 n 配置寄存器中的 TTFC 字段的值决定，该字段可针对特定的 MDMA 传输进行编程。

图 16-9 显示了使用硬件握手接口的不同流量控制配置（显示的是接口的简化版本）。这些场景也可以用于软件握手，其使用软件寄存器代替硬件信号。



图 16-9 流量控制配置<sup>(1)</sup>



1. 为清晰起见，未显示所有硬件握手信号。

### 16.4.10 提前终止的突发事务

当源或目标外设处于单次事务区域时，仍然可以请求突发事务。然而，在这种情况下，*src\_burst\_size\_bytes* 或 *dst\_burst\_size\_bytes* 大于在触发突发事务时完成源或目标块传输所需的剩余字节数。在这种情况下，突发事务会启动并在块完成时“提前终止”，而不会传输已编程的数据量。仅传输完成块传输所需的数据量。

仅当外设不是流量控制器时，才会发生提前终止的突发事务。

- 如果源外设是流量控制器，并且在事务结束时没有足够的数据进行突发传输，它会断言 *dma\_single* 直

到通过同时断言 `dma_last` 和 `dma_single` 信号来标记最后一次事务。(目标外设可能会在此时进入单次事务区域)。

- 如果目标外设位于单事务区域，并且目标外设仍通过断言 `dma_req` 请求突发事务，则 MDMA 控制器将启动突发事务，并在块完成时提前终止，而不传输已编程数量 (`MDMA_CHnCTRL.DSTMSIZE`) 的数据。
- 如果目标外设是流量控制器，并且在事务结束时没有足够的数据进行突发传输，它会断言 `dma_single` 直到通过同时断言 `dma_last` 和 `dma_single` 信号来标记最后一次事务。(源外设可能会在此时进入单次事务区域)。
- 如果源外设处于单事务区域，并且源外设仍通过断言 `dma_req` 请求突发事务，则 MDMA 控制器将启动突发事务，并在块完成时提前终止，而不传输已编程数量 (`MDMA_CHnCTRL.SRCMSIZE`) 的数据。

*注意：当目标外设是流量控制器时，如果满足以下条件，可能会发生数据丢失：*

- $MDMA\_CHnCTRL.STW > MDMA\_CHnCTRL.DTW$
- $blk\_size\_bytes\_dst / src\_single\_size\_bytes \neq \text{整数}$

*丢失的数据量为： $src\_single\_size\_bytes - dst\_single\_size\_bytes$*

## 16.4.11 传输控制

传输控制逻辑负责将通道源外设的数据传输至目标外设。它与多个其他模块交互，例如通道源和目标状态机、链表控制逻辑、通道寄存器、通道 FIFO 控制逻辑等。

源外设的数据在发送到目标外设之前会暂时存储在通道 FIFO 中。当源和目标外设采用不同传输长度 (`arsize`、`awsized`) 时，MDMA 控制器将执行数据打包与拆包操作，以适配 FIFO 配置要求。

### 16.4.11.1 单块传输

如果 DMA 传输由单个块组成，软件需将源外设和目标外设的 `MDMA_CHnCFG` 寄存器中的多块传输类型位 (`SMBTT` 和 `DMBTT`) 均设置为 `2'b00`。此时，当 MDMA 控制器完成与 `MDMA_CHnBTS` 寄存器中编程的数据块长度对应的块传输后，将禁用该通道。

`MDMA_CHnINTSTS` 寄存器将更新为已完成块传输的对应状态。`MDMA_CHnINTSTS` 寄存器的更新依据 `MDMA_CHnINTSTSEN` 寄存器的设置进行，而中断生成则基于 `MDMA_CHnINTSTSEN`、`MDMA_CRINTSTS` 及 `MDMA_CFG` 寄存器的配置。

### 16.4.11.2 多块传输

如果 MDMA 被编程为多块传输，则 `MDMA_CHnSA` 和 `MDMA_CHnDA` 寄存器在多块传输的连续块上使用以下任一方法重新编程：

- 连续地址
- 自动重新加载
- 链表

`MDMA_CHnCTRL` 和 `MDMA_CHnBTS` 寄存器在多块传输的连续块上使用以下任一方法重新编程：

- 自动重新加载
- 链表

MDMA\_CHnINTSTS 寄存器将更新为已完成块传输的对应状态。MDMA\_CHnINTSTS 寄存器的更新依据 MDMA\_CHnINTSTSEN 寄存器的设置进行,而中断生成则基于 MDMA\_CHnINTSTSEN、MDMA\_CRINTSTS 及 MDMA\_CFG 寄存器的配置。

*注意: 如果启用了多块传输, 则在基于连续地址和自动重载的多块传输中, 完整 DMA 传输必须包含至少两块数据。否则将导致不可预测的行为。*

多块传输的寄存器更新方法取决于 MDMA\_CHnCFG 寄存器中多块类型位 (SMBTT 和 DMBTT) 的值。所有可能的多块寄存器更新方法的组合在下表中列出。

**表 16-2 多块传输的寄存器更新方法**

SMBTT <sup>(1)</sup>	DMBTT <sup>(1)</sup>	寄存器更新方法				备注
		MDMA_CHnSA	MDMA_CHnDA	MDMA_CHnCTRL	MDMA_CHnBTS	
00	00	无更新	无更新	无更新	无更新	单块或多块的最后一块
00	01	连续的	从初始值重新加载	从初始值重新加载	从初始值重新加载	-
00	10	-	-	-	-	-
01	00	从初始值重新加载	连续的	从初始值重新加载	从初始值重新加载	-
01	01	从初始值重新加载	从初始值重新加载	从初始值重新加载	从初始值重新加载	-
01	10	-	-	-	-	-
10	00	-	-	-	-	-
10	01	-	-	-	-	-
10	10	-	-	-	-	-
00	11	连续的	从下一个 LLI 加载	从下一个 LLI 加载	从下一个 LLI 加载	-
01	11	从初始值重新加载	从下一个 LLI 加载	从下一个 LLI 加载	从下一个 LLI 加载	-
11	00	从下一个 LLI 加载	连续的	从下一个 LLI 加载	从下一个 LLI 加载	-
11	01	从下一个 LLI 加载	从初始值重新加载	从下一个 LLI 加载	从下一个 LLI 加载	-
11	11	从下一个 LLI 加载	从下一个 LLI 加载	从下一个 LLI 加载	从下一个 LLI 加载	-
10	11	-	-	-	-	无效编程。 SIMBTE <sup>(2)</sup> 中断已生成
11	10	-	-	-	-	无效编程。 SIMBTE <sup>(2)</sup> 中断已生成

1 分别是 MDMA\_CHnCFG 寄存器的位[1:0]和位[3:2]字段。

2 从接口多块类型错误。

### 16.4.11.2.1 连续地址

在这种情况下，连续块之间的地址被选择为从前一个块的末尾延续。使能源地址或目标地址在块之间连续是 SMBTT 和 DMBTT 字段的功能。

MDMA\_CHnSA 和 MDMA\_CHnDA 更新不能同时选择为连续。如果需要，可以通过使用链表间接实现此功能：将下一个块描述符的 LLI.CHnSA 地址设置为前一个块结束地址加一。同样，将下一个块描述符的 LLI.CHnDA 地址设置为前一个块结束地址加一。

*注意：如果启用了基于连续地址的多块传输，则完整的 DMA 传输中必须至少包含两个块。否则，将导致不可预测的行为。*

### 16.4.11.2.2 自动重载

在这种情况下，通道传输控制寄存器在每个块完成时重新加载为其初始值，并且这些值用于新块。根据为源和目标外设选择的多块传输类型，部分或全部 MDMA\_CHnSA、MDMA\_CHnDA、MDMA\_CHnBTS 和 MDMA\_CHnCTRL 通道寄存器在新块传输开始时从其初始值重新加载。

MDMA 控制器不会继续进行下一个块传输，直到软件通过向 MDMA\_CHnINTCLR 寄存器中对应位写入 1 来清除相应通道的块传输完成中断（如果该中断未被屏蔽）。

*注意：如果启用了基于自动重载的多块传输，则完整的 DMA 传输中应至少有两个块。否则，将导致不可预测的行为。*

### 16.4.11.2.3 链表

在这种情况下，MDMA 控制器在每个块开始之前，通过从系统内存中获取该块的块描述符，重新编程通道传输控制寄存器。这被称为 LLI 更新。

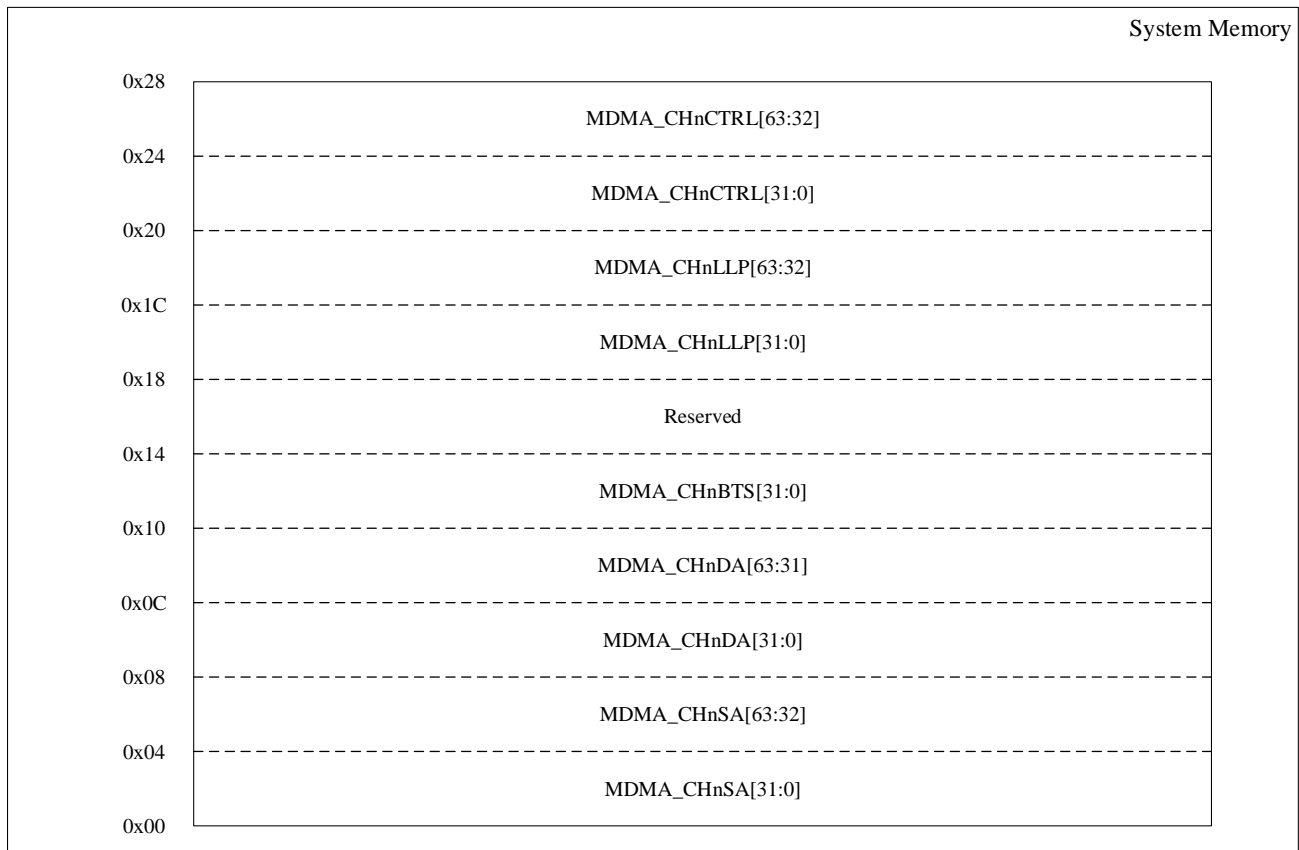
MDMA 块链使用链表指针寄存器 (MDMA\_CHnLLP) 存储内存中下一个链表项的地址。每个 LLI 包含以下块描述符：

- MDMA\_CHnSA
- MDMA\_CHnDA
- MDMA\_CHnBTS
- MDMA\_CHnCTRL
- MDMA\_CHnLLP

要设置块链，应该在内存中编程一个链表序列。MDMA 控制器允许动态扩展链表，这消除了需要提前在系统内存中创建整个链表的需求。LLI 的 MDMA\_CHnCTRL 寄存器中的 SRLLI 和 LSRLI 字段用于实现此功能。

对于基于链表的多块传输，LLI.CHnCTRL 寄存器的 SRLLI 位指示从内存中获取的链表项是否有效。如果该位设置为 0，表示 LLI 无效，若设置为 1，则表示 LLI 有效。如果 LLI 无效，MDMA 控制器将丢弃 LLI 并生成 LLI 错误中断（如果相应的通道错误中断屏蔽位设置为 0）。此错误状态将使 MDMA 控制器对相应通道执行有序中止。在尝试另一次 LLI 读操作之前，MDMA 控制器会等待软件向 MDMA\_CHnBTRR 寄存器写入任何值以指示有效 LLI 的可用性。

LLI 访问始终使用与数据总线宽度相同的突发大小 (arsize 或 awsize)，且无法更改或编程为其他值。突发长度 (awlen 或 arlen) 是根据数据总线宽度选择的，以确保访问不会跨越一个完整的 64 字节 LLI 结构。若突发长度未受其他设置限制，MDMA 控制器将通过单次 AXI 突发操作获取 LLI (40 字节)。

**图 16-10 MDMA 链表项（描述符）**


有关基于链表的多块传输编程的更多信息，请参见 16.4.15.2。

#### 16.4.11.2.4 暂停块之间的传输

在每次块传输结束时，如果满足以下条件，则会触发块传输完成中断：

- 全局中断已启用（MDMA\_CFG.GLBINTEN = 1）
- 通道块传输完成中断已启用（MDMA\_CHnINTSTSEN.BLKTD = 1 和 MDMA\_CHnINTSGLEN.BLKTD = 1 和 MDMA\_CHnCTRL.BTIOC = 1）

对于连续地址和基于自动重载的多块传输（如果源或目标外设都不使用基于链表的多块传输），当块传输完成中断被断言时，如果块传输完成中断已启用且未屏蔽，DMA 传输将自动暂停。MDMA 控制器仅在检测到软件对 MDMA\_CHnINTCLR 寄存器相应字段的写操作（用于清除通道块传输完成中断）后，才会继续执行下一个块传输操作。

通道在块间暂停，用于确保在最后一个块开始传输前，先处理倒数第二个块的块传输完成中断服务例程（ISR）。这保证了 ISR 在最后一个块完成传输前已清除 MDMA\_CHnCFG.SMBTT 和 / 或 MDMA\_CHnCFG.DMBTT 位。应在倒数第二个数据块传输完成的 ISR 中清除 MDMA\_CHnCFG.SMBTT 和 / 或 MDMA\_CHnCFG.DMBTT 位。

#### 16.4.11.2.5 多块传输结束

如果源或目标外设使用基于链表的多块传输，在 LLI.CHnCTRL 寄存器中的相应最后块指示位 LSRLLI 指示当前块是否是传输中的最后一块。如果该位对当前块设置为 1，MDMA 控制器会理解为当前块是传输中的最后一块，并在当前块传输结束时完成 DMA 传输操作。

对于连续地址和基于自动重载的多块传输（如果源或目标外设都不使用基于链表的多块传输），如果相应的多块类型选择位，即 MDMA\_CHnCFG.SMBTT 和/或 MDMA\_CHnCFG.DMBTT 位在块传输结束时为 2'b00，MDMA 控制器会理解为前一个块是传输中的最后一个块，并完成 DMA 传输操作。

## 16.4.12 AXI 非对齐传输

在基于 AXI 的系统中，未对齐内存访问较为常见，即内存访问地址未对齐至传输宽度的自然边界。MDMA 支持在 AXI 主接口上生成未对齐内存 DMA 传输。此功能支持消除了内存访问的以下限制：

- 源 AXI 数据传输：MDMA\_CHnSA 地址必须与源传输宽度对齐，即 MDMA\_CHnCTRL.STW（AXI 总线 arsize）。
- 目标 AXI 数据传输：MDMA\_CHnDA 地址必须与目标传输宽度对齐，即 MDMA\_CHnCTRL.DTW（AXI 总线 awsize）。

因此，可以将 MDMA\_CHnSA 和 MDMA\_CHnDA 寄存器编程为任何地址，并且它可以是未对齐的或与内存访问的源或目标传输宽度对齐的。未对齐访问支持涉及内存访问的 MDMA\_CHnCFG.TTFC 组合（TTFC = 0x1，TTFC = 0x2，TTFC = 0x4，TTFC = 0x6）。

MDMA 控制器在处理数据的打包和解包时，会考虑源端和目标端传输中的未对齐偏移。从未对齐的源事务接收到的数据会被打包以对齐 FIFO 宽度，然后存储在 FIFO 中。在目标端，数据从 FIFO 中读取，并根据 MDMA\_CHnDA 寄存器和目标传输宽度进行解包。目标传输中的无效字节通过将对应写脉冲置零实现无效化。以下部分提供了基于 MDMA、源或目标端作为流控制器的未对齐传输的更多详细信息。

### 16.4.12.1 MDMA 控制器是流量控制器

MDMA\_CHnBTS 寄存器的定义保持不变，即 NUM 字段中编程的数值表示在 DMA 块传输中要传输的数据宽度 MDMA\_CHnCTRL.STW 的总数。如果源地址未对齐，则源中未对齐的字节将被视为在 DMA 块传输中传输的总字节数。

计算未对齐传输中一个块内有效字节总数的公式如下：

$blk\_size\_bytes\_dma\_u = (MDMA\_CHnBTS.NUM * src\_single\_size\_bytes) - 源未对齐字节$

- MDMA 控制器从源中获取  $blk\_size\_bytes\_dma\_u$  字节的数据，并根据 MDMA\_CHnDA 寄存器将所有字节传输到目标。
- 目标端未对齐字节不会增加或减少 DMA 块中有效传输字节数。仅源端未对齐字节会影响 DMA 块的总传输字节数。
- 凡涉及内存的传输类型与流控制器组合（TTFC = 0x0、TTFC = 0x1、TTFC = 0x2）均支持未对齐传输。
- 当源或目标采用连续多块传输时，后续块的初始地址计算如下（MDMA\_CHnSA/MDMA\_CHnDA 的不齐特性也会导致后续块的初始地址不齐）：
  - 源连续：下一个 MDMA\_CHnSA = 当前 MDMA\_CHnSA +  $blk\_size\_bytes\_dma\_u$
  - 目标连续：下一个 MDMA\_CHnDA = 当前 MDMA\_CHnDA +  $blk\_size\_bytes\_dma\_u$  + 目标未对齐字节

### 16.4.12.2 源是流量控制器

计算未对齐传输中块传输的有效字节总数的公式如下：

$blk\_size\_bytes\_src\_u = (块中源突发事务的数量 * src\_burst\_size\_bytes) + (块中源单事务的数量$

\**src\_single\_size\_bytes*) - 源未对齐字节

- MDMA 控制器从源获取 *blk\_size\_bytes\_src\_u* 字节的数据，并根据 MDMA\_CHnDA 寄存器将所有字节传输到目标。
- 目标端未对齐字节不会影响 DMA 块中有效传输字节数。仅源端未对齐字节会影响 DMA 块的总传输字节数。
- 当源端为流量控制器时，只要涉及内存操作 (TTFC = 0x4)，无论采用何种传输类型与流量控制器组合，均支持非对齐传输。
- 当源或目标采用连续多块传输时，后续块的初始地址计算如下 (MDMA\_CHnSA/MDMA\_CHnDA 的不齐特性也会导致后续块的初始地址不齐):
  - 源连续: 下一步 MDMA\_CHnSA = 当前 MDMA\_CHnSA + *blk\_size\_bytes\_src\_u*
  - 目标连续: 下一个 MDMA\_CHnDA = 当前 MDMA\_CHnDA + *blk\_size\_bytes\_src\_u* + 目标未对齐字节

### 16.4.12.3 目标是流量控制器

计算未对齐传输中块传输的有效字节总数的公式如下:

*blk\_size\_bytes\_dst\_u* = (块中目标突发事务的数量 \* 目标突发大小字节) + (块中目标单事务的数量 \* 目标单一大小字节) - 目标未对齐字节

- MDMA 控制器始终向目标提供 *blk\_size\_bytes\_dst\_u* 字节的数据。
- 如果源地址未对齐，则 MDMA 控制器会额外获取 *src\_single\_size\_bytes* 以补偿源未对齐的字节，并为目标提供 *blk\_size\_bytes\_dst\_u* 字节的完整数据块。
  - 此外，在某些目标未对齐的情况下，MDMA 控制器会从源中获取  $\text{ceil}(\text{目标未对齐字节} / \text{src\_single\_size\_bytes})$  数量的额外数据。
  - 例如，如果 STW = 64 位，DTW = 64 位，TTFC = 0x6，DSTMSIZE = 16 个数据项，MDMA\_CHnSA = 0x1007 (源未对齐)，MDMA\_CHnDA = 0xF008 (目标已对齐)。
    - 从源获取目标请求 (DST\_REQ\_DATA) 所需的字节数
 
$$= \text{DSTMSIZE} * \text{DTW}$$

$$= 16 * 8$$

$$= 128 \text{ 字节}$$
    - 数据可以从源头获取以满足第一个目标请求。
 
$$= (\text{DST\_REQ\_DATA} / \text{STW}) * \text{STW} - \text{源未对齐字节}$$

$$= (128 / 8) * 8 - 7$$

$$= 121 \text{ 字节}$$

从前面的例子中，由于源传输未对齐，源需要为第一个目标请求获取额外的 7 字节数据。因此，MDMA 控制器会额外获取 *src\_single\_size\_bytes* 的数据以补偿未对齐的字节。

- 当目标为流量控制器时，只要涉及内存 (TTFC = 0x6)，无论传输类型与流量控制器如何组合，均支持未对齐传输。

■ 当源或目标采用连续多块传输时，后续块的初始地址计算如下（MDMA\_CHnSA/MDMA\_CHnDA 的不对齐性质也会导致后续块的初始地址不对齐）：

- 源连续：下一步  $MDMA\_CHnSA = \text{当前 } MDMA\_CHnSA \text{ (已对齐)} + blk\_size\_bytes\_dst\_u + \text{源未对齐字节}$
- 目标连续：下一个  $MDMA\_CHnDA = \text{当前 } MDMA\_CHnDA + blk\_size\_bytes\_dst\_u$

### 16.4.13 通道暂停和禁用

在正常操作下，软件通过向通道使能寄存器（MDMA\_CHEN 寄存器）写入 1 来启用通道，而硬件在传输完成时通过清除 MDMA\_CHEN 寄存器来禁用通道。

软件可以在传输完成之前暂停或禁用通道。暂停和禁用操作在以下章节进行说明。

#### 16.4.13.1 通道暂停

在 DMA 传输期间暂停（挂起）通道：

1. 软件将 1 写入通道暂停寄存器（MDMA\_CHSUSP）中的通道暂停位 CHn。
2. MDMA 控制器在完成源外设上启动的所有 AXI 传输后，会有序地停止从源外设的所有传输。
3. MDMA 控制器将 CHSS 位（在 MDMA\_CHnINTSTS 寄存器中）设置为 1，以指示源数据传输已暂停，并在未屏蔽的情况下生成中断。

*注意：如果通道 FIFO 已满且目标外设未请求数据传输，MDMA 控制器将无法在相应的主接口上接收更多数据，这可能导致死锁。*

*由源/目标/LLI 状态机发起并存在于主接口读地址通道和写地址通道 FIFO 中的请求，即使通道暂停请求已被发起，仍将通过 AXI 主接口发送。根据主接口读地址和写地址通道 FIFO 深度配置，最多可发起 8 个读/写请求，MDMA 控制器在暂停通道之前也会等待这些请求的数据/响应。*

4. MDMA 控制器将通道 FIFO 中的所有数据传输到目标外设。

当  $STW < DTW$  并且 MDMA\_CHSUSP.CHn 位为高时，通道 FIFO 中可能仍有数据，但不足以形成一次 DTW 传输。若后续恢复通道传输导致 FIFO 中数据量增加，剩余数据将被传输至目标设备。

5. MDMA 控制器清除通道锁定并重置 MDMA\_CHnCFG 寄存器中的通道锁定设置。
6. MDMA 控制器将 CHLC 位（在 MDMA\_CHnINTSTS 寄存器中）设置为 1，以指示通道锁定已清除。
7. MDMA 控制器将 CHS 位（在 MDMA\_CHnINTSTS 寄存器中）设置为 1，以指示通道已挂起。
8. MDMA 控制器生成 CHS 中断（如果未屏蔽）。

在通道暂停后，软件可在一段时间后恢复该通道，或者禁用该通道。

#### 16.4.13.2 通道暂停和恢复

暂停和恢复通道：

1. 执行 16.4.13.1 章节的步骤 1 到 4。
2. 软件向通道暂停寄存器（MDMA\_CHSUSP）中的通道暂停位 CHn 写入 0。
3. MDMA 控制器从暂停点恢复 DMA 传输。



*注意：当软件通过向通道暂停位（MDMA\_CHSUSP 寄存器中的 CHn 位）写入 1 来启动通道暂停程序后，在 MDMA 控制器使能 CHS 位（位于 MDMA\_CHnINTSTS 寄存器中）之前，禁止向 CHn 位写入 0 来恢复通道。MDMA 控制器将忽略此写入操作。*

### 16.4.13.3 在传输完成之前暂停和禁用通道

暂停和禁用通道：

1. 执行 16.4.13.1 章节的步骤 1 到 4。
2. 若需通过软件禁用暂停通道，请在 MDMA 控制器将通道使能寄存器（MDMA\_CHEN）中的 CHS 位设为 1（表示通道已暂停）后，向该寄存器中的通道使能位（CHn）写入 0。

当  $STW < DTW$  并且 MDMA\_CHSUSP.CHn 位为高时，通道 FIFO 中可能仍有数据，但不足以形成一次 DTW 传输。

在这种情况下，一旦通道被禁用，通道 FIFO 中的剩余数据不会传输到目标外设，并且会丢失。

3. MDMA 控制器将 CHD 位（在 MDMA\_CHnINTSTS 寄存器中）设置为 1，以指示通道已禁用。
4. MDMA 控制器生成 CHD 中断（如果未屏蔽）。
5. MDMA 控制器将 MDMA\_CHEN.CHn 位清除为 0。

### 16.4.13.4 在传输完成之前禁用通道而不暂停

要禁用通道而不暂停：

1. 软件将 0 写入通道使能寄存器（MDMA\_CHEN）中的通道使能位 CHn。
2. MDMA 控制器在完成源外设上启动的所有 AXI 传输后，会有序地停止从源外设的所有传输。
3. MDMA 控制器将通道 FIFO 中的所有数据传输到目标外设。

如果  $STW < DTW$  并且 MDMA\_CHEN.CHn 位为低电平，则通道 FIFO 中可能仍有数据，但不足以形成一次 DTW 传输。

在这种情况下，一旦通道被禁用，通道 FIFO 中的剩余数据不会传输到目标外设，并且会丢失。

4. MDMA 控制器清除通道锁定并重置 MDMA\_CHnCFG 寄存器中的通道锁定设置。
5. MDMA 控制器将 CHLC 位（在 MDMA\_CHnINTSTS 寄存器中）设置为 1，以指示通道锁定已清除。
6. MDMA 控制器将 CHD 位（在 MDMA\_CHnINTSTS 寄存器中）设置为 1，以指示通道已禁用。
7. MDMA 控制器生成 CHD 中断（如果未屏蔽）。
8. MDMA 控制器将 MDMA\_CHEN.CHn 位清除为 0。

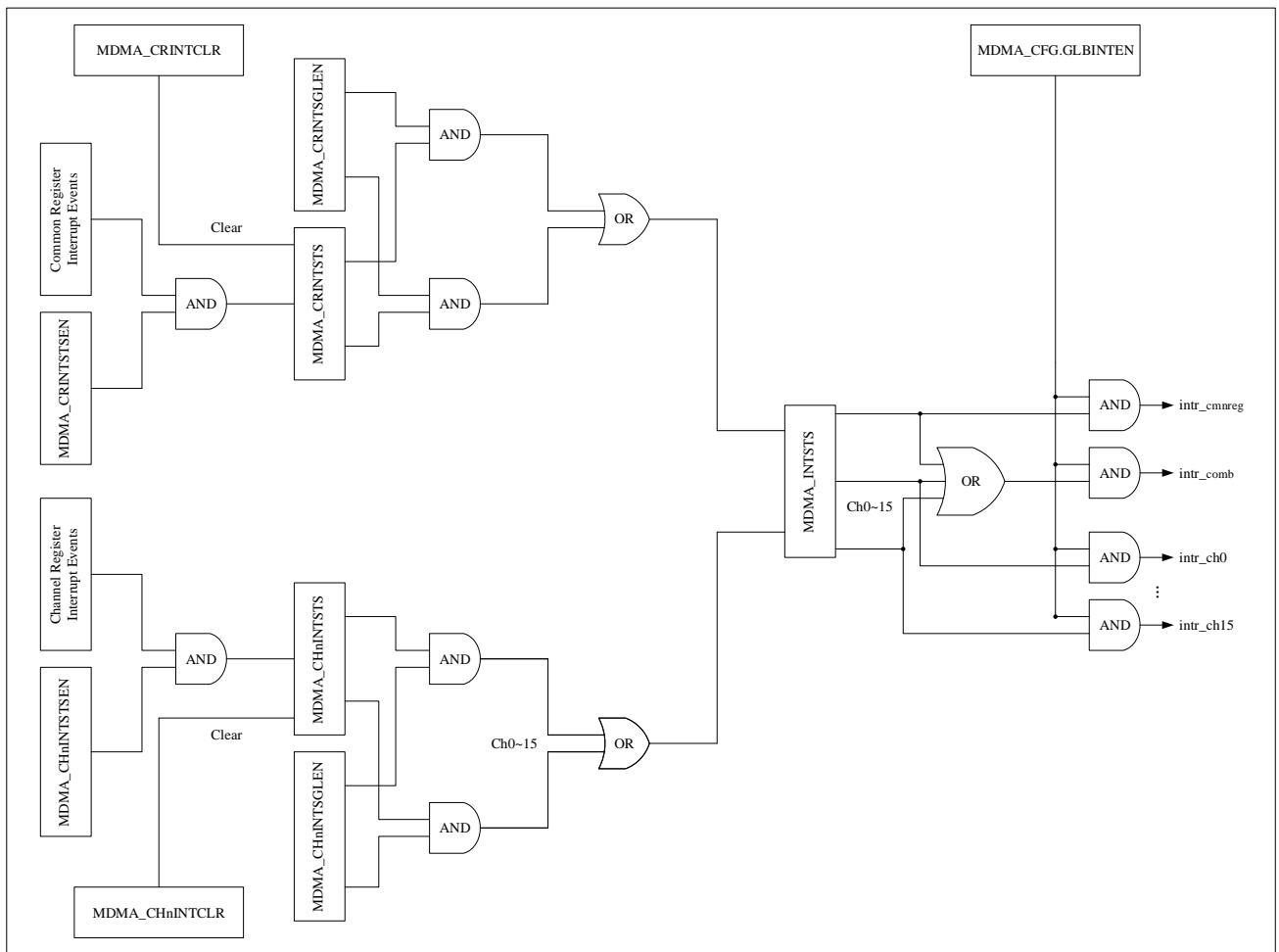
*注意：一旦软件通过向通道使能位（MDMA\_CHEN 寄存器中的 CHn）写入 0 来启动通道禁用程序，在 MDMA 控制器断言 CHD 位（在 MDMA\_CHnINTSTS 寄存器中）之前，向 CHn 位写入 1 以重新启用通道是不允许的。MDMA 控制器会忽略此写操作。*

## 16.4.14 中断

MDMA 支持组合和单独的中断输出。MDMA 通过不同寄存器实现中断接口功能。软件可以读取这些寄存器以识别中断的来源并采取适当的措施。有关更多信息，请参阅第 16.5.1 节和第 16.5.2 节中的相关中断寄存器。

图 16-11 显示了 MDMA 中的中断生成机制。

图 16-11 MDMA 中断生成<sup>(1)(2)(3)</sup>



- 1 图中的 intr\_comb 表示由 MDMA 通用寄存器中断和 MDMA 通道 n 中断组合而成的中断。
- 2 图中的 intr\_cmreg 表示单个 MDMA 通用寄存器中断。
- 3 图中的 intr\_chn (n = 0 到 15) 表示单个 MDMA 通道 n 中断。

## 16.4.15 编程指南

### 16.4.15.1 单块传输

本节描述了单块传输的编程步骤。

1. 软件读 MDMA 通道使能寄存器以选择一个可用（未使用的）通道。
2. 软件将 MDMA\_CHnCFG 寄存器编程为：源设备和目标设备的多块类型值均为 2'b00（即 SMBTT 和/或 DMBTT 位）。
3. 软件将 MDMA\_CHnSA 和/或 MDMA\_CHnDA、MDMA\_CHnBTS、MDMA\_CHnCTRL 寄存器编程为该数据块的相应值。
4. 软件通过向 MDMA\_CHEN 寄存器的相应位写入 1 来启用通道。

5. 源和目标请求单次或突发 DMA 事务以传输数据块（假设为非内存外设）。MDMA 控制器在每次事务（突发和单次）完成时均发送应答，并执行数据块传输。
6. 软件等待块传输完成中断/轮询 MDMA\_CHnINTSTS 寄存器中的块传输完成指示位（BLKTD），直到该位为 1。

### 16.4.15.2 基于链表的多块传输

本节描述了基于链表的多块传输的编程步骤。

1. 软件读 MDMA 通道使能寄存器以选择一个可用（未使用的）通道。
2. 软件将 MDMA\_CHnCFG 寄存器编程为适合 DMA 传输的值。  
SMBTT 和/或 DMBTT 位必须设置为 2'b11。
3. 软件在 MDMA\_CHnLLP 寄存器中编程设置首个链表项的基址及该链表项可用的主接口。
4. 软件在系统内存中创建一个或多个链表项。软件可以预先创建整个链表项，或者使用 LLI 的 SRLLI 和 LSRLLI 字段（在 MDMA\_CHnCTRL 寄存器中）动态扩展链表。
5. 软件通过向 MDMA\_CHEN 寄存器相应位写入 1 来启用通道。

*注意：步骤 4 和步骤 5 的顺序可以互换。然而，如果在步骤 4 之前执行步骤 5，或者在多块传输期间的任何时间，系统内存中没有可用的用于下一块传输的链表项，并且获取的 LLI 的 SRLLI 位被设置为 0，MDMA 控制器可能会生成 LLI 无效错误中断。*

6. MDMA 控制器根据块传输的设置启动 DMA 块传输操作。
7. 块传输可能会立即开始，或者在硬件或软件握手请求之后开始，具体取决于 MDMA\_CHnCFG 寄存器中 TTFC 字段的设置。
8. MDMA 控制器将链表内容复制到用于执行 MDMA 块传输的寄存器中（即 MDMA\_CHnSA 和/或 MDMA\_CHnDA、MDMA\_CHnBTS 和 MDMA\_CHnCTRL 寄存器），并启动 MDMA 块传输。
9. 在链表获取阶段：
  - a) 若 MDMA 控制器检测到 MDMA\_CHnCTRL 寄存器中获取的 LLI 的 LSRLLI 位为 1，则判定当前块为传输的最后一个块，并在当前块传输结束时完成 DMA 传输操作。
  - b) 若 MDMA 控制器检测到所获取 LLI 的 MDMA\_CHnCTRL.LSRLLI 位为 0，则判定尚有至少一个块待传输，并转至步骤 6。
  - c) 若 MDMA 控制器检测到读取的 LLI 中 MDMA\_CHnCTRL.LSRLLI 位为 0，则可能触发 LLI 无效错误中断。MDMA 控制器将等待软件向 MDMA\_CHnBTRR 写入任意值以标识有效 LLI 可用，才再次尝试读取 LLI 操作。

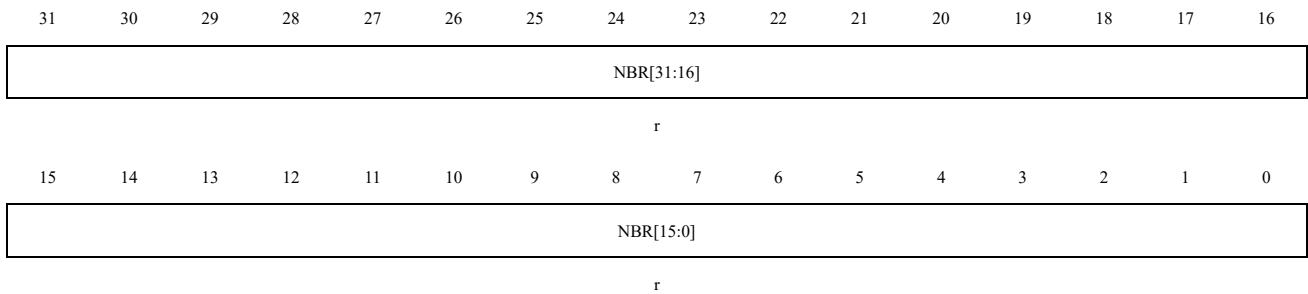
## 16.5 寄存器

### 16.5.1 MDMA 通用寄存器

#### 16.5.1.1 MDMA ID 寄存器 (MDMA\_ID)

偏移地址: 0x0000

复位值: 0x0000 0000

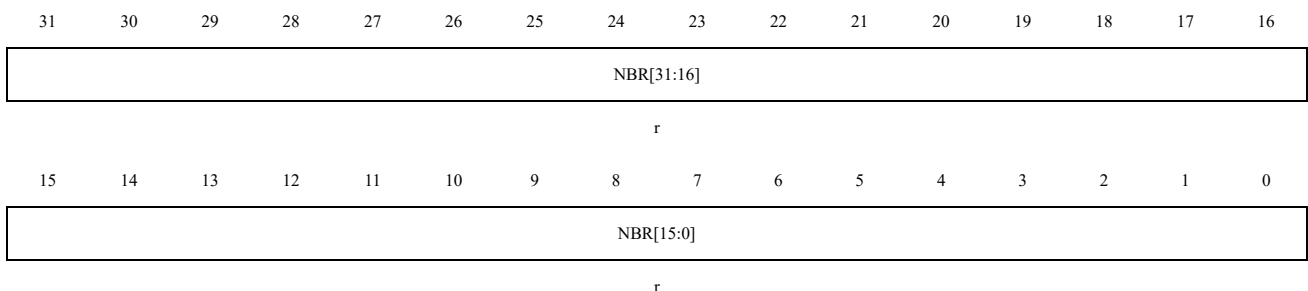


位域	名称	描述
31:0	NBR	MDMA 组件标识号。

#### 16.5.1.2 MDMA 版本寄存器 (MDMA\_VERSION)

偏移地址: 0x0008

复位值: 0x3230 302A



位域	名称	描述
31:0	NBR	MDMA 组件版本号。

#### 16.5.1.3 MDMA 配置寄存器 (MDMA\_CFG)

偏移地址: 0x0010

复位值: 0x0000 0000

此寄存器用于启用 MDMA，必须在任何通道活动开始之前完成。此寄存器还包含全局中断使能位。



Reserved
----------

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

Reserved	GLBINTEN	EN
	rw	rw

位域	名称	描述
31:2	Reserved	保留，必须保持复位值。
1	GLBINTEN	此位用于启用全局中断生成。 0x0: MDMA 中断已禁用 0x1: MDMA 中断已启用
0	EN	此位用于启用 MDMA。 0x0: MDMA 已禁用 0x1: MDMA 已启用 <i>注意：如果在任何通道仍然活动时清除此位，则此位仍返回 1，以指示仍有通道处于活动状态，直到 MDMA 硬件终止所有通道上的所有活动，此时此位返回 0。</i>

#### 16.5.1.4 MDMA 通道使能寄存器 (MDMA\_CHEN)

偏移地址：0x0018

复位值：0x0000 0000

这是 MDMA 通道使能寄存器。如果软件想要设置一个新通道，可以读取此寄存器以找出当前哪些通道处于非活动状态，然后以所需的优先级启用一个非活动通道。

当 MDMA 全局使能位 (MDMA 配置寄存器的第 0 位) 为 0 时，该寄存器的所有位都会被清零为 0。当全局使能位为 0 时，对 MDMA 配置寄存器的写操作将被忽略，读操作始终返回 0。

通道使能位 CH<sub>n</sub> 仅在相应的通道写使能位 CH<sub>n</sub>WEN 在同一从接口写传输中被置位时才会被写入。例如，写入十六进制 0001\_XXX1 会将 1 写入位 0，而位[15:1]保持不变。写入十六进制 0000\_XXXX 会使位[15:0]保持不变。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CH15WEN	CH14WEN	CH13WEN	CH12WEN	CH11WEN	CH10WEN	CH9WEN	CH8WEN	CH7WEN	CH6WEN	CH5WEN	CH4WEN	CH3WEN	CH2WEN	CH1WEN	CH0WEN
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH15	CH14	CH13	CH12	CH11	CH10	CH9	CH8	CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
n + 16	CH <sub>n</sub> WEN	通道 n 启用位写使能 (n = 0, 1, ... 15)。 此寄存器位的读取值始终为“0”。

位域	名称	描述
		0x0: 通道 n 启用位写禁用 0x1: 通道 n 启用位写使能
n	CHn	通道 n 启用 (n = 0, 1, ... 15)。 此位由硬件自动清除, 用于在 DMA 传输至目标的最后一次 AMBA 传输完成后禁用该通道。因此, 软件可以轮询此位以确定该通道何时可用于新的 DMA 传输。 0x0: 通道 n 已禁用 0x1: 通道 n 已启用

### 16.5.1.5 MDMA 通道挂起寄存器 (MDMA\_CHSUSP)

偏移地址: 0x0020

复位值: 0x0000 0000

这是 MDMA 通道挂起寄存器。只有在相应的通道写使能位 CHnWEN 在同一从接口写传输中被置位时, 通道挂起位 CHn 才会被写入。例如, 写入十六进制 0001\_XXX1 会将 1 写入位 0, 而位[15:1]保持不变。写入十六进制 0000\_XXXX 会使位[15:0]保持不变。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CH15WEN	CH14WEN	CH13WEN	CH12WEN	CH11WEN	CH10WEN	CH9WEN	CH8WEN	CH7WEN	CH6WEN	CH5WEN	CH4WEN	CH3WEN	CH2WEN	CH1WEN	CH0WEN
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH15	CH14	CH13	CH12	CH11	CH10	CH9	CH8	CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
n + 16	CHnWEN	通道 n 挂起位写使能 (n = 0, 1, ... 15)。 此寄存器位的读取值始终为“0”。 0x0: 通道 n 挂起位写禁用 0x1: 通道 n 挂起位写使能
n	CHn	通道 n 挂起请求 (n = 0, 1, ... 15)。 软件将此位设置为 1 以请求通道挂起。如果此位被设置为 1, MDMA 将有序地暂停从源头的 DMA 数据传输, 直到此位被清除。无法保证当前的 DMA 事务会完成。此位还可以与通道 n 中断状态寄存器的第 29 位 (通道挂起) 结合使用, 以安全地禁用通道而不丢失任何数据。在这种情况下, 软件首先将此位设置为 1, 并轮询通道 n 中断状态寄存器的第 29 位, 直到其被设置为 1。然后, 软件可以将通道 n 使能位清零 (在通道使能寄存器中) 以禁用通道。 当 MDMA 将通道 n 中断状态寄存器的第 29 位设置为 1 后, 软件可以将此位清零, 以退出通道挂起模式。 0x0: 无通道暂停请求 0x1: 请求通道暂停 <i>注意: 当通道被禁用时, 此位将被清除。</i>

### 16.5.1.6 MDMA 中断状态寄存器 (MDMA\_INTSTS)

偏移地址: 0x0030

复位值: 0x0000 0000 0000 0000

MDMA 中断状态寄存器捕获每个通道的组合通道中断和组合通用寄存器块中断。

63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
Reserved															
47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
Reserved															COMREG
r															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH15	CH14	CH13	CH12	CH11	CH10	CH9	CH8	CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位域	名称	描述
63:33	Reserved	保留, 必须保持复位值。
32	COMREG	通用寄存器中断状态位。 0x0: 通用寄存器中断处于非活动状态 0x1: 通用寄存器中断处于活动状态
31:16	Reserved	保留, 必须保持复位值。
n	CHn	通道 n 中断状态位 (n = 0, 1, ... 15)。 0x0: 通道 n 中断处于非活动状态 0x1: 通道 n 中断处于活动状态

### 16.5.1.7 MDMA 通用寄存器中断清除寄存器 (MDMA\_CRINTCLR)

偏移地址: 0x0038

复位值: 0x0000 0000

将 1 写入特定字段会清除 MDMA 通用寄存器中断状态寄存器中的相应字段。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved								SIURDEI C	Reserved				SICRWOH EIC	SICRR2W OEIC	SICRW2R OEIC	SICRDEIC

位域	名称	描述
31:9	Reserved	保留，必须保持复位值。
8	SIURDEIC	从接口未定义寄存器解码错误中断清除位。 0x0：无效信号。不采取任何操作。 0x1：清除 MDMA 通用寄存器中断状态寄存器中的 SIURDEIS 中断。
7:4	Reserved	保留，必须保持复位值。
3	SICRWOHEIC	从接口通用寄存器写入保持错误中断清除位。 0x0：无效信号。不采取任何操作。 0x1：清除 MDMA 通用寄存器中断状态寄存器中的 SICRWOHEIS 中断。
2	SICRR2WOEIC	从接口通用寄存器读只写错误中断清除位。 0x0：无效信号。不采取任何操作。 0x1：清除 MDMA 通用寄存器中断状态寄存器中的 SICRR2WOEIS 中断。
1	SICRW2ROEIC	从接口通用寄存器写只读错误中断清除位。 0x0：无效信号。不采取任何操作。 0x1：清除 MDMA 通用寄存器中断状态寄存器中的 SICRW2ROEIS 中断。
0	SICRDEIC	从接口通用寄存器解码错误中断清除位。 0x0：无效信号。不采取任何操作。 0x1：清除 MDMA 通用寄存器中断状态寄存器中的 SICRDEIS 中断。

### 16.5.1.8 MDMA 通用寄存器中断状态使能寄存器 (MDMA\_CRINTSTSEN)

偏移地址：0x0040

复位值：0xFFFF FFFF

将 1 写入特定字段会在 MDMA 通用寄存器中断状态寄存器中启用相应的中断状态生成。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							SIURDEIS	Reserved				SICRWOHEIS	SICRR2WOEIS	SICRW2ROEIS	SICRDEIS
							rw					rw	rw	rw	rw

位域	名称	描述
31:9	Reserved	保留，必须保持复位值。
8	SIURDEIS	从接口未定义寄存器解码错误中断状态使能位。 此位用于启用相应通道中断状态位。 0x0：MDMA 通用寄存器中断状态寄存器中的 SIURDEIS 位已禁用。 0x1：MDMA 通用寄存器中断状态寄存器中的 SIURDEIS 位已启用。
7:4	Reserved	保留，必须保持复位值。



位域	名称	描述
3	SICRWOHEIS	从接口通用寄存器写入保持错误中断状态使能位。 此位用于启用相应通道中断状态位。 0x0: MDMA 通用寄存器中断状态寄存器中的 SICRWOHEIS 位已禁用。 0x1: MDMA 通用寄存器中断状态寄存器中的 SICRWOHEIS 位已启用。
2	SICRR2WOEIS	从接口通用寄存器读只写错误中断状态使能位。 此位用于启用相应通道中断状态位。 0x0: MDMA 通用寄存器中断状态寄存器中的 SICRR2WOEIS 位已禁用。 0x1: MDMA 通用寄存器中断状态寄存器中的 SICRR2WOEIS 位已启用。
1	SICRW2ROEIS	从接口通用寄存器写入只读错误中断状态使能位。 此位用于启用相应通道中断状态位。 0x0: MDMA 通用寄存器中断状态寄存器中的 SICRW2ROEIS 位已禁用。 0x1: MDMA 通用寄存器中断状态寄存器中的 SICRW2ROEIS 位已启用。
0	SICRDEIS	从接口通用寄存器解码错误中断状态使能位。 此位用于启用相应通道中断状态位。 0x0: MDMA 通用寄存器中断状态寄存器中的 SICRDEIS 位已禁用。 0x1: MDMA 通用寄存器中断状态寄存器中的 SICRDEIS 位已启用。

### 16.5.1.9 MDMA 通用寄存器中断信号使能寄存器 (MDMA\_CRINTSGLEN)

偏移地址: 0x0048

复位值: 0xFFFF FFFF

将 1 写入特定字段将传播 MDMA 通用寄存器中断状态寄存器中的相应中断状态, 以生成端口级中断。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved							SIURDEIS	Reserved					SICRWOH EIS	SICRR2W OEIS	SICRW2R OEIS	SICRDEIS
							rw						rw	rw	rw	rw

位域	名称	描述
31:9	Reserved	保留, 必须保持复位值。
8	SIURDEIS	从接口未定义寄存器解码错误中断信号使能位。 此位用于使相应的通道中断状态位生成端口级中断。 0x0: MDMA 通用寄存器中断状态寄存器中的 SIURDEIS 位在端口级别被禁用。 0x1: MDMA 通用寄存器中断状态寄存器中的 SIURDEIS 位在端口级别启用。
7:4	Reserved	保留, 必须保持复位值。
3	SICRWOHEIS	从接口通用寄存器写入保持错误中断信号使能位。 此位用于使相应的通道中断状态位生成端口级中断。 0x0: MDMA 通用寄存器中断状态寄存器中的 SICRWOHEIS 位在端口级别被禁用。

位域	名称	描述
		0x1: MDMA 通用寄存器中断状态寄存器中的 SICRWOEIS 位在端口级别启用。
2	SICRR2WOEIS	从接口通用寄存器读只写错误中断信号使能位。 此位用于使相应的通道中断状态位生成端口级中断。 0x0: MDMA 通用寄存器中断状态寄存器中的 SICRR2WOEIS 位在端口级别被禁用。 0x1: MDMA 通用寄存器中断状态寄存器中的 SICRR2WOEIS 位在端口级别启用。
1	SICRW2ROEIS	从接口通用寄存器写入只读错误中断信号使能位。 此位用于使相应的通道中断状态位生成端口级中断。 0x0: MDMA 通用寄存器中断状态寄存器中的 SICRW2ROEIS 位在端口级别被禁用。 0x1: MDMA 通用寄存器中断状态寄存器中的 SICRW2ROEIS 位在端口级别启用。
0	SICRDEIS	从接口通用寄存器解码错误中断信号使能位。 此位用于使相应的通道中断状态位生成端口级中断。 0x0: MDMA 通用寄存器中断状态寄存器中的 SICRDEIS 位在端口级别被禁用。 0x1: MDMA 通用寄存器中断状态寄存器中的 SICRDEIS 位在端口级别启用。

### 16.5.1.10 MDMA 通用寄存器中断状态寄存器 (MDMA\_CRINTSTS)

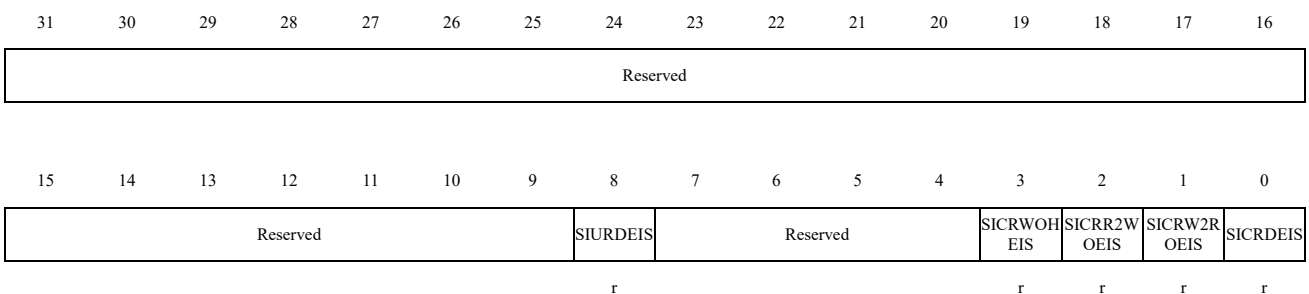
偏移地址: 0x0050

复位值: 0x0000 0000

此寄存器捕获从接口访问错误:

- 解码错误
- 写只读寄存器
- 读只写寄存器
- 写挂起
- 未定义地址

如果在 MDMA\_CRINTSTSEN 寄存器中相应的状态使能位被设置为 1, 则会生成错误中断状态。通过向 MDMA\_CRINTCLR 寄存器中相应的中断清除位写入 1, 错误中断状态位将被清除为 0。



位域	名称	描述
31:9	Reserved	保留，必须保持复位值。
8	SIURDEIS	<p>从接口未定义寄存器解码错误中断状态位。</p> <p>由 MDMA 在寄存器访问期间生成的解码错误。如果寄存器访问的是未定义的地址范围（例如，如果配置了 8 个通道，则地址范围 &gt; 0x8FF；如果配置了 4 个通道，则地址范围 &gt; 0x4FF 等），将导致 MDMA 从接口产生错误响应。</p> <p>启用通道时，向 MDMA_CRINTCLR 寄存器中对应通道的中断清除位写入 1 可将此位清零（中断未使能时需执行此操作）。</p> <p>0x0：未检测到从接口解码错误。 0x1：检测到从接口解码错误。</p>
7:4	Reserved	保留，必须保持复位值。
3	SICRWOHEIS	<p>从接口通用寄存器写入保持错误中断状态位。</p> <p>如果在通用寄存器上执行非法写操作，则会发生此错误；当 MDMA 处于 Hold 模式时，如果在通用寄存器（除了 MDMA_SWRST）上执行写操作且 RSTREQ 字段设置为 1，则会发生此情况。</p> <p>启用通道时，向 MDMA_CRINTCLR 寄存器中对应通道的中断清除位写入 1 可将此位清零（中断未使能时需执行此操作）。</p> <p>0x0：未检测到从接口通用寄存器写入保持错误。 0x1：检测到从接口通用寄存器写入保持错误。</p>
2	SICRR2WOEIS	<p>从接口通用寄存器读只写错误中断状态位。</p> <p>此错误发生在对通用寄存器空间（0x000 到 0x0FF）中的只写寄存器执行读操作时。</p> <p>启用通道时，向 MDMA_CRINTCLR 寄存器中对应通道的中断清除位写入 1 可将此位清零（中断未使能时需执行此操作）。</p> <p>0x0：未检测到从接口读只写错误。 0x1：检测到从接口读只写错误。</p>
1	SICRW2ROEIS	<p>从接口通用寄存器写入只读错误中断状态位。</p> <p>此错误发生在对通用寄存器空间（0x000 到 0x0FF）中的只读寄存器执行写操作时。</p> <p>启用通道时，向 MDMA_CRINTCLR 寄存器中对应通道的中断清除位写入 1 可将此位清零（中断未使能时需执行此操作）。</p> <p>0x0：未检测到从接口写入只读错误。 0x1：检测到从接口写入只读错误。</p>
0	SICRDEIS	<p>从接口通用寄存器解码错误中断状态位。</p> <p>由 MDMA 在寄存器访问期间生成的解码错误。如果寄存器访问的是通用寄存器空间（0x000 到 0x0FF）中的无效地址，则会导致 MDMA 从接口产生错误响应。</p> <p>启用通道时，向 MDMA_CRINTCLR 寄存器中对应通道的中断清除位写入 1 可将此位清零（中断未使能时需执行此操作）。</p> <p>0x0：未检测到从接口解码错误。 0x1：检测到从接口解码错误。</p>

### 16.5.1.11 MDMA 软件复位寄存器（MDMA\_SWRST）

偏移地址：0x0058

复位值：0x0000 0000

此寄存器用于启动对 MDMA 的软件复位。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														RSTREQ	
rw															

位域	名称	描述
31:1	Reserved	保留，必须保持复位值。
0	RSTREQ	MDMA 复位请求位。 软件将 1 写入此位以复位 MDMA，并轮询该位以检测其值为 0。MDMA 复位除从总线接口模块外的所有模块，并将此位清零。 <i>注意：软件不允许将 0 写入此位。</i>

### 16.5.1.12 MDMA 低功耗配置寄存器 (MDMA\_LPCFG)

偏移地址：0x0060

复位值：0x0000 0000 0000 0000

此寄存器应在启用通道之前进行编程。

63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
Reserved								MXIFLPDLY[7:0]							
rw															
47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
SBIULPDLY[7:0]								GLCHLPDLY[7:0]							
rw								rw							
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											MXIFCSL PEN	SBIUCSL PEN	CHCSLPE N	GBLCSLP EN	
											rw	rw	rw	rw	

位域	名称	描述
63:56	Reserved	保留，必须保持复位值。

位域	名称	描述
55:48	MXIFLPDLY	定义要编程到 AXI 主接口低功耗延迟计数器中的加载值。编程的值必须大于或等于 0x4。如果编程的值小于 0x4，则寄存器值将重置为 4。编程到此寄存器字段的最大值限制为 7，否则该字段的高位将被重置为 0x0。
47:40	SBIULPDLY	定义要编程到 SBIU 低功耗延迟计数器中的加载值。编程的值必须大于或等于 0x4。如果编程的值小于 0x4，则寄存器值将重置为 4。编程到此寄存器字段中的最大值限制为 7，否则此字段的高位将重置为 0x0。
39:32	GLCHLPDLY	定义要编程到全局和 MDMA 通道低功耗延迟计数器中的加载值。编程的值必须大于或等于 0x4。如果编程的值小于 0x4，则寄存器值将重置为 4。编程到此寄存器字段的最大值限制为 7，否则该字段的高位将重置为 0x0。
31:4	Reserved	保留，必须保持复位值。
3	MXIFCSLPEN	AXI 主接口上下文敏感低功耗功能使能。 0x0: 该功能已禁用 0x1: 该功能已启用
2	SBIUCSLPEN	SBIU 上下文敏感低功耗功能使能。 0x0: 该功能已禁用 0x1: 该功能已启用
1	CHCSLPEN	MDMA 通道上下文敏感低功耗功能使能。 0x0: 该功能已禁用 0x1: 该功能已启用
0	GBLCSLPEN	全局上下文敏感低功耗功能使能。 0x0: 该功能已禁用 0x1: 该功能已启用

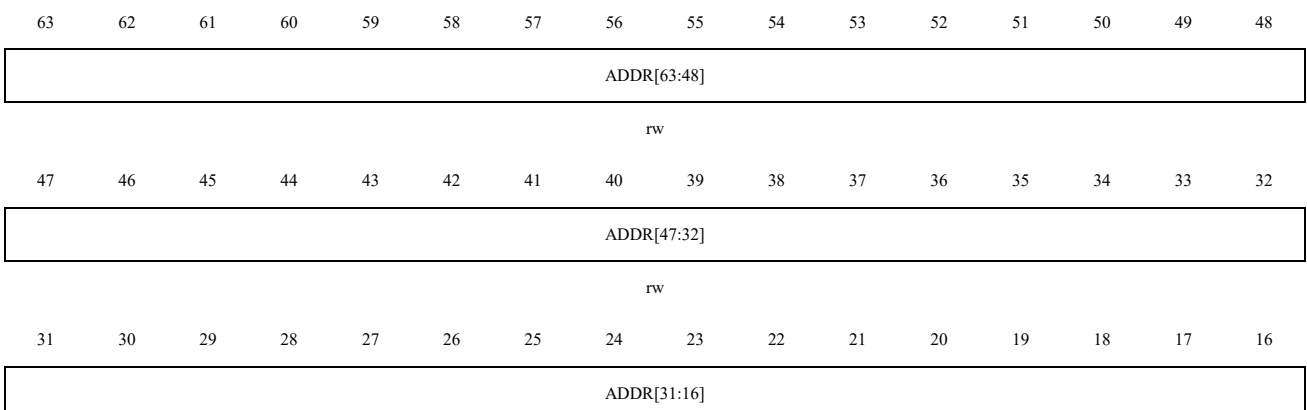
## 16.5.2 MDMA 通道 n 寄存器

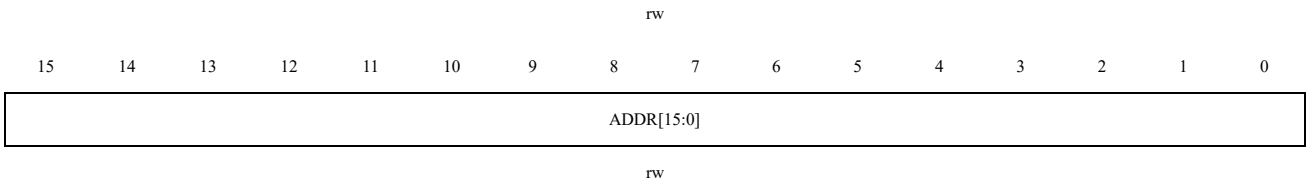
### 16.5.2.1 MDMA 通道 n 源地址寄存器 (MDMA\_CHnSA)

偏移地址:  $0x0100 + 0x100 \times n$  ( $n = 0$  到 15)

复位值: 0x0000 0000 0000 0000

起始源地址在启用 MDMA 通道之前由软件编程，或者在 MDMA 传输开始之前通过 LLI 更新。在 MDMA 传输进行过程中，该寄存器会被更新以反映当前 AXI 传输的源地址。





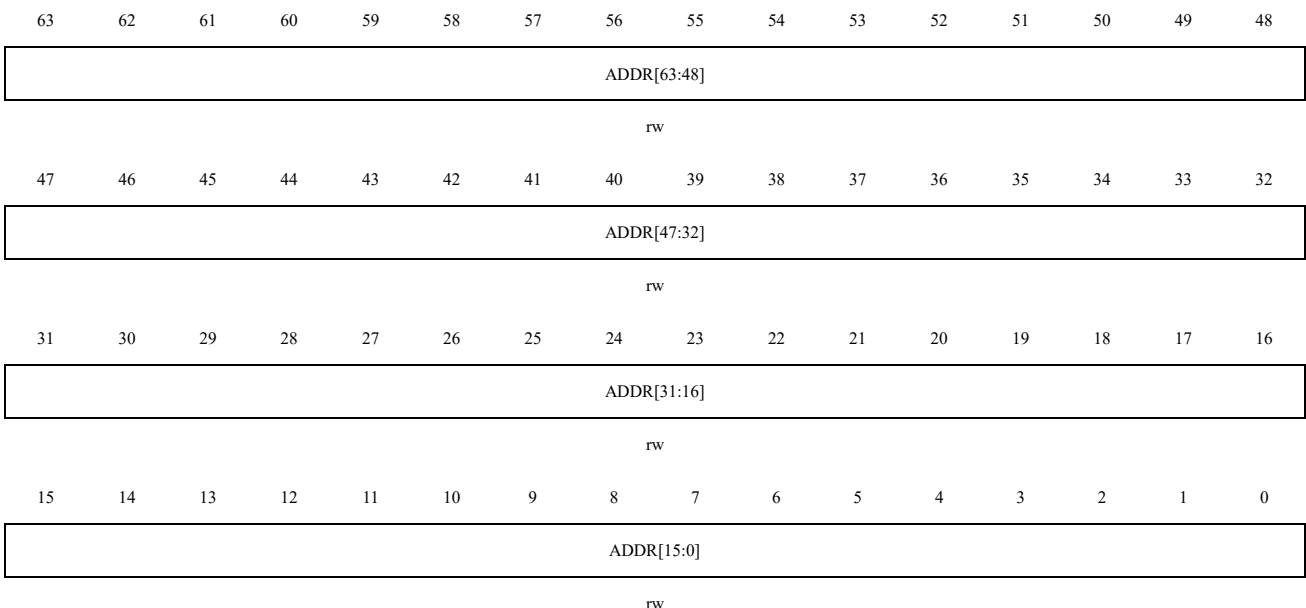
位域	名称	描述
63:0	ADDR	当前 MDMA 传输的源地址： 在每次源传输后被更新。MDMA_CHnCTRL 寄存器中的 SINC 字段决定在整个块传输过程中，每次源传输时地址是递增还是保持不变。

### 16.5.2.2 MDMA 通道 n 目标地址寄存器 (MDMA\_CHnDA)

偏移地址：0x0108 + 0x100 × n (n = 0 到 15)

复位值：0x0000 0000 0000 0000

起始目标地址在启用 MDMA 通道之前由软件编程，或者在 MDMA 传输开始之前通过 LLI 更新。在 MDMA 传输进行过程中，该寄存器会被更新以反映当前 AXI 传输的目标地址。



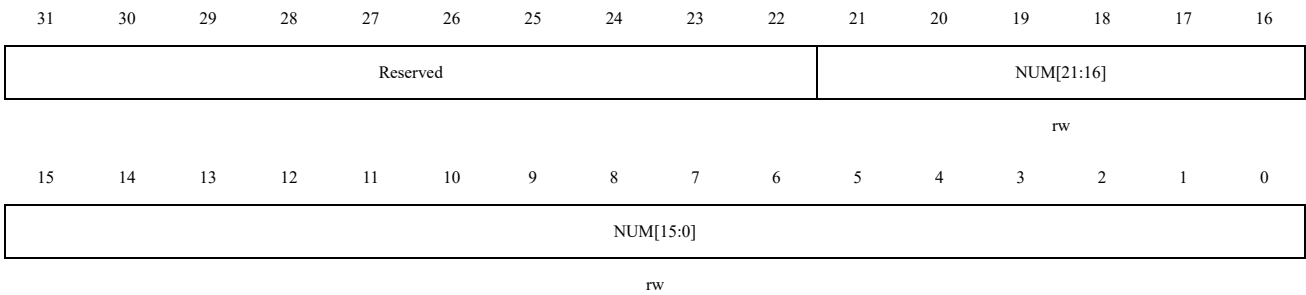
位域	名称	描述
63:0	ADDR	当前 MDMA 传输的目标地址： 在每次目标传输后被更新。MDMA_CHnCTRL 寄存器中的 DINC 字段决定在整个块传输过程中，每次目标传输时地址是递增还是保持不变。

### 16.5.2.3 MDMA 通道 n 块传输大小寄存器 (MDMA\_CHnBTS)

偏移地址：0x0110 + 0x100 × n (n = 0 到 15)

复位值：0x0000 0000

当 MDMA 是流量控制器时，MDMA 在通道启用块大小之前使用此寄存器。



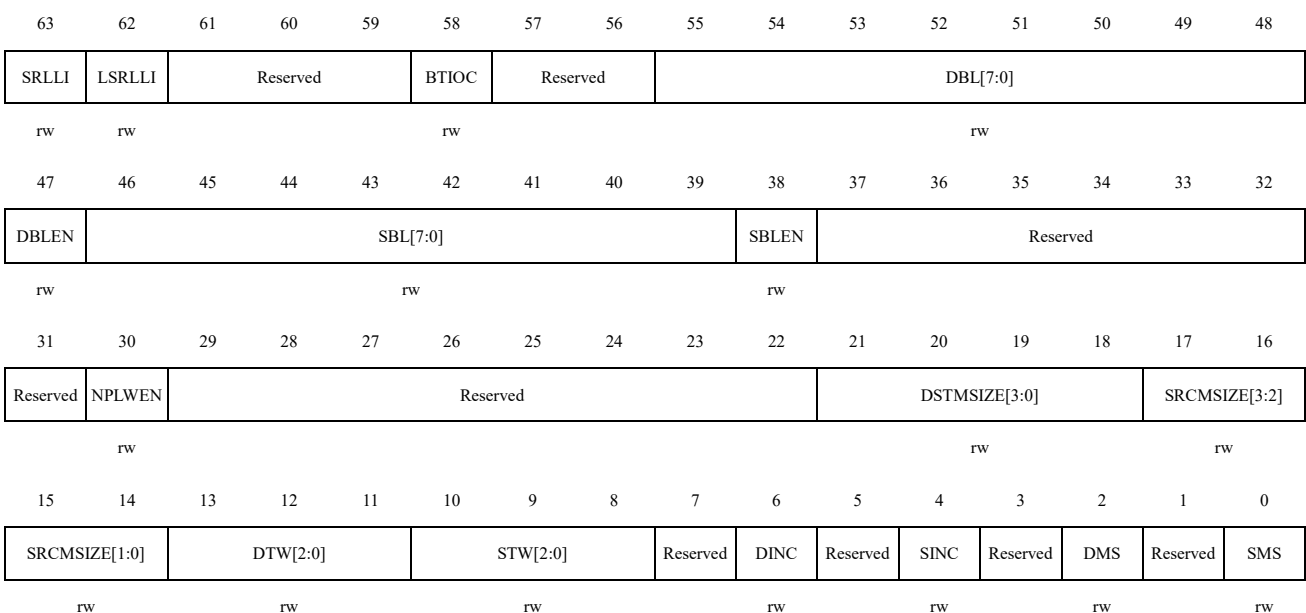
位域	名称	描述
31:22	Reserved	保留，必须保持复位值。
21:0	NUM	块传输大小。 NUM 字段中编程的数字表示在一次 MDMA 块传输中要传输的宽度为 MDMA_CHnCTRL.STW 的数据总数。 块传输大小 = NUM + 1。 当传输开始时，回读值是已经从源外设读取的总数据项数量，无论谁是流控制器。当源或目标外设被指定为流控制器时，传输开始前的值饱和在 8191，但实际块大小可能更大。

#### 16.5.2.4 MDMA 通道 n 控制寄存器 (MDMA\_CHnCTRL)

偏移地址：0x0118 + 0x100 × n (n = 0 到 15)

复位值：0x0000 0000 0000 1200

此寄存器包含控制 MDMA 传输的字段。除基于 LLI 的多块传输外，应在启用通道之前对该寄存器进行编程。当启用基于 LLI 的多块传输时，该寄存器从 LLI 的相应位置加载，并且可以在 MDMA 传输中的每块基础上变化。软件不允许通过 MDMA 从接口直接更新此寄存器。在基于 LLI 的多块传输期间，对此寄存器的任何写入都会被忽略。



位域	名称	描述
63	SRLLI	<p>链表项 (LLI) 有效。</p> <p>指示从内存中获取的链表项是否有效。</p> <p><b>基于 LLI 的多块传输：</b></p> <p>此寄存器从 LLI 加载。因此，软件不允许通过 MDMA 从接口直接更新此寄存器。</p> <p>此字段可用于由软件动态扩展 LLI。当检测到此位为 0 时，如果相应的通道错误中断屏蔽位设置为 0，MDMA 将丢弃 LLI 并生成 LLI 无效错误中断。</p> <p>在 LLI 预取的情况下，即使预取的 LLI 的此位被视为 0，也不会生成 LLI 无效错误中断。在这种情况下，MDMA 在完成当前块传输后会再次尝试 LLI 获取操作，并且只有当此位仍然被视为 0 时才会生成 LLI 无效错误中断。</p> <p>此错误条件会导致 MDMA 有序地停止相应的通道。MDMA 会等待软件向 MDMA 通道 n 块传输恢复请求寄存器写入（任何值）以指示有效的 LLI 可用性，然后再尝试另一次 LLI 读操作。</p> <p>当启用 LLI 回写选项时，此位在块传输完成后被清除为 0 并写回到对应的 LLI 位置。因此，对于基于 LLI 的多块传输，如果启用了 LLI 回写选项，软件可操作/重新定义任何描述符，并将此位设置为 0。</p> <p>0x0：表示 LLI 内容无效</p> <p>0x1：表示 LLI 内容有效</p>
62	LSRLLI	<p>最后一个链表项 (LLI)。</p> <p>指示从内存中获取的链表项是否是最后一个。</p> <p><b>基于 LLI 的多块传输：</b></p> <p>MDMA 使用此位来决定当前 DMA 传输中是否需要再次获取 LLI。</p> <ul style="list-style-type: none"> <li>■ 如果该位为 0，MDMA 将从当前 LLI 中 LLP 字段指向的地址获取下一个 LLI。</li> <li>■ 如果该位为 1，MDMA 将当前块视为 DMA 传输的最终块，并在对应当前块的 AMBA 传输完成后终止 DMA 传输。</li> </ul> <p>0x0：表示 LLI 内容不是最后一个</p> <p>0x1：表示 LLI 内容是最后一个</p>
61:59	Reserved	保留，必须保持复位值。
58	BTIOC	<p>在块传输完成时中断。</p> <p>此位用于基于链表的多块传输中按块控制块传输完成中断的生成。向此寄存器字段写入 1 时，如果在 MDMA_CHnINTEN 寄存器中启用了此中断生成，则会启用 MDMA_CHnINTSTS 寄存器的块传输完成字段（位 0），并且如果在 MDMA_CHnINTEN 寄存器中启用了此中断生成，则外部中断输出将被断言。</p> <p>0x0：禁用 MDMA_CHnINTSTS 寄存器块传输完成字段</p> <p>0x1：启用 MDMA_CHnINTSTS 寄存器块传输完成字段</p> <p><i>注意：如果源和目标都未使用基于链表的多块传输（例如，如果源和目标使用连续地址或基于自动重载的多块传输），则无法在每块中修改该字段的值。此外，在通道启用之前编程的值将用于 DMA 传输中的所有块。</i></p>
57:56	Reserved	保留，必须保持复位值。
55:48	DBL	目标突发长度。



位域	名称	描述
		用于目标数据传输的 AXI 突发长度。目标数据传输将尽可能使用指定突发长度；剩余的传输使用小于或等于 128 的最大可能值。DBL 的最大值限制为 128。 <i>注意：DBL 的设置可能不会在结束块传输、事务结束（仅适用于非内存外设）以及跨越 4K 边界时被遵守。</i>
47	DBLEN	目标突发长度使能。 若此位设置为 1，MDMA 将尽可能使用 DBL 的值作为目标数据传输的 AXI 突发长度；剩余传输则采用最大可能突发长度。 若此位设置为 0，MDMA 将使用小于或等于 128 的任意可能值作为目标数据传输的 AXI 突发长度。
46:39	SBL	源突发长度。 用于源数据传输的 AXI 突发长度。源数据传输将尽可能使用指定突发长度；剩余传输采用小于等于 128 的最大可能值。SBL 的最大值受限于 128。
38	SBLEN	源突发长度使能。 若此位设置为 1，MDMA 将尽可能使用 SBL 值作为源数据传输的 AXI 突发长度；剩余传输采用最大可能突发长度。 若此位设置为 0，MDMA 将使用任何小于或等于 128 的可能值作为源数据传输的 AXI 突发长度。
37:31	Reserved	保留，必须保持复位值。
30	NPLWEN	未发布的最后写使能。 此位决定是否可以在整个块传输过程中使用发布写入。 0x0：在整个块传输过程中可以使用发布写入。 0x1：发布写操作可以在块结束之前使用（块内），并且块中的最后一次写操作必须是非发布的。此机制旨在将块完成中断生成与最后写入数据到达目标内存/外设的时刻同步。
29:22	Reserved	保留，必须保持复位值。
21:18	DSTMSIZE	目标突发事务长度。 每次从对应硬件或软件握手接口发起目标突发事务请求时，需写入目标的数据项数量（每项宽度为 MDMA_CHnCTRL.DTW）。 0x0：突发事务中从目标读取 1 个数据项 0x1：突发事务中从目标读取 4 个数据项 0x2：突发事务中从目标读取 8 个数据项 0x3：突发事务中从目标读取 16 个数据项 0x4：突发事务中从目标读取 32 个数据项 0x5：突发事务中从目标读取 64 个数据项 0x6：突发事务中从目标读取 128 个数据项 其他：保留 <i>注意：此值与 AXI awlen 信号无关。</i>
17:14	SRCMSIZE	源突发事务长度。 每次从对应硬件或软件握手接口发起源突发事务请求时，需从源读取的数据项数量（每项宽度为 MDMA_CHnCTRL.STW）。 0x0：突发事务中从源读取 1 个数据项 0x1：突发事务中从源读取 4 个数据项 0x2：突发事务中从源读取 8 个数据项

位域	名称	描述
		0x3: 突发事务中从源读取 16 个数据项 0x4: 突发事务中从源读取 32 个数据项 0x5: 突发事务中从源读取 64 个数据项 0x6: 突发事务中从源读取 128 个数据项 其他: 保留 <i>注意: 此值与 AXI arlen 信号无关。</i>
13:11	DTW	目标传输宽度。 映射到 AXI 总线 awsize, 该值必须小于或等于 64。 0x0: 目标传输宽度为 8 位 0x1: 目标传输宽度为 16 位 0x2: 目标传输宽度为 32 位 0x3: 目标传输宽度为 64 位 其他: 保留
10:8	STW	源传输宽度。 映射到 AXI 总线 arsize, 该值必须小于或等于 64。 0x0: 源传输宽度为 8 位 0x1: 源传输宽度为 16 位 0x2: 源传输宽度为 32 位 0x3: 源传输宽度为 64 位 其他: 保留
7	Reserved	保留, 必须保持复位值。
6	DINC	目标地址递增。 指示是否在每次目标传输时递增目标地址。如果设备正在从具有固定地址的目标外设 FIFO 写入数据, 则将此字段设置为“无变化”。 0x0: 递增 0x1: 无变化 <i>注意: 增量将地址对齐到下一个 MDMA_CHnCTRL.DTW 边界。</i>
5	Reserved	保留, 必须保持复位值。
4	SINC	源地址递增。 指示是否在每次目标传输时递增源地址。如果设备正在从具有固定地址的源外设 FIFO 写入数据, 则将此字段设置为“无变化”。 0x0: 递增 0x1: 无变化 <i>注意: 增量将地址对齐到下一个 MDMA_CHnCTRL.STW 边界。</i>
3	Reserved	保留, 必须保持复位值。
2	DMS	目标 Master 选择。 标识访问目标设备 (外设或内存) 的主接口层。 0x0: Master-1 接口层上的目标设备 0x1: Master-2 接口层上的目标设备
1	Reserved	保留, 必须保持复位值。
0	SMS	源 Master 选择。 标识访问源设备 (外设或内存) 的主接口层。

位域	名称	描述
		0x0: Master-1 接口层上的源设备 0x1: Master-2 接口层上的源设备

### 16.5.2.5 MDMA 通道 n 配置寄存器 (MDMA\_CHnCFG)

偏移地址:  $0x0120 + 0x100 \times n$  ( $n = 0$  到 15)

复位值: 0x0007 801B 0000 0000

此寄存器包含配置 DMA 传输的字段。在启用通道之前, 应对该寄存器进行编程。

通道配置寄存器的位[63:32]在多块传输的所有块中保持固定, 并且只能在通道被禁用时进行编程。

通道配置寄存器的位[3:0]即使在通道启用时也可以编程。

软件清除这些位以终止多块传输。对于基于连续地址和自动重载的多块传输 (若源目标外设均未使用基于链表的多块传输), 当块传输结束时若检测到对应的多块类型选择位 (即 SMBTT 位和/或 DMBTT 位) 为 2'b00, MDMA 将判定前一块为传输的最后一个块并完成 DMA 传输操作。

63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
Reserved	DSTOSRLMT[3:0]			SRCOSRLMT[3:0]			Reserved			CHPRIOR[4:1]					
	rw			rw			rw								
47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
CHPRIOR[0]	Reserved						DSTHHIP[OL]	SRCHHIP[OL]	HSSELDS[T]	HSSELSR[C]	TTFC[2:0]				
rw							r	r	rw	rw	rw				
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			WRUID[3:0]			Reserved			RDUID[3:0]			Reserved			
			r						r						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	DSTPER[3:0]			Reserved			SRCPER[3:0]			DMBTT[1:0]		SMBTT[1:0]			
	rw						rw			rw		rw			

位域	名称	描述
63	Reserved	保留, 必须保持复位值。
62:59	DSTOSRLMT	目标未完成请求限制。 <ul style="list-style-type: none"> <li>■ 支持的最大未完成请求数为 16</li> <li>■ 目标未完成请求限制 = DSTOSRLMT + 1</li> </ul>
58:55	SRCOSRLMT	来源未完成请求限制。 <ul style="list-style-type: none"> <li>■ 支持的最大未完成请求数为 16</li> <li>■ 源未完成请求限制 = SRCOSRLMT + 1</li> </ul>
54:52	Reserved	保留, 必须保持复位值。
51:47	CHPRIOR	通道优先级。 优先级 15 是最高优先级, 0 是最低优先级。此字段必须在以下范围内编程: 0 到

位域	名称	描述
		15. 超出此范围的预设值将导致错误行为。
46:39	Reserved	保留，必须保持复位值。
38	DSTHHIPOL	目标硬件握手接口极性。 0x0: 高电平有效 0x1: 低电平有效 <i>注意：当所有外设使用硬件握手接口时，该接口的极性必须配置为高电平有效。</i>
37	SRCHHIPOL	源硬件握手接口极性。 0x0: 高电平有效 0x1: 低电平有效 <i>注意：当所有外设使用硬件握手接口时，该接口的极性必须配置为高电平有效。</i>
36	HSSELDST	目标软件或硬件握手选择。 此寄存器用于选择该通道上目标请求所使用的握手接口（硬件或软件）。 若目标外设为内存，则忽略此位。 0x0: 目标外设使用硬件握手接口 0x1: 目标外设使用软件握手接口
35	HSSELSRC	源软件或硬件握手选择。 此寄存器用于选择该通道上源请求所使用的握手接口（硬件或软件）。 若源外设为内存，则忽略此位。 0x0: 源外设使用硬件握手接口 0x1: 源外设使用软件握手接口
34:32	TTFC	传输类型和流量控制。 支持以下传输类型： <ul style="list-style-type: none"> <li>■ 内存到内存</li> <li>■ 内存到外设</li> <li>■ 外设到内存</li> <li>■ 外设到外设</li> </ul> 流量控制器可以分配给 MDMA、源外设或目标外设。 0x0: 传输类型为内存到内存，流量控制器为 MDMA 0x1: 传输类型为内存到外设，流量控制器为 MDMA 0x2: 传输类型为外设到内存，流量控制器为 MDMA 0x3: 传输类型为外设到外设，流量控制器为 MDMA 0x4: 传输类型为外设到内存，流量控制器为源外设 0x5: 传输类型为外设到外设，流量控制器为源外设 0x6: 传输类型为内存到外设，流量控制器为目标外设 0x7: 传输类型为外设到外设，流量控制器为目标外设
31:29	Reserved	保留，必须保持复位值。
28:25	WRUID	定义支持 AXI 写通道的 AXI 唯一 ID 数量。编程的值必须小于或等于 2。否则，将被限制为 2。
24:22	Reserved	保留，必须保持复位值。
21:18	RDUID	定义了 AXI 读通道支持的 AXI 唯一 ID 的数量。编程的值必须小于或等于 2。否则，将被限制为 2。
17:15	Reserved	保留，必须保持复位值。

位域	名称	描述
14:11	DSTPER	<p>若 HSSELDST 字段为 0，则为通道 x 的目标分配硬件握手接口（0 至 15）；否则忽略该字段。通道可通过分配的硬件握手接口与连接至该接口的目标外设进行通信。</p> <p><i>注意：为确保 MDMA 正常运行，同一握手接口仅应分配给一个外设（源或目标）。</i></p>
10:8	Reserved	保留，必须保持复位值。
7:4	SRCPER	<p>若 HSSELSRC 字段为 0，则为通道 x 的源分配硬件握手接口（0 至 15）；否则忽略该字段。通道可通过分配的硬件握手接口与连接至该接口的源外设进行通信</p> <p><i>注意：为确保 MDMA 正常运行，同一握手接口仅应分配给一个外设（源或目标）。</i></p>
3:2	DMBTT	<p>目标多块传输类型。</p> <p>这些位定义了用于目标外设的多块传输类型。</p> <p>若选择类型为连续，则在每次块传输结束时，MDMA_CHnDA 寄存器将加载前一块源地址末尾地址+1 的值。随后启动新的块传输。</p> <p>若选择类型为连续重载，则在每次块传输结束时，MDMA_CHnDA 寄存器将从初始地址值重新加载。随后启动新的块传输。</p> <p>若选择类型为连续链表，且 MDMA_CHnCTRL.SRLLI 位置为 1 时，则在每次块传输结束时，MDMA_CHnDA 寄存器将从链表中加载数据。随后启动新的块传输。</p> <p>MDMA_CHnCTRL 和 MDMA_CHnBTS 寄存器在每次块传输结束时，根据源/目标外设编程的多块传输类型，从初始值或链表（若 MDMA_CHnCTRL.SRLLI 位设为 1）中加载。</p> <p>源目标两端均采用连续传输的配置不属于有效多块传输模式。</p> <p>0x0：目标传输采用连续多块类型</p> <p>0x1：目标传输采用重新加载多块类型</p> <p>0x2：保留</p> <p>0x3：目标传输采用链表多块类型</p>
1:0	SMBTT	<p>源多块传输类型。</p> <p>这些位定义了用于源外设的多块传输类型。</p> <p>若选择类型为连续，则在每次多块传输结束时，MDMA_CHnSA 寄存器将加载前一数据块末尾源地址值加 1 的数值。随后启动新的数据块传输。</p> <p>若选择类型为重新加载，则在每次多块传输结束时，MDMA_CHnSA 寄存器将从初始地址值重新加载数据。随后启动新的块传输。</p> <p>若选择类型为链表，则在多块传输时，每块传输结束时若 MDMA_CHnCTRL.SRLLI 位置为 1，则从链表中加载 MDMA_CHnSA 寄存器。随后启动新的块传输。</p> <p>MDMA_CHnCTRL 和 MDMA_CHnBTS 寄存器在每个块结束时，根据源/目标外设编程的多块传输类型，从初始值或链表（若 MDMA_CHnCTRL.SRLLI 位设为 1）中加载。</p> <p>源目标两端均采用连续传输的配置不属于有效多块传输模式。</p> <p>0x0：源传输采用连续多块类型</p> <p>0x1：源传输采用重新加载多块类型</p> <p>0x2：保留</p>

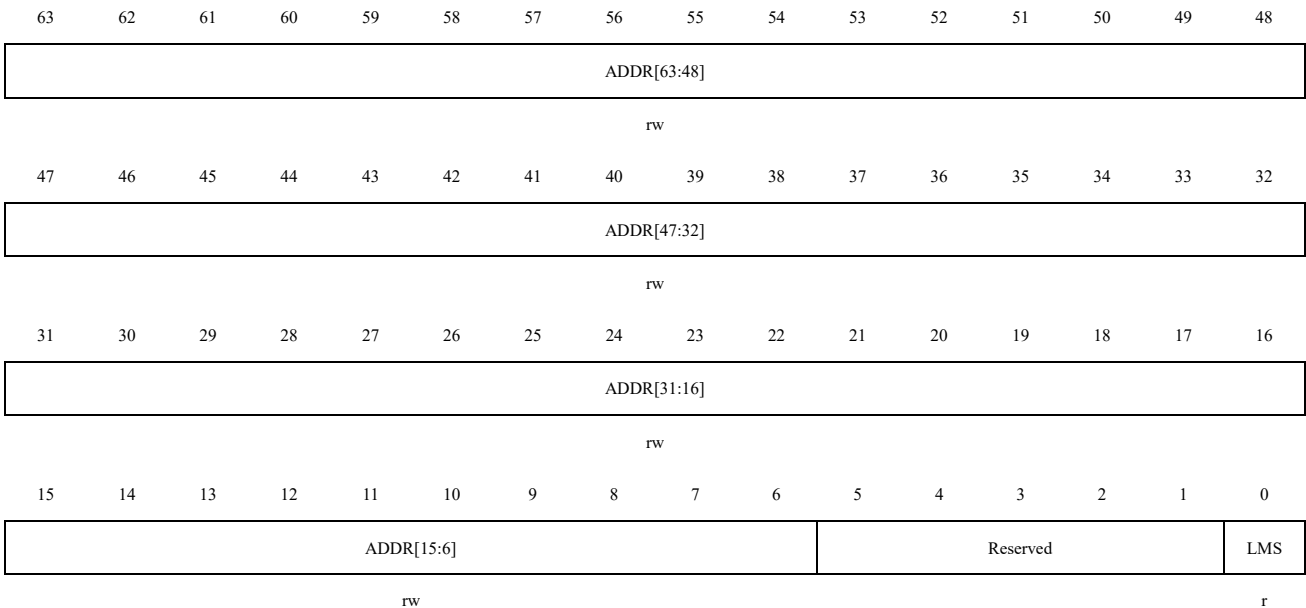
位域	名称	描述
		0x3: 源传输采用基于链表的多块类型

### 16.5.2.6 MDMA 通道 n 链表指针寄存器 (MDMA\_CHnLLP)

偏移地址:  $0x0128 + 0x100 \times n$  ( $n = 0$  到 15)

复位值: 0x0000 0000 0000 0000

这是链表指针寄存器。如果启用了基于链表的块链接,则在启用通道之前,必须将此寄存器编程为指向内存中的第一个链表项(LLI)。在DMA传输的LLI更新阶段,此寄存器会被更新为链表指针的新值。



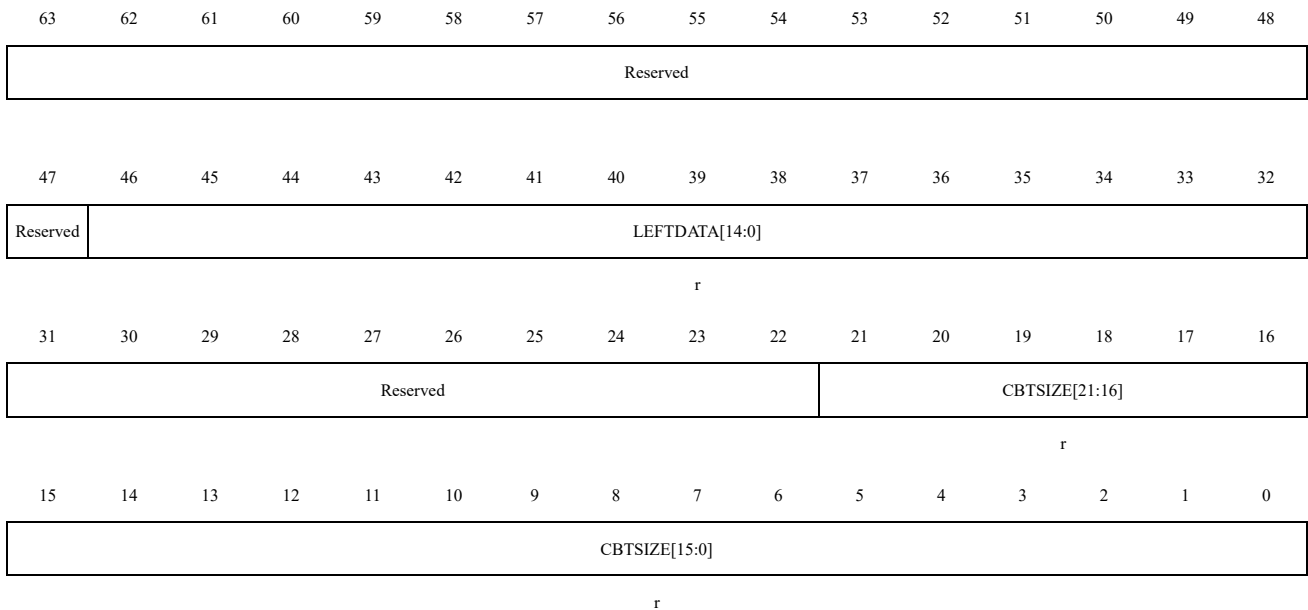
位域	名称	描述
63:6	ADDR	内存中 LLI 块的起始地址。 若使能块链式访问,则为下一个 LLI 块在内存中的起始地址。起始地址的低 6 位不存储,因该地址默认对齐至 64 字节边界。 LLI 访问始终采用与数据总线宽度相同的突发长度(arsize/awsize),且不可更改或编程为其他值。突发长度(awlen/arlen)根据数据总线宽度选择,确保访问不跨越完整 64 字节的 LLI 结构。若突发长度未受其他设置限制,MDMA 将通过单次 AXI 突发获取完整 LLI (40 字节)。
5:1	Reserved	保留,必须保持复位值。
0	LMS	LLI Master 选择。 此位标识存储下一个链表项的内存设备所在的 AXI 层/接口。 0x0: 下一个链表项位于 AXI Master-1 接口 0x1: 下一个链表项位于 AXI Master-2 接口

### 16.5.2.7 MDMA 通道 n 状态寄存器 (MDMA\_CHnSTS)

偏移地址:  $0x0130 + 0x100 \times n$  ( $n = 0$  到 15)

复位值: 0x0000 0000 0000 0000

通道 n 状态寄存器包含指示通道 n 的 DMA 传输状态的字段。



位域	名称	描述
63:47	Reserved	保留，必须保持复位值。
46:32	LEFTDATA	FIFO 中的数据剩余量。 该位指示当前块传输完成后，MDMA 通道 FIFO 中剩余数据总量。 通道 FIFO 中数据的宽度等于 MDMA_CHnCTRL.STW。 正常块传输完成且无错误时，LEFTDATA = 0。 若 DMA 传输过程中发生任何错误，块传输可能提前终止，此时 LEFTDATA 指示通道 FIFO 中未能传输至目标外设的剩余数据。 在启用通道时，该字段被清零。 <i>注意：若 MDMA_CHnCTRL.DTW &gt; MDMA_CHnCTRL.STW，FIFO 中可能存在不足以构成 MDMA_CHnCTRL.STW 数据量的残余数据，此时 LEFTDATA 返回 0。</i>
31:22	Reserved	保留，必须保持复位值。
21:0	CBTSIZE	已完成的块传输大小。 此位指示在前块传输中传输的宽度为 MDMA_CHnCTRL.STW 的数据总数。 正常完成且无错误的块传输中，该值将等于 MDMA_CHnBTS 寄存器 NUM 字段的编程值。 若 DMA 传输过程中发生错误，块传输可能提前终止，此时该值表示当前块中实际无误传输的数据量。 在启用通道时，该字段被清零。

### 16.5.2.8 MDMA 通道 n 软件握手源寄存器 (MDMA\_CHnSHSRC)

偏移地址：0x0138 + 0x100 × n (n = 0 到 15)

复位值：0x0000 0000



Reserved
----------

15      14      13      12      11      10      9      8      7      6      5      4      3      2      1      0

Reserved	SHLRWE	SHLR	SHSRWE	SHSR	SHRWE	SHR
	w	rw	w	rw	w	rw

位域	名称	描述
31:6	Reserved	保留，必须保持复位值。
5	SHLRWE	通道源软件握手最后请求写使能位。 0x0: 禁用写 SHLR 位 0x1: 启用写 SHLR 位
4	SHLR	通道源软件握手最后请求。 当对应通道的源选择软件握手方式时，此位用于请求最后一次 DMA 源数据传输。 若通道 n 的数据源未使能软件握手，或通道 n 的数据源非流控制器，则忽略此位。 必须将 SHR 位设为 1，MDMA 才会将其视为有效的软件握手请求。 若 SHSR 位置为 1，则 LAST 请求视为单次 DMA 事务（AXI 突发长度=1）；否则视为突发事务请求。 软件只能将此位设置为 1；不允许将此位清除为 0；只有 MDMA 可以清除此位。 0x0: 源外设向 MDMA 控制器指示当前传输不是最后一次传输 0x1: 源外设向 MDMA 控制器指示当前传输是最后一次传输 <i>注意：只有在相应的写使能位 SHLRWE 在同一寄存器写操作中被置位，并且通道 n 在 MDMA_CHEN 寄存器中被启用的情况下，才能写入 SHLR 位。这允许软件在不执行读-修改-写操作的情况下设置此寄存器中的位。</i>
3	SHSRWE	通道源软件握手单次请求写使能位。 0x0: 禁用写 SHSR 位 0x1: 启用写 SHSR 位
2	SHSR	通道源软件握手单次请求。 当对应通道的源选择软件握手方式时，此位用于请求单次（AXI 突发长度=1）DMA 源数据传输。 若通道 n 的源未使能软件握手，则忽略此位。该字段的功能取决于外设是否作为流控制器。 软件只能将此位设置为 1；不允许将此位清除为 0；只有 MDMA 可以清除此位。 0x0: 源外设未请求单次传输 0x1: 源外设请求单次 DMA 传输 <i>注意：只有在同一寄存器写操作中对应的写使能位 SHSRWE 被置位，并且通道 n 在 MDMA_CHEN 寄存器中被启用时，SHSR 位才会被写入。这允许软件在不执行读-修改-写操作的情况下设置此寄存器中的位。</i>
1	SHRWE	通道源软件握手请求写使能位。 0x0: 禁用写 SHR 位

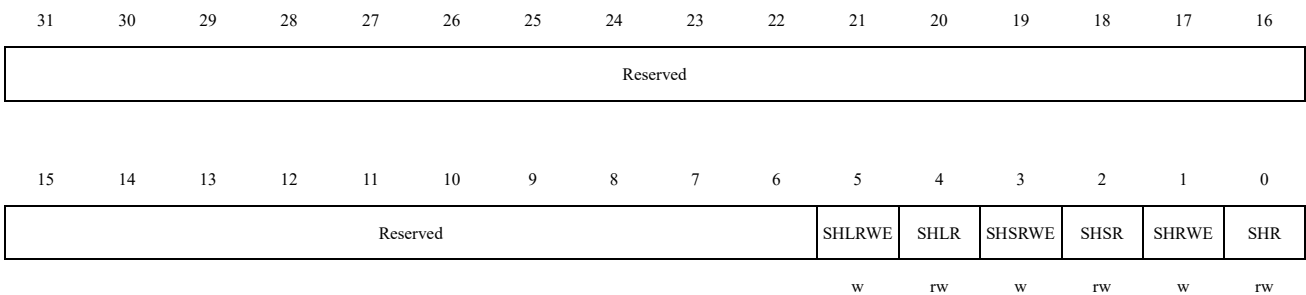


位域	名称	描述
		0x1: 启用写 SHR 位 <i>注意: 此位在回读时始终返回 0。</i>
0	SHR	通道源软件握手请求。 当对应通道的源选择软件握手方式时, 此位用于请求 DMA 源数据传输。 若通道 n 的源未使能软件握手, 则忽略此位。该字段的功能取决于外设是否作为流控制器。 软件只能将此位设置为 1; 不允许将此位清除为 0; 只有 MDMA 可以清除此位。 0x0: 源外设未请求突发传输 0x1: 源外设请求突发 DMA 传输 <i>注意: 只有在同一寄存器写操作中对应的写使能位 SHRWE 被置位, 并且通道 n 在 MDMA_CHEN 寄存器中被启用时, SHR 位才会被写入。这允许软件在不执行读-修改-写操作的情况下设置此寄存器中的位。</i>

### 16.5.2.9 MDMA 通道 n 软件握手目标寄存器 (MDMA\_CHnSHDST)

偏移地址:  $0x0140 + 0x100 \times n$  ( $n = 0$  到 15)

复位值: 0x0000 0000



位域	名称	描述
31:6	Reserved	保留, 必须保持复位值。
5	SHLRWE	通道目标软件握手最后请求写使能位。 0x0: 禁用写 SHLR 位 0x1: 启用写 SHLR 位 <i>注意: 此位在回读时始终返回 0。</i>
4	SHLR	通道目标软件握手最后请求。 当对应通道的目标选择软件握手方式时, 此位用于请求最后一次 DMA 目标数据传输。 若通道 n 的目标未使能软件握手, 或通道 n 的目标端非流控制器, 则忽略此位。 必须将 SHR 位设置为 1, MDMA 才会将其视为有效的软件握手请求。 若 SHSR 位设置为 1, 则 LAST 请求属于单次 DMA 事务 (AXI 突发长度=1); 否则该请求将被视为突发事务请求。 软件只能将此位设置为 1; 不允许将此位清除为 0; 只有 MDMA 可以清除此位。 0x0: 目标外设指示当前传输不是最后一次传输 0x1: 目标外设指示 DMAC 当前传输是最后一次传输 <i>注意: 只有在相应的写使能位 SHLRWE 在同一寄存器写操作中被置位, 并且通道</i>

位域	名称	描述
		<i>n</i> 在 MDMA_CHEN 寄存器中被启用的情况下，才能写入 SHLR 位。这允许软件在不执行读-修改-写操作的情况下设置此寄存器中的位。
3	SHSRWE	通道目标软件握手单次请求写使能位。 0x0: 禁用写 SHSR 位 0x1: 启用写 SHSR 位 <i>注意：此位在回读时始终返回 0。</i>
2	SHSR	通道目标软件握手单次请求。 当对应通道的目标选择软件握手方式时，此位用于请求单次（AXI 突发长度=1）DMA 目标数据传输。 若通道 <i>n</i> 的目标未使能软件握手，则忽略此位。该字段的功能取决于外设是否为流控制器。 软件只能将此位设置为 1；不允许将此位清除为 0；只有 MDMA 可以清除此位。 0x0: 目标外设未请求单次传输 0x1: 目标外设请求单次 DMA 传输 <i>注意：只有在同一寄存器写操作中对应的写使能位 SHSRWE 被置位，并且通道 n 在 MDMA_CHEN 寄存器中被启用时，SHSR 位才会被写入。这允许软件在不执行读-修改-写操作的情况下设置此寄存器中的位。</i>
1	SHRWE	通道目标软件握手请求写使能位。 0x0: 禁用写 SHR 位 0x1: 启用写 SHR 位 <i>注意：此位在回读时始终返回 0。</i>
0	SHR	通道目标软件握手请求。 当对应通道的目标选择软件握手方式时，此位用于请求 DMA 目标数据传输。 若通道 <i>n</i> 的目标未使能软件握手，则忽略此位。该字段的功能取决于外设是否为流控制器。 软件只能将此位设置为 1；不允许将此位清除为 0；只有 MDMA 可以清除此位。 0x0: 目标外设未请求突发传输 0x1: 目标外设请求突发 DMA 传输 <i>注意：只有在同一寄存器写操作中对应的写使能位 SHRWE 被置位，并且通道 n 在 MDMA_CHEN 寄存器中被启用时，SHR 位才会被写入。这允许软件在不执行读-修改-写操作的情况下设置此寄存器中的位。</i>

### 16.5.2.10 MDMA 通道 *n* 块传输恢复请求寄存器（MDMA\_CHnBTRR）

偏移地址：0x0148 + 0x100 × *n* (*n* = 0 到 15)

复位值：0x0000 0000

此寄存器用于基于链表的多块传输。

对于基于链表的多块传输，MDMA\_CHnCTRL 寄存器中的 SRLLI 位指示从内存中获取的链表项是否有效（0：LLI 无效，1：LLI 有效）。当检测到该位为 0 时，MDMA 会丢弃该 LLI，并在相应通道错误中断屏蔽位设置为 0 的情况下生成 LLI 无效错误中断。此错误条件会导致 MDMA 有序地停止相应的通道。在尝试另一次 LLI 读操作之前，MDMA 会等待软件向该寄存器写入（任何值）以指示有效的 LLI 可用性。

31      30      29      28      27      26      25      24      23      22      21      20      19      18      17      16

Reserved
----------

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

Reserved	RESREQ
----------	--------

w

位域	名称	描述
31:1	Reserved	保留，必须保持复位值。
0	RESREQ	链表式多块传输期间的块传输恢复请求。 0x0: 没有请求恢复块传输 0x1: 请求恢复块传输

### 16.5.2.11 MDMA 通道 n AXI QoS 寄存器 (MDMA\_CHnAXIQOS)

偏移地址:  $0x0158 + 0x100 \times n$  ( $n = 0$  到 15)

复位值: 0x0000 0000

此寄存器仅在通道禁用时允许更新，这意味着在整个 DMA 传输过程中它保持不变。

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

Reserved
----------

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

Reserved	ARQOS[3:0]	AWQOS[3:0]
----------	------------	------------

r

r

位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
7:4	ARQOS	AXI ARQOS. 这些位构成 AXI4 主接口的 arqos 输出。
3:0	AWQOS	AXI AWQOS. 这些位构成 AXI4 主接口的 awqos 输出。

### 16.5.2.12 MDMA 通道 n 中断状态使能寄存器 (MDMA\_CHnINTSTSEN)

偏移地址:  $0x0180 + 0x100 \times n$  ( $n = 0$  到 15)

复位值: 0xFFFF FFFF

将 1 写入特定字段会在通道 n 中断状态寄存器中启用相应的中断状态生成。

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

CHA	CHD	CHS	CHSS	CHLC	Reserved	SIWOHE	Reserved	SIWOCEE	SIRTWOE	SIWTROE	SIDE
-----	-----	-----	------	------	----------	--------	----------	---------	---------	---------	------

rw	rw	rw	rw	rw						rw		rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	SIMBTE	SLIE	LWSE	LRSE	LWDE	LRDE	DSTSE	SRCSE	DSTDE	SRCDE	DSTTC	SRCTC	Reserved	DMATD	BLKTD
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw

位域	名称	描述
31	CHA	通道中止。 0x0: 禁止在 MDMA_CHnINTSTS 中生成通道中止中断 0x1: 使能在 MDMA_CHnINTSTS 中生成通道中止中断
30	CHD	通道禁止。 0x0: 禁止在 MDMA_CHnINTSTS 中生成通道禁止中断 0x1: 使能在 MDMA_CHnINTSTS 中生成通道禁止中断
29	CHS	通道暂停（挂起）。 0x0: 禁止在 MDMA_CHnINTSTS 中生成通道暂停中断 0x1: 使能在 MDMA_CHnINTSTS 中生成通道暂停中断
28	CHSS	通道源暂停（挂起）。 0x0: 禁止在 MDMA_CHnINTSTS 中生成通道源暂停中断 0x1: 使能在 MDMA_CHnINTSTS 中生成通道源暂停中断
27	CHLC	通道锁定清除。 0x0: 禁止在 MDMA_CHnINTSTS 中生成通道锁定清除中断 0x1: 使能在 MDMA_CHnINTSTS 中生成通道锁定清除中断
26:22	Reserved	保留，必须保持复位值。
21	SIWOHE	从接口写保持错误。 0x0: 禁止在 MDMA_CHnINTSTS 中生成从接口写保持错误中断 0x1: 使能在 MDMA_CHnINTSTS 中生成从接口写保持错误中断
20	Reserved	保留，必须保持复位值。
19	SIWOCEE	从接口写通道使能错误。 0x0: 禁止在 MDMA_CHnINTSTS 中生成从接口写通道使能错误中断 0x1: 使能在 MDMA_CHnINTSTS 中生成从接口写通道使能错误中断
18	SIRTWOE	从接口读只写错误。 0x0: 禁止在 MDMA_CHnINTSTS 中生成从接口读只写错误中断 0x1: 使能在 MDMA_CHnINTSTS 中生成从接口读只写错误中断
17	SIWTROE	从接口写只读错误。 0x0: 禁止在 MDMA_CHnINTSTS 中生成从接口写只读错误中断 0x1: 使能在 MDMA_CHnINTSTS 中生成从接口写只读错误中断
16	SIDE	从接口解码错误。 0x0: 禁止在 MDMA_CHnINTSTS 中生成从接口解码错误中断 0x1: 使能在 MDMA_CHnINTSTS 中生成从接口解码错误中断
15	Reserved	保留，必须保持复位值。
14	SIMBTE	从接口多块类型错误。 0x0: 禁止在 MDMA_CHnINTSTS 中生成从接口多块类型错误中断

位域	名称	描述
		0x1: 使能在 MDMA_CHnINTSTS 中生成从接口多块类型错误中断
13	SLIE	LLI 无效错误。 0x0: 禁止在 MDMA_CHnINTSTS 中生成 LLI 无效错误中断 0x1: 使能在 MDMA_CHnINTSTS 中生成 LLI 无效错误中断
12	LWSE	LLI 写从机错误。 0x0: 禁止在 MDMA_CHnINTSTS 中生成 LLI 写从机错误中断 0x1: 使能在 MDMA_CHnINTSTS 中生成 LLI 写从机错误中断
11	LRSE	LLI 读从机错误。 0x0: 禁止在 MDMA_CHnINTSTS 中生成 LLI 读从机错误中断 0x1: 使能在 MDMA_CHnINTSTS 中生成 LLI 读从机错误中断
10	LWDE	LLI 写解码错误。 0x0: 禁止在 MDMA_CHnINTSTS 中生成 LLI 写解码错误中断 0x1: 使能在 MDMA_CHnINTSTS 中生成 LLI 写解码错误中断
9	LRDE	LLI 读解码错误。 0x0: 禁止在 MDMA_CHnINTSTS 中生成 LLI 读解码错误中断 0x1: 使能在 MDMA_CHnINTSTS 中生成 LLI 读解码错误中断
8	DSTSE	目标从机错误。 0x0: 禁止在 MDMA_CHnINTSTS 中生成目标从机错误中断 0x1: 使能在 MDMA_CHnINTSTS 中生成目标从机错误中断
7	SRCSE	源从机错误。 0x0: 禁止在 MDMA_CHnINTSTS 中生成源从机错误中断 0x1: 使能在 MDMA_CHnINTSTS 中生成源从机错误中断
6	DSTDE	目标解码错误。 0x0: 禁止在 MDMA_CHnINTSTS 中生成目标解码错误中断 0x1: 使能在 MDMA_CHnINTSTS 中生成目标解码错误中断
5	SRCDE	源解码错误。 0x0: 禁止在 MDMA_CHnINTSTS 中生成源解码错误中断 0x1: 使能在 MDMA_CHnINTSTS 中生成源解码错误中断
4	DSTTC	目标事务完成。 0x0: 禁止在 MDMA_CHnINTSTS 中生成目标事务完成中断 0x1: 使能在 MDMA_CHnINTSTS 中生成目标事务完成中断
3	SRCTC	源事务完成。 0x0: 禁止在 MDMA_CHnINTSTS 中生成源事务完成中断 0x1: 使能在 MDMA_CHnINTSTS 中生成源事务完成中断
2	Reserved	保留, 必须保持复位值。
1	DMATD	DMA 传输完成。 0x0: 禁止在 MDMA_CHnINTSTS 中生成 DMA 传输完成中断 0x1: 使能在 MDMA_CHnINTSTS 中生成 DMA 传输完成中断
0	BLKTD	块传输完成。 0x0: 禁止在 MDMA_CHnINTSTS 中生成块传输完成中断 0x1: 使能在 MDMA_CHnINTSTS 中生成块传输完成中断

### 16.5.2.13 MDMA 通道 n 中断状态寄存器 (MDMA\_CHnINTSTS)

偏移地址:  $0x0188 + 0x100 \times n$  ( $n = 0$  到  $15$ )

复位值:  $0x0000\ 0000$

通道 n 中断状态寄存器捕获通道 n 特定的中断。

如果在 MDMA\_CHnINTSTSEN 寄存器中相应的状态使能位被设置为 1, 则会生成错误中断状态。通过向 MDMA\_CHnINTCLR 中的相应中断清除位写入 1, 状态位将被清除为 0。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
CHA	CHD	CHS	CHSS	CHLC	Reserved						SIWOHE	Reserved	SIWOCEE	SIRTWOE	SIWTROE	SIDE
r	r	r	r	r							r		r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved	SIMBTE	SLIE	LWSE	LRSE	LWDE	LRDE	DSTSE	SRCSE	DSTDE	SRCDE	DSTTC	SRCTC	Reserved	DMATD	BLKTD	
	r	r	r	r	r	r	r	r	r	r	r	r		r	r	

位域	名称	描述
31	CHA	通道中止。 这表明软件中对应的通道在 MDMA 中已中止。 0x0: 通道未中止 0x1: 通道已中止
30	CHD	通道已禁止。 这表明软件中对应的 MDMA 通道被禁止。 0x0: 通道未禁止 0x1: 通道已禁止
29	CHS	通道已暂停。 这表明软件中对应的通道在 MDMA 中被暂停。 0x0: 通道未暂停 0x1: 通道已暂停
28	CHSS	通道源已暂停。 这表明软件中对应通道的源数据传输在 MDMA 中已暂停。 0x0: 通道源未暂停 0x1: 通道源已暂停
27	CHLC	通道锁定已清除。 这表明软件已清除 MDMA 中相应通道的锁定。 0x0: 通道锁定未清除 0x1: 通道锁定已清除
26:22	Reserved	保留, 必须保持复位值。
21	SIWOHE	从接口写保持错误。 此错误发生在对寄存器执行非法写操作时; 当 MDMA 处于 Hold 模式时, 如果对通道寄存器执行写操作, 就会发生这种情况。 0x0: 未检测到从接口写保持错误

位域	名称	描述
		0x1: 检测到从接口写保持错误
20	Reserved	保留, 必须保持复位值。
19	SIWOCEE	从接口写通道使能错误。 此错误发生在对寄存器执行非法写操作时; 当通道已启用且根据 MDMA 规范不允许对相应寄存器执行写操作时, 就会发生这种情况。 0x0: 未检测到从接口写通道使能错误 0x1: 检测到从接口写通道使能错误
18	SIRTWOE	从接口读只写错误。 此错误发生在对只写寄存器执行读操作时。 0x0: 未检测到从接口读只写错误 0x1: 检测到从接口读只写错误
17	SIWTROE	从接口写只读错误。 此错误发生在对只读寄存器执行写操作时。 0x0: 未检测到从接口写只读错误 0x1: 检测到从接口写只读错误
16	SIDE	从接口解码错误。 由 MDMA 在寄存器访问期间生成的解码错误。如果寄存器访问的是通道 n 寄存器空间中的无效地址, 则会导致 MDMA 从接口的错误响应。 0x0: 未检测到从接口解码错误 0x1: 检测到从接口解码错误
15	Reserved	保留, 必须保持复位值。
14	SIMBTE	从接口多块类型错误。 此错误发生在 MDMA_CHnCFG 寄存器中编程的多块传输类型 (SMBTT 和 DMBTT) 无效时。此错误情况会导致 MDMA 有序地停止相应的通道; 如果相应通道错误中断屏蔽位设置为 0, 则会生成错误中断, 并且通道会等待直到软件写入 (任何值) 到 MDMA_CHnBTRR 以指示有效的多块传输类型可用性。 0x0: 未检测到从接口多块传输类型错误 0x1: 检测到从接口多块传输类型错误
13	SLIE	LLI 无效错误。 此错误发生在 MDMA LLI 获取阶段, 如果检测到 MDMA_CHnCTRL.SRLLI 位为 0。此错误条件会导致 MDMA 有序地停止相应的通道; 如果相应的通道错误中断屏蔽位设置为 0, 则会生成错误中断, 并且通道会等待直到软件向 MDMA_CHnBTRR 写入 (任何值) 以指示有效的 LLI 可用性。 在 LLI 预取的情况下, 即使 MDMA_CHnCTRL.SRLLI 位被检测为 0, 对于预取的 LLI 也不会生成 LLI 无效错误中断。在这种情况下, MDMA 控制器在完成当前块传输后重新尝试 LLI 获取操作, 并且只有当 MDMA_CHnCTRL.SRLLI 位仍被检测为 0 时才会生成 LLI 无效错误中断。 0x0: 未检测到 LLI 无效错误 0x1: 检测到 LLI 无效错误
12	LWSE	LLI 写从机错误。 在 LLI 回写操作期间, 主接口检测到从设备错误。如果 LLI 所在的从接口发出从设备错误, 则会发生此错误。此错误情况会导致 MDMA 有序地禁用相应的通

位域	名称	描述
		道；接收错误的 MDMA_CHEN.CHn 位将被置为 0。 0x0：未检测到 LLI 写从属错误 0x1：检测到 LLI 写从错误
11	LRSE	LLI 读从机错误。 在 LLI 读操作期间，主接口检测到从设备错误。如果 LLI 所在的从设备接口发出从设备错误，就会发生此错误。此错误条件会导致 MDMA 有序地禁用相应的通道；接收错误的 MDMA_CHEN.CHn 位将被置为 0。 0x0：未检测到 LLI 读从机错误 0x1：检测到 LLI 读从机错误
10	LWDE	LLI 写解码错误。 在 LLI 回写操作期间，主接口检测到解码错误。如果访问的是无效地址，并且从互连/从设备返回了解码错误，则会发生此错误。此错误情况会导致 MDMA 有序地禁用相应的通道；接收错误的 MDMA_CHEN.CHn 位将被置为 0。 0x0：未检测到 LLI 写解码错误 0x1：检测到 LLI 写解码错误
9	LRDE	LLI 读解码错误。 解码错误在 LLI 读操作期间由主接口检测到。如果访问的是无效地址，并且从互连/从设备返回了解码错误，则会发生此错误。此错误情况会导致 MDMA 有序地禁用相应的通道；接收错误的 MDMA_CHEN.CHn 位将被置为 0。 0x0：未检测到 LLI 读取解码错误 0x1：检测到 LLI 读取解码错误
8	DSTSE	目标从机错误。 在目标数据传输期间，主接口检测到从设备错误。如果写入数据的从设备接口发出从设备错误，则会发生此错误。此错误情况会导致 MDMA 有序地禁用相应的通道；接收错误的 MDMA_CHEN.CHn 位将被置为 0。 0x0：未检测到目标从机错误 0x1：检测到目标从机错误
7	SRCSE	源从机错误。 在源数据传输期间，主接口检测到从设备错误。如果写入数据的从接口发出从设备错误，就会发生此错误。此错误条件会导致 MDMA 有序地禁用相应的通道；接收错误的 MDMA_CHEN.CHn 位将被置为 0。 0x0：未检测到源从机错误 0x1：检测到源从机错误
6	DSTDE	目标解码错误。 解码错误在目标数据传输期间由主接口检测到。如果访问的是无效地址，并且从互连/从设备返回了解码错误，就会发生此错误。此错误条件会导致 MDMA 有序地禁用相应的通道；接收错误的 MDMA_CHEN.CHn 位将被置为 0。 0x0：未检测到目标解码错误 0x1：检测到目标解码错误
5	SRCDE	源解码错误。 在源数据传输期间，主接口检测到解码错误。如果访问的是无效地址，并且从互连/从设备返回了解码错误，就会发生此错误。此错误条件会导致 MDMA 有序地禁用相应的通道；接收错误的 MDMA_CHEN.CHn 位将被置为 0。



位域	名称	描述
		0x0: 未检测到源解码错误 0x1: 检测到源解码错误
4	DSTTC	目标事务已完成。 当向 MDMA_CHnINTCLR 寄存器中对应通道的中断清除位写入 1 时, 或使能通道时 (中断未使能时需要), 此位将被清零。 0x0: 未检测到目标事务已完成 0x1: 检测到目标事务已完成
3	SRCTC	源事务已完成。 当向 MDMA_CHnINTCLR 寄存器中对应通道的中断清除位写入 1, 或使能通道时 (中断未使能时需要此操作), 此位将被清零。 0x0: 未检测到源事务已完成 0x1: 检测到源事务已完成
2	Reserved	保留, 必须保持复位值。
1	DMATD	DMA 传输完成。 这表明软件已完成所请求的 DMA 传输。 MDMA 在最后一个块传输完成时将此位设置为 1, 同时将 BLKTD 位设置为 1。 0x0: DMA 传输未完成 0x1: DMA 传输完成
0	BLKTD	块传输完成。 这表明软件已完成所请求的块传输。 MDMA 在传输成功完成时将此位设置为 1。 0x0: 块传输未完成 0x1: 块传输完成

### 16.5.2.14 MDMA 通道 n 中断信号使能寄存器 (MDMA\_CHnINTSGLEN)

偏移地址:  $0x0190 + 0x100 \times n$  ( $n = 0$  到 15)

复位值: 0xFFFF FFFF

此寄存器包含用于在通道级别使能端口级中断生成的字段。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CHA	CHD	CHS	CHSS	CHLC	Reserved					SIWOHE	Reserved	SIWOCEE	SIRTWOE	SIWTROE	SIDE
rw	rw	rw	rw	rw						rw		rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	SIMBTE	SLIE	LWSE	LRSE	LWDE	LRDE	DSTSE	SRCSE	DSTDE	SRCDE	DSTTC	SRCTC	Reserved	DMATD	BLKTD
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw

位域	名称	描述
31	CHA	通道中止。 0x0: 禁止生成通道中止中断以生成端口级中断 0x1: 使能生成通道中止中断以生成端口级中断

位域	名称	描述
30	CHD	通道已禁止。 0x0: 禁止生成通道禁止中断以生成端口级中断 0x1: 使能生成通道禁止中断以生成端口级中断
29	CHS	通道已暂停。 0x0: 禁止生成通道暂停中断以生成端口级中断 0x1: 使能生成通道暂停中断以生成端口级中断
28	CHSS	通道源已暂停。 0x0: 禁止生成通道源暂停中断以生成端口级中断 0x1: 使能生成通道源暂停中断以生成端口级中断
27	CHLC	通道锁定已清除。 0x0: 禁止生成通道锁定清除中断以生成端口级中断 0x1: 使能生成通道锁定清除中断以生成端口级中断
26:22	Reserved	保留, 必须保持复位值。
21	SIWOHE	从接口写保持错误。 0x0: 禁止生成从接口写保持错误中断以生成端口级中断 0x1: 使能生成从接口写保持错误中断以生成端口级中断
20	Reserved	保留, 必须保持复位值。
19	SIWOCEE	从接口写通道使能错误。 0x0: 禁止生成从接口写通道使能错误中断以生成端口级中断 0x1: 使能生成从接口写通道使能错误中断以生成端口级中断
18	SIRTWOE	从接口读只写错误。 0x0: 禁止生成从接口读只写错误中断以生成端口级中断 0x1: 使能生成从接口读只写错误中断以生成端口级中断
17	SIWTROE	从接口写只读错误。 0x0: 禁止生成从接口写只读错误中断以生成端口级中断 0x1: 使能生成从接口写只读错误中断以生成端口级中断
16	SIDE	从接口解码错误。 0x0: 禁止生成从接口解码错误中断以生成端口级中断 0x1: 使能生成从接口解码错误中断以生成端口级中断
15	Reserved	保留, 必须保持复位值。
14	SIMBTE	从接口多块类型错误。 0x0: 禁止生成从接口多块类型错误中断以生成端口级中断 0x1: 使能生成从接口多块类型错误中断以生成端口级中断
13	SLIE	LLI 无效错误。 0x0: 禁止生成 LLI 无效错误中断以生成端口级中断 0x1: 使能生成 LLI 无效错误中断以生成端口级中断
12	LWSE	LLI 写从机错误。 0x0: 禁止生成 LLI 写从机错误中断以生成端口级中断 0x1: 使能生成 LLI 写从机错误中断以生成端口级中断
11	LRSE	LLI 读从机错误。 0x0: 禁止生成 LLI 读从机错误中断以生成端口级中断 0x1: 使能生成 LLI 读从机错误中断以生成端口级中断

位域	名称	描述
10	LWDE	LLI 写解码错误。 0x0: 禁止生成 LLI 写解码错误中断以生成端口级中断 0x1: 使能生成 LLI 写解码错误中断以生成端口级中断
9	LRDE	LLI 读解码错误。 0x0: 禁止生成 LLI 读解码错误中断以生成端口级中断 0x1: 使能生成 LLI 读解码错误中断以生成端口级中断
8	DSTSE	目标从机错误。 0x0: 禁止生成目标从机错误中断以生成端口级中断 0x1: 使能生成目标从机错误中断以生成端口级中断
7	SRCSE	源从机错误。 0x0: 禁止生成源从机错误中断以生成端口级中断 0x1: 使能生成源从机错误中断以生成端口级中断
6	DSTDE	目标解码错误。 0x0: 禁止生成目标解码错误中断以生成端口级中断 0x1: 使能生成目标解码错误中断以生成端口级中断
5	SRCDE	源解码错误。 0x0: 禁止生成源解码错误中断以生成端口级中断 0x1: 使能生成源解码错误中断以生成端口级中断
4	DSTTC	目标事务已完成。 0x0: 禁止生成目标事务完成中断以生成端口级中断 0x1: 使能生成目标事务完成中断以生成端口级中断
3	SRCTC	源事务已完成。 0x0: 禁止生成源事务完成中断以生成端口级中断 0x1: 使能生成源事务完成中断以生成端口级中断
2	Reserved	保留，必须保持复位值。
1	DMATD	DMA 传输完成。 0x0: 禁止生成 DMA 传输完成中断以生成端口级中断 0x1: 使能生成 DMA 传输完成中断以生成端口级中断
0	BLKTD	块传输完成。 0x0: 禁止生成块传输完成中断以生成端口级中断 0x1: 使能生成块传输完成中断以生成端口级中断

### 16.5.2.15 MDMA 通道 n 中断清除寄存器 (MDMA\_CHnINTCLR)

偏移地址:  $0x0198 + 0x100 \times n$  ( $n = 0$  到 15)

复位值: 0xFFFF FFFF

将 1 写入特定字段将清除通道 n 中断状态寄存器中相应的字段。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CHA	CHD	CHS	CHSS	CHLC	Reserved					SIWOHE	Reserved	SIWOCEE	SIRTWOE	SIWTROE	SIDE
w	w	w	w	w						w		w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Reserved	SIMBTE	SLIE	LWSE	LRSE	LWDE	LRDE	DSTSE	SRCSE	DSTDE	SRCDE	DSTTC	SRCTC	Reserved	DMATD	BLKTD
	w	w	w	w	w	w	w	w	w	w	w	w		w	w

位域	名称	描述
31	CHA	通道中止。 0x0: 无效信号。不采取任何操作。 0x1: 清除 MDMA_CHnINTSTS 中生成的通道中止中断。
30	CHD	通道已禁止。 0x0: 无效信号。不采取任何操作。 0x1: 清除 MDMA_CHnINTSTS 中生成的通道禁止中断。
29	CHS	通道已暂停。 0x0: 无效信号。不采取任何操作。 0x1: 清除 MDMA_CHnINTSTS 中生成的通道暂停中断。
28	CHSS	通道源已暂停。 0x0: 无效信号。不采取任何操作。 0x1: 清除 MDMA_CHnINTSTS 中生成的通道源暂停中断。
27	CHLC	通道锁定已清除。 0x0: 无效信号。不采取任何操作。 0x1: 清除 MDMA_CHnINTSTS 中生成的通道锁定清除中断。
26:22	Reserved	保留, 必须保持复位值。
21	SIWOHE	从接口写保持错误。 0x0: 无效信号。不采取任何操作。 0x1: 清除 MDMA_CHnINTSTS 中生成的从接口写保持错误中断。
20	Reserved	保留, 必须保持复位值。
19	SIWOCEE	从接口写通道使能错误。 0x0: 无效信号。不采取任何操作。 0x1: 清除 MDMA_CHnINTSTS 中生成的从接口写通道使能错误中断。
18	SIRTWOE	从接口读只写错误。 0x0: 无效信号。不采取任何操作。 0x1: 清除 MDMA_CHnINTSTS 中生成的从接口读只写错误中断。
17	SIWTROE	从接口写只读错误。 0x0: 无效信号。不采取任何操作。 0x1: 清除 MDMA_CHnINTSTS 中生成的从接口写只读错误中断。
16	SIDE	从接口解码错误。 0x0: 无效信号。不采取任何操作。 0x1: 清除 MDMA_CHnINTSTS 中生成的从接口解码错误中断。
15	Reserved	保留, 必须保持复位值。
14	SIMBTE	从接口多块类型错误。 0x0: 无效信号。不采取任何操作。 0x1: 清除 MDMA_CHnINTSTS 中生成的从接口多块类型错误中断。
13	SLIE	LLI 无效错误。 0x0: 无效信号。不采取任何操作。

位域	名称	描述
		0x1: 清除 MDMA_CHnINTSTS 中生成的 LLI 无效错误中断。
12	LWSE	LLI 写从机错误。 0x0: 无效信号。不采取任何操作。 0x1: 清除 MDMA_CHnINTSTS 中生成的 LLI 写从机错误中断。
11	LRSE	LLI 读从机错误。 0x0: 无效信号。不采取任何操作。 0x1: 清除 MDMA_CHnINTSTS 中生成的 LLI 读从机错误中断。
10	LWDE	LLI 写解码错误。 0x0: 无效信号。不采取任何操作。 0x1: 清除 MDMA_CHnINTSTS 中生成的 LLI 写解码错误中断。
9	LRDE	LLI 读解码错误。 0x0: 无效信号。不采取任何操作。 0x1: 清除 MDMA_CHnINTSTS 中生成的 LLI 读解码错误中断。
8	DSTSE	目标从机错误。 0x0: 无效信号。不采取任何操作。 0x1: 清除 MDMA_CHnINTSTS 中生成的目标从机错误中断。
7	SRCSE	源从机错误。 0x0: 无效信号。不采取任何操作。 0x1: 清除 MDMA_CHnINTSTS 中生成的源从机错误中断。
6	DSTDE	目标解码错误。 0x0: 无效信号。不采取任何操作。 0x1: 清除 MDMA_CHnINTSTS 中生成的目标解码错误中断。
5	SRCDE	源解码错误。 0x0: 无效信号。不采取任何操作。 0x1: 清除 MDMA_CHnINTSTS 中生成的源解码错误中断。
4	DSTTC	目标事务已完成。 0x0: 无效信号。不采取任何操作。 0x1: 清除 MDMA_CHnINTSTS 中生成的目标事务完成中断。
3	SRCTC	源事务已完成。 0x0: 无效信号。不采取任何操作。 0x1: 清除 MDMA_CHnINTSTS 中生成的源事务完成中断。
2	Reserved	保留，必须保持复位值。
1	DMATD	DMA 传输完成。 0x0: 无效信号。不采取任何操作。 0x1: 清除 MDMA_CHnINTSTS 中生成的 DMA 传输完成中断。
0	BLKTD	块传输完成。 0x0: 无效信号。不采取任何操作。 0x1: 清除 MDMA_CHnINTSTS 中生成的块传输完成中断。

## 17 超高精度定时器(SHRTIM1/SHRTIM2)

### 17.1 简介

高分辨率定时器可生成多达 12 路高度精确定时数字信号，主要用于驱动开关模式电源或照明系统等电源转换系统，但也可用于，一般对时间分辨率有极高要求的应用。

该定时器采用模块化架构，可生成独立波形或耦合波形。波形由独立式定时信号（使用计数器和比较单元）以及多种外部事件（如模拟或数字反馈以及同步信号）确定，因此可生成大量不同的控制信号（PWM、相移、恒定 Ton...），从而满足大部分转换拓扑的需求。

为实现控制和监测用途，该定时器还具有定时测量功能，并连接到内置的 ADC 和 DAC 转换器。此外，该定时器还具有轻载管理模式，能够处理各种故障机制，从而实现安全关断。

### 17.2 主要特性

- 多个定时单元
  - 100ps 分辨率，所有输出均支持全分辨率，可在触发单脉冲模式下调整占空比、频率和脉宽
  - 6 个 16 位定时单元（每个定时单元包含 1 个独立计数器和 5 个比较单元（比较单元 5 专用于 ADC 触发））
  - 12 路输出可通过任何定时单元控制，每条通道多达 32 个置位/复位源
  - 模块化结构可满足多种配有 1 或 2 个开关的独立转换器的需求，也可满足少数大型多开关拓扑的需求
- 多达 10 个外部事件，可用于任何定时单元
  - 可编程极性和边沿有效性
  - 10 个事件用于快速异步模式
  - 10 个事件用于可编程数字滤波器
  - 利用消隐和窗口模式实现伪事件过滤
  - 10 个外部事件全映射到任意 GPIO 或任意模拟比较器
- 多条通道可连接到内置模拟外设
  - 10 个用于 ADC 转换器的触发信号，ADC 触发信号可全映射到任意比较单元
  - 3 个用于 DAC 转换器的触发信号
  - 7 个用于模拟信号调理的比较器
- 丰富的保护机制
  - 6 路故障输入可组合使用并关联到任何定时单元
  - 6 条故障输入可全映射到任意模拟比较器

- 可编程极性和边沿有效性，数字滤波器
- 对谐振变换器配有专门的延时保护
- 多个 SHRTIM 实例可与外部同步输入/ 输出同步
- 多功能输出级
  - 全分辨率时间插入
  - 可编程输出极性
  - 斩波模式
- 突发模式控制器，可同时处理多个转换器上的轻载操作，支持 32 位突发模式计数
- 8 个中断向量，每个向量最多具有 14 个源
- 7 个 DMA 请求，最多具有 14 个源，可通过突发模式实现多寄存器更新

## 17.3 功能描述

### 17.3.1 概述

SHRTIM 可分为以下几个子实体：

- 主定时器
- 定时单元（定时器 A 到定时器 F）
- 输出级
- 突发模式控制器
- 外部事件和故障信号调节逻辑，由所有定时器共享
- 系统接口

主定时器基于 16 位递增计数器。它可通过 4 个比较单元置位/ 复位 12 路输出中的任何一路，并向 6 个定时单元提供同步信号。其主要用途是使定时单元受唯一的时钟源控制。交错降压转换器是一个典型的应用示例，主定时器在其中管理着多个单元之间的相移。比较单元 5 专用于 ADC 触发。

定时器单元既可以独立工作，也可以与其他定时器（包括主定时器）配合工作。每个定时器都可控制两路输出。输出置位/复位事件可以由定时单元比较寄存器触发，或者由来自主定时器、其他定时器的外部事件触发。

输出级有多种用途：

- 在互补 PWM 模式下配置 2 路输出时添加死区
- 将载波频率添加到调制信号上
- 通过将输出异步置为预定义的安全电平来管理故障事件

在轻载运行的情况下，突发模式控制器可控制一个或多个定时器。突发长度和周期、以输出的空闲状态可通过编程设定。

外部事件和故障信号调理逻辑包括：

- 输入选择 MUX（例如，为给定外部事件通道选择数字输入或片上时钟源）
- 极性和边沿有效性编程
- 数字滤波

系统接口允许 SHRTIM 与 MCU 的其余部分进行交互：

- 向 CPU 发出中断请求
- 通过 DMA 控制器自动访问存储器，包括 SHRTIM 特有的突发模式
- 触发 ADC 和 DAC 转换器

SHRTIM 寄存器分为 7 组：

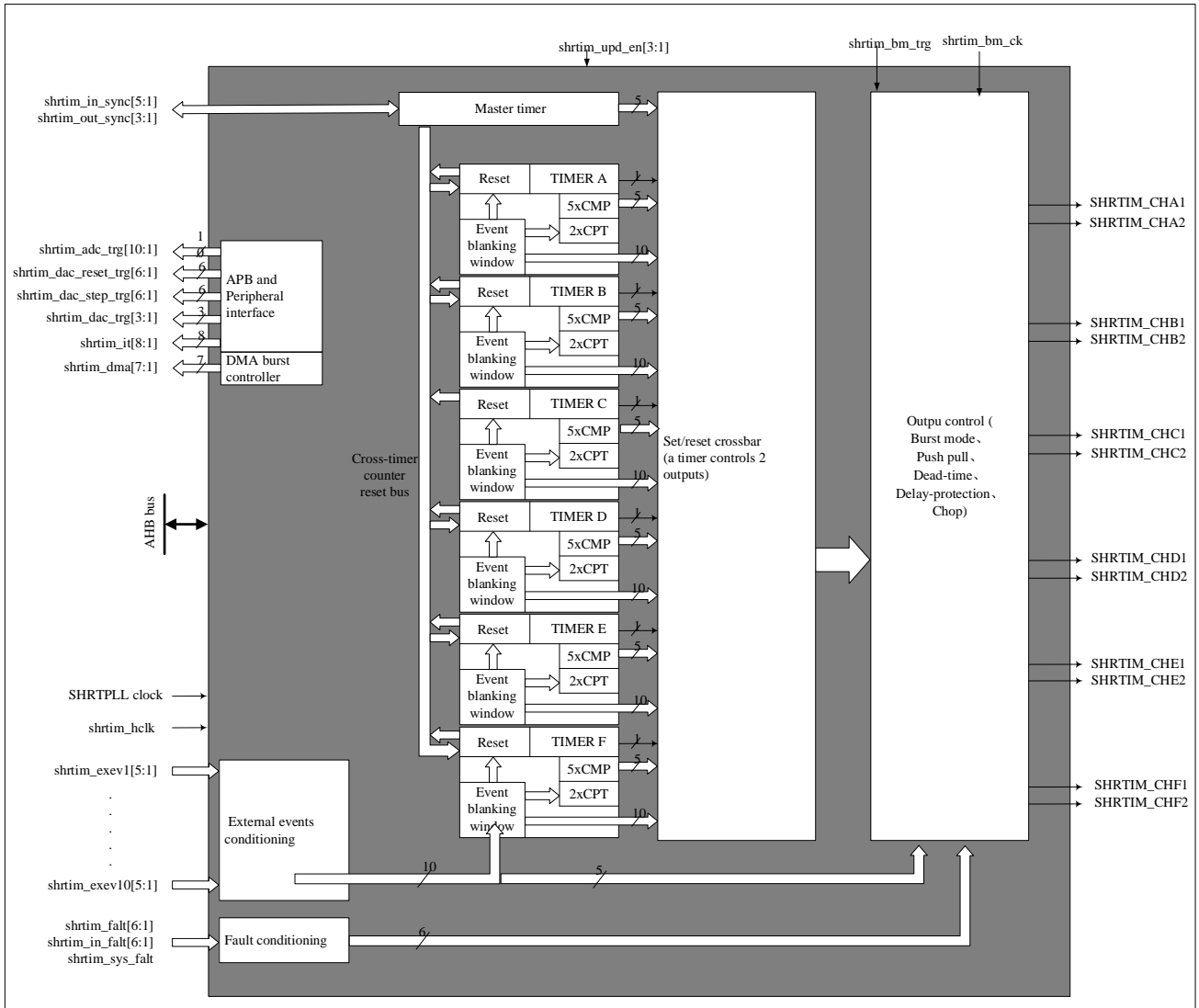
- 主定时器寄存器
- 定时器 A 到定时器 F 寄存器
- 通用寄存器，用于所有定时器单元共用的功能

*注：根据文档编写约定，在文本和寄存器中对于 6 个定时单元的引用统一用“x”字母表示（x 可以是 A 到 F 的任意值）。*

定时器的框图如下图所示。

图 17-1 SHRTIM 概览





### 17.3.2 SHRTIM 引脚和内部信号

如下表汇总了片上和片外的 SHRTIM 输入和输出。

表 17-1 SHRTIM 输入输出概述

信号名称	信号类型	描述
SHRTIM_CHA1, SHRTIM_CHA2, SHRTIM_CHB1, SHRTIM_CHB2, SHRTIM_CHC1, SHRTIM_CHC2, SHRTIM_CHD1, SHRTIM_CHD2, SHRTIM_CHE1, SHRTIM_CHE2, SHRTIM_CHF1,	输出	主 SHRTIM 定时器输出。这些输出成对工作 (SHRTIM_CHx1 和 SHRTIM_CHx2)，可以插入死区或独立工作。

SHRTIM_CHF2		
shrtim_in_fault1[4:1] shrtim_in_fault2[4:1] shrtim_in_fault3[4:1] shrtim_in_fault4[4:1] shrtim_in_fault5[4:1] shrtim_in_fault6[4:1]	数字输入	故障输入：置为有效时立即禁止 SHRTIM 输出（12 路片上输入和 6 路片外 SHRTIM_FAULTx 输入）。
shrtim_sysflt	数字输入	涵盖 MCU 内部故障事件（时钟安全系统、SRAMECC 错误、SRAM 奇偶校验错误、Cortex®-M4 LOCKUP (HardFault)、PVD 输出、FLASH ECC 双校验错误）的系统故障。
shrtim_in_sync[5:1]	数字输入	将整个 SHRTIM 与其他内部或外部定时器资源进行同步的同步输入： SHRTIM_in_sync1: atim1_trgo SHRTIM_in_sync2: atim2_trgo SHRTIM_in_sync3: atim3_trgo SHRTIM_in_sync4: SHRTIM_SCIN(IOM) SHRTIM_in_sync5: 另一个 SHRTIM 的同步输出 (shrtimx_out_sync2)
shrtim_out_sync[2:1]	数字输出	此输出用于级联或同步多个片上或片外 SHRTIM 实例： shrtim_out_sync1: 目标为片外 SHRTIM 或外设（通过 SHRTIM_SCOUT 输出引脚） shrtim_out_sync2: 目标为片内外设
shrtim_exeV1[5:1] shrtim_exeV2[5:1] shrtim_exeV3[5:1] shrtim_exeV4[5:1] shrtim_exeV5[5:1] shrtim_exeV6[5:1] shrtim_exeV7[5:1] shrtim_exeV8[5:1] shrtim_exeV9[5:1] shrtim_exeV10[5:1]	数字输入	外部事件：10 个事件均可在 5 组源中选择，可选择片上源（来自其他内置外设：比较器、ADC 模拟看门狗、TIMx 定时器触发输出、CAN 输出）或片外源（SHRTIM_EXEVx 输入引脚）
shrtim_upd_en[3:1]	数字输入	SHRTIM 寄存器更新使能输入（片上互连）会触发从影子寄存器到活动寄存器的传输操作
shrtim_bm_trg	数字输入	突发模式触发事件（片上互连）
shrtim_bm_ck[4:1]	数字输入	突发模式时钟（片上互连）
shrtim_adc_trg[10:1]	数字输出	ADC 转换开始触发信号
sshrtim_dac_trg[3:1]	数字输出	DAC 转换更新触发信号
shrtim_dac_reset_trg[6:1] shrtim_dac_step_trg[6:1]	数字输出	双 DAC 触发
shrtim_it[8:1]	数字输出	中断请求
shrtim_dma[7:1]	数字输出	DMA 请求
shrtim_hclk	-	AHB 时钟

SHRTPLL clock	-	SHRTIM 主时钟（以下称为 f <sub>SHRTIM</sub> ）
---------------	---	---------------------------------------

**表 17-2 外部事件映射与关联特性**

SHRTIM external event input signal	Fast mode	Digital filter	Balanced idle A,B,C	Balanced idle D,E,F	EXEVxSRC[2:0]=0(from GPIO pin)(1)	EXEVxSRC[2:0]=1(2)	EXEVxSRC[2:0]=2	EXEVxSRC[2:0]=3	EXEVxSRC[2:0]=4
shrtim1_exev1[5:1 ]	Yes	Yes	-	-	SHRTIM1_EXEV 1	comp_x_out(1~ 4)	atim1_trgo	adc1_AWD 1	N/A
shrtim1_exev2[5:1 ]	Yes	Yes	-	-	SHRTIM1_EXEV 2	comp_x_out(1~ 4)	gtima1_trg o	adc1_AWD 2	N/A
shrtim1_exev3[5:1 ]	Yes	Yes	-	-	SHRTIM1_EXEV 3	comp_x_out(1~ 4)	gtima2_trg o	adc1_AWD 3	N/A
shrtim1_exev4[5:1 ]	Yes	Yes	-	-	SHRTIM1_EXEV 4	comp_x_out(1~ 4)	atim2_trgo	adc2_AWD 1	N/A
shrtim1_exev5[5:1 ]	Yes	Yes	-	-	SHRTIM1_EXEV 5	comp_x_out(1~ 4)	atim3_trgo	adc2_AWD 2	CAN2_RT P
shrtim1_exev6[5:1 ]	Yes	Yes	Yes	-	SHRTIM1_EXEV 6	comp_x_out(1~ 4)	atim4_trgo	adc2_AWD 3	CAN2_TM P
shrtim1_exev7[5:1 ]	Yes	Yes	Yes	-	SHRTIM1_EXEV 7	comp_x_out(1~ 4)	gtima6_trg o	adc3_AWD 1	CAN2_SO C
shrtim1_exev8[5:1 ]	Yes	Yes	-	Yes	SHRTIM1_EXEV 8	comp_x_out(1~ 4)	gtima4_trg o	adc3_AWD 2	CAN1_RT P
shrtim1_exev9[5:1 ]	Yes	Yes	-	Yes	SHRTIM1_EXEV 9	comp_x_out(1~ 4)	gtima7_trg o	gtima3_trg o	CAN1_TM P
shrtim1_exev10[5: 1]	Yes	Yes	-	-	SHRTIM1_EXEV 10	comp_x_out(1~ 4)	gtima5_trg o	adc3_AWD 3	CAN1_SO C
shrtim2_exev1[5:1 ]	Yes	Yes	-	-	SHRTIM2_EXEV 1	comp_x_out(1~ 4)	atim1_trgo	adc1_AWD 1	N/A
shrtim2_exev2[5:1 ]	Yes	Yes	-	-	SHRTIM2_EXEV 2	comp_x_out(1~ 4)	gtima1_trg o	adc1_AWD 2	N/A
shrtim2_exev3[5:1 ]	Yes	Yes	-	-	SHRTIM2_EXEV 3	comp_x_out(1~ 4)	gtima2_trg o	adc1_AWD 3	N/A
shrtim2_exev4[5:1 ]	Yes	Yes	-	-	SHRTIM2_EXEV 4	comp_x_out(1~ 4)	atim2_trgo	adc2_AWD 1	N/A
shrtim2_exev5[5:1 ]	Yes	Yes	-	-	SHRTIM2_EXEV 5	comp_x_out(1~ 4)	atim3_trgo	adc2_AWD 2	CAN4_RT P
shrtim2_exev6[5:1 ]	Yes	Yes	Yes	-	SHRTIM2_EXEV 6	comp_x_out(1~ 4)	atim4_trgo	adc2_AWD 3	CAN4_TM P
shrtim2_exev7[5:1 ]	Yes	Yes	Yes	-	SHRTIM2_EXEV	comp_x_out(1~ 4)	gtima6_trg	adc3_AWD	CAN4_SO

SHRTIM external event input signal	Fast mode	Digital filter	Balanced idle A,B,C	Balanced idle D,E,F	EXEVxSRC[2:0]=0(from GPIO pin)(1)	EXEVxSRC[2:0]=1(2)	EXEVxSRC[2:0]=2	EXEVxSRC[2:0]=3	EXEVxSRC[2:0]=4
]					7	4)	o	1	C
shrtim2_excev8[5:1]	Yes	Yes	-	Yes	SHRTIM2_EXEV	comp_x_out(1~	gtima4_trg	adc3_AWD	CAN3_RT
]					8	4)	o	2	P
shrtim2_excev9[5:1]	Yes	Yes	-	Yes	SHRTIM2_EXEV	comp_x_out(1~	gtima7_trg	gtima3_trg	CAN3_TM
]					9	4)	o	o	P
shrtim2_excev10[5:1]	Yes	Yes	-	-	SHRTIM2_EXEV	comp_x_out(1~	gtima5_trg	adc3_AWD	CAN3_SO
]					10	4)	o	3	C

每个 EXEV 可以映射到任意一个 IO

comp\_x\_out 可以映射到任意一个比较器

表 17-3 更新使能输入与源

SHRTIM update enable signal	SHRTIM update enable assignment
SHRTIM1_upd_en1	gtimb1_oc1
SHRTIM1_upd_en2	gtimb2_oc1
SHRTIM1_upd_en3	gtimb3_oc1
SHRTIM2_upd_en1	gtimb1_oc2
SHRTIM2_upd_en2	gtimb2_oc2
SHRTIM2_upd_en3	gtimb3_oc2

表 17-4 Burst 模式的时钟源

SHRTIM Burst mode trigger event/ clock signal	SHRTIM Burst mode trigger event/ clock signal assignment
SHRTIM1_bm_trg	btim1_trgo
SHRTIM1_bm_ck1	gtimb1_oc1
SHRTIM1_bm_ck2	gtimb2_oc1
SHRTIM1_bm_ck3	gtimb3_oc1
SHRTIM1_bm_ck4	btim1_trgo
SHRTIM2_bm_trg	btim2_trgo
SHRTIM2_bm_ck1	gtimb1_oc2
SHRTIM2_bm_ck2	gtimb2_oc2
SHRTIM2_bm_ck3	gtimb3_oc2
SHRTIM2_bm_ck4	gtima2_trgo

表 17-5 Fault 输入

SHRTIM Fault channel	SHRTIM External Input FALTxSRC[1:0] = 00	On-chip source FALTxSRC[1:0] = 01(1)	External Input FALTxSRC[1:0] = 10	On-chip source FALTxSRC[1:0] = 11
shrtimx_fault1[5:1]	SHRTIMx_FALT1	comp_x_out(1~4)	EXEV1_muxout	DSMU_brk[0]
shrtimx_fault2[4:1]	SHRTIMx_FALT2	comp_x_out(1~4)	EXEV2_muxout	DSMU_brk[1]
shrtimx_fault3[4:1]	SHRTIMx_FALT3	comp_x_out(1~4)	EXEV3_muxout	DSMU_brk[2]
shrtimx_fault4[4:1]	SHRTIMx_FALT4	comp_x_out(1~4)	EXEV4_muxout	DSMU_brk[3]
shrtimx_fault5[4:1]	SHRTIMx_FALT5	comp_x_out(1~4)	EXEV5_muxout	DSMU_brk[0]
shrtimx_fault6[4:1]	SHRTIMx_FALT6	comp_x_out(1~4)	EXEV6_muxout	DSMU_brk[1]

1. comp\_x\_out 可以映射到任意一个比较器

表 17-6SHRTIM DAC 触发互联

SHRTIM DAC triggers	DAC1 /DAC2	DAC3 /DAC4	DAC5/DAC6
shrtimx_dac_reset_trg1, shrtimx_dac_step_trg1	Yes	Yes	Yes
shrtimx_dac_reset_trg2, shrtimx_dac_step_trg2	Yes	Yes	Yes
shrtimx_dac_reset_trg3, shrtimx_dac_step_trg3	Yes	Yes	Yes
shrtimx_dac_reset_trg4, shrtimx_dac_step_trg4	Yes	Yes	Yes
shrtimx_dac_reset_trg5, shrtimx_dac_step_trg5	Yes	Yes	Yes
shrtimx_dac_reset_trg6, shrtimx_dac_step_trg6	Yes	Yes	Yes
sshrtimx_dac_trg1	Yes	-	-
sshrtimx_dac_trg2	-	Yes	-
sshrtimx_dac_trg3	-	-	Yes

### 17.3.3 时钟

SHRTIM 必须由 SHRTPLL 提供时钟实现全分辨率。SHRTIM 中的所有时钟均由该参考时钟生成。

#### 17.3.3.1 术语定义

$f_{SHRTIM}$ : SHRTIM 主时钟（等价于 SHRTPLL 时钟），所有后续时钟均由该时钟源生成，并与该时钟源同步。

$f_{HRCK}$ : 高分辨率等效时钟。鉴于  $f_{SHRTIM}$  时钟周期除以 32，其等效频率为  $312.5\text{MHz} \times 32 = 10\text{GHz}$ 。

$f_{DTG}$ : 死区发生器时钟。为了方便起见，本文档中仅使用  $t_{DTG}$  周期 ( $t_{DTG} = 1/f_{DTG}$ )。  $f_{CHPFRQ}$ : 斩波级时钟源。

$f_{ISTPW}$ : 定义斩波模式下初始脉冲长度的时钟源。为了方便起见，本文档中仅使用  $t_{ISTPW}$  周期 ( $t_{ISTPW} = 1/f_{ISTPW}$ )。

$f_{BRST}$ : 突发模式控制器计数器时钟。

$f_{SAMPLING}$ : 对故障或外部事件输入进行采样时所需的时钟。

$f_{FALTS}$ : 由  $f_{SHRTIM}$  派生的时钟，用作  $f_{SAMPLING}$  的源，以过滤故障事件。

$f_{EXEVS}$ : 由  $f_{SHRTIM}$  派生的时钟, 用作  $f_{SAMPLING}$  的源, 以过滤外部事件。

$Fhclk$  ( $shrtim\_hclk$ ): AHB 总线时钟, 寄存器读/写访问时需要。

### 17.3.3.2 定时器时钟和预分频器

SHRTIM 中的每个定时器都有独立的时钟预分频器, 以供用户调整定时器分辨率。见下表。

表 17-7  $f_{SHRTIM} = 312.5\text{MHz}$  时的定时分辨率和最小 PWM 频率

CKPSC[2:0]	Prescaling ratio	$f_{HRCK}$ equivalent frequency	Resolution	Min PWM frequency
0	1	$312.5 \times 32\text{MHz} = 10 \text{ GHz}$	100 ps	152.7 kHz
1	2	$312.5 \times 16\text{MHz} = 5 \text{ GHz}$	200 ps	76.3 kHz
10	4	$312.5 \times 8\text{MHz} = 2.5 \text{ GHz}$	400 ps	38.2 kHz
11	8	$312.5 \times 4\text{MHz} = 1.25 \text{ GHz}$	0.8 ns	19.1 kHz
100	16	$312.5 \times 2\text{MHz} = 625 \text{ MHz}$	1.6 ns	9.54 kHz
101	32	312.5 MHz	3.2 ns	4.77 kHz
110	64	$312.5/2\text{MHz} = 156.25 \text{ MHz}$	6.4 ns	2.38 kHz
111	128	$312.5/4\text{MHz} = 78.125 \text{ MHz}$	12.8 ns	1.19 kHz

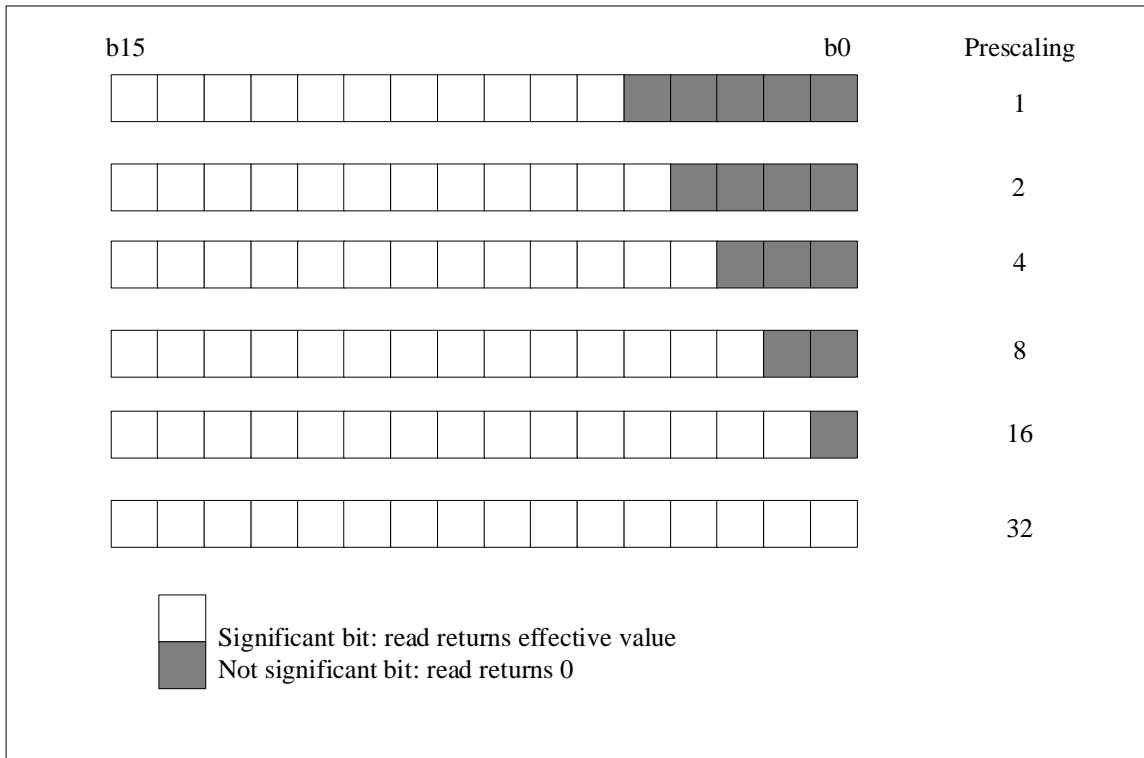
高分辨率可用于边缘定位、PWM 周期调整和外部触发的脉冲持续时间。以下功能不支持高分辨率:

- 定时器计数器读写访问
- 捕获单元
- CMP5 触发 ADC
- DAC 步进触发

对于小于 32 的时钟预分频比 ( $CKPSC[2:0] < 5$ ), 计数器和捕获寄存器的最低有效位并不重要。这些最低有效位不能被写入 (仅限计数器寄存器) 并且在读取时返回 0。

例如, 如果  $CKPSC[2:0] = 2$  (预分频 4 倍), 向计数器寄存器写入  $0xFFFF$  时, 实际有效的值为  $0xFFF8$ 。相反, 任何介于  $0xFFFF$  和  $0xFFF8$  之间的计数器值在读取时都将显示为  $0xFFF8$ 。

图 17-2 计数和捕获寄存器形式 vs 时钟分频因子



### 17.3.3.3 初始化

启动时，务必先初始化预分频器位域，然后再写入比较和周期寄存器。定时器使能后（SHRTIM\_MCTRL 寄存器中的 MCNTEN 或 TxCNTEN 位已置 1），不能修改预分频器。

如果有多个定时器已使能，预分频器会与先启动的定时器的预分频器同步。

**警告：** 仅当计数器与输出行为与其他定时器的信息和信号无关时，主定时器和 TIMA..F 定时器才能使用不同的预分频比。如果以下某个事件从一个定时单元（或主定时器）传输到另一个定时单元，则务必要在这些定时器中配置相同的预分频比：输出置位/复位事件、计数器复位事件、更新事件、外部事件过滤或捕获触发。预分频系数不相等会导致结果不可预测。

### 17.3.3.4 死区发生器时钟

死区预分频器由  $(f_{SHRTIM} \times 8) / 2(DTPSC[2:0])$  提供，通过 SHRTIM\_TxDT 寄存器中的 DTPSC[2:0]位编程。

当  $f_{SHRTIM} = 312.5 \text{ MHz}$  时， $t_{DTG}$  的范围是 400 ps 到 51.2 ns。

### 17.3.3.5 斩波级时钟

斩波级时钟源  $f_{CHPFRQ}$  由  $f_{SHRTIM}$  生成，使用 16 到 256 的分频系数，因此  $1.2207\text{KHz} \leq f_{CHPFRQ} \leq 19.5312 \text{ MHz}$  ( $f_{SHRTIM} = 312.5 \text{ MHz}$  时)。

$t_{1STPW}$  是斩波模式下初始脉冲的长度，通过 SHRTIM\_TxCHOP 寄存器中的 STARTPW[3:0] 位编程，其计算公式如下：

$$t_{1STPW} = (STARTPW[3:0]+1) \times 16 \times t_{SHRTIM} \circ$$

计算时使用  $f_{SHRTIM} / 16$  作为时钟源（15.625 MHz for  $f_{SHRTIM} = 312.5 \text{ MHz}$ ）。

### 17.3.3.6 突发模式预分频器

突发模式控制器计数器时钟  $f_{BRST}$  可由多个时钟源提供，其中一个时钟源由  $f_{SHRTIM}$  生成。在这种情况下，

$f_{BRST}$  的范围为  $f_{SHRTIM}$  到  $f_{SHRTIM} / 32768$  ( $f_{SHRTIM} = 312.5 \text{ MHz}$  时为  $9.537\text{KHz}$ )。

### 17.3.3.7 故障输入采样时钟

故障输入噪音抑制滤波器的时间常量是通过  $f_{SAMPLING}$  定义的,可以是  $f_{SHRTIM}$  或  $f_{FALTS}$ 。 $f_{FALTS}$  是由  $f_{SHRTIM}$  生成的,其范围为  $312.5 \text{ MHz}$  到  $39.0625 \text{ MHz}$  ( $f_{SHRTIM} = 312.5 \text{ MHz}$  时)。

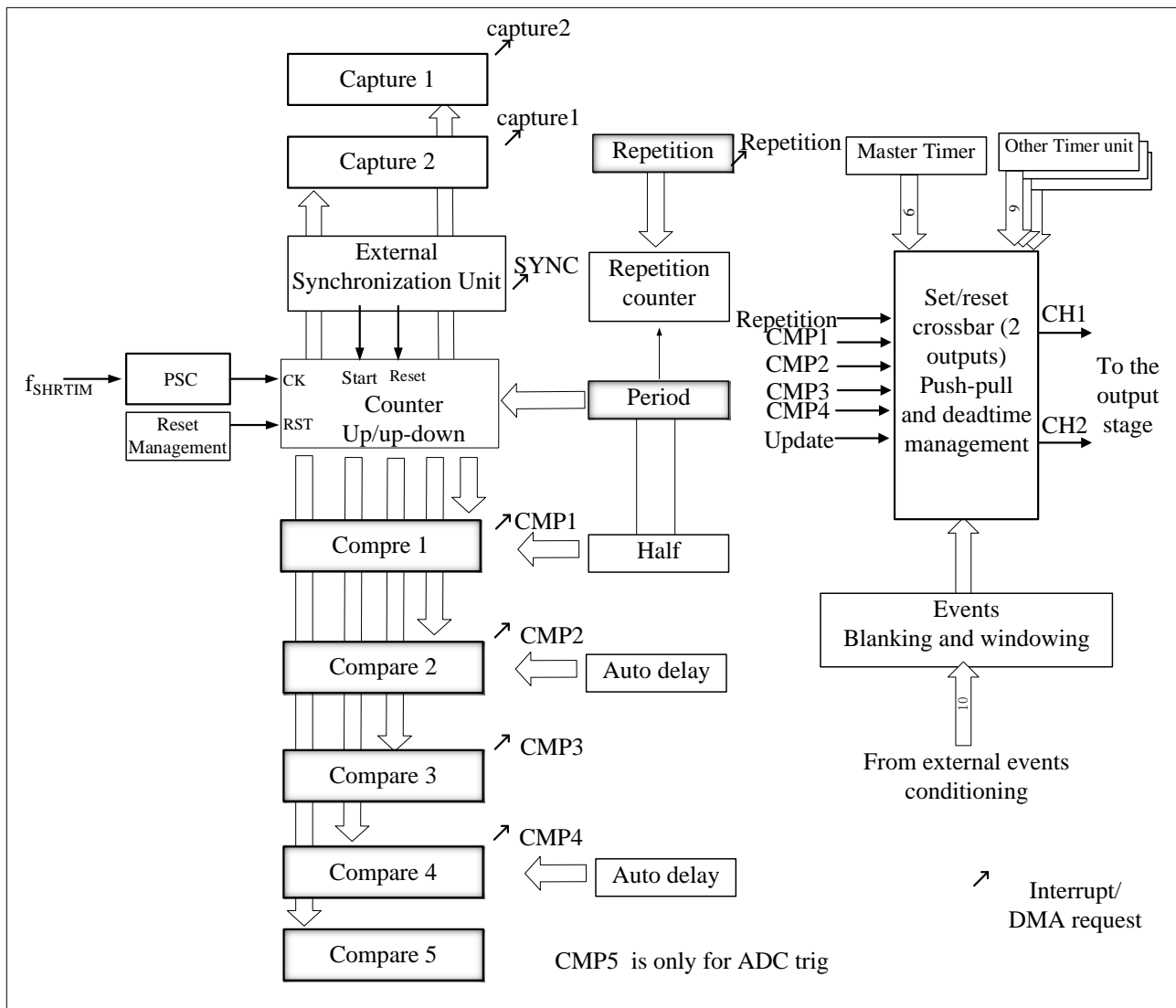
### 17.3.3.8 外部事件输入采样时钟

外部事件输入噪音抑制滤波器的时间常量是通过  $f_{SAMPLING}$  定义的,可以是  $f_{SHRTIM}$  或  $f_{EXEVS}$ 。 $f_{EXEVS}$  是由  $f_{SHRTIM}$  生成的,其范围为  $312.5 \text{ MHz}$  到  $39.0625 \text{ MHz}$  ( $f_{SHRTIM} = 312.5 \text{ MHz}$  时)。

## 17.3.4 定时器 A..F 定时单元

SHRTIM 嵌入了 6 个完全相同的定时单元 (这些定时单元由采用自动重载机制的 16 位递增计数器组成,用于定义计数周期)、5 个比较单元和 2 个捕获单元,如图 17-3 所示。每个单元都包含对 2 路输出的所有控制功能,因此可作为独立定时器工作。

图 17-3 定时器 A...F 概览





周期和比较值必须在与高分辨率实现相关的上下限范围内，具体数值列于表 17-8 中：

- 最小值必须大于或等于  $f_{SHRTIM}$  时钟的 3 个周期。值 0x0000 只能写入 CMP1 和 CMP3 寄存器，以跳过 PWM 脉冲。有关详细信息，请参阅章节 17.3.4.8 空占空比异常情况。
- 最大值必须小于或等于 0xFFFF 减去  $f_{SHRTIM}$  时钟的 1 个周期。

**表 17-8 周期和比较寄存器最小值和最大值**

CKPSC[2:0] value	Min(1)	Max
0	0x0060	0xFFDF
1	0x0030	0xFFEF
2	0x0018	0xFFF7
3	0x000C	0xFFFB
4	0x0006	0xFFFD
≥ 5	0x0003	0xFFFD

注：如果比较值大于周期寄存器值，则不会生成比较匹配事件。

不同于比较单元 1~4，比较单元 5 是专用于 ADC 触发的比较单元，不具备 CMP1~CMP4 的功能。仅支持以下几点功能：

1. CMP5 具有常规分辨率，不具备高分辨率特性。
2. CMP5 匹配时会产生 CMP5 的状态标志，也可以清除 CMP5 的状态标志。但 CMP5 事件不会连到 NVIC，因此不会产生中断。
3. CMP5 事件可用于触发 ADC 。

### 计数器工作模式

定时器 A..F 可在连续（自由运行）模式下工作，也可以单发方式工作，此时会由复位事件触发开始计数，工作模式通过 SHRTIM\_TxCTRL 控制寄存器中的 CONT 位设置。附加的 RTG 位可用于选择单发操作是可再触发的或不可再触发的。和以及总结了工作模式的详细信息。

**表 17-9 定时器工作模式**

CONT	RTG	工作模式	启动/ 停止条件时钟和事件生成
0	0	单发不可再触发	将 TxCNTEN 位置 1 会使能定时器，但不会启动计数器。 第一个复位事件会触发计数器开始计数，但计数器在达到 period 值之前会忽略任何后续复位事件。 随后会生成 period 事件，计数器停止计数。 发生复位事件后，计数器会重新从 0x0000 开始计数。
0	1	单发可再触发	将 TxCNTEN 位置 1 会使能定时器，但不会启动计数器。 如果计数器停止计数，则复位事件会使计数器开始计数，否则会将计数器清零。 计数器达到 period 值后，会生成 period 事件，计数器会停止计数。 发生复位事件后，计数器会重新从 0x0000 开始计数。

1	X	连续模式	<p>将 TxCNTEN 位置 1 会使能定时器，同时会启动计数器。</p> <p>计数器达到 period 值后，会翻转到 0x0000 并重新开始计数。</p> <p>可以随时复位计数器。</p>
---	---	------	--

可以随时清零 TxCNTEN 位，以禁止定时器并停止计数。

图 17-4 连续定时器工作模式

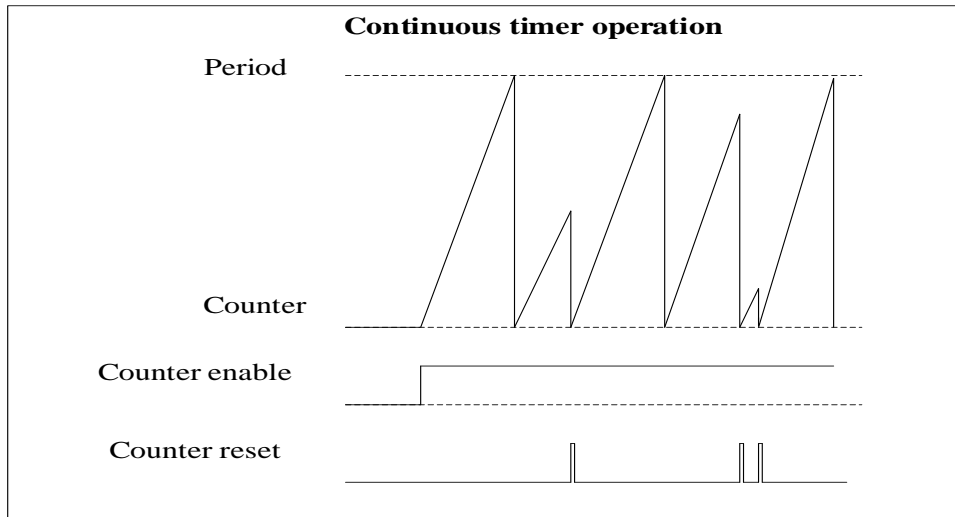
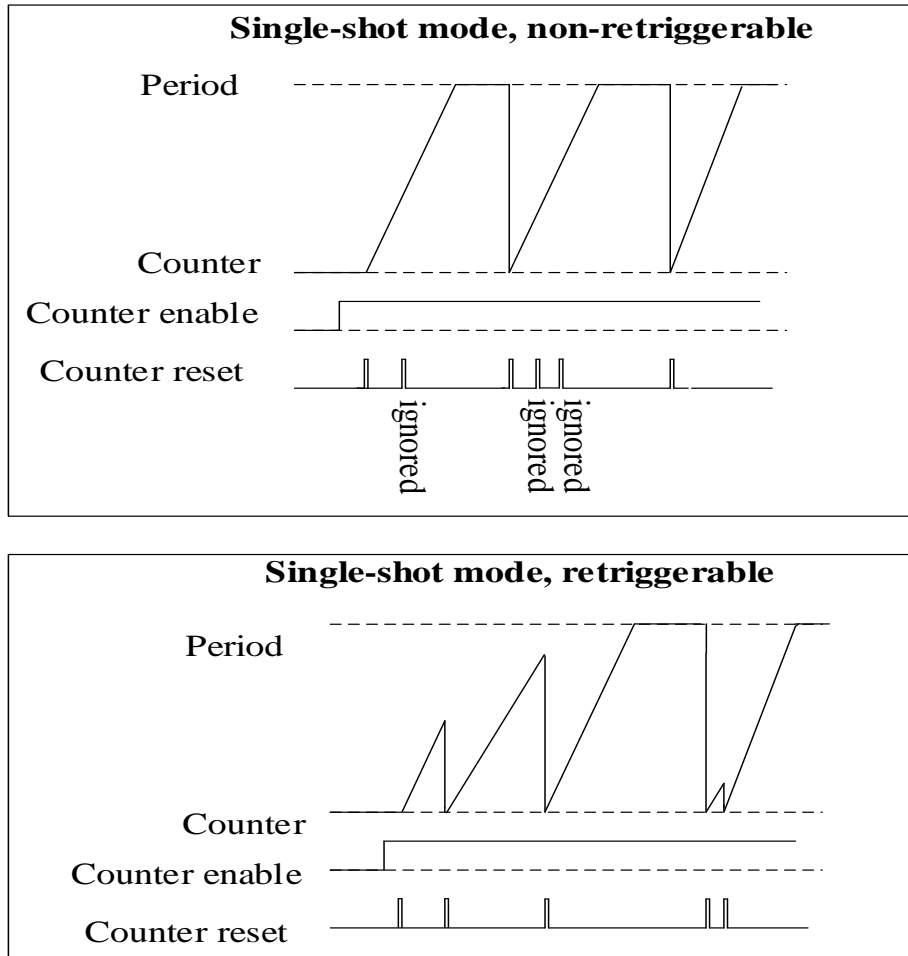


图 17-5 单发定时器工作模式



### 17.3.4.1 翻转事件

在连续模式下，如果计数器在达到 SHRTIM\_TxPRD 寄存器中设置的周期值后恢复为 0，则会生成计数器翻转事件。在单发模式下，当计数器计数到周期值后发生复位事件时，会生成翻转事件。

该事件在 SHRTIM 中用于多种用途：

- 置位/ 复位输出
- 触发寄存器内容更新（从预装载寄存器传输到活动寄存器）
- 触发 IRQ 或 DMA 请求
- 作为突发模式时钟源或突发启动触发信号
- 作为 ADC 触发信号
- 使重复计数器递减

如果初始计数器值大于定时器启动时的周期值，或者在计数器已超过该值时设置了新周期，计数器不会复位：计数器将在达到最大周期值时溢出，并且重复计数器不会递减。

### 17.3.4.2 定时器复位

定时单元计数器的复位可通过多达 30 种事件触发，这些事件可同时在 SHRTIM\_TACNTRST 寄存器中选择，具体包括以下复位源：

- 定时单元：比较 2、比较 4 和更新（3 个事件）
- 主定时器：复位和比较 1..4（5 个事件）
- 外部事件 EXEV1..10（10 个事件）
- 所有其他定时单元（例如，对于定时器 A，则为定时器 B..F）：比较 1、2 和 4（12 个事件）

可同时选择多个事件处理多个复位源。在这种情况下，会对多个复位请求进行或运算。如果在同一  $f_{SHRTIM}$  时钟周期内生成 2 个计数器复位事件，则会考虑后一个定时器复位事件。

此外，还可以使用 SHRTIM\_CTRL2 寄存器中的 TxRSTRO 位对计数器执行软件复位。这些控制位分组到一个寄存器中，从而可同时复位多个计数器。

*注意：当发生多个复位事件时，将依据最后一个复位事件的相位来调整纵横开关的置位/复位事件。*

*注意：使用更新事件复位定时器单元本身时，该更新事件为低分辨率（无相位）。*

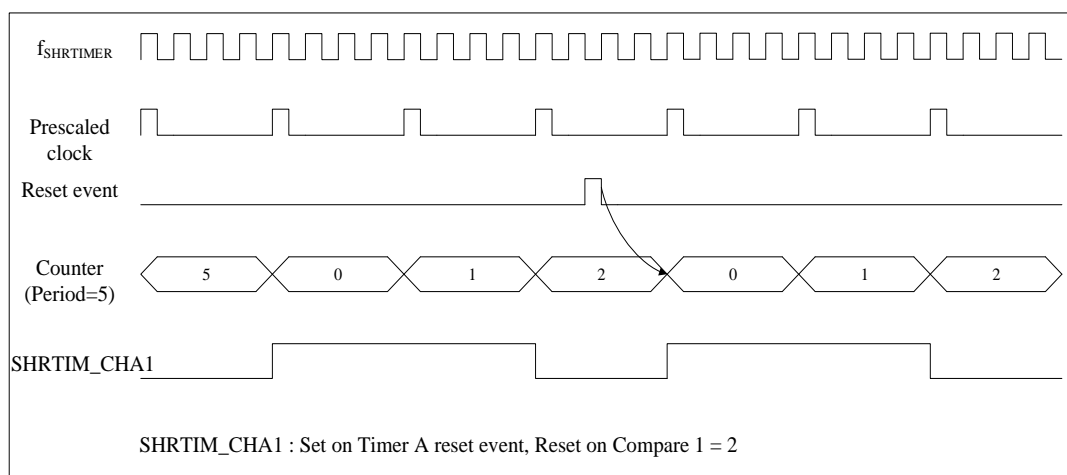
*注意：若复位事件与周期事件发生在同一个  $f_{SHRTIM}$  时钟周期内（且两者均会导致计数器翻转），则无论复位事件相位与周期事件相位的相对大小如何，周期都将延后至编程的复位事件处。此规则仅在高分辨率模式激活时适用（CKPSC[2:0] < 5）。*

仅当相关计数器已使能后（TxCNTEN 位置 1），才会考虑复位请求。

如果  $f_{SHRTIM}$  时钟预分频比大于 32，计数器复位事件会延迟到预分频时钟的下一有效边沿，这样可确保在输出跳变同步到复位事件（通常是恒定 Ton 时间转换器）时生成的波形无抖动。

下图显示了时钟预分频比为 4（ $f_{SHRTIM}$  除以 4）时的复位处理方式。

图 17-6 定时器复位重新同步（预分频比大于 32）



### 17.3.4.3 重复计数器

软件通常会在达到周期值时生成中断，从而在下一周期开始之前留出最长的时间用于处理。重复计数的主要用途是通过分离开关频率和中断频率来调整周期中断率并分担 CPU 的负荷。

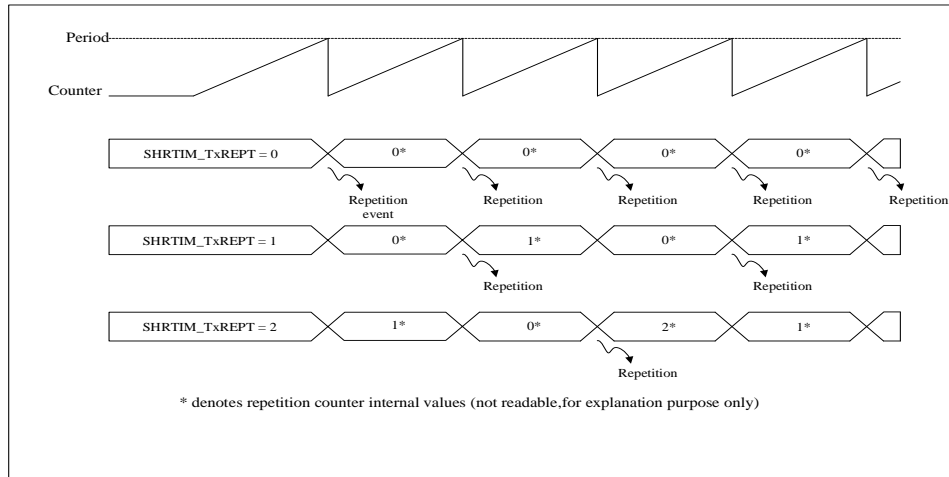
定时单元包含重复计数器。该计数器无法读取，但只可使用 SHRTIM\_TxREPT 寄存器中的自动重载值进行编程。

定时器使能后（TxCNTEN 位置 1），重复计数器会初始化为 SHRTIM\_TxREPT 寄存器的内容。定时器使能后，每次计数器由于复位事件或计数器翻转而清空时，重复计数器都会减 1。当重复计数器达到 0 后，

会发出 REPT 中断或 DMA 请求（若使能，使用 SHRTIM\_TxIDEN 寄存器中的 REPTIEN 和 REPTDEN 位）。

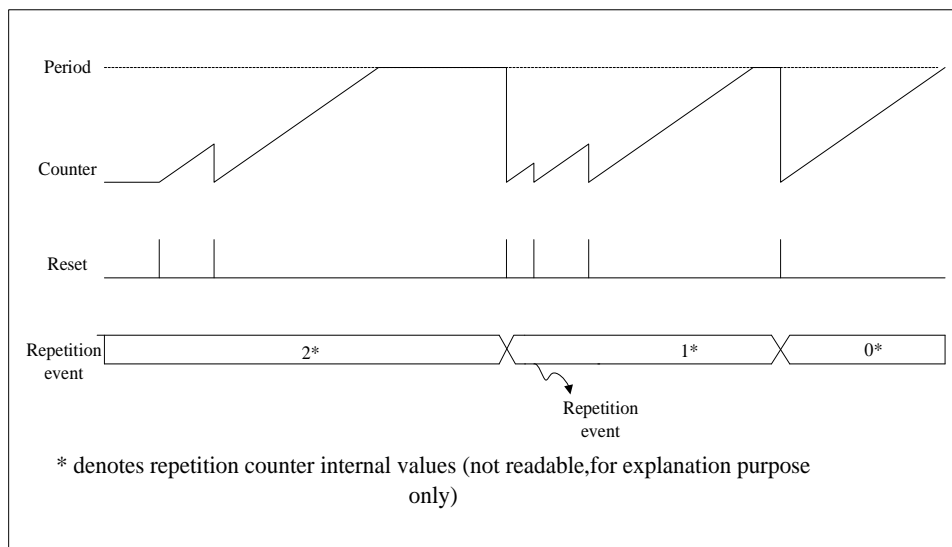
如果 SHRTIM\_TxREPT 寄存器设为 0，会在每个周期产生中断。如果值大于 0，则会在 (SHRTIM\_TxREPT + 1) 个周期后产生 REPTITF 中断。图 17-7 显示了连续模式下重复计数器取不同值时的操作。

图 17-7 连续模式下的重复率与 SHRTIM\_TxREPT 内容



无论在连续模式还是单发模式下，如果计数器在达到周期值（可变频率操作）之前复位，则也可使用重复计数器（如图 17-8 所示）。复位会使重复计数器在计数器使能后（TxCNTEN 位置 1）执行第一次启动时递减。

图 17-8 单发模式下的重复计数器行为



来自 shrtim\_in\_sync[5:1] 源的复位或启动事件会像其他任何复位事件一样使重复计数器递减。但在通过 SYNCIN 启动的单发模式下（SHRTIM\_TxCTRL 寄存器中的 SYNCSTRTx 位置 1），重复计数器仅会在周期后出现第一个复位事件时递减。任何后续的复位事件都不会更改重复计数器的值，直至计数器通过新的 shrtim\_in\_sync[5:1] 输入请求重启。

### 17.3.4.4 置位/ 复位纵横开关

“置位”事件相当于跳变为输出有效状态，而“复位”事件则相当于跳变为输出无效状态。

波形的极性在输出级中定义，以适应正逻辑或负逻辑外部组件：对于正极性 (POLx = 0)，有效电平对应于逻辑电平 1；对于负极性 (POLx = 1)，有效电平对应于逻辑电平 0。

每个定时单元都会控制两路输出的置位/ 复位纵横开关。这两路输出可通过多达 32 种事件置位、复位或切换，这些事件可从以下源中选择：

- 定时单元：周期、比较 1..4、寄存器更新（6 个事件）
- 主定时器：周期、比较 1..4、SHRTIM 同步（6 个事件）
- 所有其他定时单元（例如，对于定时器 A，则为定时器 B..F）：TIMEV1..9（表 17-10 中介绍的 9 个事件）
- 外部事件 EXEV1..10（10 个事件）
- 软件强制（1 个事件）

*注：在上/下模式中 (UPDOWNM 位设置为 1)，计数器周期事件是根据 OUTPUTROM[1:0] 位设置来定义的。*

事件源会进行或运算，可同时选择多个事件。

每路输出均由两个 32 位寄存器控制，一个寄存器包含置位编码 (SHRTIM\_TxSETy)，另一个寄存器包含复位编码 (SHRTIM\_TxRSTy)，其中 x 代表定时单元 A..F，y 代表输出 1 或 2（例如 SHRTIM\_TASET1、SHRTIM\_TCRST2...）。

如果为置位和复位选择了相同事件，则会切换输出状态。每个 t<sub>SHRTIM</sub> 周期输出状态的切换次数不能超过 1 次：如果同一周期中有两个连续的切换事件，则仅会考虑第一个切换事件。

仅当计数器使能后 (TxCNTEN 位置 1)，才会考虑置位和复位请求，但软件在定时器启动时强制请求允许预置输出的情况除外。

表 17-10 汇总了来自其他定时单元的可用于置位和复位输出的事件。编号对应于寄存器中列出的定时器事件（如 TIMEVNTx），空白位置表示不可用事件。

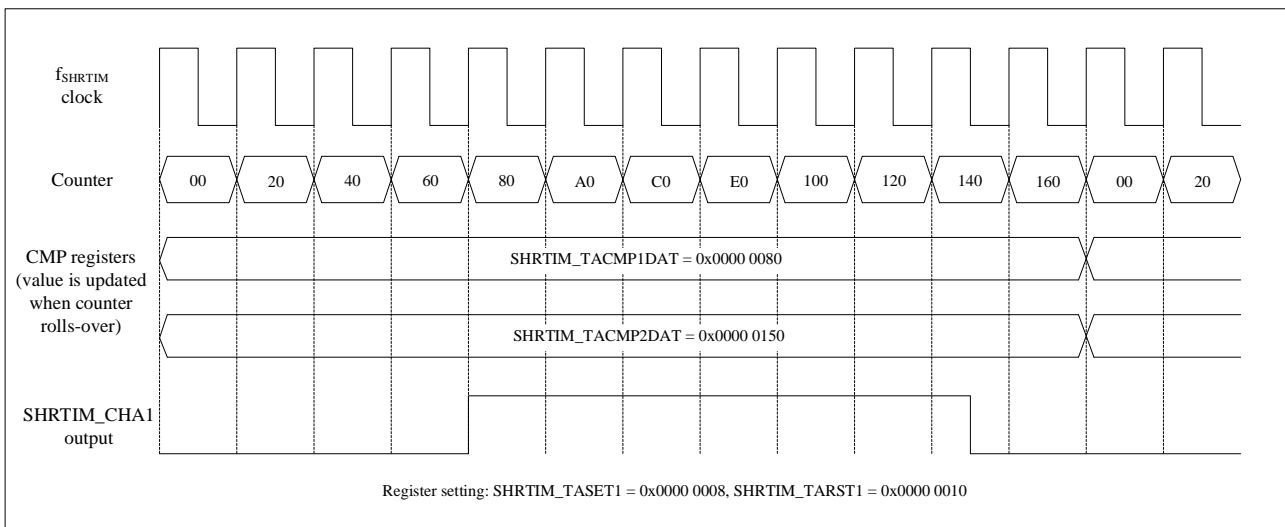
例如，定时器 A 输出可由以下事件置位或复位：定时器 B 比较 1、2 和 4，定时器 C 比较 2 和 3... 定时器 E 比较 3 将列为 SHRTIM\_TASET1 中的 TIMEV8。

表 17-10 定时器 A 到 F 之间的事件映射

Source		TIMA				TIMB				TIMC				TIMD				TIME				TIMF			
		CMP1	CMP2	CMP3	CMP4	CMP1	CMP2	CMP3	CMP4	CMP1	CMP2	CMP3	CMP4	CMP1	CMP2	CMP3	CMP4	CMP1	CMP2	CMP3	CMP4	CMP1	CMP2	CMP3	CMP4
Destination	TA	-	-	-	-	1	2	-	-	-	3	4	-	5	6	-	-	-	-	7	8	-	-	-	9
	TB	1	2	-	-	-	-	-	-	-	-	3	4	-	-	5	6	7	8	-	-	-	-	9	-
	TC	-	1	2	-	-	3	4	-	-	-	-	-	5	-	6	-	-	7	8	-	9	-	-	-
	TD	1	-	-	2	-	3	-	4	-	-	-	5	-	-	-	-	6	-	-	7	8	-	9	-
	TE	-	-	-	1	-	-	2	3	4	5	-	-	6	7	-	-	-	-	-	-	-	-	8	9
	TF	-	-	1	-	2	-	-	3	4	-	-	5	-	-	6	7	-	8	9	-	-	-	-	-

如下图显示了如何通过两个比较事件生成 PWM 信号。

图 17-9 比较事件对输出的操作：发生比较 1 时置位，发生比较 2 时复位



### 17.3.4.5 发生更新事件时置位/ 复位

在更新时进行的置位或复位事件是在低分辨率下执行的。当 CKPSC[2:0] 小于 5 时，高分辨率被设置为周期事件的高分辨率部分。如果有计数器复位事件，则高分辨率由计数器复位事件的高分辨率部分调整，否则，高分辨率依然由周期事件的高分辨率部分调整。

### 17.3.4.6 半占空比模式

此模式用于生成占空比固定为 50%、频率可变的方波信号（通常用于使用谐振拓扑的转换器），允许在设定新周期时自动将占空比强制设为周期值的一半。

要使能此模式，应向 SHRTIM\_TxCTRL 寄存器中的 HLF 位写入 1。SHRTIM\_TxPRD 寄存器写入数值后，会自动将比较 1 值更新为 SHRTIM\_TxPRD/2 值。

生成方波的输出必须编程为在发生 CMP1 事件时进行一次跳变，在发生周期事件时进行一次跳变，具体如下：

- SHRTIM\_TxSETy = 0x0000 0008, SHRTIM\_TxRSTy = 0x0000 0004 或
- SHRTIM\_TxSETy = 0x0000 0004, SHRTIM\_TxRSTy = 0x0000 0008

HALF 模式会覆盖 SHRTIM\_TxCMP1DAT 寄存器的内容。访问 SHRTIM\_TxPRD 寄存器仅会更新比较 1 内部寄存器。用户可访问的 SHRTIM\_TxCMP1DAT 寄存器不会更新为 SHRTIM\_TxPRD / 2 的值。

当使能预装载 (PLEN = 1、MUPDDIS、TxUPDDIS) 时，则会在发生更新事件时刷新比较 1 活动寄存器。如果禁止预装载 (PLEN = 0)，则在 SHRTIM\_TxPRD 写入数值后，比较 1 活动寄存器会立即更新。

当 HALF 模式启用时，周期必须大于或等于 f<sub>SHRTIM</sub> 时钟的 6 个周期（如果 CKPSC[2:0]=0，则为 0xC0；如果 CKPSC[2:0]=1，则为 0x60；如果 CKPSC[2:0]=2，则为 0x30.....）。

### 17.3.4.7 交错模式

此模式补充了半模式，并帮助实现交错拓扑结构。

它允许在更新 SHRTIM\_TxPRD 值时自动重新计算比较寄存器的内容。

通过在 SHRTIM\_MCTRL 和 SHRTIM\_TxCTRL 寄存器中使用 HLF 位和 ILV[1:0] 位进行选择,如下表所示。

表 17-11 交错模式选择

HLF	ILV [1:0] Bits	Mode
0	00	Disabled
0	01	Triple interleaved(120°)
0	10	Quad interleaved(90°)
0	11	Reserved
1	xx	Dual interleaved(180°)

下表为三种可用模式提供比较值。比较寄存器的内容将被覆盖。相应的比较事件可以用来触发输出置位/复位或复位从属计时器。

表 17-12 交错模式中比较 1..3 的值

Mode	Dual Interleaved	Triple Interleaved	Quad Interleaved
CMP1 value	TxPRD/2	TxPRD/3	TxPRD/4
CMP2 value	Not affected	2 x (TxPRD/3)	TxPRD/2
CMP3 value	Not affected	Not affected	3 x (TxPRD/4)

注: 在半模式和交错模式中, 比较寄存器由硬件控制, 编写它们没有效果。但是, 写入的值存储在预加载寄存器中, 并在退出这些模式后的更新事件上生效。

注: 三重和四重交错模式不能与使用 CMP2 的其他模式 (双 DAC 触发器、半触发模式、自动延迟模式) 同时使用。

### 17.3.4.8 空占空比异常情况

对于窄于 3 个  $t_{SHRTIM}$  周期的脉冲, 不支持高分辨率行为 (请参见章节 17.3.7 置位/复位事件优先级和窄脉冲管理), 并且在 SHRTIM\_TxCMPyDAT 寄存器中任何严格小于  $f_{SHRTIM}$  时钟的 3 个周期的值都是禁止的 (即如果 CKPSC[2:0]=0, 则为 0x60; 如果 CKPSC[2:0]=1, 则为 0x30; 如果 CKPSC[2:0]=2, 则为 0x18.....) (请参见章节 17.4.2.8 SHRTIM 定时器 x 比较 1 寄存器 (SHRTIM\_TxCMP1DAT))。

然而, 通过简单地在以下两个寄存器中写入零值, 可以跳过输出脉冲并实现零占空比: SHRTIM\_TxCMP1DAT 和 SHRTIM\_TxCMP3DAT, 只有在满足以下条件时才可能:

- 输出设置事件由周期事件产生
- 输出复位由比较 1 (或比较 3) 事件产生
- 比较 1 (或比较 3) 事件在定时器单元内部激活, 而不是用于其他定时单元

对于任何其他用例, 可以通过以超过  $f_{SHRTIM}$  时钟的 3 个周期以上的相同比较值编程设置和复位事件来实现。在这种情况下, 输出被强制复位 (遵循章节 17.3.7 置位/复位事件优先级和窄脉冲管理)。

### 17.3.4.9 交换模式

这种模式允许通过单个位来交换两个输出: 输出 1 信号连接到输出 2 引脚, 输出 2 信号连接到输出 1 引脚。通过在 SHRTIM\_CTRL2 寄存器中的 SWAPx 位触发输出交换, 并在下一次更新事件中生效。输出在置位/复位纵横开关单元之前进行交换, 如下所示:

- 如果 SWAPx = 0, SHRTIM\_TxSET1 和 SHRTIM\_TxRST1 用于输出 1 的编码, SHRTIM\_TxSET2 和 SHRTIM\_TxRST2 用于输出 2 的编码



- 如果  $SWAPx = 1$ ，SHRTIM\_TxSET1 和 SHRTIM\_TxRST1 用于输出 2 的编码，SHRTIM\_TxSET2 和 SHRTIM\_TxRST2 用于输出 1 的编码

交换模式仅影响预加载寄存器，而不影响活动寄存器。

*注意：使用交换模式时必须启用预加载模式。*

因此，它不会与常规输出并行修改辅助输出（详见第 17.3.18）。它们提供以下内部状态、事件和信号：

O1BCKUP、O2BCKUP、SETyITF 和 RSTyITF 状态标志，以及相应的中断和 DMA 请求

- 在输出设置/复位时触发捕获（TA2、TB2、TC2、TD2、TE2、TF2）
- 使用 Tx2 输出副本生成的外部事件过滤器

例如，当  $SWAPx = 0$  时，SETxITF 标志与输出 1 相关，而当  $SWAPx = 1$  时，与输出 2 相关。同样，交换模式不会改变 SHRTIM\_TxOUT 寄存器中控制位的分配（DIDLx、CHPx、FALTx[1:0]、IDLESx、POLx 位）。例如，无论 SWAP 位值如何，POL1 位都控制输出 1 的极性。

*注意：在推挽模式下（SHRTIM\_TxCTRL 寄存器中的  $PP = 1$ ），SWAPx 位将被忽略。*

#### 17.3.4.10 捕获

定时单元能够在内部和外部事件的触发下捕获计数器值。捕获的目的是：

- 测量事件到达时间或发生间隔。
- 在自动延迟模式下更新比较 2 和比较 4 值（请参见章节 17.3.4.11 自动延迟模式）。捕获以  $f_{SHRTIM}$  分辨率执行。

捕获以  $f_{SHRTIM}$  分辨率进行：对于时钟预分频比小于 32（ $CKPSC[2:0] < 5$ ）时，寄存器的低有效位不是重要的（读取为 0）。

定时器包含 2 个捕获寄存器：SHRTIM\_TxCPT1 和 SHRTIM\_TxCPT2。捕获触发事件在 SHRTIM\_TxCPT1CTRL 和 SHRTIM\_TxCPT2CTRL 寄存器中编程。

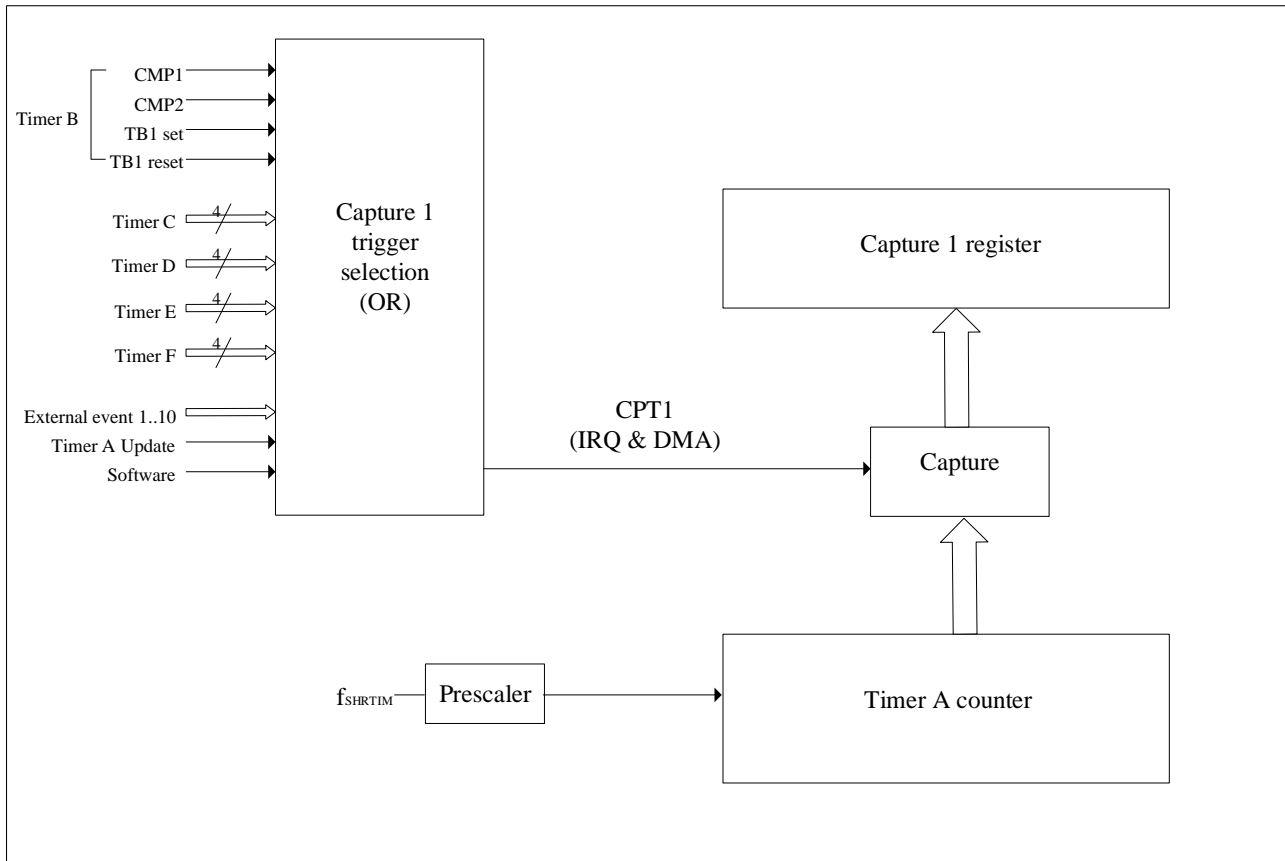
定时单元计数器的捕获可通过多达 32 种事件触发，这些事件可同时在 SHRTIM\_TxCPT1CTRL 和 SHRTIM\_TxCPT2CTRL 寄存器中选择，具体包括以下触发源：

- 外部事件，EXEV1..10（10 个事件）
- 所有其他定时单元（例如，对于定时器 A，则为定时器 B..F）：比较 1、2 和输出 1 置位/复位事件（16 个事件）
- 定时单元：更新（1 个事件）
- 软件捕获（1 个事件）

可同时选择多个事件处理多个捕获触发信号。在这种情况下，会对多个并发触发请求进行或运算。如果 SHRTIM\_TxIDEN 寄存器中的 CPTxIEN 和 CPTxDEN 位已置 1，捕获可生成中断或 DMA 请求。

电路未采用避免重复捕获的机制：即使前一个值未读取、或者捕获标志未清零，也会触发新捕获。

图 17-10 定时单元捕获电路



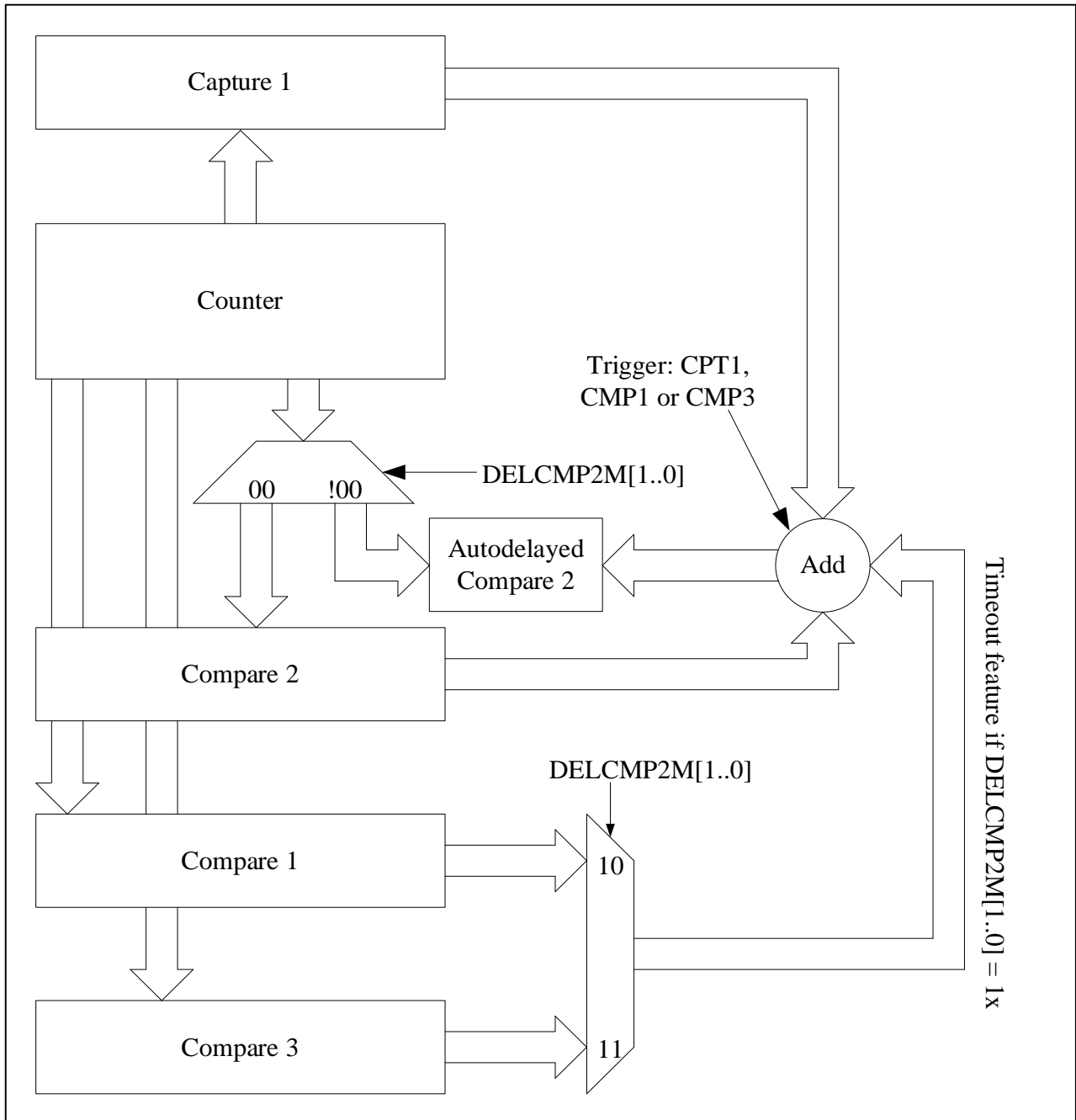
### 17.3.4.11 自动延迟模式

此模式可相对于捕获事件生成比较事件，这样一来，便可在捕获后的设定时间进行输出更改等操作。在这种情况下，会独立于定时器计数器值进行比较匹配。这样可生成时序与外部事件同步的波形，而无需进行软件计算和中断维护。

只要未触发捕获事件，便会忽略 SHRTIM\_TxCMPyDAT 寄存器的内容（计数器值与比较值相匹配的情况下，不会生成比较事件）。一旦触发了捕获事件，则会对在 SHRTIM\_TxCMPyDAT 中编程的比较值与 SHRTIM\_TxCPTy 中捕获的计数器值求和，并会用得出的结果更新内部自动延迟比较计数器，如图 17-11 所示。自动延迟比较寄存器属于定时单元内部的寄存器，不能读取。SHRTIM\_TxCMPyDAT 预装载寄存器的内容在计算后不会修改。

此特性仅适用于比较 2 和比较 4 寄存器。比较 2 寄存器与捕获 1 相关联，而比较 4 寄存器与捕获 2 相关联。与常规模式一样，SHRTIM\_TxCMP2DAT 和 SHRTIM\_TxCMP4DAT 比较寄存器不能编程为小于 3 个  $f_{SHRTIM}$  时钟周期的值。

图 17-11 自动延迟概述（仅限比较 2 寄存器）



自动延迟比较寄存器的有效期从捕获开始，到周期事件为止：计数器达到周期值后，系统会重新设置，比较寄存器在发生捕获之前会处于禁用状态。

SHRTIM\_TxCTRL 寄存器中的 DELCMP2M[1:0] 和 DELCMP4M[1:0] 位可配置自动延迟模式，具体如下：

- 00  
常规比较模式：会直接将 SHRTIM\_TxCMP2DAT 和 SHRTIM\_TxCMP4DAT 寄存器的内容与计数器值进行比较。
- 01  
自动延迟模式：会重新计算比较 2 和比较 4 寄存器值，并在捕获 1/2 事件后用计算值与计数器值进行比较。

- 1X

具有超时的自动延迟模式：会重新计算比较 2 和比较 4 寄存器值，并在捕获 1/2 事件后用计算值与计数器值进行比较；如果缺少捕获 1/2 事件，则在比较 1 匹配(DELCPxM[1:0]=10) 或比较 3 匹配(DELCPxM[1:0]=11) 后用计算值与计数器值进行比较，以便实现超时功能。

进行捕获时，会与 (SHRTIM\_CMP2/4xR + SHRTIM\_CPT1/2xR) 值进行比较。如果周期内未触发捕获，行为将取决于 DELCPxM[1:0] 值：

- DELCPxM[1:0] = 01：未生成比较事件
- DELCPxM[1:0] = 10 或 11：与 2 个比较寄存器值之和进行比较（例如 SHRTIM\_TxCMP2DAT + SHRTIM\_TxCMP1DAT）。如果捕获是在 CMPx + CMP1（或 CMPx + CMP3）后触发的，则不会考虑捕获。下一 PWM 周期开始时再次使能捕获。

如果自动延迟求和的结果大于 0xFFFF（溢出），则会忽略该值，并且新周期开始之前不会生成比较事件。

*注：如果从一个值重新编程为另一个值，以便正确地重新初始化自动延迟机制，则必须复位 DELCPxM[1:0] 位域，例如：*

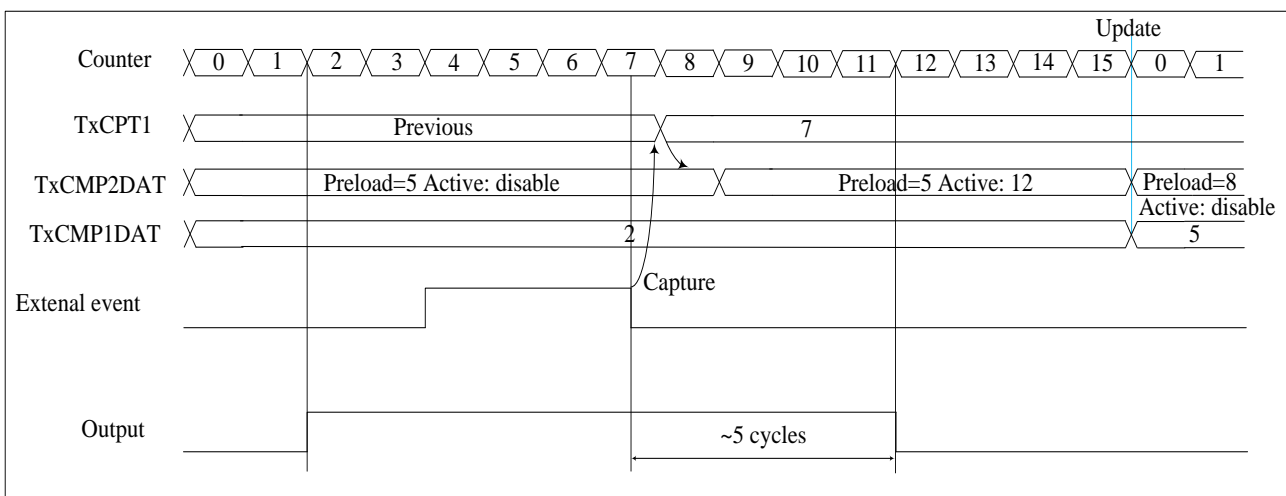
- DELCPxM[1:0] = 10
- DELCPxM[1:0] = 00
- DELCPxM[1:0] = 11

如下图所示举例说明了以下信号是怎样生成的：

- 计数器等于比较 1 值时，输出置位
- 给定外部事件下降沿 5 个周期后，输出复位

*注：为了简化图形，在此示例中未使用高分辨率 (CKPSC[2:0] = 101)，因此计数器以  $f_{SHRTIM}$  速率增加。同样，外部事件信号显示没有任何重新同步延迟：实际上，由于内部重新同步阶段（这对处理外部输入信号是必需的），在下降沿和捕获事件之间有 1 到 2 个  $f_{SHRTIM}$  时钟周期的延迟。*

图 17-12 自动延迟比较



使用常规比较通道（例如比较 1）进行输出置位：计数器与比较寄存器的内容匹配后，输出会立即变为有效状态。

使用延迟比较进行输出复位：仅当发生了捕获事件时，才会生成比较事件。如果计数器与延迟比较值（计数值 = 5）匹配，则不会生成事件。捕获事件由外部事件触发后，捕获寄存器的内容会立即与延迟比较值相加，得出新的比较值。示例中，自动延迟值 5 与的捕获值 7 相加，得出自动延迟比较寄存器中的值 12。从此时起，可生成比较事件，并会在计数器等于 12 时生成，比较事件会使输出复位。

### 自动延迟模式下的重复捕获管理

使能自动延迟模式时（ $DEL\text{CMPxM}[1:0] = 01、10、11$ ），将阻止重复捕获。

如果同一计数周期内出现多个捕获请求，只会考虑使用第一个捕获请求来计算自动延迟比较值。仅可在以下条件下进行新捕获：

- 自动延迟比较具有匹配的计数器值（比较事件）
- 计数器已翻转（周期）
- 定时器已复位

### 更改自动延迟比较值

如果已预装载自动延迟比较值（ $PLEN$  位置 1），则无论比较寄存器是何时写入数值的、是否发生了捕获事件（请参见图 17-12，其中，延迟是在计数器翻转时更改的），都会在发生下一更新事件（例如周期事件）时考虑新的比较值。

如果已禁止预装载（ $PLEN$  位复位），则即使比较值在捕获事件发生后进行了修改，也会立即考虑新的比较值，如下例所示：

1. 在  $t_1$ ， $DEL\text{CMP}2\text{M} = 1$
2. 在  $t_2$ ， $\text{CMP}2\_act = 0x40 \Rightarrow$  比较禁止
3. 在  $t_3$ ，发生捕获事件，捕获到值  $\text{CPTR}1 = 0x20$ 。 $\Rightarrow$  比较使能，比较值 =  $0x60$
4. 在  $t_4$ ， $\text{CMP}2\_act = 0x100$ （计数器值达到  $\text{CPTR}1 + 0x40$  之前） $\Rightarrow$  比较仍处于使能状态，新比较值 =  $0x120$
5. 在  $t_5$ ，计数器值达到周期值  $\Rightarrow$  比较禁止， $\text{cmp}2\_act = 0x100$

同样，如果  $\text{CMP}1(\text{CMP}3)$  的值在  $DEL\text{CMPxM} = 10$  或  $11$  时发生了变化，并且已禁止预装载：

1. 在  $t_1$ ， $DEL\text{CMP}2\text{M} = 2$
2. 在  $t_2$ ， $\text{CMP}2\_act = 0x40 \Rightarrow$  比较禁止
3. 在  $t_3$ ，发生  $\text{CMP}3$  事件 - 发生捕获 1 事件之前， $\text{CMP}3\_act = 0x50 \Rightarrow$  比较使能，比较值 =  $0x90$
4. 在  $t_4$ ， $\text{CMP}3\_act = 0x100$ （计数器值达到  $0x90$  之前） $\Rightarrow$  比较仍处于使能状态，将在  $\text{CMP}3\_act = 0x140$  时发生比较 2 事件。

### 17.3.4.12 半触发模式

该模式的目的是允许两个交错转换器同步，这些转换器具有可变频率操作并且需要  $180^\circ$  的相位移。基本原理是：

有一个主从系统。从转换器的同步是基于主转换器的上一个开关周期不断调整的。

这是通过捕获单元完成的。主转换器的开关周期被捕获，除以 2，然后由硬件存储在比较 2 寄存器中。比较 2 寄存器包含等于捕获周期一半的值，即主转换器的开关周期。然后可以使用比较 2 事件来触发管理从

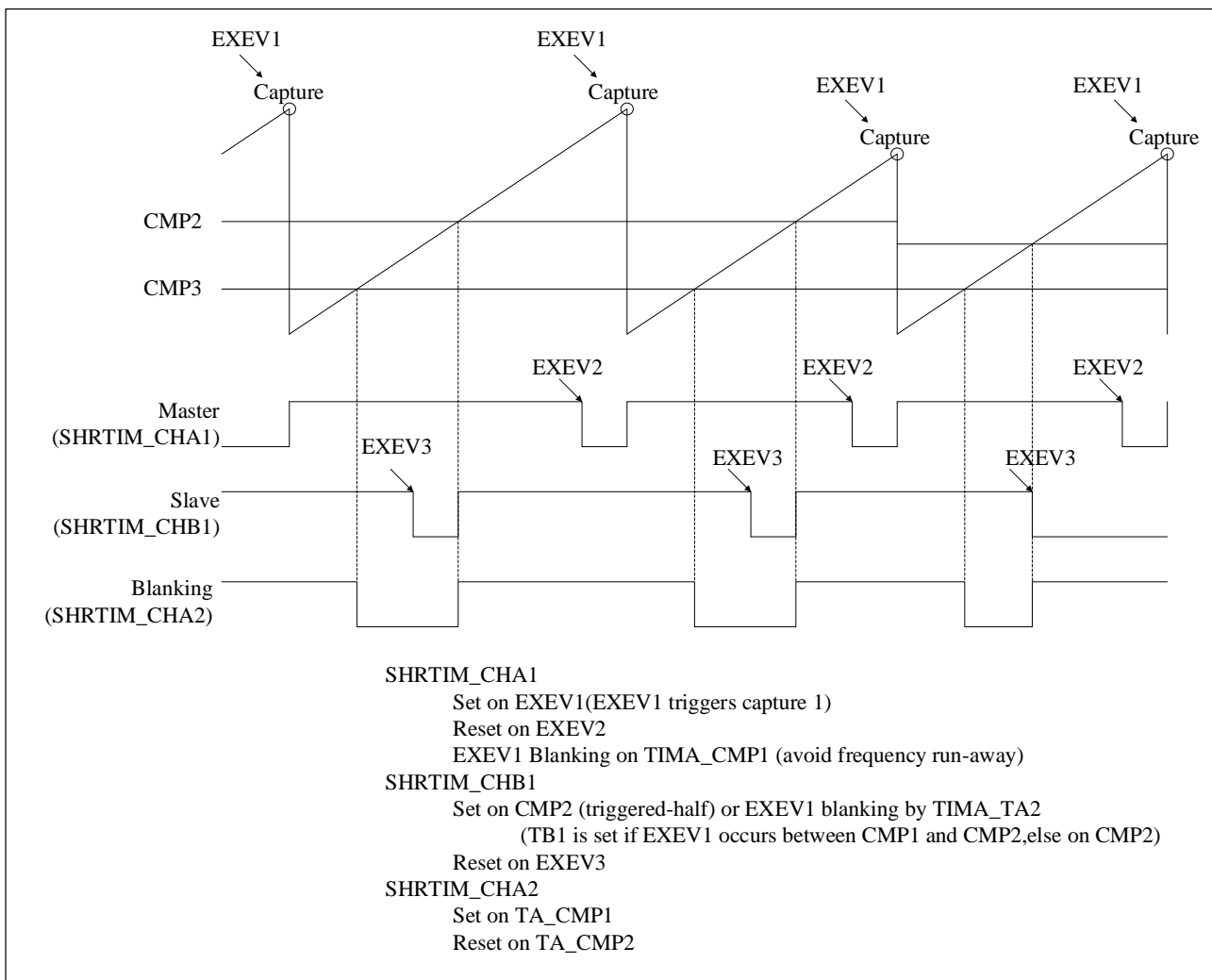
转换器的第二个定时单元。

通过在 SHRTIM\_TxCTRL2 寄存器中设置 TRGHLF 位来启用此模式。一旦定时器开始运行 (TxCNTEN 位设置), 这个位就不能改变。

半触发模式不得与使用 CMP2 的其他模式同时使用 (双 DAC 触发器、交错和均衡空闲模式、自动延迟模式)。

用户可以编写初始值 CMP2, 但是一旦触发了第一次捕获, 这个值就会被忽略。当 TRGHLF 位置位时, CMP2 的预加载机制被禁用。

图 17-13 半触发模式示例



注: 在半触发模式中, 比较 2 寄存器由硬件控制, 编写它没有效果。但是, 写入的值存储在预加载寄存器中, 并在退出这种模式后的更新事件中变得活跃。

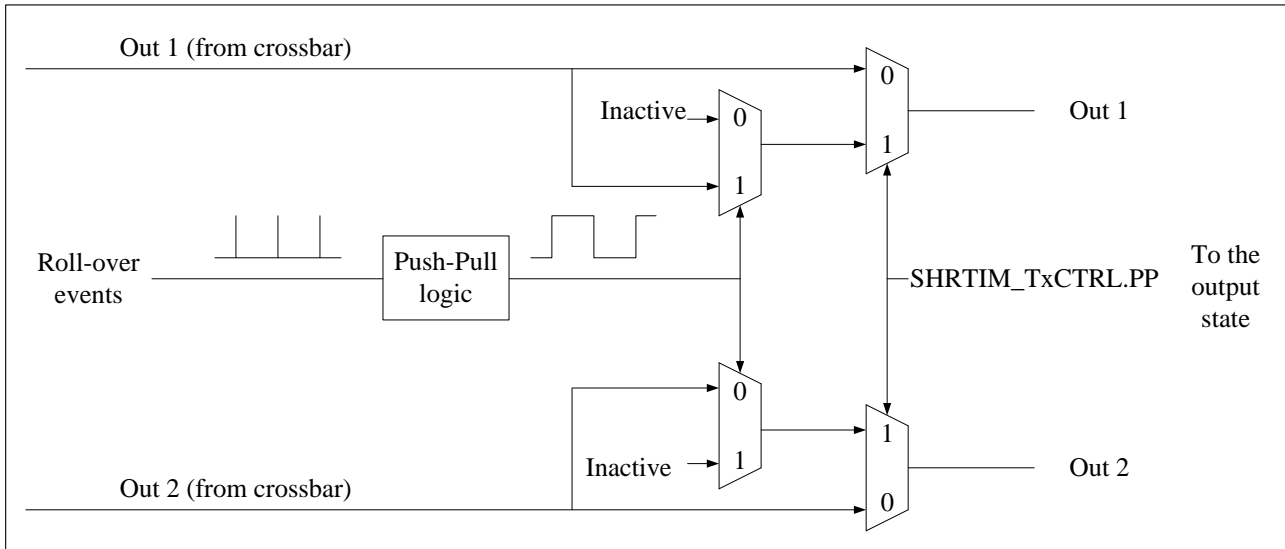
### 17.3.4.13 推挽模式

该模式的主要目的是使用推挽拓扑驱动转换器。如果需要使用延迟空闲保护 (通常用于谐振转换器), 也需要使能该模式 (请参见章节 17.3.10 延迟保护)。

通过将 SHRTIM\_TxCTRL 寄存器中的 PP 位置 1, 即可使能推挽模式。

在该模式下，会按照周期将纵横开关生成的信号交替地施加到输出 1 和输出 2 上（如果信号施加到输出 1 上，则输出 2 保持其无效状态，反之亦然）。重定向速率（推挽频率）由定时器的周期事件定义，如图 17-14 所示。推挽周期是定时器计数周期的二倍。

图 17-14 推挽模式框图



推挽模式在定时器以连续模式和单发模式操作时可用。必须禁用定时器才能停止推挽操作，并且在重新使能之前必须重置计数器。

为了得到正确的行为，被选作计数器复位源的事件也必须被选来置位（或复位）输出。如果输出在周期上被置位，则必须置位输出，否则必须复位输出。如果不这样操作，输出从非活动期切换到活动期可能会出现不正确的情况（可能会意外上升或者可能会意外保持低状态）。

两路输出的信号波形由 SHRTIM\_TxSETy 和 SHRTIM\_TxRSTy 定义。需要使 SHRTIM\_TxSET2 = SHRTIM\_TxSET1 且 SHRTIM\_TxRST2 = SHRTIM\_TxRST1，才能使两路输出的波形完全相同，并实现平衡的操作。不过，仍可对两路输出进行不同的编程，以实现其他用途。

SHRTIM\_TxINTSTS 中的 CPPSTS 状态位指示目前哪一路输出上的信号有效。CPPSTS 在推挽模式禁用时复位。

在下图中提供的示例中，定时器内部波形的定义如下：

- 发生周期事件时，输出置位
- 发生比较 1 匹配事件时，输出复位

图 17-15 推挽模式示例

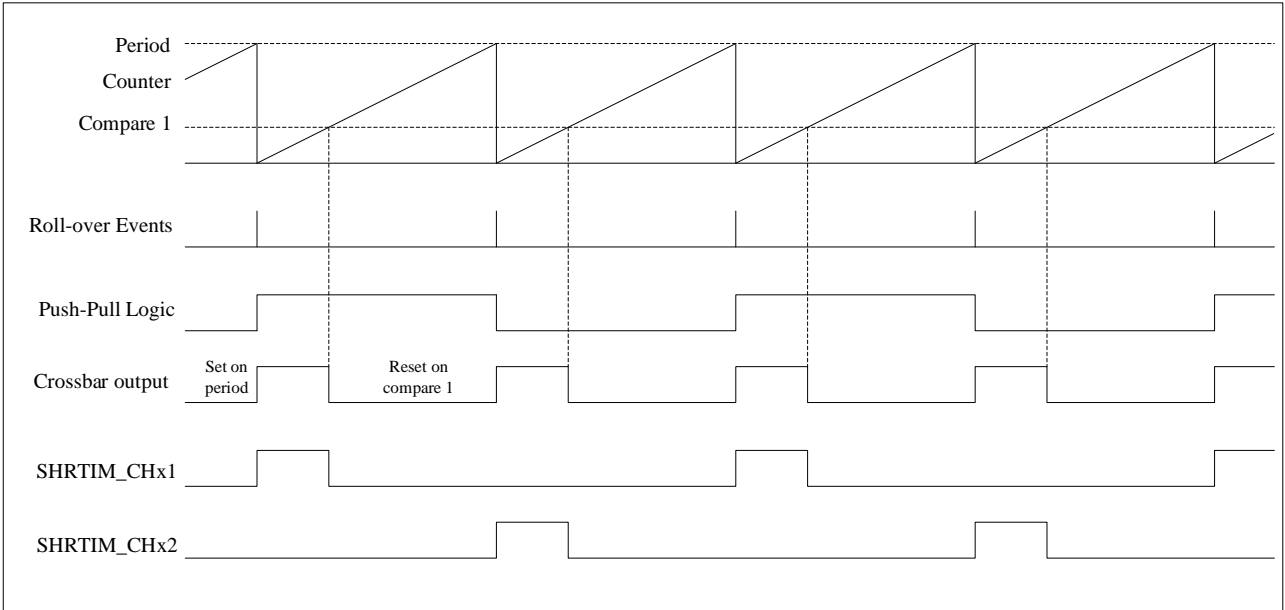
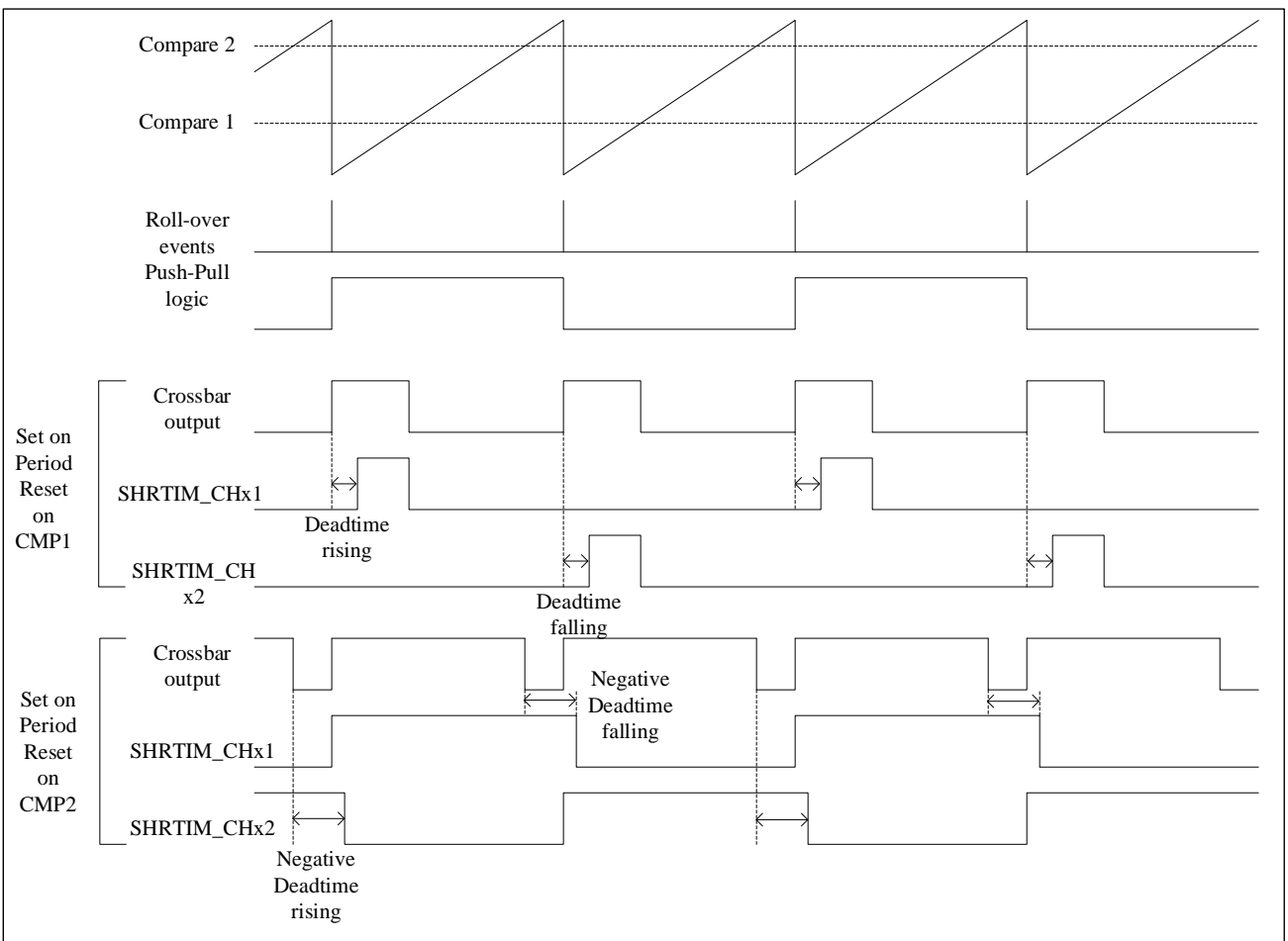


图 17-16 展示了在推挽模式下，如何对正负死区时间进行插入。在这种情况下，输出不再互补，而是对每个输出单独应用死区时间（纵横开关的输出 1 和输出 2 都被使用）。

图 17-16 带死区的推挽



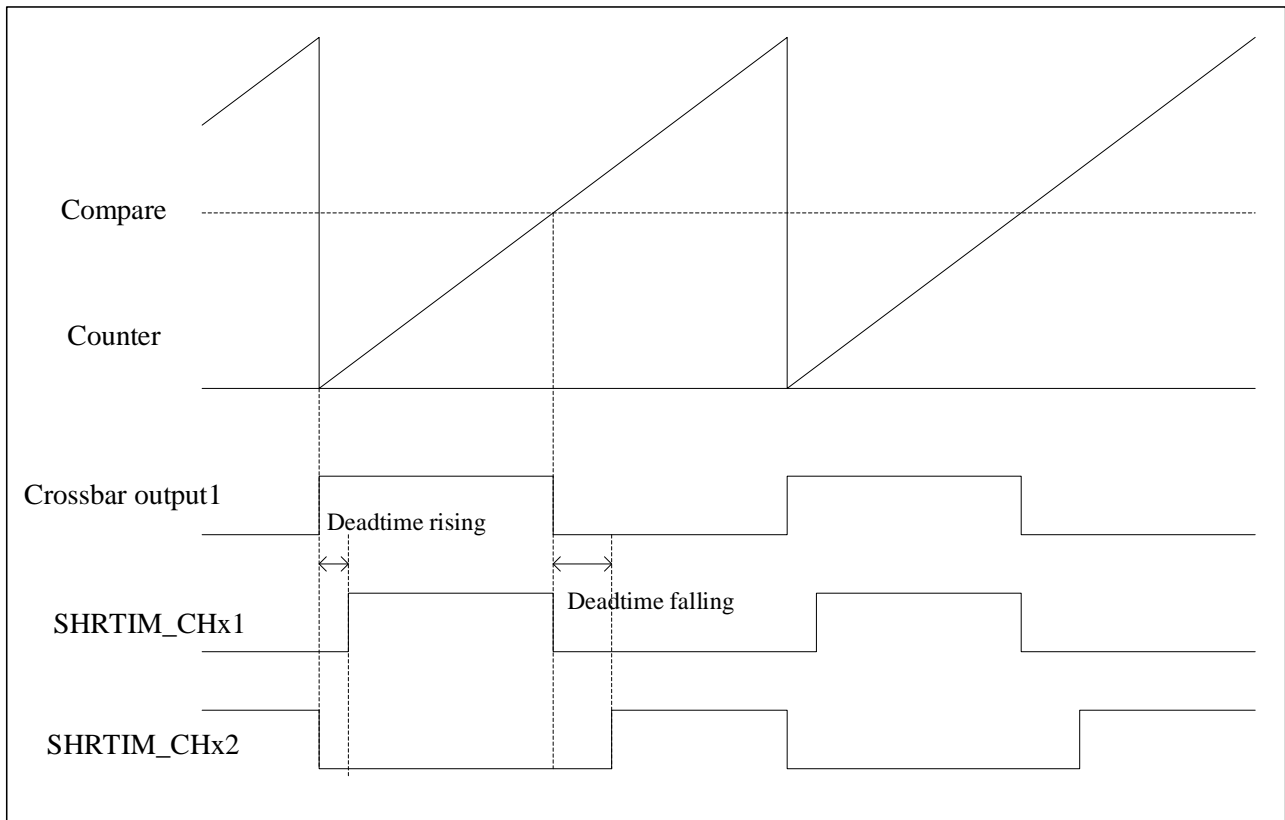


### 17.3.4.14 死区

死区插入单元可通过单个参考波形生成一对互补信号，并且有效状态跳变之间的延迟可编程。这通常用于使用半桥或全桥的拓扑，可简化软件操作流程：只需要对 1 个波形进行编程和控制即可驱动两路输出。

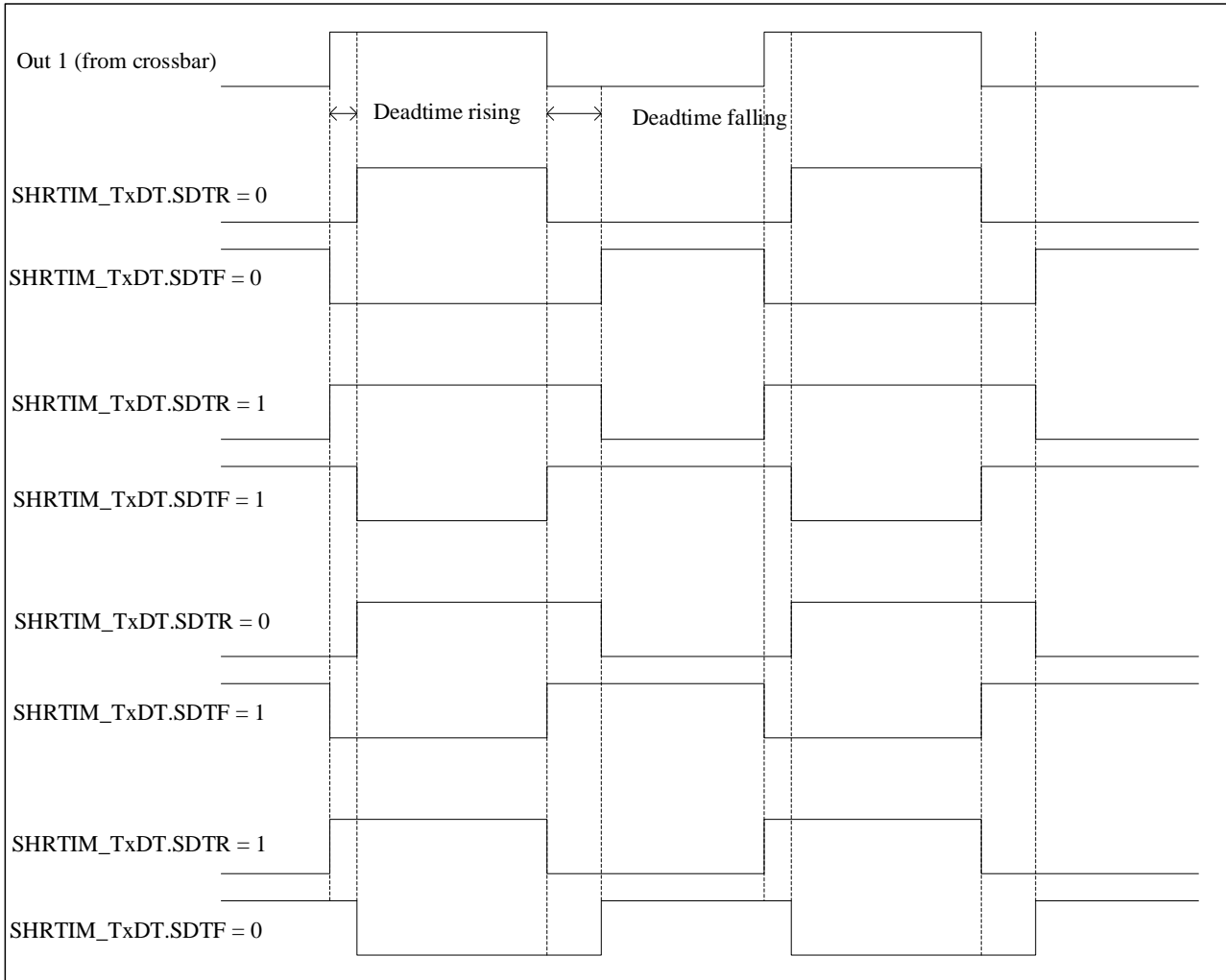
死区插入通过将 SHRTIM\_TxOUT 寄存器的 DTEN 位置 1 来使能。互补信号基于为输出 1 定义的参考波形构建而成，使用 SHRTIM\_TxSET1 和 SHRTIM\_TxRST1 寄存器：如果 DTEN 位置 1，则 SHRTIM\_TxSET2 和 SHRTIM\_TxRST2 寄存器无效。

图 17-17 已插入死区的互补输出



如果需要使用一些控制叠加，可定义负死区值，此时要使用死区符号位（SHRTIM\_TxDT 寄存器中的 SDTF 和 SDTR 位）。图 17-18 显示了各符号对应的互补信号波形。

图 17-18 死区插入与死区符号（1 表示负死区）



死区值使用 DTF[8:0] 和 DTR[8:0] 位域定义，基于根据 DTPSC[2:0] 位预分频的特定时钟，具体如下：

$$t_{DTx} = +/- DTx[8:0] \times t_{DTG}$$

其中，x 为 R 或 F， $t_{DTG} = (2(DTPSC[2:0])) \times (t_{SHRTIM} / 8)$ 。

如下表给出了根据预分频值得出的分辨率和最大绝对值。

表 17-13 死区分辨率和最大绝对值

DTPSC[2:0]	t <sub>DTG</sub>	t <sub>DTx max</sub>	f <sub>SHRTIM</sub> = 312.5 MHz		f <sub>SHRTIM</sub> = 312.5 MHz	
			t <sub>DTG</sub> (ns)	t <sub>DTx</sub>   max (us)	t <sub>DTG</sub> (ns)	t <sub>DTx</sub>   max (us)
0	t <sub>SHRTIM</sub> / 8	511 * t <sub>DTG</sub>	0.5	0.26	0.4	0.208
1	t <sub>SHRTIM</sub> / 4		1	0.51	0.8	0.408
10	t <sub>SHRTIM</sub> / 2		2	1.02	1.6	0.816
11	t <sub>SHRTIM</sub>		4	2.04	3.2	1.632
100	2 * t <sub>SHRTIM</sub>		8	4.09	6.4	3.272

101	4 *		16	8.18	12.8	6.544
110	8 *		32	16.35	25.6	13.08
111	16 *		64	32.7	51.2	26.16

如下图展示了在所有死区配置下，死区发生器对脉宽小于死区值的参考波形的处理方式。

图 17-19 低脉宽的互补输出 (SDTR = SDTF = 0)

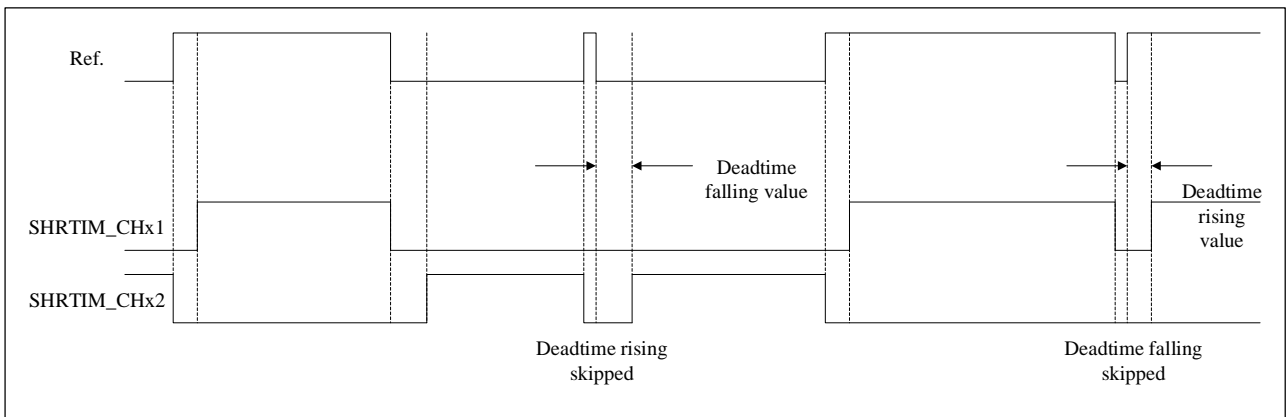


图 17-20 低脉宽的互补输出 (SDTR = SDTF = 1)

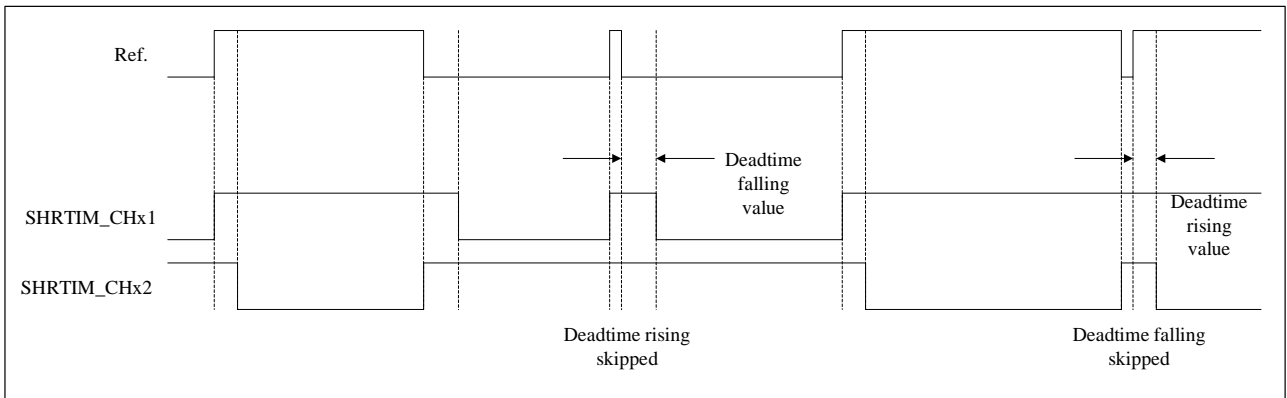


图 17-21 低脉宽的互补输出 (SDTR = 0, SDTF = 1)

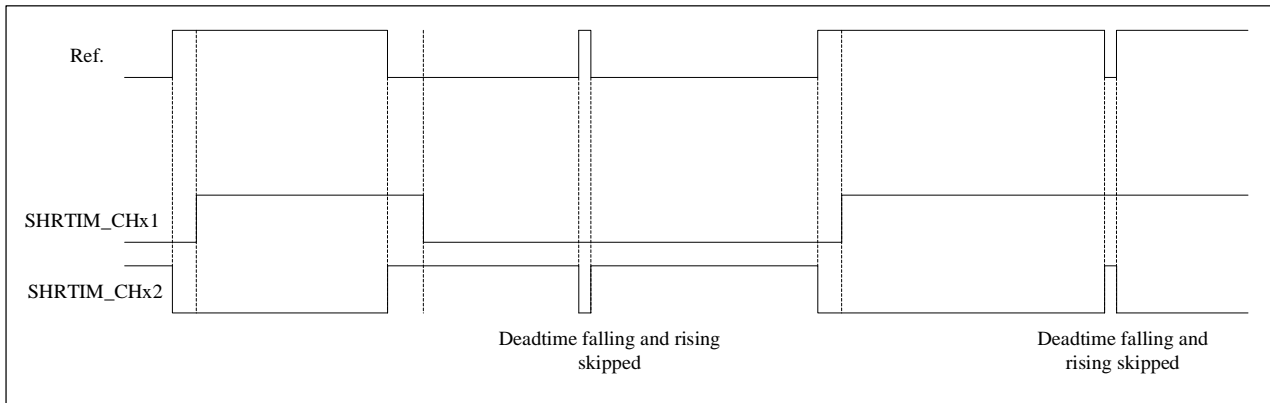
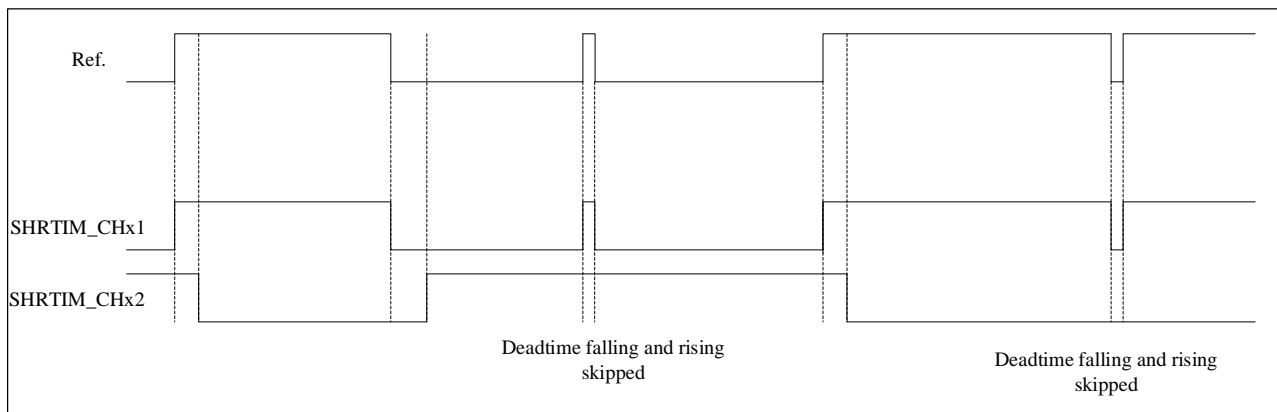


图 17-22 低脉宽的互补输出 (SDTR = 1, SDTF = 0)



出于安全方面的考虑,可使用 DTFLCK、DTRLCK、DTFSLCK 和 DTRSLCK 锁定死区的符号和/或数值,避免对死区寄存器进行误写操作。一旦这些位置 1,在下次系统复位之前,关联位和位域将变为只读状态。

注: 以下情况下,不得更改 DTEN 位:

- 定时器使能时 (TxCNTEN 位置 1)
- 定时器输出由另一定时器置位/复位时 (TxCNTEN 复位时)

否则会引发不可预测的行为。

因此,需要禁止定时器 (TxCNTEN 位复位) 并禁止相应的输出。

对于 DTEN 必须在突发模式使能的同时置 1 以确保进入突发模式后就有死区的这一特殊情况

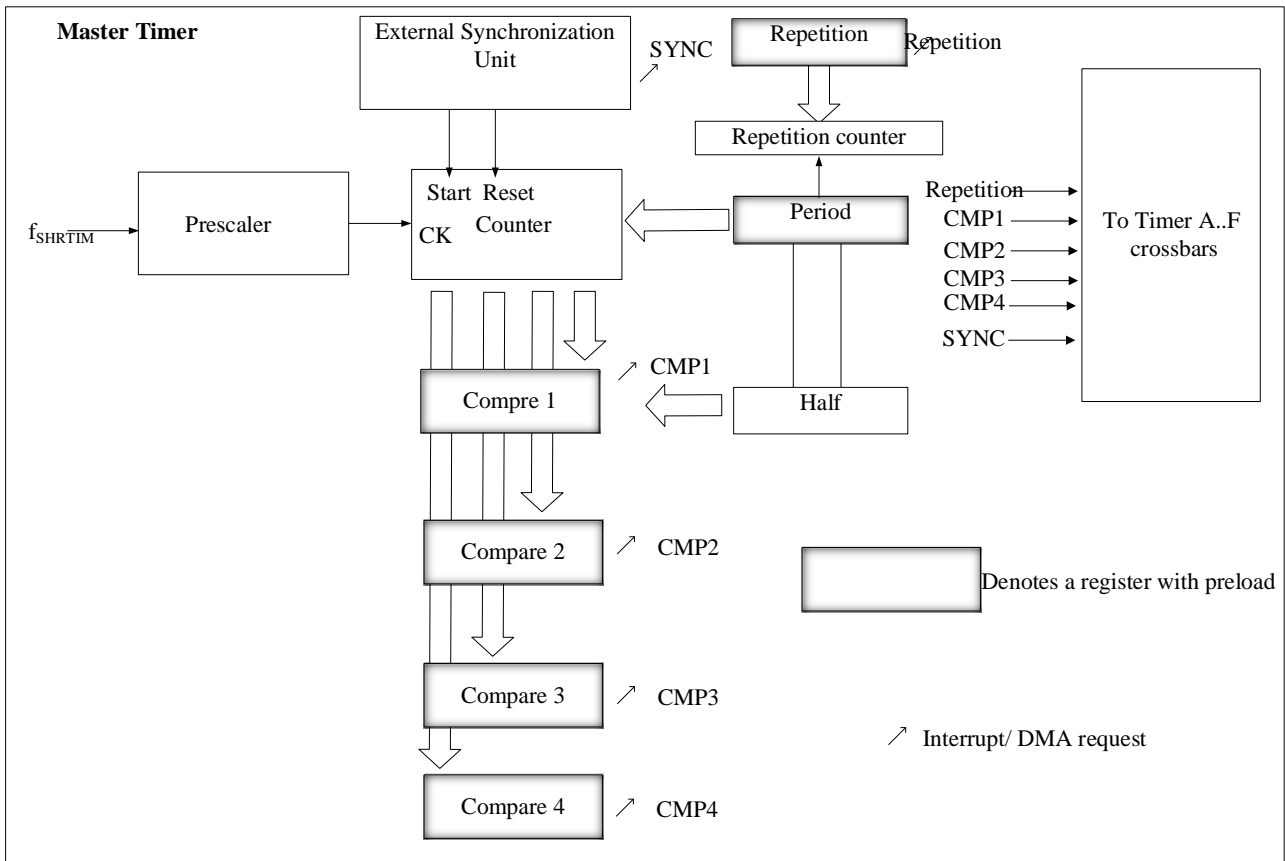
(BMEN = 1、DIDL = 1、IDLEM = 1),需要在将 DTEN 位置 1 之前通过软件命令将两路输出强制设为其 IDLES 状态 (SWT、RSTROITF 位)。这样做是为了避免在死区尚未使能之前就进入突发模式时会造成不良后果。

### 17.3.5 主定时器

主定时器的主要用途是向 6 个定时单元提供公用信号,以便进行同步或置位/复位输出。主定时器不会直接控制任何输出,但仍可间接地供置位/复位纵横开关使用。

如下图给出了主定时器的概览。

图 17-23 主定时器概览



主定时器采用的架构与定时单元非常相似，二者的不同之处如下：

- 主定时器未关联输出，也没有输出相关的控制
- 主定时器没有自己的纵横开关单元，也没有推挽或死区模式
- 主定时器只能通过外部同步电路复位
- 主定时器没有捕获单元，也没有自动延迟模式
- 主定时器不含外部事件消隐和窗口电路
- 主定时器的中断/DMA 请求数量有限：比较 1.4、重复、寄存器更新和外部同步事件

主定时器控制寄存器包含主定时器和 A..F 定时单元的所有定时器使能位。这样可通过单次写访问同时启动所有定时器。

主定时器还会利用 MCU 内部和外部（输入/输出）资源处理整个 SHRTIM 定时器的外部同步（请参见章节 17.3.19 将 SHRTIM 与其他定时器或 SHRTIM 实例同步）。

主定时器控制寄存器的映射偏移与定时单元寄存器的偏移相同。

### 17.3.6 上下计数模式

SHRTIM 本身设计为上计数器。然而，它也提供了一种操作模式，支持上下计数器，也称为中心对齐模式。此模式通过在 SHRTIM\_TxCTRL2 寄存器中使用 UPDOWNM 位来启用。一旦定时器开始运行（TxCNTEN 位设置），该位不得更改。它仅适用于 TIMA..F 定时器。主定时器只能以上计数模式工作。并非所有 SHRTIM 功能都支持上下计数。本节详细说明了与上计数模式相比的功能差异。在上下模式中，

SHRTIM\_TxPRD 中的周期必须预装载（或保持静态）。它只能在周期事件或计数器复位时更新。

注：当向下计数期间关闭计数器（TxCNTEN 复位），计数器会继续向上计数。

置位/复位纵横开关编程的不同点如下：

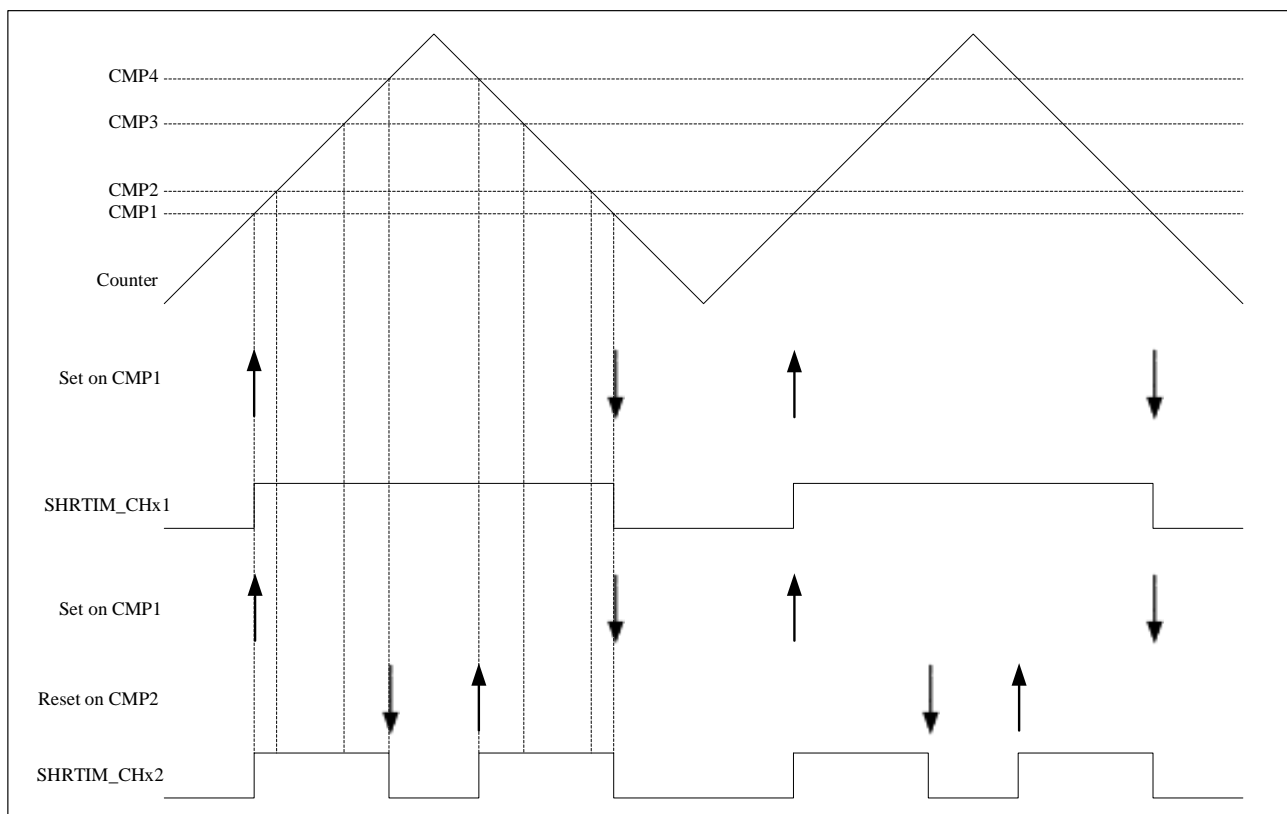
来自定时单元的事件会根据计数器的上/下计数方向来置位/复位输出：

- 如果事件在 SHRTIM\_TxSETy 寄存器中启用，在上计数期间会置位输出，在下计数期间会复位输出。
- 如果事件在 SHRTIM\_TxRSTy 寄存器中启用，在上计数期间会复位输出，在下计数期间会置位输出。
- 如果事件同时在 SHRTIM\_TxSETy 和 SHRTIM\_TxRSTy 寄存器中启用，输出则翻转。

这适用于：

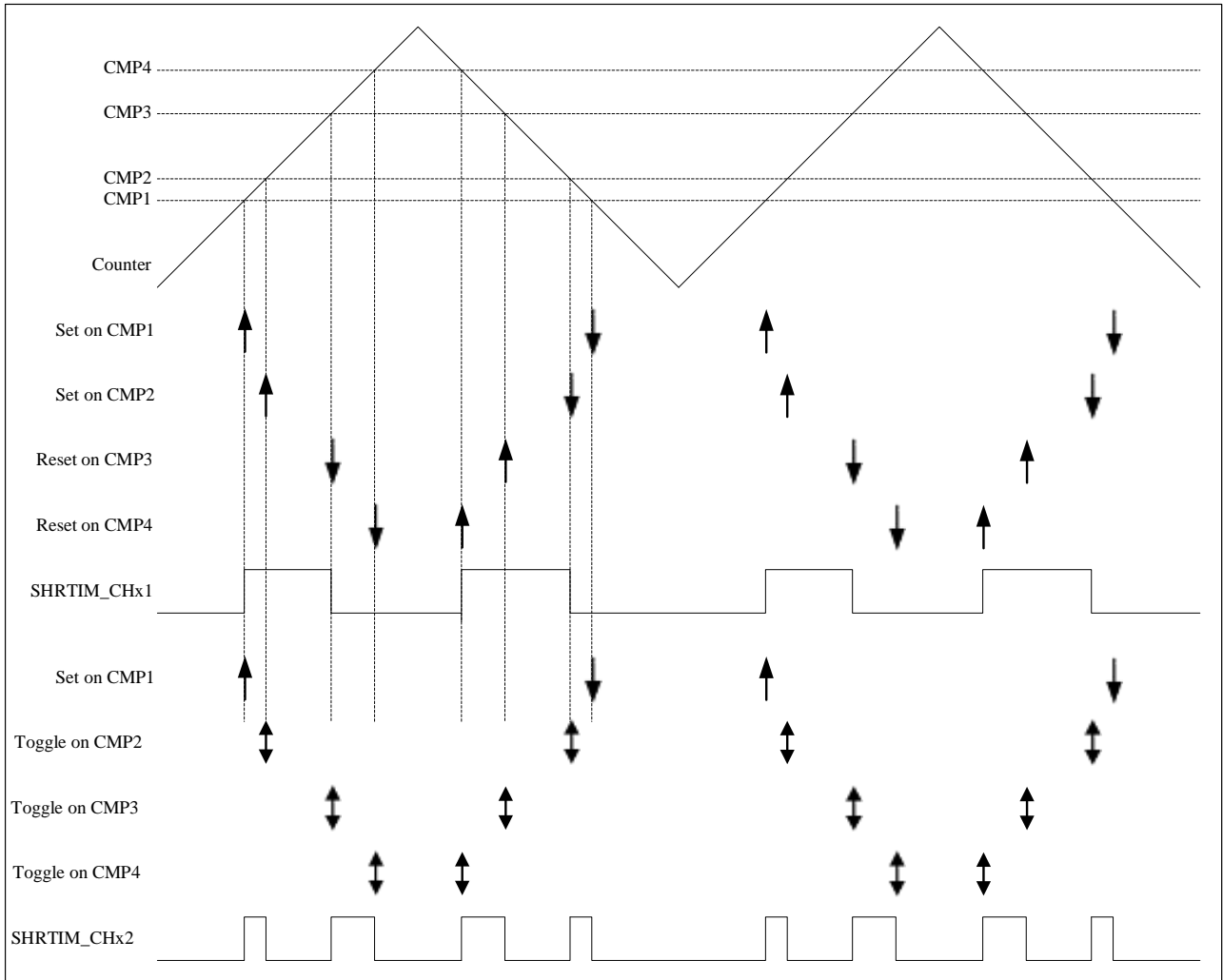
- 定时单元：周期，比较 1.4，寄存器更新（6 个事件）
- 主定时器：周期，比较 1.4，SHRTIM 同步（6 个事件）
- 所有其他定时单元（例如，定时器 B.F 对于定时器 A）：TIMEV1..9（9 个事件描述在）下面的内容展示了如何生成基本波形。

图 17-24 上下计数模式下的基本对称波形



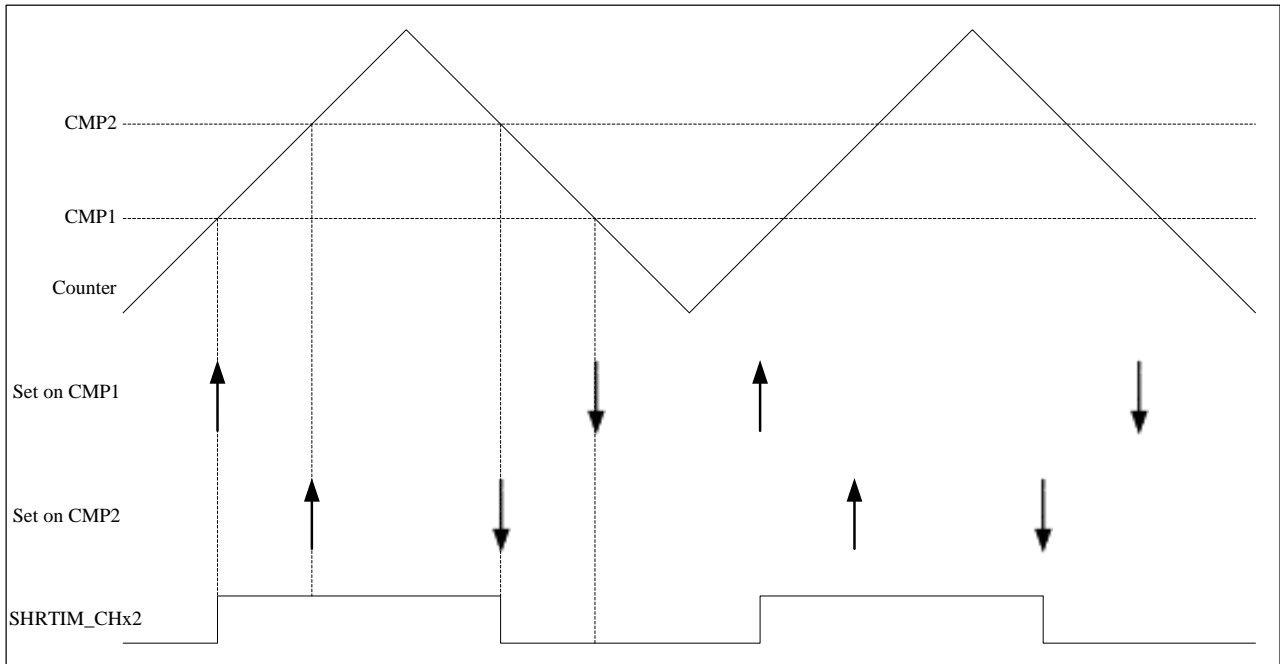
下面的内容展示了如何使用 4 个可用的比较单元和切换模式生成一些更复杂的波形。

图 17-25 上下计数模式下的复杂对称波形



下面的内容展示了如何生成不对称波形。在这种情况下，需要注意的是，为了波形的不对称，比较 2 的值必须大于比较 1 的值。

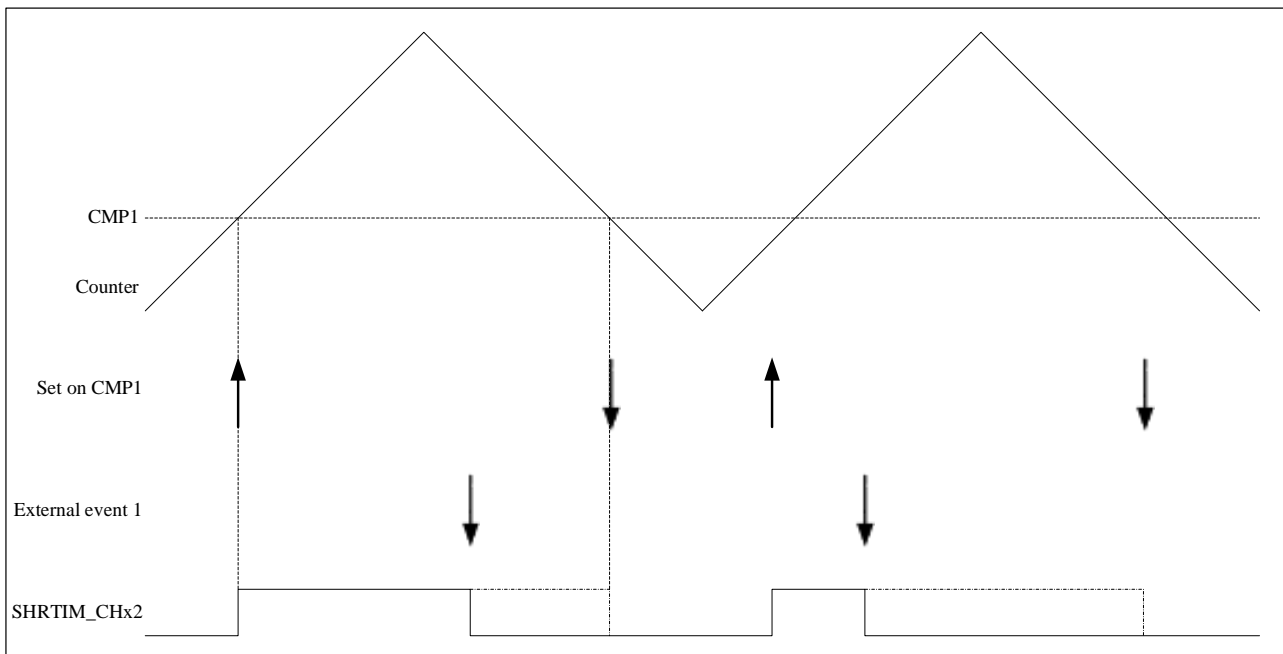
图 17-26 上下计数模式下的不对称波形



注：对于不对称操作，要求  $CMP2 > CMP1$ 。

软件强制位和外部事件 EXEV1..10 的行为在仅上计数和上下计数模式中是相同的。下面的内容展示了如何响应外部事件来缩短脉冲。

图 17-27 上下计数模式中的外部事件管理



上下计数模式适用于连续和单发（可重新触发和不可重新触发）操作模式。复位会导致计数器从 0 开始。下面的内容展示了 TimB 在单发可重新触发模式下的计数器行为。

图 17-28 交错上下计数器操作



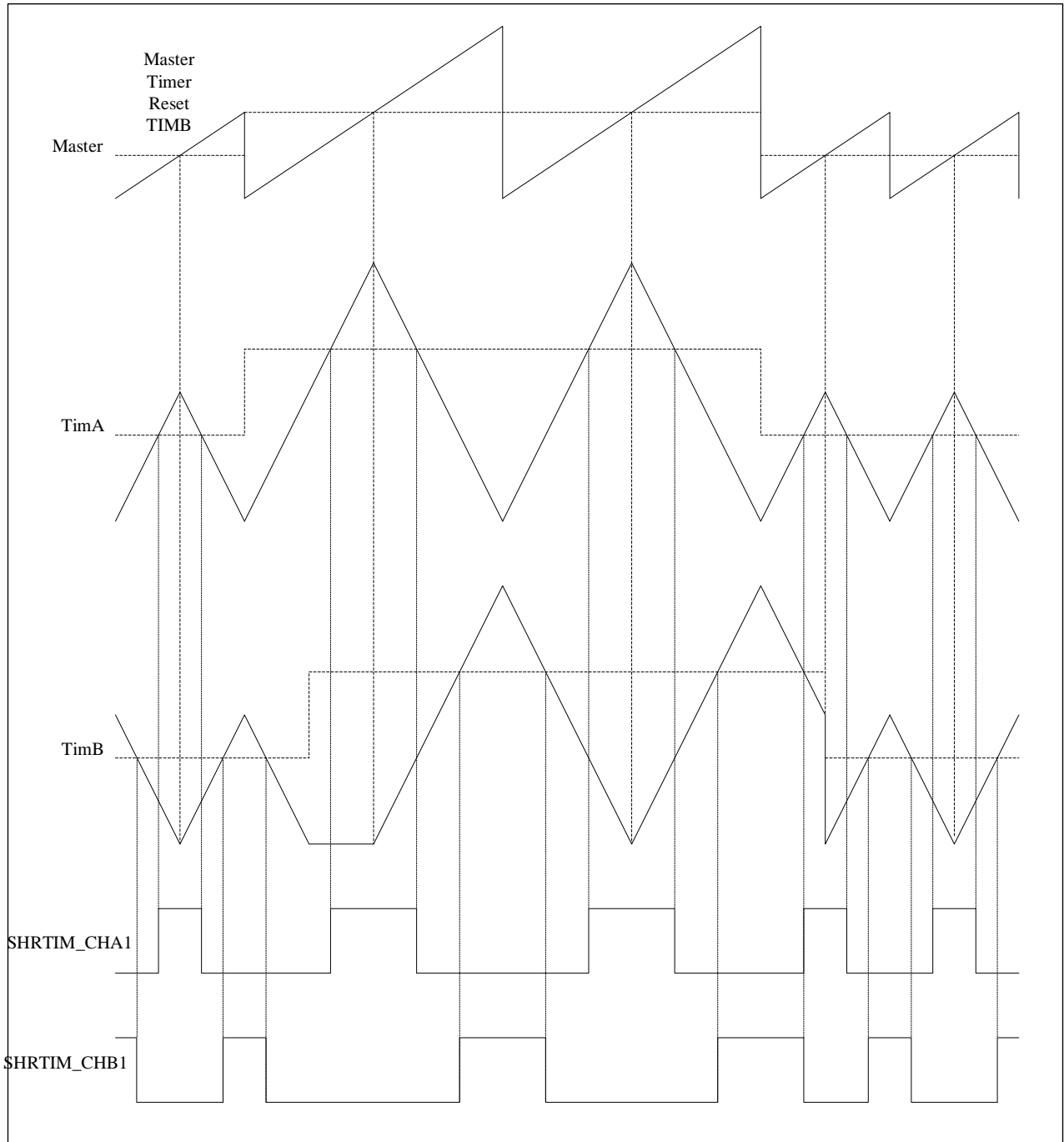
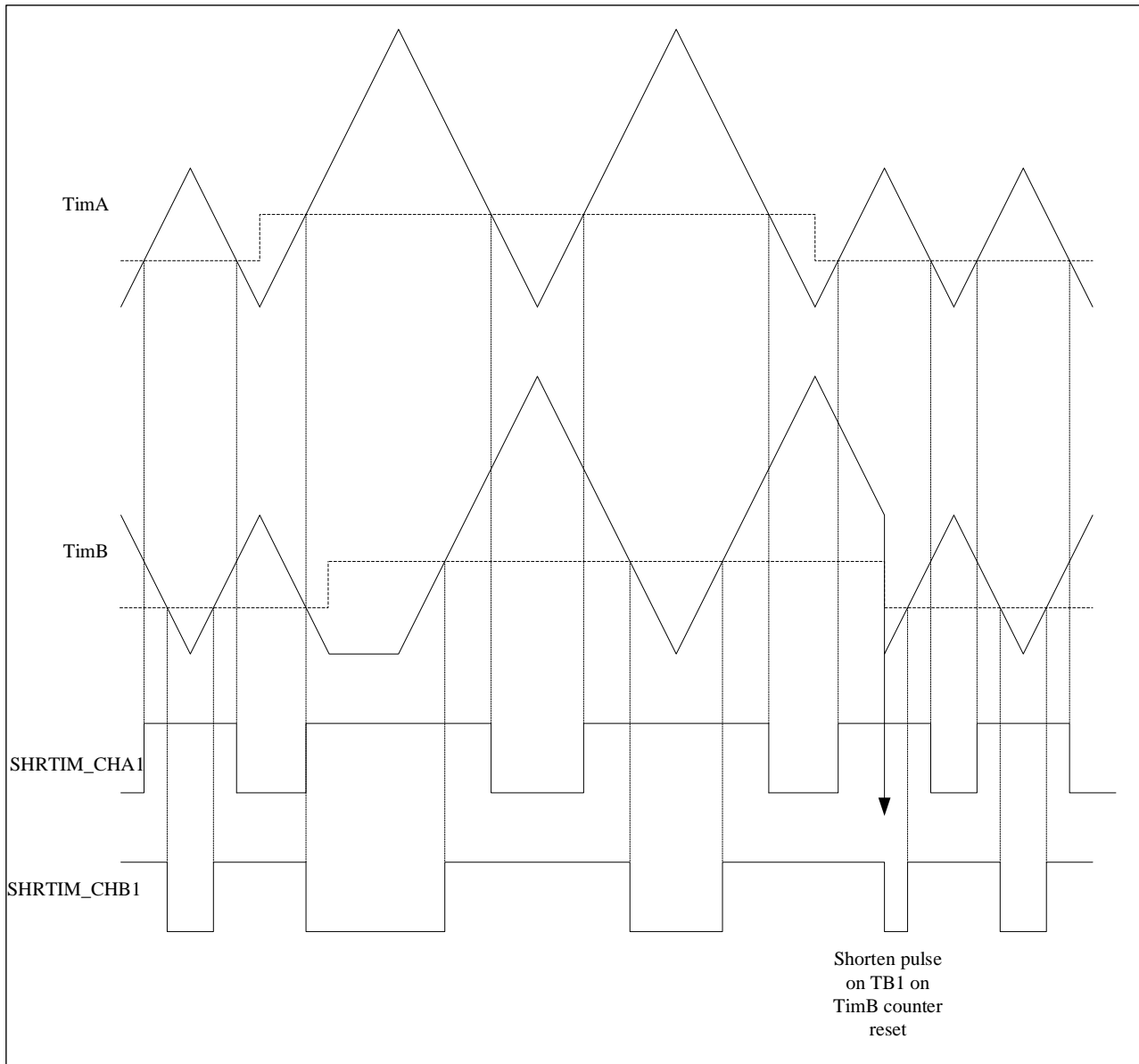


图 17-29 交错上下计数器操作



注：在上下计数模式中，比较值必须低于周期值 3 个  $f_{SHRTIM}$  时钟周期（如果  $CKPSC[2:0] = 0$ ，则为  $TxPRD - 0xC0$ ；如果  $CKPSC[2:0] = 1$ ，则为  $TxPRD - 0x60$ ；如果  $CKPSC[2:0] = 2$ ，则为  $TxPRD - 0x30, \dots$ ）。这适用于在定时单元内部生成的比较事件。对于在其他定时单元生成的比较事件，必须避免在计数器方向改变（计数器为 0，周期事件或计数器复位）的  $f_{SHRTIM}$  时钟周期内发生任何事件。

以下功能在上下计数模式中得到支持：

- 半模式
- 插入死区时间
- 推挽模式，交替推挽在计数器为 0 时完成（见图 17-30）。
- 延迟空闲模式
- 突发模式
- 使用“大于”比较的 PWM 模式（见图 17-31）。

图 17-30 推挽上下模式示例

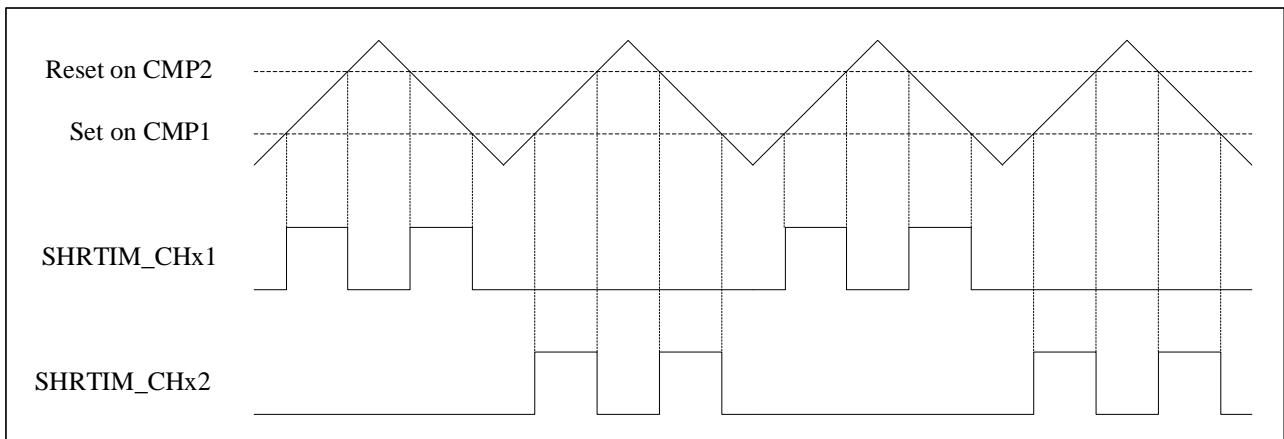
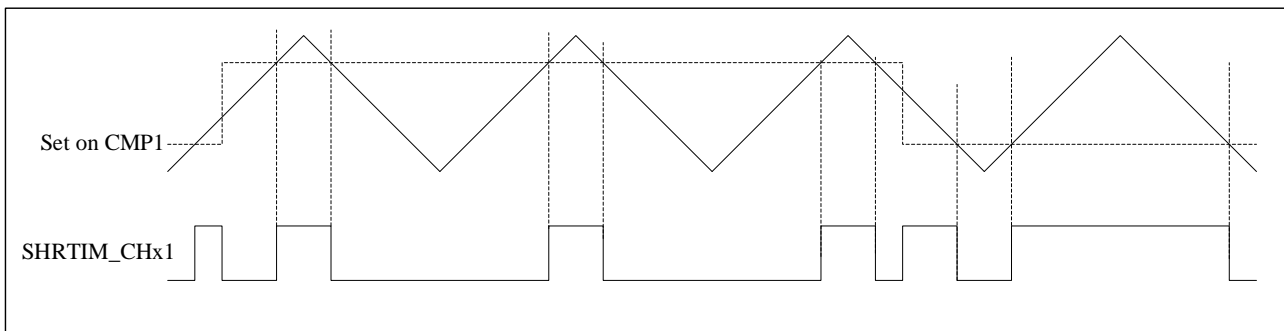


图 17-31 具有“大于”比较的上下模式



注：以下功能在上下计数模式中不支持：

- 自动延迟模式
- 均衡空闲
- 半触发模式

捕获功能支持以下差异：

- 捕获寄存器的第 16 位保持计数方向状态。

上下计数模式中的计数器翻转事件定义不同，以支持各种操作条件。它可以在以下情况下生成：

- 当计数器等于 0 时（“谷底”模式）。
- 当计数器达到在 SHRTIM\_TxPRD 中设置的周期值时（“峰顶”模式）。
- 当两种条件都满足时（0 或 SHRTIM\_TxPRD 值）。

此事件在 SHRTIM 中用于多种目的。翻转模式（谷底、峰顶或两者）可以根据目的地单独编程。下表总结了用例和相关的翻转模式（xxROM[1:0]）编程位在 SHRTIM\_TxCTRL2 寄存器中。

表 17-14 翻转事件目的地和模式编程

Roll-over event use	Programming bits
Output set/reset	OUTROM[1:0]
Register content update trigger (transfer from preload to active)	ROM[1:0]
IRQ and/or DMA request trigger	ROM[1:0]

Burst mode clock source and /or burst start trigger	BMROM[1:0]
ADC trigger (see ADC post-scaler for details)	ADCROM[1:0]
External event filtering	ROM[1:0]
Repetition counter decrement	ROM[1:0]
Fault and event counter	FEROM[1:0]

注：对于同时考虑复位和翻转的事件（TxCTRL.RSTROUEN、IRQ/DMA、突发时钟源与/或突发启动触发、外部事件过滤、重复计数器递减、故障和事件计数器、置位/复位输出），复位事件会被考虑。

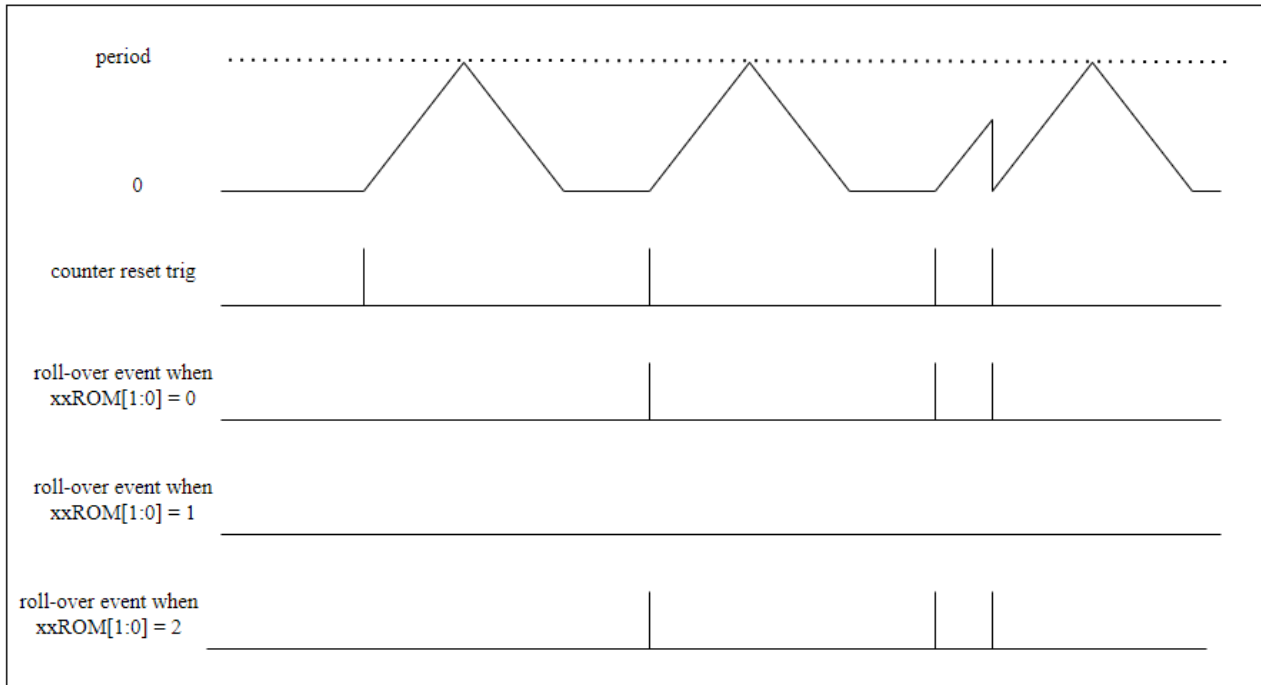
翻转事件的生成定义如下 xxROM[1:0] 位域设置：

- xxROM[1:0] = 00：当两种条件都满足时生成事件（0 或 SHRTIM\_TxPRD 值）。
- xxROM[1:0] = 01：当计数器等于 0 时（“谷底”模式）。
- xxROM[1:0] = 10：当计数器达到在 SHRTIM\_TxPRD 中设置的周期值时（“峰顶”模式）生成事件。

注：单发模式下的翻转事件的定义与连续模式有点不同，如下所示：

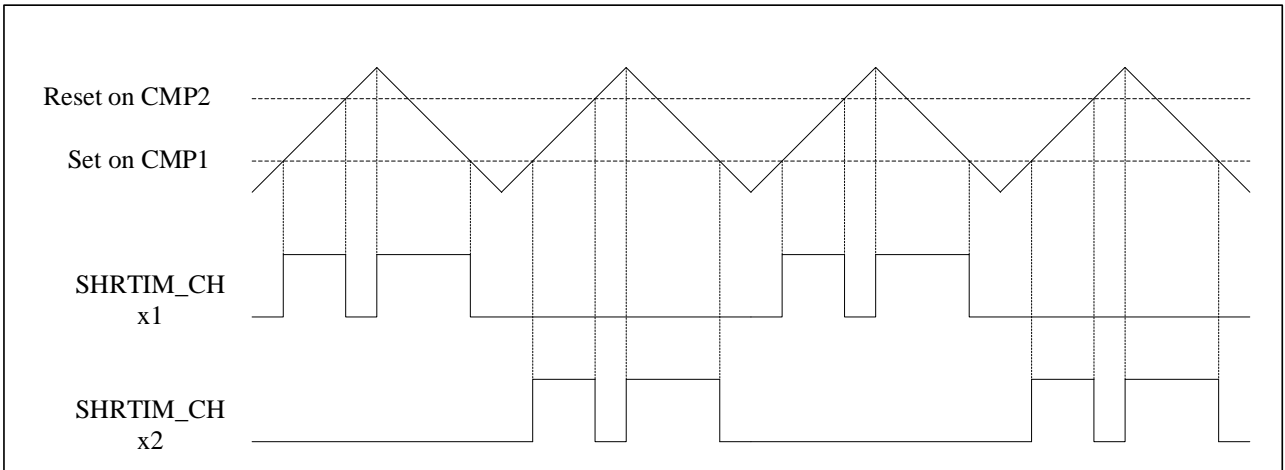
- xxROM[1:0] = 00：事件在计数器为 0 和复位事件发生时产生
- xxROM[1:0] = 01：无事件产生
- xxROM[1:0] = 10：事件在计数器为 0 和复位事件发生时产生

图 17-32 上下+单发，翻转事件的产生



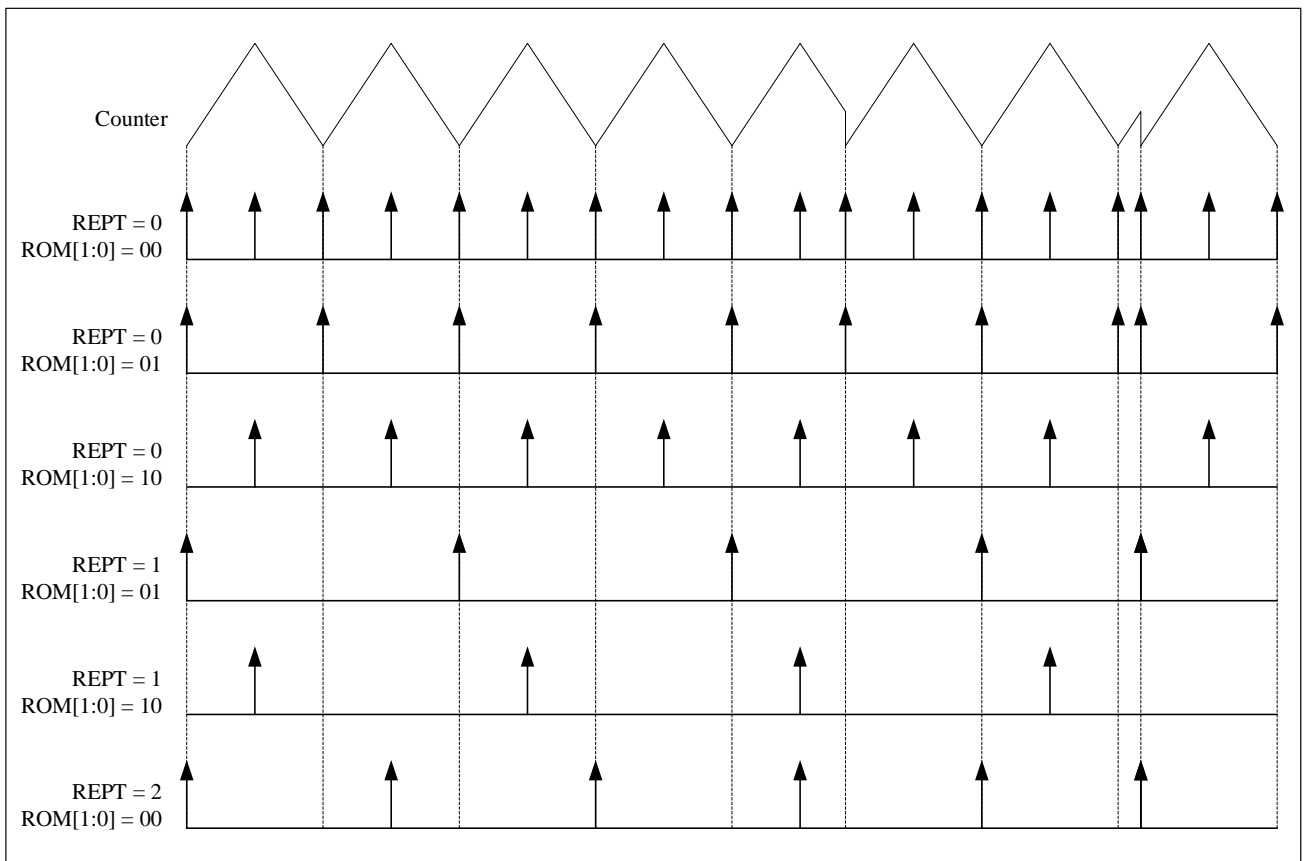
下图展示了在周期事件上置位输出的推挽上下模式，OUTROM[1:0] = 10。

图 17-33 在周期事件上置位输出的上下模式，OUTROM[1:0]=10



下图展示了上下计数模式中重复计数器是如何递减的。

图 17-34 上下计数模式中的重复计数器行为



双 DAC 触发器的工作与上计数模式一致。

事件消隐和窗口化的处理方式有所不同，目的是在输出脉冲内，在可编程时间内进行消隐或窗口化。EXEVxFLT[3:0] 代码取决于 UPDOWNM 位设置，如下表所述。每当翻转事件用于消隐或窗口化时，ROM[1:0] 的编程就适用于定义何时生成它。

表 17-15 根据 UPDOWNM 位设置的 EXEVxFLT[3:0] 代码

EXEVxFLT[3:0]	上计数模式 (UPDOWNM = 0)	上/下计数模式 (UPDOWNM = 1)
10	从计数器复位/翻转到比较 2 的消隐	仅在上计数阶段从比较 1 到比较 2 的消隐
100	从计数器复位/翻转到比较 4 的消隐	仅在上计数阶段从比较 3 到比较 4 的消隐
1101	从计数器复位/翻转到比较 2 的窗口化	仅在上计数阶段从比较 2 到比较 3 的窗口化
1110	从计数器复位/翻转到比较 3 的窗口化	仅在下计数阶段从比较 2 到比较 3 的窗口化
1111	来自另一个定时单元的窗口化: TIMWIN 源 (详见表 17-19)	从上计数阶段的比较 2 到下计数阶段的比较 3 的窗口化

### 17.3.7 置位/ 复位事件优先级和窄脉冲管理

本节描述了当多个置位和/或复位请求在 3 个连续的  $t_{SHRTIM}$  周期内发生时，输出波形是如何生成的。

#### 情况 1: 时钟预分频 CKPSC[2:0] < 5

在每个  $t_{SHRTIM}$  周期中，都会执行一个四步骤的仲裁过程：

- 针对每个有效事件，确定所需的输出转换类型（置位、复位或翻转）。
- 若多个置位事件（或复位事件）在同一  $t_{SHRTIM}$  周期内发生，低分辨率事件（软件事件、外部事件与同步事件、更新事件）具有更高优先级：
 

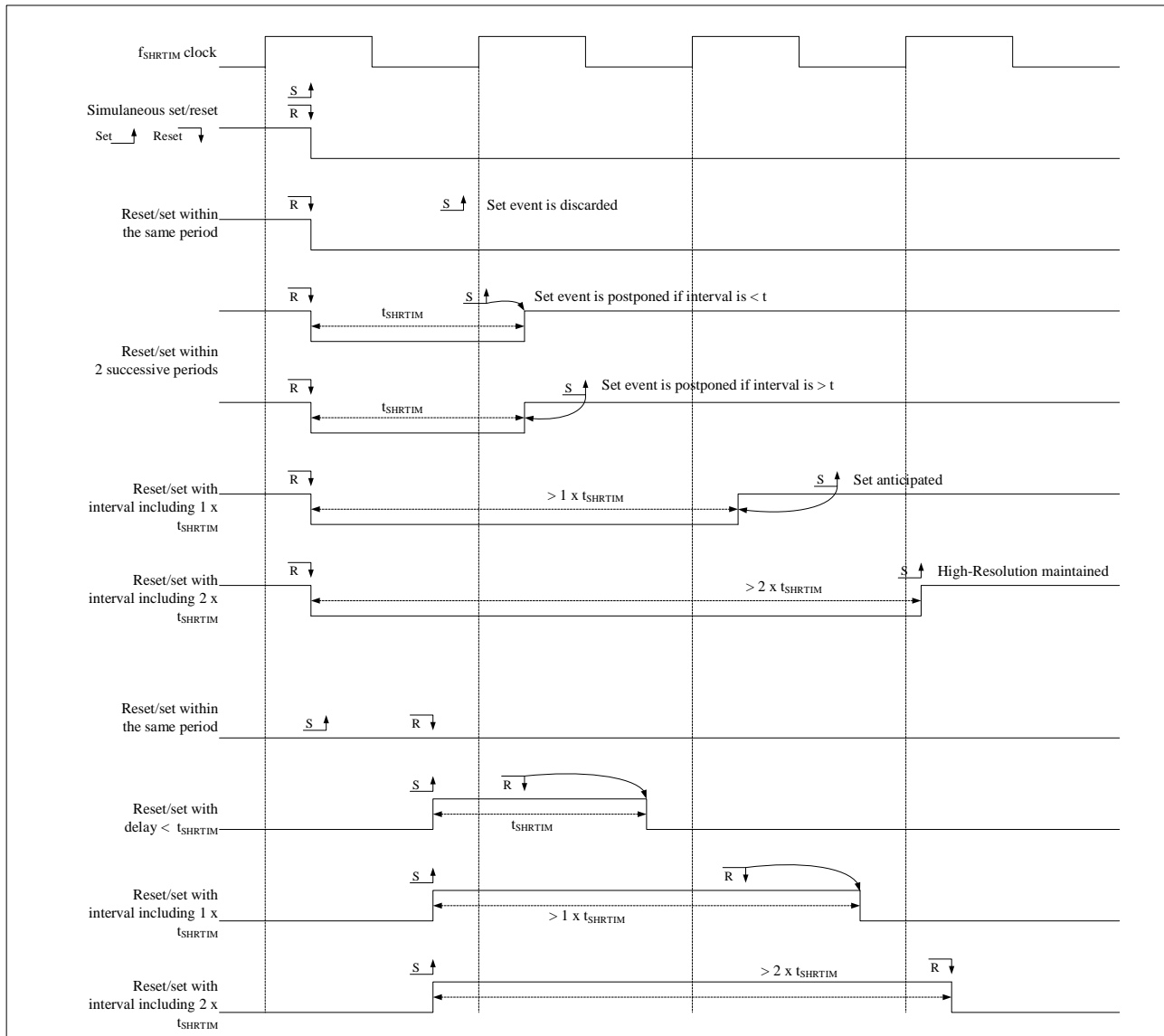
软件事件 → 外部事件与同步事件 → 更新事件 → 主定时器事件/自定时器事件/其他定时器事件（优先级从高到低排列）。
- 若多个置位事件（或复位事件）在同一  $t_{SHRTIM}$  周期内发生，高分辨率事件（主定时器事件/自定时器事件/其他定时器事件）优先级低于低分辨率事件。高分辨率有效事件之间采用预定义仲裁机制：
  - 若事件来自不同定时器单元，CMPx 与 PRD 中高分辨率部分数值较低者具有更高优先级。
  - 若事件来自同一定时器单元，优先级从高到低为：CMP4 → CMP3 → CMP2 → CMP1 → PRD。
- 在低分辨率事件与预定义仲裁胜出事件中，将基于高分辨率延迟进行最终仲裁，且复位事件具有最高优先级。

当来自两个不同源的置位和复位请求同时发生时，复位动作具有最高优先级。如果置位和复位请求之间的间隔低于 2 个  $f_{SHRTIM}$  周期，其行为取决于时间间隔和与  $f_{SHRTIM}$  时钟的对齐，如下图所示。

*注：复位事件具有最高优先级。*

*注：本节中所述的 CMPx/PRD 值均指经过周期相位或定时器复位相位调整后的有效 CMPx/PRD 值（特殊说明除外），而非软件写入寄存器中的原始 CMPx/PRD 值。*

图 17-35 窄脉冲生成的短距离置位/复位管理



如果置位和复位事件在同一  $t_{SHRTIM}$  周期内生成，复位事件具有最高优先级，置位事件被忽略。

如果置位和复位事件在小于  $t_{SHRTIM}$  周期的间隔内跨越 2 个周期生成，则会生成 1 个  $t_{SHRTIM}$  周期的脉冲。

如果置位和复位事件在小于 2 个  $t_{SHRTIM}$  周期的间隔内生成，则会生成 2 个  $t_{SHRTIM}$  周期的脉冲。

如果置位和复位事件在 2 到 3 个  $t_{SHRTIM}$  周期的间隔内生成，如果间隔超过 2 个完整的  $t_{SHRTIM}$  周期，则可用高分辨率。

如果置位和复位事件在超过 3 个  $t_{SHRTIM}$  周期的间隔内生成，总是可用高分辨率。

#### 同时置位请求/同时复位请求

当多个源被选为置位事件时，如果置位请求在同一  $f_{SHRTIM}$  时钟周期内发生，将执行仲裁。对于来自相邻定时器（TIMEVNT1..9）的多个请求，首先发生的请求将被考虑。仲裁分两步进行，取决于：

- 源（CMP4 → CMP3 → CMP2 → CMP1），
- 延迟。

如果来自自主定时器的多个请求在同一  $f_{SHRTIM}$  时钟周期内发生，将应用预定义的仲裁，并且只考虑单个请求，

无论实际的高分辨率设置如何（从最高到最低优先级）：

MCMPDAT4 → MCMPDAT3 → MCMPDAT2 → MCMPDAT1 → MPRD

*注：建议避免在低于  $3 \times t_{SHRTIM}$  间隔的情况下，从主定时器向给定定时器生成多个置位（复位）请求，以保持高分辨率。*

当来自定时器内部的多个请求在同一  $f_{SHRTIM}$  时钟周期内发生时，将应用预定义的仲裁，并且根据以下优先级处理请求，无论实际时间如何（从最高到最低）：

CMP4 → CMP3 → CMP2 → CMP1 → PRD

*注：实际上，当可以同时生成多个比较事件或同时使用自动延迟的比较 2 和比较 4 时（即，因为它与外部事件相关，无法预先确定有效的置位/复位），这一点非常重要。在这种情况下，最高优先级的信号必须分配给 CMP4 事件。*

*注：对于定时器内部多个请求在同一  $f_{SHRTIM}$  时钟周期内的优先级判定，所涉及的 CMPx/PRD 值均指软件写入寄存器中的原始 CMPx/PRD 值。*

最后，最高优先级被赋予低分辨率事件：EXTEVNT1..10, RESYNC（如果设置了 SYNCRST 或 SYNCSTR1 来自 SYNC 事件或来自软件复位），更新和软件置位（SWT）。更新事件被视为拥有最大的延迟（如果 CKPSC = 0，则为 0x1F）。总结来说，在事件密集（在同一  $f_{SHRTIM}$  时钟周期内发生的事件）的情况下，有效的置位（复位）事件在以下之间进行仲裁：

- 任何 TIMEVNT1..9 事件
- 来自主定时器的单个源（如上面给定的固定仲裁规则）
- 来自定时器的单个源
- “低分辨率事件”。
- 相同的仲裁原则适用于同时复位请求。在这种情况下，复位请求具有最高优先级。

#### 情况 2：时钟预分频 CKPSC[2:0] ≥ 5

当高分辨率不起作用时，窄脉冲管理被简化。

在预分频器时钟周期内发生的置位或复位事件被延迟到预分频时钟的下一个活动边沿（如同计数器复位），即使在每个  $t_{SHRTIM}$  周期中仍然执行仲裁。

如果在同一预分频器时钟周期内复位事件紧随置位事件发生，那么最后发生的事件将被考虑。

### 17.3.8 外部事件全局调节

SHRTIM 定时器可处理并非定时器中生成的事件，此类事件被称为“外部事件”。外部事件来自多个片上或片下源：

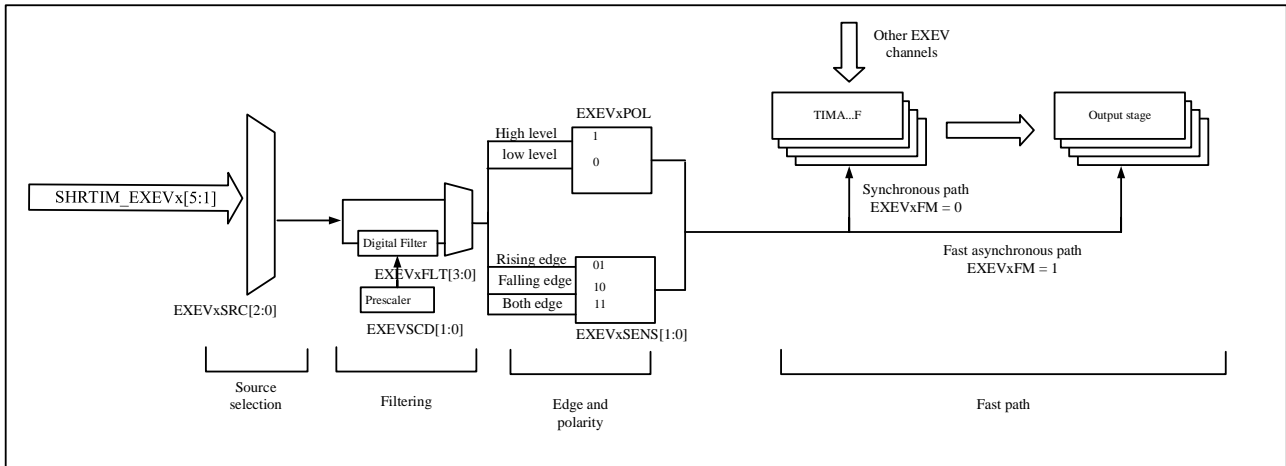
- 内置比较器
- 数字输入引脚（通常连接到片下比较器和过零检测器）
- 其他外设的片上事件（ADC 的模拟看门狗和通用定时器触发输出）

外部事件调节电路可为给定通道选择信号源（使用 5:1 多路复用器），并可将信号源转换为可由纵横开关单元处理的信息（例如，通过在外围事件通道上检测到的下降沿来触发输出复位）。



最多可调节 10 个外部事件通道，这些外部事件通道可同时用于 6 个定时器中的任何一个。由于这种调节通常取决于外部组件（比如过零检测器）和环境条件（滤波器设置通常与应用噪声级和信号有关），因此对于所有定时器是通用的。图 17-36 显示了单条通道的调节逻辑概览。

图 17-36 外部事件条件概览（显示了 1 条通道）



10 个外部事件通过 SHRTIM\_EXEVCTRL1 和 SHRTIM\_EXEVCTRL2 寄存器初始化：

- 使用 EXEVxSRC[1:0] 位最多选择 5 源
- 使用 EXEVxSNS[1:0] 位选择采用电平有效还是边沿有效（上升沿、下降沿或两种边沿）
- 如果选择采用电平有效，则使用 EXEVxPOL 位选择极性
- 使用 EXEVxFM 位为外部事件 1 到 10 使用低延迟模式(请参见章节 17.3.8.1 外部事件延迟 17.3.8 )

注：即使 EXEVxSNS 位已复位（选择电平有效），用作复位、捕获、突发模式、ADC 触发和延迟保护的触发信号的外部事件也是边沿有效：如果 POL = 0，触发在外部事件上升沿有效；如果 POL = 1，触发在外部事件下降沿有效。

计数器禁止后（TxCNTEN 位复位），会立即丢弃外部事件，以防止任何输出状态更改和计数器复位，但用作 ADC 触发信号的外部事件除外。

此外，还可以使用 SHRTIM\_EXEVCTRL3 和 SHRTIM\_EXEVCTRL4 寄存器中的 EXEVxF[3:0] 位为外部事件 1 到 10 使能数字噪声滤波器。

数字滤波器由计数器组成，需要使用 N 个有效采样来验证输出跳变。如果输入值在计数器达到 N 值之前发生变化，计数器会复位，跳变会被丢弃（视为伪事件）。如果计数器达到 N，跳变被视为有效，并会作为正确的外部事件进行传输。因此，数字滤波器会向正在进行滤波的外部事件添加延迟，延迟时长视采样时钟和滤波器长度（预期的有效采样数）而定。

采样时钟为 f<sub>SHRTIM</sub> 时钟或由 f<sub>SHRTIM</sub> 预分频而生成的特定时钟 f<sub>EXEVs</sub>，通过 SHRTIM\_EXEVCTRL4 寄存器中的 EXEVxSCD[1:0] 位定义。

如下表总结了与 10 个外部事件通道相关联的可用源和特性。

表 17-16 外部事件映射和关联特性

External event channel	Fast mode <sup>(1)</sup>	Digital filter <sup>(1)</sup>	Balanced fault timer A,B,C	Balanced fault timer D,E,F

shrtim_exe1[5:1]	Yes	Yes	-	-
shrtim_exe2[5:1]	Yes	Yes	-	-
shrtim_exe3[5:1]	Yes	Yes	-	-
shrtim_exe4[5:1]	Yes	Yes	-	-
shrtim_exe5[5:1]	Yes	Yes	-	-
shrtim_exe6[5:1]	Yes	Yes	Yes	-
shrtim_exe7[5:1]	Yes	Yes	Yes	-
shrtim_exe8[5:1]	Yes	Yes	-	Yes
shrtim_exe9[5:1]	Yes	Yes	-	Yes
shrtim_exe10[5:1]	Yes	Yes	-	-

1. 同一外部事件的 fast mode 与数字滤波不能同时使用

### 17.3.8.1 外部事件延迟

外部事件调节能够根据性能预期调整外部事件处理时间（以及关联的延迟）：

- 常规工作模式，在该模式下，会在对输出纵横开关进行操作之前，使用时钟对外部事件进行重新采样。此过程会增加一些延迟，但可以访问所有纵横开关功能，从而生成外部触发的高分辨率脉冲。
- 快速工作模式，在该模式下，外部事件与输出操作之间的延迟得到最大限度地缩短。该模式便于实现超快速过流保护等功能。

SHRTIM\_EXEVCTRL3 和 SHRTIM\_EXEVCTRL4 寄存器中的 EXEVxFM 位可用于定义通道 1 到 5 的工作模式。这会影响输出脉冲上存在的延迟和抖动，具体如下表。

表 17-17 输出置位/复位延迟和抖动与外部事件工作模式的关系

EXEVxFM	响应时间延迟	响应时间抖动	输出脉冲上的抖动（计数器通过外部事件复位）
0	5 到 6 个 f <sub>SHRTIM</sub> 时钟周期	1 个 f <sub>SHRTIM</sub> 时钟周期	无抖动，脉宽通过高分辨率保持
1	最短延迟（取决于使用比较器还是数字输入）	最短延迟	1 个 f <sub>SHRTIM</sub> 时钟周期的抖动，脉宽分辨率低至 t <sub>SHRTIM</sub>

当电平检测敏感时，设置 (EXEVxSNS[1:0]=00)，才能使用 EXEVxFM 模式；不能用于边沿检测敏感的设置。

可以对外部事件应用事件过滤（消隐和窗口，EXEVxFLT[3:0] != 0000，请参见章节 17.3.9 定时单元中的外部事件过滤）。在这种情况下，EXEVxLATCHx 位必须复位：不支持延迟模式，也不支持窗口超时功能。

*注：相关 EXEVxFM 位置 1 后，不得修改外部事件配置（源和极性）。*

快速外部事件不能用于切换输出：必须在 SHRTIM\_TxSETy 或 SHRTIM\_TxRSTy 寄存器中使能，而不能在两个寄存器中同时使能。

如果置位事件和复位事件（来自 2 个独立的快速外部事件）同时发生，则复位事件在纵横开关中的优先级最高，输出变为无效状态。

如果 EXEVxFM 位置 1，则在外部事件发生后的 11 个 f<sub>SHRTIM</sub> 时钟周期内，输出都不能更改。

如图 17-37 和图 17-38 给出了进行输出置位/复位和计数器复位时对外部事件的实际响应时间示例。

图 17-37 外部事件下降沿的延迟（计数器复位和输出置位）

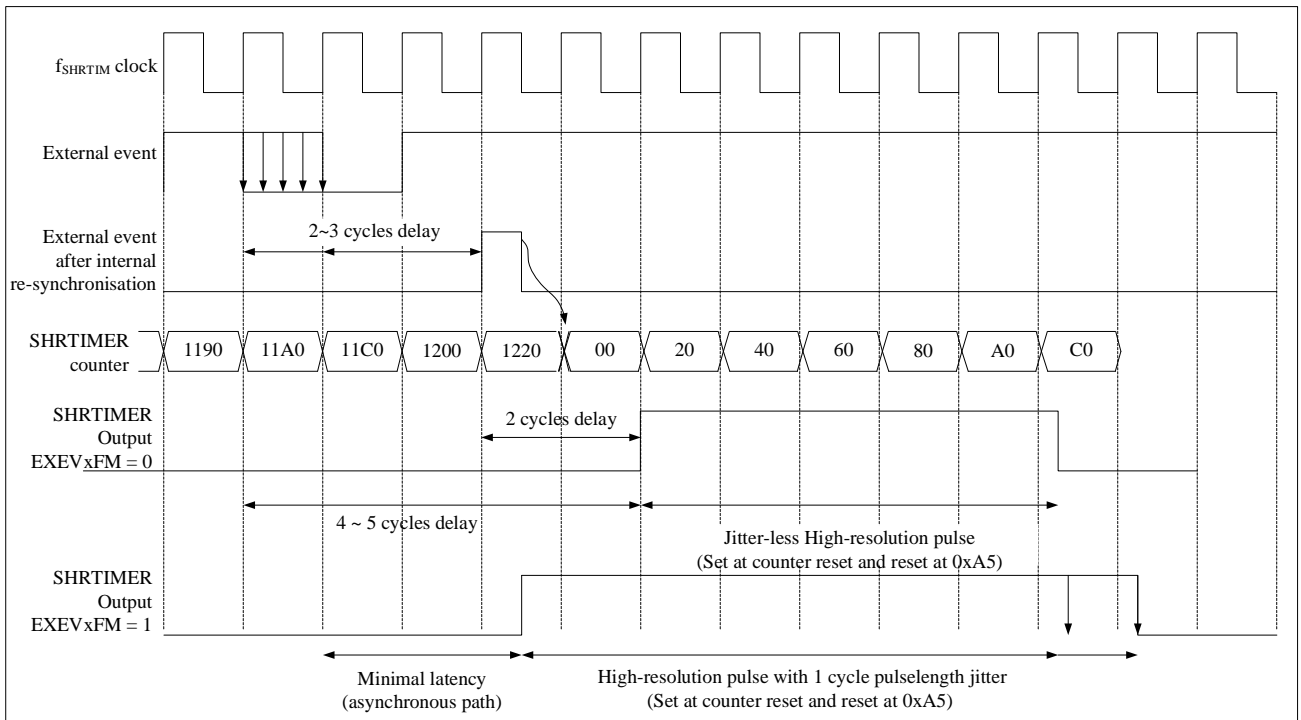
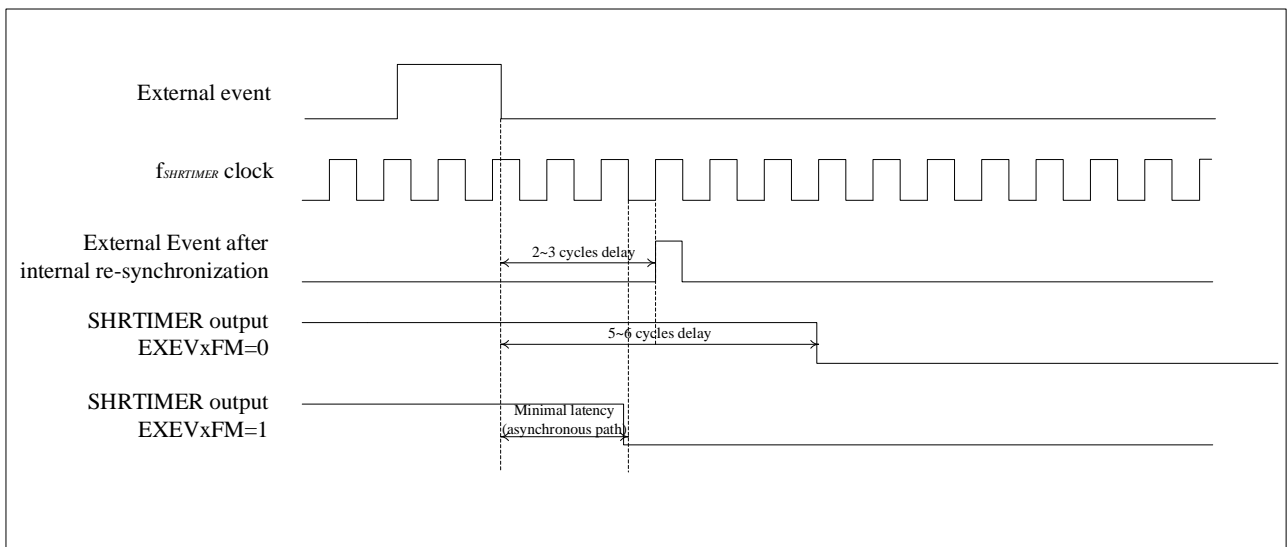


图 17-38 外部事件的延迟（发生外部事件时，输出复位）



### 17.3.9 定时单元中的外部事件过滤

经过调节后，有 10 个外部事件可供所有定时单元使用。

这些事件可直接使用，且在定时单元计数器使能后（TxCNTEN 位置 1）立即生效。

此外，还可对这些事件进行过滤，以便在限制时间段内执行操作，该时间段通常与计数周期有关。可执行两种操作：

- 消隐模式，在定义的时间段内屏蔽外部事件

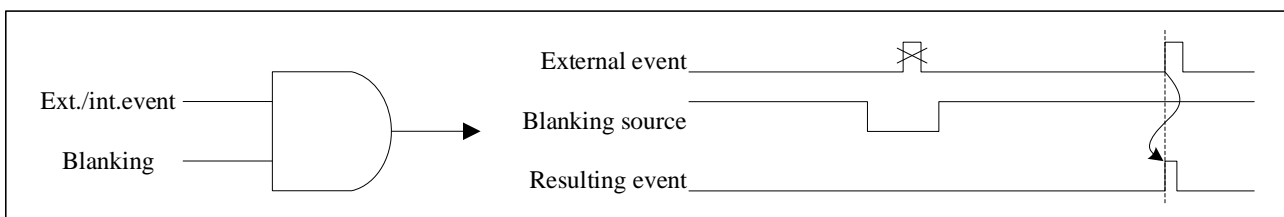
- 窗口模式，仅在定义的时间段内使能外部事件

这些模式通过 SHRTIM\_TxEXEVFLT1 和 SHRTIM\_TxEXEVFLT2 寄存器中的 SHRTIM\_EXEVxFLT[3:0] 位来使能。TimerA..F 这 6 个定时单元都具有针对这 10 个外部事件的可编程过滤器设置。

### 17.3.9.1 消隐模式

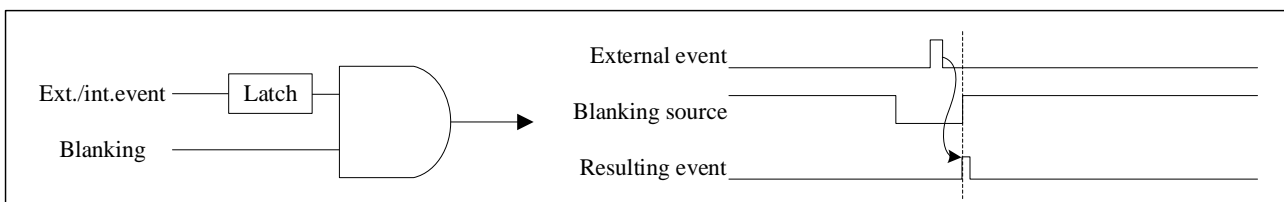
在事件消隐模式下（请参见下图），如果外部事件发生在给定的消隐周期内，则会被忽略。举例来说，为了避免 PWM 周期开始时电流限制因开关噪声而失效，可使用此模式。当 EXEVxFLT[3:0] 位域的值在 0001 到 1100 范围内时，该模式有效。

图 17-39 事件消隐模式



在事件延迟模式下，不会立即考虑外部事件，而是会将其保存（锁存）下来，并在消隐周期结束后立即生成外部事件，如图 17-40 所示。可将 SHRTIM\_TxEXEVFLT1 和 SHRTIM\_TxEXEVFLT2 寄存器中的 EXEVxLATCH 位置 1 来使能此模式。

图 17-40 事件延迟模式



消隐信号来自多个源：

- 定时器本身：消隐持续时间从计数器复位开始，到比较匹配为止（对于比较 1 到比较 4，EXEVxFLT[3:0] = 0001 到 0100）。
- 来自其他定时单元（EXEVxFLT[3:0] = 0101 到 1100）：消隐持续时间从选定的定时单元计数器复位开始，到其中一个比较匹配为止，或者可完全编程为 Tx2 输出上的波形。在这种情况下，只要 Tx2 信号无效，事件就会被屏蔽（不需要使能输出，而且会在输出级之前获取信号）。

EXEVxFLT[3:0] 配置 0101 到 1100 在位说明中被称为 TIMFLTR1 到 TIMFLTR8，各定时单元的配置在位说明中的含义有所不同。给出了每个定时器的 8 个可用选项：CMPx 是指计数器复位到比较匹配期间进行消隐，Tx2 是指通过 SHRTIM\_TxSET2 和 SHRTIM\_TxRST2 寄存器定义的定时单元 TIMx 输出 2 波形。举例来说，定时器 B (TIMFLTR6) 是定时器 C 输出 2 波形。

表 17-18 每个定时器的过滤信号映射

Source	Timer A				Timer B				Timer C				Timer D				Timer E				Timer F			
	CMP1	CMP2	CMP4	TA2	CMP1	CMP2	CMP4	TB2	CMP1	CMP2	CMP4	TC2	CMP1	CMP2	CMP4	TD2	CMP1	CMP2	CMP4	TE2	CMP1	CMP2	CMP4	TF2
Des	-				1	-	2	3	4	-	5	-	7	-	-	-	-	8	-	-	6	-	-	-
Timer	-				1	-	2	3	4	-	5	-	7	-	-	-	-	8	-	-	6	-	-	-

A																								
Timer B	1	-	2	3	-				4	5	-	-	-	7	-	-	8	-	-	-	6	-	-	
Timer C	-	1	-	-	2	-	3	-	-				5	-	6	7	-	-	8	-	4	-	-	-
Timer D	1	-	-	-	-	2	-	-	3	4	-	5	-				6	-	7	-	-	-	8	-
Timer E	-	1	-	-	2	-	-	-	3	-	-	-	6	-	7	8	-				-	-	4	5
Timer F	-	-	1	-	-	2	-	-	-	-	3	-	-	4	5	-	6	-	7	8	-			

如下图所示和举例说明了常规模式和延迟模式下所有边沿有效和电平有效的外部事件消隐。

图 17-41 采用边沿有效触发的外部触发消隐

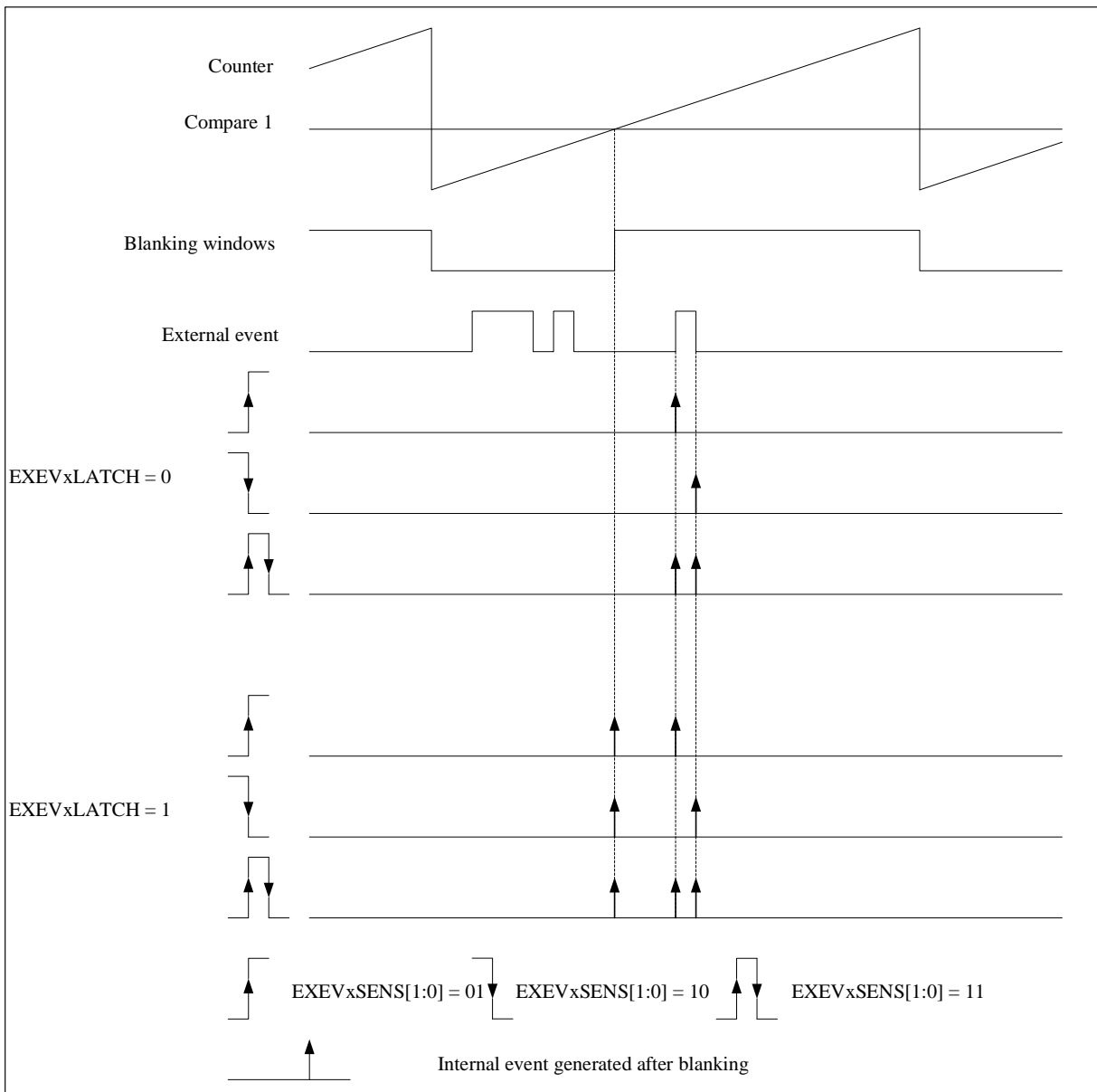
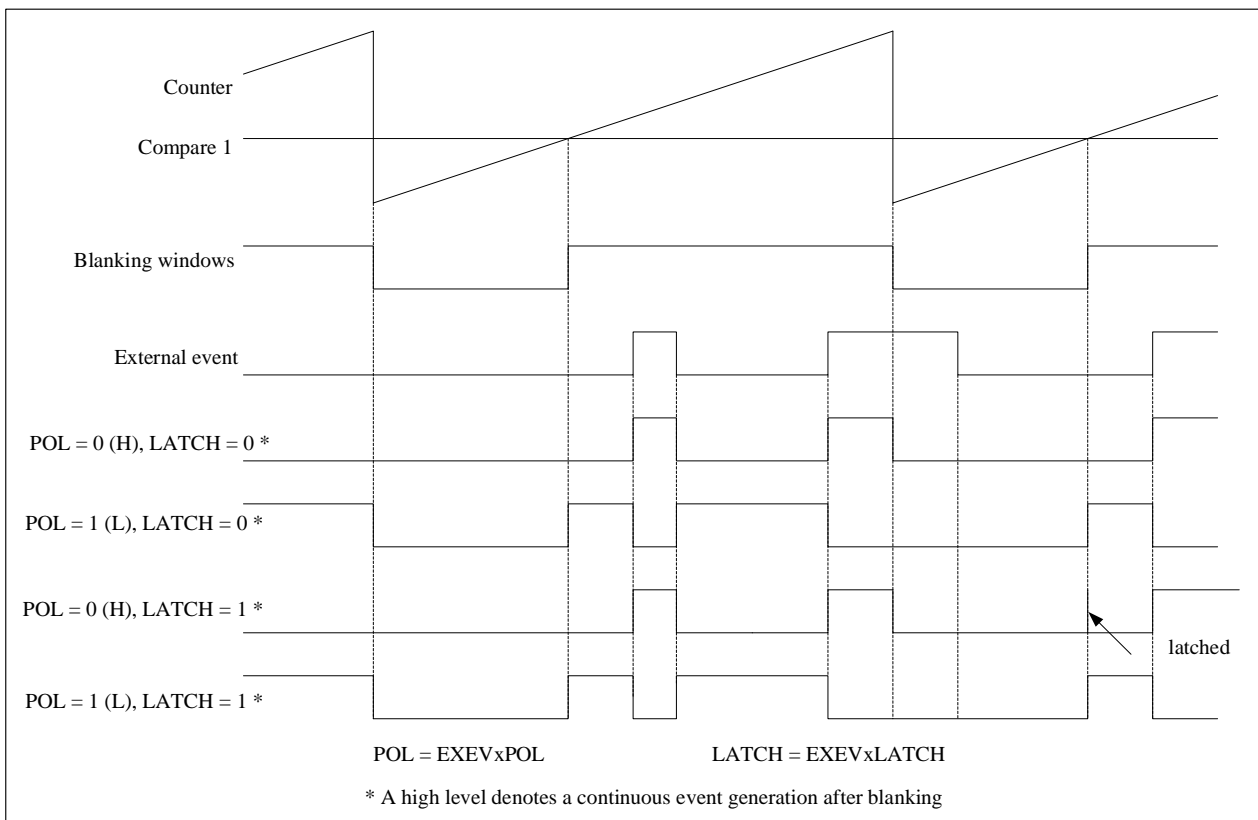


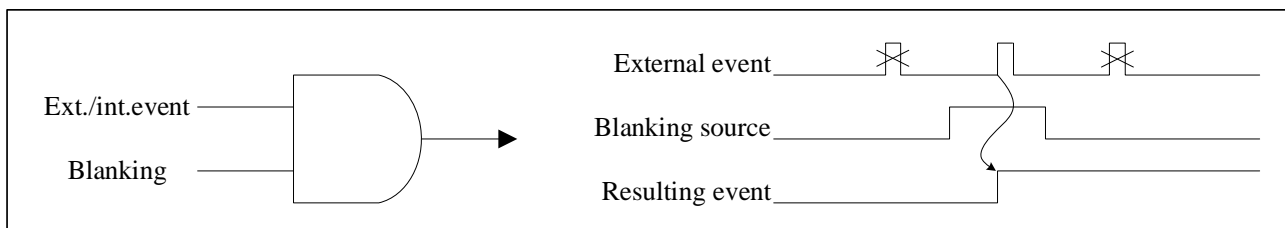
图 17-42 外部触发消隐，电平有效触发



### 17.3.9.2 窗口模式

在事件窗口模式下，仅当事件在给定的事件窗口内发生时才会被考虑，否则会被忽略。当 EXEVxFLT[3:0] 的值在 1101 到 1111 范围内时，该模式有效。

图 17-43 事件窗口模式



EXEVFLT1 和 EXEVFLT2 寄存器中的 EXEVxLATCH 可锁存信号，如果该位置 1：在这种情况下，如果事件在窗口期间发生，但延迟到窗口结束被接受。

- 如果 EXEVxLATCH 位复位，且信号在窗口期间发生，则信号会直接通过。
- 如果 EXEVxLATCH 位复位，并且无信号发生，则会在窗口结束时生成超时事件。

窗口模式可用于过滤同步信号。当缺少预期的同步事件时（例如在转换器启动期间），可通过超时生成功能强制生成默认同步事件。

每个外部事件窗口有 3 个源，其编码如下：

- 1101 和 1110：向上计数模式时，窗口持续时间从计数器复位开始，到比较匹配为止（分别是比较 2 和比较 3）。

- 1111: 窗口与另一定时单元相关, 持续时间从计数器复位开始, 到其比较 2 匹配为止。源被称为 TIMWIN 的位中说明, 请参见表 17-19。举例来说, 定时器 B 中的外部事件可通过从定时器 A 计数器复位开始、到定时器 A 比较 2 为止的窗口进行过滤。

表 17-19 每个定时器的窗口信号映射 (EXEVxFLT [3:0] = 1111)

Destination	Timer A	Timer B	Timer C	Timer D	Timer E	Timer F
TIMWIN (source)	Timer B CMP2	Timer A CMP2	Timer D CMP2	Timer C CMP2	Timer F CMP2	Timer E CMP2

注: 如果外部事件是在快速模式下编程的, 则不支持生成超时事件。

如下图和介绍了如何根据 EXEVxLATCH 位的设置生成事件, 以实现各种边沿有效和电平有效触发。为了便于理解, 专门针对超时事件进行了说明。

图 17-44 采用边沿有效触发的外部触发窗口

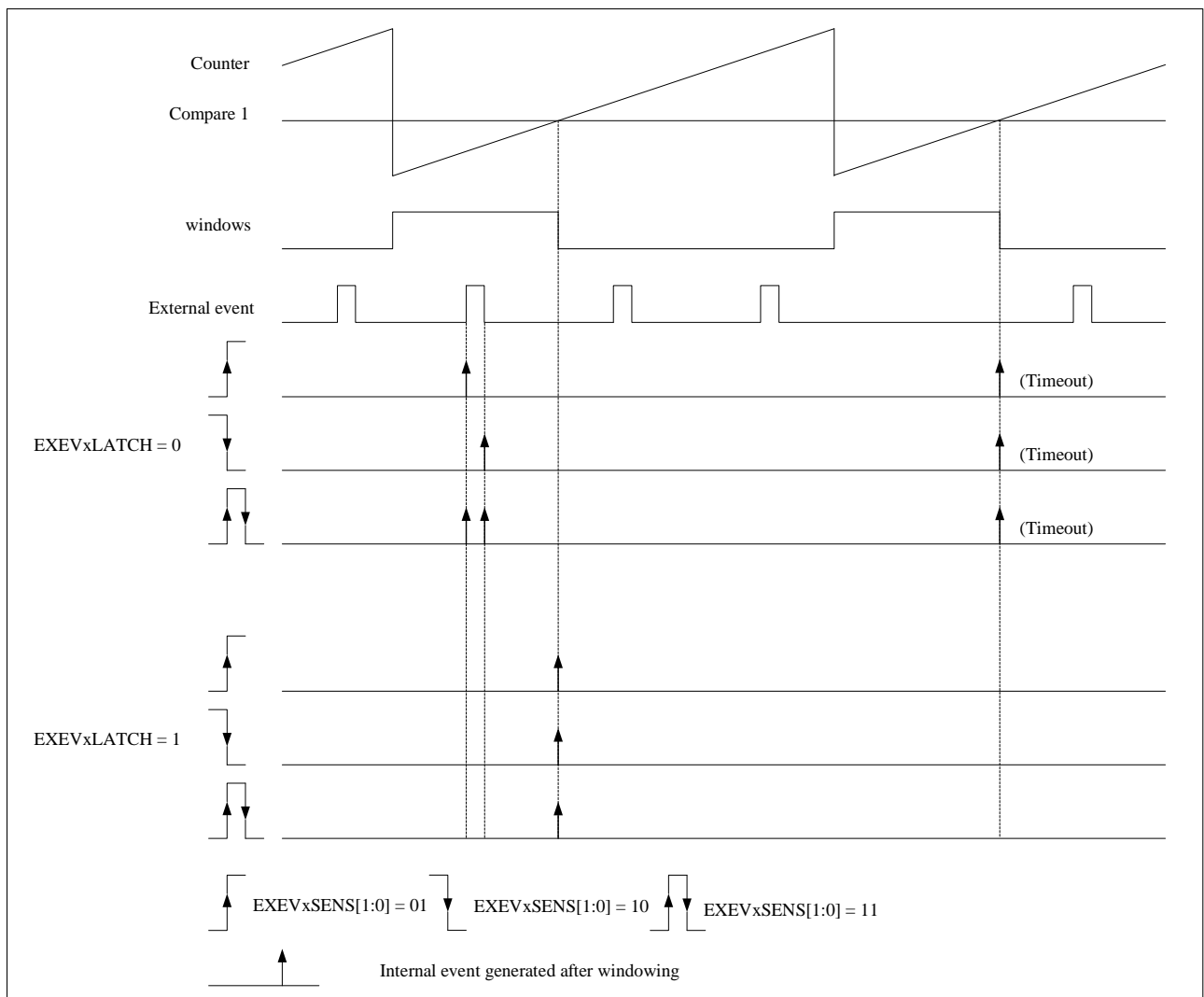
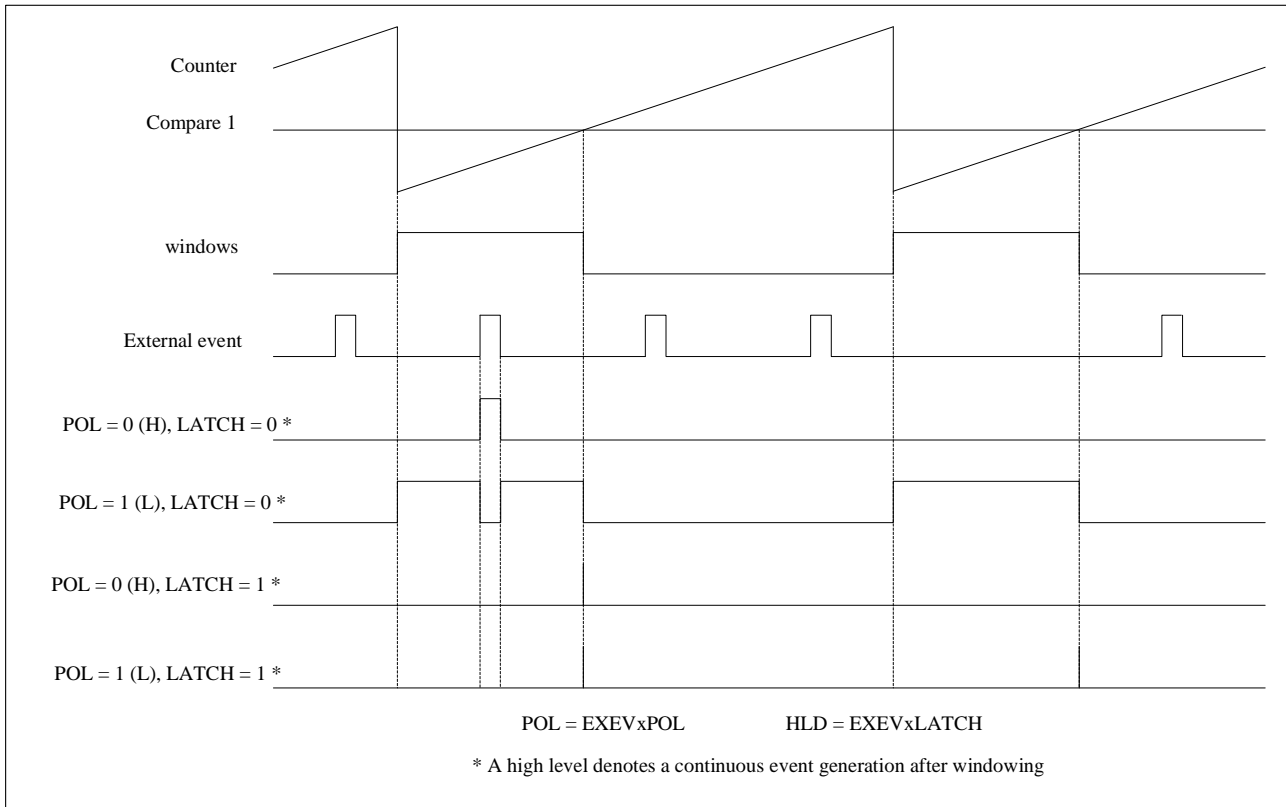


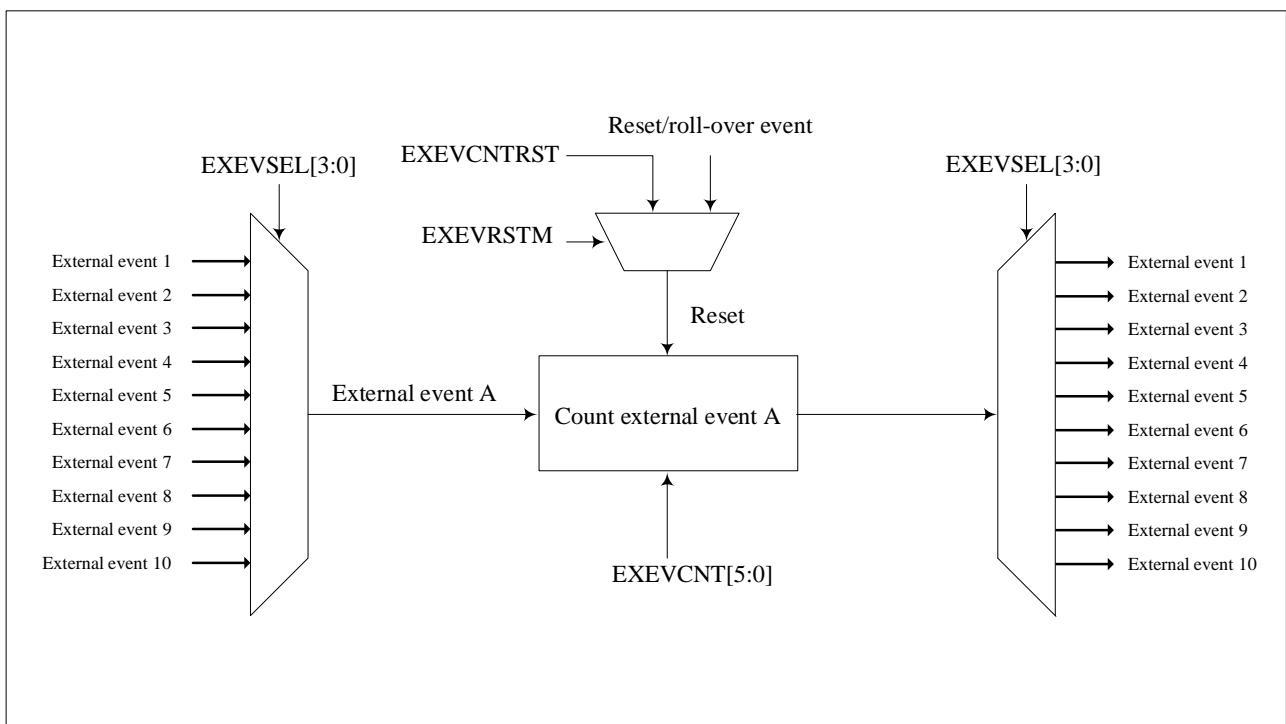
图 17-45 外部触发窗口, 电平有效触发



### 17.3.9.3 外部事件计数器

每个定时单元还包括一个跟在过滤单元后的外部事件计数器，通常用于实现谷底跳过功能。电路允许过滤任何一个经过过滤的 10 个外部事件，如下图所示。

图 17-46 外部事件计数器 – 通道 A



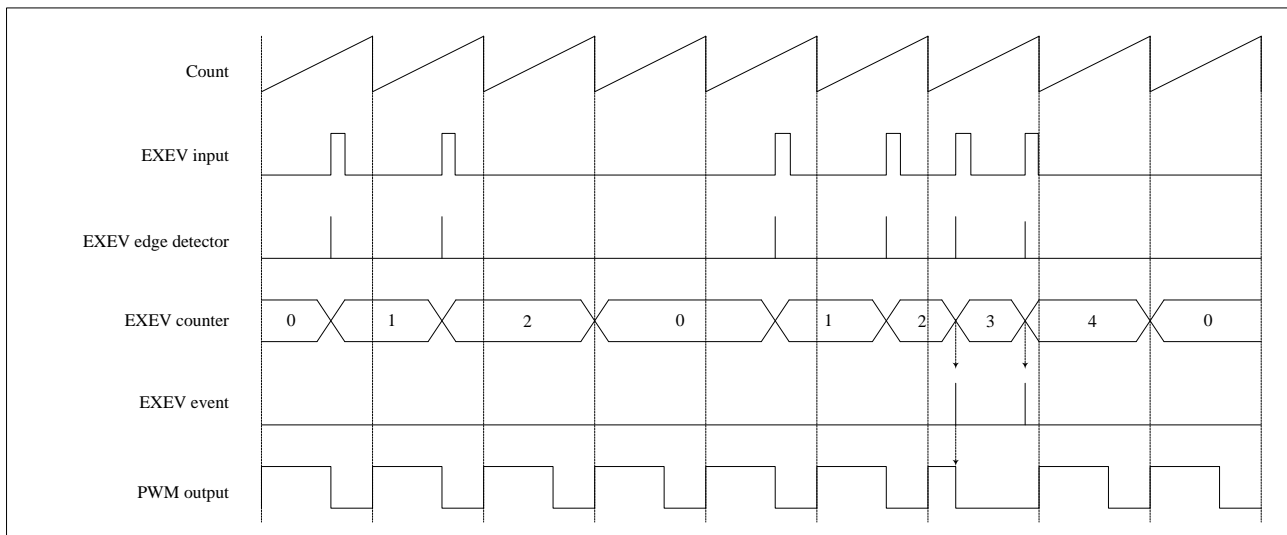


计数器通过在 SHRTIM\_TAEXEVFLT3 寄存器中设置 EXEVCNTEN 位来启用。这种模式仅适用于对边沿敏感的外部事件 (EXEVxSNS[1:0] 位 = 01, 10 或 11)。外部事件仅在活动边沿的数量大于或等于程序中设置的值 (EXEVCNT[5:0]+1) 时传播到定时器。有两种操作模式可用：

- 当 EXEVRSTM 位被重置时，外部事件计数器在每个复位/翻转事件时重置：外部事件仅在给定 PWM 周期内多次出现时才有效。
- 当 EXEVRSTM 位被设置时，外部事件计数器仅在上一个 PWM 周期中未出现事件时重置。这是一种累积模式，事件必须在多个 PWM 周期内至少出现一次，如下图所示。

在设定计数器值后必须启用外部事件计数器（在写入 EXEVCNT[5:0] 位后必须设置 EXEVCNTEN 位）。一旦启用了计数器，EXEVCNT[5:0] 位随时可以在运行中更改。新值将在下一个复位/翻转事件按照 EXEVRSTM 位编程考虑，或者在软件复位（设置 EXEVCNTRST 位）后考虑。一旦设置了 EXEVCNTEN 位，就不得修改 EXEVSEL[3:0] 位。

图 17-47 外部事件计数器累积模式 (EXEVRSTM = 1, EXEVCNT = 2)



## 17.3.10 延迟保护

如果需要在有效脉冲结束后或推挽周期结束后以延迟的方式关断 PWM 输出，SHRTIM 通常会为谐振转换器提供特定的保护机制。这些功能通过 SHRTIM\_TxOUT 寄存器中的 DPEN 位使能，并将使用特定的外部事件通道。

### 17.3.10.1 延迟空闲模式

在该模式下，有效电平会在保护激活之前结束。所选外部事件会使输出在有效脉冲结束时进入空闲模式（由 SHRTIM\_TxRST1 或 SHRTIM\_TxRST2 中的输出复位事件定义）。

一旦保护被触发，会永久保持空闲模式，但计数器会继续工作，直至输出重新使能。Tx1OEN 和 Tx2OEN 位不受延迟空闲模式进入的影响。要退出延迟空闲模式并恢复操作，需要将 Tx1OEN 和 Tx2OEN 位重写为 1。输出状态将在发出输出使能命令后第一次跳变为有效状态时更改。

*注：在有效脉冲结束之前，进入了延迟空闲模式便不能立即退出：务必先确保输出处于空闲状态，然后再重新开始运行模式。具体做法可以是等到下一周期，或者轮询 TxINTSTS 寄存器中的 O1BCKUP 和/或 O2BCKUP 状态位。*

延迟空闲模式可应用于单路输出 (DP[2:0] = x00 或 x01)，也可应用于两路输出(DP[2:0] = x10)。

进入响应延迟空闲模式后，可通过生成中断或 DMA 请求以作出响应。外部事件到达后，会立即将 SHRTIM\_TxINTSTS 中的 DP 标志置 1，和输出上的有效脉冲是否结束无关。

延迟空闲模式触发后，可通过 SHRTIM\_TxINTSTS 中的 O1DIPSTS 和 O2DIPSTS 确定输出状态。即使延迟空闲模式应用于单路输出，也会更新这两个状态位。如果使能了推挽模式，SHRTIM\_TxINTSTS 中的 IPPSTS 标志会指示延迟保护请求在哪一周发生。

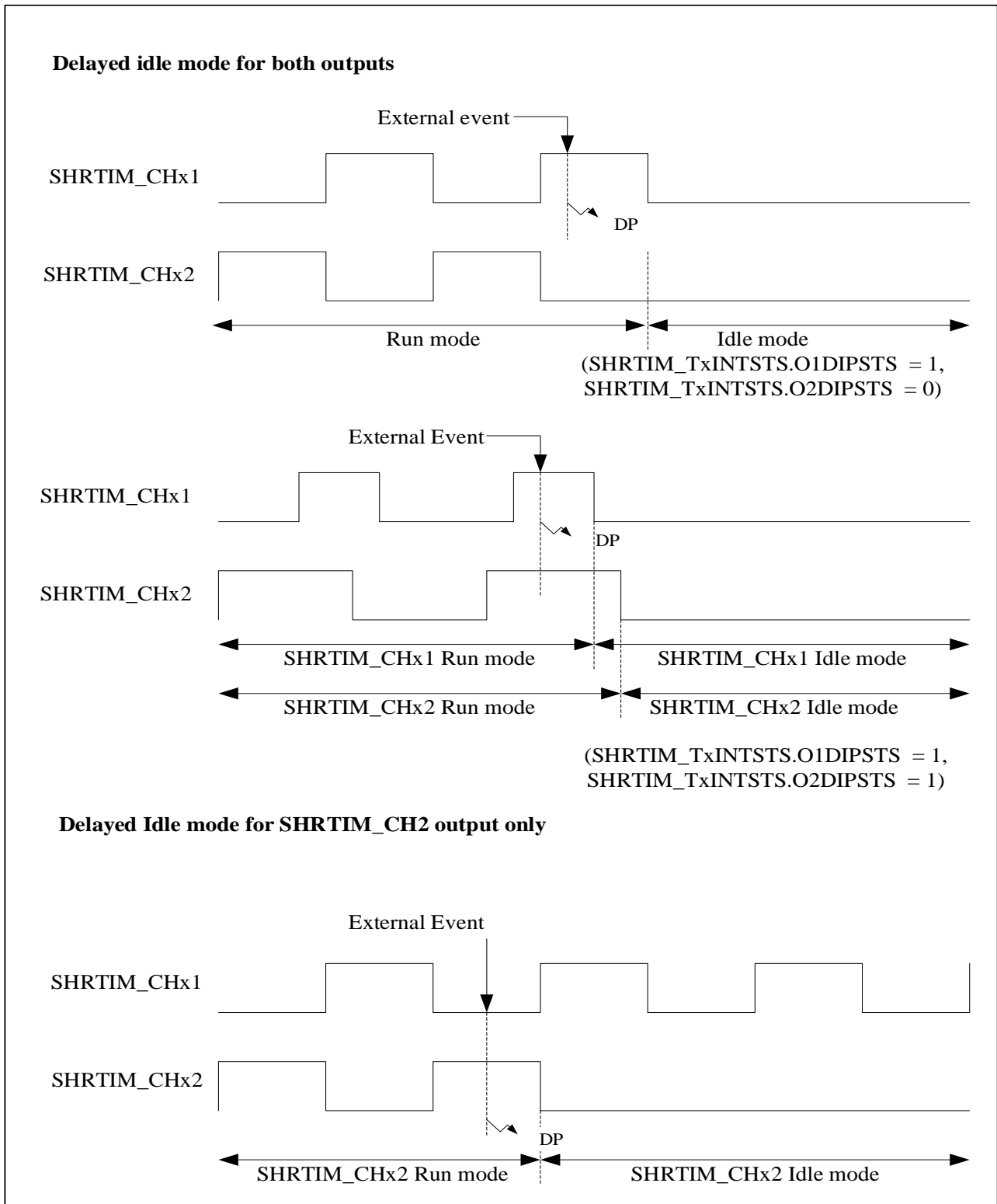
无论定时器采用何种工作模式（常规、推挽、死区），均可使用此模式。此模式仅支持 2 个外部事件：

- shrtim\_exev6 和 shrtim\_exev7（对于定时器 A、B 和 C）
- shrtim\_exev8 和 shrtim\_exev9（对于定时器 D、E 和 F）

软件延迟保护触发只需要配置 SHRTIM\_SFTDP 中的 SFTDPxy，选择对哪个输出通道进行延迟保护触发。

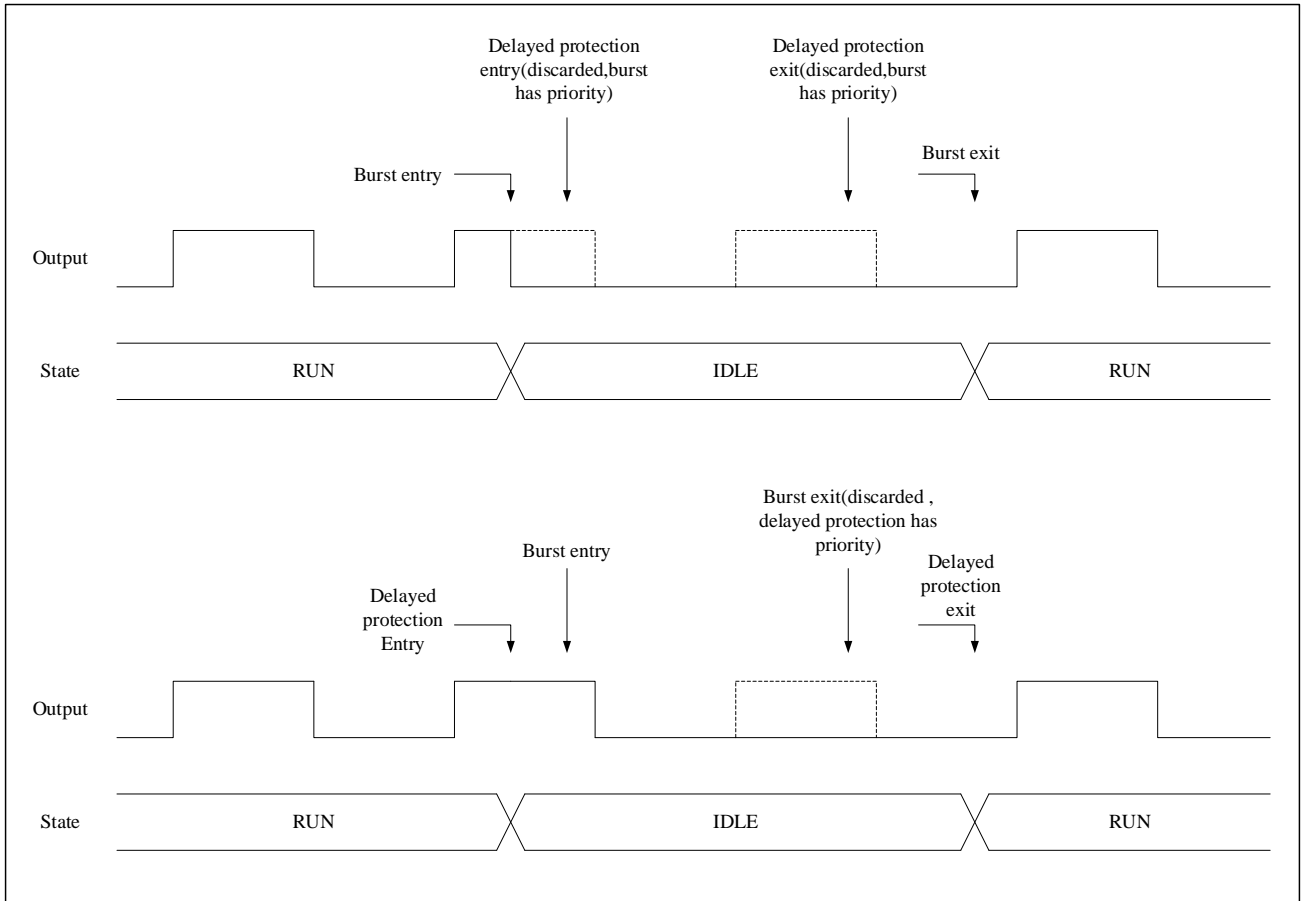
仅当计数器使能后 (TxCNTEN 位置 1)，才能触发延迟保护模式。即使 TxCNTEN 位已复位，在 TxyOEN 位置 1 之前，延迟保护模式仍保持有效状态。

图 17-48 延迟空闲模式进入



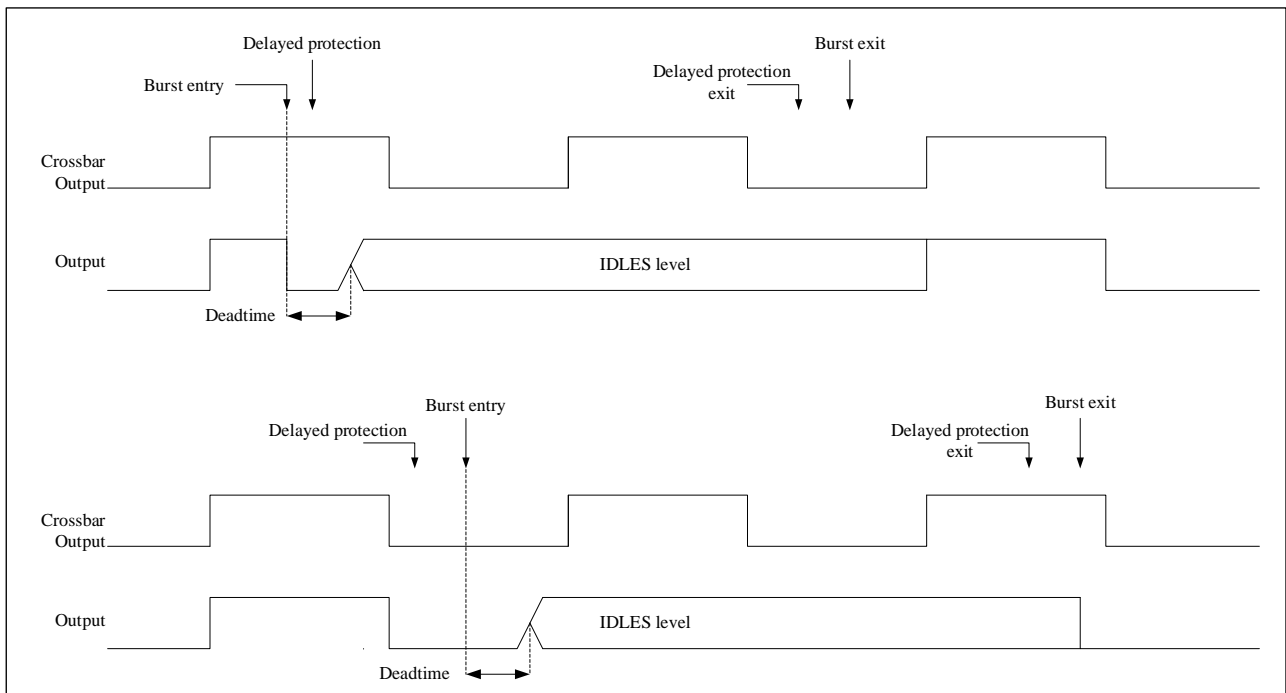
延迟空闲模式的优先级要高于突发模式：一旦触发了延迟空闲保护，就会丢弃任何突发模式退出请求。相反，如果在突发模式有效时退出延迟保护，突发模式将正常恢复，输出将保持为空闲状态，直至退出突发模式。给出了这些不同情况的概览。

图 17-49 突发模式和延迟保护优先级 (DIDL = 0)



如果使能了延迟突发模式进入（DIDL 位置 1），则会应用相同的优先级，如下所示。

图 17-50 突发模式和延迟保护优先级 (DIDL = 1)



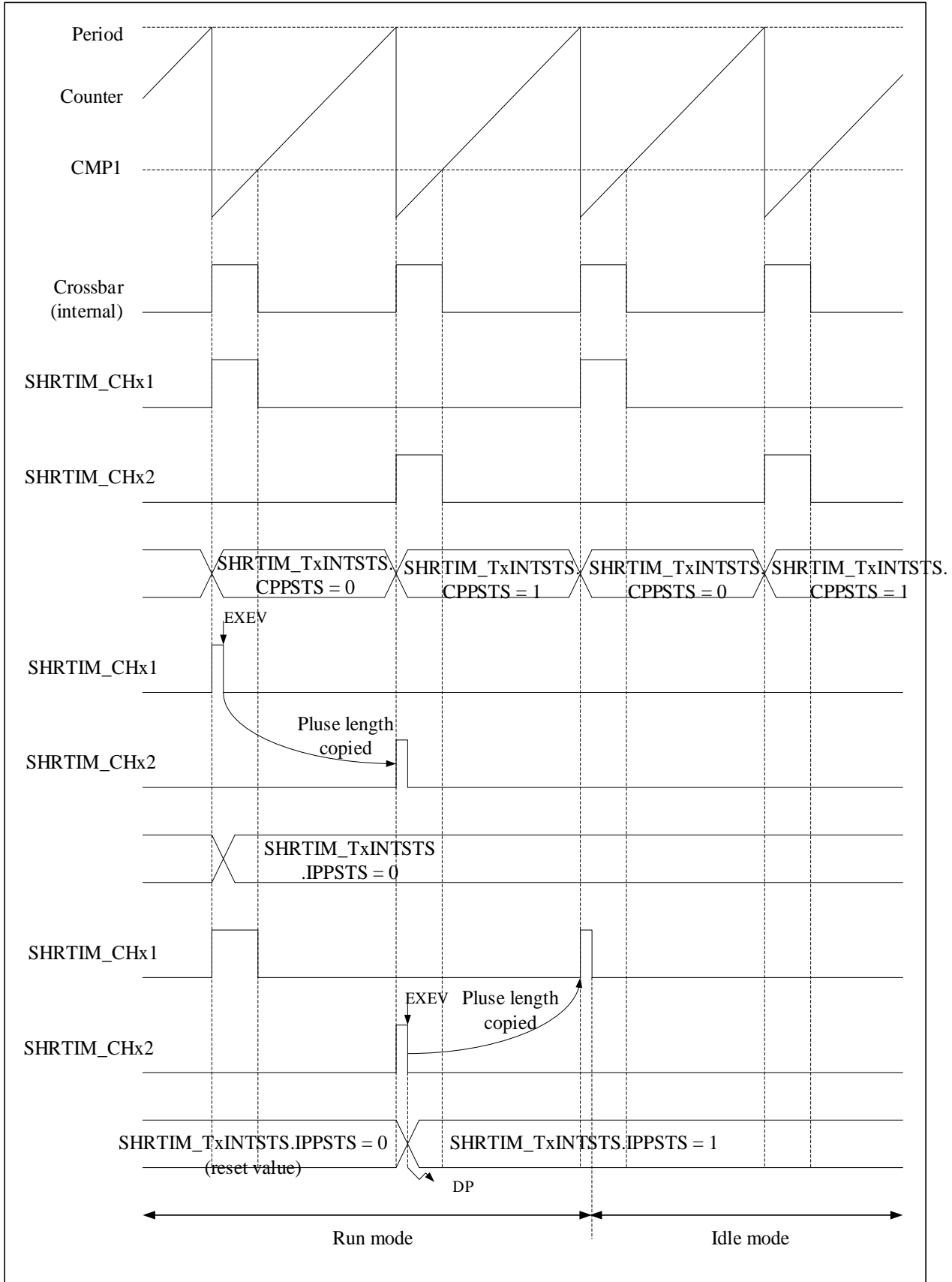
### 17.3.10.2 均衡空闲

仅在推挽模式下可用，在有效脉冲因保护方面的原因而缩短的情况下，可在两路输出上实现均衡脉宽。终止时间早于设定时间的脉宽会复制到另一路输出上，两路输出随后会进入空闲状态，直至通过软件恢复正常工作。此模式通过向 SHRTIM\_TxOUT 中的 DP[2:0] 位域写入 x11 来使能。

此模式仅支持 2 个外部事件：

- shrtim\_exe6 和 shrtim\_exe7（对于定时器 A、B 和 C）
- shrtim\_exe8 和 shrtim\_exe9（对于定时器 D、E 和 F）

图 17-51 均衡空闲保护示例



如果均衡空闲模式已使能，所选外部事件会触发将计数器值捕获到比较 4 活动寄存器（用户不可访问该值）。推挽模式会额外保持一个周期，以重复缩短的脉冲：保持常规输出置位事件的同时，会生成新的输出复位事

件。

随后会进入空闲模式，输出会采用由 SHRTIM\_TxOUT 寄存器中的 IDLESx 位定义的电平。均衡空闲模式进入由 DP 标志指示，IPPSTS 标志则指示外部事件在哪一周期的发生，可用于确定缩短脉冲的顺序（先是 SHRTIM\_CHA1，然后是 SHRTIM\_CHA2，反之亦然）。

定时器操作不会中断（计数器继续运行）。

要使能均衡空闲模式，需要执行下列初始化操作：

- 定时器在连续模式下工作 (CONT = 1)
- 使能推挽模式
- SHRTIM\_TxCMP4DAT 必须设为 0，并且内容要传输到活动寄存器（例如，强制进行软件更新）
- DELCMP4M[1:0] 位域必须设为 00（禁止自动延迟模式）
- DP[2:0] = x11（使能延迟保护）

*注：均衡空闲工作期间，不得对 SHRTIM\_TxCMP4DAT 寄存器执行写操作。保留 CMP4 事件，不得用于其他用途。*

*注：在均衡空闲模式下，建议避免使用多个外部事件或基于软件的复位事件，后者会导致输出复位。如果同一周期内此类事件先于均衡空闲请求到达，则会导致输出脉冲不均衡（第 1 个脉冲长度由外部事件或软件复位定义，而第 2 个脉冲长度则由均衡空闲模式进入定义）。*

均衡空闲模式下可用的最小脉宽为 4 个  $f_{\text{SHRTIM}}$  时钟周期。（当 CKPSC[2:0] = 0 时，取 0x80；当 CKPSC[2:0] = 1，取 0x40；当 CKPSC[2:0] = 2，取 0x20；...）。

如果在计数器达到其最小值之前进行捕获，会先将当前脉冲最多延长为 4 个  $f_{\text{SHRTIM}}$  时钟周期，然后再将其复制到次级输出。在任何情况下，脉宽始终都是均衡的。

Tx1OEN 和 Tx2OEN 位不受均衡空闲模式进入的影响。要退出均衡空闲模式并恢复操作，需要同时将 Tx1OEN 和 Tx2OEN 位重写为 1。输出状态将在输出使能后的第一次有效跳变时更改。

可采用与延迟空闲模式进入相似的方法恢复操作。例如，如果外部事件到达时输出 1 激活（延迟空闲模式在输出 2 脉冲后生效），可先为输出 1 启动重启序列。为此，需要轮询 SHRTIM\_TxINTSTS 寄存器中的 CPPSTS 位。使用上例（IPPSTS 标志等于 0），操作将在 CPPSTAT 位为 0 零时恢复。

为了获得特定的重启序列，可轮序 CPPSTS 了解哪一输出将先激活。这样一来，便可使用与空闲模式进入序列相同的序列进行重启：如果 EXEV 在输出 1 激活期间到达，则将在输出 1 激活时（CPPSTS = 0）发起重启序列。

*注：正在执行脉冲均衡序列时，不得禁止均衡空闲模式。需要等到 CMP4 标志置 1（指示序列已结束）才能复位 DPEN 位。*

仅当计数器使能后（TxCNTEN 位置 1），才能触发均衡空闲保护模式。即使 TxCNTEN 位已复位，在 TxyOEN 位置 1 之前，延迟保护模式仍保持有效状态。

下列情况下，均衡空闲模式可与突发模式一起使用：

- TxBM 位必须复位（突发期间保持计数器时钟，请参见 17.3.15）。
- 输出处于突发空闲状态时，不得触发均衡空闲保护。

均衡空闲模式的优先级要高于突发模式：一旦触发了均衡空闲保护，就会丢弃任何突发模式退出请求。相

反，如果在突发模式有效时退出延迟保护，突发模式将正常恢复。

*注：虽然输出状态在空闲模式下会冻结，但在延迟保护后的空闲时间段内，仍会在辅助输出上生成一些事件（请参见章节 17.3.18）：*

- 输出置位/复位中断或 DMA 请求
- 基于输出信号的外部事件过滤
- 由置位/复位触发的捕获事件

### 17.3.10.3 均衡空闲的自动恢复

均衡空闲模式可以配置为在触发后自动恢复操作。

一旦缩短的脉冲被复制到备用输出，脉冲宽度将重置为其原始值，并且定时器恢复运行：两个输出继续保持在运行模式。

通过在 SHRTIM\_TxOUT 寄存器中设置 BIAR 位来启用此模式。

这种模式只能在 SHRTIM\_TxPRD 中的周期大于  $f_{\text{SHRTIM}}$  时钟的 6 个周期时使用，即如果 CKPSC[2:0] = 0，则为 0xC0；如果 CKPSC[2:0] = 1，则为 0x60；如果 CKPSC[2:0] = 2，则为 0x30，等等。

*注：此位仅在 DP[2:0] = 011 或 111 时有意义，否则会被忽略。*

*注：在均衡空闲自动恢复模式中，必须将 IDLES 状态设置为非活动状态。*

### 17.3.11 寄存器预装载和更新管理

大部分 SHRTIM 寄存器均已缓冲，可根据需要进行预装载。这样做通常可避免波形被与有效事件（置位/复位）不同步的寄存器更新更改。

使能预装载模式后，受访问的寄存器变为影子寄存器。收到软件发出的更新请求或与事件同步的更新请求后，影子寄存器的内容会传输到活动寄存器。

默认情况下，SHRTIM\_MCTRL 和 SHRTIM\_TxCTRL 寄存器中的 PLEN 位会复位，寄存器不会预装载：任何写操作均会直接更新活动寄存器。如果 PLEN 位在定时器运行且预装载已使能时复位，预装载寄存器的内容会直接传输到活动寄存器中。

每个定时单元和主定时器都有自己的 PLEN 位。如果 PRREN 已置 1，仅当发生更新事件时，预装载寄存器才会使能，其内容才会传输到活动寄存器。

如果需要使用预装载功能，可选择两种方法初始化定时器：

- 刚好在定时器初始化结束时使能 PLEN 位，以在定时器使能之前将预装载寄存器内容传输到活动寄存器（通过将 MCNTEN 和 TxCNTEN 位置 1）。
- 在初始化过程中的任何时间使能 PLEN 位，并恰好在启动之前强制进行软件更新。

列出了可预装载的寄存器，并总结了可用更新事件。

**表 17-20 SHRTIM 可预装载控制寄存器和关联的更新源**

定时器	可预装载寄存器	预装载使能	更新源
Master timer	SHRTIM_MIDEN		软件



	SHRTIM_MPRD SHRTIM_MREPT SHRTIM_MCMP1DAT SHRTIM_MCMP2DAT SHRTIM_MCMP3DAT SHRTIM_MCMP4DAT	SHRTIM_MCTRL 中的 PLEN 位	重复事件 突发 DMA 事件 突发 DMA 事件后的重复事件
Timer x x = A..F	SHRTIM_TxIDEN SHRTIM_TxPRD SHRTIM_TxREPT SHRTIM_TxCMP1DAT SHRTIM_TxRCMP1DAT SHRTIM_TxCMP2DAT SHRTIM_TxCMP3DAT SHRTIM_TxCMP4DAT SHRTIM_TxDT SHRTIM_TxSET1 SHRTIM_TxRST1 SHRTIM_TxSET2 SHRTIM_TxRST2 SHRTIM_TxCNTRST	SHRTIM_TxCTRL. 中的 PLEN 位	软件 TIMx 重复事件 TIMx 复位事件 突发 DMA 事件 来自其他定时器（TIMy、主定时器）的更新事件 突发 DMA 事件后的更新事件 shrtim_upd_en[3:1] shrtim_upd_en[3:1]后的更新事件
SHRTIM Common	SHRTIM_ADTG1SRC1 SHRTIM_ADTG1SRC2 SHRTIM_ADTG2SRC1 SHRTIM_ADTG2SRC2 SHRTIM_ADTG3SRC1 SHRTIM_ADTG3SRC2 SHRTIM_ADTG4SRC1 SHRTIM_ADTG4SRC2	TIMx 或主定时器的更新，取决于 SHRTIM_CTRL1 的 ADTGxUPDSRC[2:0]（如果所选定定时器中的 PLEN = 1）	

主定时器有 4 个更新选项：

1. 软件：将 1 写入 SHRTIM\_CTRL2 中的 MSWUPD 位会立即强制更新寄存器。在这种情况下，会取

消任何待定的硬件更新请求。

2. 当主计数器翻转且主重复计数器等于 0 时，会进行更新。当 SHRTIM\_MCTRL 中的 MREPTUEN 位置 1 时，会使能此操作。
3. 突发 DMA 结束后进行更新（有关详细信息，请参见章节 17.3.23 DMA）。当 SHRTIM\_MCTRL 中的 BRSTDMA[1:0]=01 时，会使能此操作。可以同时设置 MREPTUEN=1 和 BRSTDMA=01。注：如果 SWUPD 位置 1，可在突发序列结束后立即进行更新（即强制更新模式）。如果 SWUPD 位复位，将在突发序列结束后发生下一个更新事件时进行更新。
4. 突发 DMA 结束后主计数器翻转时，会进行更新。当 SHRTIM\_MCTRL 中的 BRSTDMA[1:0]=10 时，会使能此操作。

中断或 DMA 请求可通过主定时器更新事件生成。

各个定时器 (TIMA..F) 还可以通过以下方式进行更新：

- 软件：将 1 写入 SHRTIM\_CTRL2 中的 TxSWUPD 位会立即强制更新寄存器。在这种情况下，会取消任何挂起的硬件更新请求。
- 当计数器翻转且重复计数器等于 0 时，会进行更新。当 SHRTIM\_TxCTRL 中的 TxREPTUEN 位置 1 时，会使能此操作。
- 当计数器复位或在连续模式下翻转时，会进行更新。当 SHRTIM\_TxCTRL 中的 RSTROUEN 位置 1 时，会使能此操作。此操作用于在单发模式下工作的定时器等。
- 突发 DMA 结束后立即进行更新。当 SHRTIM\_TxCTRL 中的 UPDGAT[3:0]=0001 时，会使能此操作。
- 在突发 DMA 结束后发生更新事件时会进行更新（更新事件可通过 RSTROUEN、REPTUEN、MUEN 或 TxUEN 使能）。当 SHRTIM\_TxCTRL 中的 UPDGAT[3:0]=0010 时，会使能此操作。
- shrtim\_upd\_en[3:1] 上接收到请求时，会进行更新。当 SHRTIM\_TxCTRL 中的 UPDGAT[3:0]=0011、0100、0101 时，会使能此操作。
- 在 shrtim\_upd\_en[3:1] 上接收到请求后发生更新事件时会进行更新（更新事件可通过 RSTROUEN、TxREPTUEN、MUEN 或 TxUEN 使能）。当 SHRTIM\_TxCTRL 中的 UPDGAT[3:0]=0110、0111、1000 时，会使能此操作。
- 与其他任何定时器或主定时器更新同步进行更新（例如，TIMA 可与 TIMB 同步更新）。此操作通过将 SHRTIM\_TxCTRL 寄存器中的 MUEN 和 TxUEN 位置 1 来使能，用于需要使用多个定时器的转换器。

shrtim\_upd\_en[3:1] 可使更新事件与来自通用定时器的片上事件同步。这些输入为上升沿有效。

表 17-21 列出了更新使能输入与片上源之间的连接。

**表 17-21 更新使能输入和源**

SHRTIM update enable signal	SHRTIM update enable assignment
SHRTIM_upd_en1	gtim8_oc1
SHRTIM_upd_en2	gtim9_oc1

SHRTIM_upd_en3	gtim10_oc1
----------------	------------

这样可将低频更新请求与高频信号同步（例如，在不得不用 100Hz 的速率更新 100KHz 的翻转计数器时）。

注：  $CKPSC[2:0] > 5$  时，更新事件会同步到预分频器时钟。

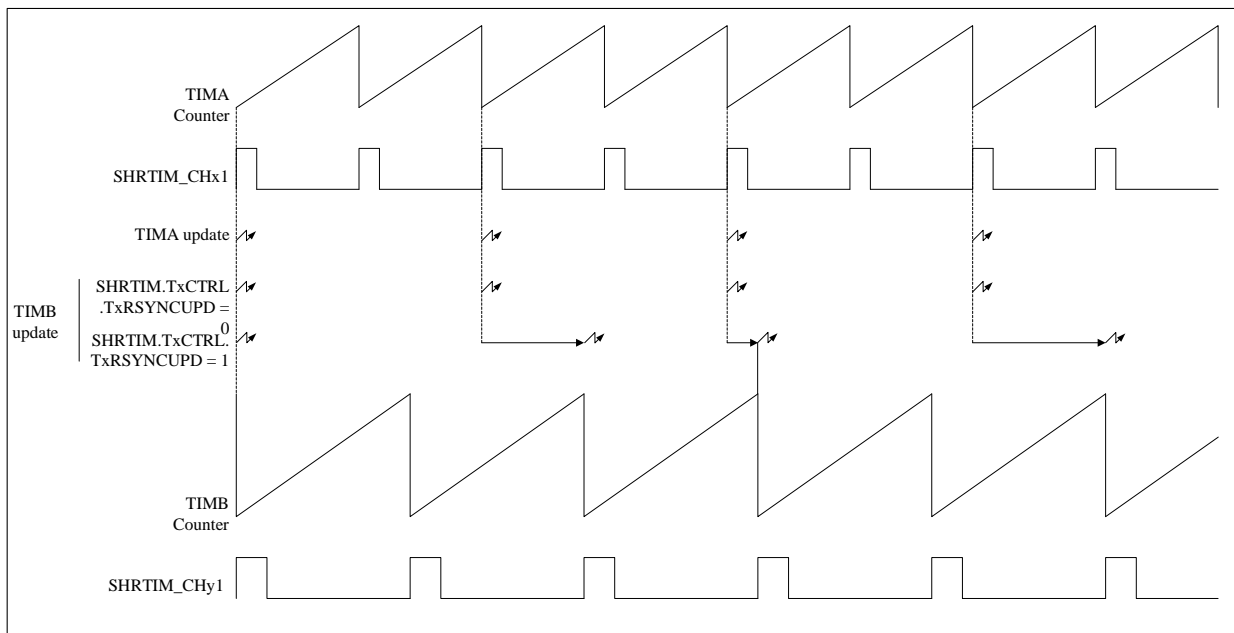
来自相邻定时器的更新（当 MUEN、TAUEN、TBUEN、TCUEN、TDUEN、TEUEN、TFUEN 位被设置时）或来自软件更新（TxSWUPD 位）可以立即考虑，也可以与定时器的复位/翻转事件重新同步。这是通过 SHRTIM\_TxCTRL 寄存器中的 RSYNCUPD 位实现的，如图 17-52 所示：

- RSYNCUPD = 0：来自相邻定时器的更新立即被考虑。
- RSYNCUPD = 1：来自相邻定时器的更新在下一个复位/翻转事件时被考虑。

RSYNCUPD 位仅在 UPDGAT[3:0] = 0000 时有意义，否则将被忽略。

定时器 Timx 的更新事件可以生成中断或 DMA 请求。

图 17-52 重新同步的定时器更新（SHRTIM\_TBCTRL 中的 TAUEN = 1）



无论选择哪一种更新事件，SHRTIM\_CTRL1 寄存器中的 MUPDDIS 和 TxUPDDIS 位都可以暂时禁止将预装载寄存器的内容传输至活动寄存器。这样便可修改并联的定时器中的多个寄存器。这些位复位后，会立即执行常规更新事件。

MUPDDIS 和 TxUPDDIS 位全部分组到同一寄存器中。这样便可同时禁止和恢复更新并联工作的定时器（不需要同步）。

下例为实际用例。第一个电源转换器通过主定时器、TIMB 和 TIMC 控制。TIMB 和 TIMC 必须同时通过主定时器重复事件更新。第二个转换器与 TIMA、TIMD 和 TIME 并行运行，TIMD、TIME 必须通过 TIMA 重复事件更新。

#### 第一个转换器

在 SHRTIM\_MCTRL 中，MREPTUEN 位已置 1：将在主定时器计数器重复周期结束时进行更新。在 SHRTIM\_TBCTRL 和 SHRTIM\_TCCTRL 中，MUEN 位必须置 1 才能通过主定时器同时更新 TIMB 和

TIMC 定时器。

如果必须通过软件调整电源转换器的设定值，则必须在对寄存器执行写访问更新数值（例如比较值）之前将 SHRTIM\_CTRL 寄存器的 MUPDDIS、TBUPDDIS 和 TCUPDDIS 位置 1。从此刻起，会忽略任何硬件更新请求，并可无风险地访问预装载寄存器，将其中的内容传输到活动寄存器中。软件处理结束后，必须将 MUPDDIS、TBUPDDIS 和 TCUPDDIS 位复位。发生主定时器重复事件后，会立即将预装载寄存器的内容传输到活动寄存器。

#### 第二个转换器

在 SHRTIM\_TACTRL 中，TAREPU 位已置 1：将在定时器 A 计数器重复周期结束时进行更新。在 SHRTIM\_TDCTRL 和 SHRTIM\_TECTRL 中，TAUEN 位必须置 1 才能通过定时器 A 同时更新 TIMD 和 TIME 定时器。

如果必须通过软件调整电源转换器的设定值，则必须在对寄存器执行写访问更新数值（例如比较值）之前将 SHRTIM\_CTRL 寄存器的 TAUPDDIS、TDUPDDIS 和 TEUPDDIS 位置 1。从此刻起，会忽略任何硬件更新请求，并可无风险地访问预装载寄存器，将其中的内容传输到活动寄存器中。软件处理结束后，可将 TAUPDDIS、TDUPDDIS 和 TEUPDDIS 位复位：发生定时器 A 重复事件后，会立即将预装载寄存器的内容传输到活动寄存器。

### 17.3.12 “大于”比较的 PWM 模式

CMP1 和 CMP3 寄存器生成的 PWM 信号有一种特定的无延迟更新模式。它允许在 PWM 周期内尽可能地应用新的占空比值，无需等待当前 PWM 周期完成。这减少了软件控制循环中的总延迟时间。如下所示，这最终可以实现：

- 如果新比较值低于当前计数器值且当前比较值高于计数器，当写入新值时，输出可以提前关闭。
- 如果新比较值高于计数器值且当前比较值也低于计数器，当写入新值时，可以提前打开输出，重新启用输出。当新比较值和当前比较值都低于计数器时，输出信号保持不变。

此功能仅适用于 CMP1 或 CMP3 复位事件，并通过在 SHRTIM\_TxCTRL2 寄存器中使用 GTCMP1 和 GTCMP3 启用位启用。当相应的 GTCMPx 位设置时，比较寄存器的预加载机制无效，无论 PLEN 位的值如何。此模式旨在写入新比较值后尽可能快地使其生效，无需等待预加载到活动寄存器的转移。这些位定义比较 1 和比较 3 的操作模式如下：

- GTCMPx = 0：当计数器等于比较值时生成比较 x 事件（比较匹配模式）。如果在运行中更改比较值，可能不会生成比较事件。
- GTCMPx = 1：当计数器等于比较值时生成比较 x 事件。

“大于”比较模式导致根据比较结果纵横开关的不同反应。假设 CMP1 事件执行输出复位。当写入新比较值时，考虑以下两种情况：

- 如果新比较值低于计数器值，将发出复位事件，并最终可能导致提前关闭。
- 如果新比较值高于计数器值，则生成置位事件，提前打开。

“大于”比较模式适用于置位和复位动作。

“大于”比较模式只能用于以下配置：

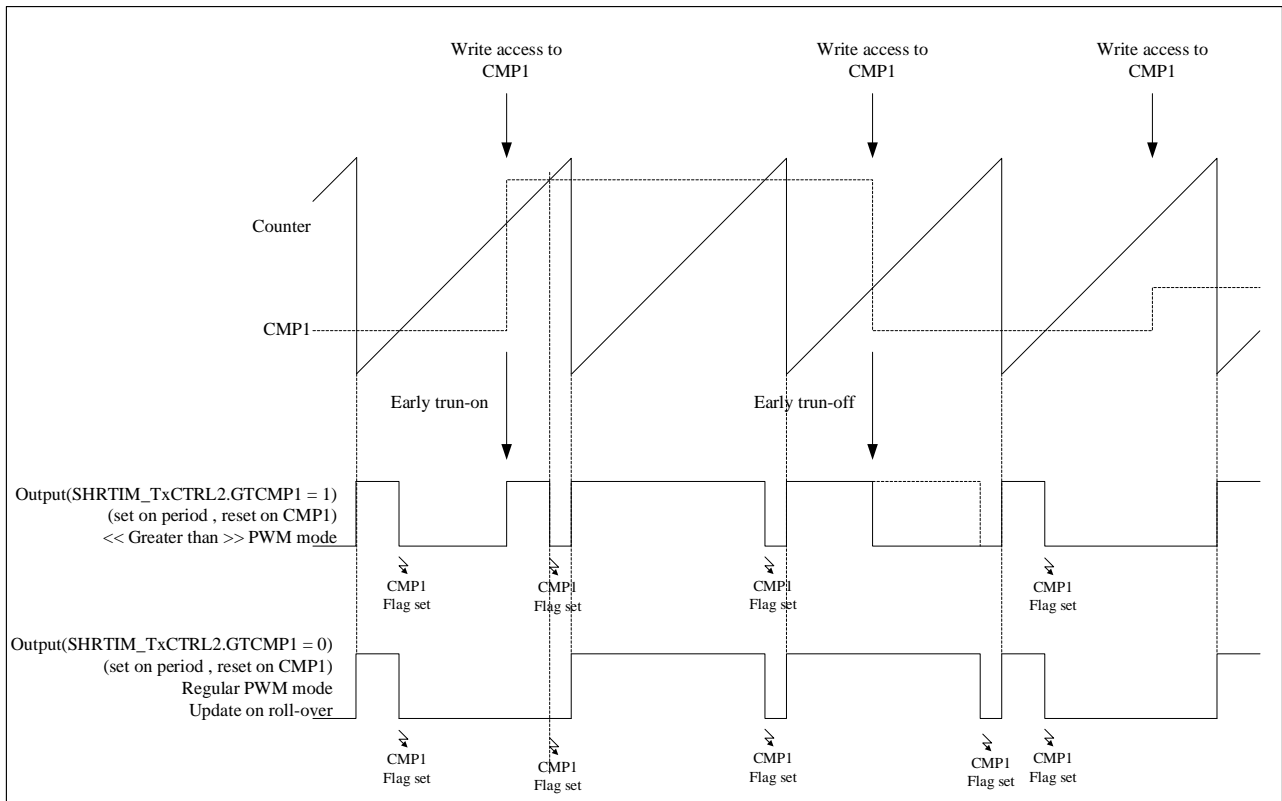
1. 在固定频率配置中，周期事件必须触发输出置位，而“大于”比较触发输出复位（或相反，周期必须触发

复位，如果“大于”比较触发置位)。

- 对于可变频率配置，选作计数器复位源的事件也必须选作定时器输出的置位或复位源（与“大于”比较事件相反方向）。

注：“大于”模式不能在 CMP1 和/或 CMP3 模式在半模式和交错模式下由硬件控制时使用。

图 17-53“大于”PWM 模式的提前开启和提前关断的行为



立即更新模式意味着预加载寄存器的内容写入寄存器的同时被转移到活动寄存器。当设置 GTCMP1 和/或 GTCMP3 位时，它们各自的预加载机制被禁用（对于 SHRTIM\_TxCMP1DAT 和/或 SHRTIM\_TxCMP3DAT 寄存器），无论 PLEN 位的值如何。

注：在晚开启和提前关闭的情况下，不会生成比较中断标志（CMP1 和 CMP3 在 SHRTIM\_TxINTSTS 中）。

注：“大于”比较不得同时对 CMP1 和 CMP3 进行（GTCMP1 和 GTCMP3 位不得同时设置）

### 17.3.13 事件在多个定时器之间的传播

SHRTIM 提供多种方式在多个定时单元（包括主定时器）之间逐级传输事件或共享事件，以充分利用其模块化架构的优势。这些是需要使用多路同步输出的转换器的主要特性。

本节总结了各种选项，并详细说明了事件是否会在 SHRTIM 中传播以及怎样传播。

#### 17.3.13.1 由主定时器更新触发的 TIMx 更新

表 9-22 中列出的源将生成主定时器更新。该表指出了是否可使用源事件在任何 TIMx 定时单元中触发同步更新。

工作条件：SHRTIM\_TxCTRL 寄存器中的 MUEN 位置 1。

表 17-22 主定时器更新事件传播

Source	Condition	Propagation	Comment
Burst DMA end	BRSTDMA[1:0] = 01	No	Must be done in TxCTRL (UPDGAT[3:0] = 0001)
Roll-over event following a burst DMA end	BRSTDMA[1:0] = 10	Yes	-
Repetition event caused by a counter roll-over	MREPTU = 1	Yes	-
Repetition event caused by a counter reset (from SHRTIM_SCIN or software)		No	-
Software update	MSWUPD = 1	No	All software update bits (TxSWUPD) are grouped in the SHRTIM_CTRL2 register and can be used for a simultaneous update

### 17.3.13.2 由 TIMy 更新触发的 TIMx 更新

如下表中列出的源将生成 TIMy 更新。该表指出了是否可使用给定事件在另一定时器或多个 TIMx 定时器中触发同步更新。

工作条件：SHRTIM\_TxCTRL 寄存器中的 TyUEN 位置 1 (源 = TIMy, 目标 = TIMx)。

表 17-23 TIMx 更新事件传播

Source	Condition	Propagation	Comment
Burst DMA end	UPDGAT[3:0] = 0001	No	Must be done directly in SHRTIM_TxCTRL (UPDGAT[3:0] = 0001)
Update caused by the update enable inputs shrtim_upd_en[3:1]	UPDGAT[3:0] = 0011, 0100, 0101	No	Must be done directly in SHRTIM_TxCTRL (UPDGAT[3:0] = 0011, 0100, 0101)
Master update	MUEN = 1 in SHRTIM_TyCTRL	No	Must be done with MUEN = 1 in SHRTIM_TxCTRL
Another TIMx update (TIMz > TIMy > TIMx)	TzUEN = 1 in SHRTIM_TyCTRL TyUEN = 1 in TxCTRL	No	Must be done with TzUEN=1 in SHRT_TxCTRL TzUEN=1 in SHRT_TyCTRL
Repetition event caused by a counter roll-over	REPTUEN = 1 in SHRTIM_TyCTRL	Yes	-
Repetition event caused by a counter reset	REPTUEN = 1 in SHRTIM_TyCTRL	-	Refer to counter reset cases below
Counter roll-over	RSTROUEN = 1 in SHRTIM_TyCTRL	Yes	-

Counter software reset	TySWCNRST = 1 SHRTIM_CTRL2	YES	Can be done simultaneously with update in SHRTIM_CTRL2 register
Counter reset caused by a TIMz compare	TzCMPn in SHRTIM_TyCNRST	YES	-
Counter reset caused by external events	EXEVn in SHRTIM_TyCNRST	YES	-
Counter reset caused by a master compare or a master period	MCMPn or MPRD in SHRTIM_TyCNRST  TIMy's PLEN	YES	-
Counter reset caused by a TIMy compare	CMPn in SHRTIM_TyCNRST	YES	-
Counter reset caused by an update	UPD in SHRTIM_TyCNRST	YES	Propagation would result in a lock-up situation (update causing reset causing update)
Counter reset caused by SHRTIM_SCIN	SYNCRST in SHRTIM_TyCTRL	NO	-
Software update	TySWUPD = 1	NO	All software update bits (TxSWUPD) are grouped in the SHRTIM_CTRL2 register and can be used for a simultaneous update

### 17.3.13.3 引发 TIMx 更新的 TIMx 计数器复位

列出了计数器复位源，并指出了这些源是否可用于生成更新事件。工作条件：SHRTIM\_TxCTRL 寄存器中的 RSTROUEN 位。

表 17-24 能够生成更新事件的复位事件

Source	Condition	Propagation	Comment
Counter roll-over	-	Yes	-
Update event	UPD in SHRTIM_TxCNRST	No	Propagation would result in a lock-up situation (update causing a reset causing an update)
External event	EXEVn in SHRTIM_TxCNRST	Yes	-
TIMy compare	TyCMPn in SHRTIM_TxCNRST	Yes	-
Master compare	MCMPn in SHRTIM_TxCNRST	Yes	-
Master period	MPRD in SHRTIM_TxCNRST	Yes	-
Compare 2 and 4	CMPn in	Yes	-

	SHRTIM_TxCNTRST		
Software	TxSWCNTRST=1 in SHRTIM_CTRL2	Yes	-
SHRTIM_SCIN	SYNCRST in SHRTIM_TxCTRL	Yes	-

### 17.3.13.4 引发 TIMx 计数器复位的 TIMx 更新

如下表列出了更新事件源，并指出了这些源是否可用于生成计数器复位事件。工作条件：SHRTIM\_TACNTRST 寄存器中的 UPD 位置 1。

表 17-25 用于定时器复位的更新事件传播

Source	Condition	Propagation	Comment
Burst DMA end	UPDGAT[3:0] = 0001	Yes	-
Update caused by the update enable inputs shrtim_upd_en[3:1]	UPDGAT [3:0] = 0011, 0100, 0101	Yes	-
Master update caused by a roll-over after a burst DMA	MUEN = 1 in SHRTIM_TxCTRL  BRSTDMA[1:0] = 10 in SHRTIM_MCTRL	Yes	-
Master update caused by a repetition event following a roll-over	MUEN = 1 in SHRTIM_TxCTRL	Yes	-
Master update caused by a repetition event following a counter reset (software or due to SHRTIM_SCIN)	MREPTUEN = 1 in SHRTIM_MCTRL	No	-
Software triggered master timer update	MUEN = 1 in SHRTIM_TxCTRL	No	All software update bits
	MSWUPD = 1 in SHRTIM_CTRL2		(TxSWUPD) are grouped in the SHRTIM_CTRL2 register and can be used for a simultaneous update
TIMy update caused by a TIMy counter roll-over	TyUEN = 1 in SHRTIM_TxCTRL  RSTROUEN = 1 in SHRTIM_TyCTRL	Yes	-
TIMy update caused by a TIMy repetition event	TyUEN = 1 in SHRTIM_TxCTRL  REPTUEN = 1 in SHRTIM_TyCTRL	Yes	-



TIMy update caused by an external event or a TIMy compare (through a TIMy reset)	TyUEN = 1 in SHRTIM_TxCTRL  RSTROUEN = 1 in SHRTIM_TyCTRL  EXEVn or CMP4/2 in SHRTIM_TyCNTRST	Yes	-
TIMy update caused by sources other than those listed above	TyUEN = 1 in SHRTIM_TxCTRL	yes	
Repetition event following a roll-over	REPTUEN = 1 in	Yes	-
Repetition event following a counter reset	SHRTIM_TxCTRL	No	-
Timer reset	RSTROUEN = 1 in SHRTIM_TxCTRL	No	Propagation would result in a lock-up situation (reset causing an update causing a reset)
Software	TxSWUPD in SHRTIM_CTRL2	Yes	

### 17.3.14 输出管理

每个定时单元都控制着一对输出。输出有三种工作状态：

- **RUN**：此状态为主要工作状态，在该状态下，输出会获取在纵横开关单元中设定的有效电平或无效电平。
- **IDLE**：当输出通过软件禁用或处于突发模式工作期间（此时，正常工作模式下会暂时禁止输出，更多详细信息，请参见章节 17.3.16），该状态是 SHRTIM 复位后的默认工作状态。该状态永久有效或无效。
- **FAULT**：此状态为安全状态，FALTx 输入上存在关断请求时会进入此状态。该状态可以是永久有效、无效或高阻态 (Hi-Z)。

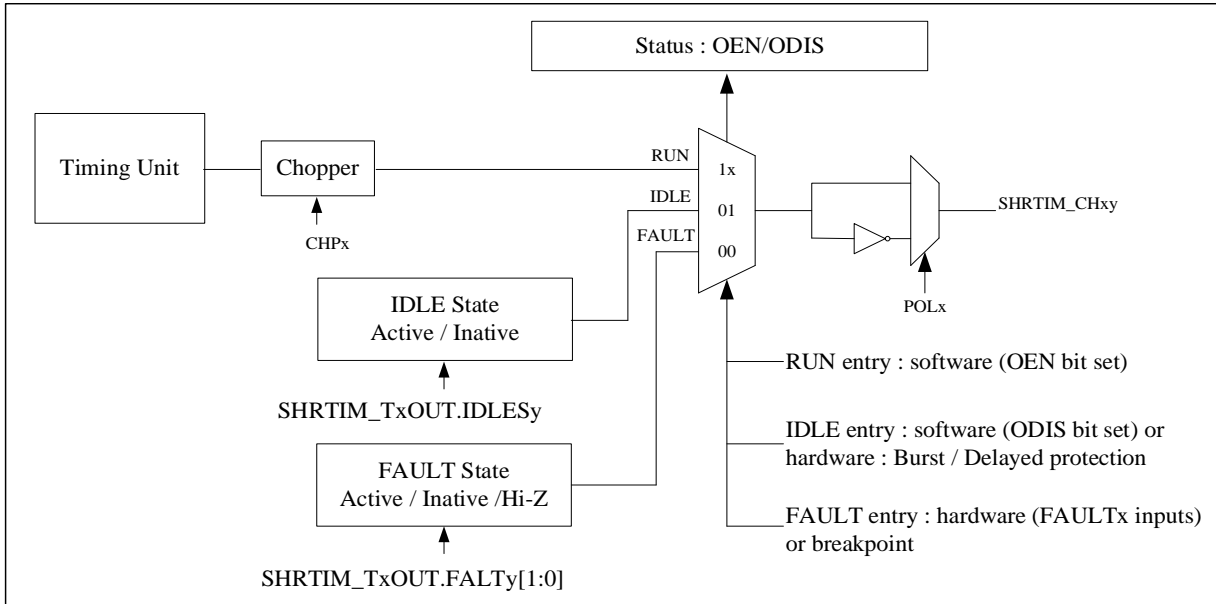
输出状态由 SHRTIM\_OEN 寄存器中的 TxyOEN 位以及 SHRTIM\_ODISSTS 寄存器中的 TxyODISSTS 位指示，如表 17-26 所示。

表 17-26 输出状态编程，x= A..F，y= 1 或 2

TxyOEN (控制/状态) (通过软件置 1, 通过硬件清零)	TxyODISSTS (状态)	输出工作状态
1	x	RUN
0	0	IDLE
0	1	FAULT

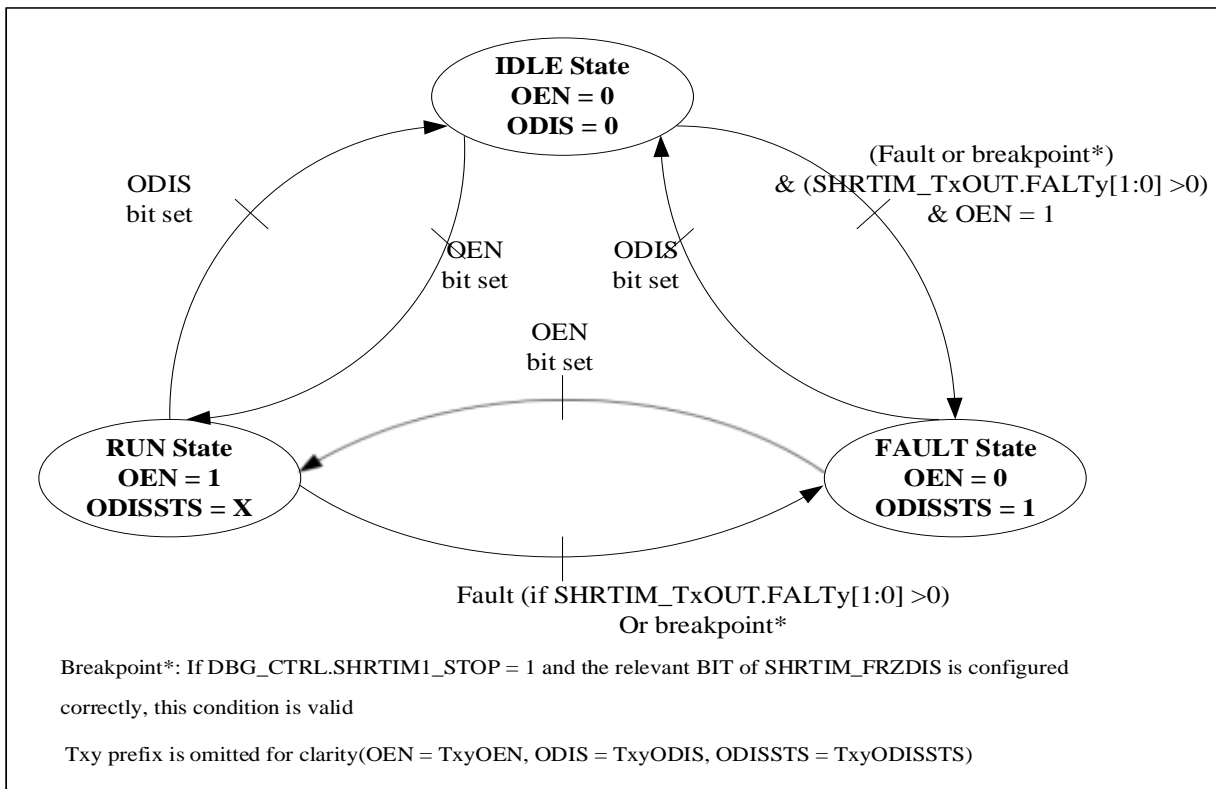
TxyOEN 位既是控制位,也是状态位:该位必须通过软件置 1,才能使输出处于 RUN 模式。输出恢复 IDLE 或 FAULT 模式时,该位会通过硬件清零。TxyOEN 位清零后,TxyODISSTS 位会指示输出处于 IDLE 状态还是 FAULT 状态。SHRTIM\_ODIS 寄存器中的第三位可通过软件禁止输出。

图 17-54 输出管理概览



总结了三种状态对应的位值以及转换的触发方式。任何外部或内部故障源均可触发故障(请参见章节 17.3.17 故障保护),当突发模式或延迟保护有效时,可进入空闲状态。

图 17-55 SHRTIM 输出状态和转换



FAULT 和 IDLE 电平定义为有效或无效。有效（或无效）是指定时器输出上可引发电源开关闭合（对于无效状态，则为电源开关断开）的电平。

IDLE 状态的优先级最高：即使 FAULT 条件仍有效，也可以实现由 ODIS 位置 1 触发的 FAULT → IDLE 转换。

FAULT 状态的优先级要高于 RUN 状态：如果 TxyOEN 位置 1 的同时发生了故障事件，则将进入 FAULT 状态。IDLE → FAULT 转换中给出了相应的条件（如图 17-55 所示）：需要使能故障保护（FALTx[1:0] 位 = 01、10、11），且 Txy OEN 位在故障有效时置 1（如果 SHRTIM1\_STOP=0，则在断点期间置 1）。

输出极性通过 SHRTIM\_TxOUT 中的 POLx 位编程。如果 POLx=0，极性为正（输出高电平有效）；如果 POLx=1，极性为负（输出低电平有效）。实际上，极性的定义取决于要驱动电源开关（PMOS 与 NMOS）或栅极驱动器极性。

每路输出 FAULT 状态下的输出电平通过 SHRTIM\_TxOUT 中的 FALTx[1:0] 位配置，具体如下：

- 00：输出永不进入故障状态，停留在 RUN 或 IDLE 状态
- 01：处于 FAULT 状态时，输出为有效电平
- 10：处于 FAULT 状态时，输出为无效电平
- 11：处于 FAULT 状态时，输出为三态。必须通过诸如上拉或下拉电阻在外部强制进入安全状态。

注：只要输出处于 FAULT 状态，便不得更改 FALTx[1:0] 位。

IDLE 状态下的输出电平通过 SHRTIM\_TxOUT 中的 IDLESx 位配置，具体如下：

- 0：处于 IDLE 状态时，输出为无效电平
- 1：处于 IDLE 状态时，输出为有效电平

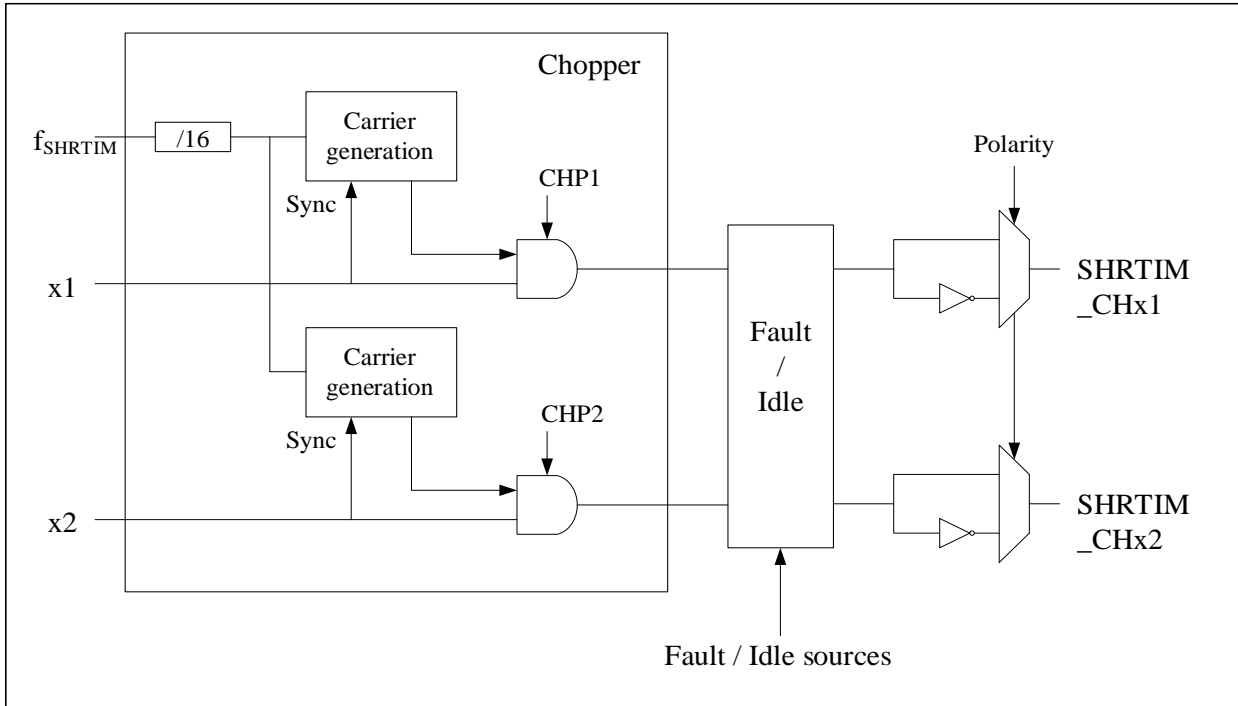
当 TxyOEN 位置 1 进入 RUN 状态时，输出会立即连接到纵横开关输出。如果定时器时钟停止，电平将为无效（SHRTIM 复位后）或相当于 RUN 电平（定时器停止、且输出禁止时）。

在 SHRTIM 初始化过程中，在使输出进入 RUN 模式之前，可在 SHRTIM\_TxSET1 和 SHRTIM\_TxRST1 寄存器中使用软件强制输出置位和复位预先设定输出电平。

### 17.3.15 斩波

可在定时单元输出信号上添加高频载波，以驱动隔离变压器。此操作是在插入极性之前对输出级执行的（如图 17-56 所示），会使用 SHRTIM\_TxOUT 寄存器中的 CHP1 和 CHP2 位分别在输出 1 和输出 2 上使能斩波。

图 17-56 载波频率信号插入



可通过 SHRTIM\_TxCHOP 寄存器调整斩波参数，以在脉冲开始处定义一个特定脉宽，后跟频率和占空比可编程的载波频率，如图 17-57 所示。

CARFRQ[3:0] 位按照公式  $f_{CHPFRQ} = f_{SHRTIM} / (16 \times (CARFRQ[3:0]+1))$  定义频率，范围从 1.2207KHz 到 19.5312 MHz（对于  $f_{SHRTIM} = 312.5$  MHz）。

可通过 CARDCY[2:0] 调整占空比（步长为 1/8），占空比范围为 0/8 到 7/8。

CARDCY[2:0] = 000 时（占空比 = 0/8），输出波形仅包含参考波形上升沿之后的启动脉冲，不会添加任何载波。

初始脉冲的脉宽是通过 STARTPW[3:0] 位域定义的，具体如下：

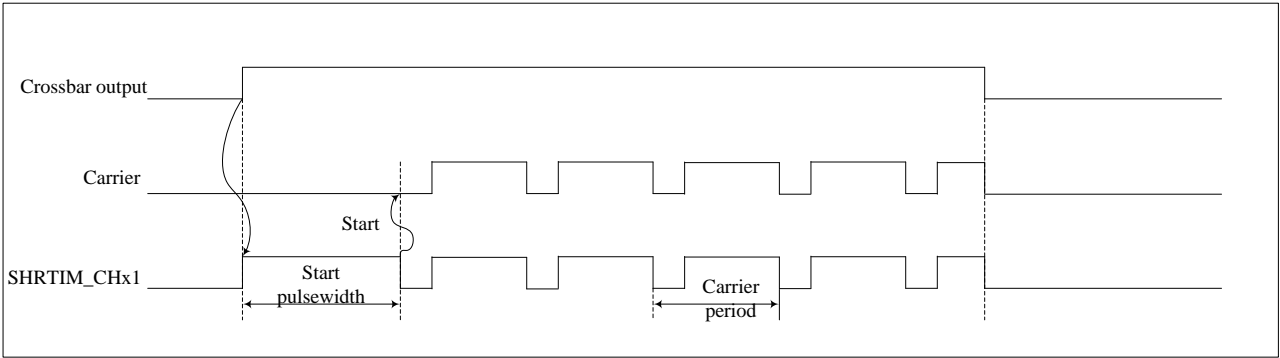
$t_{STPW} = (STARTPW[3:0]+1) \times 16 \times t_{SHRTIM}$ 。脉宽范围为 51.2 ns 到 819.2  $\mu$ s（对于  $f_{SHRTIM}=312.5$  MHz）。

载波频率参数是根据  $f_{SHRTIM}$  频率定义的，与 CKPSC[2:0] 设置无关。

在斩波模式下，载波频率和初始脉宽会通过逻辑与函数与参考波形相结合。初始脉冲结束时执行同步，以获得重复的信号波形。

斩波信号会在输出波形有效状态结束时停止，不会等到当前载波周期结束。因此，斩波信号包含的脉冲可能比编程的脉冲短。

图 17-57 已使能斩波模式的 SHRTIM 输出



注：必须在通过 SHRTIM\_OEN 寄存器中的 TxyOEN 位使能输出之前将 CHP1 和 CHP2 位置 1。

斩波模式激活时（两个 CHPx 位中至少有一个置 1），不能修改 CARFRQ[2:0]、CARD CY[2:0] 和 STARTPW[3:0] 位域。

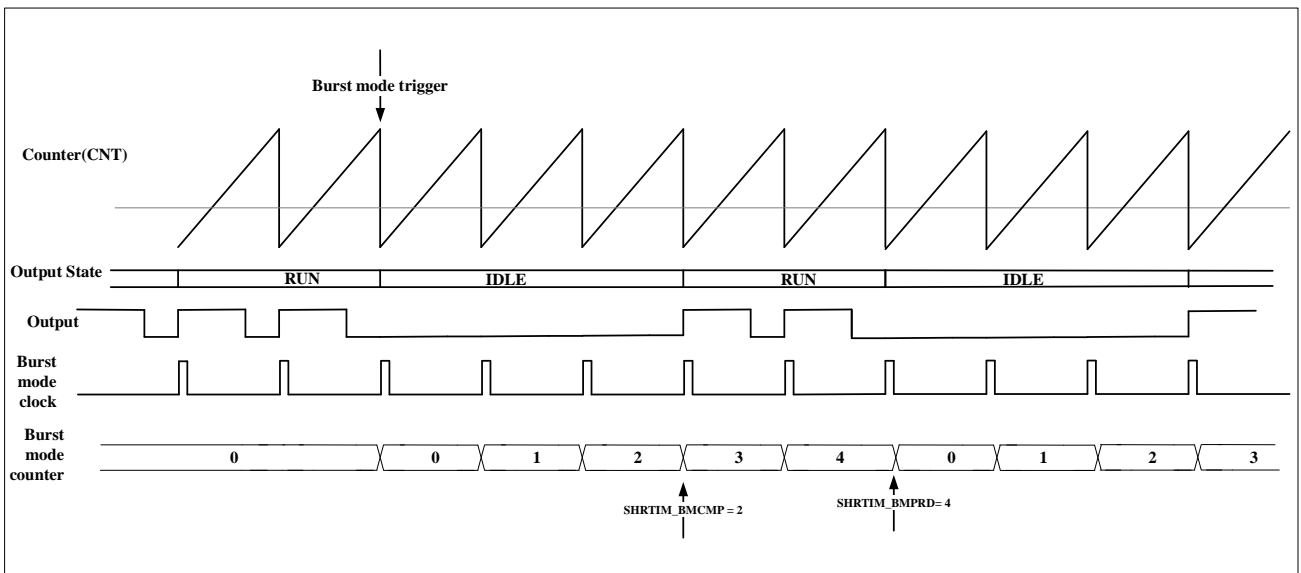
### 17.3.16 突发模式控制器

突发模式控制器可通过硬件使输出交替地进入 IDLE 状态和 RUN 状态，以便通过可编程周期性和占空比跳过一些开关周期。

轻载运行时，突发模式工作常用于电源转换器中。该模式减少了输出跳变次数以及关联的开关损耗，从而显著提高转换器效率。

在突发模式下运行时，会在空闲周期（等于几个计数周期）后输出一个或几个脉冲，空闲周期内通常不会生成任何输出脉冲，如图 17-58 中的示例所示。

图 17-58 突发模式工作示例



突发模式控制器包括：

- 可由各种源提供时钟的计数器（SHRTIM 之内或之外，通常是 PWM 周期结束时）。
- 定义空闲周期数的比较寄存器：SHRTIM\_BMCMP。
- 定义突发重复率的周期寄存器（相当于空闲周期与运行周期之和）：SHRTIM\_BMPRD。

注: *Burst mode* 中 IDLE 的时长和 RUN 的时长必须大于一个 PWM output 周期的时长。

突发模式控制器能够接管对 12 路 PWM 输出中的任何一路的控制。突发模式工作期间，每路输出的状态通过 SHRTIM\_TxOUT 寄存器中的 IDLESx 位编程，如下表所述。

表 17-27 突发模式的定时器输出编程

IDLEMx	IDLESx	突发模式期间的输出状态
0	X	无行为：输出不受突发模式的影响
1	0	突发模式期间输出无效
1	1	突发模式期间输出有效

突发模式控制器仅会作用于输出级。空闲周期内仍会生成一些事件：

- 输出置位/ 复位中断或 DMA 请求
- 基于 Tx2 输出信号的外部事件过滤
- 由输出置位/ 复位触发的捕获事件

### 工作模式

在给定的定时单元上使用突发模式之前，必须使能计数器（TxCNTEN 位置 1）。突发模式通过 SHRTIM\_BMCTRL 寄存器中的 BMEN 位使能。

通过 SHRTIM\_BMCTRL 寄存器中的 BMOM 位，定时单元可在连续模式或单发模式下工作。BMOM = 1 时，使能连续模式。在 SHRTIM\_BMCTRL 中的 BMSTS 位复位终止突发工作之前，都会保持突发工作状态。

在单发模式下 (BMOM=0)，会执行一次空闲序列，随后会触发突发模式，之后会立即恢复正常定时器操作。

空闲周期和运行周期的持续时间通过突发模式计数器和 2 个寄存器定义。SHRTIM\_BMCMP 寄存器以计数定义所选定定时器处于空闲状态的持续时间（空闲周期）。SHRTIM\_BMPRD 定义总突发模式周期（空闲周期与运行周期之和）。触发初始突发模式后，空闲周期长度为 SHRTIM\_BMCMP+1，总突发周期为 SHRTIM\_BMPRD+1。

注：突发模式周期不得小于或等于通过 DTR[8:0] 和 DTF[8:0] 位域定义的死区持续时间。

突发模式工作期间，定时单元和主定时器的计数器可停止和复位。SHRTIM\_BMCTRL 保留了 6 个控制位来实现此目的：MBM（主定时器）和 TABM..TFBM（用于定时器 A..F）。

当 MBM 或 TxBM 位复位时，会保留计数器时钟。举例来说，这样可在多相位系统中保持与其他定时器的相位关系。

如果 MBM 或 TxBM 位已置 1，则在突发空闲周期期间，相应的计数器会停止，并会保持在复位状态下。这样便可使定时器在退出空闲状态时重新开始一个完整的周期。如果 SYNCOSRC[1:0] = 00 或 10（主定时器启动或定时器 A 启动时的同步输出），退出突发模式时，会在 SHRTIM\_SCOUT 输出上发送一个脉冲。

注：当均衡空闲模式激活时 (DP[1:0] = 0x11)，不得将 TxBM 位置 1。

注：当 TxBM 置位时，定时器 x 的计数器复位事件不能用于包括突发模式时钟源之内的其他用途。

### 17.3.16.1 突发模式时钟

突发模式控制器计数器可由多个时钟源提供时钟,具体通过 SHRTIM\_BMCTRL 寄存器中的 BMCK[3:0] 位来选择:

- BMCK[3:0] = 0000 到 0101: 主定时器和 TIMA..F 复位/ 翻转事件。这样可使突发模式空闲周期和运行周期与定时单元计数周期对齐 (均处于自由运行和计数器复位模式)。
- BMCK[3:0] = 0110 到 1001: 时钟由 shrtim\_bm\_ck[4:1]提供, 如下表所示。在这种情况下, 突发模式空闲周期和运行周期不必与定时单元计数周期对齐 (输出上的脉冲可能中断, 从而导致波形的占空比被修改)。
- BMCK[3:0] = 1010:  $f_{SHRTIM}$  时钟由通过 SHRTIM\_BMCTRL 寄存器中的 BMPSC[3:0] 位定义的系数进行预分频。在这种情况下, 突发模式空闲周期和运行周期不必与定时单元计数周期对齐 (输出上的脉冲可能中断, 从而导致波形的占空比被修改)。

表 17-28 来自通用定时器的突发模式时钟源

SHRTIM Burst mode trigger event/ clock signal	SHRTIM Burst mode trigger event/ clock signal ssignment
shrtim_bm_trg	btim1_trgo
shrtim_bm_ck1	gtim8_oc1
shrtim_bm_ck2	gtim9_oc1
shrtim_bm_ck3	gtim10_oc1
shrtim_bm_ck4	btim1_trgo

TIMxx OC 输出上的脉宽长度必须至少为 N 个  $f_{SHRTIM}$  时钟周期才能被 SHRTIM 突发模式控制器检测到。

### 17.3.16.2 突发模式触发

要触发突发模式工作, 可使用 32 个源, 这些源通过 SHRTIM\_BMTG 寄存器选择:

- 软件触发 (通过软件置 1, 通过硬件复位)
- 6 个主定时器事件: 重复、复位/ 翻转、比较 1 到 4
- 来自定时器 A..F 的 6 x 4 个事件: 重复、复位/ 翻转、比较 1 到 2
- shrtim\_exev7 (包括 TIMA 事件过滤) 和 shrtim\_exev8 (包括 TIMD 事件过滤)
- shrtim\_exev7 之后的定时器 A 周期 (包括 TIMA 事件过滤)
- shrtim\_exev8 之后的定时器 D 周期 (包括 TIMD 事件过滤)
- 来自其他通用定时器的片上事件 (shrtim\_bm\_trg 输入: 请参见表 17-4)

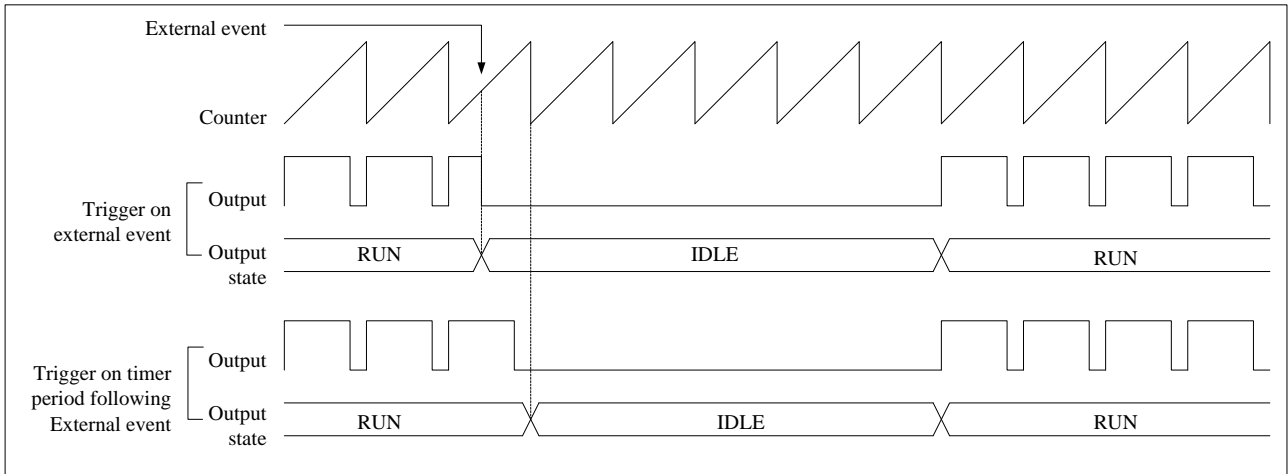
这些源可结合起来使用, 实现多源并发触发。

突发模式不可再次触发。在连续模式下, 突发模式终止之前, 会忽略新的触发; 而在单发模式下, 包含运行

周期的当前突发结束之前 (SHRTIM\_BMPRD+1 个周期), 会忽略触发。这一点同样适用于软件触发 (即使软件位已丢失, 也会通过硬件复位)。

图 17-59 显示了突发模式是如何响应外部事件而启动的 (立即启动, 或在事件后的定时器周期启动)。

图 17-59 发生外部事件时触发突发模式



对于 TAEXEV7 和 TDEXEV8 组合触发 (在外部事件后的定时器周期触发), 无论采用何种突发模式编程, 外部事件检测始终有效:

- 如果在外部事件与定时器周期事件之间突发模式已使能 (BMEN=1) 或触发已使能 (BMTGG 寄存器中的 TAEXEV7 或 TDEXEV8 位置 1), 则会触发突发模式。

注: TAEXEV7 和 TDEXEV8 触发仅在周期事件后有效。如果计数器在周期事件之前复位, 则会丢弃挂起的 shrtim\_exev7/8 事件。

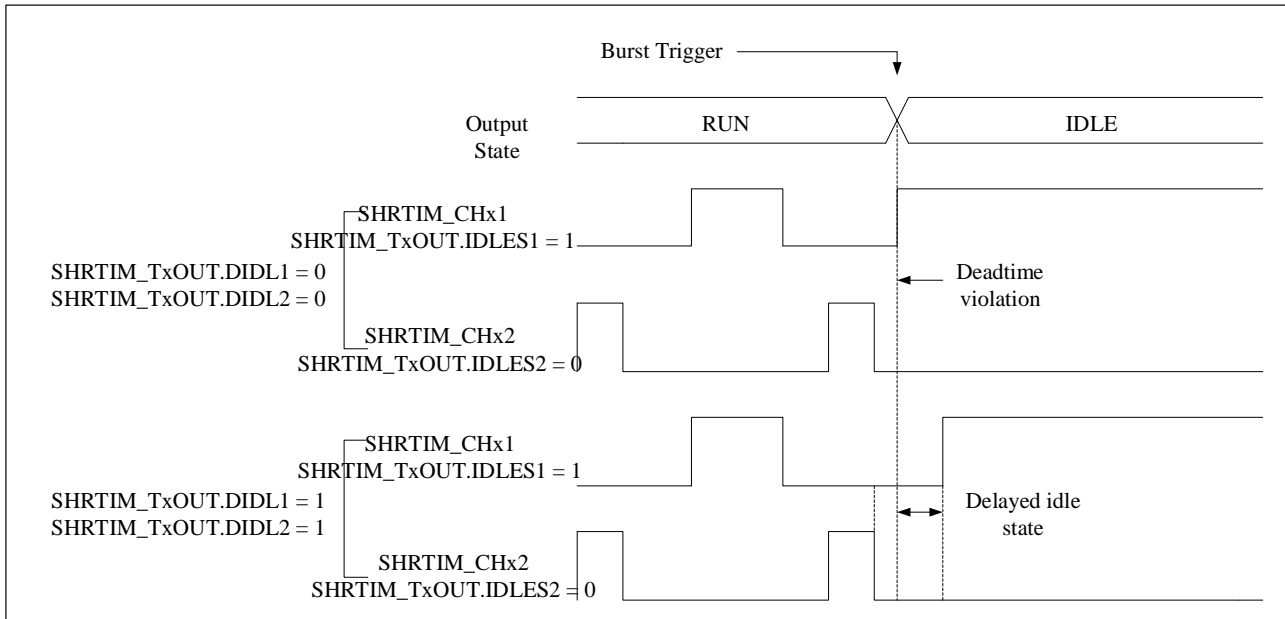
### 17.3.16.3 突发模式延迟进入

默认情况下, 输出将在突发模式触发后立即获取其空闲电平 (空闲电平取决于 IDLES1 和 IDLES2 设置)。

还可以延迟进入突发模式, 并在输出获取其空闲状态之前的可编程周期内将输出强制为无效状态。驱动两路互补输出 (其中一路输出具有有效空闲状态) 时, 可利用此特性避免超出死区, 如图 17-60 所示。这样可避免半桥中出现击穿电流的风险, 但会导致对突发模式进入的延迟响应。

图 17-60 使能死区且 IDLESx = 1 时的延迟突发模式进入





延迟突发进入模式通过 SHRTIM\_TxOUT 寄存器中的 DIDLx 位使能（每路输出一个使能位）。该模式会在输出获取其空闲状态之前强制插入死区。每路 TIMx 输出都有自己的死区值：

- DIDL1 = 1 时，为输出 1 上的 DTR[8:0]
- DIDL2 = 1 时，为输出 2 上的 DTF[8:0]

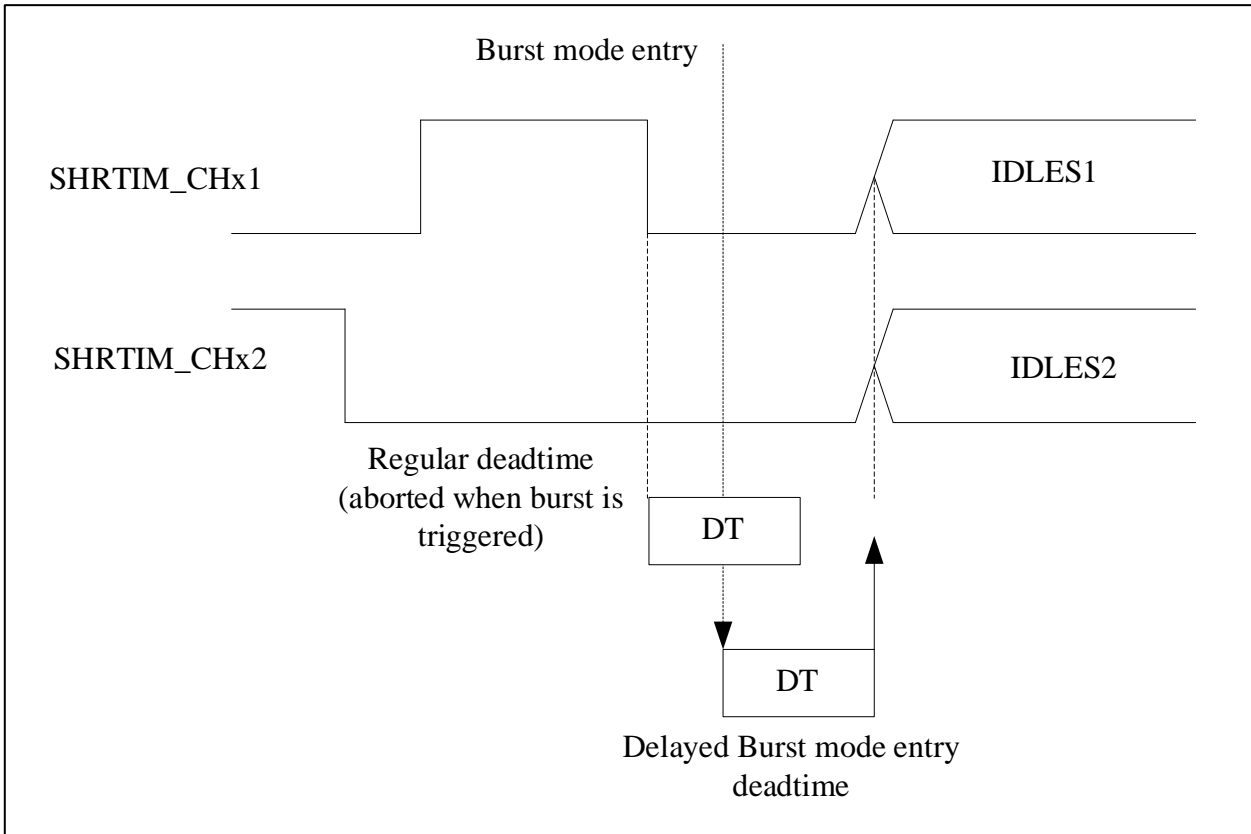
仅当其中一路输出在突发模式期间具有有效空闲电平 (IDLES=1)、且使用的死区为正值 (SDTR/SDTF 设为 0) 时，才可将 DIDLx 位置 1。

*注：延迟突发进入模式使用死区发生器资源。因此，如果 2 个 DIDLx 位中有任何一位置 1，且相应的定时单元使用死区插入 (SHRTIM\_TxOUT 中的 DTEN 位置 1)，则无法将 timerx 输出 2 用作外部事件过滤器 (Tx2 过滤信号不可用)。*

如果由 DTR[8:0] 和 DTF[8:0] 定义的持续时间小于 3 个 f<sub>SHRTIM</sub> 时钟循环周期，与窄脉冲管理相关的限制必须被应用，见 17.3.7 置位/ 复位事件优先级和窄脉冲管理。

如果突发模式进入在常规死区内到达，死区会中止，并会重新开始新的对应于无效周期的死区，如图 17-61 所示。

图 17-61 死区内的延迟突发模式进入



### 17.3.16.4 突发模式退出

突发模式退出通过软件强制进行（连续模式下），或在经过空闲周期后进行（单发模式下）。两种情况下，计数器都会立即重启（如果计数器通过 MBM 或 TxBM 位 = 1 保持在复位状态），但输出状态仅会在编程的置位/复位事件后才会从空闲模式有效跳变为工作模式。

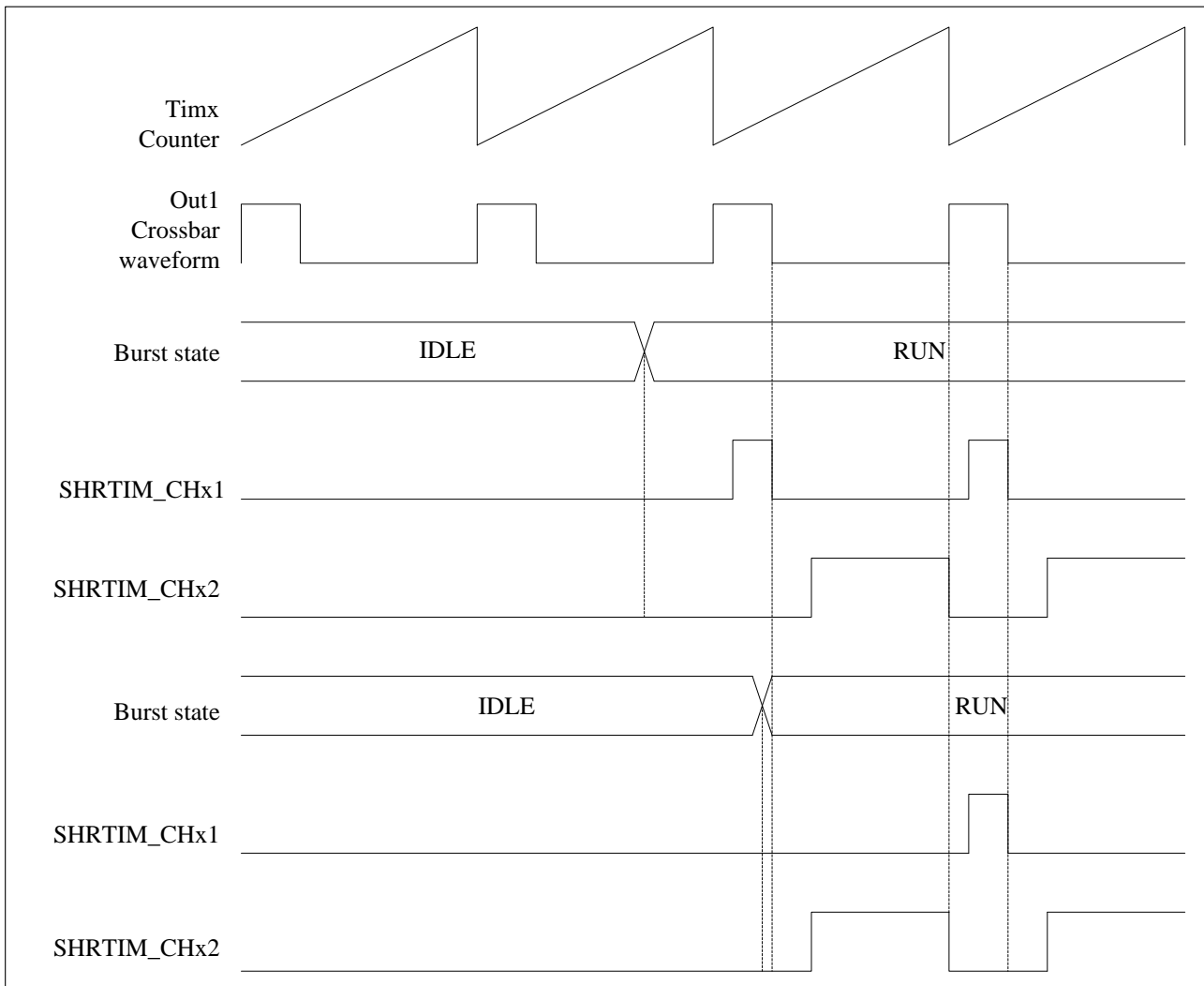
如果 SHRTIM\_INTEN 寄存器中的 BmprDIEN 使能位置 1，则会在单发模式和连续模式下生成突发周期中断。该中断可用于在连续突发模式下将突发模式退出与突发周期进行同步。

图 17-62 显示了死区使能后是如何恢复正常工作的。虽然突发模式退出是立即进行的，但仅对任何互补输出上的第一个置位事件有效。

图中显示了两种不同情况：

- 纵横开关输出波形上的信号无效时，突发模式结束。Tx1 输出上发生置位事件时会恢复 Tx1 和 Tx2 的有效状态，Tx2 输出不会在退出突发模式时获取互补电平。
- 突发模式在纵横开关输出波形有效时结束：Tx2 输出上发生置位事件时会恢复工作，Tx1 不会在退出突发模式时立即获取有效电平。

图 17-62 死区发生器使能时的突发模式退出



如果使能了推挽模式，上述行为会略有不同。如果输出无效，推挽模式会在周期开始时强制进行输出复位，如果前一周期内输出为高电平，则会对称地将输出强设置为有效电平。

因此，即使未明确编程跳变，也可在退出突发模式时复位空闲状态有效的输出。出于对称性的原因，即使未明确编程跳变，只要输出进入空闲状态时为有效电平，即可在退出突发模式时将输出置 1。

### 17.3.16.5 突发模式寄存器预装载和更新

BMPLEN 位（突发模式预装载使能）可进行突发模式比较并预装载周期寄存器（SHRTIM\_BMCMP 和 SHRTIM\_BMPRD）。

当 BMPLEN 置 1 时，预装载寄存器的内容会传输到活动寄存器：

- 突发模式使能时 (BMEN = 1)
- 突发模式周期结束时

如果对 SHRTIM\_BMPRD 周期寄存器进行写操作，则会暂时禁止更新，直到向 SHRTIM\_BMCMP 比较寄存器进行写操作为止，这样可确保两个寄存器在进行修改时是一致的。

如果只需要更改比较寄存器，则只需要进行一次写操作。如果只需要更改周期，还需要重新写入比较寄存器，以便将新值纳入考虑范围。

BMPLEN 位复位时,对 BMCMPR 和 BMPRD 进行写访问会直接更新活动寄存器。此时,对于以下 2 种情况,需要考虑何时在总突发周期内进行更新:

- 比较寄存器更新

如果新的比较值大于当前突发模式计数器值,则会在当前周期内考虑新的比较值。

如果新的比较值小于当前突发模式计数器值,在连续模式下,会在下一个周期内考虑新的比较值;在单发模式下,则会忽略新的比较值(不会出现比较匹配的情况,并将持续处于空闲状态,直至空闲周期结束)。

- 周期寄存器更新

如果新的周期值大于当前突发模式计数器值,则会在当前周期内考虑此更改。

*注:如果新的周期值小于当前突发模式计数器值,则不会考虑新的周期值,突发模式计数器将溢出(达到 0xFFFF 时溢出),更改将在下一周期生效。在单发模式下,计数器将在达到 0xFFFF 时翻转,突发模式将重新启动并再持续一个周期,直到达到新的编程值。*

### 17.3.16.6 通过复合寄存器进行突发模式仿真

突发模式控制器仅会控制单个转换器的一个定时器或一组定时器。需要为多个独立定时器使用突发模式时,可以使用 DMA 和 SHRTIM\_TxRCMP1DAT 复合寄存器仿真简单的突发模式控制器,复合寄存器会保存重复寄存器和比较 1 寄存器的别名。

此方法适用于仅需要使用简单 PWM 来更新占空比的转换器(通常是降压转换器)。在这种情况下,使用 CMP1 寄存器复位输出(并定义占空比),CMPx(x=2~4)置位, burst idle 期间 CMP1 的值与 CMP2 的值相同(复位优先级高于置位,输出保持复位)。

*注:计数器等于 0 到 CMPx 的时间要大于 DMA 搬运的时间(没有仲裁情况下 DMA 搬运需要 5~6 个 tHCLK)*

此时,对 SHRTIM\_TxRCMP1DAT 进行一次 32 位写访问便足以定义占空比(使用 CMP1 值)以及保持该占空比的周期数(使用重复值)。要实现突发模式,只需要在连续模式下通过 DMA(在发生重复事件时)传输两个 32 位数据,数据结构如下:

SHRTIM\_TxRCMP1DAT = {REPT\_Run; CMP1 = Duty\_Cycle}, {REPT\_Idle; CMP1 = CMPx}

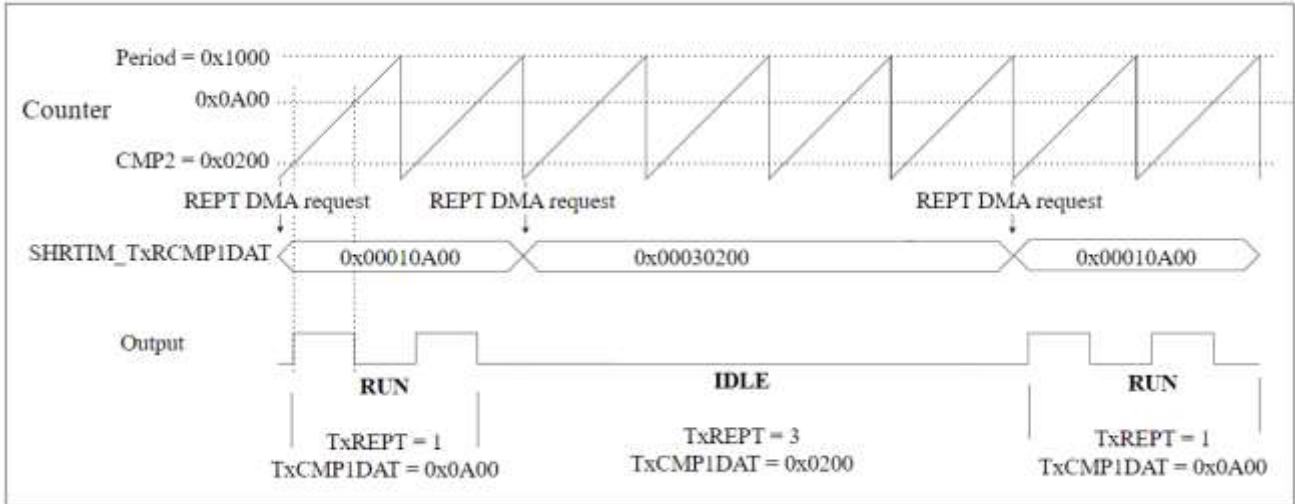
举例来说,周期值 0x1000, CMP2 = 0x0200 置位, CMP1 复位。SHRTIM\_TxRCMP1DAT 的数值:

{0x0003 0200}: CMP1 = 0x0200, 输出 0%占空比,持续 4 个周期

{0x0001 0A00}: CMP1 = 0x0A00, 持续 50%占空比,持续 2 个周期

DMA 搬运 (0x00030200, 0x00010A00), DMA 搬运 0x00030200, CMP1=0x0200 与 CMP2 的 0x0200 值相等,复位优先级大于置位,输出保持复位,重复计数器值为 3,输出保持 4 个周期的 0%占空比;然后 DMA 搬运 0x00010A00, CMP2 =0x0200 置位, CMP1 = 0x0A00 时复位,输出 50%占空比,重复计数器值为 1,输出保持 2 个周期的 50%占空比的波形。如下图所示:

图 17-63 突发模式仿真示例

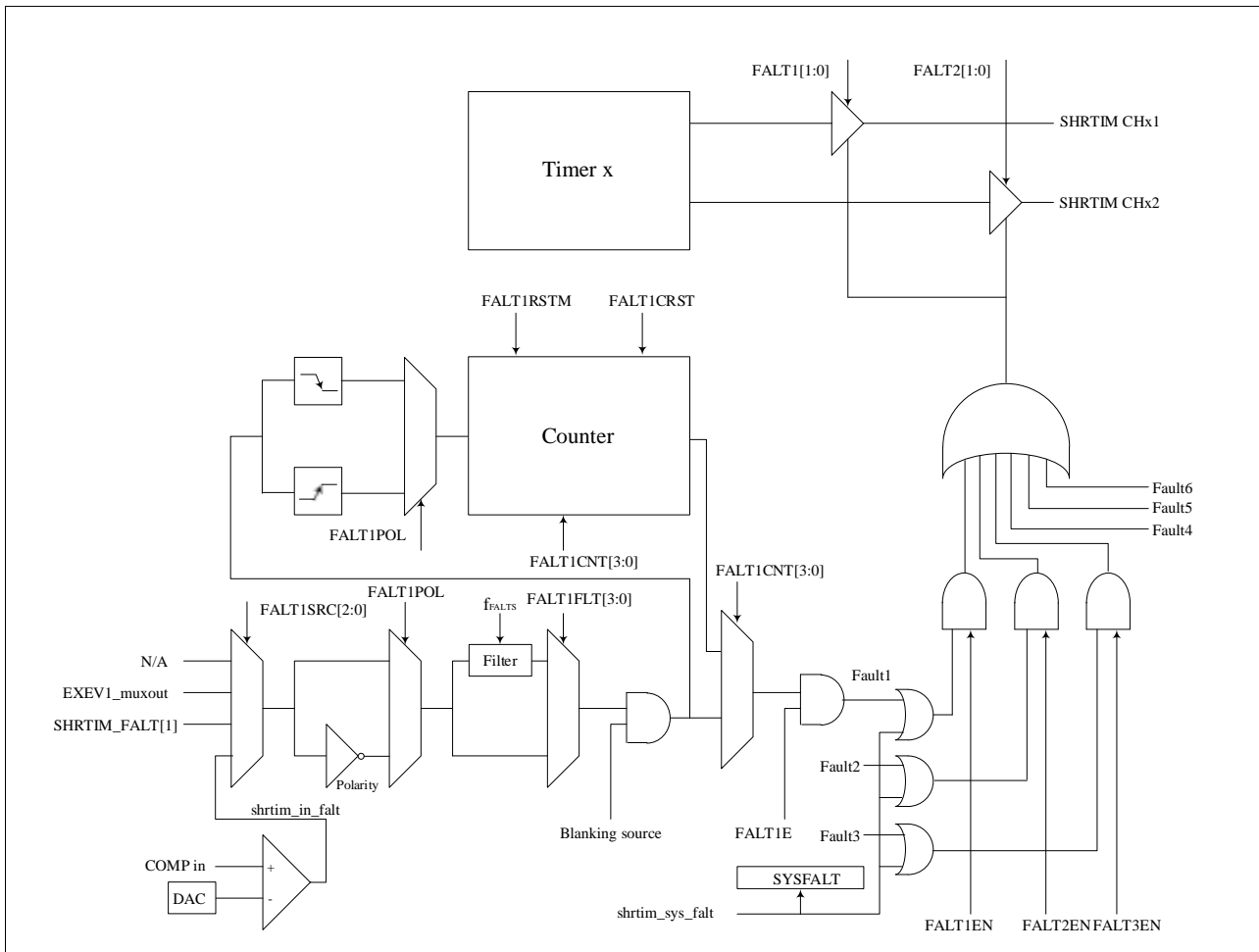


### 17.3.17 故障保护

SHRTIMER 具有通用的故障保护电路，可在发生异常操作时禁止输出。一旦触发故障，输出便会进入预定义的安全状态。输出通过软件重新使能之前，都会保持此状态。如果是永久故障请求，即使软件尝试重新使能输出，输出也将保持其故障状态，直至故障源消失。

SHRTIM 具有 6 个 FAULT 输入通道；所有通道均可用，并可结合起来用于 6 个定时单元中的每一个，如图 17-64 所示。

图 17-64 故障保护电路（完全显示了 FAULT1，部分显示了 FAULT2..6）



在连接到定时单元之前，每条故障通道均可完全通过 SHRTIM\_FALTIN1 和 SHRTIM\_FALTIN2 寄存器进行配置。FALTxSRC[1:0] 位用于选择故障信号源，可以是数字输入或内部事件（内置比较器输出）。

总结了可用于 6 个故障通道的源：

表 17-29 故障输入

SHRTIM Fault channel	SHRTIM External Input FALTxSRC[1:0] = 00	On-chip source FALTxSRC[1:0] = 01 <sup>(1)</sup>	External Input FALTxSRC[1:0] = 10	On-chip source FALTxSRC[1:0] = 11
shrtimx_fault1[4:1]	SHRTIMx_FALT1	comp_x_out(1~4)	EXEV1_muxout	DSMU_brk[0]
shrtimx_fault2[4:1]	SHRTIMx_FALT2	comp_x_out(1~4)	EXEV2_muxout	DSMU_brk[1]
shrtimx_fault3[4:1]	SHRTIMx_FALT3	comp_x_out(1~4)	EXEV3_muxout	DSMU_brk[2]
shrtimx_fault4[4:1]	SHRTIMx_FALT4	comp_x_out(1~4)	EXEV4_muxout	DSMU_brk[3]
shrtimx_fault5[4:1]	SHRTIMx_FALT5	comp_x_out(1~4)	EXEV5_muxout	DSMU_brk[0]
shrtimx_fault6[4:1]	SHRTIMx_FALT6	comp_x_out(1~4)	EXEV6_muxout	DSMU_brk[1]

1. comp\_x\_out 可以映射到任意一个比较器

软件故障触发只需要配置 SHRTIM\_SFTFALT 中的 SFTFALTx，选择对哪个故障通道进行软件触发。

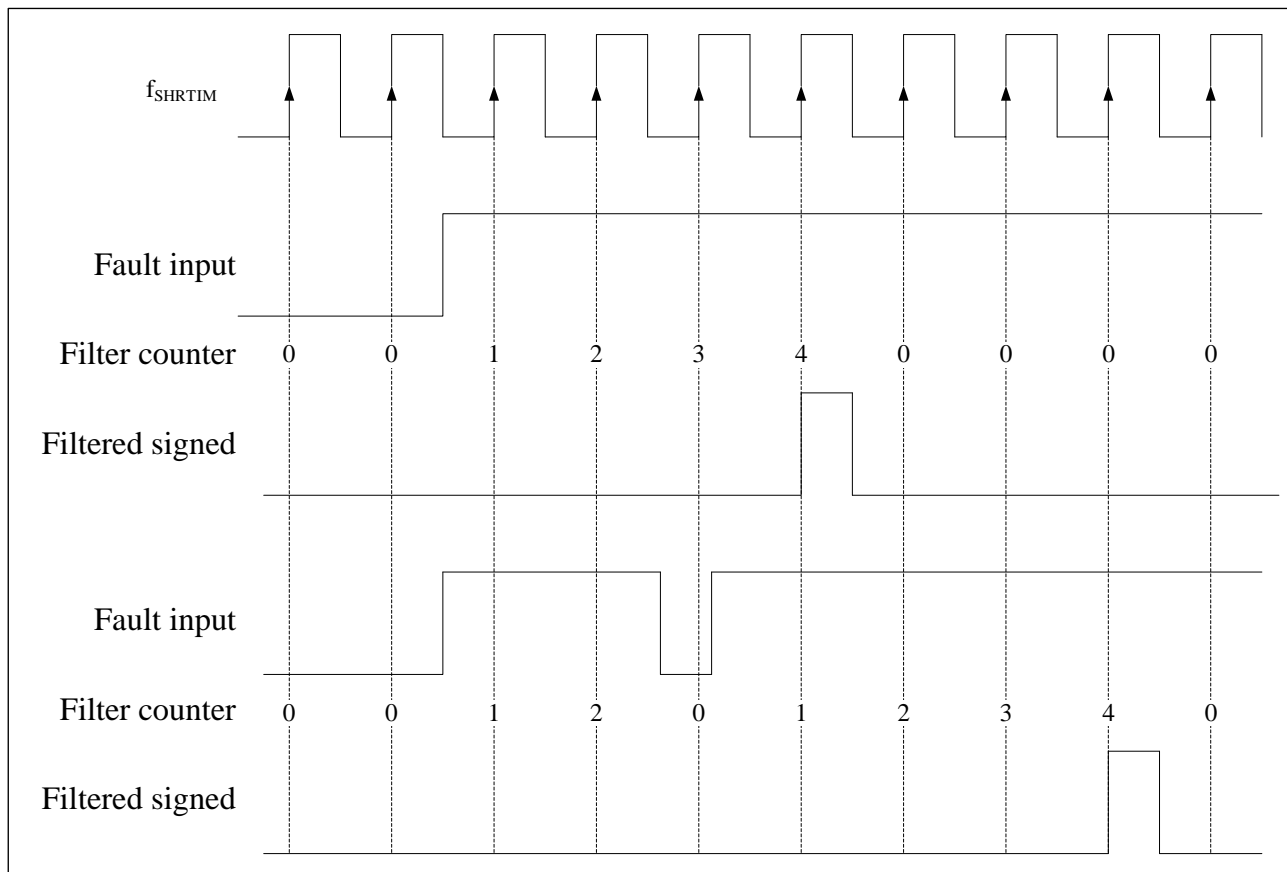
上面表 17-29 中提到的 EXEVx\_muxout 事件是在由 EXEVxSRC[1:0]位控制的 shrtim\_exevx[5:1]输入多路复用器之后取得的。具体细节请参考图 17-36。

可通过 SHRTIM\_FALTINx 寄存器中的极性位选择信号的极性，以定义有效电平。如果 FALTxPOL=0，信

号低电平有效；如果  $FALTxPOL = 1$ ，信号高电平有效。

可在极性设置后过滤故障信息。如果  $FALTxFLT[3:0]$  位域设为 0000，则不会对信号进行过滤，信号将独立于  $f_{SHRTIM}$  时钟异步操作。对于所有其他  $FALTxFLT[3:0]$  位域值，会对信号进行数字过滤。数字滤波器由计数器组成，需要使用  $N$  个有效样本来验证输出跳变。如果输入值在计数器达到  $N$  值之前发生变化，计数器会复位，跳变会被丢弃（视为伪事件）。如果计数器达到  $N$ ，跳变被视为有效，并会作为正确的外部事件进行传输。因此，数字滤波器会向正在进行滤波的外部事件添加延迟，延迟时长视采样时钟和滤波器长度（预期的有效样本数）而定。图 17-65 显示了伪故障信号的过滤方式。

图 17-65 故障信号过滤 ( $FALTxFLT[3:0]=0010$ :  $f_{SAMPLING} = f_{SHRTIM}$ ,  $N = 4$ )



过滤周期从 2 个  $f_{SHRTIM}$  时钟周期到 8 个 32 分频的  $f_{FALTS}$  时钟周期。 $f_{FALTS}$  通过  $SHRTIM\_FALTIN2$  寄存器中的  $FALTSCD[1:0]$  位定义。总结了采样速率和滤波器长度。必须将滤波器长度减去 1 个采样时钟周期的抖动，以考虑因采样造成的不确定性，从而实现有效过滤。

表 17-30 采样速率和滤波器长度与  $FALTxFLT[3:0]$  和时钟设置的关系

-	$f_{FALTS}$ Vs $FALTSCD [1:0]$				Filter length when $f_{SHRTIM} = 312.5$ MHz	
	00	01	10	11	Min	Max
0001,0010,0011	$f_{SHRTIM}$	$f_{SHRTIM}$	$f_{SHRTIM}$	$f_{SHRTIM}$	$f_{SHRTIM}$ , $N = 2$ 6.4 ns	$f_{SHRTIM}$ , $N = 8$ 25.6 ns
0100, 0101	$f_{SHRTIM} / 2$	$f_{SHRTIM} / 4$	$f_{SHRTIM} / 8$	$f_{SHRTIM} / 16$	$f_{SHRTIM} / 2$ , $N = 6$ 38.4 ns	$f_{SHRTIM} / 16$ , $N = 8$ 409.6 ns

0110, 0111	$f_{SHRTIM} / 4$	$f_{SHRTIM} / 8$	$f_{SHRTIM} / 16$	$f_{SHRTIM} / 32$	$f_{SHRTIM} / 4, N = 6$ 76.8 ns	$f_{SHRTIM} / 32, N = 8$ 409.6 ns
1000, 1001	$f_{SHRTIM} / 8$	$f_{SHRTIM} / 16$	$f_{SHRTIM} / 32$	$f_{SHRTIM} / 64$	$f_{SHRTIM} / 8, N = 6$ 153.6 ns	$f_{SHRTIM} / 64, N = 8$ 1.984 $\mu$ s
1010, 1011, 1100	$f_{SHRTIM} / 16$	$f_{SHRTIM} / 32$	$f_{SHRTIM} / 64$	$f_{SHRTIM} / 128$	$f_{SHRTIM} / 16, N = 5$ 256 ns	$f_{SHRTIM} / 128, N = 8$ 8 3.968 $\mu$ s
1101, 1110, 1111	$f_{SHRTIM} / 32$	$f_{SHRTIM} / 64$	$f_{SHRTIM} / 128$	$f_{SHRTIM} / 256$	$f_{SHRTIM} / 32, N = 5$ 512 ns	$f_{SHRTIM} / 256, N = 8$ 8 7.936 $\mu$ s

### 故障消隐和事件计数

故障输入可以被临时禁用以屏蔽假故障事件。下表列出了故障消隐的来源。

表 17-31 故障输入消隐事件

-	FALTxBLKS = 0, reset-aligned window		FALTxBLKS = 1 moving window	
	Blanking window start	Blanking window end	Blanking window start	Blanking window end
shrtim_fault1[4:1]	Timer A reset/roll-over	Timer A CMP3 event	Timer A CMP4 event	Timer A CMP3 event
shrtim_fault2[4:1]	Timer B reset/roll-over	Timer B CMP3 event	Timer B CMP4 event	Timer B CMP3 event
shrtim_fault3[4:1]	Timer C reset/roll-over	Timer C CMP3 event	Timer C CMP4 event	Timer C CMP3 event
shrtim_fault4[4:1]	Timer D reset/roll-over	Timer D CMP3 event	Timer D CMP4 event	Timer D CMP3 event
shrtim_fault5[4:1]	Timer E reset/roll-over	Timer E CMP3 event	Timer E CMP4 event	Timer E CMP3 event
shrtim_fault6[4:1]	Timer F reset/roll-over	Timer F CMP3 event	Timer F CMP4 event	Timer F CMP3 event

故障计数器还允许忽略多个假故障事件，并定义接受标准。

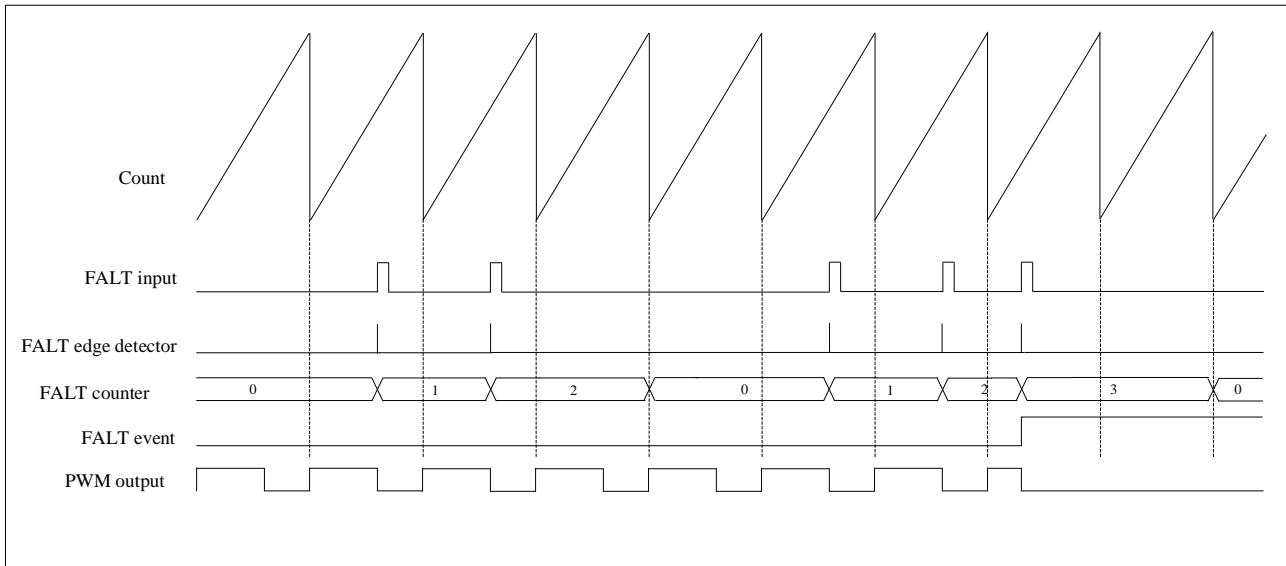
FALTxCNT[3:0] 位域选择 FAULTx 计数器的阈值。当事件数量等于 FALTxCNT[3:0] 值时，故障被认为是有效的。FALTxRSTM 选择 FAULTx 计数器的复位模式

- 0: 故障计数器在复位/翻转事件时硬件复位，如表 17-32 所示。
- 1: 故障计数器仅在每个复位/翻转事件时复位，如果在上一个计数周期内没有事件发生，如图 17-65 所示。

故障计数器可以随时通过软件使用 FALTxCRST 位进行复位。

图 17-66 故障计数器累积模式 (FALTxRSTM = 1, FALTxCNT[3:0] = 2)





特定的 FALT<sub>x</sub> 输入计数器可以由单一源复位。下表指示与给定故障相关联的定时器单元。这并不妨碍多个定时器共享一个故障线（例如，带有事件计数器启用的 FALT1，同时作用于定时器 A、定时器 B 和定时器 C）。

表 17-32 故障 1.6 计数器复位源

Fault input	Fault counter reset source
shrtim_fault1[4:1]	Timer A reset/roll-over
shrtim_fault2[4:1]	Timer B reset/roll-over
shrtim_fault3[4:1]	Timer C reset/roll-over
shrtim_fault4[4:1]	Timer D reset/roll-over
shrtim_fault5[4:1]	Timer E reset/roll-over
shrtim_fault6[4:1]	Timer F reset/roll-over

这些功能为 SHRTIM 提供了灵活的故障管理能力，可以根据特定的应用需求适应性

### 系统故障输入 (shrtim\_sys\_ft)

来自以下源的系统故障：

- 时钟安全系统
- SRAM ECC（纠一检二，即检测到两个 bit 的错误会发出错误信号）
- SRAM 奇偶校验器
- Core lockup 信号
- PVD 检测器
- SHRTPLL 失锁

此输入会覆盖 FAULT 输入，并禁止所有 FAULT<sub>y</sub>[1:0] = 01、10、11 的输出。

对于每条 FAULT 通道，可通过 SHRTIM\_TxFALT 寄存器中仅可写入一次的 FALT<sub>x</sub>LCK 位锁定 FALT<sub>x</sub>E、FALT<sub>x</sub>POL、FALT<sub>x</sub>SRC、FALT<sub>x</sub>FLT[3:0] 位（使其成为只读位），以实现功能安全。使能后，故障调节设置会冻结，直到下一次 SHRTIM 复位或系统复位。

按上述方法对故障信号进行调节后,信号会发送到定时单元。对于任一定时单元,都会使用 SHRTIM\_TxFALT 寄存器中的 FALT1EN 到 FALT6EN 位使能 6 条故障通道,并且可同时选择 6 条通道(只要输出受故障机制保护,便会自动使能 sysfault)。这样便可实现:

- 一条故障通道同时禁止多个定时单元
- 多条故障通道进行或运算来禁止单个定时单元

SHRTIM\_TxFALT 寄存器中仅可写入一次的 FALTLOCK 位可在下一次复位之前锁定 FALTxEN 位(使其成为只读位),以实现功能安全。使能后,定时单元故障相关设置会冻结,直到下一次 SHRTIM 复位或系统复位。

对于每个定时器,故障期间的输出状态是通过 SHRTIM\_TxOUT 寄存器中的 FALT1[1:0] 和 FALT2[1:0] 位定义的(请参见章节 17.3.14)。

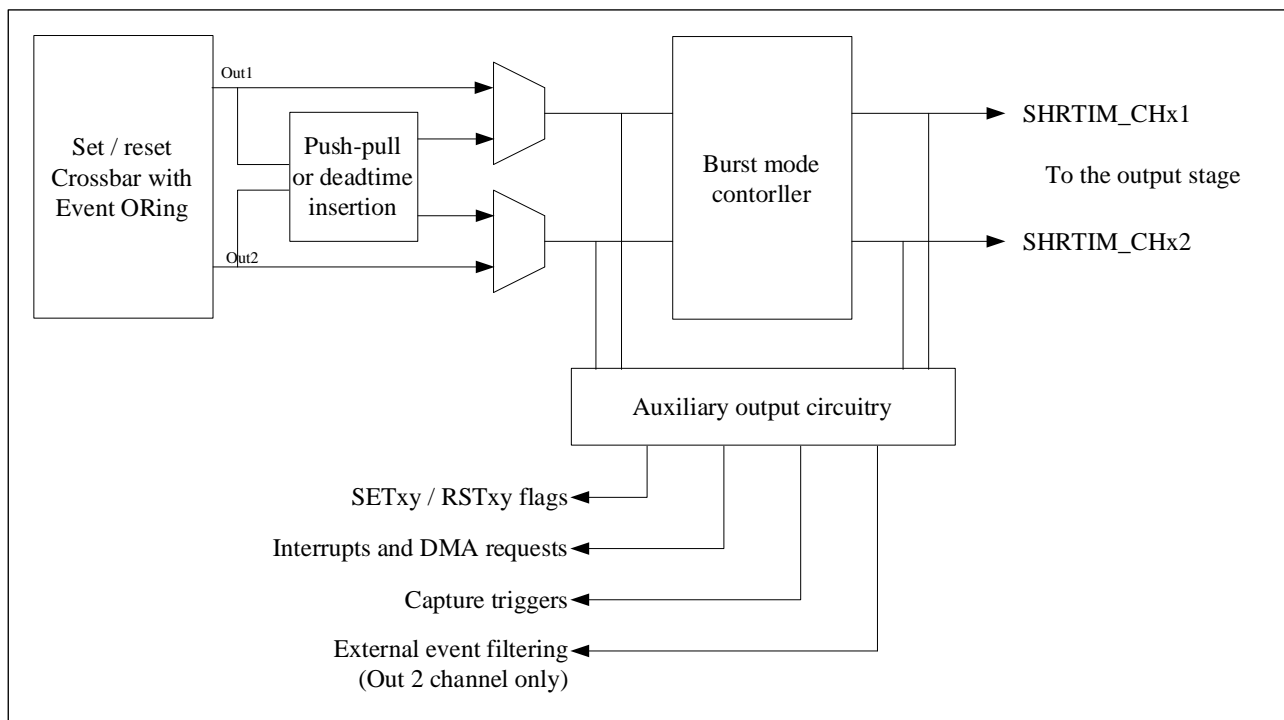
### 17.3.18 辅助输出

定时器 A 和 F 所具有的辅助输出与进入输出级的常规输出并行工作。辅助输出可提供以下内部状态、事件和信号:

- SETyITF 和 RSTyITF 状态标志,以及相应的中断和 DMA 请求
- 输出置位/复位后的捕获触发事件
- Tx2 输出复制后的外部事件过滤信号(有关详细信息,请参见章节 17.3.9)

辅助输出会在突发模式控制器之前或之后获取,具体视 SHRTIM 工作模式而定。图 17-67 给出了概览。

图 17-67 辅助输出



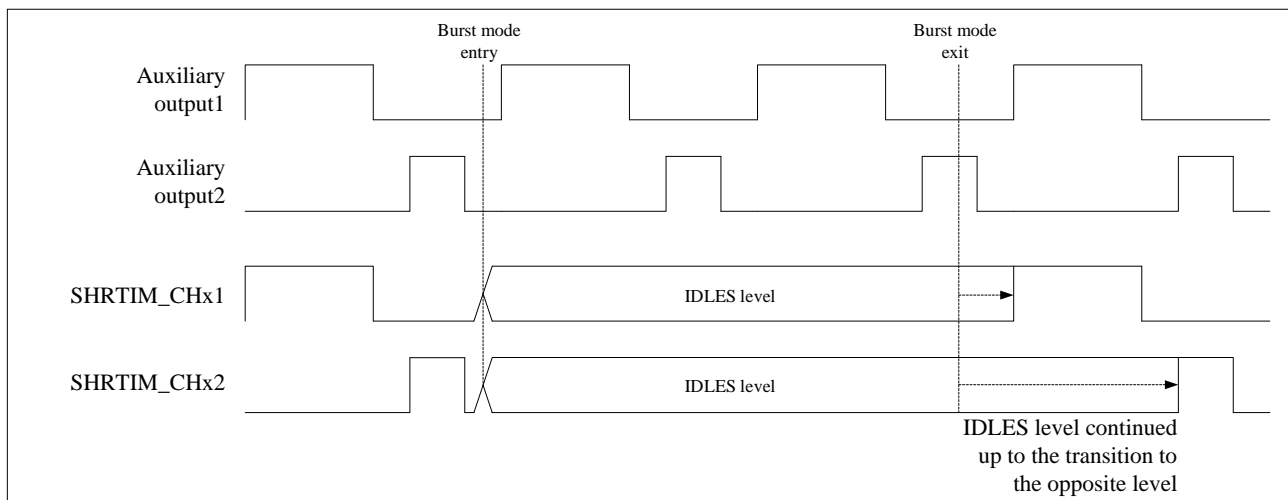
默认情况下,辅助输出是输出 Tx1 和 Tx2 的副本。例外情况包括:

- 禁止死区时 (DTEN = 0) 的延迟空闲和均衡空闲保护。触发保护后,辅助输出会保持不变,并会遵循纵

横开关发出的信号。相反，如果使能了死区 (DTEN = 1)，主输出和辅助输出都会强制设为无效电平。

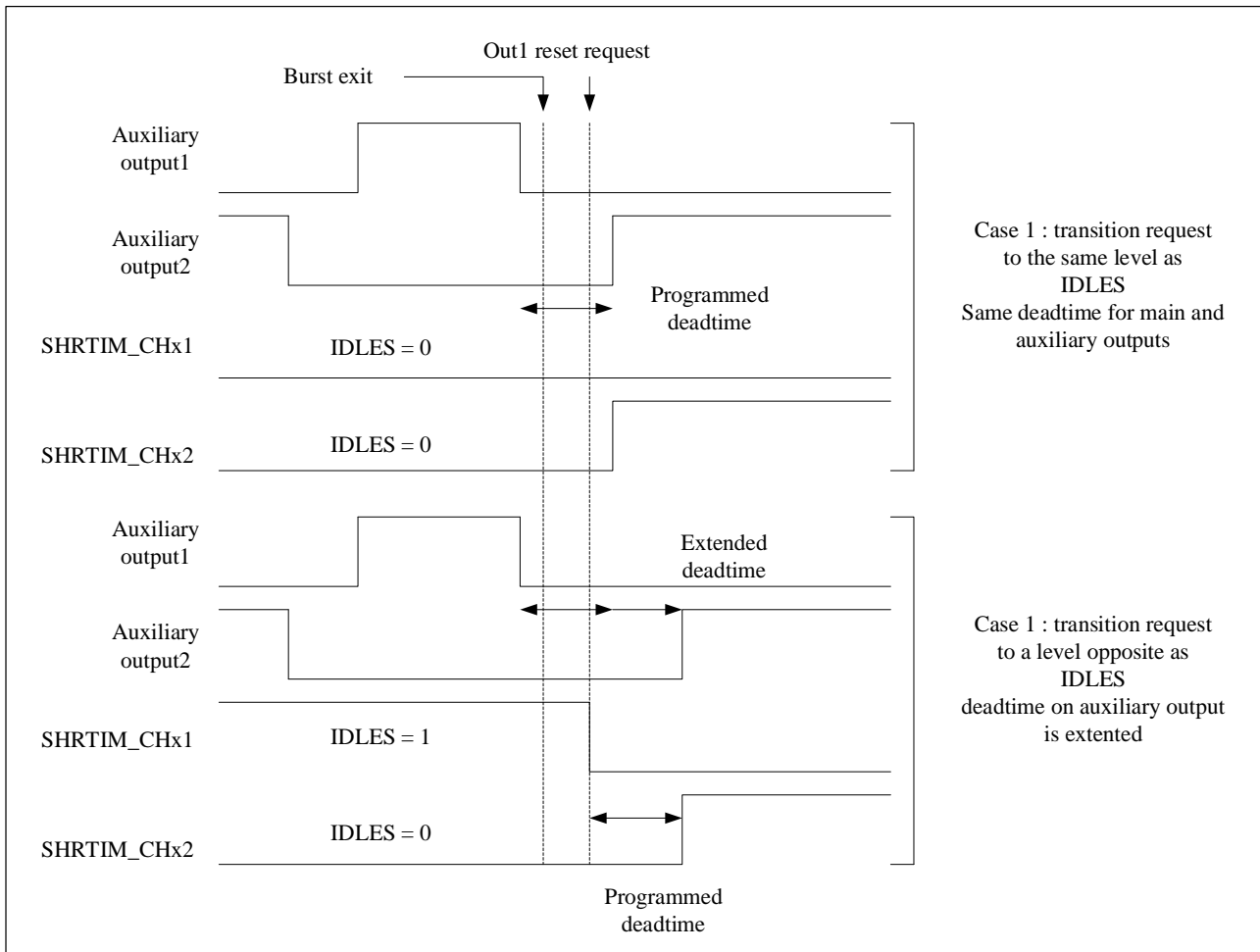
- 突发模式：有两种情况：
  - 如果 DTEN=0 或 DIDLx=0，辅助输出将不受突发模式进入的影响，而会继续遵循纵横开关发出的参考信号（请参见图 17-68）。
  - 如果同时使能了死区 (DTEN=1) 和延迟突发模式进入 (DIDLx=1)，则辅助输出与主输出的行为相同。它们会在死区持续时间结束后强制设为 IDLES 电平，随后会在所有突发周期内保持这一电平。突发模式终止后，会保持 IDLES 电平，直至跳变到相反电平（与主输出相似）。

图 17-68 突发模式期间的辅助输出和主输出 (DIDLx = 0)



如果在死区内发生从突发模式退出或者在延迟保护后重新使能输出，则辅助输出上的信号会略有失真。这种情况下，应用到辅助输出的死区会延长，以便能够符合主输出上的死区要求。如下图给出了一些例子。

图 17-69 退出突发模式时辅助输出上的死区失真



### 17.3.19 将 SHRTIM 与其他定时器或 SHRTIM 实例同步

SHRTIM 可作为主单元（生成同步信号）或从单元（等待触发被同步）来同步多个 SHRTIM 实例。此功能也可用于将 SHRTIM 与其他外部或片上定时器进行同步。同步电路在主定时器内进行控制。

#### 17.3.19.1 同步输出

本节介绍了必须对 SHRTIM 进行何种配置才能同步外部资源并充当主定时器单元。可选择四种事件作为要发送到同步输出的源，方法是使用 SHRTIM\_MCTRL 寄存器中的 SYNCOSRC[1:0] 位。具体如下：

- 00: 主定时器启动

当 MCNTEN 位置 1，或者定时器在单发模式下达到周期值后重新启动时，会生成该事件。如果计数期间发生复位（CONT 或 RTG 位置 1），也会生成该事件。

- 01: 主定时器比较 1 事件

- 10: 定时器 A 启动

当 TACNTEN 位置 1，或者计数器复位并重新开始计数（响应此次复位）时，会生成该事件。以下计数器复位事件不会传播到同步输出：连续模式下的计数器翻转、单发不可再触发模式下被丢弃的复位请求。仅当计数期间发生复位时（CONT 或 RTG 位置 1），才会考虑复位。

- 11: 定时器 A 比较 1 事件

SHRTIM\_SYNCOUT 寄存器中的 SYNCOUTPUS[1:0] 位指定了同步事件的生成方式。

如果 SYNCOUTPUS[1:0] = 1x, 则会在 shrtim\_out\_syncx 上生成同步脉冲, shrtim\_out\_sync1 送到外部引脚, 即 SHRTIM\_SCOUT pin, shrtim\_out\_sync2 送到芯片内部外设。

SYNCOUTPUS [0] 位指定了同步信号的极性。如果 SYNCOUTPUS [0]=0, shrtim\_out\_syncx 具有低空闲电平, 并会发出长度为 16 个  $f_{SHRTIM}$  时钟周期的正脉冲进行同步。如果 SYNCOUTPUS [0] = 1, 空闲电平为高电平, 并会生成负脉冲。

*注: 同步脉冲后会有 16 个  $f_{SHRTIM}$  时钟周期的空闲电平, 在此期间, 会丢弃任何新的同步请求。因此, 最大同步频率为  $f_{SHRTIM}/32$ 。*

SYNCOUTPUS [1:0] 位使能后 (也就是位域值不是 00 后), 会立即在 shrtim\_out\_sync2 和 SHRTIM\_SCOUT 引脚上施加空闲电平。

必须在配置 MCU 输出和计数器使能之前执行同步输出初始化步骤, 具体执行步骤如下:

1. 配置 SHRTIM\_SYNCOUT 中的 SYNCOUTPUS [1:0] 和 SHRTIM\_MCTRL 中的 SYNCOSRC [1:0] 位域
2. 配置 SHRTIM\_SCOUT 引脚 (请参见 GPIO 和 AFIO 章节) 或 shrtim\_out\_sync2 连接到的内部外设
3. 使能主定时器或定时器 A 计数器 (MCNTEN 或 TACNTEN 位置 1)

使能同步输入模式并同时启动计数器 (使用 SYNCSTRT/SYNCRST 位) 和同步输出模式 (SYNCOSRC[1:0] = 00 或 10) 后, 仅当计数器将在运行时启动或复位时, 才会生成输出脉冲。如果复位请求将计数器清零而不启动计数器, 则不会影响同步输出。

### 17.3.19.2 同步输入

SHRTIM 可通过外部源进行同步, 具体通过对 SHRTIM\_MCTRL 寄存器中的 SYNCIN[1:0] 位进行编程来实现:

- 000: 禁止同步输入
- 001: shrtim\_in\_sync[0]输入 (连接至片上定时器的 TRGO 输出, 参见表 17-1)
- 010: shrtim\_in\_sync[1]输入 (连接至片上定时器的 TRGO 输出, 参见表 17-1)
- 011: shrtim\_in\_sync[2]输入 (连接至片上定时器的 TRGO 输出, 参见表 17-1)
- 100: SHRTIM\_SCIN 输入引脚上的正脉冲
- 101: 来自另一个 SHRTIM 的同步输出 (shrtimx\_out\_sync2)

目标定时器 (主定时器或定时单元) 使能后 (MCNTEN 和/ 或 TxCNTEN 位置 1), 不能更改此位域。

SHRTIM\_SCIN 输入为上升沿有效。定时器行为是通过 SHRTIM\_MCTRL 和 SHRTIM\_TxCTRL 寄存器中的下列位定义的 (有关详细信息, 请参见表 17-33):

- 同步启动: 传入信号会启动定时器的计数器 (SYNCSTRT 位置 1)。TxCNTEN (MCNTEN) 位必须置 1 才能使能定时器并使计数器准备好启动。在连续模式下, 计数器在收到同步信号之前不会启动。
- 同步复位: 传入信号会复位计数器 (SYNCRST 位置 1)。该事件会像其他任何复位事件一样使重复计数器递减。

仅当相关计数器使能后 (MCNTEN 或 TxCNTEN 位置 1), 才会考虑同步事件。同步请求会触发 SYNC 中

断。

注：如果当前计数器值大于有效周期值，同步启动事件会复位计数器。

同步事件的作用取决于定时器工作模式，请参见表 17-33 中总结的内容。

表 17-33 同步事件的作用与定时器工作模式之间的关系

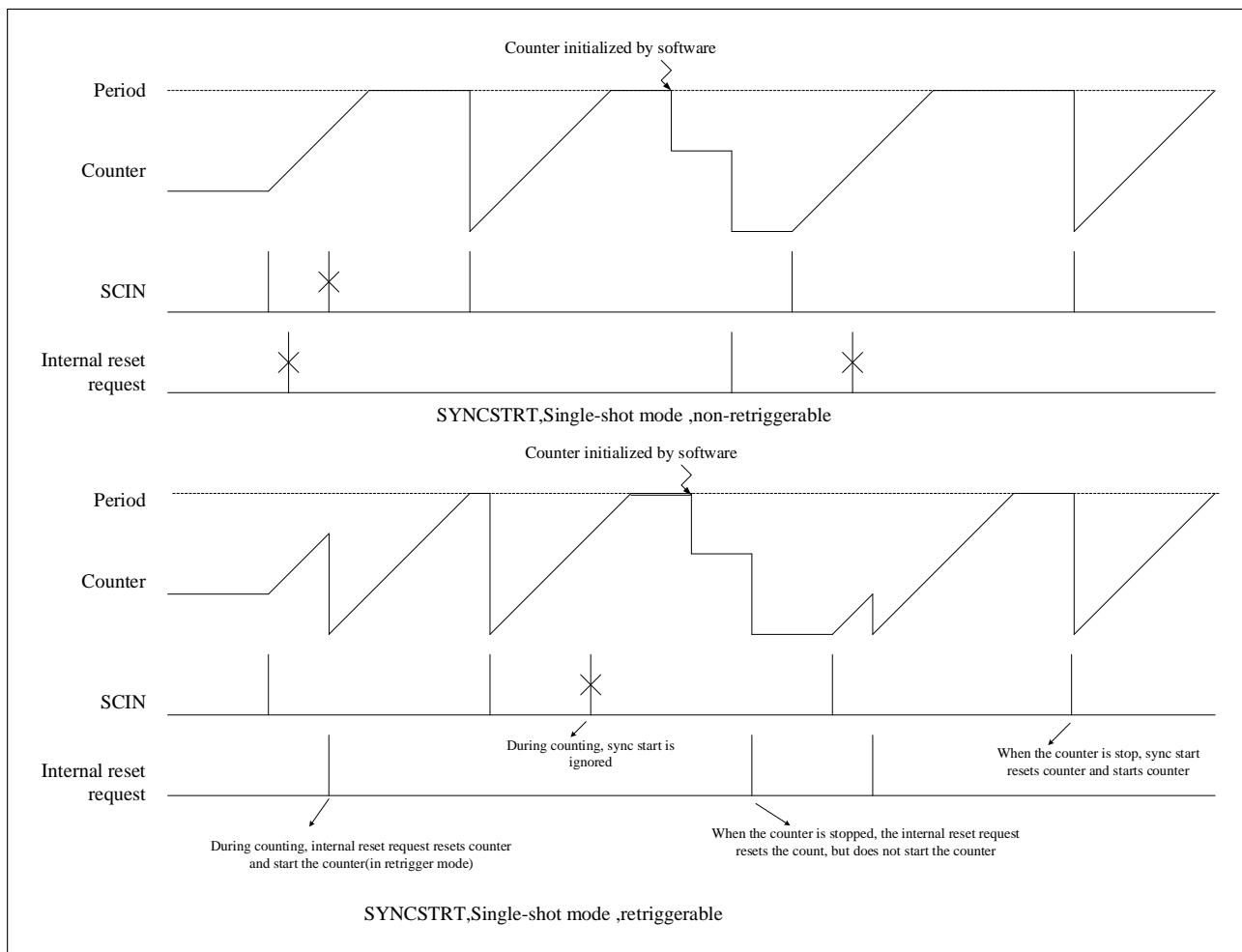
工作模式	SYNCRSTx	SYNCSTRTx	SYNC 复位或启动事件后的行为
单发不可再触发	0	1	当计数器停止并且满足以下条件时，会考虑启动事件： <ul style="list-style-type: none"> <li>- MCNTEN 或 TxCNTEN 位置 1。</li> <li>- 已达到周期时间。</li> </ul> 如果在计数器因达到周期值而停止时发生启动事件，则会将计数器复位。复位请求会将计数器清零，但不会启动计数器（计数器仅可通过同步事件重启）。任何在计数期间发生的复位事件都会被忽略（与在常规不可再触发模式下时一样）。
	1	X	复位事件将启动定时器计数操作。仅当计数器停止并且满足以下条件时，才会考虑复位事件： <ul style="list-style-type: none"> <li>- MCNTEN 或 TxCNTEN 位置 1。</li> <li>- 已达到周期时间。</li> </ul> 如果选择了多个复位请求（来自 SHRTIM_SCIN 和内部事件），则仅会考虑第一个到达的请求。
单发可再触发	0	1	仅当计数器未启动或周期结束时，计数器启动才有效。任何在计数器启动后发生的同步事件都无效。  如果在计数器因达到周期值而停止时发生启动事件，则会将计数器复位。复位请求会将计数器清零，但不会启动计数器（计数器仅可通过同步事件启动）。计数过程中发生的复位事件会被考虑（与在常规可再触发模式下时一样）。
	1	X	SHRTIM_SCIN 发出的复位请求会被当作来自内部事件的 SHRTIM 计数器复位请求进行考虑，并将启动或重新启动定时器计数操作。  如果选择了多个复位请求，则会考虑第一个到达的请求。
	0	1	定时器已使能（MCNTEN 或 TxCNTEN 位置 1），并正在等待同步事件启动计数器。计数器启动后发生的任何同步事件均不起作用（计数器仅可通过同步事件启动）。复位请求会将计数器清零，但不会启动计数器。

连续模式	1	X	SHRTIM_SCIN 发出的复位请求会被当作来自内部事件的 SHRTIM 计数器复位请求进行考虑，并将启动或重新启动定时器计数操作。
------	---	---	---

注：当同步复位事件在与周期事件相同的  $f_{SHRTIM}$  时钟周期内发生时，这个复位会被推迟到一个编程的周期事件（因为这两个事件都会导致计数器翻转）。这仅在高分辨率激活时适用（ $CKPSC[2:0] < 5$ ）。

下图显示了单发模式下如何进行同步启动。

图 17-70 同步启动模式下计数器的行为



### 17.3.20 ADC 触发器

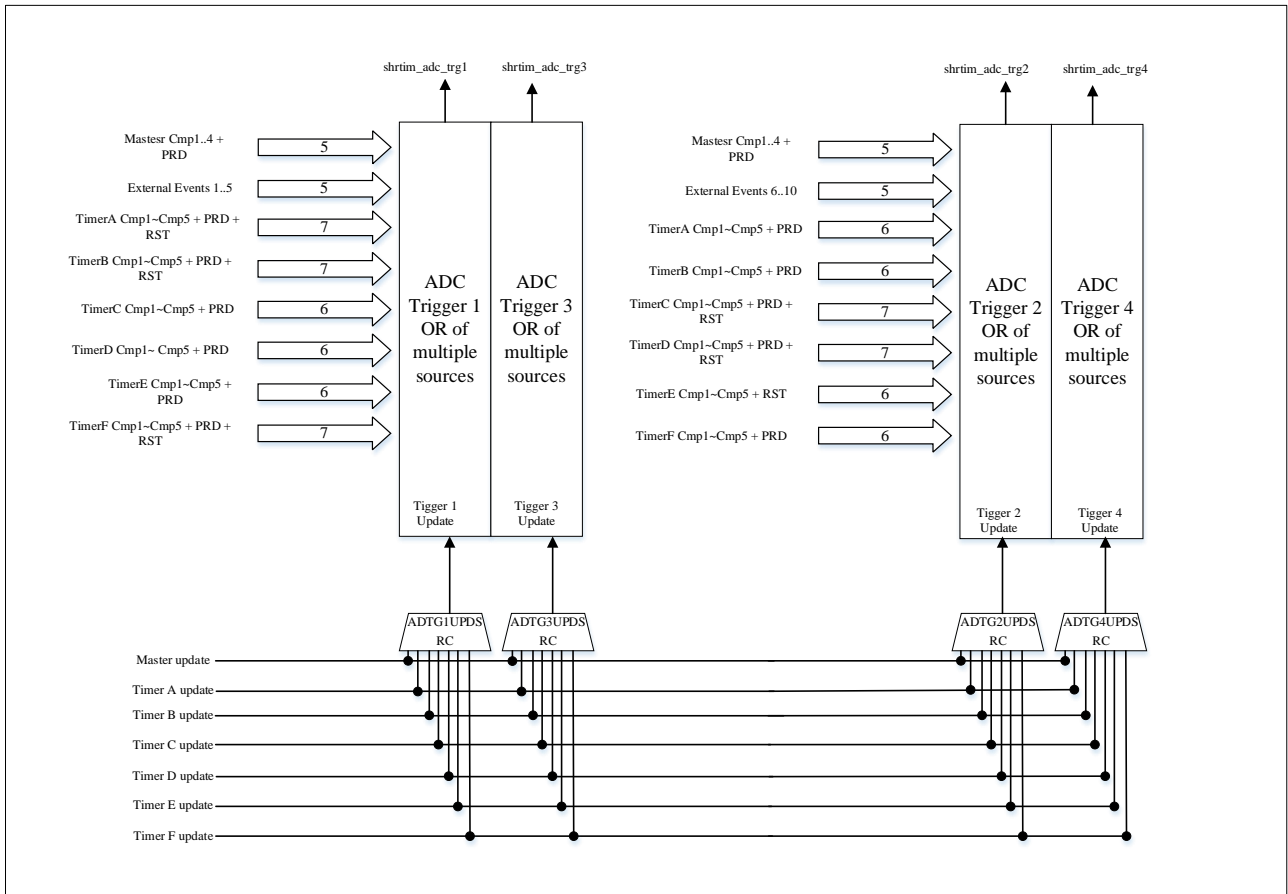
ADC（模数转换器）可以由主定时器和 6 个定时单元触发。

ADC 的常规序列和注入序列有 10 个独立的触发器可用。外部事件可以用作触发器。它们在 SHRTIM\_EXEVCRTLx 寄存器定义的条件之后立即被采用，且不依赖于 TxEXEVFLT1 和 TxEXEVFLT2 寄存器的设置。

最多 49 个事件可以组合（或运算）用于 ADC 触发器 1 至 4，在 SHRTIM\_ADTG1SRC1 至 SHRTIM\_ADTG4SRC2 寄存器中设置，如下图所示。ADC 触发器 1/3 和 2/4 使用相同的源集。通过同时

选择多个源，可以在单个切换周期内实现多重触发。一个典型的应用场景是非重叠多相转换器，其中所有相位可以使用单个 ADC 触发器输出依次采样。

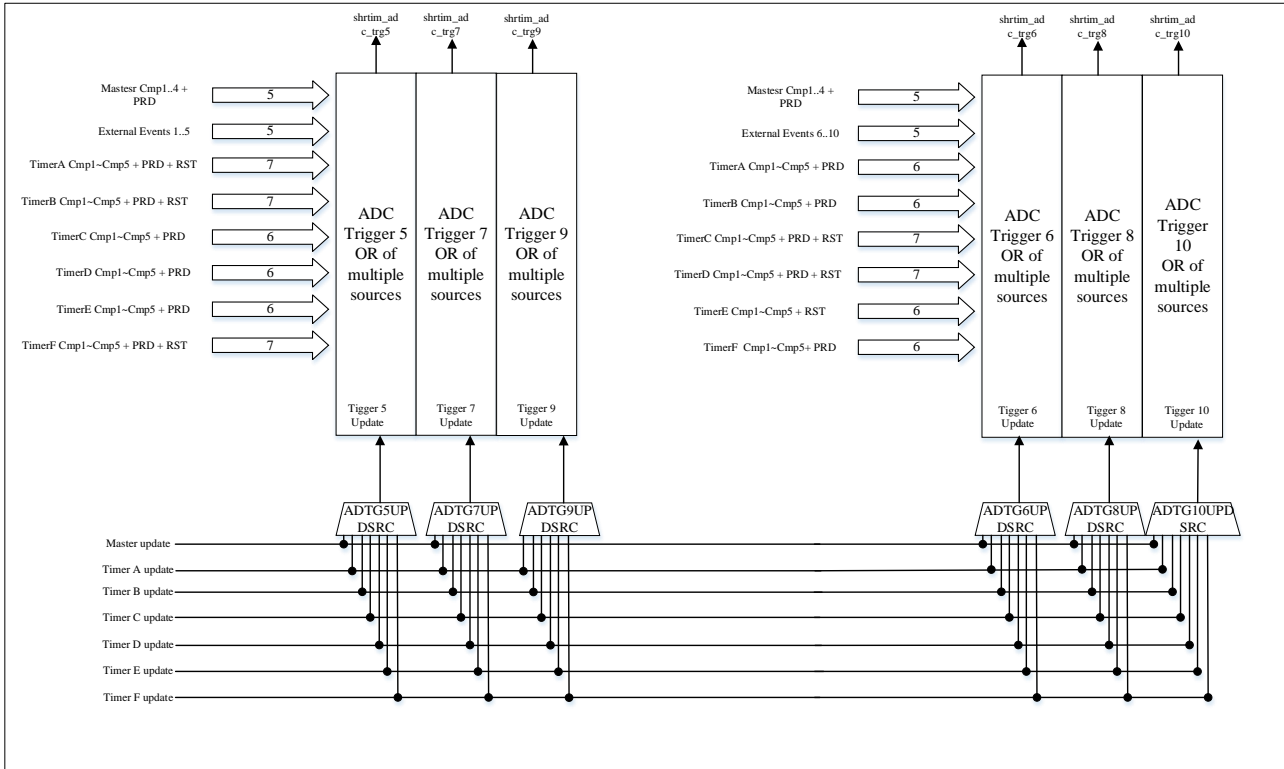
图 17-71 ADC 触发器选择概览



ADC 触发器 5 至 10 在 SHRTIM\_AD TGEX1 和 SHRTIM\_AD TGEX2 寄存器中配置，如下图所示。ADC 触发器 5/7/9 和 6/8/10 使用相同的源集。这些触发器每次只能选择一个源(48/49 个可能事件中的 1 个)。

图 17-72 ADC 触发器





SHRTIM\_ADTG1SRC1 至 SHRTIM\_ADTG4SRC2 和 SHRTIM\_ADTGEX1 至 SHRTIM\_ADTGEX2 寄存器是预加载的，可以与相关定时器同步更新。更新源由 SHRTIM\_CTRL1 和 SHRTIM\_ADTGUPD 寄存器中的 ADTGxUPDSRC[2:0] 位定义。

例如，如果 ADC 触发器 1 输出定时器 A 的 CMP2 事件 (SHRTIM\_ADTG1SRC1 = 0x0000 0800)，SHRTIM\_ADTG1SRC1 通常与定时器 A 同时更新 (ADTG1UPDSRC[2:0] = 001)。

当源定时器中禁用预加载 (PLEN 位重置) 时，SHRTIM\_ADTGxSRC1 与 SHRTIM\_ADTGxSRC2 寄存器也不进行预加载：写入访问会导致触发源的立即更新。

### 17.3.20.1 ADC 后置缩放器

后置缩放单元允许减少 ADC 触发率，如下图所示。

每个 ADC 触发率可以使用 SHRTIM\_ADCPSC1 和 SHRTIM\_ADCPSC2 寄存器中的 ADCxPSC[4:0] 位单独调整。

在中心对齐模式中，ADC 触发率也依赖于源定时器中编程的 ADCROM[1:0] 位域，如下所示。ADCROM[1:0] 位域编码用于任何可以触发 ADC 的事件：复位、翻转（周期）和比较事件：

- ADCROM[1:0] = 00：在上计数和下计数阶段都生成事件
- ADCROM[1:0] = 01：仅在下计数阶段生成事件
- ADCROM[1:0] = 10：仅在上计数阶段生成事件

ADC 后置缩放器编程寄存器是预加载的，并且可以在不停止定时器的情况下即时更新。

单发模式下的计数器溢出事件定义与连续模式略有不同，具体如下：

- ADROM[1:0] = 00：当计数器=0 且复位事件发生时生成事件
- ADROM[1:0] = 01：不生成事件

- ADROM[1:0] = 10: 当计数器=0 且复位事件发生时生成事件

图 17-73 上计数模式中的 ADC 触发器后置缩放

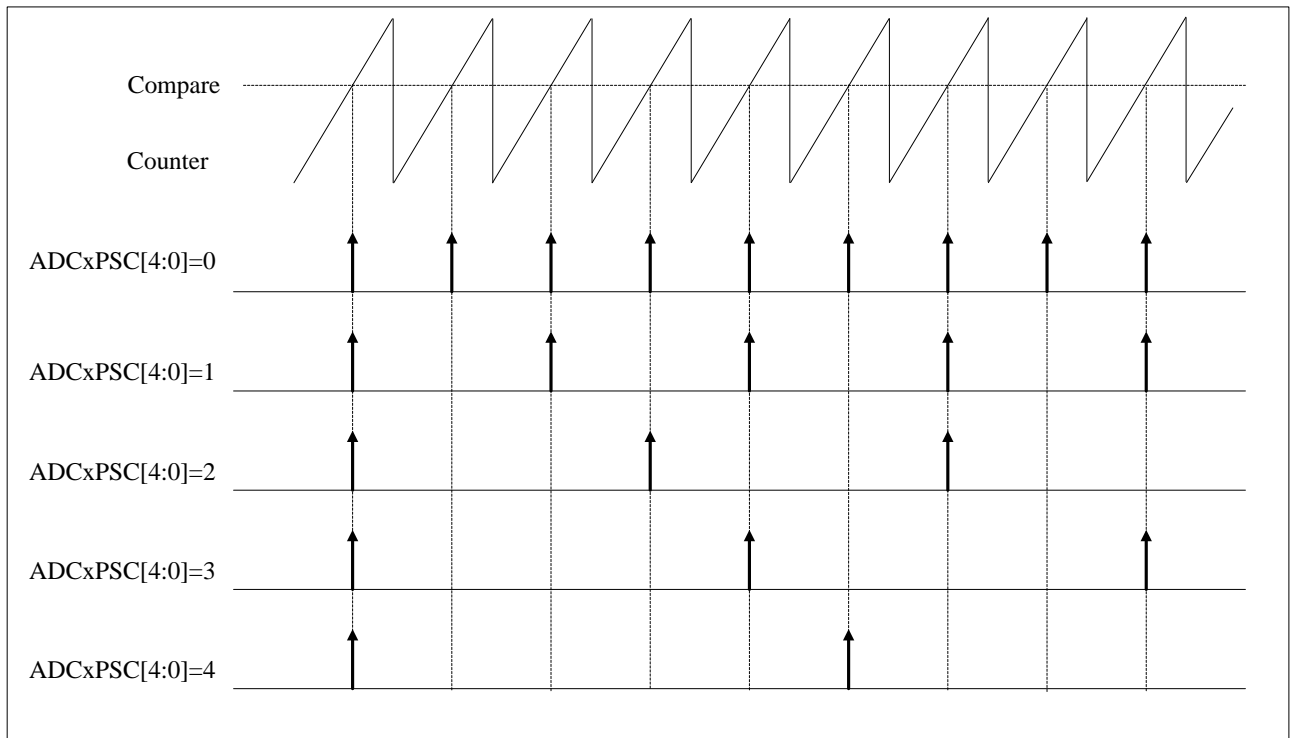


图 17-74 上/下计数模式中的 ADC 触发器后置缩放

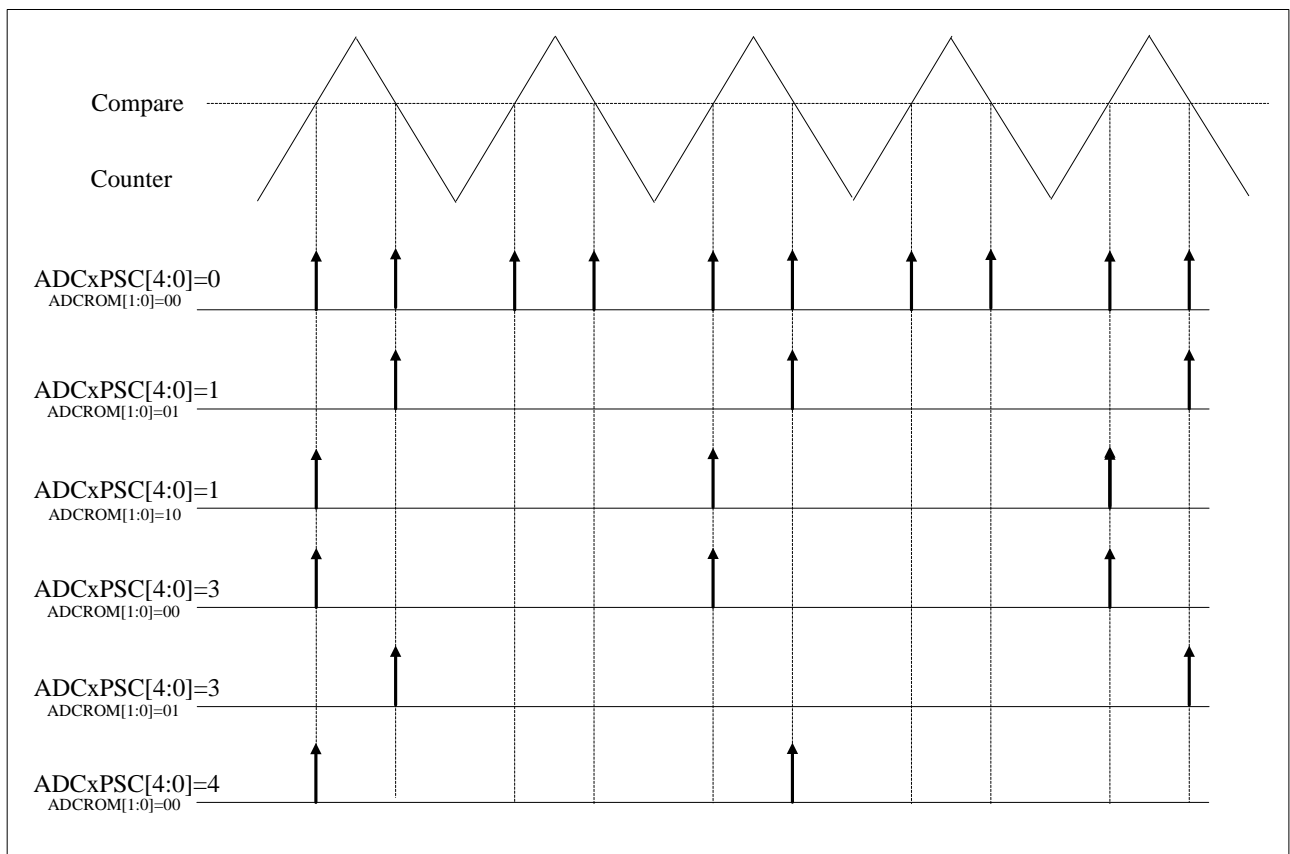
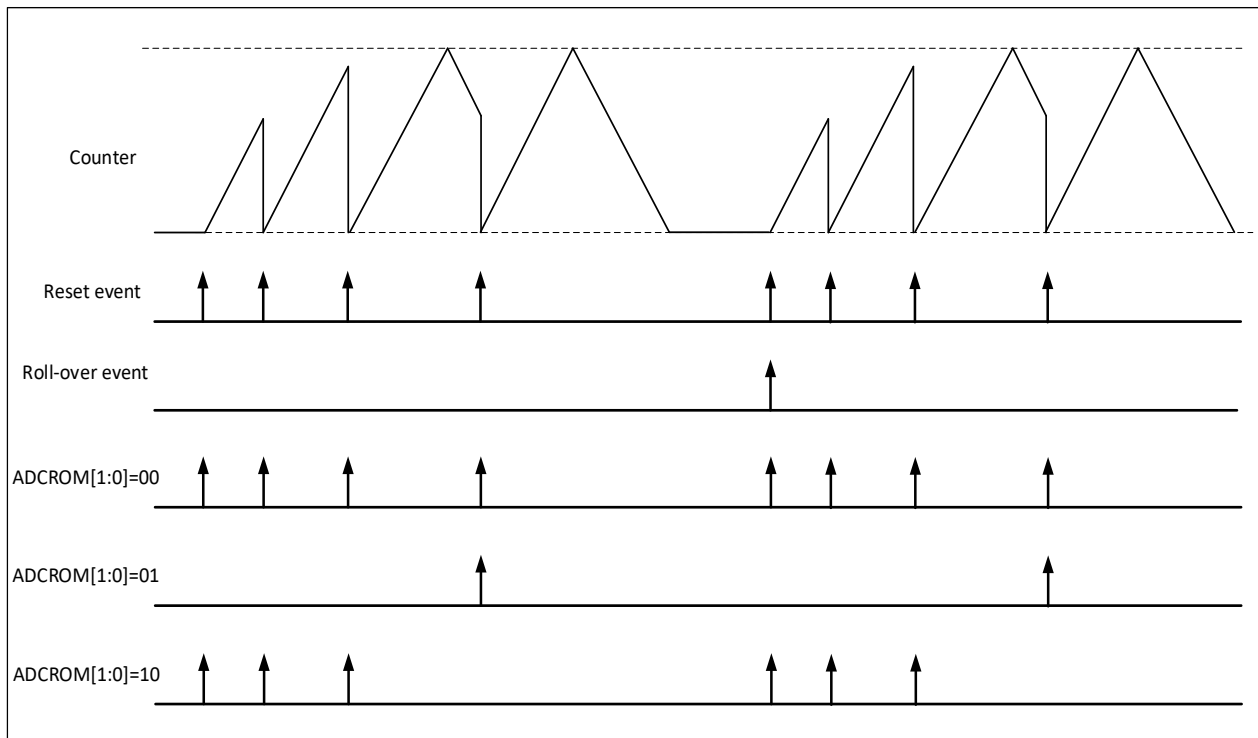


图 17-75 上/下计数模式 + 单发模式中的 ADC 触发



### 17.3.21 DAC 触发器

SHRTIM 允许同步更新内嵌的 DAC（数字模拟转换器），以便与定时器更新一致。来自主定时器和定时单元的更新事件可以在任何一个 `shrtim_dac_trgx` 输出上生成 DAC 更新触发器。

注：每个定时器都有自己的与 DAC 相关的控制寄存器。

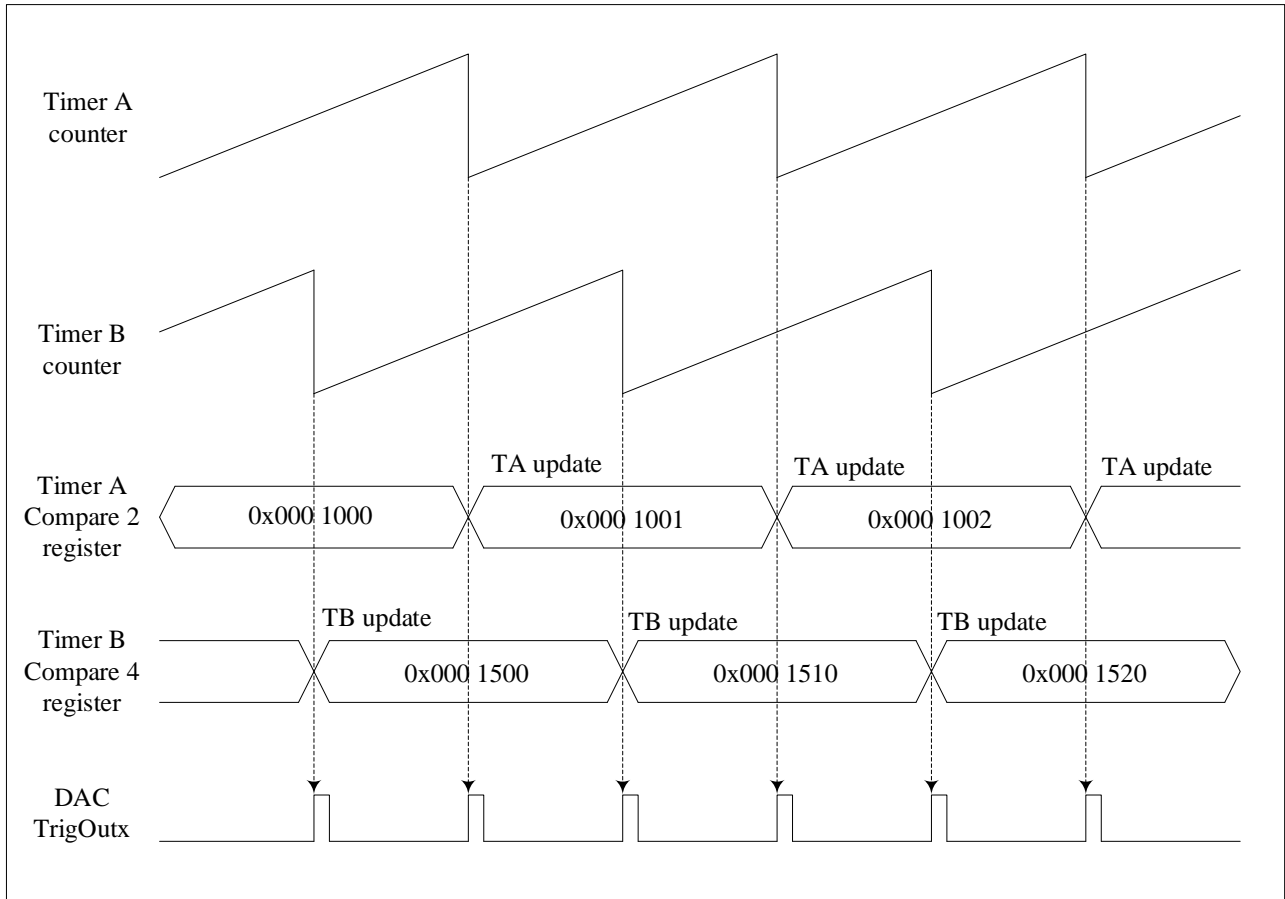
SHRTIM\_MCTRL 和 SHRTIM\_TxCTRL 寄存器中的 DACTRIG[1:0] 位按以下方式编程：

- 00：不生成更新
- 01：在 `shrtim_dac_trg1` 上生成更新
- 10：在 `shrtim_dac_trg2` 上生成更新
- 11：在 `shrtim_dac_trg3` 上生成更新

在 `shrtim_dac_trgx` 输出上生成 1 个  $f_{SHRTIM}$  时钟周期的输出脉冲。

当多个定时器中启用了 DACTRIG[1:0] 位时，`shrtim_dac_trgx` 输出由所有定时器的更新事件的或运算组成。例如，如果定时器 A 和定时器 B 中的 DACTRIG = 1，则定时器 A 的更新事件与定时器 B 的更新事件或运算，以在相应的 `shrtim_dac_trgx` 输出上生成 DAC 更新触发器，如下图所示。

 图 17-76 在单个 `shrtim_dac_trgx` 输出上组合多个更新



请参考表 17-6SHRTIM DAC 触发互联。

### 双 DAC 触发器

利用 SHRTIM 内置功能和 DAC 锯齿波发生器，可以轻松实现斜坡补偿技术和滞回控制。其原理是让 DAC 生成与 PWM 周期同步的递减锯齿波，或与 PWM 信号同步的方波。此模式通过在 TxCTRL2 寄存器中设置 DCDACEN 位启用。此位一旦定时器运行（TxCNTEN 位设置）就不能更改。它使用两个触发输出，如下所示：

- shrtim\_dac\_reset\_trgx 生成 DAC 复位/更新事件
- shrtim\_dac\_step\_trgx 生成增量 DAC 值变化的请求

TxCTRL2 寄存器中的 DUDACRST 位定义 shrtim\_dac\_reset\_trgx 触发器何时生成：

- DUDACRST = 0：在计数器复位或翻转事件时生成触发器
- DUDACRST = 1：在输出 1 置位事件时生成触发器

注：当 DCDACEN 位重置（双 DAC 触发器禁用）时，DUDACRST 位无效。

TxCTRL2 寄存器中的 DUDACSTEP 位定义 shrtim\_dac\_step\_trgx 触发器何时生成：

- DUDACSTEP = 0：在比较 2 事件时生成触发器
- DUDACSTEP = 1：在输出 1 复位事件时生成触发器

DUDACRST 和 DUDACSTEP 位允许覆盖以下用例：

- 边沿对齐斜坡补偿（DUDACRST = DUDACSTEP = 0）：DAC 的锯齿波从 PWM 周期开始处启动，在

周期内生成多个触发器

- 中心对齐斜坡补偿 (DUDACRST=1 DUDACSTEP=0): DAC 的锯齿波从输出置位事件开始, 在周期内生成多个触发器
- 滞回控制器: 每个周期中输出状态变化时必须改变 DAC 值两次。在 PWM 周期内生成 2 个触发器。在边沿对齐模式 (DUDACRST=0, DUDACSTEP=1) 中, 触发器在计数器复位或翻转时生成。在中心对齐模式 (DUDACRST=1, DUDACSTEP=1) 中, 当输出置位时生成触发器。

当 DCDACEN 设置且 DUDACSTEP 位重置时, 比较 2 有特定的操作模式。只要发生比较匹配, 活动比较值就会自动更新, 以便触发器可以周期性地重复, 周期等于 CMP2 值, 如图 17-78 所示。

DUDACSTEP 位重置 (使用比较 2 事件) 的双 DAC 触发器不得与使用 CMP2 的模式 (三重/四重交错和半触发模式) 同时使用。

*注: CMP2 值可以即时更改。新值在下一个即将到来的比较匹配时生效。*

*注: 当 DUDACSTEP 位重置时, CMP2 值不得通过其他机制修改: 交错、半触发、自动延迟和均衡空闲模式必须禁用。*

*注: DAC 步进触发信号是不带高精度的, 如果 CMP2 的值不能被 32 整除, 那么实际触发时间点是在 CMP2 前能被 32 整除的时间点。比如 CMP2 配置成 500, 那么实际对 DAC 的步进触发是在 480, CMP2 步进到 1000 时, 实际对 DAC 的步进触发是在 992.....*

下表给出了在 PWM 周期内生成 6 个触发器的示例。它显示必须将除法结果向上取整。假设计数器周期 TxPRD = 8192。8192 除以 6 得到 1365.33。

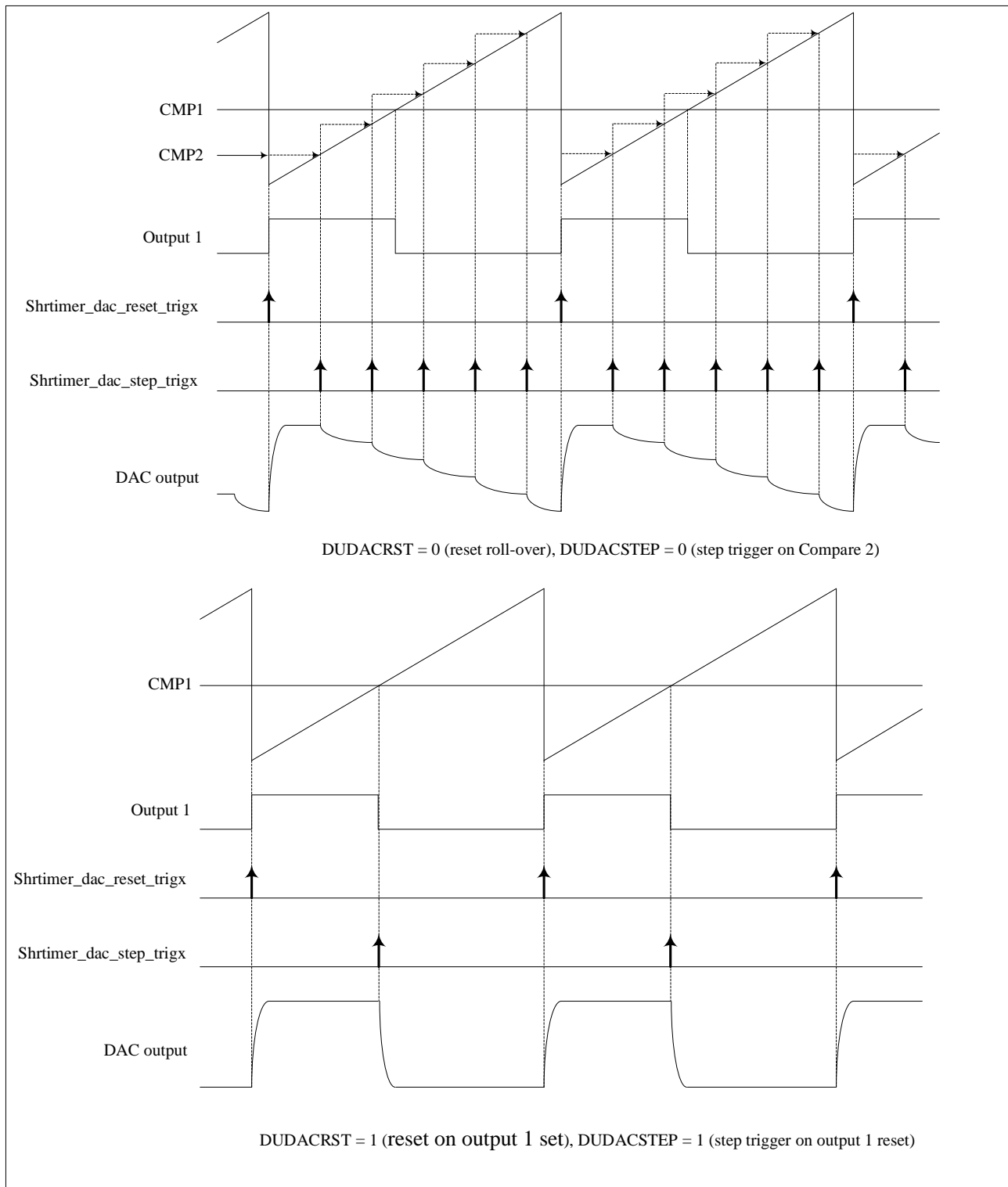
- 向下取整值: 1365: 生成 7 个触发器, 第 6 个和第 7 个非常接近 (分别对应计数器 = 8190 和 8192)
- 向上取整值: 1366: 生成 6 个触发器。第 6 个触发器在 dac\_step\_trg 上 (对应计数器 = 8192) 由于计数器从 8192 翻转到 0 而中止。

图 17-77 DAC 双触发器示例

-	CMP2 = 1365	dac_trg	dac_step_trg	CMP2 = 1366	dac_trg	dac_step_trg
Counter value	1365	-	1	1366	-	1
	2730	-	2	2732	-	2
	4095	-	3	4098	-	3
	5460	-	4	5464	-	4
	6825	-	5	6830	-	5
	8190	-	6	8192	6	-
	8192	7	-	1366	-	1
	1365	-	1	2732	-	2
	...	-	-	...	-	-

*注: 在中心对齐模式中, 为避免在计数器峰值周围触发器不均匀间隔, 必须确保每个切换周期内有偶数个触发器。*

图 17-78 用于斜坡补偿的 DAC 触发器

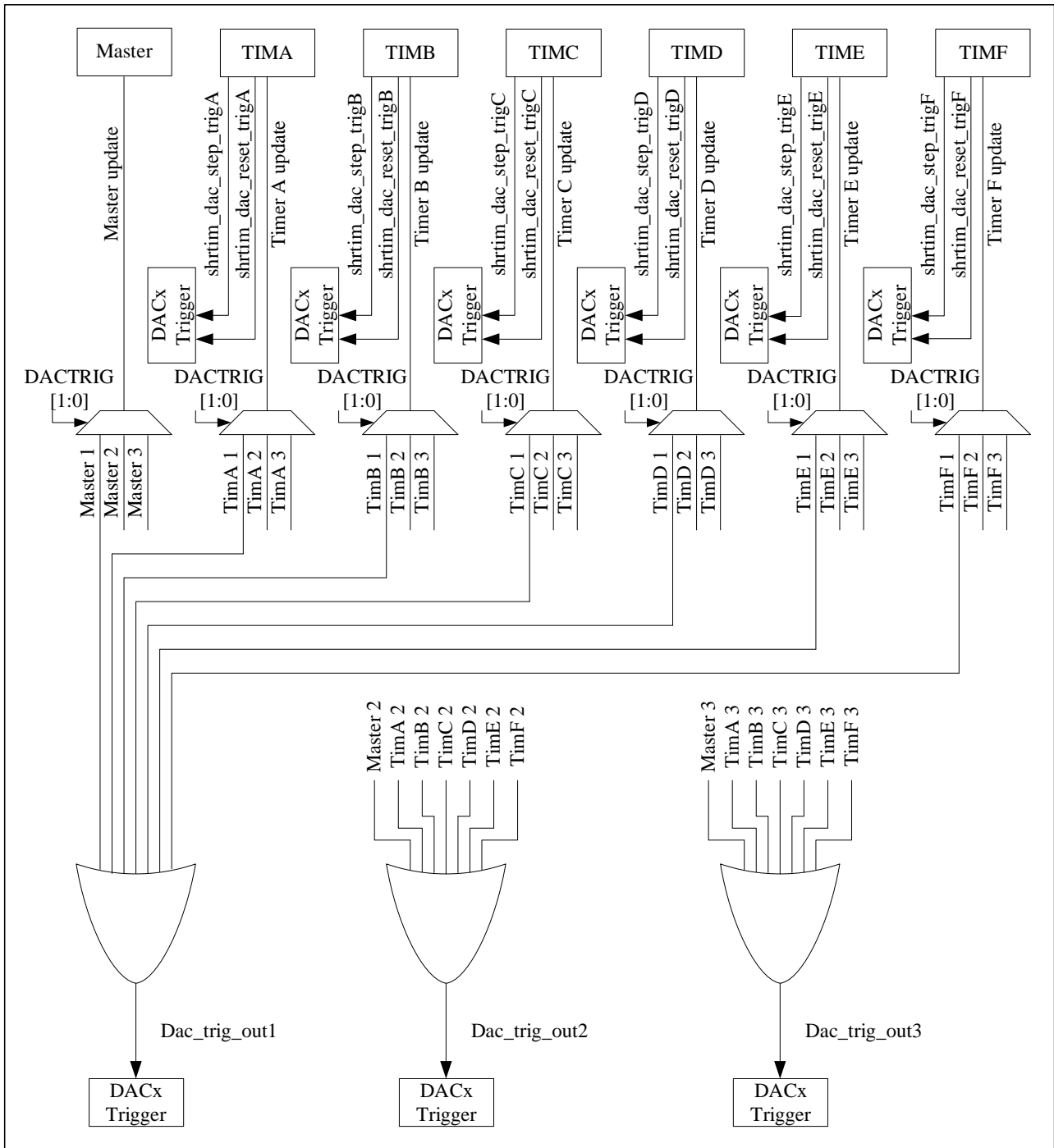


注:

1. 双DAC 模式仅在向上计数模式支持
2. Output1 是来自纵横开关的输出

下图提供了所有可用 DAC 触发器的概览。

图 17-79 DAC 触发器概览



### 17.3.22 SHRTIM 中断

主定时器可生成 7 个中断：

- 主定时器寄存器更新
- 接收到同步事件
- 主定时器重复事件
- 主定时器比较 1 到 4 事件

每个定时单元可生成 14 个中断：

- 延迟保护已触发
- 计数器复位或翻转事件
- 输出 1 和输出 2 复位（从有效电平跳变为无效电平）
- 输出 1 和输出 2 置位（从无效电平跳变为有效电平）
- 捕获 1 和 2 事件
- 定时单元寄存器更新
- 重复事件
- 比较 1 到 4 事件

会为整个 SHRTIM 生成 7 个全局中断：

- 系统故障和故障 1 到 6（不考虑定时单元的因素）
- 突发模式周期结束

中断请求会分到 7 个向量组中，具体如下：

- shrtim\_it1：主定时器中断（主定时器更新、同步输入、重复、MCMP1..4）和故障除外的全局中断（突发模式周期）
- shrtim\_it2：TIMA 中断
- shrtim\_it3：TIMB 中断
- shrtim\_it4：TIMC 中断
- shrtim\_it5：TIMD 中断
- shrtim\_it6：TIME 中断
- shrtim\_it7：TIMF 中断
- shrtim\_it8：所有的故障中断，允许高优先级的中断向量控制

下表总结了中断请求及其映射以及关联的控制和状态位。

**表 17-34 SHRTIM 中断汇总**

Interrupt vector	Interrupt event	Event flag	control bit Enable	Flag clearing bit
SHRTIM_global	Burst mode period completed	BMPRDITF	BMPRDIEN	BMPRDIC
	Master timer registers update	MUPDITF	MUPDIEN	MUPDIC
	Synchronization event received	SYNCINITF	SYNCINIEN	SYNCINIC
	Master timer repetition event	MREPTITF	MREPTIEN	MREPTIC
	Master compare 1 to 4 event	MCMP4ITF	MCMP4IEN	MCMP4IC
		MCMP3ITF	MCMP3IEN	MCMP3IC
		MCMP2ITF	MCMP2IEN	MCMP2IC
		MCMP1ITF	MCMP1IEN	MCMP1IC
SHRTIM_it2	Capture 1 and 2 events	CPT2ITF	CPT2IEN	CPT2IC
SHRTIM_it3		CPT1ITF	CPT1IEN	CPT1IC



SHRTIM_it4 SHRTIM_it5 SHRTIM_it6 SHRTIM_it7	Compare 1 to 4 event	CMP4ITF	CMP4IEN	CMP4IC
		CMP3ITF	CMP3IEN	CMP3IC
		CMP2ITF	CMP2IEN	CMP2IC
		CMP1ITF	CMP1IEN	CMP1IC
	Delayed protection triggered	DPITF	DPIEN	DPIC
	Counter reset or roll-over event	RSTROITF	RSTROIEN	RSTROIC
	Output 1 and output 2 reset (transition active to inactive)	RST2ITF	RST2IEN	RST2IC
		RST1ITF	RST1IEN	RST1IC
	Output 1 and output 2 set (transition inactive to active)	SET2ITF	SET2IEN	SET2IC
		SET1ITF	SET1IEN	SET1IC
Timing unit registers update	UPDITF	UPDIEN	UPDIC	
Repetition event	REPTITF	REPTIEN	REPTIC	
SHRTIM_fault	System fault	SYSFALTITF	SYSFALTIEN	SYSFALTIC
	Fault 1 to 6	FALT6ITF	FALT6IEN	FALT6IC
		FALT5ITF	FALT5IEN	FALT5IC
		FALT4ITF	FALT4IEN	FALT4IC
		FALT3ITF	FALT3IEN	FALT3IC
		FALT2ITF	FALT2IEN	FALT2IC
		FALT1ITF	FALT1IEN	FALT1IC

### 17.3.23 DMA

大部分能够生成中断的事件也可以生成 DMA 请求,甚至可以同时生成中断和 DMA 请求。每个定时器(主定时器、TIMA...F)都有自己的 DMA 使能寄存器。

各 DMA 请求会在进行或运算后发送到 7 条通道中,具体如下:

- 主定时器 1 条通道
- 每个定时单元 1 条通道

注:禁止 DMA 通道之前 ( $TxIDEN$  中的 DMA 使能位复位),需要先禁止 DMA 控制器。

下表总结了事件及其关联的 DMA 使能位。

表 17-35 SHRTIM DMA 请求汇总

DMA Channel	Event	DMA capable	DMA enable bit
shrtim_dma1 (master timer)	Burst mode period completed	No	N/A
	Master timer registers update	Yes	MUPDDEN
	Synchronization event received	Yes	SYNCINDEN
	Master timer repetition event	Yes	MREPTDEN
	Master compare 1 to 4 event		Yes
		MCMP3DEN	
		MCMP2DEN	
		MCMP1DEN	
shrtim_dma2 (timer A)	Delayed protection triggered	Yes	DPDEN
shrtim_dma3 (timer B)	Counter reset or roll-over event	Yes	RSTRODEN

shrtim_dma4 (timer C) shrtim_dma5 (timer D) shrtim_dma6 (timer E) shrtim_dma7 (timer F)	Output 1 and output 2 reset (transition active to inactive)	Yes	RST2DEN
		Yes	RST1DEN
	Output 1 and output 2 set (transition inactive to active)	Yes	SET2DEN
		Yes	SET1DEN
	Capture 1 and 2 events	Yes	CPT2DEN
		Yes	CPT1DEN
	Timing unit registers update	Yes	UPDEN
	Repetition event	Yes	REPTDEN
	Compare 1 to 4 event	Yes	CMP4DEN
		Yes	CMP3DEN
		Yes	CMP2DEN
		Yes	CMP1DEN
N/A	System fault	Yes	N/A
	Fault 1 to 6	Yes	N/A
	Burst mode period completed	Yes	N/A

### 突发 DMA 传输

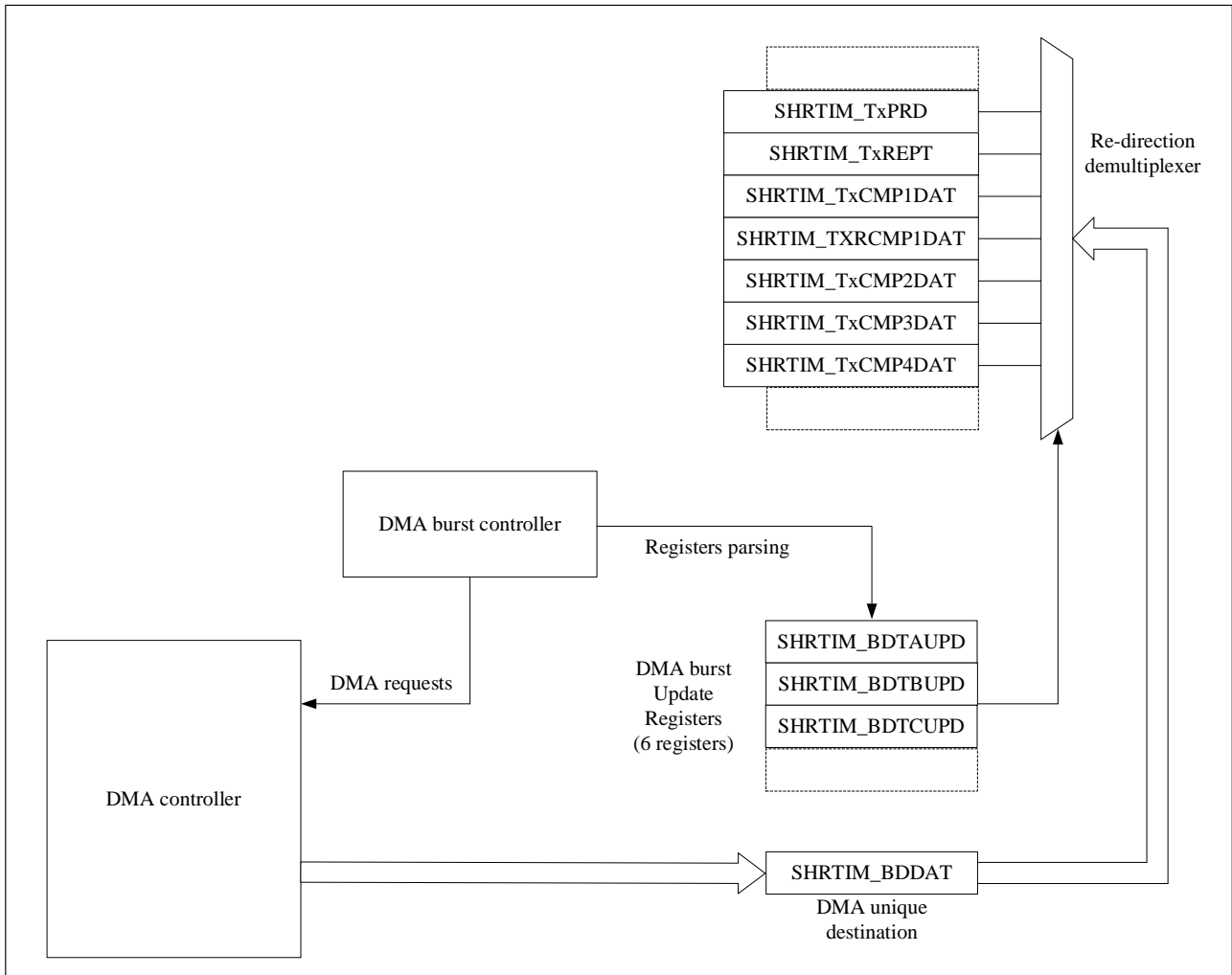
除了标准 DMA 请求之外, SHRTIM 还配有 DMA 突发控制器, 可通过单个 DMA 请求更新多个寄存器。具体包括:

- 仅通过一条 DMA 通道更新多个数据寄存器,
- 如果转换器使用多路定时器输出, 可动态地对一个或多个定时单元重新进行编程。

突发 DMA 功能仅可用于一条 DMA 通道, 但可选择 6 条通道中的任意一条进行突发 DMA 传输。

通过 DMA 写入, 编程哪些寄存器是核心内容。主定时器和 TIMA..F 包含突发 DMA 更新寄存器, 其中的大部分控制和数据寄存器都关联到选择位: SHRTIM\_BDMTUPD、SHRTIM\_BDTAUPD 到 SHRTIM\_BDTFUPD (这一点仅适用于寄存器的写访问)。重定向机制允许自动将 DMA 写访问转发到 SHRTIM 寄存器, 如下图所示。

图 17-80 DMA 突发概览



发生 DMA 触发时，SHRTIM 会生成多个 32 位 DMA 请求，并会解析更新寄存器。如果控制位置 1，写访问会重定向到关联的寄存器。如果此位复位，则会跳过寄存器更新并恢复寄存器解析，直至检测到此位再次置 1 触发新请求。对 7 个更新寄存器（SHRTIM\_BDMTUPD、6x SHRTIM\_BDTFUPD）进行解析后，突发结束，系统准备好处理另一 DMA 触发（请参见图 17-80）。

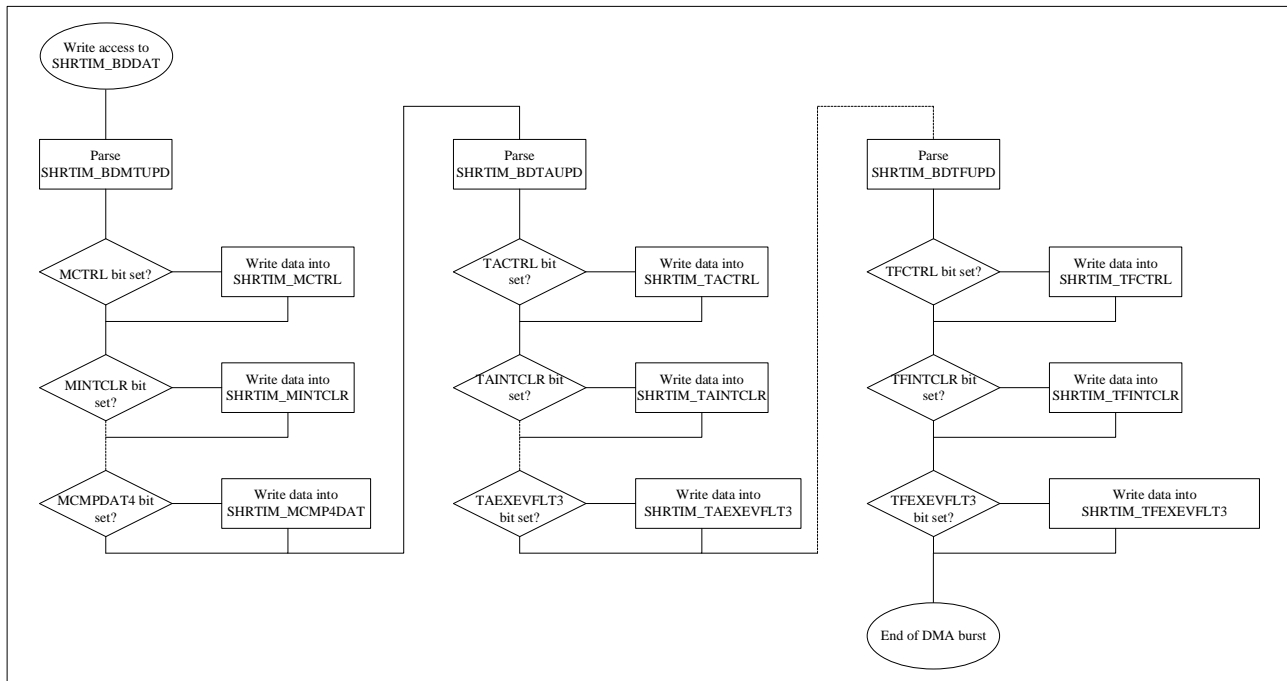
*注：任何在突发正在进行时发生的触发都会被丢弃，但最后一次数据传输期间发生的触发除外。*

突发 DMA 模式永久使能（没有使能位）。突发 DMA 工作是通过 SHRTIM\_BDDAT 寄存器进行的第一次写访问启动的。

仅需要使 DMA 控制器指向作为目标的 SHRTIM\_BDDAT 寄存器，在存储器中指向禁止了外设递增模式的外设配置（SHRTIM 会在内部处理到最终目标寄存器的数据重发）。

如果突发 DMA 模式在事务进行过程中中断，要重新初始化突发 DMA 模式，至少需要写入 7 个更新寄存器中的其中一个。

图 17-81 突发 DMA 工作流程图



DMA 突发结束后，有多种选项可供使用，具体视寄存器更新策略而定。

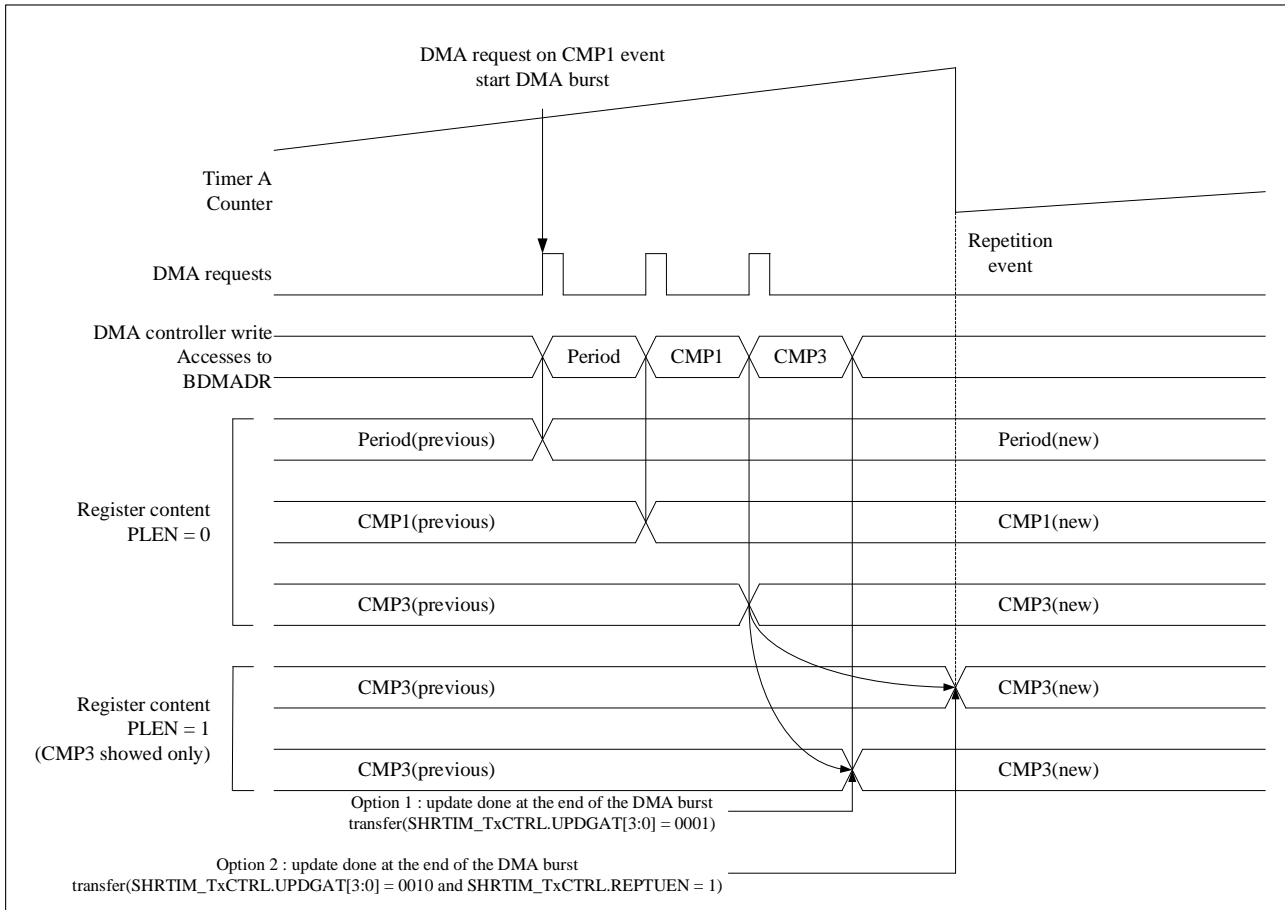
如果 PLEN 位复位（禁止预装载），通过 DMA 写入的值会立即传输到活动寄存器中，并会按照 DMA 事务的速度连续更新寄存器。

预装载使能时（PLEN 位置 1），有 3 个用例：

- 更新独立于 DMA 突发传输进行（SHRTIM\_TxCTRL 中的 UPDGAT[3:0]=0000，SHRTIM\_MCTRL 中的 BRSTDMA[1:0]=00）。在这种情况下，如果需要同时考虑所有传输的数据，用户必须检查 DMA 突发是否在发生更新事件之前结束。相反，如果更新事件在 DMA 传输进行时发生，则仅会装载部分寄存器，完整的寄存器更新将需要 2 个连续的更新事件。
- 更新在 DMA 突发传输完成后进行（SHRTIM\_TxCTRL 中的 UPDGAT[3:0]=0001，SHRTIM\_MCTRL 中的 BRSTDMA[1:0]=01）。此模式可确保同时传输所有新寄存器值。
- 更新在 DMA 突发传输完成后发生更新事件时进行（SHRTIM\_TxCTRL 中的 UPDGAT[3:0]=0010，SHRTIM\_MCTRL 中的 BRSTDMA[1:0]=10）。此模式可确保对所有已传输数据、以及与常规更新事件的同步、与定时器计数器的同步进行一致的更新。在这种情况下，如果正在进行传输时发生常规更新请求，该请求会被丢弃，并会在下一次发出更新请求时进行有效更新。

如下图所示，显示了 3 种情况下的活动寄存器内容：PLEN=0、UPDGAT[3:0]=0001 以及 UPDGAT[3:0]=0001（PLEN=1 时）。

图 17-82 DMA 突发传输后进行寄存器更新



## 17.3.24 SHRTIM 初始化

本节介绍了建议的 SHRTIM 初始化程序，包括其他相关 MCU 外设。

SHRTIM 的时钟源必须在 RCC 中使能。f<sub>SHRTIM</sub> 由 SHRTIM 专用的 PLL 提供，即 SHRTPLL，详细说明见复位和时钟控制（RCC）-时钟控制单元-SHRTPLL 时钟的章节。

SHRTIM 控制寄存器可按照电源转换器拓扑和定时单元用例进行初始化。必须配置所有输入（源、极性、边沿有效性）。

最后必须设置 SHRTIM 输出，设置顺序如下：

- 必须使用 SHRTIM\_TxOUT 中的 POLx 位定义极性
- 必须使用 SHRTIM\_TxOUT 中的 FALTx[1:0] 和 IDLESx 位配置 FAULT 和 IDLE 状态

SHRTIM 输出已准备好连接到 MCU I/O。在 GPIO 控制器中，必须按照产品数据手册中的复用功能映射表对所选 SHRTIM I/O 进行配置。

从此刻起，SHRTIM 会控制处于 IDLE 状态的输出。

要将输出配置为 RUN 模式，应将 SHRTIM\_OEN 寄存器中的 TxyOEN 位置 1。RUN 模式下发生第一个有效置位/复位事件之前，2 路输出都处于无效状态。只要 TxCNTEN 位复位，任何输出置位/复位事件（使用 SWT 的软件请求除外）都会被忽略，突发模式请求也是如此。同样，任何来自突发模式控制器的计数器复位请求也会被忽略（如果 TxBM 位置 1）。

**注：** 如果使能了死区插入 (DTEN 位置 1)，则需要通过软件强制设置输出状态（使用 SWT 和 RSTROITF

位), 使输出在进入 RUN 模式后立即处于互补状态。

最终可通过将 SHRTIM\_MCTRL 中的 TxCNTEN 或 MCNTEN 位置 1 的方式启动 SHRTIM 工作。

如果 SHRTIM 外设通过复位和时钟控制器复位, SHRTIM 输出会进入 IDLE 模式且为低电平。建议先断开 SHRTIMER 与输出的连接(使用 GPIO 控制器), 然后再执行外设复位。

## 17.3.25 调试

当微控制器进入调试模式(Cortex®-M4 内核停止)时, TIMx 计数器会根据 DBG 模块中 DBG\_CTRL 寄存器中的 SHRTIM1\_STOP 配置位选择继续正常工作或者停止工作。

- SHRTIM1\_STOP=0: 无行为变化, SHRTIM 继续工作。
- SHRTIM1\_STOP=1: 所有 SHRTIM 定时器(包括主定时器)均停止工作。如果 FALTx[1:0]=01、10、11, RUN 模式下的输出会进入 FAULT 状态, 如果 FALTx[1:0]=00, 输出会保持当前状态。处于空闲状态的输出会保持此状态。即使 MCU 退出停止模式, 也会永久保持此状态。这样可在执行步进期间保持安全状态。可通过将 TxyOEN 位置 1 再次使能输出(需要使用调试器)。

主定时器和各定时器单元可由 SHRTIM\_FRZDIS 寄存器控制是否受 DBG\_CTRL.SHRTIM1\_STOP 的控制

如果 SHRTIM\_FRZDIS.ALLTIMEN = 1, DBG\_CTRL.SHRTIM1\_STOP 置 1 时, 当微控制器进入调试模式(Cortex®-M4 内核停止)时, 所有定时器均不受影响。

如果只是 TxDBGEN 被置位, DBG\_CTRL.SHRTIM1\_STOP 置 1 时, 当微控制器进入调试模式(Cortex®-M4 内核停止)时, 定时器 x 不受影响。

### 17.3.25.1 MCU 停止工作期间的定时器行为 (SHRTIM1\_STOP=1 时)

置位/复位纵横开关、死区和推挽单元、空闲/均衡故障检测以及在 RUN 模式下驱动正常输出的所有逻辑均不受调试的影响。输出将在内部维持栓所状态, 以便在 TxyOEN 再次置 1 时(MCU 停止工作期间或停止工作之后)重新获取输出的常规信号。如果输出已禁止, 关联的触发信号和滤波器也会跟随内部波形。

MCU 停止工作期间, FAULT 输入和事件(任何源)会使能。

如果此时发生故障, 则在 MCU 停止工作期间, 故障状态位会置 1, TxyOEN 位会复位

(TxyOEN 和 TxyODISSTS 不受 SHRTIM1\_STOP 位状态的影响)。

在调试模式下, 会丢弃同步、计数器复位、启动、复位-启动事件以及捕获事件。这样做是为了确保所有相关寄存器在 MCU 停止期间的稳定性。

计数器到达断点时会停止计数。但计数器使能信号不会置位; 因此退出调试模式时不会发出启动事件。所有计数器复位和捕获触发都会被禁用, 外部事件也会被禁用(只要 MCU 停止工作, 就会忽略这类事件)。输出 SET 和 RST 标志会冻结, 但强制软件置位/复位的情况除外。调试过程中会屏蔽电平有效事件, 但退出调试模式时, 电平有效事件会立即再次激活。对于边沿有效事件, 如果 MCU 停止工作期间信号保持有效, 退出调试模式时不会生成新边沿。

更新事件会被丢弃。这样可避免触发对 shrtim\_upd\_en[3:1] 输入的更新。DMA 触发会被禁止。突发模式电路冻结: 触发会被忽略, 突发模式计数器停止工作。

## 17.4 SHRTIM 寄存器

### 17.4.1 SHRTIM 主定时器的寄存器

#### 17.4.1.1 SHRTIM 主定时器控制寄存器 (SHRTIM\_MCTRL)

偏移地址: 0x00

复位值: 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BRSTDMA	MREPTU EN	Reserved	PLEN	DACTRIG	Reserved	TFCNTE N	TECNTE N	TDCNTE N	TCCNTE N	TBCNTE N	TACNTE N	MCNTE N			
rw	rw	r	rw	rw	r	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SYNCOSR C	SYNCSTR T	SYNCR ST	Reserv ed	SYNCIN		ILV	HLF	RTG	CONT					CKPSC	
rw	rw	rw	r	rw		rw	rw	rw	rw	rw				rw	

位域	名称	描述
[31:30]	BRSTDMA	突发 DMA 更新 (Burst DMA Update) 这些位定义更新与突发 DMA 事务的相对关系。 00: 独立于 DMA 突发传输进行更新。 01: DMA 突发传输结束时进行更新。 10: 在 DMA 突发传输结束后的主定时器翻转时进行更新。此模式仅适用于连续模式。 11: 保留
[29]	MREPTUEN	MREPTUEN: 主定时器重复更新 (Master Timer Repetition update) 此位定义主定时器重复周期结束后是否进行更新 (因翻转或复位事件而更新)。仅当 BRSTDMA[1:0] = 00 或 01 时, 才可将 MREPTUEN 置 1。 0: 禁止与重复有关的更新 1: 使能与重复有关的更新
[28]	Reserved	保留, 必须保持复位值
[27]	PLEN	预装载使能 (Preload enable) 此位可使能寄存器预装载机制, 并定义对存储器映射寄存器的写访问是在 SHRTIM 的活动寄存器中进行还是在预装载寄存器中进行。 0: 禁止预装载: 直接对活动寄存器进行写访问 1: 使能预装载: 对预装载寄存器进行写访问
[26:25]	DACTRIG	DAC 同步 (DAC Synchronization) 发生主定时器更新事件时, 可使能并生成 DAC 同步事件。这些位会定义在哪路输出上发送 DAC 同步事件 (有关连接的详细信息, 请参见章节 17.3.21)。 00: 未生成 DAC 触发事件

		01: 在 shrtim_dac_trg1 上生成触发事件 10: 在 shrtim_dac_trg2 上生成触发事件 11: 在 shrtim_dac_trg3 上生成触发事件
[24:23]	Reserved	保留, 必须保持复位值
[22]	TFCNTEN	定时器 F 计数器使能 (Timer F counter enable) 0: 禁用定时器 F 计数器 1: 使能定时器 F 计数器 注: 该位不应在 8 个 SHRTIM 周期内翻转
[21]	TECNTEN	定时器 E 计数器使能 (Timer E counter enable) 0: 禁用定时器 E 计数器 1: 使能定时器 E 计数器 注: 该位不应在 8 个 SHRTIM 周期内翻转
[20]	TDCNTEN	定时器 D 计数器使能 (Timer D counter enable) 0: 禁用定时器 D 计数器 1: 使能定时器 D 计数器 注: 该位不应在 8 个 SHRTIM 周期内翻转
[19]	TCCNTEN	定时器 C 计数器使能 (Timer C counter enable) 0: 禁用定时器 C 计数器 1: 使能定时器 C 计数器 注: 该位不应在 8 个 SHRTIM 周期内翻转
[18]	TBCNTEN	定时器 B 计数器使能 (Timer B counter enable) 0: 禁用定时器 B 计数器 1: 使能定时器 B 计数器 注: 该位不应在 8 个 SHRTIM 周期内翻转
[17]	TACNTEN	定时器 A 计数器使能 (Timer A counter enable) 0: 禁用定时器 A 计数器 1: 使能定时器 A 计数器 注: 该位不应在 8 个 SHRTIM 周期内翻转
[16]	MCNTEN	主定时器计数器使能 (Master timer counter enable) 0: 禁用主定时器计数器 1: 使能主定时器计数器 注: 该位不应在 8 个 SHRTIM 周期内翻转
[15:14]	SYNCOSRC	同步源 (Synchronization source) 这些位用于定义将在同步输出 SYNCOUT2 和 SYNCOUT 1 上发送的源和事件。 00: 主定时器启动 01: 主定时器比较 1 事件 10: 定时器 A 启动/ 复位 11: 定时器 A 比较 1 事件
[13]	SYNCSTRT	主定时器同步启动 (Synchronization Starts Master) 该位能够使主定时器在接收到同步输入事件时启动: 0: 对主定时器无影响 1: 同步输入事件会启动主定时器



[12]	SYNCRST	主定时器同步复位 (Synchronization Resets Master) 该位能够使主定时器在接收到同步输入事件时复位： 0：对主定时器无影响 1：同步输入事件会复位主定时器
[11]	Reserved	保留，必须保持复位值
[10:8]	SYNCIN	同步输入 (Synchronization input) 这些位定义同步输入源。 000：SHRTIM 处于独立模式，因为外部触发已禁用 001：shrtim_in_sync[0] 输入由片内定时器的 TRGO 驱动 010：shrtim_in_sync[1] 输入由片内定时器的 TRGO 驱动 011：shrtim_in_sync[2] 输入由片内定时器的 TRGO 驱动 100：shrtim_in_sync[3] 输入由片外源通过 SHRTIM_SCIN(IOM) 驱动 101：shrtim_in_sync[4] 输入由片内另一个 SHRTIM 同步 (shrtimx_out_sync2) 110：保留 111：保留 shrtim_in_sync 的级联请参见章节 17.3.19.2 同步输入。 注：受影响的定时器使能后，不能更改此参数。
[7:6]	ILV	主交错模式 (Master interleaved mode) 00：禁用输出交错 01：三重交错模式：此模式使用 SHRTIM_MCMP1DAT 和 SHRTIM_MCMP2DAT 以及 SHRTIM_MPRD。SHRTIM_MCMP1DAT 活动寄存器加载 SHRTIM_MPRD/3，SHRTIM_MCMP2DAT 活动寄存器加载 SHRTIM_MPRD*2/3。 10：四交错模式：此模式 SHRTIM_MCMP1DAT、SHRTIM_MCMP2DAT 和 SHRTIM_MCMP3DAT 以及 SHRTIM_MPRD。SHRTIM_MCMP1DAT 活动寄存器加载 MPRD/4，SHRTIM_MCMP2DAT 活动寄存器加载 SHRTIM_MPRD/2，SHRTIM_MCMP3DAT 活动寄存器加载 SHRTIM_MPRD*3/4 11：禁用输出交错 注：必须强制禁用 HLF，ILV 位才能启用交错模式。
[5]	HLF	半模式。(Half mode) 半模式启用时会加载 SHRTIM_MCMP1DAT 的 SHRTIM_MPRD 寄存器值的一半。 0：半模式禁用 1：半模式启用
[4]	RTG	可再触发模式 (Re-triggerable mode) 此位定义主定时器计数器在单发模式下的行为。 0：定时器不可再触发：仅当计数器已停止时 (周期已过)，才能进行计数器复位。 1：定时器可再次触发：无论计数器处于何种状态 (运行状态或停止状态)，均会进行计数器复位。
[3]	CONT	连续模式 (Continuous mode) 0：定时器在单发模式下工作，达到 SHRTIM_MPRD 值时会停止工作。

		1: 定时器在连续（自由运行）模式下工作，达到 SHRTIM_MPRD 值时会翻转为零。
[2:0]	CKPSC	主时钟预分频器 (Clock prescaler) 这 3 位定义了主定时器的 8 个可能的预分频时钟因子。 有效计数时钟频率 (fCOUNTER) 等于 $f_{HRCK}/2CKPSC[2:0]$ 。在启用主定时器之前，必须确定预分频频率

### 17.4.1.2 SHRTIM 主定时器状态寄存器 (SHRTIM\_MINTSTS)

偏移地址: 0x04

复位值: 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						MUPDITF	SYNCINITF	MREPTITF	MCMP4ITF	MCMP3ITF	MCMP2ITF	MCMP1ITF			
						r	r	r	r	r	r	r			

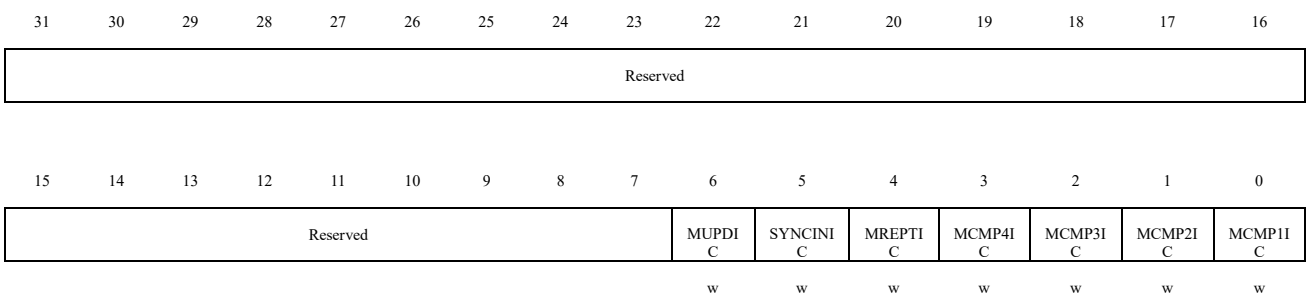
位域	名称	描述
[31:7]	Reserved	保留，必须保持复位值
[6]	MUPDITF	主寄存器更新中断标志 (Master Update Interrupt Flag) 每次主定时器寄存器更新时，该中断线都会被置位。 0: 未收到更新寄存器请求。 1: 收到更新寄存器。 该位仅由硬件置位。该位可由软件通过向寄存器写入 0 来清除。
[5]	SYNCINITF	同步输入中断标志 (Sync Input Interrupt Flag) 如果启用中断，则每次 SHRTIM 接收到同步输入时都会置位此中断线。 0: 未接收到同步输入。 1: 接收到同步输入。 该位仅由硬件置位。该位可由软件通过向寄存器写入 0 来清零
[4]	MREPTITF	主重复中断标志 (Master Repetition Interrupt Flag) 当重复计数器每次达到零值时，该中断线在启用时被置位。 0: 重复计数未达到零值。 1: 重复计数已达到零值，导致中断。 该位仅由硬件设置。该位可由软件通过向寄存器写入 0 来清零
[3]	MCMP4ITF	主定时器比较 4 中断标志 (Master Compare 4 Interrupt Flag) 当主定时器计数与比较 4 寄存器值匹配时，启用中断将被置位。 0: 主定时器计数与比较 4 事件之间不匹配。 1: 主定时器计数与比较 4 事件匹配。 该位仅由硬件置位。该位可由软件通过向寄存器写入 0 来清零
[2]	MCMP3ITF	主定时器比较 3 中断标志 (Master Compare 3 Interrupt Flag)

		当主定时器计数与比较 3 寄存器值匹配时，启用中断将被置位。 0：主定时器计数与比较 3 事件不匹配。 1：主定时器计数与比较 3 事件匹配。 该位仅由硬件置位。该位可由软件通过向寄存器写入 0 来清零
[1]	MCMP2ITF	主定时器比较 2 中断标志（Master Compare 2 Interrupt Flag） 当主定时器计数与比较 2 寄存器值匹配时，使能中断被置为有效。 0：主定时器计数与比较 2 事件之间不匹配。 1：主定时器计数与比较 2 事件匹配。 该位仅由硬件置位。该位可由软件通过向寄存器写入 0 来清除
[0]	MCMP1ITF	主定时器比较 1 中断标志（Master Compare 1 Interrupt Flag） 当主定时器计数与比较 1 寄存器值匹配时，启用中断将被置位。 0：主定时器计数与比较 1 事件不匹配。 1：主定时器计数与比较 1 事件匹配。 该位仅由硬件置位。该位可由软件通过向寄存器写入 0 来清零

### 17.4.1.3 SHRTIM 主定时器中断清零寄存器（SHRTIM\_MINTCLR）

偏移地址：0x08

复位值：0x00000000



位域	名称	描述
[31:7]	Reserved	保留，必须保持复位值
[6]	MUPDIC	主机更新中断标志清除（Master update interrupt flag clear） 0：SHRTIM_MINTSTS.MUPDITF 保持其值。 1：SHRTIM_MINTSTS.MUPDITF 值被清除
[5]	SYNCINIC	主同步中断标志清除（Master sync interrupt flag clear） 0：SHRTIM_MINTSTS.SYNCINITF 保持其值。 1：SHRTIM_MINTSTS.SYNCINITF 值被清除
[4]	MREPTIC	主重复中断标志清除（Master repetition interrupt flag clear） 0：SHRTIM_MINTSTS.MREPTITF 保持其值。 1：SHRTIM_MINTSTS.MREPTITF 值清零
[3]	MCMP4IC	主比较 4 中断标志清除（Master compare4 interrupt flag clear） 0：SHRTIM_MINTSTS.MCMP4ITF 保持其值。 1：SHRTIM_MINTSTS.MCMP4ITF 值被清除
[2]	MCMP3IC	主比较 3 中断标志清除（Master compare3 interrupt flag clear） 0：SHRTIM_MINTSTS.MCMP3ITF 保持其值。

		1: SHRTIM_MINTSTS.MCMP3ITF 值被清除
[1]	MCMP2IC	主比较 2 中断标志清除 (Master compare2 interrupt flag clear) 0: SHRTIM_MINTSTS.MCMP2ITF 保持其值。 1: SHRTIM_MINTSTS.MCMP2ITF 值被清除
[0]	MCMP1IC	主比较 1 中断标志清除 (Master compare1 interrupt flag clear) 0: SHRTIM_MINTSTS.MCMP1ITF 保持其值。 1: SHRTIM_MINTSTS.MCMP1ITF 值被清除

#### 17.4.1.4 SHRTIM 主定时器中断/DMA 使能寄存器 (SHRTIM\_MIDEN)

偏移地址: 0x0C

复位值: 0x 00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved									MUPDEN	SYNCINDEN	MREPTDEN	MCMP4DEN	MCMP3DEN	MCMP2DEN	MCMP1DEN
									rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved									MUPDIEN	SYNCINIEN	MREPTIEN	MCMP4IEN	MCMP3IEN	MCMP2IEN	MCMP1IEN
									rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
[31:23]	Reserved	保留, 必须保持复位值
[22]	MUPDDEN	主寄存器更新 DMA 请求启用 (Master registers update DMA request enable) 用于在主寄存器更新上启用 DMA 请求的软件位 0: 禁用更新寄存器生成的 DMA 请求。 1: 使能更新寄存器生成的 DMA 请求。
[21]	SYNCINDEN	同步输入 DMA 请求启用 (Synchronization input DMA request enable) 启用同步输入 DMA 请求的软件位启用 0: 禁用同步输入生成的 DMA 请求 1: 启用同步输入生成的 DMA 请求
[20]	MREPTDEN	主定时器重复 DMA 请求 (Master timer DMA request enable) 启用主定时器重复 DMA 请求的软件位启用 0: 禁用主定时器重复生成的 DMA 请求 1: 启用主定时器重复生成的 DMA 请求
[19]	MCMP4DEN	主定时器比较 4 DMA 请求 (Master timer compare 4 DMA request enable) 启用用于启用主定时器比较 4 DMA 请求的软件位 0: 禁用主定时器比较 4 生成的 DMA 请求 1: 启用主定时器比较 4 生成的 DMA 请求。
[18]	MCMP3DEN	主定时器比较 3 DMA 请求启用 (Master timer compare 3 DMA request enable)

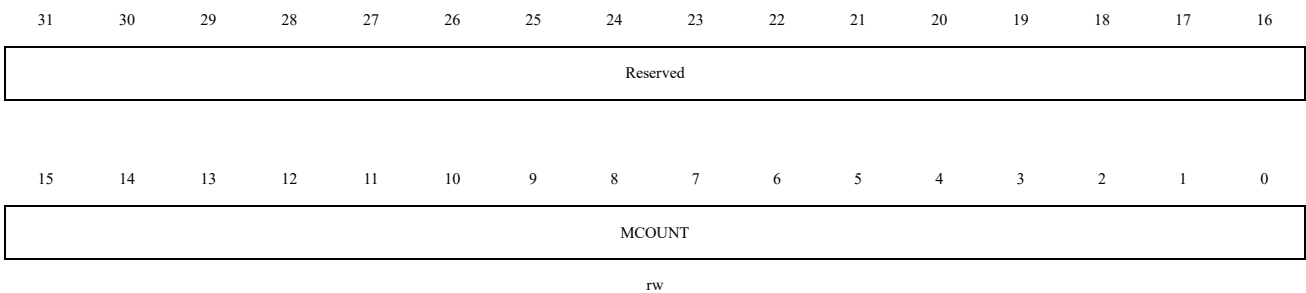
		用于启用主定时器比较 3 DMA 请求启用的软件位 0: 禁用主定时器比较 3 生成的 DMA 请求 1: 启用主定时器比较 3 生成的 DMA 请求。
[17]	MCMP2DEN	主定时器比较 2 DMA 请求启用 (Master timer compare 2 DMA request enable) 启用主定时器比较 2 DMA 请求的软件位 0: 禁用主定时器比较 2 生成的 DMA 请求 1: 启用主定时器比较 2 生成的 DMA 请求。
[16]	MCMP1DEN	主定时器比较 1 DMA 请求启用 (Master timer compare 1 DMA request enable) 用于启用主定时器比较 1 DMA 请求的软件位 0: 禁用主定时器比较 1 生成的 DMA 请求 1: 启用主定时器比较 1 生成的 DMA 请求。
[15:7]	Reserved	保留, 必须保持复位值
[6]	MUPDIEN	主寄存器更新中断请求使能 (Master registers update interrupt request enable) 使能主寄存器更新中断请求的软件位 0: 禁止更新寄存器生成中断请求。 1: 使能更新寄存器产生的中断请求。
[5]	SYNCINIEN	同步输入中断请求使能 (Synchronization input interrupt request enable) 使能同步输入中断请求的软件位 0: 禁止同步输入产生的中断请求 1: 使能同步输入产生的中断请求
[4]	MREPTIEN	主重复计数器中断请求使能 (Master repetition counter interrupt request enable) 使能重复计数器中断请求的软件位 0: 禁止主定时器重复计数器生成的中断请求 1: 使能主定时器重复计数器生成的中断请求
[3]	MCMP4IEN	主定时器比较 4 中断请求使能 (Master timer compare 4 interrupt request enable) 使能主定时器比较 4 上的中断请求的软件位 0: 禁止主定时器比较 4 生成的中断请求 1: 使能主定时器比较 4 生成的中断请求。
[2]	MCMP3IEN	主定时器比较 3 中断请求使能 (Master timer compare 3 interrupt request enable) 主定时器比较 3 中断请求的软件位 0: 禁用主定时器比较 3 生成的中断请求 1: 使能主定时器比较 3 生成的中断请求。
[1]	MCMP2IEN	主定时器比较 2 中断请求使能 (Master timer compare 2 interrupt request enable) 用于使能主定时器比较 2 上的中断请求的软件位 0: 禁止主定时器比较 2 生成的中断请求 1: 使能主定时器比较 2 生成的中断请求。

[0]	MCMP1IEN	主定时器比较 1 中断请求使能 (Master timer compare 1 interrupt request enable) 使能主定时器比较 1 中断请求的软件位 0: 禁止主定时器比较 1 生成中断请求 1: 使能主定时器比较 1 生成中断请求。

### 17.4.1.5 SHRTIM 主定时器计数寄存器 (SHRTIM\_MCNT)

偏移地址: 0x10

复位值: 0x00000000

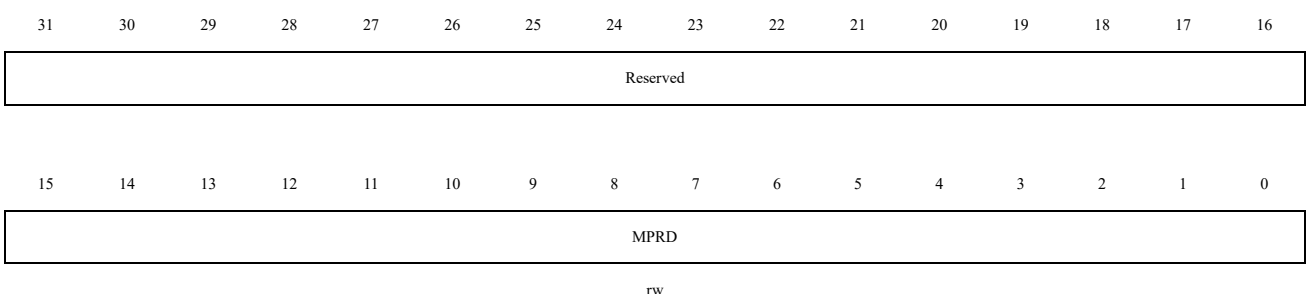


位域	名称	描述
[31:16]	Reserved	保留, 必须保持复位值
[15:0]	MCOUNT	主定时器计数器 (Master timer counter) 反映主定时器计数器的值。 仅当主定时器被禁用 (SHRTIM_MCTRL.MCNTEN = 0) 时才能写入该寄存器。 注: 对于 SHRTIM_MCTRL.CKPSC[2:0] < 5, 计数器的最低有效位不重要。它们无法写入, 读取时返回 0。 注: 加载到该寄存器中的计数不应超过写入 SHRTIM_MPRD 寄存器值的值。

### 17.4.1.6 SHRTIM 主定时器周期寄存器 (SHRTIM\_MPRD)

偏移地址: 0x14

复位值: 0x0000FFDF

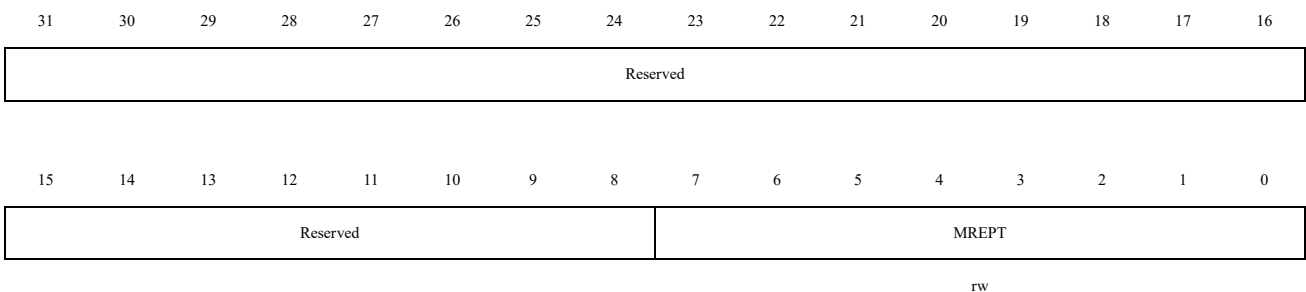


位域	名称	描述
[31:16]	Reserved	保留，必须保持复位值
[15:0]	MPRD	主定时器周期（Master timer period） 该寄存器定义计数器溢出值。 周期值必须大于或等于 $f_{SHRTIM}$ 时钟的 3 个周期，即，如果 $CKPSC[2:0] = 0$ ，则为 0x60；如果 $CKPSC[2:0] = 1$ ，则为 0x30，如果 $CKPSC[2:0] = 2$ ，则为 0x18，... 当 SHRTIM_MCTRL.PLEN 位置 1 时，该寄存器将值配置到周期预装载寄存器中。如果 SHRTIM_MCTRL.PLEN 复位，则该寄存器值将直接加载到活动周期寄存器。

### 17.4.1.7 SHRTIM 主定时器重复计数寄存器（SHRTIM\_MREPT）

偏移地址：0x18

复位值：0x00000000

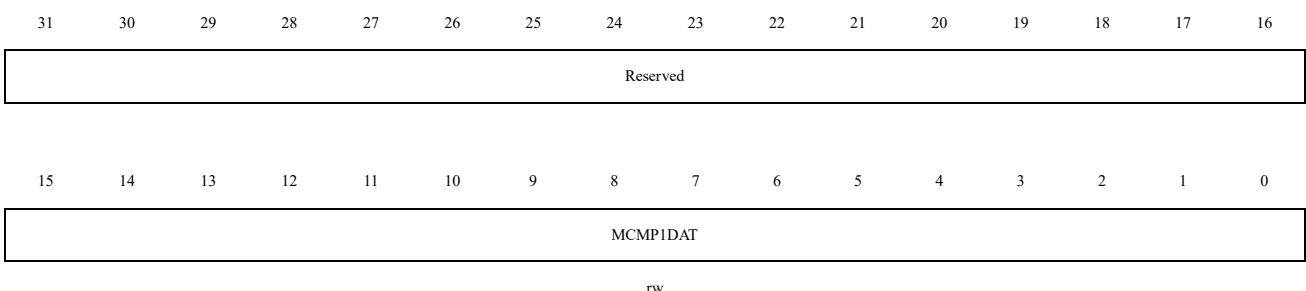


位域	名称	描述
[31:8]	Reserved	保留，必须保持复位值
[7:0]	MREPT	主定时器重复周期（Master timer repetition period） 该寄存器保存主定时器重复周期值。 当 SHRTIM_MCTRL.PLEN 位置位时，该寄存器将值配置到重复预加载寄存器中。如果 SHRTIM_MCTRL.PLEN 复位，则该寄存器值将直接加载到活动重复寄存器。

### 17.4.1.8 SHRTIM 主定时器比较 1 寄存器（SHRTIM\_MCMP1DAT）

偏移地址：0x1C

复位值：0x00000000

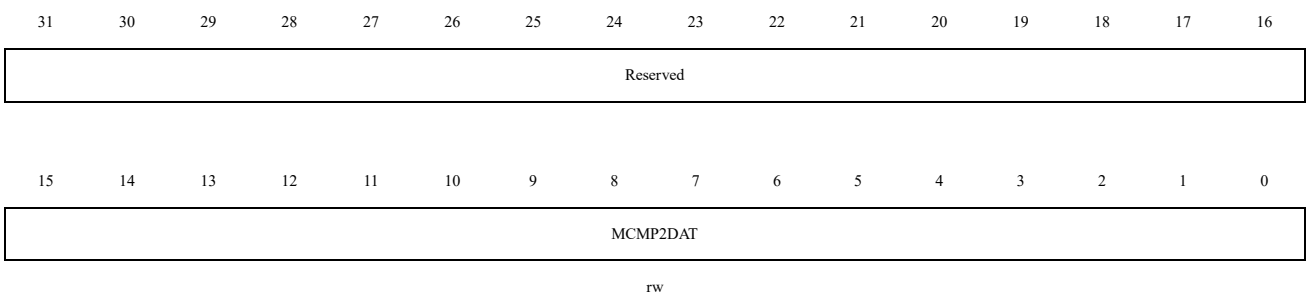


位域	名称	描述
[31:16]	Reserved	保留，必须保持复位值
[15:0]	MCMP1DAT	主定时器比较 1 数据（Master timer compare 1 data） 周期值必须大于或等于 $f_{SHRTIM}$ 时钟的 3 个周期，即，如果 CKPSC[2:0] = 0，则为 0x60；如果 CKPSC[2:0] = 1，则为 0x30；如果 CKPSC[2:0] = 2，则为 0x18；... 当 SHRTIM_MCTRL.PLEN 位置 1 时，该寄存器将值配置到比较 1 预装载寄存器中。如果 SHRTIM_MCTRL.PLEN 复位，则该寄存器值将直接加载到活动比较 1 寄存器。

#### 17.4.1.9 SHRTIM 主定时器比较 2 寄存器（SHRTIM\_MCMP2DAT）

偏移地址：0x24

复位值：0x00000000

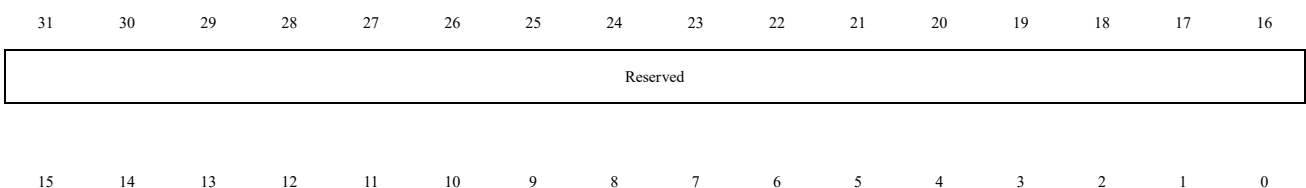


位域	名称	描述
[31:16]	Reserved	保留，必须保持复位值
[15:0]	MCMP2DAT	主定时器比较 2 数据（Master timer compare 2 data） 比较 2 的值必须大于或等于 $f_{SHRTIM}$ 时钟的 3 个周期，即，如果 CKPSC[2:0] = 0，则为 0x60；如果 CKPSC[2:0] = 1，则为 0x30；如果 CKPSC[2:0] = 2，则为 0x18；... 当 SHRTIM_MCTRL.PLEN 位置 1 时，该寄存器将值配置到比较 2 预装载寄存器中。如果 SHRTIM_MCTRL.PLEN 复位，则该寄存器值将直接加载到活动比较 2 寄存器。

#### 17.4.1.10 SHRTIM 主定时器比较 3 寄存器（SHRTIM\_MCMP3DAT）

偏移地址：0x28

复位值：0x00000000





MCMP3DAT

rw

位域	名称	描述
[31:16]	Reserved	保留，必须保持复位值
[15:0]	MCMP3DAT	主定时器比较 3 个数据（Master timer compare 3 data） 比较 3 的值必须大于或等于 $f_{SHRTIM}$ 时钟的 3 个周期，即，如果 CKPSC[2:0] = 0，则为 0x60；如果 CKPSC[2:0] = 1，则为 0x30；如果 CKPSC[2:0] = 2，则为 0x18；... 该寄存器在 SHRTIM_MCTRL 时将值配置到比较 3 预装载寄存器中。PLEN 位被置位。如果 SHRTIM_MCTRL.PLEN 复位，则该寄存器值将直接加载到活动比较 3 寄存器。

#### 17.4.1.11 SHRTIM 主定时器比较 4 寄存器（SHRTIM\_MCMP4DAT）

偏移地址：0x2C

复位值：0x00000000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

MCMP4DAT

rw

位域	名称	描述
[31:16]	Reserved	保留，必须保持复位值
[15:0]	MCMP4DAT	主定时器比较 4 个数据（Master timer compare 4 data） 比较 4 的值必须大于或等于 $f_{SHRTIM}$ 时钟的 3 个周期，即，如果 CKPSC[2:0] = 0，则为 0x60；如果 CKPSC[2:0] = 1，则为 0x30；如果 CKPSC[2:0] = 2，则为 0x18；... 当 SHRTIM_MCTRL.PLEN 位置位时，该寄存器将值配置到比较 4 预装载寄存器中。如果 SHRTIM_MCTRL.PLEN 复位，则该寄存器值将直接加载到活动比较 4 寄存器。

#### 17.4.1.12 SHRTIM 同步输出寄存器（SHRTIM\_SYNCOUT）

偏移地址：0x30

复位值：0x00000000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	SYNCOUTPUS
----------	------------

rw

位域	名称	描述
[31:2]	Reserved	保留，必须保持复位值
[1:0]	SYNCOUTPUS	同步输出 shrtim_out_sync1 到 SHRTIMx_SCOUT 引脚（Synchronization output shrtim_out_sync1 to SHRTIMx_SCOUT pin） 这些位定义同步输出事件的路由和调节。 00：禁用同步输出功能 01：未使用 10：将在 SHRTIMx_SCOUT 上驱动 16 个 SHRTIM 时钟周期的正脉冲 11：将在 SHRTIMx_SCOUT 上驱动 16 个 SHRTIM 时钟周期的负脉冲 注：一旦计数器使能（SHRTIM_MCTRL.TxCNTEN 位设置），该位段不得修改

#### 17.4.1.13 SHRTIM 调试冻结禁能寄存器（SHRTIM\_FRZDIS）

偏移地址：0x34

复位值：0x00000000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved
----------

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	ALLTIMEN	TFDBGEN	TEDBGEN	TDDBGEN	TCDBGEN	TBDBGEN	TADBGEN	MDBGEN
	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
[31:8]	Reserved	保留，必须保持复位值
[7]	ALLTIMEN	DBG_CTRL.SHRTIM1_STOP 控制所有定时器（主定时器 + 从定时器） 0：DBG_CTRL.SHRTIM1_STOP 置 1 时，当微控制器进入调试模式（Cortex®-M4 内核停止）时，所有定时器均停止工作。 1：DBG_CTRL.SHRTIM1_STOP 置 1 时，当微控制器进入调试模式（Cortex®-M4 内核停止）时，所有定时器均不受影响。
[6]	TFDBGEN	参考 TADBGEN 的描述
[5]	TEDBGEN	参考 TADBGEN 的描述
[4]	TDDBGEN	参考 TADBGEN 的描述

[3]	TCDBGEN	参考 TADBGEN 的描述
[2]	TBDBGEN	参考 TADBGEN 的描述
[1]	TADBGEN	跳过 DBG_CTRL.SHRTIM1_STOP 对定时器 A 的控制 0: DBG_CTRL.SHRTIM1_STOP 置 0 时, 当微控制器进入调试模式 (Cortex®-M4 内核停止) 时, 定时器 A 会停止工作。 1: DBG_CTRL.SHRTIM1_STOP 置 1 时, 当微控制器进入调试模式 (Cortex®-M4 内核停止) 时, 定时器 A 不受影响。
[0]	MDBGEN	跳过 DBG_CTRL.SHRTIM1_STOP 对主定时器的控制 0: DBG_CTRL.SHRTIM1_STOP 置 0 时, 当微控制器进入调试模式 (Cortex®-M4 内核停止) 时, 主定时器会停止工作。 1: DBG_CTRL.SHRTIM1_STOP 置 1 时, 当微控制器进入调试模式 (Cortex®-M4 内核停止) 时, 主定时器不受影响。

## 17.4.2 SHRTIM 定时器单元的寄存器

### 17.4.2.1 SHRTIM 定时器 x 控制寄存器 (SHRTIM\_TxCTRL)

偏移地址:

TIMA: 0x080

TIMB: 0x100

TIMC: 0x180

TIMD: 0x200

TIME: 0x280

TIMF: 0x300

复位值: 0x00000000

Z	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UPDGAT			PLEN	DACTRIG			MUE N	TEUE N	TDUE N	TCUE N	TBUE N	Reserv ed	RSTROU EN	REPTUE N	TFUE N
rw			rw	rw			rw	rw	rw	rw	rw		rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DELCMP4M		DELCMP2M		SYNCST RT	SYNCR ST	RSYNCU PD	ILV		PP	HLF	RTG	CONT	CKPSC		
rw		rw		rw	rw	rw	rw		rw	rw	rw	rw	rw		

位域	名称	描述
[31:28]	UPDGAT	更新门控 (Update Gating) 更新寄存器可以与 DMA 突发以及输入引脚 shrtim_upd_enx 共享关系。下面的配置寄存器位显示了这种依赖性。 0000: 独立于 DMA 突发传输进行更新 0001: DMA 突发传输结束时进行更新 0010: DMA 突发传输结束后发生更新事件时进行更新 0011: 在 SHRTIM 更新使能输入 1 (shrtim_upd_en1) 的上升沿进行更新

		<p>0100: 在 SHRTIM 更新使能输入 2 (shrtim_upd_en2) 的上升沿进行更新</p> <p>0101: 在 SHRTIM 更新使能输入 3 (shrtim_upd_en3) 的上升沿进行更新</p> <p>0110: 在 SHRTIM 更新使能输入 1 (shrtim_upd_en1) 的上升沿后发生更新事件时进行更新</p> <p>0111: 在 SHRTIM 更新使能输入 2 (shrtim_upd_en2) 的上升沿后发生更新事件时进行更新</p> <p>1000: 在 SHRTIM 更新使能输入 3 (shrtim_upd_en3) 的上升沿后发生更新事件时进行更新</p> <p>其他: 未使用</p>
[27]	PLEN	<p>定时器 x 预装载使能 (Timer x preload enable)</p> <p>该位使能寄存器预装载机制, 并定义对可预装载寄存器的写访问是在活动寄存器还是预装载寄存器中完成。</p> <p>0: 预装载禁用: 写访问直接在活动寄存器中完成</p> <p>1: 预装载启用: 对预装载寄存器进行写访问</p>
[26:25]	DACTRIG	<p>DAC 同步触发 (DAC Synchronization trig)</p> <p>发生定时器更新时, 会生成 DAC 同步事件。这些位会定义在哪路输出上发送 DAC 同步事件 (有关连接的详细信息, 请参见章节 17.3.21)。</p> <p>00: 未选择 DAC 触发</p> <p>01: 在 hrtim_dac_trig1 上生成触发</p> <p>10: 在 hrtim_dac_trig2 上生成触发</p> <p>11: 在 hrtim_dac_trig3 上生成触发</p>
[24]	MUEN	<p>主定时器更新 (Master timer update)</p> <p>寄存器更新由主定时器更新触发</p> <p>0: 禁用主定时器作为寄存器更新触发</p> <p>1: 启用主定时器作为寄存器更新触发</p>
[23]	TEUEN	<p>在 SHRTIM_TACTRL、SHRTIM_TBCTRL、SHRTIM_TCCTRL、SHRTIM_TDCTRL、SHRTIM_TFCTRL 中: 定时器 E 更新 (TIM E update)</p> <p>寄存器更新由定时器 E update 触发</p> <p>0: 禁用定时器 E 作为寄存器更新触发</p> <p>1: 启用定时器 E 作为寄存器更新触发</p>
[22]	TDUEN	<p>在 SHRTIM_TACTRL、SHRTIM_TBCTRL、SHRTIM_TCCTRL、SHRTIM_TECTRL、SHRTIM_TFCTRL 中: 定时器 D 更新 (TIM D update)</p> <p>寄存器更新由定时器 D 更新触发</p> <p>0: 禁用定时器 D 作为寄存器更新触发</p> <p>1: 启用定时器 D 作为寄存器更新触发</p>
[21]	TCUEN	<p>在 SHRTIM_TACTRL、SHRTIM_TBCTRL、SHRTIM_TDCTRL、SHRTIM_TECTRL、SHRTIM_TFCTRL 中: 定时器 C 更新 (TIM C update)</p> <p>寄存器更新由定时器 C update 触发</p> <p>0: 禁止定时器 C 作为寄存器更新触发</p> <p>1: 使能定时器 C 作为寄存器更新触发</p>
[20]	TBUEN	<p>在 SHRTIM_TACTRL、SHRTIM_TCCTRL、SHRTIM_TDCTRL、</p>

		SHRTIM_TECTRL、SHRTIM_TFCTRL 中：定时器 B 更新 (TIM B update) 寄存器更新由定时器 B update 触发 0：禁用定时器 B 作为寄存器更新触发 1：启用定时器 B 作为寄存器更新触发
[19]	TAUEN	在 SHRTIM_TBCTRL、SHRTIM_TCCTRL、SHRTIM_TDCTRL、SHRTIM_TECTRL、SHRTIM_TFCTRL 中：定时器 A 更新 (TIM A update) 寄存器更新由定时器 A update 触发 0：禁用定时器 A 作为寄存器更新触发 1：启用定时器 A 作为寄存器更新触发
[18]	RSTROUEN	Timerx 复位更新 (Timerx reset update) 在连续模式下，当 Timerx 的计数器复位或达到周期值后翻转至 0 时，将触发寄存器更新。 0：禁止通过定时器 x 复位/ 翻转触发更新 1：使能通过定时器 x 复位/ 翻转触发更新
[17]	REPTUEN	定时器 x 重复更新 (Timer x Repetition update) 计数器翻转且 SHRTIM_TxREPT = 0 时触发寄存器更新 0：禁止与重复有关的更新 1：使能与重复有关的更新
[16]	TFUEN	在 SHRTIM_TACTRL、SHRTIM_TBCTRL、SHRTIM_TCCTRL、SHRTIM_TDCTRL、SHRTIM_TECTRL 中：定时器 F 更新 ((TIM F update) 寄存器更新由定时器 F update 触发 0：禁止定时器 F 作为寄存器更新触发 1：使能定时器 F 作为寄存器更新触发
[15:14]	DELCMP4M	CMP4 自动延迟模式 (CMP4 auto-delayed mode) 以下位决定 SHRTIM_TxCMP4DAT 是否在标准模式或各种自动延迟模式下运行。 00：SHRTIM_TxCMP4DAT 处于常规比较模式 01：SHRTIM_TxCMP4DAT 处于自动延迟模式，内部 SHRTIM_TxCMP4DAT = SHRTIM_TxCPT.CPT2 寄存器 + 原始 SHRTIM_TxCMP4DAT 值。如果捕获 2 事件在 PRD 之前未能发生，则比较将被取消，直到复位/翻转到下一个周期并且没有 CMP4 事件发生。 10：SHRTIM_TxCMP4DAT 处于自动延迟模式，内部 SHRTIM_TxCMP4DAT = SHRTIM_TxCPT.CPT2 寄存器 + 原始 SHRTIM_TxCMP4DAT 值。如果捕获 2 事件尚未发生，则通过等待计数达到 (SHRTIM_TxCMP4DAT + SHRTIM_TxCMP1DAT) 来实现超时功能。比较匹配时发出 CMP4 事件。 11：SHRTIM_TxCMP4DAT 处于自动延迟模式，内部 SHRTIM_TxCMP4DAT = SHRTIM_TxCPT.CPT2 寄存器 + 原始 SHRTIM_TxCMP4DAT 值。如果捕获 2 事件尚未发生，则通过等待计数达到 (SHRTIM_TxCMP4DAT + SHRTIM_TxCMP3DAT) 来实现超时功

		能。比较匹配时发出 CMP4 事件。
[13:12]	DELCMP2M	<p>CMP2 延迟模式 (CMP2 auto-delayed mode)</p> <p>以下位决定 SHRTIM_TxCMP2DAT 是否在标准模式或各种自动延迟模式下运行</p> <p>00: SHRTIM_TxCMP2DAT 处于常规比较模式</p> <p>01: SHRTIM_TxCMP2DAT 处于自动延迟模式, 内部 SHRTIM_TxCMP2DAT = SHRTIM_TxCPT.CPT1 寄存器 + 原始 SHRTIM_TxCMP2DAT 值。如果捕获 1 事件在 PRD 之前未能发生, 则比较将被取消, 直到复位/翻转到下一个周期并且没有 CMP2 事件发生。</p> <p>10: SHRTIM_TxCMP2DAT 处于自动延迟模式, 内部 SHRTIM_TxCMP2DAT = SHRTIM_TxCPT.CPT1 寄存器 + 原始 SHRTIM_TxCMP2DAT 值。如果捕获 1 事件尚未发生, 则通过等待计数达到 (SHRTIM_TxCMP2DAT + SHRTIM_TxCMP1DAT) 来实现超时功能。比较匹配时发出 CMP2 事件。</p> <p>11: SHRTIM_TxCMP2DAT 处于自动延迟模式, 内部 SHRTIM_TxCMP2DAT = SHRTIM_TxCPT.CPT1 寄存器 + 原始 SHRTIM_TxCMP2DAT 值。如果捕获事件尚未发生, 则通过等待计数达到 (SHRTIM_TxCMP2DAT + SHRTIM_TxCMP3DAT) 来实现超时功能。比较匹配时发出 CMP2 事件。</p>
[11]	SYNCSTRT	<p>同步启动定时器 x (Synchronization Starts Timer x)</p> <p>此位定义定时器 x 在同步事件之后的行为:</p> <p>0: 对定时器 x 无影响</p> <p>1: 同步输入事件会启动定时器 x</p>
[10]	SYNCRST	<p>同步复位定时器 x (Synchronization Resets Timer x)</p> <p>此位定义定时器 x 在同步事件之后的行为:</p> <p>0: 对定时器 x 无影响</p> <p>1: 同步输入事件会复位定时器 x</p>
[9]	RSYNCUPD	<p>重新同步更新 (Update on resynchronization)</p> <p>该位指定来自计时单元外部的更新源是否必须同步</p> <p>0: 来自相邻定时器的更新 (当 MUEN、TAUEN、TBUEN、TCUEN、TDUEN、TEUEN、TFUEN 位被置位时) 或来自软件立即 (TxSWUPD 位) 考虑更新</p> <p>1: 来自相邻定时器的更新 (当 MUEN、TAUEN、TBUEN、TCUEN、TDUEN、TEUEN、TFUEN 位置 1 时) 或来自软件更新 (TxSWUPD 位) 的更新在下一次复位/翻转事件被考虑</p> <p>注意: 对于除 UPDGAT[3:0]=4'b0000 之外的值, 该位将被忽略</p>
[8:7]	ILV	<p>交错模式 (Interleaved mode)</p> <p>该位字段仅在 HLF 位复位时才有意义。它启用交错模式。</p> <p>00: 交错模式禁用</p> <p>01: 三重交错模式: 写入 SHRTIM_TxPRD 寄存器时, SHRTIM_TxCMP1DAT 活动寄存器自动更新为 SHRTIM_TxPRD/3 值, SHRTIM_TxCMP2DAT 活动寄存器自动更新为 2x (SHRTIM_TxPRD/3) 值。</p>

		<p>10: 四交错模式: 当写入 SHRTIM_TxPRD 寄存器时, SHRTIM_TxCMP1DAT 活动寄存器自动更新为 SHRTIM_TxPRD/4 值, SHRTIM_TxCMP2DAT 活动寄存器自动更新为 SHRTIM_TxPRD/2 值, SHRTIM_TxCMP3DAT 活动寄存器自动更新为 3x (SHRTIM_TxPRD/4) 值。</p> <p>11: 禁用交错模式</p>
[6]	PP	<p>推挽模式使能 (Push-Pull mode enable) 此位用于使能推挽模式。</p> <p>0: 禁止推挽模式 1: 使能推挽模式</p> <p>注: 计数器使能后 (TxCNTEN 位置 1), 不得修改该位域。</p>
[5]	HLF	<p>半占空比模式使能 (Half mode enable) 此位用于使能半占空比模式: SHRTIM_TxPRD 寄存器写入内容后, SHRTIM_TxCMP1DAT 活动寄存器会自动更新为 SHRTIM_TxPRD/2 值。</p> <p>0: 禁止半占空比模式 1: 使能半占空比模式</p>
[4]	RTG	<p>可再触发模式 (Re-triggerable mode) 此位定义计数器在单发模式下的行为。</p> <p>0: 定时器不可再次触发: 如果计数器停止计数 (单发模式下计数周期已过, 或者连续模式下计数器停止计数), 则会进行计数器复位。</p> <p>1: 定时器可再次触发: 无论计数器处于何种状态, 均会进行计数器复位。</p>
[3]	CONT	<p>连续模式 (Continuous mode)</p> <p>0: 此设置将主设备配置为单发模式, 并在达到 SHRTIM_TxPRD1 时停止计数</p> <p>1: 定时器在自由运行模式下连续工作, 每次达到 SHRTIM_MPRD 时滚动到零。</p>
[2:0]	CKPSC	<p>时钟预分频器</p> <p>这 3 位定义了定时器 x 的 8 个可能的预分频时钟因子。</p> <p>有效计数时钟频率 (fCOUNTER) 与 fHRCK/2CKPSC[2:0] 相同。在启用定时器之前, 必须确定预分频频率</p>

#### 17.4.2.2 SHRTIM 定时器 x 中断状态寄存器 (SHRTIM\_TxINTSTS)

偏移地址:

TIMA: 0x084

TIMB: 0x104

TIMC: 0x184

TIMD: 0x204

TIME: 0x284

TIMF: 0x304

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved										O2BCK UP	O1BCK UP	O2DIPS TS	O1DIPS TS	IPPSTS	CPPSTS
										r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserv ed	DPIT F	RSTROI TF	RST2I TF	SET2I TF	RST1I TF	SET1I TF	CPT2I TF	CPT1I TF	UPDI TF	REPTIT F	CMP5IT F	CMP4IT F	CMP3IT F	CMP2I TF	CMP1I TF
	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r



位域	名称	描述
[31:22]	Reserved	保留，必须保持复位值
[21]	O2BCKUP	定时器 x 通道 2 输出备份 (Timer x channel 2 output backup.)。 此状态位是输出级之前输出 2 状态的原始副本 (斩波、极性)， 允许在延迟保护后重新使能输出之前检查当前输出状态。 0: 输出 2 无效 1: 输出 2 有效
[20]	O1BCKUP	定时器 x 通道 1 输出备份 (Timer x channel 1 output backup.)。 此状态位是输出级之前输出 1 状态的原始副本 (斩波、极性)， 允许在延迟保护后重新使能输出之前检查当前输出状态。 0: 输出 1 无效 1: 输出 1 有效
[19]	O2DIPSTS	定时器 x 通道 2 延迟空闲保护状态。(Timer x channel 2 delayed idle protection status.) 此状态位指示延迟空闲保护触发时的输出 2 状态。进入任何新的延迟保护时，会更新此位。均衡空闲模式下，不会更新此位。 0: 输出 2 无效 1: 输出 2 有效
[18]	O1DIPSTS	定时器 x 通道 1 延迟空闲保护状态。(Timer x channel 1 delayed idle protection status.) 此状态位指示延迟空闲保护触发时的输出 1 状态。进入任何新的延迟保护时，会更新此位。均衡空闲模式下，不会更新此位。 0: 输出 1 无效 1: 输出 1 有效
[17]	IPPSTS	空闲推挽状态 (Idle Push Pull Status) 此状态位指示触发保护时，在推挽模式、均衡故障模式或延迟空闲模式下将信号应用到哪路输出 (不考虑输出状态有效还是无效)。 0: 输出 1 有效时进行保护，输出 2 强制无效 1: 输出 2 有效时进行保护，输出 1 强制无效
[16]	CPPSTS	当前推挽状态 (Current Push Pull Status) 此状态位指示推挽模式下当前将信号应用到哪路输出上。此位仅在该配置中有意义。 0: 信号应用到输出 1 上，输出 2 强制无效 1: 信号应用到输出 2 上，输出 1 强制无效
[15]	Reserved	保留，必须保持复位值
[14]	DPITF	延迟保护中断标志 (Delayed protection interrupt flag) 0: 未发生延迟保护中断 1: 发生延迟空闲或均衡空闲模式进入导致中断
[13]	RSTROITF	复位和/或翻转中断标志 (Reset and/or roll-over Interrupt Flag) 定时器 x 在连续模式下复位或翻转时，此位由硬件置 1。 0: 未发生 TIMx 计数器复位/翻转中断

		1: 发生 TIMx 计数器复位/ 翻转中断
[12]	RST2ITF	输出 2 复位中断标志 (Output 2 reset interrupt flag) 参考 RST1ITF 说明
[11]	SET2ITF	输出 2 设置中断标志 (Output 2 set interrupt flag) 参考 SET1ITF 说明
[10]	RST1ITF	输出 1 复位中断标志 (Output 1 reset interrupt flag) 当 Tx1 输出复位 (从活动模式变为非活动模式) 时, 该位由硬件置位。 0: 未发生 Tx1 输出复位中断 1: 发生 Tx1 输出复位中断
[9]	SET1ITF	输出 1 设置中断标志 (Output 1 set interrupt flag) 当 Tx1 输出置位 (从非活动模式变为活动模式) 时, 该位由硬件置位。 0: 未发生 Tx1 输出设置中断 1: 发生 Tx1 输出设置中断
[8]	CPT2ITF	捕获 2 中断标志 (Capture 2 interrupt flag) 参考 CPT1ITF 说明
[7]	CPT1ITF	捕获 1 中断标志 (Capture 1 interrupt flag) 当定时器 x 捕获 1 事件发生时, 该位由硬件置位。 0: 未发生定时器 x 捕获 1 中断 1: 发生定时器 x 捕获 1 中断
[6]	UPDITF	更新中断标志 (Update interrupt flag) 当定时器 x 更新事件发生时, 该位由硬件置位。 0: 未发生定时器 x 更新中断 1: 发生定时器 x 更新中断
[5]	REPTITF	重复中断标志 (Repetition interrupt flag) 当定时器 x 重复周期结束时, 该位由硬件置位。 0: 未发生定时器 x 重复中断 1: 发生定时器 x 重复中断
[4]	CMP5ITF	比较 5 标志 (Compare 5 flag) 参考 CMP1ITF 说明
[3]	CMP4ITF	比较 4 中断标志 (Compare 4 flag) 参考 CMP1ITF 说明
[2]	CMP3ITF	比较 3 中断标志 (Compare 3 flag) 参考 CMP1ITF 说明
[1]	CMP2ITF	比较 2 中断标志 (Compare 2 flag) 参考 CMP1ITF 说明
[0]	CMP1ITF	比较 1 中断标志 (Compare 1 flag) 当定时器 x 计数器与比较 1 寄存器中编程的值匹配时, 该位由硬件置位。 0: 未发生比较 1 中断 1: 发生比较 1 中断

### 17.4.2.3 SHRTIM 定时器 x 中断清零寄存器 (SHRTIM\_TxINTCLR)

偏移地址:

TIMA: 0x088

TIMB: 0x108

TIMC: 0x188

TIMD: 0x208

TIME: 0x288

TIMF: 0x308

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserve d	DPIC	RSTROI C	RST2I C	SET2I C	RST1I C	SET1I C	CPT2I C	CPT1I C	UPDIC	REPTI C	CMP5I C	CMP4I C	CMP3I C	CMP2I C	CMP1I C
	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

位域	名称	描述
[31:15]	Reserved	保留, 必须保持复位值
[14]	DPIC	延迟保护中断标志清除 (Delayed protection interrupt flag clear) 向该位写入 1 将清除 SHRTIM_TxINTSTS.DPIF
[13]	RSTROI C	复位和/或翻转中断标志清除 (Reset and/or roll-over interrupt flag clear) 向该位写入 1 将清除 SHRTIM_TxINTSTS.RSTROIIF
[12]	RST2IC	输出通道 2 复位中断标志清除 (Output channel 2 reset interrupt flag clear) 向该位写入 1 将清除 SHRTIM_TxINTSTS.RST2ITF
[11]	SET2IC	输出通道 2 设置中断标志清除 (Output channel 2 set interrupt flag clear) 向该位写入 1 将清除 SHRTIM_TxINTSTS.SET2ITF
[10]	RST1IC	输出通道 1 复位中断标志清除 (Output channel 1 reset interrupt flag clear) 向该位写入 1 会清除 SHRTIM_TxINTSTS.RST1ITF
[9]	SET1IC	输出通道 1 设置中断标志清除 ((Output channel 1 set interrupt flag clear)) 向该位写入 1 将清除 SHRTIM_TxINTSTS.SET1ITF
[8]	CPT2IC	捕获 2 中断标志清除 (Capture 2 interrupt flag clear) 向该位写入 1 将清除 SHRTIM_TxINTSTS.CPT2ITF
[7]	CPT1IC	捕获 1 中断标志清除 (Capture 1 interrupt flag clear) 向该位写入 1 将清除 SHRTIM_TxINTSTS.CPT1ITF

[6]	UPDIC	更新中断标志清除 (Update interrupt flag clear) 向该位写入 1 会清除 SHRTIM_TxINTSTS.UPDITF
[5]	REPTIC	重复中断标志清除 (Repetition interrupt flag clear) 向该位写入 1 将清除 SHRTIM_TxINTSTS.REPTITF
[4]	CMP5IC	比较 5 标志清除 (Compare 5 flag clear) 向该位写入 1 会清除 SHRTIM_TxINTSTS.CMP5ITF
[3]	CMP4IC	比较 4 中断标志清除 (Compare 4 interrupt flag clear) 向该位写入 1 会清除 SHRTIM_TxINTSTS.CMP4ITF
[2]	CMP3IC	比较 3 中断标志清除 (Compare 3 interrupt flag clear) 向该位写入 1 将清除 SHRTIM_TxINTSTS.CMP3ITF
[1]	CMP2IC	比较 2 中断标志清除 (Compare 2 interrupt flag clear) 向该位写入 1 会清除 SHRTIM_TxINTSTS.CMP2ITF
[0]	CMP1IC	比较 1 中断标志清除 (Compare 1 interrupt flag clear) 向该位写入 1 会清除 SHRTIM_TxINTSTS.CMP1ITF

#### 17.4.2.4 SHRTIM 定时器 x 中断/DMA 使能寄存器 (SHRTIM\_TxIDEN)

偏移地址:

TIMA: 0x08C

TIMB: 0x10C

TIMC: 0x18C

TIMD: 0x20C

TIME: 0x28C

TIMF: 0x30C

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserv ed	DPD EN	RSTROD EN	RST2D EN	SET2D EN	RST1D EN	SET1D EN	CPT2D EN	CPT1D EN	UPDD EN	Reserv ed	REPTD EN	CMP4D EN	CMP3D EN	CMP2D EN	CMP1D EN
	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserv ed	DPIE N	RSTROI EN	RST2IE N	SET2IE N	RST1IE N	SET1IE N	CPT2IE N	CPT1IE N	UPDIE N	REPTI EN	Reserv ed	CMP4I EN	CMP3I EN	CMP2I EN	CMP1I EN
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw

位域	名称	描述
[31]	Reserved	保留, 必须保持复位值
[30]	DPDEN	延迟保护 DMA 请求启用 (Delayed protection DMA request enable) 该位由软件置位和清零, 以启用/禁用延迟保护的 DMA 请求。 0: 禁用延迟保护 DMA 请求

		1: 启用延迟保护 DMA 请求
[29]	RSTRODEN	复位/翻转 DMA 请求使能 (Reset/roll-over DMA request enable) 该位由软件置位和清除, 以启用/禁用定时器 x 计数器复位或连续模式翻转时的 DMA 请求。 0: 定时器 x 计数器复位/翻转 DMA 请求禁用 1: 启用定时器 x 计数器复位/翻转 DMA 请求
[28]	RST2DEN	输出 2 复位 DMA 请求使能 (Output 2 reset DMA request enable) 请参阅 RST1DEN 说明
[27]	SET2DEN	输出 2 设置 DMA 请求使能 (Output 2 set DMA request enable) 请参阅 SET1DEN 说明
[26]	RST1DEN	输出 1 复位 DMA 请求使能 ((Output 1 reset DMA request enable) 该位由软件置位和清零, 以启用/禁用 Tx1 输出复位 DMA 请求。 0: 禁用 Tx1 输出复位 DMA 请求 1: 启用 Tx1 输出复位 DMA 请求
[25]	SET1DEN	输出 1 设置 DMA 请求启用 (Output 1 reset DMA request enable) 该位由软件置位和清零, 以启用/禁用 Tx1 输出设置 DMA 请求。 0: Tx1 输出设置 DMA 请求禁用 1: Tx1 输出设置 DMA 请求启用
[24]	CPT2DEN	捕获 2 DMA 请求使能 (Capture 2 DMA request enable) 参见 CPT1DEN 说明
[23]	CPT1DEN	捕获 1 DMA 请求使能 (Capture 1 DMA request enable) 该位由软件置位和清零, 以启用/禁用捕获 1 DMA 请求。 0: 禁用捕获 1 DMA 请求 1: 启用捕获 1 DMA 请求
[22]	UPDDEN	更新 DMA 请求启用 (Update DMA request enable) 该位由软件置位和清零, 以在更新事件时启用/禁用 DMA 请求。 0: 禁用更新 DMA 请求 1: 启用更新 DMA 请求
[21]	Reserved	保留, 必须保持复位值
[20]	REPTDEN	重复 DMA 请求启用 (Repetition DMA request enable) 该位由软件置位和清零, 以在重复事件上启用/禁用 DMA 请求。 0: 禁用重复 DMA 请求 1: 启用重复 DMA 请求
[19]	CMP4DEN	比较 4 DMA 请求使能 (Compare 4 DMA request enable) 参见 CMP1DEN 说明
[18]	CMP3DEN	比较 3 DMA 请求使能 (Compare 3 DMA request enable)

		请参阅 CMP1DEN 说明
[17]	CMP2DEN	比较 2 DMA 请求使能 (Compare 2 DMA request enable) 请参考 CMP1DEN 说明
[16]	CMP1DEN	比较 1 DMA 请求启用 (Compare 1 DMA request enable) 该位由软件置位和清零, 以启用/禁用比较 1 DMA 请求。 0: 禁用比较 1 DMA 请求 1: 启用比较 1 DMA 请求
[15]	Reserved	保留, 必须保持复位值
[14]	DPIEN	延迟保护中断使能 (Delayed protection interrupt enable) 该位由软件置位和清零, 以启用/禁用延迟保护中断。 0: 禁用延迟保护中断 1: 启用延迟保护中断
[13]	RSTROIEN	复位/翻转中断使能 (Reset/roll-over interrupt enable) 该位由软件置位和清零, 以在连续模式下启用/禁用定时器 x 计数器复位或翻转中断。 0: 禁用定时器 x 计数器复位/翻转中断 1: 启用定时器 x 计数器复位/翻转中断
[12]	RST2IEN	输出 2 复位中断使能 (Output 2 reset interrupt enable) 请参考 RST1IEN 说明
[11]	SET2IEN	输出 2 设置中断使能 (Output 2 set interrupt enable) 请参考 SET1IEN 说明
[10]	RST1IEN	输出 1 复位中断使能 (Output 1 reset interrupt enable) 该位由软件置位和清零, 以启用/禁用 Tx1 输出复位中断。 0: 禁止 Tx1 输出复位中断 1: 使能 Tx1 输出复位中断
[9]	SET1IEN	输出 1 设置中断使能 (Output 2 set interrupt enable) 该位由软件置位和清零, 以启用/禁用 Tx1 输出设置中断。 0: 禁止 Tx1 输出设置中断 1: 允许 Tx1 输出设置中断
[8]	CPT2IEN	捕获中断使能 (Capture 2 interrupt enable) 参考 CPT1IEN 说明
[7]	CPT1IEN	捕获中断使能 (Capture 1 interrupt enable) 该位由软件置位和清零, 以启用/禁用捕获 1 中断。 0: 禁止捕获 1 中断 1: 使能捕获 1 中断
[6]	UPDIEN	更新中断使能 (Update interrupt enable) 该位由软件置位和清零, 以启用/禁用更新事件中断。 0: 禁用更新中断 1: 启用更新中断
[5]	REPTIEN	重复中断使能 (Repetition interrupt enable) 该位由软件置位和清零, 以允许/禁止重复事件中断。 0: 禁止重复中断 1: 使能重复中断

[4]	Reserved	保留，必须保持复位值
[3]	CMP4IEN	比较 4 中断使能 (Compare 4 interrupt enable) 参见 CMP1IEN 说明
[2]	CMP3IEN	比较 3 中断使能 (Compare 3 interrupt enable) 参见 CMP1IEN 说明
[1]	CMP2IEN	比较 2 中断使能 (Compare 2 interrupt enable) 参见 CMP1IEN 说明
[0]	CMP1IEN	比较 1 中断使能 (Compare 1 interrupt enable) 该位由软件置位和清零，以启用/禁用比较 1 中断。 0: 禁止比较 1 中断 1: 允许比较 1 中断

### 17.4.2.5 SHRTIM 定时器 x 计数寄存器 (SHRTIM\_TxCNT)

偏移地址:

TIMA: 0x090

TIMB: 0x110

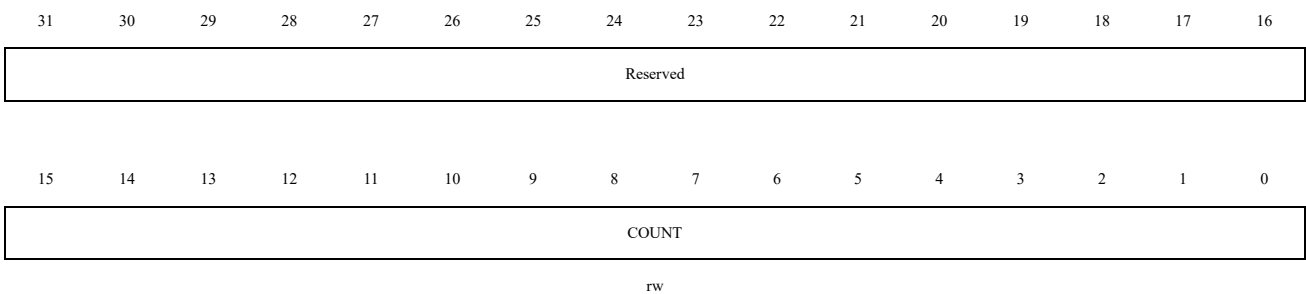
TIMC: 0x190

TIMD: 0x210

TIME: 0x290

TIMF: 0x310

复位值: 0x00000000



位域	名称	描述
[31:16]	Reserved	保留，必须保持复位值
[15:0]	COUNT	定时器 x 计数器值 (Timer x counter value) 反映定时器 x 计数器的值。 仅当定时器 x 禁用 (SHRTIM_MCTRL.TxCNTEN=0) 时才能写入该寄存器。 注: 对于 CKPSC[2:0] < 5, 计数器的最低有效位不重要。它们不能写入, 读取时返回 0。 注: 加载到该寄存器中的计数不得超过写入 PRD 寄存器值的值

### 17.4.2.6 SHRTIM 定时器 x 周期寄存器 (SHRTIM\_TxPRD)

偏移地址:

TIMA: 0x094

TIMB: 0x114

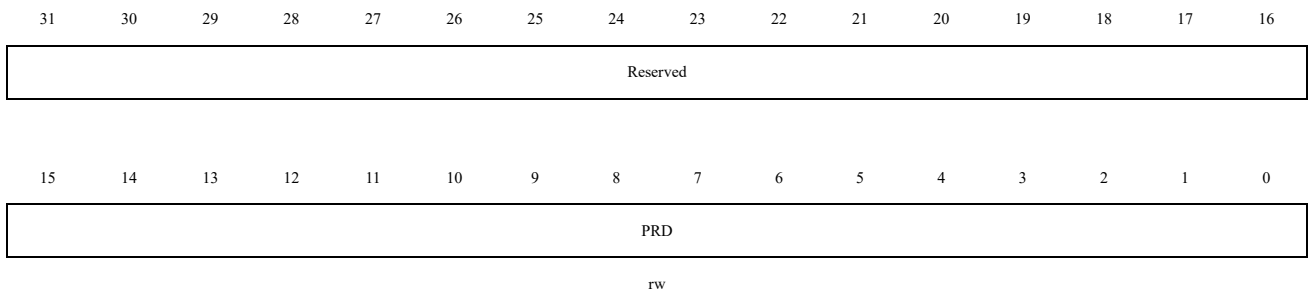
TIMC: 0x194

TIMD: 0x214

TIME: 0x294

TIMF: 0x314

复位值: 0x0000FFDF



位域	名称	描述
[31:16]	Reserved	保留，必须保持复位值
[15:0]	PRD	定时器 x 周期值 (Timer x period value) 最小值应大于或等于 3 个 $f_{SHRTIM}$ 周期。如果 SHRTIM.TxCNT 达到该寄存器值，则会导致 SHRTIM.TxCNT 复位为 0。 该寄存器在以下情况下将该值配置到周期预装载寄存器中：PLEN 位被置位。如果 PLEN 复位，则该寄存器值将直接加载到活动周期寄存器。 周期值必须大于或等于 $f_{SHRTIM}$ 时钟的 3 个周期，即，如果 SHRTIM_TxCTRL.CKPSC[2:0] = 0，则为 0x60；如果 SHRTIM_TxCTRL.CKPSC[2:0] = 1，则为 0x30；如果 SHRTIM_TxCTRL.CKPSC[2:0] = 2，则为 0x18,...

#### 17.4.2.7 SHRTIM 定时器 x 重复计数寄存器 (SHRTIM\_TxREPT)

偏移地址:

TIMA: 0x098

TIMB: 0x118

TIMC: 0x198

TIMD: 0x218

TIME: 0x298

TIMF: 0x318

复位值: 0x00000000





Reserved
----------

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

Reserved	REPT
----------	------

rw

位域	名称	描述
[31:8]	Reserved	保留，必须保持复位值
[7:0]	REPT	定时器 x 重复周期值（Timer x repetition period value） 该寄存器保存定时器 x 重复周期值。 当 PLEN 位置 1 时，该寄存器将该值配置到预装载重复寄存器中。如果 PLEN 复位，则该寄存器值将直接加载到活动重复寄存器中。

#### 17.4.2.8 SHRTIM 定时器 x 比较 1 寄存器（SHRTIM\_TxCMP1DAT）

偏移地址：

TIMA: 0x09C

TIMB: 0x11C

TIMC: 0x19C

TIMD: 0x21C

TIME: 0x29C

TIMF: 0x31C

复位值：0x00000000

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

Reserved
----------

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

CMP1DAT
---------

rw

位域	名称	描述
[31:16]	Reserved	保留，必须保持复位值
[15:0]	CMP1DAT	定时器 x 比较 1 数据（Timer x compare 1 data） 当 PLEN 位置 1 时，定时器 x 比较 1 值该寄存器将该值配置到预装载比较 1 寄存器中。如果 PLEN 复位，则该寄存器值将直接加载到活动比较 1 寄存器。 比较 1 的值必须大于或等于 f <sub>SHRTIM</sub> 时钟的 3 个周期，即，如果

		SHRTIM_TxCTRL.CKPSC[2:0] = 0 , 则为 0x60 ; 如果 SHRTIM_TxCTRL.CKPSC[2:0] = 1 , 则为 0x30 ; 如果 SHRTIM_TxCTRL.CKPSC[2:0] = 2, 则为 0x18; ...
--	--	--

### 17.4.2.9 SHRTIM 定时器 x 比较器 1 复合寄存器 (SHRTIM\_TxRCMP1DAT)

偏移地址:

TIMA: 0x0A0

TIMB: 0x120

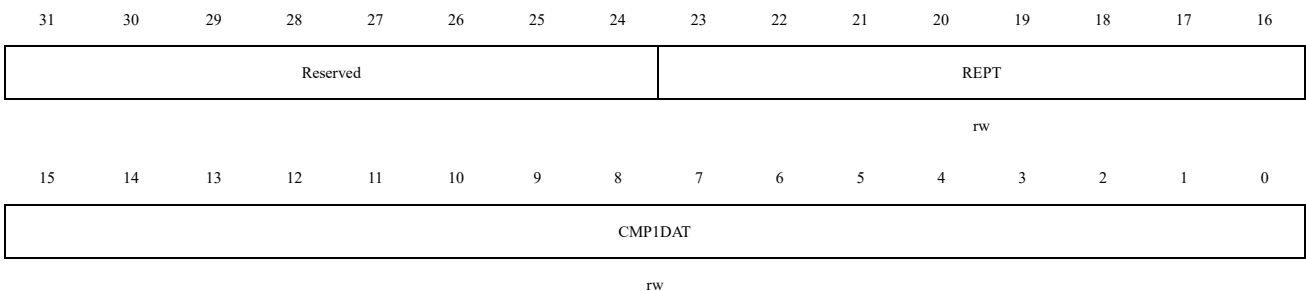
TIMC: 0x1A0

TIMD: 0x220

TIME: 0x2A0

TIMF: 0x320

复位值: 0x00000000



位域	名称	描述
[31:24]	Reserved	保留, 必须保持复位值
[23:16]	REPT	定时器 x 重复值 (Timer x repetition value) 来自 SHRTIM_TxREPT 寄存器的别名 该位字段是来自 SHRTIM_TxREPT.REPT[7:0] 的别名
[15:0]	CMP1DAT	定时器 x 比较 1 数据 (Timer x compare 1 data) 该位字段是 SHRTIM_TxCMP1DAT.CMP1DAT[15:0] 的别名。

### 17.4.2.10 SHRTIM 定时器 x 比较 2 寄存器 (SHRTIM\_TxCMP2DAT)

偏移地址:

TIMA: 0x0A4

TIMB: 0x124

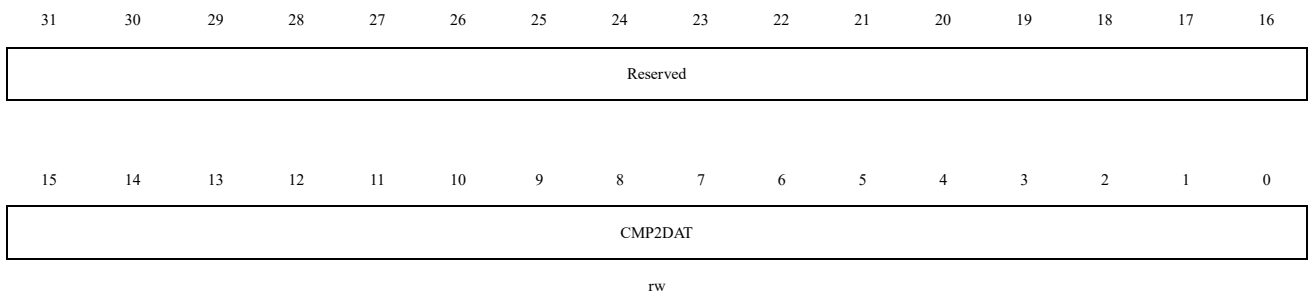
TIMC: 0x1A4

TIMD: 0x224

TIME: 0x2A4

TIMF: 0x324

复位值: 0x00000000



位域	名称	描述
[31:16]	Reserved	保留，必须保持复位值
[15:0]	CMP2DAT	定时器 x 比较 2 数据 (Timer x compare 2 data) 当 PLEN 位置 1 时，该寄存器将值配置到比较 2 预装载寄存器中。 如果 PLEN 复位，则该寄存器值将直接加载到活动比较 2 寄存器。 比较 2 的值必须大于或等于 $f_{SHRTIM}$ 时钟的 3 个周期，即，如果 $SHRTIM\_TxCTRL.CKPSC[2:0] = 0$ ，则为 0x60；如果 $SHRTIM\_TxCTRL.CKPSC[2:0] = 1$ ，则为 0x30；如果 $SHRTIM\_TxCTRL.CKPSC[2:0] = 2$ ，则为 0x18；...

### 17.4.2.11 SHRTIM 定时器 x 比较 3 寄存器 (SHRTIM\_TxCMP3DAT)

偏移地址:

TIMA: 0x0A8

TIMB: 0x128

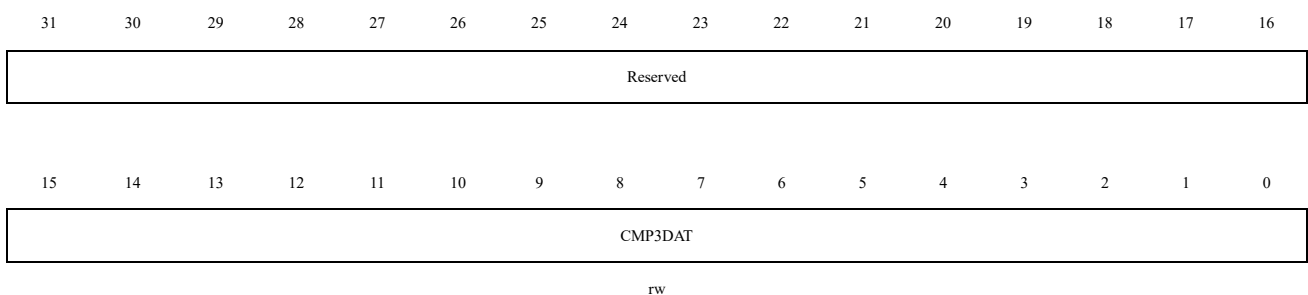
TIMC: 0x1A8

TIMD: 0x228

TIME: 0x2A8

TIMF: 0x328

复位值: 0x00000000



位域	名称	描述
[31:16]	Reserved	保留，必须保持复位值
[15:0]	CMP3DAT	定时器 x 比较 3 数据 (Timer x compare 3 data) 如果 PLEN 置位，该寄存器将值配置到比较 3 预装载寄存器中。如果 PLEN 复位，则该寄存器值将直接加载到活动比较 3 寄存器。 比较 3 值必须大于或等于 $f_{SHRTIM}$ 时钟的 3 个周期，如果 $SHRTIM\_TxCTRL.CKPSC[2:0] = 0$ ，则为 0x60；如果 $SHRTIM\_TxCTRL.CKPSC[2:0] = 1$ ，则为 0x30；如果 $SHRTIM\_TxCTRL.CKPSC[2:0] = 2$ ，则为 0x18；...

#### 17.4.2.12 SHRTIM 定时器 x 比较 4 寄存器 (SHRTIM\_TxCMP4DAT)

偏移地址：

TIMA: 0x0AC

TIMB: 0x12C

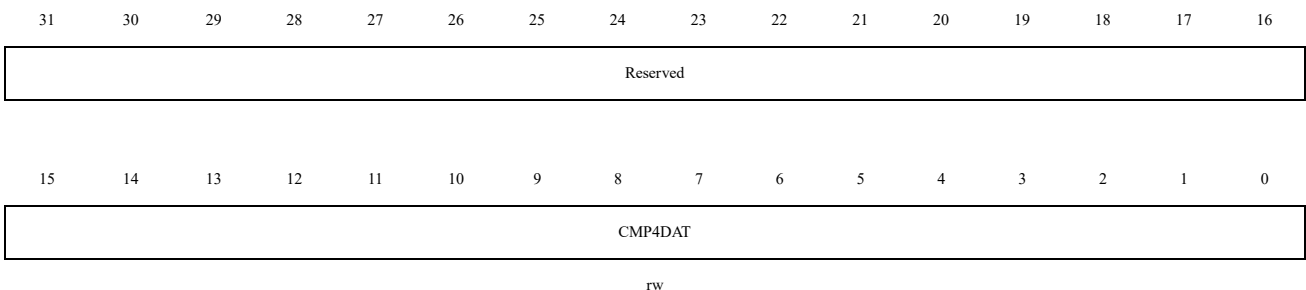
TIMC: 0x1AC

TIMD: 0x22C

TIME: 0x2AC

TIMF: 0x32C

复位值：0x00000000



位域	名称	描述
[31:16]	Reserved	保留，必须保持复位值
[15:0]	CMP4DAT	定时器 x 比较 4 数据 (Timer A compare 4 data) 当 PLEN 位置 1 时，该寄存器将值配置到比较 4 预装载寄存器中。如果 PLEN 复位，则该寄存器值将直接加载到活动比较 4 寄存器。 比较 4 的值必须大于或等于 $f_{SHRTIM}$ 时钟的 3 个周期，即，如果 $SHRTIM\_TxCTRL.CKPSC[2:0] = 0$ ，则为 0x60；如果 $SHRTIM\_TxCTRL.CKPSC[2:0] = 1$ ，则为 0x30；如果 $SHRTIM\_TxCTRL.CKPSC[2:0] = 2$ ，则为 0x18。...

#### 17.4.2.13 SHRTIM 定时器 x 捕获 1 寄存器 (SHRTIM\_TxCPT1)

偏移地址：

TIMA: 0x0B0

TIMB: 0x130

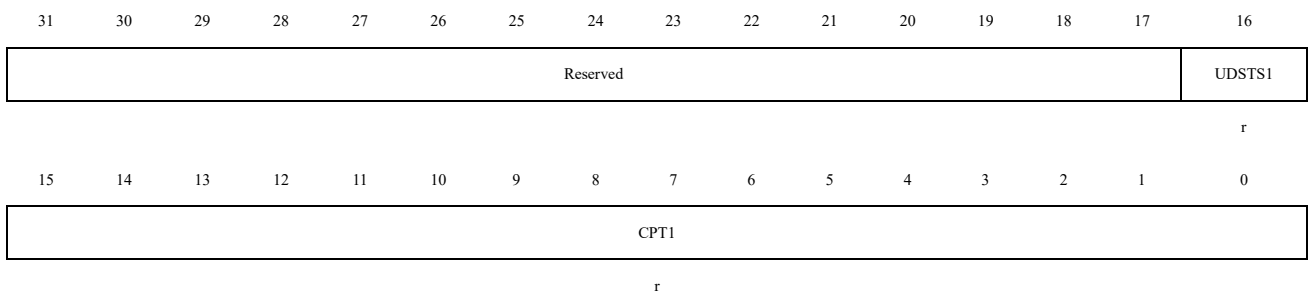
TIMC: 0x1B0

TIMD: 0x230

TIME: 0x2B0

TIMF: 0x330

复位值: 0x00000000



位域	名称	描述
[31:17]	Reserved	保留, 必须保持复位值
[16]	UDSTS1	捕获 1 发生时定时器 x 计数方向的状态 (Status for timer x counting direction while capture 1 happened) 0: 定时器 x 正在向上方向计数 1: 定时器 x 正在向下方向计数 在向上计数模式下, UDSTS1 一直为 0。
[15:0]	CPT1	Timerx 捕获 1 值 (Timerx Capture 1 value) 发生捕获 1 事件时, 该寄存器保存计数器值。

注: UDSTS 位允许在读取捕获值时区分上下计数阶段。

注: 这是一个常规分辨率寄存器: 对于高精度时钟预分频比小于 32 ( $CKPSC[2:0] < 5$ ), 计数器的最低有效位不是重要的。它们不能被写入, 并在读取时返回 0。

#### 17.4.2.14 SHRTIM 定时器 x 捕获 2 寄存器 (SHRTIM\_TxCPT2)

偏移地址:

TIMA: 0x0B4

TIMB: 0x134

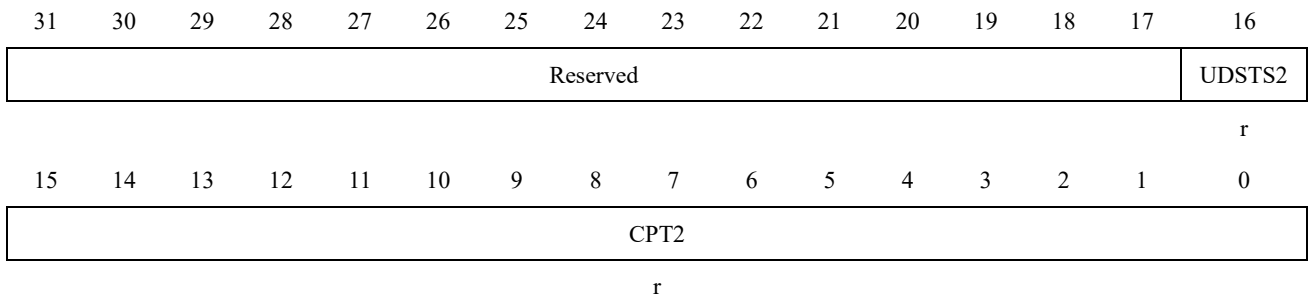
TIMC: 0x1B4

TIMD: 0x234

TIME: 0x2B4

TIMF: 0x334

复位值: 0x00000000



位域	名称	描述
[31:17]	Reserved	保留, 必须保持复位值
[16]	UDSTS2	捕获 2 发生时定时器 x 计数方向的状态 (Status for timer x counting direction while capture 2 happened) 0: 定时器 x 正在向上方向计数 1: 定时器 x 正在向下方向计数 在向上计数模式下, UDSTS2 一直为 0。
[15:0]	CPT2	Timerx 捕获 2 值 (Timerx Capture 2 value) 发生捕获 2 事件时, 该寄存器保存计数器值。

注: UDSTS 位允许在读取捕获值时区分上下计数阶段。

注: 这是一个常规分辨率寄存器: 对于高精度时钟预分频比小于 32 ( $CKPSC[2:0] < 5$ ), 计数器的最低有效位不是重要的。它们不能被写入, 并在读取时返回 0。

### 17.4.2.15 SHRTIM 定时器 x 死区寄存器 (SHRTIM\_TxDT)

偏移地址:

TIMA: 0x0B8

TIMB: 0x138

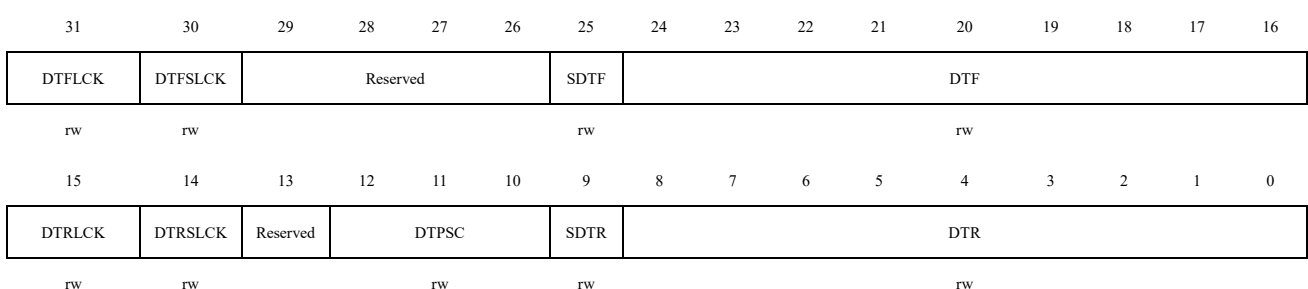
TIMC: 0x1B8

TIMD: 0x238

TIME: 0x2B8

TIMF: 0x338

复位值: 0x00000000



位域	名称	描述
[31]	DTFLCK	死区下降沿锁定 (Deadtime Falling Lock) 若使能这一仅可写入一次的位, 则会禁止修改死区 (符号和值)。 0: 可写入死区下降沿值和符号 1: 只能读取死区下降沿值和符号 注: 此位不能预装载
[30]	DTFSLCK	死区下降沿符号锁定 (Deadtime Falling Sign Lock) 若使能这一仅可写入一次的位, 则会禁止修改死区下降沿的符号。 0: 可写入死区下降沿符号 1: 只能读取死区下降沿符号 注: 此位不能预装载
[29:26]	Reserved	保留, 必须保持复位值
[25]	SDTF	死区下降沿符号值 (Sign Deadtime Falling value) 该寄存器决定了死区为正值 (信号不重叠) 还是负值 (信号重叠)。 0: 死区在下降沿为正值 1: 死区在下降沿为负值
[24:16]	DTF	死区下降沿数据值 (Deadtime Falling data value) 该寄存器保存参考 PWM 信号下降沿之后的死区值。 $t_{DTF} = DTF[8:0] \times t_{DTG}$
[15]	DTRLCK	死区上升沿锁定 (Deadtime Rising Lock) 若使能这一仅可写入一次的位, 则会禁止修改死区 (符号和值)。 0: 可写入死区上升沿值和符号 1: 只能读取死区上升沿值和符号 注: 此位不能预装载
[14]	DTRSLCK	死区上升符号锁定 (Deadtime rising sign lock) 该一次性写入位可防止死区符号被修改 (如果启用)。 0: 死区上升标志可写 1: 死区上升标志只读 注: 该位未预装载。
[13]	Reserved	保留, 必须保持复位值
[12:10]	DTPSC	死区时间预分频器 (Deadtime prescaler) 该寄存器保存死区时钟预分频器的值。 $t_{DTG} = (2(DTPSC[2:0])) \times (t_{SHRTIM} / 8)$ 只要任一锁定位使能 (DTFLCK、DTFSLCK、DTRLCK、DTRSLCK), 该位字段就是只读的
[9]	SDTR	符号死区上升值 该寄存器确定死区时间是正还是负 (重叠信号)。 0: 上升沿正死区 1: 上升沿负死区
[8:0]	DTR	死区上升沿值该寄存器保存参考 PWM 信号上升沿之后的死区时间值。 $t_{DTR} = DTR[8:0] \times t_{DTG}$

#### 17.4.2.16 SHRTIM 定时器 x 输出 1 置位寄存器 (SHRTIM\_TxSET1)

偏移地址:

TIMA: 0x0BC

TIMB: 0x13C

TIMC: 0x1BC

TIMD: 0x23C

TIME: 0x2BC

TIMF: 0x33C

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UPD	EXEV1 0	EXEV9	EXEV8	EXEV7	EXEV6	EXEV5	EXEV4	EXEV 3	EXEV 2	EXEV 1	TIMEV 9	TIMEV 8	TIMEV 7	TIMEV 6	TIMEV 5
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TIMEV 4	TIMEV 3	TIMEV 2	TIMEV 1	MCMP 4	MCMP 3	MCMP 2	MCMP 1	MPRD	CMP4	CMP3	CMP2	CMP1	PRD	RSYNC	SWT
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
[31]	UPD	寄存器更新
[30]	EXEV10	外部事件 10 (External Event 10) 请参见 EXEV1 说明
[29]	EXEV9	外部事件 9 (External Event 9) 请参见 EXEV1 说明
[28]	EXEV8	外部事件 8 (External Event 8) 请参见 EXEV1 说明
[27]	EXEV7	外部事件 7 (External Event 7) 请参见 EXEV1 说明
[26]	EXEV6	外部事件 6 (External Event 6) 请参见 EXEV1 说明
[25]	EXEV5	外部事件 5 (External Event 5) 请参见 EXEV1 说明
[24]	EXEV4	外部事件 4 (External Event 4) 请参见 EXEV1 说明
[23]	EXEV3	外部事件 3 (External Event 3) 请参见 EXEV1 说明
[22]	EXEV2	外部事件 2 (External Event 2) 请参见 EXEV1 说明
[21]	EXEV1	外部事件 1 (External Event 1) 外部事件 1 会强制将输出设为其有效状态。
[20]	TIMEV9	定时器事件 9 (Timer Event 9) 请参见 TIMEV1 说明



[19]	TIMEV8	定时器事件 8 (Timer Event 8) 请参见 TIMEV1 说明
[18]	TIMEV7	定时器事件 7 (Timer Event 7) 请参见 TIMEV1 说明
[17]	TIMEV6	定时器事件 6 (Timer Event 6) 请参见 TIMEV1 说明
[16]	TIMEV5	定时器事件 5 (Timer Event 5) 请参见 TIMEV1 说明
[15]	TIMEV4	定时器事件 4 (Timer Event 4) 请参见 TIMEV1 说明
[14]	TIMEV3	定时器事件 3 (Timer Event 3) 请参见 TIMEV1 说明
[13]	TIMEV2	定时器事件 2 (Timer Event 2) 请参见 TIMEV1 说明
[12]	TIMEV1	定时器事件 1 (Timer Event 1) 定时器事件 1 会强制将输出设为其有效状态（有关定时器事件分配，请参见表 17-10）
[11]	MCMP4	主定时器比较 4 (Master Compare 4) 主定时器比较 4 事件会强制将输出设为其有效状态。
[10]	MCMP3	主定时器比较 3 (Master Compare 3) 主定时器比较 3 事件会强制将输出设为其有效状态。
[9]	MCMP2	主定时器比较 2 (Master Compare 2) 主定时器比较 2 事件会强制将输出设为其有效状态。
[8]	MCMP1	主定时器比较 1 (Master Compare 1) 主定时器比较 1 事件会强制将输出设为其有效状态。
[7]	MPRD	主定时器周期 (Master Period) 主定时器计数器在连续模式下翻转或主定时器在单发模式下复位都会强制将输出设为其有效状态。
[6]	CMP4	定时器 x 比较 4 (Timer x Compare 4) 定时器 x 比较 4 事件会强制将输出设为其有效状态。
[5]	CMP3	定时器 x 比较 3 (Timer x Compare 3) 定时器 x 比较 3 事件会强制将输出设为其有效状态。
[4]	CMP2	定时器 x 比较 2 (Timer x Compare 2) 定时器 x 比较 2 事件会强制将输出设为其有效状态。
[3]	CMP1	定时器 x 比较 1 (Timer x Compare 1) 定时器 x 比较 1 事件会强制将输出设为其有效状态。
[2]	PRD	定时器 x 周期 (Timer x Period) 定时器 x 周期事件会强制将输出设为其有效状态。
[1]	RSYNC	定时器 A 重新同步 (Timer A resynchronization) 只有来自软件或 SYNC 输入的定时器 x 复位事件才会强制将输出设为其有效状态。 注：RSYNC =1 时，其他定时器复位事件不会影响输出。
[0]	SWT	软件置位触发 (Software Set trigger)

		该位会强制将输出设为其有效状态。该位仅可通过软件置 1，并由硬件复位。软件设置触发
--	--	---

### 17.4.2.17 SHRTIM 定时器 x 输出 1 复位寄存器 (SHRTIM\_TxRST1)

偏移地址:

TIMA: 0x0C0

TIMB: 0x140

TIMC: 0x1C0

TIMD: 0x240

TIME: 0x2C0

TIMF: 0x340

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UPD	EXEV1 0	EXEV9	EXEV8	EXEV7	EXEV6	EXEV5	EXEV4	EXEV3	EXEV2	EXEV1	TIMEV9	TIMEV8	TIMEV7	TIMEV6	TIMEV5
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TIMEV4	TIMEV3	TIMEV2	TIMEV1	MCMP4	MCMP3	MCMP2	MCMP1	MPRD	CMP4	CMP3	CMP2	CMP1	PRD	RSYNC	SWT
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

请参见 SHRTIM\_TxSET1 位说明。这些位定义了可强制将 Tx1 输出设为其无效状态的源。

### 17.4.2.18 SHRTIM 定时器 x 输出 2 置位寄存器 (SHRTIM\_TxSET2)

偏移地址:

TIMA: 0x0C4

TIMB: 0x144

TIMC: 0x1C4

TIMD: 0x244

TIME: 0x2C4

TIMF: 0x344

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UPD	EXEV1 0	EXEV9	EXEV8	EXEV7	EXEV6	EXEV5	EXEV4	EXEV3	EXEV2	EXEV1	TIMEV9	TIMEV8	TIMEV7	TIMEV6	TIMEV5
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TIMEV 4	TIMEV 3	TIMEV 2	TIMEV 1	MCMP 4	MCMP 3	MCMP 2	MCMP 1	MPRD	CMP4	CMP3	CMP2	CMP1	PRD	RSYNC	SWT
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

请参考 SHRTIM\_TxSET1 位说明。这些位定义了可强制将 Tx2 输出设为其有效状态的源。

#### 17.4.2.19 SHRTIM 定时器 x 输出 2 复位寄存器 (SHRTIM\_TxRST2)

偏移地址:

TIMA: 0x0C8

TIMB: 0x148

TIMC: 0x1C8

TIMD: 0x248

TIME: 0x2C8

TIMF: 0x348

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UPD	EXEV1 0	EXEV9	EXEV8	EXEV7	EXEV6	EXEV5	EXEV4	EXEV3	EXEV2	EXEV1	TIMEV 9	TIMEV 8	TIMEV 7	TIMEV 6	TIMEV 5
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TIMEV 4	TIMEV 3	TIMEV 2	TIMEV 1	MCMP 4	MCMP 3	MCMP 2	MCMP 1	MPRD	CMP4	CMP3	CMP2	CMP1	PRD	RSYNC	SWT
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

请参考 SHRTIM\_TxSET2 位说明。这些位定义了可强制将 Tx2 输出设为其无效状态的源。

#### 17.4.2.20 SHRTIM 定时器 x 外部事件过滤寄存器 1 (SHRTIM\_TxEXEVFLT1)

偏移地址:

TIMA: 0x0CC

TIMB: 0x14C

TIMC: 0x1CC

TIMD: 0x24C

TIME: 0x2CC

TIMF: 0x34C

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			EXEV5FLT			EXEV5 LATCH	Reserve d	EXEV4FLT			EXEV4 LATCH	Reserve d	EXEV3 FLT		
rw			rw			rw		rw			rw		rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXEV3FLT			EXEV3 LATCH	Reserve d	EXEV2FLT			EXEV2 LATCH	Reserve d	EXEV1FLT			EXEV1 LATCH		
			rw		rw			rw		rw			rw		

位域	名称	描述
[31:29]	Reserved	保留，必须保持复位值
[28:25]	EXEV5FLT	外部事件 5 过滤器 (External event 5 filter) 请参考 EXEV1FLT[3:0] 描述。
[24]	EXEV5LATCH	外部事件 5 锁存器 (External event 5 latch) 请参考 EXEV1LATCH 说明
[23]	Reserved	保留，必须保持复位值
[22:19]	EXEV4FLT	外部事件 4 过滤器 (External event 4 filter) 请参考 EXEV1FLT[3:0] 描述。
[18]	EXEV4LATCH	外部事件 4 锁存器 (External event 4 latch) 参考 EXEV1LATCH 说明
[17]	Reserved	保留，必须保持复位值
[16:13]	EXEV3FLT	外部事件 3 过滤器 (External event 3 filter) 请参考 EXEV1FLT[3:0] 描述。
[12]	EXEV3LATCH	外部事件 3 锁存器 (External event 3 latch) 请参考 EXEV1LATCH 说明
[11]	Reserved	保留，必须保持复位值
[10:7]	EXEV2FLT	外部事件 2 过滤器 (External event 2 filter) 请参考 EXEV1FLT[3:0] 描述。
[6]	EXEV2LATCH	外部事件 2 锁存器 (External event 2 latch) 请参考 EXEV1LATCH 说明
[5]	Reserved	保留，必须保持复位值
[4:1]	EXEV1FLT	外部事件 1 过滤器(External Event 1 filter) 0000: 无过滤 0001: 从计数器复位/翻转到比较 1 的消隐 0010: 在向上计数模式 (SHRTIM_TxCTRL2.UPDOWNM 复位) 下从计数器复位 / 翻转到比较 2 的消隐，在向上向下计数中模式 (SHRTIM_TxCTRL2.UPDOWNM 设置) 仅在向上计数阶段从比较 1 到比较 2 消隐。 0011: 从计数器复位/翻转到比较 3 消隐 0100: 从计数器复位/翻转到比较 4 消隐 0100: 在向上计数模式下，从计数器复位/翻转到比较 4 进行消隐

		<p>(SHRTIM_TxCTRL2.UPDOWNM 复位)。在向上向下计数模式下 (SHRTIM_TxCTRL2.UPDOWNM 置位): 仅在向上计数阶段从比较 3 到比较 4 消隐。</p> <p>0101: 来自另一个计时单元的消隐: TIMFLTR1 源 (详细信息参见表 17-18)</p> <p>0110: 来自另一个计时单元的消隐: TIMFLTR2 源 (详细信息参见表 17-18)</p> <p>0111: 来自另一个计时单元的消隐: TIMFLTR3 源 (详细信息参见表 17-18)</p> <p>1000: 来自另一个计时单元的消隐: TIMFLTR4 源 (详细信息请参见表 17-18)</p> <p>1001: 来自另一个计时单元的消隐: TIMFLTR5 源 (详细信息请参见表 17-18)</p> <p>1010: 来自另一个计时单元的消隐: TIMFLTR6 源 (详细信息请参见表 17-18)</p> <p>1011 : 来自另一个计时单元的消隐: TIMFLTR7 源 (详细信息请参见表 17-18)</p> <p>1100: 来自另一个计时单元的消隐: TIMFLTR8 源 (详细信息请参见表 17-18)</p> <p>1101: 在向上计数模式 (SHRTIM_TxCTRL2.UPDOWNM 复位) 下, 窗口持续时间从复位 / 翻转事件到比较 2。在向上向下计数模式下 (SHRTIM_TxCTRL2.UPDOWNM 设置), 仅在向上计数期间, 窗口持续时间从比较 2 到比较 3。</p> <p>1110: 在向上计数模式 (SHRTIM_TxCTRL2.UPDOWNM 复位) 下, 窗口持续时间从复位 / 翻转事件到比较 3。在向上向下计数模式 (SHRTIM_TxCTRL2.UPDOWNM 设置) 下, 仅在向下计数期间, 窗口持续时间从比较 2 到比较 3。</p> <p>1111: 在向上计数模式 (SHRTIM_TxCTRL2.UPDOWNM 复位) 下, 窗口来自其他定时器单元: TIMWIN source (参见表 17-19)。</p> <p>在向上向下计数模式 (SHRTIM_TxCTRL2.UPDOWNM 设置) 下, 窗口持续时间从向上计数期间的 CMP2 到向下计数期间的 CMP3。</p> <p>注: 如果使用比较寄存器进行过滤, 数值必须大于 0。计数器使能后 (TxCNTEN 位置 1), 不得修改该位域。</p>
[0]	EXEV1LATCH	<p>外部事件 1 锁存 (External Event 1 latch)</p> <p>0: 如果事件 1 在消隐期间发生, 会被忽略, 如果在窗口持续时间内发生, 则会通过。</p> <p>1: 事件 1 会锁存并延迟, 直至消隐或窗口周期结束。</p> <p>注: 如果 EXEV1LATCH = 0, 则会在窗口模式下生成超时事件 (EXEV1FLT[3:0]=1101、1110、1111), 但外部事件在快速模式下编程的情况除外 (EXEV1FM = 1)。</p> <p>计数器使能后 (TxCNTEN 位置 1), 不得修改该位域。</p>

#### 17.4.2.21 SHRTIM 定时器 x 外部事件过滤寄存器 2 (SHRTIM\_TxEXEVFLT2)

偏移地址:

TIMA: 0x0D0

TIMB: 0x150

TIMC: 0x1D0

TIMD: 0x250

TIME: 0x2D0

TIMF: 0x350

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			EXEV10FLT				EXEV10LATCH	Reserved	EXEV9FLT				EXEV9LATCH	Reserved	EXEV8FLT
			rw				rw		rw				rw	r	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXEV8FLT		EXEV8LATCH	Reserved	EXEV7FLT			EXEV7LATCH	Reserved	EXEV6FLT			EXEV6LATCH			
		rw		rw			rw		rw			rw			

位域	名称	描述
[31:29]	Reserved	保留, 必须保持复位值
[28:25]	EXEV10FLT	外部事件 10 过滤器 (External Event 10 filter) 请参考 EXEV1FLT[3:0] 说明
[24]	EXEV10LATCH	外部事件 10 锁存 (External Event 10 latch) 请参考 EXEV1LATCH 说明
[23]	Reserved	保留, 必须保持复位值
[22:19]	EXEV9FLT	外部事件 9 过滤器 (External Event 9 filter) 请参考 EXEV1FLT[3:0] 说明
[18]	EXEV9LATCH	外部事件 9 锁存器 请参考 EXEV1LATCH 说明
[17]	Reserved	保留, 必须保持复位值
[16:13]	EXEV8FLT	外部事件 8 过滤器 (External Event 8 filter) 请参考 EXEV1FLT[3:0] 说明
[12]	EXEV8LATCH	外部事件 8 锁存 (External Event 8 latch) 请参考 EXEV1LATCH 说明位
[11]	Reserved	保留, 必须保持复位值
[10:7]	EXEV7FLT	外部事件 7 过滤器 (External Event 7 filter) 请参考 EXEV1FLT[3:0] 说明
[6]	EXEV7LATCH	外部事件 7 锁存 (External Event 7 latch) 请参考 EXEV1LATCH 说明
[5]	Reserved	保留, 必须保持复位值
[4:1]	EXEV6FLT	外部事件 6 过滤器 (External Event 6 filter) 请参考 EXEV1FLT[3:0]
[0]	EXEV6LATCH	外部事件 6 锁存 (External Event 6 latch) 请参考 EXEV1LATCH 说明

### 17.4.2.22 SHRTIM 定时器 A 计数器复位寄存器 (SHRTIM\_TACNTRST)

偏移地址: 0xD4

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TFC MP2	TEC MP4	TEC MP2	TEC MP1	TDC MP4	TDC MP2	TDC MP1	TCC MP4	TCC MP2	TCC MP1	TBC MP4	TBC MP2	TBC MP1	EXE V10	EX EV	EXE V8
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXE V7	EXE V6	EXE V5	EXE V4	EXE V3	EXE V2	EXE V1	MC MP4	MC MP3	MC MP2	MC MP1	MPR D	CMP 4	CM P2	UP D	TFC MP1
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
[31]	TFCMP2	定时器 F 比较 2 (Timer F Compare 2) 定时器 A 计数器会在发生定时器 F 比较 2 事件时复位。
[30]	TECMP4	定时器 E 比较 4 (Timer E Compare 4) 定时器 A 计数器会在发生定时器 E 比较 4 事件时复位。
[29]	TECMP2	定时器 E 比较 2 (Timer E Compare 2) 定时器 A 计数器会在发生定时器 E 比较 2 事件时复位。
[28]	TECMP1	定时器 E 比较 1 (Timer E Compare 1) 定时器 A 计数器会在发生定时器 E 比较 1 事件时复位。
[27]	TDCMP4	定时器 D 比较 4 (Timer D Compare 4) 定时器 A 计数器会在发生定时器 D 比较 4 事件时复位。
[26]	TDCMP2	定时器 D 比较 2 (Timer D Compare 2) 定时器 A 计数器会在发生定时器 D 比较 2 事件时复位。
[25]	TDCMP1	定时器 D 比较 1 (Timer D Compare 1) 定时器 A 计数器会在发生定时器 D 比较 1 事件时复位。
[24]	TCCMP4	定时器 C 比较 4 (Timer C Compare 4) 定时器 A 计数器会在发生定时器 C 比较 4 事件时复位。
[23]	TCCMP2	定时器 C 比较 2 (Timer C Compare 2) 定时器 A 计数器会在发生定时器 C 比较 2 事件时复位。
[22]	TCCMP1	定时器 C 比较 1 (Timer C Compare 1) 定时器 A 计数器会在发生定时器 C 比较 1 事件时复位。
[21]	TBCMP4	定时器 B 比较 4 (Timer B Compare 4) 定时器 A 计数器会在发生定时器 B 比较 4 事件时复位。
[20]	TBCMP2	定时器 B 比较 2 (Timer B Compare 2) 定时器 A 计数器会在发生定时器 B 比较 2 事件时复位。
[19]	TBCMP1	定时器 B 比较 1 (Timer B Compare 1) 定时器 A 计数器会在发生定时器 B 比较 1 事件时复位。
[18]	EXEV10	外部事件 10 (External event 10) 定时器 A 计数器在发生外部事件 10 时复位。
[17]	EXEV9	外部事件 9 (External event 9)

		定时器 A 计数器在发生外部事件 9 时复位。
[16]	EXEV8	外部事件 8 (External event 8) 定时器 A 计数器在发生外部事件 8 时复位。
[15]	EXEV7	外部事件 7 (External event 7) 定时器 A 计数器在发生外部事件 7 时复位。
[14]	EXEV6	外部事件 6 (External event 6) 定时器 A 计数器在发生外部事件 6 时复位。
[13]	EXEV5	外部事件 5 (External event 5) 定时器 A 计数器在发生外部事件 5 时复位。
[12]	EXEV4	外部事件 4 (External event 4) 定时器 A 计数器在发生外部事件 4 时复位。
[11]	EXEV3	外部事件 3 (External event 3) 定时器 A 计数器在发生外部事件 3 时复位。
[10]	EXEV2	外部事件 2 (External event 2) 定时器 A 计数器在发生外部事件 2 时复位。
[9]	EXEV1	外部事件 1 (External event 1) 定时器 A 计数器在发生外部事件 1 时复位。
[8]	MCMP4	主定时器比较 4 (Master timer compare 4) 当发生主定时器比较 4 事件时, 定时器 A 计数器复位
[7]	MCMP3	主定时器比较 3 (Master timer compare 3) 当发生主定时器比较 3 事件时, 定时器 A 计数器复位
[6]	MCMP2	主定时器比较 2 (Master timer compare 2) 当发生主定时器比较 2 事件时, 定时器 A 计数器复位
[5]	MCMP1	主定时器比较 1 (Master timer compare 1) 当发生主定时器比较 1 事件时, 定时器 A 计数器复位
[4]	MPRD	主定时器周期 (Master timer period) 定时器 A 计数器在主定时器周期事件发生时复位
[3]	CMP4	定时器 A 比较 4 复位 (TIMA compare 4) 定时器 A 计数器在发生定时器 A 比较 4 事件时复位
[2]	CMP2	定时器 A 比较 2 复位 (TIMA compare 2) 定时器 A 计数器在发生定时器 A 比较 2 事件时复位
[1]	UPD	定时器 A 更新复位 (TIMA update) 定时器 A 计数器在更新事件时复位
[0]	TFCMP1	定时器 F 比较 1 (TIMF compare 1) 定时器 A 计数器在发生定时器 F 比较 1 事件时复位

### 17.4.2.23 SHRTIM 定时器 B 计数器复位寄存器 (SHRTIM\_TBCNTRST)

偏移地址: 0x154

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TFCM P2	TECM P4	TECM P2	TECM P1	TDCM P4	TDCM P2	TDCM P1	TCCM P4	TCCM P2	TCCM P1	TACM P4	TACM P2	TACM P1	EXEV 10	EXEV 9	EXEV8
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw



15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXEV7	EXEV6	EXEV5	EXEV4	EXEV3	EXEV2	EXEV1	MCMP 4	MCMP 3	MCMP 2	MCMP 1	MPRD	CMP4	CMP2	UPD	TFCM P1
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

请参考 SHRTIM\_TACNTRST 说明。

位 30:19 以及位 0 有所不同（来自 TIMA、TIMC、TIMD、TIME 和 TIMF 的复位信号）

#### 17.4.2.24 SHRTIM 定时器 C 计数器复位寄存器 (SHRTIM\_TCCNTRST)

偏移地址: 0x1D4

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TFCM P2	TECM P4	TECM P2	TECM P1	TDCM P4	TDCM P2	TDCM P1	TBCM P4	TBCM P2	TBCM P1	TACM P4	TACM P2	TACM P1	EXEV 10	EXEV 9	EXEV8
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXEV7	EXEV6	EXEV5	EXEV4	EXEV3	EXEV2	EXEV1	MCMP 4	MCMP 3	MCMP 2	MCMP 1	MPRD	CMP4	CMP2	UPD	TFCM P1
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

请参考 SHRTIM\_TACNTRST 说明。

位 30:19 以及位 0 有所不同（来自 TIMA、TIMB、TIMC、TIME 和 TIMF 的复位信号）

#### 17.4.2.25 SHRTIM 定时器 D 计数器复位寄存器 (SHRTIM\_TDCNTRST)

偏移地址: 0x254

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TFCM P2	TECM P4	TECM P2	TECM P1	TCCM P4	TCCM P2	TCCM P1	TBCM P4	TBCM P2	TBCM P1	TACM P4	TACM P2	TACM P1	EXEV 10	EXEV 9	EXEV8
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXEV7	EXEV6	EXEV5	EXEV4	EXEV3	EXEV2	EXEV1	MCMP 4	MCMP 3	MCMP 2	MCMP 1	MPRD	CMP4	CMP2	UPD	TFCM P1
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

请参考 SHRTIM\_TACNTRST 说明。

位 30:19 以及位 0 有所不同（来自 TIMA、TIMB、TIMC、TIME 和 TIMF 的复位信号）

#### 17.4.2.26 SHRTIM 定时器 E 计数器复位寄存器 (SHRTIM\_TECNTRST)

偏移地址: 0x2D4

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TFCM P2	TDCM P4	TDCM P2	TDCM P1	TCCM P4	TCCM P2	TCCM P1	TBCM P4	TBCM P2	TBCM P1	TACM P4	TACM P2	TACM P1	EXEV 10	EXEV 9	EXEV8
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXEV7	EXEV6	EXEV5	EXEV4	EXEV3	EXEV2	EXEV1	MCMP 4	MCMP 3	MCMP 2	MCMP 1	MPRD	CMP4	CMP2	UPD	TFCM P1
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

请参考 SHRTIM\_TACNTRST 说明。

位 30:19 以及位 0 有所不同 (来自 TIMA、TIMB、TIMC、TIMD 和 TIMF 的复位信号)

### 17.4.2.27 SHRTIM 定时器 F 计数器复位寄存器 (SHRTIM\_TFCNTRST)

偏移地址: 0x354

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TECM P2	TDCM P4	TDCM P2	TDCM P1	TCCM P4	TCCM P2	TCCM P1	TBCM P4	TBCM P2	TBCM P1	TACM P4	TACM P2	TACM P1	EXEV 10	EXE V9	EXEV 8
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXEV 7	EXEV 6	EXEV 5	EXEV 4	EXEV 3	EXEV 2	EXEV 1	MCMP 4	MCMP 3	MCMP 2	MCMP 1	MPRD	CMP4	CMP2	UPD	TECM P1
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

请参考 SHRTIM\_TACNTRST 说明。

位 30:19 以及位 0 有所不同 (来自 TIMA、TIMB、TIMC、TIMD 和 TIME 的复位信号)

### 17.4.2.28 SHRTIM 定时器 x 斩波寄存器 (SHRTIM\_TxCHOP)

偏移地址:

TIMA: 0x0D8

TIMB: 0x158

TIMC: 0x1D8

TIMD: 0x258

TIME: 0x2D8

TIMF: 0x358

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	STARTPW	CARDCY	CARFRQ
	rw	rw	rw

位域	名称	描述
[31:11]	Reserved	保留，必须保持复位值
[10:7]	STARTPW	定时器 x 起始脉冲宽度 (Timer x start pulse width) 该寄存器定义输出信号上升沿之后的初始脉冲宽度。当设置 SHRTIM_TxOUT.CHPy 位之一时，无法修改该位字段。 $t_{1STPW} = (STARTPW [3:0]+1) \times 16 \times t_{SHRTIM}$ 0000: 51.2 ns 0001: 102.4 ns ... 1111: 819.2 ns
[6:4]	CARDCY	定时器 x 斩波器占空比值 (Timer x chopper duty cycle value) 该寄存器定义载波信号的占空比。当设置 SHRTIM_TxOUT.CHPy 位之一时，无法修改。 000: 0/8 (即仅存在第一个脉冲) ... 111: 7/8
[3:0]	CARFRQ	定时器 x 载波频率值 (Timer x carrier frequency value) 该寄存器定义载波频率 $f_{CHPFQ} = f_{SHRTIM} / (16 \times (CARFRQ[3:0]+1))$ 。 当设置 SHRTIM_TxOUT.CHPCHy 位之一时，无法修改该位字段。 0000: 19.5312 MHz ( $f_{SHRTIM}/16$ ) ... 1111: 1.2207 MHz ( $f_{SHRTIM}/256$ )

### 17.4.2.29 SHRTIM 定时器 A 捕获 1 控制寄存器 (SHRTIM\_TACPT1CTRL)

偏移地址: 0x0DC

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TECMP2	TECMP1	TEIRST	TE1SET	TDCMP2	TDCMP1	TDIRST	TD1SET	TCCMP2	TCCMP1	TCIRST	TC1SET	TBCMP2	TBCMP1	TBIRST	TB1SET
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TFCMP2	TFCMP1	TFIRST	TF1SET	EXEV10CPT	EXEV9CPT	EXEV8CPT	EXEV7CPT	EXEV6CPT	EXEV5CPT	EXEV4CPT	EXEV3CPT	EXEV2CPT	EXEV1CPT	UPDCPT	SWCPT
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rt_w

位域	名称	描述
[31]	TECMP2	定时器 E 比较 2 (TIME compare 2) 0: 无动作 1: 定时器 E 比较 2 触发定时器 A 的捕获 1
[30]	TECMP1	定时器 E 比较 1 (TIME compare 1) 0: 无动作 1: 定时器 E 比较 1 触发定时器 A 的捕获 1
[29]	TE1RST	定时器 E 输出 1 复位 (TIME channel 1 output reset) 0: 无动作 1: 定时器 A 的捕获 1 由定时器 E 输出有效到无效转换触发
[28]	TE1SET	定时器 E 输出 1 置位 (TIME channel 1 output set) 0: 无动作 1: 定时器 A 的捕获 1 由定时器 E 输出无效到有效转换触发
[27]	TDCMP2	定时器 D 比较 2 (TIMD compare 2) 0: 无动作 1: 定时器 D 比较 2 触发定时器 A 的捕获 1
[26]	TDCMP1	定时器 D 比较 1 (TIMD compare 1) 0: 无动作 1: 定时器 D 比较 1 触发定时器 A 的捕获 1
[25]	TD1RST	定时器 D 输出 1 复位 (TIMD output 1 reset) 0: 无动作 1: 定时器 A 的捕获 1 由定时器 D 输出有效到无效转换触发
[24]	TD1SET	定时器 D 输出 1 置位 (TIMD output 1 set) 0: 无动作 1: 定时器 A 的捕获 1 由定时器 D 输出无效到有效转换触发
[23]	TCCMP2	定时器 C 比较 2 (TIMC compare 2) 0: 无动作 1: 定时器 C 比较 2 触发定时器 A 的捕获 1
[22]	TCCMP1	定时器 C 比较 1 (TIMC compare 1) 0: 无动作 1: 定时器 C 比较 1 触发定时器 A 的捕获 1
[21]	TC1RST	定时器 C 输出 1 复位 (TIMC output 1 reset) 0: 无动作 1: 定时器 A 的捕获 1 由定时器 C 输出有效到无效转换触发
[20]	TC1SET	定时器 C 输出 1 置位 (TIMC output 1 set) 0: 无动作 1: 定时器 A 的捕获 1 由定时器 C 输出无效到有效转换触发
[19]	TBCMP2	定时器 B 比较 2 (TIMB compare 2) 0: 无动作 1: 定时器 B 比较 2 触发定时器 A 的捕获 1
[18]	TBCMP1	定时器 B 比较 1 (TIMB compare 1) 0: 无动作

		1: 定时器 B 比较 1 触发定时器 A 的捕获 1
[17]	TB1RST	定时器 B 输出 1 复位 (TIMB output 1 reset) 0: 无动作 1: 定时器 A 的捕获 1 由定时器 B 输出有效到无效转换触发
[16]	TB1SET	定时器 B 输出 1 置位 (TIMB output 1 set) 0: 无动作 1: 定时器 A 的捕获 1 由定时器 B 输出无效到有效转换触发
[15]	TFCMP2	定时器 F 比较 2 (TIMF compare 2) 0: 无动作 1: 定时器 F 比较 2 触发定时器 A 的捕获 1
[14]	TFCMP1	定时器 F 比较 1 (TIMF compare 1) 0: 无动作 1: 定时器 F 比较 1 触发定时器 A 的捕获 1
[13]	TF1RST	定时器 F 输出 1 复位 (TIMF output 1 reset) 0: 无动作 1: 定时器 A 的捕获 1 由定时器 F 输出有效到无效转换触发
[12]	TF1SET	定时器 F 输出 1 置位 (TIMF output 1 set) 0: 无动作 1: 定时器 A 的捕获 1 由定时器 F 输出无效到有效转换触发
[11]	EXEV10CPT	外部事件 10 捕获 (External event 10 capture) 0: 无动作 1: 外部事件 10 触发定时器 A 的捕获 1
[10]	EXEV9CPT	外部事件 9 捕获 (External event 10 capture) 0: 无动作 1: 外部事件 9 触发定时器 A 的捕获 1
[9]	EXEV8CPT	外部事件 8 捕获 (External event 8 capture) 0: 无动作 1: 外部事件 8 触发定时器 A 的捕获 1
[8]	EXEV7CPT	外部事件 7 捕获 (External event 7 capture) 0: 无动作 1: 外部事件 7 触发定时器 A 的捕获 1
[7]	EXEV6CPT	外部事件 6 捕获 (External event 6 capture) 0: 无动作 1: 外部事件 6 触发定时器 A 的捕获 1
[6]	EXEV5CPT	外部事件 5 捕获 (External event 5 capture) 0: 无动作 1: 外部事件 5 触发定时器 A 的捕获 1
[5]	EXEV4CPT	外部事件 4 捕获 (External event 4 capture) 0: 无动作 1: 外部事件 4 触发定时器 A 的捕获 1
[4]	EXEV3CPT	外部事件 3 捕获 (External event 3 capture) 0: 无动作 1: 外部事件 3 触发定时器 A 的捕获 1

[3]	EXEV2CPT	外部事件 2 捕获 (External event 2 capture) 0: 无动作 1: 外部事件 2 触发定时器 A 的捕获 1
[2]	EXEV1CPT	外部事件 1 捕获 (External event 1 capture) 0: 无动作 1: 外部事件 1 触发定时器 A 的捕获 1
[1]	UPDCPT	更新捕获 (Update capture) 0: 无动作 1: 更新事件触发定时器 A 的捕获 1
[0]	SWCPT	软件捕获 (Software capture) 0: 无动作 1: 该位通过软件强制触发定时器 A 的捕获 1。 注: 该位仅被置位, 由硬件复位。

### 17.4.2.30 SHRTIM 定时器 A 捕获 2 控制寄存器 (SHRTIM\_TACPT2CTRL)

偏移地址: 0x0E0

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TECMP2	TECMP1	TEIRST	TEISET	TDCMP2	TDCMP1	TDIRST	TDISET	TCCMP2	TCCMP1	TCIRST	TCISET	TBCMP2	TBCMP1	TBIRST	TBISET
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TFCMP2	TFCMP1	TFIRST	TFISET	EXEV10CPT	EXEV9CPT	EXEV8CPT	EXEV7CPT	EXEV6CPT	EXEV5CPT	EXEV4CPT	EXEV3CPT	EXEV2CPT	EXEV1CPT	UPDCPT	SWCPT
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rt_w

参考 SHRTIM\_TACPT1CTRL

### 17.4.2.31 SHRTIM 定时器 B 捕获 1 控制寄存器 (SHRTIM\_TBCPT1CTRL)

偏移地址: 0x15C

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TECMP2	TECMP1	TEIRST	TEISET	TDCMP2	TDCMP1	TDIRST	TDISET	TCCMP2	TCCMP1	TCIRST	TCISET	TFCMP2	TFCMP1	TFIRST	TFISET
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	Rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TACMP2	TACMP1	TAIRST	TAISET	EXEV10CPT	EXEV9CPT	EXEV8CPT	EXEV7CPT	EXEV6CPT	EXEV5CPT	EXEV4CPT	EXEV3CPT	EXEV2CPT	EXEV1CPT	UPDCPT	SWCPT
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	Rw	rt_w

参考 SHRTIM\_TACPT1CTRL

位 31:12 有所不同 (来自 TIMA、TIMC、TIMD、TIME 和 TIMF)

### 17.4.2.32 SHRTIM 定时器 B 捕获 2 控制寄存器 (SHRTIM\_TBCPT2CTRL)

偏移地址: 0x160

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TECM P2	TECM P1	TE1R ST	TE1S ET	TDCMP2	TDCMP 1	TD1RS T	TD1SE T	TCCMP 2	TCCMP 1	TC1RS T	TC1SET	TFCMP 2	TFCMP 1	TF1R ST	TF1S ET
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAC MP2	TAC MP1	TA1R ST	TA1S ET	EXEV10 CPT	EXEV9 CPT	EXEV8 CPT	EXEV7 CPT	EXEV6 CPT	EXEV5 CPT	EXEV4 CPT	EXEV3 CPT	EXEV2 CPT	EXEV1 CPT	UPDC PT	SWC PT
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rt_w

参考 SHRTIM\_TACPT1CTRL

位 31:12 有所不同 (来自 TIMA、TIMC、TIMD、TIME 和 TIMF)

### 17.4.2.33 SHRTIM 定时器 C 捕获 1 控制寄存器 (SHRTIM\_TCCPT1CTRL)

偏移地址: 0x1DC

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TECM P2	TECM P1	TE1R ST	TE1S ET	TDCMP2	TDCMP 1	TD1RS T	TD1SE T	TFCMP 2	TFCMP 1	TF1RST	TF1SET	TBCMP 2	TBCMP 1	TB1R ST	TB1S ET
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	Rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAC MP2	TAC MP1	TA1R ST	TA1S ET	EXEV10 CPT	EXEV9 CPT	EXEV8 CPT	EXEV7 CPT	EXEV6 CPT	EXEV5 CPT	EXEV4 CPT	EXEV3 CPT	EXEV2 CPT	EXEV1 CPT	UPDC PT	SWC PT
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	Rw	rw	rw	rw	rw	rt_w

参考 SHRTIM\_TACPT1CTRL

位 31:12 有所不同 (来自 TIMA、TIMB、TIMD、TIME 和 TIMF)

### 17.4.2.34 SHRTIM 定时器 C 捕获 2 控制寄存器 (SHRTIM\_TCCPT2CTRL)

偏移地址: 0x1E0

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TECM P2	TECM P1	TE1R ST	TE1S ET	TDCMP2	TDCMP 1	TD1RS T	TD1SE T	TFCMP 2	TFCMP 1	TF1RST	TF1SET	TBCMP 2	TBCMP 1	TB1R ST	TB1S ET
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAC MP2	TAC MP1	TA1R ST	TA1S ET	EXEV10 CPT	EXEV9 CPT	EXEV8 CPT	EXEV7 CPT	EXEV6 CPT	EXEV5 CPT	EXEV4 CPT	EXEV3 CPT	EXEV2 CPT	EXEV1 CPT	UPDC PT	SWC PT
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rt_w

参考 SHRTIM\_TACPT1CTRL

位 31:12 有所不同（来自 TIMA、TIMB、TIMD、TIME 和 TIMF）

### 17.4.2.35 SHRTIM 定时器 D 捕获 1 控制寄存器 (SHRTIM\_TDCPT1CTRL)

偏移地址: 0x25C

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TECM P2	TECM P1	TEIRST	TEISET	TFCMP2	TFCMP1	TFIRST	TFISET	TCCMP2	TCCMP1	TCIRST	TCISET	TBCMP2	TBCMP1	TBIRST	TB1SET
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAC MP2	TAC MP1	TAIRST	TAISET	EXEV10 CPT	EXEV9 CPT	EXEV8 CPT	EXEV7 CPT	EXEV6 CPT	EXEV5 CPT	EXEV4 CPT	EXEV3 CPT	EXEV2 CPT	EXEV1 CPT	UPDC PT	SWC PT
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rt_w

参考 SHRTIM\_TACPT1CTRL

位 31:12 有所不同（来自 TIMA、TIMB、TIMC、TIME 和 TIMF）

### 17.4.2.36 SHRTIM 定时器 D 捕获 2 控制寄存器 (SHRTIM\_TDCPT2CTRL)

偏移地址: 0x260

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TECM P2	TECM P1	TEIRST	TEISET	TFCMP2	TFCMP1	TFIRST	TFISET	TCCMP2	TCCMP1	TCIRST	TCISET	TBCMP2	TBCMP1	TBIRST	TB1SET
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAC MP2	TAC MP1	TAIRST	TAISET	EXEV10 CPT	EXEV9 CPT	EXEV8 CPT	EXEV7 CPT	EXEV6 CPT	EXEV5 CPT	EXEV4 CPT	EXEV3 CPT	EXEV2 CPT	EXEV1 CPT	UPDC PT	SWC PT
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rt_w

参考 SHRTIM\_TACPT1CTRL

位 31:12 有所不同（来自 TIMA、TIMB、TIMC、TIME 和 TIMF）

### 17.4.2.37 SHRTIM 定时器 E 捕获 1 控制寄存器 (SHRTIM\_TECPT1CTRL)

偏移地址: 0x2DC

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TFCM P2	TFCM P1	TFIRST	TFISET	TDCMP2	TDCMP1	TDIRST	TDISET	TCCMP2	TCCMP1	TCIRST	TCISET	TBCMP2	TBCMP1	TBIRST	TB1SET
rw	rw	rw	rw	Rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAC MP2	TAC MP1	TAIRST	TAISET	EXEV10 CPT	EXEV9 CPT	EXEV8 CPT	EXEV7 CPT	EXEV6 CPT	EXEV5 CPT	EXEV4 CPT	EXEV3 CPT	EXEV2 CPT	EXEV1 CPT	UPDC PT	SWC PT



rw rw rw rw Rw rw rw rw rw rw rw rw rw rw rw rt\_w

参考 SHRTIM\_TACPT1CTRL

位 31:12 有所不同 (来自 TIMA、TIMB、TIMC、TIMD 和 TIMF)

### 17.4.2.38 SHRTIM 定时器 E 捕获 2 控制寄存器 (SHRTIM\_TECPT2CTRL)

偏移地址: 0x2E0

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TFCM P2	TFCM P1	TF1R ST	TF1S ET	TDCMP2	TDCMP 1	TD1RS T	TD1SE T	TCCMP 2	TCCMP 1	TC1RS T	TC1SET	TBCMP 2	TBCMP 1	TB1R ST	TB1S ET
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAC MP2	TAC MP1	TA1R ST	TA1S ET	EXEV10 CPT	EXEV9 CPT	EXEV8 CPT	EXEV7 CPT	EXEV6 CPT	EXEV5 CPT	EXEV4 CPT	EXEV3 CPT	EXEV2 CPT	EXEV1 CPT	UPDC PT	SWC PT
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rt_w

参考 SHRTIM\_TACPT1CTRL

位 31:12 有所不同 (来自 TIMA、TIMB、TIMC、TIMD 和 TIMF)

### 17.4.2.39 SHRTIM 定时器 F 捕获 1 控制寄存器 (SHRTIM\_TFCPT1CTRL)

偏移地址: 0x35C

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TECM P2	TECM P1	TE1R ST	TE1S ET	TDCMP2	TDCMP 1	TD1RS T	TD1SE T	TCCMP 2	TCCMP 1	TC1RS T	TC1SET	TBCMP 2	TBCMP 1	TB1R ST	TB1S ET
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAC MP2	TAC MP1	TA1R ST	TA1S ET	EXEV10 CPT	EXEV9 CPT	EXEV8 CPT	EXEV7 CPT	EXEV6 CPT	EXEV5 CPT	EXEV4 CPT	EXEV3 CPT	EXEV2 CPT	EXEV1 CPT	UPDC PT	SWC PT
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rt_w

参考 SHRTIM\_TACPT1CTRL

位 31:12 有所不同 (来自 TIMA、TIMB、TIMC、TIMD 和 TIME)

### 17.4.2.40 SHRTIM 定时器 F 捕获 2 控制寄存器 (SHRTIM\_TFCPT2CTRL)

偏移地址: 0x360

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TECM P2	TECM P1	TE1R ST	TE1S ET	TDCMP2	TDCMP 1	TD1RS T	TD1SE T	TCCMP 2	TCCMP 1	TC1RS T	TC1SET	TBCMP 2	TBCMP 1	TB1R ST	TB1S ET
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

TAC MP2	TAC MP1	TAIR ST	TAIS ET	EXEV10 CPT	EXEV9 CPT	EXEV8 CPT	EXEV7 CPT	EXEV6 CPT	EXEV5 CPT	EXEV4 CPT	EXEV3 CPT	EXEV2 CPT	EXEV1 CPT	UPDC PT	SWC PT
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

参考 SHRTIM\_TACPT1CTRL

位 31:12 有所不同（来自 TIMA、TIMB、TIMC、TIMD 和 TIME）

### 17.4.2.41 SHRTIM 定时器 x 输出寄存器（SHRTIM\_TxOUT）

偏移地址：

TIMA: 0x0E4

TIMB: 0x164

TIMC: 0x1E4

TIMD: 0x264

TIME: 0x2E4

TIMF: 0x364

复位值：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								DIDL2	CHP2	FALT2	IDLES2	IDLEM2	POL2	Reserved	
								rw	rw	rw	rw		rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	BIAR	Reserved	DP	DPEN	DTEN	DIDL1	CHP1	FALT1	IDLES1	IDLEM1	POL1	Reserved			
	rw		rw	rw	rw	rw	rw	rw	rw	rw		rw			

位域	名称	描述
[31:24]	Reserved	保留，必须保持复位值
[23]	DIDL2	进入突发模式空闲状态的输出 2 死区 (Output 2 Deadtime upon burst mode Idle entry) 此位会在输出切换为其空闲状态之前强制插入死区，从而延迟进入空闲模式。此设置仅适用于在突发模式工作期间进入空闲状态的情况。 0: 编程的空闲状态立即应用到输出 2。 1: 死区（无效电平）会在进入空闲模式之前插入到输出 2 上。死区值由 DTF[8:0] 设置。 注：定时器 x 使能后，不能更改此参数。 注：仅当其中一路输出在突发模式期间有效 (IDLES=1)、且死区为正值 (SDTR/SDTF 设为 0) 时，才可设置 DIDL=1。
[22]	CHP2	输出 2 斩波使能 (Output 2 Chopper enable) 该位在输出 2 上使能斩波 0: 输出信号未改变 1: 输出信号被载波信号斩波

		注： 定时器 x 使能后，不能更改此参数。
[21:20]	FALT2	输出 2 故障状态 (Output 2 Fault state) 这些位选择输出 2 在故障事件后的状态 00: 无操作: 输出不受故障输入影响, 停留在运行模式下 01: 有效 10: 无效 11: 高阻态 注: 一旦定时器 x 启用 (TxCNTEN 位被设置), 如果 FALTENx 位被设置, 或者输出处于故障状态, 这个参数就不能被更改。
[19]	IDLES2	输出 2 空闲状态 (Output 2 Idle State) 此位选择输出 2 的空闲状态 0: 无效 1: 有效 注: 必须在交由 SHRTIM 控制输出之前设置此参数。
[18]	IDLEM2	输出 2 空闲模式 这一位选择输出 2 空闲模式 0: 无作用: 输出不受突发模式的控制 1: 通过突发模式控制器请求时, 输出处于空闲状态。
[17]	POL2	输出 2 极性 (Output 2 polarity) 此位选择输出 2 极性 0: 正极性 (输出高电平有效) 1: 负极性 (输出低电平有效) 注: 定时器 x 使能后, 不能更改此参数。
[16:15]	Reserved	保留, 必须保持复位值
[14]	BIAR	均衡空闲自动恢复 (Balanced idle automatic resume) 该位选择在均衡空闲事件后自动重新启用输出。该位仅在 DP[2:0] = 011 或 111 时才有效, 否则将被忽略。 0: 禁用 1: 启用 注: 定时器 x 启用后, 该参数将无法更改。
[13]	Reserved	保留, 必须保持复位值
[12:10]	DP	延迟保护 (Delayed Protection) 这些位定义应用延迟保护机制的源和输出。 在 SHRTIM_TAOUT、SHRTIM_TBOUT、SHRTIM_TCOUT 中: 000: 发生外部事件 6 时输出 1 进入延迟空闲状态 001: 发生外部事件 6 时输出 2 进入延迟空闲状态 010: 发生外部事件 6 时输出 1 和输出 2 均进入延迟空闲状态 011: 发生外部事件 6 时进入均衡空闲状态 100: 发生外部事件 7 时输出 1 进入延迟空闲状态 101: 发生外部事件 7 时输出 2 进入延迟空闲状态 110: 发生外部事件 7 时输出 1 和输出 2 均进入延迟空闲状态 111: 发生外部事件 7 时进入均衡空闲状态 在 SHRTIM_TDOUT、SHRTIM_TEOUT、SHRTIM_TFOUT 中: 000: 发生外部事件 8 时输出 1 进入延迟空闲状态

		<p>001: 发生外部事件 8 时输出 2 进入延迟空闲状态</p> <p>010: 发生外部事件 8 时输出 1 和输出 2 均进入延迟空闲状态</p> <p>011: 发生外部事件 8 时进入均衡空闲状态</p> <p>100: 发生外部事件 9 时输出 1 进入延迟空闲状态</p> <p>101: 发生外部事件 9 时输出 2 进入延迟空闲状态</p> <p>110: 发生外部事件 9 时输出 1 和输出 2 均进入延迟空闲状态</p> <p>111: 发生外部事件 9 时进入均衡空闲状态</p>
[9]	DPEN	<p>延迟保护使能 (Delayed Protection Enable)</p> <p>此位用于使能延迟保护机制</p> <p>0: 不执行任何操作</p> <p>1: 根据 DP[2:0] 位使能延迟保护</p> <p>注: 定时器 x 使能后 (TxCNTEN 位置 1), 不能更改此参数。</p>
[8]	DTEN	<p>死区使能 (Deadtime enable)</p> <p>此位用于使能在输出 1 和输出 2 上插入死区</p> <p>0: 输出 1 信号和输出 2 信号相互独立。</p> <p>1: 会在输出 1 和输出 2 之间插入死区 (参考信号来自输出 1 信号发生器)</p> <p>注: 定时器工作时 (TxCNTEN 位置 1), 或者其输出通过另一定时器使能和置位/复位时, 不能修改此参数。</p>
[7]	DIDL1	<p>进入突发模式空闲状态的输出 1 死区 (Output 2 Deadtime upon burst mode Idle entry)</p> <p>此位会在输出切换为其空闲状态之前强制插入死区, 从而延迟进入空闲模式。此设置仅适用于在突发模式工作期间进入空闲的情况。</p> <p>0: 编程的空闲状态立即应用到输出 1。</p> <p>1: 死区 (无效电平) 会在进入空闲模式之前插入到输出 1 上。死区值由 DTF[8:0] 设置。</p> <p>注: 定时器 x 使能后, 不能更改此参数。</p> <p>注: 仅当其中一路输出在突发模式期间有效 (IDLES=1)、且死区为正值 (SDTR/SDTF 设为 0) 时, 才可设置 DIDL=1。</p>
[6]	CHP1	<p>输出 1 斩波使能 (Output 1 Chopper enable)</p> <p>该位在输出 1 上使能斩波</p> <p>0: 输出信号未改变</p> <p>1: 输出信号被载波信号斩波</p> <p>注: 定时器 x 使能后, 不能更改此参数。</p>
[5:4]	FALT1	<p>输出 1 故障状态 (Output 1 Fault state)</p> <p>这些位选择输出 1 在故障事件后的状态</p> <p>00: 无操作: 输出不受故障输入影响, 停留在运行模式下</p> <p>01: 有效</p> <p>10: 无效</p> <p>11: 高阻态</p> <p>注: 一旦定时器 x 启用 (TxCNTEN 位被设置), 如果 FALTENx 位被设置, 或者输出处于故障状态, 这个参数就不能被更改。</p>
[3]	IDLES1	<p>输出 1 空闲状态 (Output 1 Idle State)</p> <p>此位选择输出 1 的空闲状态</p>

		0: 无效 1: 有效 注: 必须在交由 SHRTIM 控制输出之前设置此参数。
[2]	IDLEM1	输出 1 空闲模式 这一位选择输出 1 空闲模式 0: 无作用: 输出不受突发模式的控制 1: 通过突发模式控制器请求时, 输出处于空闲状态。
[1]	POL1	输出 1 极性 (Output 1 polarity) 此位选择输出 1 极性 0: 正极性 (输出高电平有效) 1: 负极性 (输出低电平有效) 注: 定时器 x 使能后, 不能更改此参数。
[0]	Reserved	保留, 必须保持复位值

#### 17.4.2.42 SHRTIM 定时器 x 故障寄存器 (SHRTIM\_TxFALT)

偏移地址:

TIMA: 0x0E8

TIMB: 0x168

TIMC: 0x1E8

TIMD: 0x268

TIME: 0x2E8

TIMF: 0x368

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FALTLOCK		Reserved													
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved										FALT6EN	FALT5EN	FALT4EN	FALT3EN	FALT2EN	FALT1EN
										rw	rw	rw	rw	rw	rw

位域	名称	描述
[31]	FALTLOCK	故障源锁定 (Fault sources lock) 0: FALT1EN..FALT6EN 位可读/写 1: FALT1EN..FALT6EN 位只读 FALTLOCK 位只能写入一次。一旦设置, 在下次系统重置之前无法修改。
[30:6]	Reserved	保留, 必须保持复位值
[5]	FALT6EN	故障 6 启用 (FAULT 6 enable) 0: 忽略故障 6 输入

		1: 故障 6 输入有效并禁用 SHRTIM 输出
[4]	FALT5EN	故障 5 启用 (FAULT 5 enable) 0: 忽略故障 5 输入 1: 故障 5 输入有效并禁用 SHRTIM 输出
[3]	FALT4EN	故障 4 启用 (FAULT 4 enable) 0: 忽略故障 4 输入 1: 故障 4 输入有效并禁用 SHRTIM 输出
[2]	FALT3EN	故障 3 启用 (FAULT 3 enable) 0: 忽略故障 3 输入 1: 故障 3 输入有效并禁用 SHRTIM 输出
[1]	FALT2EN	故障 2 启用 (FAULT 2 enable) 0: 忽略故障 2 输入 1: 故障 2 输入有效并禁用 SHRTIM 输出
[0]	FALT1EN	故障 1 启用 ((FAULT 1 enable)) 0: 忽略故障 1 输入 1: 故障 1 输入有效并禁用 SHRTIM 输出

#### 17.4.2.43 SHRTIM 定时器 x 控制寄存器 2 (SHRTIM\_TxCTRL2)

偏移地址:

TIMA: 0x0EC

TIMB: 0x16C

TIMC: 0x1EC

TIMD: 0x26C

TIME: 0x2EC

TIMF: 0x36C

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved											TRGHLF	Reserved		GTCMP3	GTCMP1
											rw			rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FEROM	BMROM	ADCROM	OUTROM	ROM	Reserved	UPDOWNM	Reserved	DUDACRST	DUDACSTEP	DUDACEN					
rw	rw	rw	rw	rw		rw		rw	rw	rw					

位域	名称	描述
[31:21]	Reserved	保留, 必须保持复位值
[20]	TRGHLF	半触发模式 (Triggered-half mode) 该位域定义比较 2 寄存器是在标准模式下运行 (一旦计数器等于比较值就发出比较匹配), 还是在半触发模式下运行 (请参见章节 17.3.4.12)

		半触发模式)。 0: 写入 SHRTIM_TxCMP2DAT 寄存器仅由用户设置 (标准比较模式) 1: SHRTIM_TxCMP2DAT 值在捕获 1 事件发生后立即由硬件设置。它被加载为 (捕获 1 除以 2) 的值。用户可以写入初始值 (只要 TRGH1F 位被复位), 但一旦第一次捕获被触发后, 该值就会被忽略 (当 TRGH1F 位被设置时, SHRTIM_TxCMP2DAT 的预加载机制将被禁用)。 注意: 一旦计数器启用 (SHRTIM_MCTRL.TxCNTEN 位被设置), 此位域就不应被修改。
[19:18]	Reserved	保留, 必须保持复位值
[17]	GTCMP3	大于比较 3 PWM 模式 (Greater than compare 3 PWM mode) 该位定义比较 3 工作模式。 0: 当计数器等于比较值时, 产生比较 3 事件 (比较匹配模式) 1: 当计数器的值大于比较值时, 会生成比较 3 事件。如果比较值在运行中被更改, 新的比较值将与当前计数器值进行比较, 从而生成输出的置位或复位。
[16]	GTCMP1	大于比较 1 PWM 模式 (Greater than compare 1 PWM mode) 该位定义比较 1 工作模式。 0: 当计数器等于比较值时, 产生比较 1 事件 (比较匹配模式) 1: 当计数器的值大于比较值时, 会生成比较 1 事件。如果比较值在运行中被更改, 新的比较值将与当前计数器值进行比较, 从而生成输出的置位或复位。
[15:14]	FEROM	故障和事件翻转模式 (Fault and event roll-over mode) 该位定义在向上向下计数模式下何时生成翻转。它仅涉及故障和事件计数器使用的翻转事件。 00: 当计数器等于 0 或 SHRTIM_TxPRD 值时生成事件 01: 当计数器等于 0 时生成事件 10: 当计数器等于 SHRTIM_TxPRD 时生成事件 11: 保留 注: 此设置仅在设置 SHRTIM_TxCTRL2.UPDOWNM 时适用。否则并不重要。 注: 一旦定时器运行 (SHRTIM_MCTRL.TxCNTEN 位设置), 该位字段就无法更改
[13:12]	BMROM	突发模式翻转模式 (Burst mode roll-over mode) 该位定义在向上向下计数模式下何时生成翻转。它只涉及在突发模式控制器中使用的翻转事件, 作为突发模式触发的时钟。 00: 当计数器等于 0 或 SHRTIM_TxPRD 值时生成事件 01: 当计数器等于 0 值时生成事件 10: 当计数器等于 SHRTIM_TxPRD 时生成事件 11: 保留 注: 此设置仅在设置 SHRTIM_TxCTRL2.UPDOWNM 时适用。否则没有意义。 注: 一旦定时器运行 (SHRTIM_MCTRL.TxCNTEN 位设置), 该参数就无法更改。
[11:10]	ADCROM	ADC 翻转模式 (ADC roll-over mode)

		<p>该位定义在向上向下计数模式下何时生成翻转。它仅涉及触发 ADC 的翻转事件。</p> <p>00: 当计数器等于 0 或 SHRTIM_TxPRD 值时生成事件</p> <p>01: 当计数器等于 0 时生成事件</p> <p>10: 当计数器等于 SHRTIM_TxPRD 时生成事件</p> <p>11: 保留</p> <p>注: 此设置仅在设置 SHRTIM_TxCTRL2.UPDOWNM 时适用。否则它并不重要。</p> <p>注: 一旦定时器运行 (SHRTIM_MCTRL.TxCNTEN 位设置), 该位字段就无法更改。</p>
[9:8]	OUTROM	<p>输出翻转模式 (Output roll-over mode)</p> <p>该位定义在向上向下计数模式下何时生成翻转。它仅涉及根据 SHRTIM_TxSETy 和 SHRTIM_TxRSTy 置位和/或复位输出的翻转事件</p> <p>00: 当计数器等于 0 或 SHRTIM_TxPRD 值时生成事件</p> <p>01: 当计数器等于 0 时生成事件</p> <p>10: 当计数器等于 SHRTIM_TxPRD 时生成事件</p> <p>11: 保留</p> <p>注: 此设置仅在 SHRTIM_TxCTRL2.UPDOWNM 置位时适用。否则并不重要。</p> <p>注: 一旦定时器运行 (SHRTIM_MCTRL.TxCNTEN 位设置), 该位字段就无法更改。</p>
[7:6]	ROM	<p>翻转模式 (Roll-over mode)</p> <p>该位定义在向上向下计数模式下何时生成翻转。它仅涉及具有以下目标的翻转事件: 更新触发器 (将内容从预加载传输到活动寄存器)、IRQ 和 DMA 请求、重复计数器递减和外部事件过滤。</p> <p>00: 计数器等于时生成的事件 0 或 SHRTIM_TxPRD 值</p> <p>01: 当计数器等于 0 时生成事件</p> <p>10: 当计数器等于 SHRTIM_TxPRD 时生成事件</p> <p>11: 保留</p> <p>注: 此设置仅在设置 SHRTIM_TxCTRL2.UPDOWNM 时适用。否则并不重要。</p> <p>注: 一旦定时器运行 (SHRTIM_MCTRL.TxCNTEN 设置), 该位字段就无法更改。</p>
[5]	Reserved	保留, 必须保持复位值
[4]	UPDOWNM	<p>向上向下计数模式 (Up-down mode)</p> <p>该位定义计数器是否工作向上计数模式或向上向下计数模式。</p> <p>0: 计数器工作向上计数模式</p> <p>1: 计数器工作在向上向下计数模式</p> <p>注: 一旦定时器运行 (SHRTIM_MCTRL.TxCNTEN 设置), 该位就无法更改。</p>
[3]	Reserved	保留, 必须保持复位值
[2]	DUDACRST	<p>双 DAC 复位触发 (Dual DAC reset trigger)</p> <p>该位定义何时生成 shrtim_dac_reset_trgx 触发。</p> <p>0: 在计数器复位或翻转事件时生成触发</p>



		1: 在输出 1 置位事件时生成触发 注: 当 DUDACEN 位被复位 (双 DAC 触发器禁用) 时, DUDACRST 位不具有重要意义。
[1]	DUDACSTEP	双 DAC 步进触发 (Dual DAC step trigger) 该位定义何时生成 shrtim_dac_step_trgx 触发。 0: 比较 2 事件产生触发 1: 输出 1 复位事件产生触发 注: 当 DUDACEN 位被复位 (双 DAC 触发器禁用) 时, DUDACSTEP 位不具有重要意义。
[0]	DUDACEN	双 DAC 触发使能 (Dual channel DAC trigger enable) 该位使能双 DAC 触发机制。 0: 禁用双 DAC 触发 1: 启用双 DAC 触发 注: 一旦定时器工作 (SHRTIM_MCTRL.TxCNTEN 位设置), 该位就无法更改。

#### 17.4.2.44 SHRTIM 定时器 x 外部事件过滤寄存器 3 (SHRTIM\_TxEXEVFLT3)

偏移地址:

TIMA: 0x0F0

TIMB: 0x170

TIMC: 0x1F0

TIMD: 0x270

TIME: 0x2F0

TIMF: 0x370

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved		EXEVCNT				EXEVSEL				Reserved		EXEVRSTM		EXEVCNTRST		EXEVCNTEN
		rw				rw						rw		rt_w		rw

位域	名称	描述
[31:14]	Reserved	保留, 必须保持复位值
[13:8]	EXEVCNT	通道 x (x = A~F) 的外部事件计数器 (Channel x (x = A~F) 's external event counter) 该位字段选择通道 x (x = A~F) 的外部事件计数器阈值。当事件数量等于 (EXEVCNT[5:0]+1) 值时, 事件被视为有效

[7:4]	EXEVSEL	通道 x (x = A~F) 的外部事件选择 (Channel x (x = A~F) 's external event selection) 该位选择通道 x (x = A~F) 的外部事件源。 0000: 外部事件 1 作为通道 x (x = A~F) 的外部事件源 0001: 外部事件 2 作为通道 x (x = A~F) 的外部事件源 ... 1001: 外部事件 10 作为通道 x (x = A~F) 的外部事件源 其他: 保留
[3]	Reserved	保留, 必须保持复位值
[2]	EXEVRSTM	通道 x (x = A~F) 的外部事件复位模式 (Channel x (x = A~F) 's external event reset mode) 该位选择通道 x (x = A~F) 的外部事件计数器复位模式。 0: 通道 x (x = A~F) 的外部事件计数器在每次复位/翻转事件时复位 1: 通道 x (x = A~F) 的外部事件计数器仅在最后事件发生的最后计数周期内, 每次重置/翻转事件时才会复位。
[1]	EXEVCNTRST	通道 x (x = A~F) 的外部事件计数器复位 (Channel x (x = A~F) 's external event counter reset) 该位复位通道 x (x = A~F) 的外部事件计数器。由软件置位, 由硬件复位。 0: 无动作 1: 通道 x (x = A~F) 的外部事件计数器复位
[0]	EXEVCNTEN	通道 x (x = A~F) 的外部事件计数器使能 (Channel x (x = A~F) 's external event counter enable) 该位使能通道 x (x = A~F) 的外部事件计数器。 0: 通道 x (x = A~F) 的外部事件计数器禁用 1: 通道 x (x = A~F) 的外部事件计数器使能

#### 17.4.2.45 SHRTIM 定时器 x 比较 5 寄存器 (SHRTIM\_TxCMP5DAT)

偏移地址:

TIMA: 0x0F4

TIMB: 0x174

TIMC: 0x1F4

TIMD: 0x274

TIME: 0x2F4

TIMF: 0x374

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

CMP5DAT
rw

位域	名称	描述
[31:16]	Reserved	保留，必须保持复位值
[15:0]	CMP5DAT	定时器 x 比较 5 数据 (Timer x compare 5 data)

### 17.4.3 SHRTIM 通用寄存器

#### 17.4.3.1 SHRTIM 控制寄存器 1 (SHRTIM\_CTRL1)

偏移地址: 0x380

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				ADTG4UPDSRC			ADTG3UPDSRC			ADTG2UPDSRC			ADTG1UPDSRC		
				rw			rw			rw			rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								TFUPDDIS	TEUPDDIS	TDUPDDIS	TCUPDDIS	TBUPDDIS	TAUPDDIS	MUPDDIS	
								rw	rw	rw	rw	rw	rw	rw	

位域	名称	描述
[31:28]	Reserved	保留，必须保持复位值
[27:25]	ADTG4UPDSRC	ADC 触发 4 的更新源 (ADC trigger 4 update source) 参考 ADTG1UPDSRC[2:0]的描述
[24:22]	ADTG3UPDSRC	ADC 触发 3 的更新源 (ADC trigger 3 update source) 参考 ADTG1UPDSRC[2:0]的描述
[21:19]	ADTG2UPDSRC	ADC 触发 2 的更新源 (ADC trigger 2 update source) 参考 ADTG1UPDSRC[2:0]的描述
[18:16]	ADTG1UPDSRC	ADC 触发 1 的更新源 (ADC trigger 1 update source) 这些位定义将触发 SHRTIM_ADTG1SRC1 和 SHRTIM_ADTG1SRC2 寄存器更新的源 (从预装载寄存器传输到活动寄存器)。它只定义源定时器，准确条件在定时器自身的 SHRTIM_MCTRL 或 SHRTIM_TxCTRL 中定义。 000: 主定时器 001: 定时器 A 010: 定时器 B 011: 定时器 C 100: 定时器 D 101: 定时器 E 110: 定时器 F

		111: 保留
[15:7]	Reserved	保留, 必须保持复位值
[6]	TFUPDDIS	定时器 F 更新禁用 (TIM F update disable) 参考 TAUPDDIS 的描述
[5]	TEUPDDIS	定时器 E 更新禁用 (TIM E update disable) 参考 TAUPDDIS 的描述
[4]	TDUPDDIS	定时器 D 更新禁用 (TIM D update disable) 参考 TAUPDDIS 的描述
[3]	TCUPDDIS	定时器 C 更新禁用 (TIM C update disable) 参考 TAUPDDIS 的描述
[2]	TBUPDDIS	定时器 B 更新禁用 (TIM B update disable) 参考 TAUPDDIS 的描述
[1]	TAUPDDIS	定时器 A 更新禁用 (TIM A update disable) 此位由软件置 1 和清零, 用于暂时使能/禁止定时器 A 上的更新事件生成。 0: 使能更新。生成所选源后立即进行更新。 1: 禁止更新。暂时禁止更新, 使软件能够写入多个需要同时考虑的寄存器。
[0]	MUPDDIS	主定时器更新禁用 (Master timer update disable) 该位由软件置位和清零, 以暂时启用/禁用更新事件生成。 0: 使能更新。生成所选源后立即进行更新。 1: 禁止更新。暂时禁止更新, 使软件能够写入多个需要同时考虑的寄存器。

### 17.4.3.2 SHRTIM 控制寄存器 2 (SHRTIM\_CTRL2)

偏移地址: 0x384

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved										SWAP F	SWAP E	SWAP D	SWAP C	SWAP B	SWA PA
										rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Rese rved	TFSWC NTRST	TESWC NTRST	TDSWC NTRST	TCSWC NTRST	TBSWC NTRST	TASWC NTRST	MSWCN TRST	Rese rved	TFSW UPD	TESW UPD	TDSW UPD	TCSW UPD	TBSW UPD	TASW UPD	MSW UPD
	rt_w	rt_w	rt_w	rt_w	rt_w	rt_w	rt_w	rt_w	rt_w	rt_w	rt_w	rt_w	rt_w	rt_w	rt_w

位域	名称	描述
[31:22]	Reserved	保留, 必须保持复位值
[21]	SWAPF	定时器 F 输出交换 (TIMF output swap) 参见 SWAPA 说明。 注: 当推挽模式使能 (PP = 1) 时, 该位不重要。
[20]	SWAPE	定时器 E 输出交换 ((TIME output swap) 参见 SWAPA 说明。

		注：当推挽模式使能（PP = 1）时，该位不重要。
[19]	SWAPD	定时器 D 输出交换（TIMD output swap） 参见 SWAPA 说明。 注：当推挽模式使能（PP = 1）时，该位不重要。
[18]	SWAPC	定时器 C 输出交换（TIMC output swap） 参见 SWAPA 说明。 注：当推挽模式使能（PP = 1）时，该位不重要。
[17]	SWAPB	定时器 B 输出交换（TIMB output swap） 参见 SWAPA 说明。 注：当推挽模式使能（PP = 1）时，该位不重要
[16]	SWAPA	定时器 A 输出交换（TIMA output swap） 0: SHRTIM_TARST1 和 SHRTIM_TASET1 控制定时器 A 通道 1 ,SHRTIM_TARST2 和 SHRTIM_TASET2 控制定时器 A 通道 2 1: SHRTIM_TARST1 和 SHRTIM_TASET1 控制定时器 A 通道 2, SHRTIM_TARST2 和 SHRTIM_TASET2 控制定时器 A 通道 1
[15]	Reserved	保留，必须保持复位值
[14]	TFSWCNTRST	定时器 F 的软件计数器复位（TIMF's software counter reset） 参考 TASWCNTRST
[13]	TESWCNTRST	定时器 E 的软件计数器复位（TIME's software counter reset） 参考 TASWCNTRST
[12]	TDSWCNTRST	定时器 D 的软件计数器复位（TIMD's software counter reset） 参考 TASWCNTRST
[11]	TCSWCNTRST	定时器 C 的软件计数器复位（TIMC's software counter reset） 参考 TASWCNTRST
[10]	TBSWCNTRST	定时器 B 的软件计数器复位（TIMB's software counter reset） 参考 TASWCNTRST
[9]	TASWCNTRST	定时器 A 的软件计数器复位（TIMA's software counter reset） 0: 定时器 A 不由软件复位 1: 定时器 A 由软件复位 该位由硬件自动清除
[8]	MSWCNTRST	主定时器的软件计数器复位（Master timer's software counter reset） 0: 主定时器不由软件复位 1: 主定时器由软件复位 该位由硬件自动清除
[7]	Reserved	保留，必须保持复位值
[6]	TFSWUPD	定时器 F 软件更新（TIMF software update） 参考 TASWUPD
[5]	TESWUPD	定时器 E 软件更新（TIME software update） 参考 TASWUPD
[4]	TDSWUPD	定时器 D 软件更新（TIMD software update） 参考 TASWUPD

[3]	TCSWUPD	定时器 C 软件更新 (TIMC software update) 参考 TASWUPD
[2]	TBSWUPD	定时器 B 软件更新 (TIMB software update) 参考 TASWUPD
[1]	TASWUPD	定时器 A 软件更新 (Timer A Software Update) 此位由软件置 1, 并由硬件自动复位。它会强制立即执行从预装载寄存器到活动寄存器的传输操作, 并会取消任何挂起的更新请求。
[0]	MSWUPD	主定时器软件更新 (Master Timer Software update) 此位由软件置 1, 并由硬件自动复位。它会强制立即执行从主定时器中的预装载寄存器到活动寄存器的传输操作, 并会取消任何挂起的更新请求。

### 17.4.3.3 SHRTIM 中断状态寄存器 (SHRTIM\_INTSTS)

偏移地址: 0x388

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved														BMPRDITF	Reserved
														r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved									FALT6ITF	SYSFALTITF	FALT5ITF	FALT4ITF	FALT3ITF	FALT2ITF	FALT1ITF
									r	r	r	r	r	r	r

位域	名称	描述
[31:18]	Reserved	保留, 必须保持复位值
[17]	BMPRDITF	突发模式周期中断标志 (Burst mode Period Interrupt Flag) 单发突发模式工作结束、或连续模式下突发模式周期结束时, 此位会由硬件置 1。通过软件向该位写入 1 可将其清零。 0: 未发生突发模式周期中断 1: 发生突发模式周期中断位
[16]	Reserved	保留, 必须保持复位值
[15:7]	Reserved	保留, 必须保持复位值
[6]	FALT6ITF	故障 6 中断标志 (Fault 6 interrupt flag) 参考 FALT1ITF 的描述
[5]	SYSFALTITF	系统故障中断标志 (System Fault Interrupt Flag) 参考 FALT1ITF 的描述
[4]	FALT5ITF	故障 5 中断标志 (Fault 5 interrupt flag) 参考 FALT1ITF 的描述
[3]	FALT4ITF	故障 4 中断标志 (Fault 4 interrupt flag) 参考 FALT1ITF 的描述
[2]	FALT3ITF	故障 3 中断标志 (Fault 3 interrupt flag)

		参考 FALT1ITF 的描述
[1]	FALT2ITF	故障 2 中断标志 (Fault 2 interrupt flag) 参考 FALT1ITF 的描述
[0]	FALT1ITF	故障 1 中断标志 (Fault 1 Interrupt Flag) 发生故障 1 事件时, 该位由硬件置 1。通过软件向该位写入 1 可将其清零。 0: 未发生故障 1 中断 1: 发生故障 1 中断

#### 17.4.3.4 SHRTIM 中断清零寄存器 (SHRTIM\_INTCLR)

偏移地址: 0x38C

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved													BMPRDIC	Reserved	
													w	r	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								FALT6IC	SYSFALTIC	FALT5IC	FALT4IC	FALT3IC	FALT2IC	FALT1IC	
								w	w	w	w	w	w	w	

位域	名称	描述
[31:18]	Reserved	保留, 必须保持复位值
[17]	BMPRDIC	突发模式周期标志清零。 向该位写入 1 会清除 SHRTIM_INTSTS.BMPRDITF
[16]	Reserved	保留, 必须保持复位值
[15:7]	Reserved	保留, 必须保持复位值
[6]	FALT6IC	故障 6 中断标志清除 (Fault 6 interrupt flag clear) 向该位写入 1 会清除 SHRTIM_INTSTS.FALT6ITF
[5]	SYSFALTIC	系统故障中断标志清零。(System fault interrupt flag clear) 向该位写入 1 SHRTIM_INTSTS. SYSFALTITF
[4]	FALT5IC	故障 5 中断标志清除。(Fault 5 interrupt flag clear) 向该位写入 1 会清除 SHRTIM_INTSTS.FALT5ITF
[3]	FALT4IC	故障 4 中断标志清除。(Fault 4 interrupt flag clear) 向该位写入 1 会清除 SHRTIM_INTSTS.FALT4ITF
[2]	FALT3IC	故障 3 中断标志清除。(Fault 3 interrupt flag clear) 向该位写入 1 会清除 SHRTIM_INTSTS.FALT3ITF
[1]	FALT2IC	故障 2 中断标志清除。(Fault 2 interrupt flag clear) 向该位写入 1 会清除 SHRTIM_INTSTS.FALT2ITF
[0]	FALT1IC	故障 1 中断标志清除。(Fault 1 interrupt flag clear) 向该位写入 1 会清除 SHRTIM_INTSTS.FALT1ITF

### 17.4.3.5 SHRTIM 中断使能寄存器 (SHRTIM\_INTEN)

偏移地址: 0x390

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved													BMPRDIEN	Reserved	
													rw	r	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved									FALT6IEN	SYSFALTEN	FALT5IEN	FALT4IEN	FALT3IEN	FALT2IEN	FALT1IEN
									rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
[31:18]	Reserved	保留, 必须保持复位值
[17]	BMPRDIEN	突发模式周期中断使能 (Burst mode period interrupt enable) 此位由软件置 1 和清零, 用于使能/禁止突发模式周期中断。 0: 禁止突发模式周期中断 1: 使能突发模式周期中断
[16]	Reserved	保留, 必须保持复位值
[15:7]	Reserved	保留, 必须保持复位值
[6]	FALT6IEN	故障 6 中断启用 (Fault 6 interrupt enable) 该位由软件置位和清零, 以启用/禁用故障 6 中断。 0: 禁用故障 6 中断 1: 启用故障 6 中断
[5]	SYSFALTEN	系统故障中断使能 (System fault interrupt enable) 该位由软件置位和清零, 用于使能/禁止系统故障中断。 0: 禁止系统故障中断 1: 使能系统故障中断
[4]	FALT5IEN	故障 5 中断使能 (Fault 5 interrupt enable) 该位由软件置位和清零, 以启用/禁用故障 5 中断。 0: 禁用故障 5 中断 1: 启用故障 5 中断
[3]	FALT4IEN	故障 4 中断启用 (Fault 4 interrupt enable) 该位由软件置位和清零, 以启用/禁用故障 4 中断。 0: 禁用故障 4 中断 1: 启用故障 4 中断
[2]	FALT3IEN	故障 3 中断启用 (Fault 3 interrupt enable) 该位由软件置位和清零, 以启用/禁用故障 3 中断。 0: 禁用故障 3 中断 1: 启用故障 3 中断
[1]	FALT2IEN	故障 2 中断使能 (Fault 2 interrupt enable) 该位由软件置位和清零, 以启用/禁用故障 2 中断。



		0: 禁用故障 2 中断 1: 启用故障 2 中断
[0]	FALT1IEN	故障 1 中断使能 (Fault 1 interrupt enable) 该位由软件置位和清零, 以启用/禁用故障 1 中断。 0: 禁用故障 1 中断 1: 启用故障 1 中断

### 17.4.3.6 SHRTIM 输出使能寄存器 (SHRTIM\_OEN)

偏移地址: 0x394

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		TF2OEN	TF1OEN N	TE2OEN N	TE1OEN	TD2OEN N	TD1OEN N	TC2OEN N	TC1OEN N	TB2OEN N	TB1OEN N	TA2OEN N	TA1OEN N		
		rt_w	rt_w	rt_w	rt_w	rt_w	rt_w	rt_w	rt_w	rt_w	rt_w	rt_w	rt_w		

位域	名称	描述
[31:12]	Reserved	保留, 必须保持复位值
[11]	TF2OEN	定时器 F 输出 2 使能 (Timer F output 2 enable) 请参见 TA1OEN 说明
[10]	TF1OEN	定时器 F 输出 1 使能 (Timer F output 1 enable) 请参见 TA1OEN 说明
[9]	TE2OEN	定时器 E 输出 1 使能 (Timer E output 1 enable) 请参见 TA1OEN 说明
[8]	TE1OEN	定时器 E 输出 1 使能 (Timer E output 1 enable) 请参见 TA1OEN 说明
[7]	TD2OEN	定时器 D 输出 2 使能 (Timer D output 2 enable) 请参见 TA1OEN 说明
[6]	TD1OEN	定时器 D 输出 1 使能 (Timer D output 1 enable) 请参见 TA1OEN 说明
[5]	TC2OEN	定时器 C 输出 2 使能 (Timer C output 2 enable) 请参见 TA1OEN 说明
[4]	TC1OEN	定时器 C 输出 1 使能 (Timer C output 1 enable) 请参见 TA1OEN 说明
[3]	TB2OEN	定时器 B 输出 2 使能 (Timer B output 2 enable) 请参见 TA1OEN 说明
[2]	TB1OEN	定时器 B 输出 1 使能 (Timer B output 1 enable) 请参见 TA1OEN 说明
[1]	TA2OEN	定时器 A 输出 2 使能 (Timer A output 2 enable)

		请参见 TA1OEN 说明
[0]	TA1OEN	定时器 A 输出 1 使能 (Timer A output 1 enable) 将此位置 1 会使能定时器 A 输出 1。写入“0”无影响。读取此位会返回输出使能/ 禁止状态。 定时器相关故障输入变为有效状态后，此位会立即由硬件异步清零。 0：禁止输出 SHRTIM_CHA1。输出处于故障状态或空闲状态。 1：使能输出 SHRTIM_CHA1。 注：禁止状态对应空闲和故障两种状态。输出禁止状态由 SHRTIM_ODISSTS.TA1ODISSTS 提供。

### 17.4.3.7 SHRTIM 输出禁能寄存器 (SHRTIM\_ODIS)

偏移地址：0x398

复位值：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		TF2ODIS	TF1ODIS	TE2ODIS	TE1ODIS	TD2ODIS	TD1ODIS	TC2ODIS	TC1ODIS	TB2ODIS	TB1ODIS	TA2ODIS	TA1ODIS		
		w	w	w	w	w	w	w	w	w	w	w	w		

位域	名称	描述
[31:12]	Reserved	保留，必须保持复位值
[11]	TF2ODIS	定时器 F 输出 2 禁用 (TIMF output 2 disable) 参考 TA1ODIS 的描述
[10]	TF1ODIS	定时器 F 输出 1 禁用 (TIMF output 1 disable) 参考 TA1ODIS 的描述
[9]	TE2ODIS	定时器 E 输出 2 禁用 (TIME output 2 disable) 参考 TA1ODIS 的描述
[8]	TE1ODIS	定时器 E 输出 1 禁用 (TIME output 1 disable) 参考 TA1ODIS 的描述
[7]	TD2ODIS	定时器 D 输出 2 禁用 (TIMD output 2 disable) 参考 TA1ODIS 的描述
[6]	TD1ODIS	定时器 D 输出 1 禁用 (TIMD output 1 disable) 参考 TA1ODIS 的描述
[5]	TC2ODIS	定时器 C 输出 2 禁用 (TIMC output 2 disable) 参考 TA1ODIS 的描述
[4]	TC1ODIS	定时器 C 输出 1 禁用 (TIMC output 1 disable) 参考 TA1ODIS 的描述
[3]	TB2ODIS	定时器 B 输出 2 禁用 (TIMB output 2 disable) 参考 TA1ODIS 的描述

[2]	TB1ODIS	定时器 B 输出 1 禁用 (TIMB output 1 disable) 参考 TA1ODIS 的描述
[1]	TA2ODIS	定时器 A 输出 2 禁用 (TIMA output 2 disable) 参考 TA1ODIS 的描述
[0]	TA1ODIS	定时器 A 输出 1 禁用 (TIMA output 1 disable) 将此位置 1 会禁止定时器 A 输出 1。输出从运行状态或故障状态进入空闲状态。写入“0”无影响。

### 17.4.3.8 SHRTIM 输出禁能状态寄存器 (SHRTIM\_ODISSTS)

偏移地址: 0x39C

复位值: 0x00000000

3	3	2	2	27	26	25	24	23	22	21	20	19	18	17	16
1	0	9	8												
Reserved															
1	1	1	1	11	10	9	8	7	6	5	4	3	2	1	0
5	4	3	2												
Reserved		TF2ODISSTS	TF1ODISSTS	TE2ODISSTS	TE1ODISSTS	TD2ODISSTS	TD1ODISSTS	TC2ODISSTS	TC1ODISSTS	TB2ODISSTS	TB1ODISSTS	TA2ODISSTS	TA1ODISSTS		
		r	r	r	r	r	r	r	r	r	r	r	r		

位域	名称	描述
[31:12]	Reserved	保留, 必须保持复位值
[11]	TF2ODISSTS	定时器 F 输出 2 禁止状态 (TIMF output 2 disable status) 参考 TA1ODISSTS 的描述
[10]	TF1ODISSTS	定时器 F 输出 1 禁止状态 (TIMF output 1 disable status) 参考 TA1ODISSTS 的描述
[9]	TE2ODISSTS	定时器 E 输出 2 禁止状态 (TIME output 2 disable status) 参考 TA1ODISSTS 的描述
[8]	TE1ODISSTS	定时器 E 输出 1 禁止状态 (TIME output 1 disable status) 参考 TA1ODISSTS 的描述
[7]	TD2ODISSTS	定时器 D 输出 2 禁止状态 (TIMD output 2 disable status) 参考 TA1ODISSTS 的描述
[6]	TD1ODISSTS	定时器 D 输出 1 禁止状态 (TIMD output 1 disable status) 参考 TA1ODISSTS 的描述
[5]	TC2ODISSTS	定时器 C 输出 2 禁止状态 (TIMC output 2 disable status) 参考 TA1ODISSTS 的描述
[4]	TC1ODISSTS	定时器 C 输出 1 禁止状态 (TIMC output 1 disable status) 参考 TA1ODISSTS 的描述
[3]	TB2ODISSTS	定时器 B 输出 2 禁止状态 (TIMB output 2 disable status) 参考 TA1ODISSTS 的描述
[2]	TB1ODISSTS	定时器 B 输出 1 禁止状态 (TIMB output 1 disable status) 参考 TA1ODISSTS 的描述

[1]	TA2ODISSTS	定时器 A 输出 2 禁止状态 (TIMA output 2 disable status) 参考 TA1ODISSTS 的描述
[0]	TA1ODISSTS	定时器 A 输出 1 禁止状态 (TIMA output 1 disable status) 读取此位会返回输出禁止状态。输出有效时 (Tx1OEN 或 Tx2OEN = 1), 此位无意义。 0: 空闲状态下禁止输出 SHRTIM_CHA1。 1: 故障状态下禁止输出 SHRTIM_CHA1。

### 17.4.3.9 SHRTIM 突发模式控制寄存器 (SHRTIM\_BMCTRL)

偏移地址: 0x3A0

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
BMSTS	Reserved							TFBM	TEBM	TDBM	TCBM	TBBM	TABM	MBM		
rc_w0								rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved					BMPLEN	BMPSK			BMCK			BMOM	BMEN			
					rw	rw			rw			rw	rw			

位域	名称	描述
[31]	BMSTS	突发模式状态 (Burst Mode Status) 此位提供当前工作状态。 0: 正常工作 1: 正在进行突发工作。向此位写入 0 会使突发模式提前终止。
[30:23]	Reserved	保留, 必须保持复位值
[22]	TFBM	定时器 F 突发模式 (TIM F burst mode) 参考 TABM 的描述
[21]	TEBM	定时器 E 突发模式 (TIM E burst mode) 参考 TABM 的描述
[20]	TDBM	定时器 D 突发模式 (TIM D burst mode) 参考 TABM 的描述
[19]	TCBM	定时器 C 突发模式 (TIM C burst mode) 参考 TABM 的描述
[18]	TBBM	定时器 B 突发模式 (TIM B burst mode) 参考 TABM 的描述
[17]	TABM	定时器 A 突发模式 (TIM A burst mode) 此位定义定时器在突发模式工作期间的行为。突发模式使能后, 不能更改此位域。 0: 定时器 A 计数器时钟保持, 定时器正常工作 1: 定时器 A 计数器时钟停止, 计数器复位 注: 当均衡空闲模式激活时 (DP[2:0] = 0x11), 不得将此位置 1

[16]	MBM	主定时器突发模式 (Master timer Burst Mode) 此位定义定时器在突发模式工作期间的行为。突发模式使能后，不能更改此位域。 0: 主定时器计数器时钟保持，定时器正常工作 1: 主定时器计数器时钟停止，计数器复位
[15:11]	Reserved	保留，必须保持复位值
[10]	BMPLEN	突发模式预装载使能 (Burst mode Preload Enable) 此位可启用寄存器预装载机制，并定义对可预装载寄存器 (SHRTIM_BMCMP、SHRTIM_BMPRD) 的写访问是在活动寄存器中进行还是在预装载寄存器中进行。 0: 禁止预装载：直接对活动寄存器进行写访问 1: 使能预装载：对预装载寄存器进行写访问
[9:6]	BMPSC	突发模式预分频器 (Burst mode prescaler) 定义突发模式控制器的 f <sub>SHRTIM</sub> 时钟的预分频比。当突发模式使能时，该位字段不能更改。 0000: 时钟未分频 0001: 除以 2 0010: 除以 4 0011: 除以 8 0100: 除以 16 0101: 除以 32 0110: 除以 64 0111: 除以 128 1000: 除以 256 1001: 除以 512 1010: 除以 1024 1011: 除以 2048 1100: 除以 4096 1101: 除以 8192 1110: 除以 16384 1111: 除以 32768
[5:2]	BMCK	突发模式时钟源 (Burst Mode Clock source) 该位字段定义突发模式计数器的时钟源。当突发模式使能时，不能更改 (有关片上事件 1.4 连接的详细信息，请参阅表 17-4)。 0000: 主定时器计数器复位/翻转 0001: 定时器 A 计数器复位/翻转 0010: 定时器 B 计数器复位/翻转 0011: 定时器 C 计数器复位/翻转 0100: 定时器 D 计数器复位/翻转 0101: 定时器 E 计数器复位/翻转 0110: 片上事件 1 (shrtim_bm_ck1)，起着突发模式计数器时钟的作用 0111: 片上事件 2 (shrtim_bm_ck2)，起着突发模式计数器时钟的作用 1000: 片上事件 3 (shrtim_bm_ck3)，起着突发模式计数器时钟的作用

		1001: 片上事件 4 (shrtim_bm_ck4), 起着突发模式计数器时钟的作用 1010: 预分频 f <sub>SHRTIM</sub> 时钟 (根据 BMPSC[3:0] 设置) 1011: 定时器 F 计数器复位/翻转 其他: 保留
[1]	BMOM	突发模式工作模式 (Burst Mode operating mode) 此位定义进入一次突发模式还是连续工作。 0: 单发模式 1: 连续工作
[0]	BMEN	突发模式使能 (Burst Mode enable) 此位用于启动已准备好接收启动触发信号的突发模式控制器。向此位写入 0 会使突发模式提前终止。 0: 禁止突发模式 1: 使能突发模式

### 17.4.3.10 SHRTIM 突发模式触发寄存器 (SHRTIM\_BMTG)

偏移地址: 0x3A4

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OCEV	EXEV 8	EXEV 7	TDPRDEX EV8	TAPRDEX EV7	TECM P2	TECM P1	TERE PT	TFCMP 1	TDCM P2	TFRE PT	TDRE PT	TDRST RO	TFRST RO	TCCM P1	TCRE PT
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCRST RO	TBCM P2	TBCM P1	TBREPT	TBRSTRO	TACM P2	TACM P1	TARE PT	TARST RO	MCM P4	MCM P3	MCM P2	MCMP 1	MREP T	MRST RO	SWST RT
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rt_w

位域	名称	描述
[31]	OCEV	片内事件 (On-chip event) shrtim_bm_trg 输入上的上升沿触发突发模式进入, 请参见表 17-4
[30]	EXEV8	外部事件 8 (External event 8) (应用 TIMD 滤波器) 由 TIMD 滤波器调节的外部事件 8 正在启动突发模式操作。
[29]	EXEV7	外部事件 7 (External event 7) (应用 TIMA 滤波器) 由 TIMA 滤波器调节的外部事件 7 正在启动突发模式操作。
[28]	TDPRDEXEV8	外部事件 8 之后的定时器 D 周期 (Timer D period following external event 8) 外部事件 8 之后的定时器 D 周期 (由 TIMD 滤波器调节) 会启动突发模式操作
[27]	TAPRDEXEV7	外部事件 7 之后的定时器 A 周期 (Timer A period following external event 7) 外部事件 7 (由 TIMA 滤波器调节) 之后的定时器 A 周期会启动突发模式操作
[26]	TECMP2	定时器 E 比较 2 事件 (Timer E compare 2 event) 请参考 TACMP2 说明

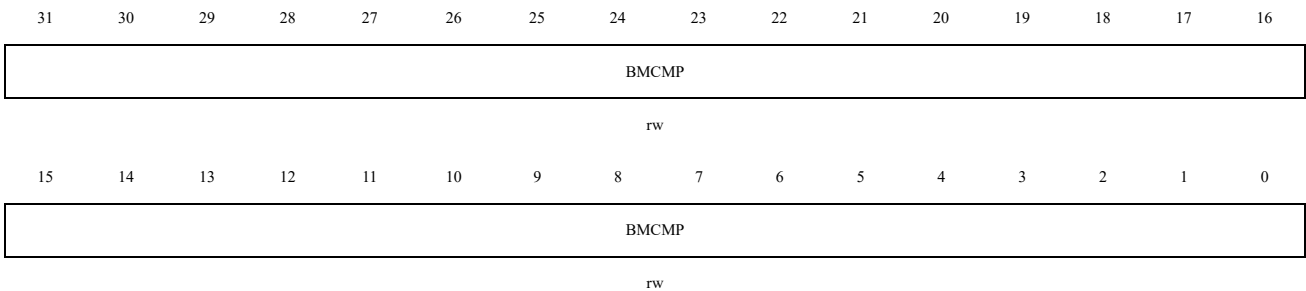
[25]	TECMP1	定时器 E 比较 1 事件 (Timer E compare 1 event) 请参考 TACMP1 说明
[24]	TEREPT	定时器 E 重复事件 (Timer E repetition event) 请参考 TAREPT 说明
[23]	TFCMP1	定时器 F 比较 1 事件 (Timer F compare 1 event) 请参考 TACMP1 说明
[22]	TDCMP2	定时器 D 比较 2 事件 (Timer E Compare 2 event) 请参考 TACMP2 说明
[21]	TFREPT	定时器 F 重复事件 (Timer F repetition event) 请参考 TAREPT 说明
[20]	TDREPT	定时器 D 重复 (Timer D repetition event) 请参考 TAREPT 说明
[19]	TDRSTRO	定时器 D 复位或翻转 (Timer D reset/roll-over event) 请参考 TARSTRO 说明
[18]	TFRSTRO	定时器 F 复位或翻转 (Timer F reset/roll-over event) 请参考 TARSTRO 说明
[17]	TCCMP1	定时器 C 比较 1 事件 (Timer C compare 1 event) 请参考 TACMP1 说明
[16]	TCREPT	定时器 C 重复事件 (Timer C repetition event) 请参考 TAREPT 说明
[15]	TCRSTRO	定时器 C 复位或翻转 (Timer C reset/roll-over event) 请参考 TARSTRO 说明
[14]	TBCMP2	定时器 B 比较 2 事件 (Timer B compare 2 event) 请参考 TACMP2 说明
[13]	TBCMP1	定时器 B 比较 1 事件 (Timer B compare 1 event) 请参考 TACMP1 说明
[12]	TBREPT	定时器 B 重复 (Timer B repetition event) 请参考 TAREPT 说明
[11]	TBRSTRO	定时器 B 复位或翻转 (Timer B reset/roll-over event) 请参考 TARSTRO 说明
[10]	TACMP2	定时器 A 比较 2 事件 (Timer A compare 2 event) 请参考 TACMP1 说明
[9]	TACMP1	定时器 A 比较 1 事件 (Timer A Compare 1 event) 定时器 A 比较 1 事件将启动突发模式工作。
[8]	TAREPT	定时器 A 重复 (Timer A repetition) 定时器 A 重复事件将启动突发模式工作。
[7]	TARSTRO	定时器 A 计数器复位或翻转 (Timer A counter reset or roll-over) 定时器 A 复位或翻转事件将启动突发模式工作。
[6]	MCMP4	主定时器比较 4 (Master timer compare 4) 请参考 MCMP1 的说明
[5]	MCMP3	主定时器比较 3 (Master timer compare 3) 请参考 MCMP1 的说明
[4]	MCMP2	主定时器比较 2 (Master timer compare 2)

		请参考 MCMP1 的说明
[3]	MCMP1	主定时器比较 1 (Master timer compare 1) 主定时器比较 1 事件将启动突发模式工作。
[2]	MREPT	主重复 (Master timer repetition) 主定时器重复事件将启动突发模式操作
[1]	MRSTRO	主复位或翻转 (Master timer reset/roll-over) 主定时器复位和翻转事件将启动突发模式操作。
[0]	SWSTRT	软件启动 (Software start) 此位由软件置 1, 并由硬件自动复位。 如果此位置 1, 则会立即启动突发模式工作。 如果突发模式未使能 (BMEN 位复位), 此位无效。

### 17.4.3.11 SHRTIM 突发模式比较寄存器 (SHRTIM\_BMCMP)

偏移地址: 0x3A8

复位值: 0x00000000

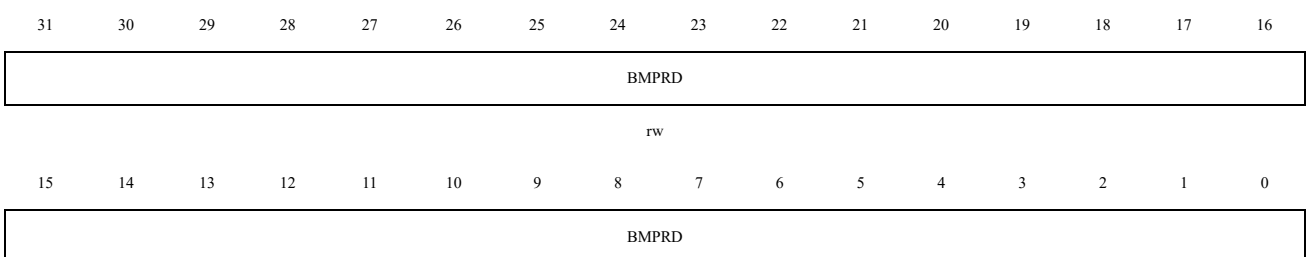


位域	名称	描述
[31:0]	BMCMP	突发模式比较值 (Burst Mode compare value) 定义所选定时器处于空闲状态的周期数。 该寄存器保留预装载寄存器的内容, 如果禁止预装载, 则会保留活动寄存器的内容。 注: Burst mode 中 IDLE 的时长和 RUN 的时长必须大于一个 PWM output 周期的时长。

### 17.4.3.12 SHRTIM 突发模式周期寄存器 (SHRTIM\_BMPRD)

偏移地址: 0x3AC

复位值: 0x00000000





位域	名称	描述
[31:0]	BMPRD	突发模式周期 (Burst Mode Period) 定义突发模式重复周期。 如果禁止预装载, 则该寄存器保存预装载寄存器的内容或活动寄存器的内容。 注: Burst mode 中 IDLE 的时长和 RUN 的时长必须大于一个 PWM output 周期的时长。

### 17.4.3.13 SHRTIM 外部事件控制寄存器 1 (SHRTIM\_EXEVCTRL1)

偏移地址: 0x3B0

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		EXEV5SENS	EXEV5POL	EXEV5SRC			EXEV4SENS	EXEV4POL	EXEV4SRC			EXEV3SENS			
		rw	rw	rw			rw	rw	rw			rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXEV3POL	EXEV3SRC			EXEV2POL	EXEV2SRC		EXEV1SENS	EXEV1POL	EXEV1SRC						
rw	rw		rw	rw	rw		rw	rw	rw						

位域	名称	描述
[31:30]	Reserved	保留, 必须保持复位值
[29:28]	EXEV5SENS	外部事件 5 有效性 (External event 5 sensitivity) 参考 EXEV1SENS 的说明
[27]	EXEV5POL	外部事件 5 极性 (External event 5 polarity) 参考 EXEV1POL 的说明
[26:24]	EXEV5SRC	外部事件 5 源 (External event 5 source) 参考 EXEV1SRC 的说明
[23:22]	EXEV4SENS	外部事件 4 有效性 (External event 4 sensitivity) 参考 EXEV1SENS 的说明
[21]	EXEV4POL	外部事件 4 极性 (External event 4 polarity) 参考 EXEV1POL 的说明
[20:18]	EXEV4SRC	外部事件 4 源 (External event 4 source) 参考 EXEV1SRC 的说明
[17:16]	EXEV3SENS	外部事件 3 有效性 (External event 3 sensitivity) 参考 EXEV1SENS 的说明
[15]	EXEV3POL	外部事件 3 极性 (External event 3 polarity) 参考 EXEV1POL 的说明
[14:12]	EXEV3SRC	外部事件 3 源 (External event 3 source)

		参考 EXEV1SRC 的说明
[11:10]	EXEV2SENS	外部事件 2 有效性 (External event 2 sensitivity) 参考 EXEV1SENS 的说明
[9]	EXEV2POL	外部事件 2 极性 (External event 2 polarity) 参考 EXEV1POL 的说明
[8:6]	EXEV2SRC	外部事件 2 源 (External event 2 source) 参考 EXEV1SRC 的说明
[5:4]	EXEV1SENS	外部事件 1 有效性 (External event 1 sensitivity) 00: 由 EXEV1POL 位定义有效电平 01: 上升沿, 与 EXEV1POL 位值无关 10: 下降沿, 与 EXEV1POL 位值无关 11: 上升沿和下降沿, 与 EXEV1POL 位值无关
[3]	EXEV1POL	外部事件 1 极性 (External event 1 polarity) 仅当 EXEV1SENS[1:0] = 00 时, 此位才有效。 0: 外部事件高电平有效 1: 外部事件低电平有效 注: 定时器 x 使能后, 不能更改此参数。必须在 EXEV1FM 位置 1 之前进行配置。
[2:0]	EXEV1SRC	外部事件 1 源 (External event 4 source) 该位字段选择外部事件 1 源。 000: shrtim_exevl_1 001: shrtim_exevl_2 010: shrtim_exevl_3 011: shrtim_exevl_4 100: shrtim_exevl_5 101~111: Reserved 注: 一旦定时器 x 使能, 该参数就无法更改。必须在设置 EXEV1FM 位之前对其进行配置。

#### 17.4.3.14 SHRTIM 外部事件控制寄存器 2 (SHRTIM\_EXEVCTRL2)

偏移地址: 0x3B4

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		EXEV10SENS		EXEV10POL <sub>L</sub>	EXEV10SRC		EXEV9SENS	EXEV9POL <sub>L</sub>	EXEV9SRC		EXEV8SENS				
		rw		rw	rw		rw	rw	rw		rw				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXEV8POL <sub>L</sub>	EXEV8SRC		EXEV7SENS		EXEV7POL	EXEV7SRC		EXEV6SENS		EXEV6POL <sub>L</sub>	EXEV6SRC				
rw	rw		rw		rw	rw		rw		rw	rw				
位域		名称				描述									

[31:30]	Reserved	保留，必须保持复位值
[29:28]	EXEV10SENS	外部事件 10 有效性 (External event 10 sensitivity) 参考 EXEV1SENS 的说明
[27]	EXEV10POL	外部事件 10 极性 (External event 10 polarity) 参考 EXEV1POL 的说明
[26:24]	EXEV10SRC	外部事件 10 源 (External event 10 source) 参考 EXEV1SRC 的说明
[23:22]	EXEV9SENS	外部事件 9 有效性 (External event 9 sensitivity) 参考 EXEV1SENS 的说明
[21]	EXEV9POL	外部事件 9 极性 (External event 9 polarity) 参考 EXEV1POL 的说明
[20:18]	EXEV9SRC	外部事件 9 源 (External event 9 source) 参考 EXEV1SRC 的说明
[17:16]	EXEV8SENS	外部事件 8 有效性 (External event 8 sensitivity) 参考 EXEV1SENS 的说明
[15]	EXEV8POL	外部事件 8 极性 (External event 8 polarity) 参考 EXEV1POL 的说明
[14:12]	EXEV8SRC	外部事件 8 源 (External event 8 source) 参考 EXEV1SRC 的说明
[11:10]	EXEV7SENS	外部事件 7 有效性 (External event 7 sensitivity) 参考 EXEV1SENS 的说明
[9]	EXEV7POL	外部事件 7 极性 (External event 7 polarity) 参考 EXEV1POL 的说明
[8:6]	EXEV7SRC	外部事件 7 源 (External event 7 source) 参考 EXEV1SRC 的说明
[5:4]	EXEV6SENS	外部事件 6 有效性 (External event 6 sensitivity) 参考 EXEV1SENS 的说明
[3]	EXEV6POL	外部事件 6 极性 (External event 6 polarity) 参考 EXEV1POL 的说明
[2:0]	EXEV6SRC	外部事件 6 源 (External event 6 source) 参考 EXEV1SRC 的说明

### 17.4.3.15 SHRTIM 外部事件控制寄存器 3 (SHRTIM\_EXEVCTRL3)

偏移地址: 0x3B8

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			EXEV5FM	EXEV5F				Reserve d	EXEV4FM	EXEV4F				Reserve d	EXEV3FM
			rw	rw					rw	rw					rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXEV3F			Reserve d	EXEV2FM	EXEV2F				Reserve d	EXEV1FM	EXEV1F				
rw				rw	rw					rw	rw				

位域	名称	描述
[31:29]	Reserved	保留，必须保持复位值
[28]	EXEV5FM	外部事件 5 快速模式 (External event 5 fast mode) 参考 EXEV1FM 的说明
[27:24]	EXEV5F	外部事件 5 过滤器 (External event 5 filter) 参考 EXEV1F 的说明
[23]	Reserved	保留，必须保持复位值
[22]	EXEV4FM	外部事件 4 快速模式 (External event 4 fast mode) 参考 EXEV1FM 的说明
[21:18]	EXEV4F	外部事件 4 过滤器 (External event 4 filter) 参考 EXEV1F 的说明
[17]	Reserved	保留，必须保持复位值
[16]	EXEV3FM	外部事件 3 快速模式 (External event 3 fast mode) 参考 EXEV1FM 的说明
[15:12]	EXEV3F	外部事件 3 过滤器 (External event 3 filter) 参考 EXEV1F 的说明
[11]	Reserved	保留，必须保持复位值
[10]	EXEV2FM	外部事件 2 快速模式 (External event 2 fast mode) 参考 EXEV1FM 的说明
[9:6]	EXEV2F	外部事件 2 过滤器 (External event 2 filter) 参考 EXEV1F 的说明
[5]	Reserved	保留，必须保持复位值
[4]	EXEV1FM	外部事件 1 快速模式 (External event 1 fast mode) 0: 外部事件 1 在作用于输出之前由 SHRTIM 逻辑重新同步，这会增加 fshrtim 时钟相关的延迟 1: 外部事件 1 异步作用于输出 (低延迟模式) 注：一旦启用了使用该事件的计数器 (SHRTIM_MCTRL.TxCNTEN 位设置)，就不得修改该位。
[3:0]	EXEV1F	外部事件 1 滤波器 (External event 1 filter) 此位域可定义外部事件 1 输入的采样频率和应用于 shrtim_exev1 的数字滤波器长度。数字滤波器由计数器组成，需要使用 N 个有效样本来验证输出跳变。 0000: 过滤器禁用 0001: $f_{\text{SAMPLING}} = f_{\text{SHRTIM}}, N=2$ 0010: $f_{\text{SAMPLING}} = f_{\text{SHRTIM}}, N=4$ 0011: $f_{\text{SAMPLING}} = f_{\text{SHRTIM}}, N=8$ 0100: $f_{\text{SAMPLING}} = f_{\text{EXEVS}}/2, N=6$ 0101: $f_{\text{SAMPLING}} = f_{\text{EXEVS}}/2, N=8$ 0110: $f_{\text{SAMPLING}} = f_{\text{EXEVS}}/4, N=6$ 0111: $f_{\text{SAMPLING}} = f_{\text{EXEVS}}/4, N=8$ 1000: $f_{\text{SAMPLING}} = f_{\text{EXEVS}}/8, N=6$ 1001: $f_{\text{SAMPLING}} = f_{\text{EXEVS}}/8, N=8$

		1010: $f_{\text{SAMPLING}} = f_{\text{EXEVS}}/16, N=5$ 1011: $f_{\text{SAMPLING}} = f_{\text{EXEVS}}/16, N=6$ 1100: $f_{\text{SAMPLING}} = f_{\text{EXEVS}}/16, N=8$ 1101: $f_{\text{SAMPLING}} = f_{\text{EXEVS}}/32, N=5$ 1110: $f_{\text{SAMPLING}} = f_{\text{EXEVS}}/32, N=6$ 1111: $f_{\text{SAMPLING}} = f_{\text{EXEVS}}/32, N=8$
--	--	--

### 17.4.3.16 SHRTIM 外部事件控制寄存器 4 (SHRTIM\_EXEVCTRL4)

偏移地址: 0x3BC

复位值: 0x00000000

31	<sup>3</sup> / <sub>0</sub>	29	28	27	26	25	<sup>2</sup> / <sub>4</sub>	23	22	21	20	<sup>1</sup> / <sub>9</sub>	18	17	16	
EXEVSCD		Reserve d	EXEV10FM		EXEV10F				Reserve d	EXEV9FM		EXEV9F			Reserve d	EXEV8FM
rw			rw		rw					rw		rw				rw
<sup>1</sup> / <sub>5</sub>	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
EXEV8F			Reserve d	EXEV7FM		EXEV7F				Reserve d	EXEV6FM		EXEV6F			
rw				rw		rw					rw		rw			

位域	名称	描述
[31:30]	EXEVSCD	外部事件采样时钟分频 (External event sampling clock division) 该位字段指示数字滤波器使用的定时器时钟频率 ( $f_{\text{SHRTIM}}$ ) 和外部事件信号采样时钟 ( $f_{\text{EXEVS}}$ ) 之间的分频比。 00: $f_{\text{EXEVS}} = f_{\text{SHRTIM}}$ 01: $f_{\text{EXEVS}} = f_{\text{SHRTIM}} / 2$ 10: $f_{\text{EXEVS}} = f_{\text{SHRTIM}} / 4$ 11: $f_{\text{EXEVS}} = f_{\text{SHRTIM}} / 8$
[29]	Reserved	保留, 必须保持复位值
[28]	EXEV10FM	外部事件 10 快速模式 (External event 10 fast mode) 参考 EXEV1FM 的说明
[27:24]	EXEV10F	外部事件 10 过滤器 (External event 10 filter) 参考 EXEV1F 的说明
[23]	Reserved	保留, 必须保持复位值
[22]	EXEV9FM	外部事件 9 快速模式 (External event 9 fast mode) 参考 EXEV1FM 的说明
[21:18]	EXEV9F	外部事件 9 过滤器 (External event 9 filter) 参考 EXEV1F 的说明
[17]	Reserved	保留, 必须保持复位值
[16]	EXEV8FM	外部事件 8 快速模式 (External event 8 fast mode) 参考 EXEV1FM 的说明
[15:12]	EXEV8F	外部事件 8 过滤器 (External event 8 filter) 参考 EXEV1F 的说明

[11]	Reserved	保留，必须保持复位值
[10]	EXEV7FM	外部事件 7 快速模式（External event 7 fast mode） 参考 EXEV1FM 的说明
[9:6]	EXEV7F	外部事件 7 过滤器（External event 7 filter） 参考 EXEV1F 的说明
[5]	Reserved	保留，必须保持复位值
[4]	EXEV6FM	外部事件 6 快速模式（External event 6 fast mode） 参考 EXEV1FM 的说明
[3:0]	EXEV6F	外部事件 6 过滤器（External event 6 filter） 参考 EXEV1F 的说明

### 17.4.3.17 SHRTIM 的 ADC 触发 1 的源组 1 (SHRTIM\_ADG1SRC1)

偏移地址：0x3C0

复位值：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved					ADTG1TCPRD	ADTG1TCCMP5	ADTG1TCCMP4	ADTG1TCCMP3	ADTG1TCCMP2	ADTG1TCCMP1	ADTG1TBRSTRO	ADTG1TBP RD	ADTG1TBCMP5	ADTG1TBCMP4	ADTG1TBCMP3
					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADTG1TBCMP2	ADTG1TBCMP1	ADTG1TARSTRO	ADTG1GITA PRD	ADTG1TACMP5	ADTG1TACMP4	ADTG1TACMP3	ADTG1TACMP2	ADTG1TACMP1	Reserved	ADTG1IMPRD	Reserved	ADTG1IMCMP4	ADTG1IMCMP3	ADTG1IMCMP2	ADTG1IMCMP1
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
[31]	Reserved	保留，必须保持复位值
[30]	Reserved	保留，必须保持复位值
[29]	Reserved	保留，必须保持复位值
[28]	Reserved	保留，必须保持复位值
[27]	Reserved	保留，必须保持复位值
[26]	ADTG1TCPRD	ADC 触发器 1 由定时器 C 周期事件驱动（ADC trigger 1 driven by timer C period event） 0：ADC 触发器 1 配置为不由定时器 C 周期事件驱动。 1：ADC 触发器 1 配置为由定时器 C 周期事件驱动。
[25]	ADTG1TCCMP5	ADC 触发器 1 由定时器 C 比较 5 事件驱动（ADC trigger 1 driven by timer C compare 5 event） 0：ADC 触发器 1 配置为不由定时器 C 比较 5 事件驱动。 1：ADC 触发器 1 配置为由定时器 C 比较 5 事件驱动。
[24]	ADTG1TCCMP4	ADC 触发器 1 由定时器 C 比较 4 事件驱动（ADC trigger 1 driven by timer C compare 4 event） 0：ADC 触发器 1 配置为不由定时器 C 比较 4 事件驱动。 1：ADC 触发器 1 配置为由定时器 C 比较 4 事件驱动。
[23]	ADTG1TCCMP3	ADC 触发器 1 由定时器 C 比较 3 事件驱动（ADC trigger 1

		driven by timer C compare 3 event) 0: ADC 触发器 1 配置为不由定时器 C 比较 3 事件驱动。 1: ADC 触发器 1 配置为由定时器 C 比较 3 事件驱动。
[22]	ADTG1TCCMP2	ADC 触发器 1 由定时器 C 比较 2 事件驱动 (ADC trigger 1 driven by timer C compare 2 event) 0: ADC 触发器 1 配置为不由定时器 C 比较 2 事件驱动。 1: ADC 触发器 1 配置为由定时器 C 比较 2 事件驱动。
[21]	ADTG1TCCMP1	ADC 触发器 1 由定时器 C 比较 1 事件驱动 (ADC trigger 1 driven by timer C compare 1 event) 0: ADC 触发器 1 配置为不由定时器 C 比较 1 事件驱动。 1: ADC 触发器 1 配置为由定时器 C 比较 1 事件驱动。
[20]	ADTG1TBRSTRO	ADC 触发器 1 由定时器 B 复位/翻转事件驱动 (ADC trigger 1 driven by timer B reset/roll-over event) 0: ADC 触发器 1 配置为不由定时器 B 复位/翻转事件驱动 1: ADC 触发器 1 配置为由定时器 B 复位/翻转事件驱动
[19]	ADTG1TBPRD	ADC 触发器 1 由定时器 B 周期事件驱动 (ADC trigger 1 driven by timer B period event) 0: ADC 触发器 1 配置为不由定时器 B 周期事件驱动。 1: ADC 触发器 1 配置为由定时器 B 周期事件驱动。
[18]	ADTG1TBCMP5	ADC 触发器 1 由定时器 B 比较 5 事件驱动 (ADC trigger 1 driven by timer B compare 5 event) 0: ADC 触发器 1 配置为不由定时器 B 比较 5 事件驱动。 1: ADC 触发器 1 配置为由定时器 B 比较 5 事件驱动。
[17]	ADTG1TBCMP4	ADC 触发器 1 由定时器 B 比较 4 事件驱动 (ADC trigger 1 driven by timer B compare 4 event) 0: ADC 触发器 1 配置为不由定时器 B 比较 4 事件驱动。 1: ADC 触发器 1 配置为由定时器 B 比较 4 事件驱动。
[16]	ADTG1TBCMP3	ADC 触发器 1 由定时器 B 比较 3 事件驱动 (ADC trigger 1 driven by timer B compare 3 event) 0: ADC 触发器 1 配置为不由定时器 B 比较 3 事件驱动。 1: ADC 触发器 1 配置为由定时器 B 比较 3 事件驱动。
[15]	ADTG1TBCMP2	ADC 触发器 1 由定时器 B 比较 2 事件驱动 (ADC trigger 1 driven by timer B compare 2 event) 0: ADC 触发器 1 配置为不由定时器 B 比较 2 事件驱动。 1: ADC 触发器 1 配置为由定时器 B 比较 2 事件驱动。
[14]	ADTG1TBCMP1	ADC 触发器 1 由定时器 B 比较 1 事件驱动 (ADC trigger 1 driven by timer B compare 1 event) 0: ADC 触发器 1 配置为不由定时器 B 比较 1 事件驱动。 1: ADC 触发器 1 配置为由定时器 B 比较 1 事件驱动。
[13]	ADTG1TARSTRO	ADC 触发器 1 由定时器 A 复位和翻转事件驱动 (ADC trigger 1 driven by timer A reset/roll-over event) 0: ADC 触发器 1 配置为不由定时器 A 复位和翻转事件驱动 1: ADC 触发器 1 配置为由定时器 A 复位和翻转事件驱动

[12]	ADTG1TAPRD	ADC 触发器 1 由定时器 A 周期事件驱动 (ADC trigger 1 driven by timer A period event) 0: ADC 触发器 1 配置为不由定时器 A 周期事件驱动。 1: ADC 触发器 1 配置为由定时器 A 周期事件驱动。
[11]	ADTG1TACMP5	ADC 触发器 1 由定时器 A 比较 5 事件驱动 (ADC trigger 1 driven by timer A compare 5 event) 0: ADC 触发器 1 配置为不由定时器 A 比较 5 事件驱动。 1: ADC 触发器 1 配置为由定时器 A 比较 5 事件驱动。
[10]	ADTG1TACMP4	ADC 触发器 1 由定时器 A 比较 4 事件驱动 (ADC trigger 1 driven by timer A compare 4 event) 0: ADC 触发器 1 配置为不由定时器 A 比较 4 事件驱动。 1: ADC 触发器 1 配置为由定时器 A 比较 4 事件驱动。
[9]	ADTG1TACMP3	ADC 触发器 1 由定时器 A 比较 3 事件驱动 (ADC trigger 1 driven by timer A compare 3 event) 0: ADC 触发器 1 配置为不由定时器 A 比较 3 事件驱动。 1: ADC 触发器 1 配置为由定时器 A 比较 3 事件驱动。
[8]	ADTG1TACMP2	ADC 触发器 1 由定时器 A 比较 2 事件驱动 (ADC trigger 1 driven by timer A compare 2 event) 0: ADC 触发器 1 配置为不由定时器 A 比较 2 事件驱动。 1: ADC 触发器 1 配置为由定时器 A 比较 2 事件驱动。
[7]	ADTG1TACMP1	ADC 触发器 1 由定时器 A 比较 1 事件驱动 (ADC trigger 1 driven by timer A compare 1 event) 0: ADC 触发器 1 配置为不由定时器 A 比较 1 事件驱动。 1: ADC 触发器 1 配置为由定时器 A 比较 1 事件驱动。
[6]	Reserved	保留, 必须保持复位值
[5]	ADTG1MPRD	ADC 触发器 1 由主定时器周期事件驱动 (ADC trigger 1 driven by master timer period event) 0: ADC 触发器 1 配置为不由主定时器周期事件驱动。 1: ADC 触发器 1 配置为由主定时器周期事件驱动。
[4]	Reserved	保留, 必须保持复位值
[3]	ADTG1MCMP4	ADC 触发器 1 由主定时器比较 4 事件 (ADC trigger 1 driven by master timer compare 4 event) 0: ADC 触发器 1 配置为不由主定时器比较 4 事件驱动。 1: ADC 触发器 1 配置为由主定时器比较 4 事件驱动。
[2]	ADTG1MCMP3	ADC 触发器 1 由主定时器比较 3 事件驱动 (ADC trigger 1 driven by master timer compare 3 event) 0: ADC 触发器 1 配置为不由主定时器比较 3 事件驱动。 1: ADC 触发器 1 配置为由主定时器比较 3 事件驱动。
[1]	ADTG1MCMP2	ADC 触发器 1 由主定时器比较 2 事件驱动 ((ADC trigger 1 driven by master timer compare 2 event) 0: ADC 触发器 1 配置为不由主定时器比较 2 事件驱动。 1: ADC 触发器 1 配置为由主定时器比较 2 事件驱动。
[0]	ADTG1MCMP1	ADC 触发器 1 由主定时器比较 1 事件驱动 ((ADC trigger 1



	driven by master timer compare 1 event) 0: ADC 触发器 1 配置为不由主定时器比较 1 事件驱动。 1: ADC 触发器 1 配置为由主定时器比较 1 事件驱动。
--	--

### 17.4.3.18 SHRTIM 的 ADC 触发 1 的源组 2 (SHRTIM\_ADTG1SRC2)

偏移地址: 0x3C4

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved						ADTG1 EXEV5	ADTG1 EXEV4	ADTG1 EXEV3	ADTG1 EXEV2	ADTG1 EXEV1	ADTG1T FRSTRO	ADTG1 TFPRD	ADTG1 TFCMP 5	ADTG1 TFCMP 4	ADTG1 TFCMP 3
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADTG1 TFCMP 2	ADTG1 TFCMP 1	Rese rved	ADTG1 TEPRD	ADTG1 TECMP 5	ADTG1 TECMP 4	ADTG1 TECMP 3	ADTG1 TECMP 2	ADTG1 TECMP 1	Reserve d	ADTG1 TDCMP 5	ADTG1T DCMP5	ADTG1 TDCMP 4	ADTG1 TDCMP 3	ADTG1 TDCMP 2	ADTG1 TDCMP 1
rw	rw		rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw

位域	名称	描述
[31]	Reserved	保留, 必须保持复位值
[30]	Reserved	保留, 必须保持复位值
[29]	Reserved	保留, 必须保持复位值
[28]	Reserved	保留, 必须保持复位值
[27]	Reserved	保留, 必须保持复位值
[26]	Reserved	保留, 必须保持复位值
[25]	ADTG1EXEV5	ADC 触发器 1 由外部事件 5 驱动 (ADC trigger 1 driven by external event 5) 0: ADC 触发器 1 配置为不由外部事件 5 驱动 1: ADC 触发器 1 配置为由外部事件 5 驱动
[24]	ADTG1EXEV4	ADC 触发器 1 由外部事件 4 驱动 (ADC trigger 1 driven by external event 4) 0: ADC 触发器 1 配置为不由外部事件 4 驱动 1: ADC 触发器 1 配置为由外部事件 4 驱动
[23]	ADTG1EXEV3	ADC 触发器 1 由外部事件 3 驱动 (ADC trigger 1 driven by external event 3) 0: ADC 触发器 1 配置为不由外部事件 3 驱动 1: ADC 触发器 1 配置为由外部事件 3 驱动
[22]	ADTG1EXEV2	ADC 触发器 1 由外部事件 2 驱动 (ADC trigger 1 driven by external event 2) 0: ADC 触发器 1 配置为不由外部事件 2 驱动 1: ADC 触发器 1 配置为由外部事件 2 驱动
[21]	ADTG1EXEV1	ADC 触发器 1 由外部事件 1 驱动 (ADC trigger 1 driven by external event 1) 0: ADC 触发器 1 配置为不由外部事件 1 驱动

		1: ADC 触发器 1 配置为由外部事件 1 驱动
[20]	ADTG1TFRSTRO	ADC 触发器 1 由定时器 F 复位和翻转事件驱动 (ADC trigger 1 driven by timer F reset and roll-over events) 0: ADC 触发器 1 配置为不由定时器 F 复位和翻转事件驱动 1: ADC 触发器 1 配置为由定时器 F 复位和翻转事件驱动
[19]	ADTG1TFPRD	ADC 触发器 1 由定时器 F 周期事件驱动 (ADC trigger 1 driven by timer F period events) 0: ADC 触发器 1 配置为不由定时器 F 周期事件驱动。 1: ADC 触发器 1 配置为由定时器 F 周期事件驱动。
[18]	ADTG1TFCMP5	ADC 触发器 1 由定时器 F 比较 5 事件驱动 (ADC trigger 1 driven by timer F compare 5 event) 0: ADC 触发器 1 配置为不由定时器 F 比较 5 事件驱动。 1: ADC 触发器 1 配置为由定时器 F 比较 5 事件驱动。
[17]	ADTG1TFCMP4	ADC 触发器 1 由定时器 F 比较 4 事件驱动 (ADC trigger 1 driven by timer F compare 4 event) 0: ADC 触发器 1 配置为不由定时器 F 比较 4 事件驱动。 1: ADC 触发器 1 配置为由定时器 F 比较 4 事件驱动。
[16]	ADTG1TFCMP3	ADC 触发器 1 由定时器 F 比较 3 事件驱动 ((ADC trigger 1 driven by timer F compare 3 event) 0: ADC 触发器 1 配置为不由定时器 F 比较 3 事件驱动。 1: ADC 触发器 1 配置为由定时器 F 比较 3 事件驱动。
[15]	ADTG1TFCMP2	ADC 触发器 1 由定时器 F 比较 2 事件驱动 (ADC trigger 1 driven by timer F compare 2 event) 0: ADC 触发器 1 配置为不由定时器 F 比较 2 事件驱动。 1: ADC 触发器 1 配置为由定时器 F 比较 2 事件驱动。
[14]	ADTG1TFCMP1	ADC 触发器 1 由定时器 F 比较 1 事件驱动 (ADC trigger 1 driven by timer F compare 1 event) 0: ADC 触发器 1 配置为不由定时器 F 比较 1 事件驱动。 1: ADC 触发器 1 配置为由定时器 F 比较 1 事件驱动。
[13]	Reserved	保留, 必须保持复位值
[12]	ADTG1TEPRD	ADC 触发器 1 由定时器 E 周期事件驱动 (ADC trigger 1 driven by timer E period event) 0: ADC 触发器 1 配置为不由定时器 E 周期事件驱动。 1: ADC 触发器 1 配置为由定时器 E 周期事件驱动。
[11]	ADTG1TECMP5	ADC 触发器 1 由定时器 E 比较 5 事件驱动 (ADC trigger 1 driven by timer E compare 5 event) 0: ADC 触发器 1 配置为不由定时器 E 比较 5 事件驱动。 1: ADC 触发器 1 配置为由定时器 E 比较 5 事件驱动。
[10]	ADTG1TECMP4	ADC 触发器 1 由定时器 E 比较 4 事件驱动 (ADC trigger 1 driven by timer E compare 5 event) 0: ADC 触发器 1 配置为不由定时器 E 比较 4 事件驱动。 1: ADC 触发器 1 配置为由定时器 E 比较 4 事件驱动。
[9]	ADTG1TECMP3	ADC 触发器 1 由定时器 E 比较 3 事件驱动 (ADC trigger 1

		driven by timer E compare 3 event) 0: ADC 触发器 1 配置为不由定时器 E 比较 3 事件驱动。 1: ADC 触发器 1 配置为由定时器 E 比较 3 事件驱动。
[8]	ADTG1TECMP2	ADC 触发器 1 由定时器 E 比较 2 事件驱动 (ADC trigger 1 driven by timer E compare @ event) 0: ADC 触发器 1 配置为不由定时器 E 比较 2 事件驱动。 1: ADC 触发器 1 配置为由定时器 E 比较 2 事件驱动。
[7]	ADTG1TECMP1	ADC 触发器 1 由定时器 E 比较 1 事件驱动 (ADC trigger 1 driven by timer E compare 1 event) 0: ADC 触发器 1 配置为不由定时器 E 比较 1 事件驱动。 1: ADC 触发器 1 配置为由定时器 E 比较 1 事件驱动。
[6]	Reserved	保留, 必须保持复位值
[5]	ADTG1TDPRD	ADC 触发器 1 由定时器 D 周期事件驱动 (ADC trigger 1 driven by timer D period event) 0: ADC 触发器 1 配置为不由定时器 D 周期事件驱动。 1: ADC 触发器 1 配置为由定时器 D 周期事件驱动。
[4]	ADTG1TDCMP5	ADC 触发器 1 由定时器 D 比较 5 事件驱动 (ADC trigger 1 driven by timer D compare 5 event) 0: ADC 触发器 1 配置为不由定时器 D 比较 5 事件驱动。 1: ADC 触发器 1 配置为由定时器 D 比较 5 事件驱动。
[3]	ADTG1TDCMP4	ADC 触发器 1 由定时器 D 比较 4 事件驱动 (ADC trigger 1 driven by timer D compare 4 event) 0: ADC 触发器 1 配置为不由定时器 D 比较 4 事件驱动。 1: ADC 触发器 1 配置为由定时器 D 比较 4 事件驱动。
[2]	ADTG1TDCMP3	ADC 触发器 1 由定时器 D 比较 3 事件驱动 (ADC trigger 1 driven by timer D compare 3 event) 0: ADC 触发器 1 配置为不由定时器 D 比较 3 事件驱动。 1: ADC 触发器 1 配置为由定时器 D 比较 3 事件驱动。
[1]	ADTG1TDCMP2	ADC 触发器 1 由定时器 D 比较 2 事件驱动 (ADC trigger 1 driven by timer D compare 2 event) 0: ADC 触发器 1 配置为不由定时器 D 比较 2 事件驱动。 1: ADC 触发器 1 配置为由定时器 D 比较 2 事件驱动。
[0]	ADTG1TDCMP1	ADC 触发器 1 由定时器 D 比较 1 事件驱动 (ADC trigger 1 driven by timer D compare 1 event) 0: ADC 触发器 1 配置为不由定时器 D 比较 1 事件驱动。 1: ADC 触发器 1 配置为由定时器 D 比较 1 事件驱动。

### 17.4.3.19 SHRTIM 的 ADC 触发 2 的源组 1 (SHRTIM\_ADTG2SRC1)

偏移地址: 0x3C8

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			ADTG2 TCRSTR 0	ADTG2 TCPRD	ADTG2 TCCMP 5	ADTG2 TCCMP 4	ADTG2 TCCMP 3	ADTG2 TCCMP 2	ADTG2 TCCMP 1	Res erve d	ADTG2 TBPRD	ADTG2 TBCMP 5	ADTG2 TBCMP 4	ADTG2 TBCMP 3	



复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved						ADTG3 EXEV5	ADTG3 EXEV4	ADTG3 EXEV3	ADTG3 EXEV2	ADTG3 EXEV1	ADTG3 TFRSTRO	ADTG3 TFPRD	ADTG3 TFCMP5	ADTG3 TFCMP4	ADTG3 TFCMP3
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADTG3 TFCMP2	ADTG3 TFCMP1	Reserved	ADTG3 TFEPRD	ADTG3 TECMP5	ADTG3 TECMP4	ADTG3 TECMP3	ADTG3 TECMP2	ADTG3 TECMP1	Reserved	ADTG3 TDPRD	ADTG3 TDCMP5	ADTG3 TDCMP4	ADTG3 TDCMP3	ADTG3 TDCMP2	ADTG3 TDCMP1
rw	rw		rw	rw	Rw	rw	rw	rw		rw	rw	rw	rw	rw	rw

参考 SHRTIM\_ADTG1SRC2 的说明

### 17.4.3.23 SHRTIM 的 ADC 触发 4 的源组 1 (SHRTIM\_ADTG4SRC1)

偏移地址: 0x3D8

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
Reserved						ADTG4 TCCRSTRO	ADTG4 TCPRD	ADTG4 TCCMP5	ADTG4 TCCMP4	ADTG4 TCCMP3	ADTG4 TCCMP2	ADTG4 TCCMP1	Reserved	ADTG4 TBPRD	ADTG4 TBCMP5	ADTG4 TBCMP4	ADTG4 TBCMP3
						rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
ADTG4 TBCMP2	ADTG4 TBCMP1	Reserved	ADTG4 TAPRD	ADTG4 TACMP5	ADTG4 TACMP4	ADTG4 TACMP3	ADTG4 TACMP2	ADTG4 TACMP1	Reserved	ADTG4 MPRD	Reserved	ADTG4 MCMP4	ADTG4 MCMP3	ADTG4 MCMP2	ADTG4 MCMP1		
rw	rw		rw	rw	rw	rw	rw	rw	r	rw		rw	rw	rw	rw		

参考 SHRTIM\_ADTG1SRC1 的说明

### 17.4.3.24 SHRTIM 的 ADC 触发 4 的源组 2 (SHRTIM\_ADTG4SRC2)

偏移地址: 0x3DC

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved						ADTG4 EXEV10	ADTG4 EXEV9	ADTG4 EXEV8	ADTG4 EXEV7	ADTG4 EXEV6	Reserved	ADTG4 TFPRD	ADTG4 TFCMP5	ADTG4 TFCMP4	ADTG4 TFCMP3
						rw	rw	rw	rw	rw		rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADTG4 TFCMP2	ADTG4 TFCMP1	ADTG4 TERSTRO	Reserved	ADTG4 TECMP5	ADTG4 TECMP4	ADTG4 TECMP3	ADTG4 TECMP2	ADTG4 TECMP1	ADTG4 TDRSTRO	ADTG4 TDPRD	ADTG4 TDCMP5	ADTG4 TDCMP4	ADTG4 TDCMP3	ADTG4 TDCMP2	ADTG4 TDCMP1
rw	rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

rw    rw    rw            rw    rw            rw    rw            rw    rw            rw    rw            rw    rw            rw    rw

参考 SHRTIM\_ADTG1SRC2 的说明

### 17.4.3.25 SHRTIM 故障输入寄存器 1 (SHRTIM\_FALTIN1)

偏移地址: 0x3E0

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FALT4LK	FALT4FLT			FALT4SRC0	FALT4POL	FALT4E	FALT3LCK	FALT3FLT			FALT3SRC0	FALT3POL	FALT3E		
rw	rw			rw	rw	rw	rw	rw			rw	rw	rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FALT2LK	FALT2FLT			FALT2SRC0	FALT2POL	FALT2E	FALT1LCK	FALT1FLT			FALT1SRC0	FALT1POL	FALT1E		
rw	rw			rw	rw	rw	rw	rw			rw	rw	rw		

位域	名称	描述
[31]	FALT4LCK	故障 4 锁定 (Fault 4 Lock) 请参考 SHRTIM_FALTIN1 寄存器中 FALT1LCK 的说明
[30:27]	FALT4FLT	故障 4 过滤器 (Fault 4 filter) 请参考 SHRTIM_FALTIN1 寄存器中 FALT1FLT[3:0] 的说明
[26]	FALT4SRC0	故障 4 源位 0 (Fault 4 source bit 0) 请参考 SHRTIM_FALTIN1 寄存器中 FALT1SRC0 的说明
[25]	FALT4POL	故障 4 极性 (Fault 4 filter) 请参考 SHRTIM_FALTIN1 寄存器中 FALT1POL 的说明
[24]	FALT4E	故障 4 使能 (Fault 4 enable) 请参考 SHRTIM_FALTIN1 寄存器中 FALT1E 的说明
[23]	FALT3LCK	故障 3 锁定 (Fault 3 Lock) 请参考 SHRTIM_FALTIN1 寄存器中 FALT1LCK 的说明
[22:19]	FALT3FLT	故障 3 过滤器 (Fault 3 filter) 请参考 SHRTIM_FALTIN1 寄存器中 FALT1FLT[3:0] 的说明
[18]	FALT3SRC0	故障 3 源位 0 (Fault 3 source bit 0) 请参考 SHRTIM_FALTIN1 寄存器中 FALT1SRC0 的说明
[17]	FALT3POL	故障 3 极性 (Fault 3 filter) 请参考 SHRTIM_FALTIN1 寄存器中 FALT1POL 的说明
[16]	FALT3E	故障 3 使能 (Fault 3 enable) 请参考 SHRTIM_FALTIN1 寄存器中 FALT1E 的说明
[15]	FALT2LCK	故障 2 锁定 (Fault 2 Lock) 请参考 SHRTIM_FALTIN1 寄存器中 FALT1LCK 的说明
[14:11]	FALT2FLT	故障 2 过滤器 (Fault 2 filter) 请参考 SHRTIM_FALTIN1 寄存器中 FALT1FLT[3:0] 的说明
[10]	FALT2SRC0	故障 2 源位 0 (Fault 2 source bit 0)

		请参考 SHRTIM_FALTIN1 寄存器中 FALT1SRC0 的说明
[9]	FALT2POL	故障 2 极性 (Fault 2 filter) 请参考 SHRTIM_FALTIN1 寄存器中 FALT1POL 的说明
[8]	FALT2E	故障 2 使能 (Fault 2 enable) 请参考 SHRTIM_FALTIN1 寄存器中 FALT1E 的说明
[7]	FALT1LCK	故障 1 锁定 (Fault 1 Lock) FALT1LCK 位会修改故障编程位的写属性, 以防止误写访问修改写属性。该位仅可写入一次。该位置 1 后, 在下次系统复位之前不能进行修改。 0 : FALT1E、FALT1POL、FALT1SRC[1:0]、FALT1FLT[3:0]、FALT1CSEL[2:0] 位为读/写位。 1 : FALT1E、FALT1POL、FALT1SRC[1:0]、FALT1FLT[3:0]、FALT1CSEL[2:0] 位不能写 (只读模式)
[6:3]	FALT1FLT	故障 1 过滤器 (Fault 1 filter) 此位域可定义 FALT1 输入的采样频率和应用于 FALT1 的数字滤波器长度。数字滤波器由事件计数器组成, 每 N 个事件才视为一个有效边沿: 0000: 无滤波器, FALT1 异步工作 0001: $f_{\text{SAMPLING}} = f_{\text{SHRTIM}}, N = 2$ 0010: $f_{\text{SAMPLING}} = f_{\text{SHRTIM}}, N = 4$ 0011: $f_{\text{SAMPLING}} = f_{\text{SHRTIM}}, N = 8$ 0100: $f_{\text{SAMPLING}} = f_{\text{FALTS}}/2, N = 6$ 0101: $f_{\text{SAMPLING}} = f_{\text{FALTS}}/2, N = 8$ 0110: $f_{\text{SAMPLING}} = f_{\text{FALTS}}/4, N = 6$ 0111: $f_{\text{SAMPLING}} = f_{\text{FALTS}}/4, N = 8$ 1000: $f_{\text{SAMPLING}} = f_{\text{FALTS}}/8, N = 6$ 1001: $f_{\text{SAMPLING}} = f_{\text{FALTS}}/8, N = 8$ 1010: $f_{\text{SAMPLING}} = f_{\text{FALTS}}/16, N = 5$ 1011: $f_{\text{SAMPLING}} = f_{\text{FALTS}}/16, N = 6$ 1100: $f_{\text{SAMPLING}} = f_{\text{FALTS}}/16, N = 8$ 1101: $f_{\text{SAMPLING}} = f_{\text{FALTS}}/32, N = 5$ 1110: $f_{\text{SAMPLING}} = f_{\text{FALTS}}/32, N = 6$ 1111: $f_{\text{SAMPLING}} = f_{\text{FALTS}}/32, N = 8$ 注: 仅当 FALT1E 使能位复位时, 才可写入该位域。 注: 如果 FALT1LCK 已编程, 则不能修改该位域。
[2]	FALT1SRC0	故障 1 源位 0 (Fault 1 source 位 0) FALT1SRC[1:0] 位选择 FAULT 1 的输入源 (有关连接详细信息, 请参见表 17-29)。 00: 故障 1 输入为 SHRTIM_FALT1 输入引脚 01: 故障 1 输入为 模拟比较器输出 10: 故障 1 输入为 EXEV1_muxout 输出 注: 仅当 FALT1E 使能位复位时, 才可写入该位域
[1]	FALT1POL	故障 1 极性 (Fault 1 polarity) 此位用于选择 FAULT1 输入极性。 0: 故障 1 输入低电平有效

		1: 故障 1 输入高电平有效 注: 仅当 FALT1E 使能位复位时, 才可写入该位域
[0]	FALT1E	故障 1 使能 (Fault 1 enable) 此位用于使能全局 FAULT1 输入电路。 0: 禁止故障 1 输入 1: 使能故障 1 输入

### 17.4.3.26 SHRTIM 故障输入寄存器 2 (SHRTIM\_FAULTIN2)

偏移地址: 0x3E4

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SFALTS PLEN	SFALTP VDEN	SFALTLO CKUPEN	SFALTS MPAREN	SFALTS MECCEN	SFALTCK SECEN	FALTSCD			Reserved	FALT6 SRC1	FALT5 SRC1	FALT4 SRC1	FALT3 SRC1	FALT2 SRC1	FALT1 SRC1
rw	rw	rw	rw	rw	rw	rw				rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FALT6L CK	FALT6FLT				FALT6SR CO	FALT 6POL	FAL T6E	FALT 5LCK	FALT5FLT			FALT5 SRC0	FALT5 POL	FALT5 E	
rw	rw				rw	rw	rw	rw	rw			rw	rw	rw	

位域	名称	描述
[31]	SFALTSPLLEN	SHRPLL lock fault 作为 SHRTIM 系统故障使能 此位由软件置 1, 且只能由系统复位和上电复位 (POR) 清零
[30]	SFALTPVDEN	PVD error 作为 SHRTIM 系统故障使能 此位由软件置 1, 且只能由系统复位和上电复位 (POR) 清零
[29]	SFALTLOCKUPEN	Core lockup 作为 SHRTIM 系统故障使能 此位由软件置 1, 且只能由系统复位和上电复位 (POR) 清零
[28]	SFALTSMPAREN	Sram parity error 作为 SHRTIM 系统故障使能 此位由软件置 1, 且只能由系统复位和上电复位 (POR) 清零
[27]	SFALTSMECCEN	Sram ECC error 作为 SHRTIM 系统故障使能 此位由软件置 1, 且只能由系统复位和上电复位 (POR) 清零
[26]	SFALTCKSECEN	Clock security system error 作为 SHRTIM 系统故障使能 此位由软件置 1, 且只能由系统复位和上电复位 (POR) 清零
[25:24]	FALTSCD	故障采样时钟分频比 (Fault Sampling clock division) 此位域指示定时器时钟频率 ( $f_{SHRTIM}$ ) 与数字滤波器使用的故障信号采样时钟 ( $f_{FALTS}$ ) 之间的分频比。 00: $f_{FALTS}=f_{SHRTIM}$ 01: $f_{FALTS}=f_{SHRTIM} / 2$ 10: $f_{FALTS}=f_{SHRTIM} / 4$ 11: $f_{FALTS}=f_{SHRTIM} / 8$ 注: 该位字段必须在任何 FALTxE 使能位之前写入。
[23:22]	Reserved	保留, 必须保持复位值
[21]	FALT6SRC1	故障 6 源位 1 (Fault 6 source bit 1)



		请参考 FALT6SRC_0 说明
[20]	FALT5SRC1	故障 5 源位 1 (Fault 5 source bit 1) 请参考 FALT5SRC_0 说明
[19]	FALT4SRC1	故障 4 源位 1 (Fault 4 source bit 1) 请参考 FALT4SRC_0 说明
[18]	FALT3SRC1	故障 3 源位 1 (Fault 3 source bit 1) 请参考 FALT3SRC_0 描述
[17]	FALT2SRC1	故障 2 源位 1 (Fault 2 source bit 1) 请参考 FALT2SRC_0 描述
[16]	FALT1SRC1	故障 1 源位 1 (Fault 1 source bit 1) 参考 FALT1SRC_0 描述
[15]	FALT6LCK	故障 6 锁定 (Fault 6 Lock) 请参考 SHRTIM_FALTIN1 寄存器中 FALT1LCK 的说明
[14:11]	FALT6FLT	故障 6 过滤器 (Fault 6 filter) 请参考 SHRTIM_FALTIN1 寄存器中 FALT1FLT[3:0] 的说明
[10]	FALT6SRC0	故障 6 源位 0 (Fault 6 source bit 0) 请参考 SHRTIM_FALTIN1 寄存器中 FALT1SRC0 的说明
[9]	FALT6POL	故障 6 极性 (Fault 6 filter) 请参考 SHRTIM_FALTIN1 寄存器中 FALT1POL 的说明
[8]	FALT6E	故障 6 使能 (Fault 6 enable) 请参考 SHRTIM_FALTIN1 寄存器中 FALT1E 的说明
[7]	FALT5LCK	故障 5 锁定 (Fault 5 Lock) 请参考 SHRTIM_FALTIN1 寄存器中 FALT1LCK 的说明
[6:3]	FALT5FLT	故障 5 过滤器 (Fault 5 filter) 请参考 SHRTIM_FALTIN1 寄存器中 FALT1FLT[3:0] 的说明
[2]	FALT5SRC0	故障 5 源位 0 (Fault 5 source bit 0) 请参考 SHRTIM_FALTIN1 寄存器中 FALT1SRC0 的说明
[1]	FALT5POL	故障 5 极性 (Fault 5 filter) 请参考 SHRTIM_FALTIN1 寄存器中 FALT1POL 的说明
[0]	FALT5E	故障 5 使能 (Fault 5 enable) 请参考 SHRTIM_FALTIN1 寄存器中 FALT1E 的说明

### 17.4.3.27 SHRTIM 故障输入寄存器 3 (SHRTIM\_FALTIN3)

偏移地址: 0x3E8

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FALT4RST M	FALT4CRS T	FALT4CNT		FALT4BL KS	FALT4BLKE N	FALT3RST M	FALT3CRS T	FALT3CNT		FALT3BL KS	FALT3BLKE N				
rw	rt_w	rw		rw	rw	rw	rt_w	rw		rw	rw				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FALT2RST M	FALT2CRS T	FALT2CNT		FALT2BL KS	FALT2BLKE N	FALT1RST M	FALT1CRS T	FALT1CNT		FALT1BL KS	FALT1BLKE N				
rw	rt_w	rw		rw	rw	rw	rt_w	rw		rw	rw				

位域	名称	描述
[31]	FALT4RSTM	故障 4 复位模式 (Fault 4 reset mode) 参考 FALT1RSTM 的描述
[30]	FALT4CRST	故障 4 计数器复位 (Fault 4 counter reset) 参考 FALT1CRST 的描述
[29:26]	FALT4CNT	故障 4 计数器 (Fault 4 counter) 参考 FALT1CNT 的描述
[25]	FALT4BLKS	故障 4 消隐源 (Fault 4 blanking source) 参考 FALT1BLKS 的描述
[24]	FALT4BLKEN	故障 4 消隐使能 (Fault 4 blanking enable) 参考 FALT1BLKEN 的描述
[23]	FALT3RSTM	故障 3 复位模式 (Fault 3 reset mode) 参考 FALT1RSTM 的描述
[22]	FALT3CRST	故障 3 计数器复位 (Fault 3 counter reset) 参考 FALT1CRST 的描述
[21:18]	FALT3CNT	故障 3 计数器 (Fault 3 counter) 参考 FALT1CNT 的描述
[17]	FALT3BLKS	故障 3 消隐源 (Fault 3 blanking source) 参考 FALT1BLKS 的描述
[16]	FALT3BLKEN	故障 3 消隐使能 (Fault 3 blanking enable) 参考 FALT1BLKEN 的描述
[15]	FALT2RSTM	故障 2 复位模式 (Fault 2 reset mode) 参考 FALT1RSTM 的描述
[14]	FALT2CRST	故障 2 计数器复位 (Fault 2 counter reset) 参考 FALT1CRST 的描述
[13:10]	FALT2CNT	故障 2 计数器 (Fault 2 counter) 参考 FALT1CNT 的描述
[9]	FALT2BLKS	故障 2 消隐源 (Fault 2 blanking source) 参考 FALT1BLKS 的描述
[8]	FALT2BLKEN	故障 2 消隐使能 (Fault 2 blanking enable) 参考 FALT1BLKEN 的描述
[7]	FALT1RSTM	故障 1 复位模式 (Fault 1 reset mode) 该位选择 FAULT1 计数器复位模式 0: 故障 1 计数器在每次复位/翻转事件时复位 1: 仅当最后计数周期内没有发生故障时, 故障 1 计数器才会在每次复位/翻转事件时复位。 注: 仅当 FALT1E 使能位复位时才写入该位字段。
[6]	FALT1CRST	故障 1 计数器复位 (Fault 1 counter reset) 该位复位 FAULT1 计数器。由软件置位, 由硬件复位。 0: 无动作 1: 故障 1 计数器复位
[5:2]	FALT1CNT	故障 1 计数器 (Fault 1 counter)

		该位字段选择 FAULT1 计数器阈值。当事件数等于 (FAULT1CNT[3:0]+1) 值时, 故障被视为有效。
[1]	FALT1BLKS	故障 1 消隐源 (Fault 1 blanking source) FALT1BLKS 位选择 FAULT1 消隐源 (详细信息请参阅表 17-31)。 0: 故障 1 复位对齐消隐窗口 1: 故障 1 移动消隐窗口 注: 仅当 FALT1E 使能位复位时才写入该位字段
[0]	FALT1BLKEN	故障 1 消隐使能 (Fault 1 blanking enable) FALT1BLKEN 位选择 FAULT1 消隐模式。消隐源由 FALT1BLKS 位定义 0: 故障 1 上不消隐 1: 故障 1 消隐模式 注: 仅当 FALT1E 使能位复位时才写入该位字段

### 17.4.3.28 SHRTIM 故障输入寄存器 4 (SHRTIM\_FALTIN4)

偏移地址: 0x3EC

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FALT6RSTM	FALT6CRST	FALT6CNT	FALT6BLKS	FALT6BLKEN	FALT5RSTM	FALT5CRST	FALT5CNT	FALT5BLKS	FALT5BLKEN						
rw	rt_w	rw	rw	rw	rw	rt_w	rw	rw	rw						

位域	名称	描述
[31:16]	Reserved	保留, 必须保持复位值
[15]	FALT6RSTM	故障 6 复位模式 (Fault 6 reset mode) 参考 FALT1RSTM 的描述
[14]	FALT6CRST	故障 6 计数器复位 (Fault 6 counter reset) 参考 FALT1CRST 的描述
[13:10]	FALT6CNT	故障 6 计数器 (Fault 6 counter) 参考 FALT1CNT 的描述
[9]	FALT6BLKS	故障 6 消隐源 (Fault 6 blanking source) 参考 FALT1BLKS 的描述
[8]	FALT6BLKEN	故障 6 消隐使能 (Fault 6 blanking enable) 参考 FALT1BLKEN 的描述
[7]	FALT5RSTM	故障 5 复位模式 (Fault 5 reset mode) 参考 FALT1RSTM 的描述
[6]	FALT5CRST	故障 5 计数器复位 (Fault 5 counter reset)

		参考 FALT1CRST 的描述
[5:2]	FALT5CNT	故障 5 计数器 (Fault 5 counter) 参考 FALT1CNT 的描述
[1]	FALT5BLKS	故障 5 消隐源 (Fault 5 blanking source) 参考 FALT1BLKS 的描述
[0]	FALT5BLKEN	故障 5 消隐使能 (Fault 5 blanking enable) 参考 FALT1BLKEN 的描述

### 17.4.3.29 SHRTIM 突发 DMA 主定时器更新寄存器 (SHRTIM\_BDMTUPD)

偏移地址: 0x3F0

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				MCMPDAT 4	MCMPDAT3	MCMPDAT 2	MCMPDAT 1	MREP T	MPR D	MCN T	MIDE N	MINTCL R	MCTR L		
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		

位域	名称	描述
[31:10]	Reserved	保留, 必须保持复位值
[9]	MCMPDAT4	SHRTIM_MCMP4DAT 寄存器更新使能 (SHRTIM_MCMP4DAT register update enable) 0: SHRTIM_MCMP4DAT 寄存器不会由突发 DMA 操作更新 1: SHRTIM_MCMP4DAT 寄存器将由突发 DMA 操作更新
[8]	MCMPDAT3	SHRTIM_MCMP3DAT 寄存器更新使能 (SHRTIM_MCMP3DAT register update enable) 0: SHRTIM_MCMP3DAT 寄存器不会由突发 DMA 操作更新 1: SHRTIM_MCMP3DAT 寄存器将由突发 DMA 操作更新
[7]	MCMPDAT2	SHRTIM_MCMP2DAT 寄存器更新使能 (SHRTIM_MCMP2DAT register update enable) 0: SHRTIM_MCMP2DAT 寄存器不会由突发 DMA 操作更新 1: SHRTIM_MCMP2DAT 寄存器将由突发 DMA 操作更新
[6]	MCMPDAT1	SHRTIM_MCMP1DAT 寄存器更新使能 (SHRTIM_MCMP1DAT register update enable) 0: SHRTIM_MCMP1DAT 寄存器不会由突发 DMA 操作更新 1: SHRTIM_MCMP1DAT 寄存器将由突发 DMA 操作更新
[5]	MREPT	SHRTIM_MREPT 寄存器更新使能 (SHRTIM_MREPT register update enable) 0: SHRTIM_MREPT 寄存器不会由突发 DMA 操作更新 1: SHRTIM_MREPT 寄存器将由突发 DMA 操作更新

[4]	MPRD	SHRTIM_MPRD 寄存器更新使能 (SHRTIM_MPRD register update enable) 0: SHRTIM_MPRD 寄存器不会由突发 DMA 操作更新 1: SHRTIM_MPRD 寄存器将由突发 DMA 操作更新
[3]	MCNT	SHRTIM_MCNT 寄存器更新使能 (SHRTIM_MCNT register update enable) 0: SHRTIM_MCNT 寄存器不会被突发 DMA 操作更新 1: SHRTIM_MCNT 寄存器将被突发 DMA 操作更新
[2]	MIDEN	SHRTIM_MIDEN 寄存器更新使能 (SHRTIM_MIDEN register update enable) 0: SHRTIM_MIDEN 寄存器不会被突发 DMA 操作更新 1: SHRTIM_MIDEN 寄存器将被突发 DMA 操作更新
[1]	MINTCLR	SHRTIM_MINTCLR 寄存器更新使能 (SHRTIM_MINTCLR register update enable) 0: SHRTIM_MINTCLR 寄存器不会被突发 DMA 操作更新 1: SHRTIM_MINTCLR 寄存器将被突发 DMA 操作更新
[0]	MCTRL	SHRTIM_CTRL 寄存器更新使能 (SHRTIM_CTRL register update enable) 0: SHRTIM_CTRL 寄存器不会由突发 DMA 操作更新 1: SHRTIM_CTRL 寄存器将由突发 DMA 操作更新

### 17.4.3.30 SHRTIM 突发 DMA 定时器 x 更新寄存器 (SHRTIM\_BDTxUPD)

偏移地址: 0x3F4

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved									TxEXEVFLT3	TxCTRL2	TxFALT	TxOUT	TxCHOP	TxCNTRST	TxEXEVFLT2
									rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TxEXEVFLT1	TxRST2	TxSET2	TxRST1	TxSET1	TxDAT	TxCMP4DAT	TxCMP3DAT	TxCMP2DAT	TxCMP1DAT	TxREP	TxPRD	TxCNT	TxIDEN	TxINTCLR	TxCTRL
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
[31:23]	Reserved	保留, 必须保持复位值
[22]	TxEXEVFLT3	SHRTIM_TxEXEVFLT3 寄存器更新使能。(SHRTIM_TxEXEVFLT3 register update enable) 0: 突发 DMA 访问不会导致 TxEXEVFLT3 更新。 1: 突发 DMA 访问导致 TxEXEVFLT3 更新。
[21]	TxCTRL2	SHRTIM_TxCTRL2 寄存器更新使能。(SHRTIM_TxCTRL2 register update enable) 0: 突发 DMA 访问不会导致 SHRTIM_TxCTRL2 更新。 1: 突发 DMA 访问导致 SHRTIM_TxCTRL2 更新。
[20]	TxFALT	SHRTIM_TxFALT 寄存器更新使能。(SHRTIM_TxFALT register update enable)

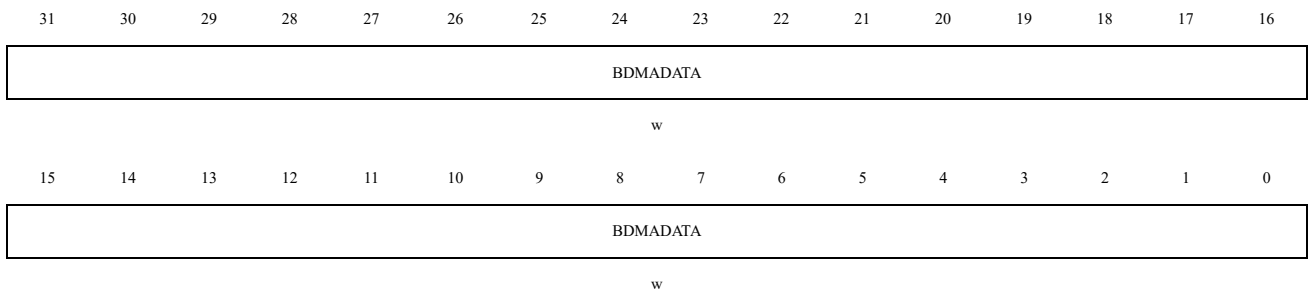
		update enable) 0: 突发 DMA 访问不会导致 SHRTIM_TxFALT 更新。 1: 突发 DMA 访问导致 SHRTIM_TxFALT 更新。
[19]	TxOUT	SHRTIM_TxOUT 寄存器更新使能。(SHRTIM_TxOUT register update enable) 0: 突发 DMA 访问不会导致 SHRTIM_TxOUT 更新。 1: 突发 DMA 访问导致 SHRTIM_TxOUT 更新。
[18]	TxCHOP	SHRTIM_TxCHOP 寄存器更新使能。(SHRTIM_TxCHOP register update enable.) 0: 突发 DMA 访问不会导致 SHRTIM_TxCHOP 更新。 1: 突发 DMA 访问导致 SHRTIM_TxCHOP 更新。
[17]	TxCNTRST	SHRTIM_TxCNTRST 寄存器更新使能 (SHRTIM_TxCNTRST register update enable) 0: 突发 DMA 访问不会导致 SHRTIM_TxCNTRST 更新。 1: 突发 DMA 访问导致 SHRTIM_TxCNTRST 更新
[16]	TxEXEVFLT2	SHRTIM_TxEXEVFLT2 寄存器更新使能。(SHRTIM_TxEXEVFLT2 register update enable) 0: 突发 DMA 访问不会导致 SHRTIM_TxEXEVFLT2 更新。 1: 突发 DMA 访问导致 SHRTIM_TxEXEVFLT2 更新。
[15]	TxEXEVFLT1	SHRTIM_TxEXEVFLT1 寄存器更新使能。(SHRTIM_TxEXEVFLT1 register update enable) 0: 突发 DMA 访问不会导致 SHRTIM_TxEXEVFLT1 更新。 1: 突发 DMA 访问导致 SHRTIM_TxEXEVFLT1 更新。
[14]	TxRST2	SHRTIM_TxRST2 寄存器更新使能。(SHRTIM_TxRST2 register update enable) 0: 突发 DMA 访问不会导致 SHRTIM_TxRST2 更新。 1: 突发 DMA 访问导致 SHRTIM_TxRST2 更新。
[13]	TxSET2	SHRTIM_TxSET2 寄存器更新使能。(SHRTIM_TxSET2 register update enable) 0: 突发 DMA 访问不会导致 SHRTIM_TxSET2 更新。 1: 突发 DMA 访问导致 SHRTIM_TxSET2 更新。
[12]	TxRST1	SHRTIM_TxRST1 寄存器更新使能。(SHRTIM_TxRST1 register update enable) 0: 突发 DMA 访问不会导致 SHRTIM_TxRST1 更新。 1: 突发 DMA 访问导致 SHRTIM_TxRST1 更新。
[11]	TxSET1	SHRTIM_TxSET1 寄存器更新使能。(SHRTIM_TxSET1 register update enable.) 0: 突发 DMA 访问不会导致 SHRTIM_TxSET1 更新。 1: 突发 DMA 访问导致 SHRTIM_TxSET1 更新。
[10]	TxDt	SHRTIM_TxDt 寄存器更新使能。(SHRTIM_TxDt register update enable.) 0: 突发 DMA 访问不会导致 SHRTIM_TxDt 更新。 1: 突发 DMA 访问导致 SHRTIM_TxDt 更新。

[9]	TxCMP4DAT	SHRTIM_TxCMP4DAT 寄存器更新使能。 (SHRTIM_TxCMP4DAT register update enable.) 0: 突发 DMA 访问不会导致 SHRTIM_TxCMP4DAT 更新。 1: 突发 DMA 访问导致 SHRTIM_TxCMP4DAT 更新。
[8]	TxCMP3DAT	SHRTIM_TxCMP3DAT 寄存器更新使能。 (SHRTIM_TxCMP3DAT register update enable.) 0: 突发 DMA 访问不会导致 SHRTIM_TxCMP3DAT 更新。 1: 突发 DMA 访问导致 SHRTIM_TxCMP3DAT 更新。
[7]	TxCMP2DAT	SHRTIM_TxCMP2DAT 寄存器更新使能。 (SHRTIM_TxCMP2DAT register update enable.) 0: 突发 DMA 访问不会导致 SHRTIM_TxCMP2DAT 更新。 1: 突发 DMA 访问导致 SHRTIM_TxCMP2DAT 更新。
[6]	TxCMP1DAT	SHRTIM_TxCMP1DAT 寄存器更新使能。 (SHRTIM_TxCMP1DAT register update enable.) 0: 突发 DMA 访问不会导致 SHRTIM_TxCMP1DAT 更新。 1: 突发 DMA 访问导致 SHRTIM_TxCMP1DAT 更新。
[5]	TxREPT	SHRTIM_TxREPT 寄存器更新使能。(SHRTIM_TxREPT register update enable.) 0: 突发 DMA 访问不会导致 SHRTIM_TxREPT 更新。 1: 突发 DMA 访问导致 SHRTIM_TxREPT 更新。
[4]	TxPRD	SHRTIM_TxPRD 寄存器更新使能。(SHRTIM_TxPRD register update enable.) 0: 突发 DMA 访问不会导致 SHRTIM_TxPRD 更新。 1: 突发 DMA 访问导致 SHRTIM_TxPRD 更新。
[3]	TxCNT	SHRTIM_TxCNT 寄存器更新使能。(SHRTIM_TxCNT register update enable.) 0: 突发 DMA 访问不会导致 SHRTIM_TxCNT 更新。 1: 突发 DMA 访问导致 SHRTIM_TxCNT 更新。
[2]	TxIDEN	SHRTIM_TxIDEN 寄存器更新使能。(SHRTIM_TxIDEN register update enable.) 0: 突发 DMA 访问不会导致 SHRTIM_TxIDEN 更新。 1: 突发 DMA 访问导致 SHRTIM_TxIDEN 更新。
[1]	TxINTCLR	SHRTIM_TxINTCLR 寄存器更新使能。(SHRTIM_TxINTCLR register update enable.) 0: 突发 DMA 访问不会导致 SHRTIM_TxINTCLR 更新。 1: 突发 DMA 访问导致 SHRTIM_TxINTCLR 更新。
[0]	TxCTRL	SHRTIM_TxCTRL 寄存器更新使能。(SHRTIM_TxCTRL register update enable.) 0: 突发 DMA 访问不会导致 SHRTIM_TxCTRL 更新。 1: 突发 DMA 访问导致 SHRTIM_TxCTRL 更新。

### 17.4.3.31 SHRTIM 突发 DMA 数据寄存器 (SHRTIM\_BDDAT)

偏移地址: 0x40C

复位值：0x00000000

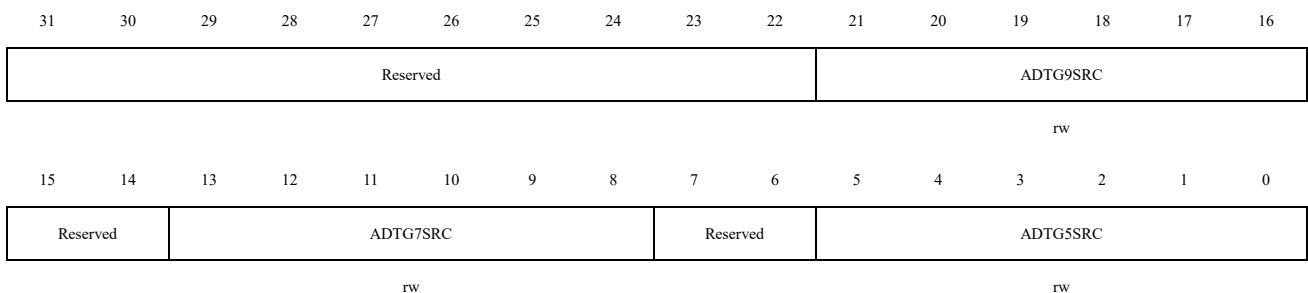


位域	名称	描述
[31:0]	BDMADATA	突发 DMA 数据寄存器 (Burst DMA data register) 当对此寄存器执行写操作时，该寄存器值将加载到由 SHRTIM_BDTxUPD 启用或由 SHRTIM_BDMTUPD 启用的寄存器中，这还会导致寄存器指针递增到下一个位置

### 17.4.3.32 SHRTIM ADC 触发扩展寄存器 1 (SHRTIM\_AD TGEX1)

偏移地址：0x410

复位值：0x00000000



位域	名称	描述
[31:22]	Reserved	保留，必须保持复位值
[21:16]	ADTG9SRC	ADC trig 9 源选择 (ADC trig 9 source select) 请参考 ADTG5SRC 说明
[15:14]	Reserved	保留，必须保持复位值
[13:8]	ADTG7SRC	ADC trig 7 源选择 (ADC trig 7 source select) 请参考 ADTG5SRC 说明
[7:6]	Reserved	保留，必须保持复位值
[5:0]	ADTG5SRC	ADC 触发 5 源选择 (ADC trig 5 source select) 0: 在主定时器比较 1 上触发 1: 在主定时器比较 2 上触发 2: 在主定时器比较 3 上触发 3: 在主定时器比较 4 上触发 4: 在主定时器周期上触发

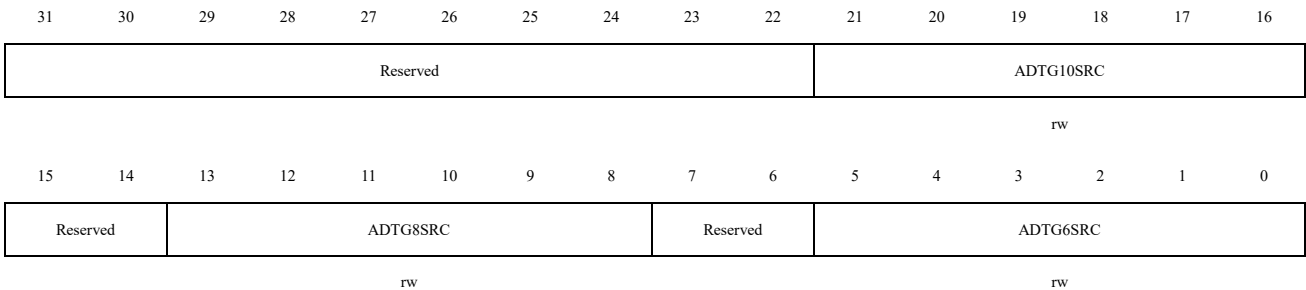


		<p>5: 在外部事件 1 上触发</p> <p>6: 在外部事件 2 上触发</p> <p>7: 在外部事件 3 上触发</p> <p>8: 在外部事件 4 上触发</p> <p>9: 在外部事件 5 上触发</p> <p>10: 在定时器 A 比较 1 上触发</p> <p>11: 在定时器 A 比较 2 上触发</p> <p>12: 在定时器 A 比较 3 上触发</p> <p>13: 在定时器 A 比较 4 上触发</p> <p>14: 在定时器 A 比较 5 上触发</p> <p>15: 在定时器 A 周期上触发</p> <p>16: 在定时器 A 复位和计数器翻转上触发</p> <p>17: 在定时器 B 比较 1 上触发</p> <p>18: 在定时器 B 比较 2 上触发</p> <p>19: 在定时器 B 比较 3 上触发</p> <p>20: 在定时器 B 比较 4 上触发</p> <p>21: 在定时器 B 比较 5 上触发</p> <p>22: 在定时器 B 周期上触发</p> <p>23: 在定时器 B 复位和计数器翻转上触发</p> <p>24: 在定时器 C 比较 1 上触发</p> <p>25: 在定时器 C 比较 2 上触发</p> <p>26: 在定时器 C 比较 3 上触发</p> <p>27: 在定时器 C 比较 4 上触发</p> <p>28: 在定时器 C 比较 5 上触发</p> <p>29: 在定时器 C 周期上触发</p> <p>30: 在定时器 D 比较 1 上触发</p> <p>31: 在定时器 D 比较 2 上触发</p> <p>32: 在定时器 D 比较 3 上触发</p> <p>33: 在定时器 D 比较 4 上触发</p> <p>34: 在定时器 D 比较 5 上触发</p> <p>35: 在定时器 D 周期上触发</p> <p>36: 在定时器 E 比较 1 上触发</p> <p>37: 在定时器 E 比较 2 上触发</p> <p>38: 在定时器 E 比较 3 上触发</p> <p>39: 在定时器 E 比较 4 上触发</p> <p>40: 在定时器 E 比较 5 上触发</p> <p>41: 在定时器 E 周期上触发</p> <p>42: 在定时器 F 比较 1 上触发</p> <p>43: 在定时器 F 比较 2 上触发</p> <p>44: 在定时器 F 比较 3 上触发</p> <p>45: 在定时器 F 比较 4 上触发</p> <p>46: 在定时器 F 比较 5 上触发</p> <p>47: 在定时器 F 周期上触发</p> <p>48: 在定时器 F 复位和计数器翻转上触发</p>
--	--	---

### 17.4.3.33 SHRTIM ADC 触发扩展寄存器 2 (SHRTIM\_AD TGEX2)

偏移地址: 0x414

复位值: 0x00000000



位域	名称	描述
[31:22]	Reserved	保留, 必须保持复位值
[21:16]	ADTG10SRC	ADC trig 10 源选择 (ADC trig 10 source select) 请参考 ADTG5SRC 说明
[15:14]	Reserved	保留, 必须保持复位值
[13:8]	ADTG8SRC	ADC trig 8 源选择 (ADC trig 8 source select) 请参考 ADTG5SRC 说明
[7:6]	Reserved	保留, 必须保持复位值
[5:0]	ADTG6SRC	ADC 触发 6 源选择 (ADC trig 6 source select) 0: 在主定时器比较 1 上触发 1: 在主定时器比较 2 上触发 2: 在主定时器比较 3 上触发 3: 在主定时器比较 4 上触发 4: 在主定时器周期上触发 5: 在外部事件 6 上触发 6: 在外部事件 7 上触发 7: 在外部事件 8 上触发 8: 在外部事件 9 上触发 9: 在外部事件 10 上触发 10: 在定时器 A 比较 1 上触发 11: 在定时器 A 比较 2 上触发 12: 在定时器 A 比较 3 上触发 13: 在定时器 A 比较 4 上触发 14: 在定时器 A 比较 5 上触发 15: 在定时器 A 周期上触发 16: 在定时器 B 比较 1 上触发 17: 在定时器 B 比较 2 上触发 18: 在定时器 B 比较 3 上触发 19: 在定时器 B 比较 4 上触发 20: 在定时器 B 比较 5 上触发

		21: 在定时器 B 周期上触发 22: 在定时器 C 比较 1 上触发 23: 在定时器 C 比较 2 上触发 24: 在定时器 C 比较 3 上触发 25: 在定时器 C 比较 4 上触发 26: 在定时器 C 比较 5 上触发 27: 在定时器 C 周期上触发 28: 在定时器 C 复位和计数器翻转上触发 29: 在定时器 D 比较 1 上触发 30: 在定时器 D 比较 2 上触发 31: 在定时器 D 比较 3 上触发 32: 在定时器 D 比较 4 上触发 33: 在定时器 D 比较 5 上触发 34: 在定时器 D 周期上触发 35: 在定时器 D 复位和计数器翻转上触发 36: 在定时器 E 比较 1 上触发 37: 在定时器 E 比较 2 上触发 38: 在定时器 E 比较 3 上触发 39: 在定时器 E 比较 4 上触发 40: 在定时器 E 比较 5 上触发 41: 在定时器 E 复位和计数器翻转上触发 42: 在定时器 F 比较 1 上触发 43: 在定时器 F 比较 2 上触发 44: 在定时器 F 比较 3 上触发 45: 在定时器 F 比较 4 上触发 46: 在定时器 F 比较 5 上触发 47: 在定时器 F 周期上触发
--	--	--

### 17.4.3.34 SHRTIM ADC 触发更新寄存器 (SHRTIM\_AD TGUPD)

偏移地址: 0x418

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved										ADTG10UPDSRC		Reserved		ADTG9UPDSRC	
										rw				rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		ADTG8UPDSRC		Reserved		ADTG7UPDSRC		Reserved		ADTG6UPDSRC		Reserved		ADTG5UPDSRC	
rw				rw				rw				rw			

位域	名称	描述
[31:23]	Reserved	保留, 必须保持复位值
[22:20]	ADTG10UPDSRC	ADC 触发 10 更新源 (ADC trigger 10 update source)

		请参考 ADTG5UPDSRC[2:0] 描述。
[19]	Reserved	保留, 必须保持复位值
[18:16]	ADTG9UPDSRC	ADC 触发 9 更新源 (ADC trigger 9 update source) 请参考 ADTG5UPDSRC[2:0] 描述。
[15]	Reserved	保留, 必须保持复位值
[14:12]	ADTG8UPDSRC	ADC 触发 8 更新源 (ADC trigger 8 update source) 请参考 ADTG5UPDSRC[2:0] 描述。
[11]	Reserved	保留, 必须保持复位值
[10:8]	ADTG7UPDSRC	ADC 触发 7 更新源 (ADC trigger 7 update source) 请参考 ADTG5UPDSRC[2:0] 描述。
[7]	Reserved	保留, 必须保持复位值
[6:4]	ADTG6UPDSRC	ADC 触发 6 更新源 (ADC trigger 6 update source) 请参考 ADTG5UPDSRC[2:0] 描述。
[3]	Reserved	保留, 必须保持复位值
[2:0]	ADTG5UPDSRC	ADC 触发器 5 更新源这些位定义 (ADC trigger 5 update source) 触发 SHRTIM_ADGEX1.ADTG5SRC[5:0] 更新的源 (从预装载传输到活动寄存器)。 它仅定义源定时器。精确条件通过 SHRTIM_MCTRL.BRSTDMA[1:0] 和 SHRTIM_TxCTRL.UPDGAT[3:0] 位字段定义。 000: 主定时器 001: 定时器 A 010: 定时器 B 011: 定时器 C 100: 定时器 D 101: 定时器 E 110: 定时器 F 111: 保留

### 17.4.3.35 SHRTIM ADC 后分频寄存器 1 (SHRTIM\_ADCPSC1)

偏移地址: 0x41C

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16								
Reserved				ADC5PSC				Reserved				ADC4PSC				Reserved				ADC3PSC			
				rw								rw											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
ADC3PSC				Reserved				ADC2PSC				Reserved				ADC1PSC							
rw								rw								rw							

位域	名称	描述
[31:29]	Reserved	保留, 必须保持复位值

[28:24]	ADC5PSC	ADC 触发 5 后分频器 (ADC trigger 5 post prescaler) 该位选择 ADC 触发 5 后分频器比率。
[23]	Reserved	保留, 必须保持复位值
[22:18]	ADC4PSC	ADC 触发 4 后分频器 (ADC trigger 4 post prescaler) 该位选择 ADC 触发 4 后分频器比率。
[17]	Reserved	保留, 必须保持复位值
[16:12]	ADC3PSC	ADC 触发 3 后分频器 (ADC trigger 3 post prescaler) 该位选择 ADC 触发 3 后分频器比率。
[11]	Reserved	保留, 必须保持复位值
[10:6]	ADC2PSC	ADC 触发 2 后分频器 (ADC trigger 2 post prescaler) 该位选择 ADC 触发 2 后分频器比率。
[5]	Reserved	保留, 必须保持复位值
[4:0]	ADC1PSC	ADC 触发 1 后分频器 (ADC trigger 1 post prescaler) 该位选择 ADC 触发 1 后分频器比率。

### 17.4.3.36 SHRTIM ADC 后分频寄存器 2 (SHRTIM\_ADCPSC2)

偏移地址: 0x420

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved				ADC10PSC				Reserved		ADC9PSC				Reserved		ADC8PSC
				rw						rw						rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
ADC8PSC				Reserved		ADC7PSC				Reserved		ADC6PSC				
rw						rw						rw				

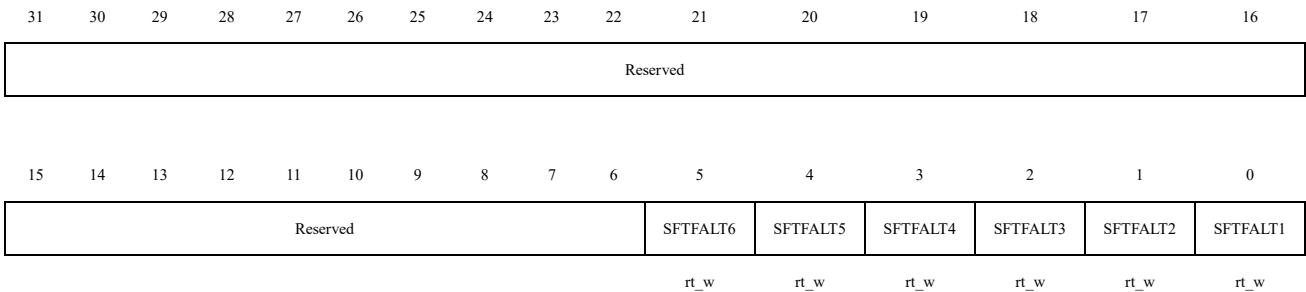
位域	名称	描述
[31:29]	Reserved	保留, 必须保持复位值
[28:24]	ADC10PSC	ADC 触发 10 后分频器 (ADC trigger 10 post prescaler) 该位选择 ADC 触发 10 后分频器比率。
[23]	Reserved	保留, 必须保持复位值
[22:18]	ADC9PSC	ADC 触发 9 后分频器 (ADC trigger 9 post prescaler) 该位选择 ADC 触发 9 后分频器比率。
[17]	Reserved	保留, 必须保持复位值
[16:12]	ADC8PSC	ADC 触发 8 后分频器 (ADC trigger 8 post prescaler) 该位选择 ADC 触发 8 后分频器比率。
[11]	Reserved	保留, 必须保持复位值
[10:6]	ADC7PSC	ADC 触发 7 后分频器 (ADC trigger 7 post prescaler) 该位选择 ADC 触发 7 后分频器比率。
[5]	Reserved	保留, 必须保持复位值
[4:0]	ADC6PSC	ADC 触发 6 后分频器 (ADC trigger 6 post prescaler)

		该位选择 ADC 触发 6 后分频器比率。
--	--	-----------------------

### 17.4.3.37 SHRTIM 软件故障寄存器 (SHRTIM\_SFTFALT)

偏移地址: 0x428

复位值: 0x00000000



位域	名称	描述
[31:6]	Reserved	保留, 必须保持复位值
[5]	SFTFALT6	软件故障 6 (Soft fault 6) 1: 这是一个只能设置的位。如果故障已使能, 则向该寄存器写入 1 会导致软故障。 0: 向该位写入 0 没有影响。 当与给定定时器输出通道相对应的两个通道的 SHRTIM_OEN.TxyOEN 位被置位时, 该位由硬件清零
[4]	SFTFALT5	软件故障 5 (Soft fault 5) 1: 这是一个只能设置的位。如果故障已使能, 则向该寄存器写入 1 会导致软故障。 0: 向该位写入 0 没有影响。 当与给定定时器输出通道相对应的两个通道的 SHRTIM_OEN.TxyOEN 位被置位时, 该位由硬件清零
[3]	SFTFALT4	软件故障 4 (Soft fault 4) 1: 这是一个只能设置的位。如果故障已使能, 则向该寄存器写入 1 会导致软故障。 0: 向该位写入 0 没有影响。 当与给定定时器输出通道相对应的两个通道的 SHRTIM_OEN.TxyOEN 位被置位时, 该位由硬件清零
[2]	SFTFALT3	软件故障 3 (Soft fault 3) 1: 这是一个只能设置的位。如果故障已使能, 则向该寄存器写入 1 会导致软故障。 0: 向该位写入 0 没有影响。 当与给定定时器输出通道相对应的两个通道的 SHRTIM_OEN.TxyOEN 位被置位时, 该位由硬件清零
[1]	SFTFALT2	软件故障 2 (Soft fault 2) 1: 这是一个只能设置的位。如果故障已使能, 则向该寄存器写入 1 会导致软故障。

		0: 向该位写入 0 没有影响。 当与给定定时器输出通道相对应的两个通道的 SHRTIM_OEN.TxyOEN 位被置位时, 该位由硬件清零
[0]	SFTFALT1	软件故障 1 (Soft fault 1) 1: 这是一个只能设置的位。如果故障已使能, 则向该寄存器写入 1 会导致软故障。 0: 向该位写入 0 没有影响。 当与给定定时器输出通道相对应的两个通道的 SHRTIM_OEN.TxyOEN 位被置位时, 该位由硬件清零

### 17.4.3.38 SHRTIM 软件延迟保护寄存器 (SHRTIM\_SFTDP)

偏移地址: 0x42C

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		SFTDPF2	SFTDPE2	SFTDPD2	SFTDPC2	SFTDPB2	SFTDPA2	SFTDPF1	SFTDPE1	SFTDPD1	SFTDPC1	SFTDPB1	SFTDPA1		
		rt_w	rt_w	rt_w	rt_w	rt_w	rt_w	rt_w	rt_w	rt_w	rt_w	rt_w	rt_w	rt_w	rt_w

位域	名称	描述
[31:12]	Reserved	保留, 必须保持复位值
[11]	SFTDPF2	定时器 F 通道 2 的软件延迟保护 (Software delay protection for timer F channel 2) 1: 这是一个只能设置的位。如果定时器 F 通道 2 的延迟模式已使能, 则向该寄存器写入 1 会导致进入软延迟模式。 0: 向该位写入 0 没有影响。 当与给定定时器输出通道对应的两个通道的 SHRTIM_OEN.TxyOEN 位被置位时, 该位由硬件清零
[10]	SFTDPE2	定时器 E 通道 2 的软件延迟保护 (Software delay protection for timer E channel 2) 1: 这是一个只能设置的位。如果定时器 E 通道 2 的延迟模式已使能, 则向该寄存器写入 1 会导致进入软延迟模式。 0: 向该位写入 0 没有影响。 当与给定定时器输出通道对应的两个通道的 SHRTIM_OEN.TxyOEN 位被置位时, 该位由硬件清零
[9]	SFTDPD2	定时器 D 通道 2 的软件延迟保护 (Software delay protection for timer D channel 2) 1: 这是一个只能设置的位。如果定时器 D 通道 2 的延迟模式已使能, 则向该寄存器写入 1 会导致进入软延迟模式。 0: 向该位写入 0 没有影响。

		当与给定定时器输出通道对应的两个通道的 SHRTIM_OEN.TxyOEN 位被置位时, 该位由硬件清零
[8]	SFTDPC2	定时器 C 通道 2 的软件延迟保护 (Software delay protection for timer C channel 2) 1: 这是一个只能设置的位。如果定时器 C 通道 2 的延迟模式已使能, 则向该寄存器写入 1 会导致进入软延迟模式。 0: 向该位写入 0 没有影响。 当与给定定时器输出通道对应的两个通道的 SHRTIM_OEN.TxyOEN 位被置位时, 该位由硬件清零
[7]	SFTDPB2	定时器 B 通道 2 的软件延迟保护 (Software delay protection for timer B channel 2) 1: 这是一个只能设置的位。如果定时器 B 通道 2 的延迟模式已使能, 则向该寄存器写入 1 会导致进入软延迟模式。 0: 向该位写入 0 没有影响。 当与给定定时器输出通道对应的两个通道的 SHRTIM_OEN.TxyOEN 位被置位时, 该位由硬件清零
[6]	SFTDPA2	定时器 A 通道 2 的软件延迟保护 (Software delay protection for timer A channel 2) 1: 这是一个只能设置的位。如果定时器 A 通道 2 的延迟模式已使能, 则向该寄存器写入 1 会导致进入软延迟模式。 0: 向该位写入 0 没有影响。 当与给定定时器输出通道对应的两个通道的 SHRTIM_OEN.TxyOEN 位被置位时, 该位由硬件清零
[5]	SFTDPF1	定时器 F 通道 1 的软件延迟保护 (Software delay protection for timer F channel 1) 1: 这是一个只能设置的位。如果定时器 F 通道 1 的延迟模式已使能, 则向该寄存器写入 1 会导致进入软延迟模式。 0: 向该位写入 0 没有影响。 当与给定定时器输出通道对应的两个通道的 SHRTIM_OEN.TxyOEN 位被置位时, 该位由硬件清零
[4]	SFTDPE1	定时器 E 通道 1 的软件延迟保护 (Software delay protection for timer E channel 1) 1: 这是一个只能设置的位。如果定时器 E 通道 1 的延迟模式已使能, 则向该寄存器写入 1 会导致进入软延迟模式。 0: 向该位写入 0 没有影响。 当与给定定时器输出通道对应的两个通道的 SHRTIM_OEN.TxyOEN 位被置位时, 该位由硬件清零
[3]	SFTDPD1	定时器 D 通道 1 的软件延迟保护 (Software delay protection for timer D channel 1) 1: 这是一个只能设置的位。如果定时器 D 通道 1 的延迟模式已使能, 则向该寄存器写入 1 会导致进入软延迟模式。 0: 向该位写入 0 没有影响。 当与给定定时器输出通道对应的两个通道的 SHRTIM_OEN.TxyOEN 位被置位时, 该位由硬件清零



[2]	SFTDPC1	定时器 C 通道 1 的软件延迟保护 (Software delay protection for timer C channel 1) 1: 这是一个只能设置的位。如果定时器 C 通道 1 的延迟模式已使能, 则向该寄存器写入 1 会导致进入软延迟模式。 0: 向该位写入 0 没有影响。 当与给定定时器输出通道对应的两个通道的 SHRTIM_OEN.TxyOEN 位被置位时, 该位由硬件清零
[1]	SFTDPB1	定时器 B 通道 1 的软件延迟保护 (Software delay protection for timer B channel 1) 1: 这是一个只能设置的位。如果定时器 B 通道 1 的延迟模式已使能, 则向该寄存器写入 1 会导致进入软延迟模式。 0: 向该位写入 0 没有影响。 当与给定定时器输出通道对应的两个通道的 SHRTIM_OEN.TxyOEN 位被置位时, 该位由硬件清零
[0]	SFTDPA1	定时器 A 通道 1 的软件延迟保护 (Software delay protection for timer A channel 1) 1: 这是一个只能设置的位。如果定时器 A 通道 1 的延迟模式已使能, 则向该寄存器写入 1 会导致进入软延迟模式。 0: 向该位写入 0 没有影响。 当与给定定时器输出通道对应的两个通道的 SHRTIM_OEN.TxyOEN 位被置位时, 该位由硬件清零

### 17.4.3.39 SHRTIM 故障输入寄存器 5 (SHRTIM\_FALTIN5)

偏移地址: 0x430

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved										FALT6CSEL		Reserved		FALT5CSEL	
										rw				rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		FALT4CSEL		Reserved		FALT3SEL		Reserved		FALT2SEL		Reserved		FALT1SEL	
		rw				rw				rw				rw	

位域	名称	描述
[31:23]	Reserved	保留, 必须保持复位值
[22:20]	FALT6CSEL	故障 6 模拟比较器选择 (Fault 6 analog comparator select) 参考 FALT1CSEL[2:0] 描述
[19]	Reserved	保留, 必须保持复位值
[18:16]	FALT5CSEL	故障 5 模拟比较器选择 (Fault 5 analog comparator select) 参考 FALT1CSEL[2:0] 描述
[15]	Reserved	保留, 必须保持复位值
[14:12]	FALT4CSEL	故障 4 模拟比较器选择 (Fault 4 analog comparator select)

		参考 FALT1CSEL[2:0] 描述
[11]	Reserved	保留, 必须保持复位值
[10:8]	FALT3CSEL	故障 3 模拟比较器选择 (Fault 3 analog comparator select) 参考 FALT1CSEL[2:0] 描述
[7]	Reserved	保留, 必须保持复位值
[6:4]	FALT2CSEL	故障 2 模拟比较器选择 (Fault 2 analog comparator select) 参考 FALT1CSEL[2:0] 描述
[3]	Reserved	保留, 必须保持复位值
[2:0]	FALT1CSEL	故障 1 模拟比较器选择 (Fault 1 analog comparator select) 该位可由 FALT1LCK 锁定 000:FAULT1 的模拟比较器输入来自 comp1 out 001:FAULT1 的模拟比较器输入来自 comp2 out 010:FAULT1 的模拟比较器输入来自 comp3 out 011:FAULT1 的模拟比较器输入来自 comp4 out 其他:保留

#### 17.4.3.40 SHRTIM 外部事件控制寄存器 5 (SHRTIM\_EXEVCTRL5)

偏移地址: 0x434

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		EXEV10CSEL			EXEV9CSEL			EXEV8CSEL			EXEV7CSEL			EXEV6CSEL	
		rw			rw			rw			rw			rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		EXEV5CSEL		EXEV4CSEL			EXEV3CSEL			EXEV2CSEL			EXEV1CSEL		
		rw		rw			rw			rw			rw		

位域	名称	描述
[31:30]	Reserved	保留, 必须保持复位值
[29:27]	EXEV10CSEL	外部事件 10 的模拟比较器选择 (External event 10's analog comparator select) 请参考 EXEV1CSEL 说明
[26:24]	EXEV9CSEL	外部事件 9 的模拟比较器选择 (External event 9's analog comparator select) 请参考 EXEV1CSEL 说明
[23:21]	EXEV8CSEL	外部事件 8 的模拟比较器选择 (External event 8's analog comparator select) 请参考 EXEV1CSEL 说明
[20:18]	EXEV7CSEL	外部事件 7 的模拟比较器选择 (External event 7's analog comparator select) 请参考 EXEV1CSEL 说明

[17:15]	EXEV6CSEL	外部事件 6 的模拟比较器选择 (External event 6's analog comparator select) 请参考 EXEV1CSEL 说明
[14:12]	EXEV5CSEL	外部事件 5 的模拟比较器选择 (External event 5's analog comparator select) 请参考 EXEV1CSEL 说明
[11:9]	EXEV4CSEL	外部事件 4 的模拟比较器选择 (External event 4's analog comparator select) 请参考 EXEV1CSEL 说明
[8:6]	EXEV3CSEL	外部事件 3 的模拟比较器选择 (External event 3's analog comparator select) 请参考 EXEV1CSEL 说明
[5:3]	EXEV2CSEL	外部事件 2 的模拟比较器选择 (External event 2's analog comparator select) 请参考 EXEV1CSEL 说明
[2:0]	EXEV1CSEL	外部事件 1 的模拟比较器选择 (External event 1's analog comparator select) 000:外部事件 1 的模拟比较器输入来自 comp1 out 001:外部事件 1 的模拟比较器输入来自 comp2 out 010:外部事件 1 的模拟比较器输入来自 comp3 out 011:外部事件 1 的模拟比较器输入来自 comp4 out 其他:保留

#### 17.4.3.41 SHRTIM Extend Register (SHRTIM\_EXTEND)

偏移地址: 0x438

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AUXBYPA		Reserved													
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															
rw															

Bit Field	Name	Description
[31:30]	AUXBYPA	辅助输出 bypass 0x: Reserved 10: 辅助输出跟随 Crossbar 11: 辅助输出跟随主输出
[1:0]	Reserved	Reserved, the reset value must be maintained

## 18 高级控制定时器（ATIM1/ ATIM2/ ATIM3/ ATIM4）

### 18.1 ATIMx（x=1-4）简介

高级控制定时器（ATIMx）主要用于以下场合：对输入信号进行计数、测量输入信号的脉冲宽度和产生输出波形等。

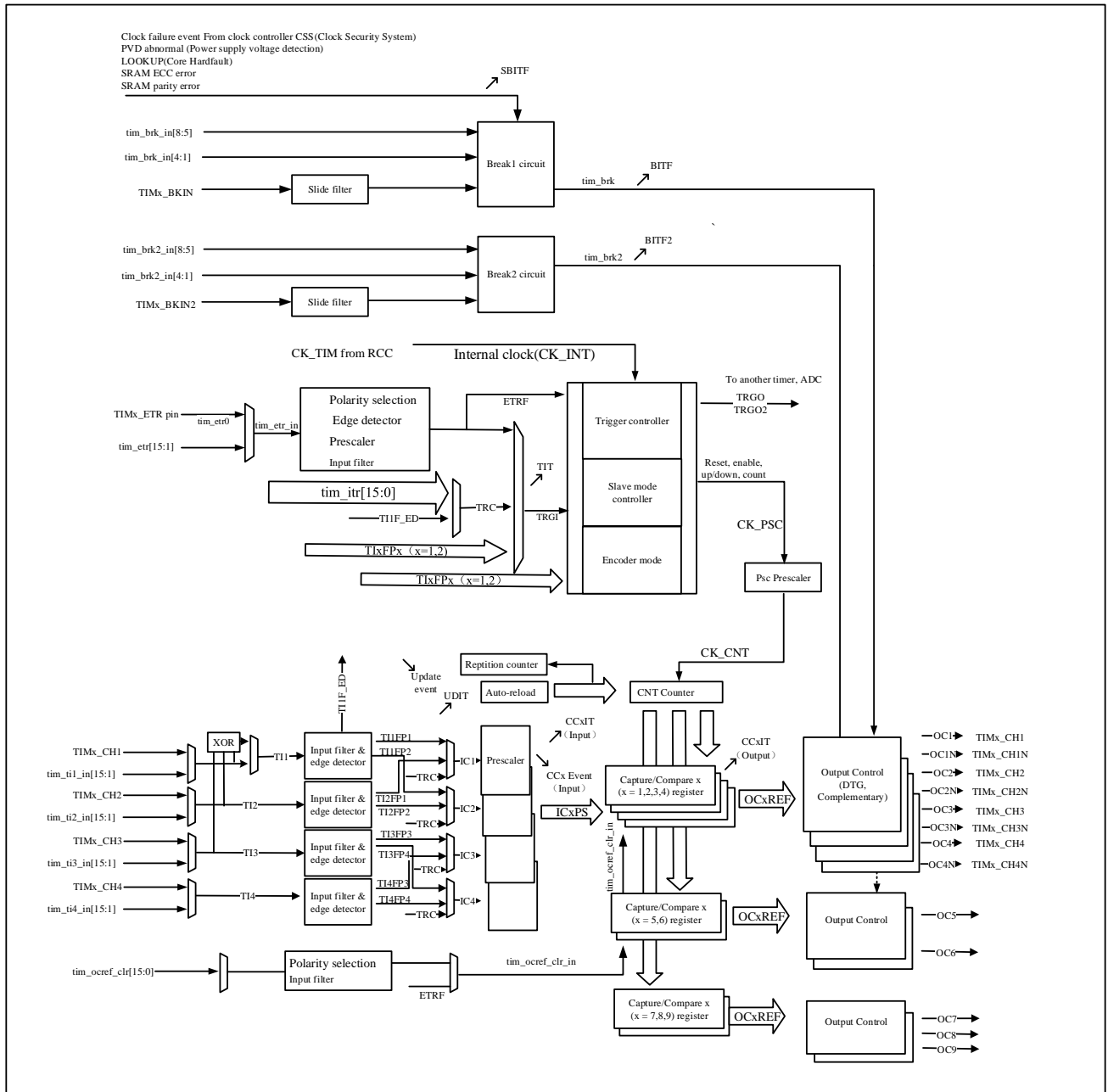
高级定时器具有互补输出功能、死区插入和刹车功能。适用于电机控制。

ATIMx（x=1-4）主要特性

- 16 位自动装载计数器。（可实现向上计数、向下计数、向上/下计数）
- 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）
- 可编程重复计数器
- ATIMx 最多 9 个通道
- 4 个捕获/比较通道，工作模式为：PWM 输出、输出比较、单脉冲模式输出、输入捕获
- 2 个支持数字滤波的刹车输入信号
- 如下事件发生时产生中断/DMA：
  - ◆ 更新事件
  - ◆ 触发事件
  - ◆ 输入捕获
  - ◆ 输出比较
  - ◆ 刹车信号输入
- 死区时间可编程的互补输出
  - 对于 ATIMx，通道 1、2、3、4 支持此功能
- 可通过外部信号控制定时器
- 多个定时器内部连接在一起，以实现定时器的同步或链接
- 增量（正交）编码器接口：用于追踪运行轨迹和解析旋转方位
- 霍尔传感器接口：用于三相电机控制
- 触发输入作为外部时钟或者逐周期电流管理

## 18.2 ATIMx (x=1-4) 框图

图 18-1 ATIMx 框图



## 18.3 ATIMx (x=1-4) 的引脚及内部信号

下列表格描述了 ATIMx 的输入和输出引脚及信号

表 18-1 ATIMx 输入/输出引脚

引脚	类型	描述
TIMx_CH1	Input/Output	每个通道都可以用于捕获、比较或产生 PWM。

TIMx_CH2 TIMx_CH3 TIMx_CH4		TIM_CH1 和 TIM_CH2 还可以用作 作为外部时钟（低于 1/4 的内部时钟频率），外部触发器和正交编码器输入。  TIM_CH1、TIM_CH2 和 TIM_CH3 还可用于霍尔效应传感器的接口。
TIM_CH1N TIM_CH2N TIM_CH3N TIM_CH4N	Output	带有死区时间插入的定时器互补输出通道。
TIMx_ETR	Input	外部触发器输入。该输入可以作为外部触发器或外部时钟源。如果使用预分频器，输入信号 TIMx_ETR 可以为频率高于系统时钟频率的信号。
TIMx_BKIN TIMx_BKIN2	Input/Output	Break 和 Break2 输入。两个输入均可以配置为双向模式。

**表 18-2 ATIMx 内部输入/输出信号**

内部信号	类型	描述
tim_ti1_in[15:0] tim_ti2_in[15:0] tim_ti3_in[15:0] tim_ti4_in[15:0]	Input	定时器通道 1/2/3/4 输入信号。tim_ti1_in[15:0]和 tim_ti2_in[15:0]输入可用于捕获或作为外部时钟（低于系统时钟频率的 1/4）和用于正交编码器信号。
tim_etr[15:0]	Input	外部触发通道输入信号。这些输入可用作触发器、外部时钟或用于硬件逐周期脉宽控制。如果使用预分频器，输入信号 tim_etr 可以为频率高于系统时钟频率的信号。
tim_itr[15:0]	Input	内部触发输入信号。这些输入可以用在从模式控制器或作为输入时钟（低于系统时钟频率的 1/4）。
tim_trgo/tim_trgo2	Output	内部触发信号输出。这些触发信号可被其他定时器和/或其他外围设备使用。

### 18.3.1 ATIMx 的 tim\_ti1/ tim\_ti2/ tim\_ti3/ tim\_ti4 信号源

**表 18-3 tim\_ti1 输入信号源**

tim_ti1 inputs	信号源			
	ATIM1	ATIM2	ATIM3	ATIM4

tim_ti1_in0	ATIM1_CH1	ATIM2_CH1	ATIM3_CH1	ATIM4_CH1
tim_ti1_in1	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT
tim_ti1_in2	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT
tim_ti1_in3	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT
tim_ti1_in4	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT
tim_ti1_in[15:5]	Reserved			

表 18-4 tim\_ti2 输入信号源

tim_ti2 inputs	Sources			
	ATIM1	ATIM2	ATIM3	ATIM4
tim_ti2_in0	ATIM1_CH2	ATIM2_CH2	ATIM3_CH2	ATIM4_CH2
tim_ti2_in1	GTIMA7_OC1	GTIMA7_OC2	GTIMA7_OC3	COMP1_OUT
tim_ti2_in2	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT
tim_ti2_in3	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT
tim_ti2_in4	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT
tim_ti2_in[15:5]	Reserved			

表 18-5 tim\_ti3 输入信号源

tim_ti3 inputs	Sources			
	ATIM1	ATIM2	ATIM3	ATIM4
tim_ti3_in0	ATIM1_CH3	ATIM2_CH3	ATIM3_CH3	ATIM4_CH3
tim_ti3_in1	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT
tim_ti3_in2	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT
tim_ti3_in3	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT
tim_ti3_in4	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT

tim_ti3_in[15:5]	Reserved
------------------	----------

表 18-6 tim\_ti4 输入信号源

tim_ti4 inputs	Sources			
	ATIM1	ATIM2	ATIM3	ATIM4
tim_ti4_in0	ATIM1_CH4	ATIM2_CH4	ATIM3_CH4	ATIM4_CH4
tim_ti4_in1	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT
tim_ti4_in2	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT
tim_ti4_in3	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT
tim_ti4_in4	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT
tim_ti4_in[15:5]	Reserved			

### 18.3.2 ATIMx 的 tim\_itr 信号源

表 18-7 tim\_itr 输入信号源

ATIMx	ATIM1	ATIM2	ATIM3	ATIM4
tim_itr0	Reserved	ATIM1_TRGO	ATIM1_TRGO	ATIM1_TRGO
tim_itr1	GTIMA1_TRGO	GTIMA1_TRGO	GTIMA1_TRGO	GTIMA1_TRGO
tim_itr2	GTIMA2_TRGO	GTIMA2_TRGO	GTIMA2_TRGO	GTIMA2_TRGO
tim_itr3	GTIMA3_TRGO	GTIMA3_TRGO	GTIMA3_TRGO	GTIMA3_TRGO
tim_itr4	GTIMA4_TRGO	GTIMA4_TRGO	GTIMA4_TRGO	GTIMA4_TRGO
tim_itr5	ATIM2_TRGO	Reserved	ATIM2_TRGO	ATIM2_TRGO
tim_itr6	GTIMA5_TRGO	GTIMA5_TRGO	GTIMA5_TRGO	GTIMA5_TRGO
tim_itr7	ATIM3_TRGO	ATIM3_TRGO	Reserved	ATIM3_TRGO
tim_itr8	GTIMA6_TRGO	GTIMA6_TRGO	GTIMA6_TRGO	GTIMA6_TRGO
tim_itr9	GTIMA7_TRGO	GTIMA7_TRGO	GTIMA7_TRGO	GTIMA7_TRGO
tim_itr10	ATIM4_TRGO	ATIM4_TRGO	ATIM4_TRGO	Reserved



tim_itr11	GTIMB1_TRGO	GTIMB1_TRGO	GTIMB1_TRGO	GTIMB1_TRGO
tim_itr12	GTIMB2_TRGO	GTIMB2_TRGO	GTIMB2_TRGO	GTIMB2_TRGO
tim_itr13	GTIMB3_TRGO	GTIMB3_TRGO	GTIMB3_TRGO	GTIMB3_TRGO
tim_itr14	SHRTIM1_OUT_SYNC2	SHRTIM1_OUT_SYNC2	SHRTIM1_OUT_SYNC2	SHRTIM1_OUT_SYNC2
tim_itr15	SHRTIM2_OUT_SYNC2	SHRTIM2_OUT_SYNC2	SHRTIM2_OUT_SYNC2	SHRTIM2_OUT_SYNC2

### 18.3.3 ATIMx 的 tim\_etr 信号源

表 18-8 tim\_etr 输入信号源

ATIMx	ATIM1	ATIM2	ATIM3	ATIM4
tim_etr0	ATIM1_ETR	ATIM2_ETR	ATIM3_ETR	ATIM4_ETR
tim_etr1	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT
tim_etr2	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT
tim_etr3	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT
tim_etr4	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT
tim_etr5	ADC1_AWD1	ADC1_AWD1	ADC1_AWD1	ADC1_AWD1
tim_etr6	ADC1_AWD2	ADC1_AWD2	ADC1_AWD2	ADC1_AWD2
tim_etr7	ADC1_AWD3	ADC1_AWD3	ADC1_AWD3	ADC1_AWD3
tim_etr8	ADC2_AWD1	ADC2_AWD1	ADC2_AWD1	ADC2_AWD1
tim_etr9	ADC2_AWD2	ADC2_AWD2	ADC2_AWD2	ADC2_AWD2
tim_etr10	ADC2_AWD3	ADC2_AWD3	ADC2_AWD3	ADC2_AWD3
tim_etr11	ADC3_AWD1	ADC3_AWD1	ADC3_AWD1	ADC3_AWD1
tim_etr12	ADC3_AWD2	ADC3_AWD2	ADC3_AWD2	ADC3_AWD2
tim_etr13	ADC3_AWD3	ADC3_AWD3	ADC3_AWD3	ADC3_AWD3

tim_etr_in[15:14]	Reserved
-------------------	----------

### 18.3.4 ATIMx 的刹车 1 输入信号源

表 18-9 ATIMx 的刹车 1 输入信号源

tim_brk input	ATIM1	ATIM2	ATIM3	ATIM4
TIM_BKIN	ATIM1_BKIN	ATIM2_BKIN	ATIM3_BKIN	ATIM4_BKIN
tim_brk_in1	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT
tim_brk_in2	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT
tim_brk_in3	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT
tim_brk_in4	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT
tim_brk_in5	DSMU_BRK[0]	DSMU_BRK[0]	DSMU_BRK[0]	Reserved
tim_brk_in6	Reserved			
tim_brk_in7	DSMU_BRK[2]	Reserved	DSMU_BRK[2]	DSMU_BRK[2]
tim_brk_in8	Reserved			

### 18.3.5 ATIMx 的刹车 2 输入信号源

表 18-10 ATIMx 的刹车 2 输入信号源

tim_brk input	ATIM1	ATIM2	ATIM3	ATIM4
TIM_BKIN2	ATIM1_BKIN2	ATIM2_BKIN2	ATIM3_BKIN2	ATIM4_BKIN2
tim_brk2_in1	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT
tim_brk2_in2	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT
tim_brk2_in3	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT
tim_brk2_in4	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT
tim_brk2_in5	Reserved			
tim_brk2_in6	DSMU_BRK[1]	DSMU_BRK[1]	DSMU_BRK[1]	Reserved

tim_brk2_in7	Reserved			
tim_brk2_in8	DSMU_BRK[3]	Reserved	DSMU_BRK[3]	DSMU_BRK[3]

### 18.3.6 ATIMx 的 tim\_ocref\_clr 输入信号源

表 18-11 ATIMx 的 tim\_ocref\_clr 输入信号源

OCREF CLEAR	ATIMx OCREF clear signal source			
	ATIM1	ATIM2	ATIM3	ATIM4
tim_ocref_clr0	COMP1_OUT	COMP1_OUT	COMP1_OUT	COMP1_OUT
tim_ocref_clr1	COMP2_OUT	COMP2_OUT	COMP2_OUT	COMP2_OUT
tim_ocref_clr2	COMP3_OUT	COMP3_OUT	COMP3_OUT	COMP3_OUT
tim_ocref_clr3	COMP4_OUT	COMP4_OUT	COMP4_OUT	COMP4_OUT
tim_ocref_in[15:7]	Reserved			

## 18.4 ATIMx (x=1-4) 功能描述

### 18.4.1 时基单元

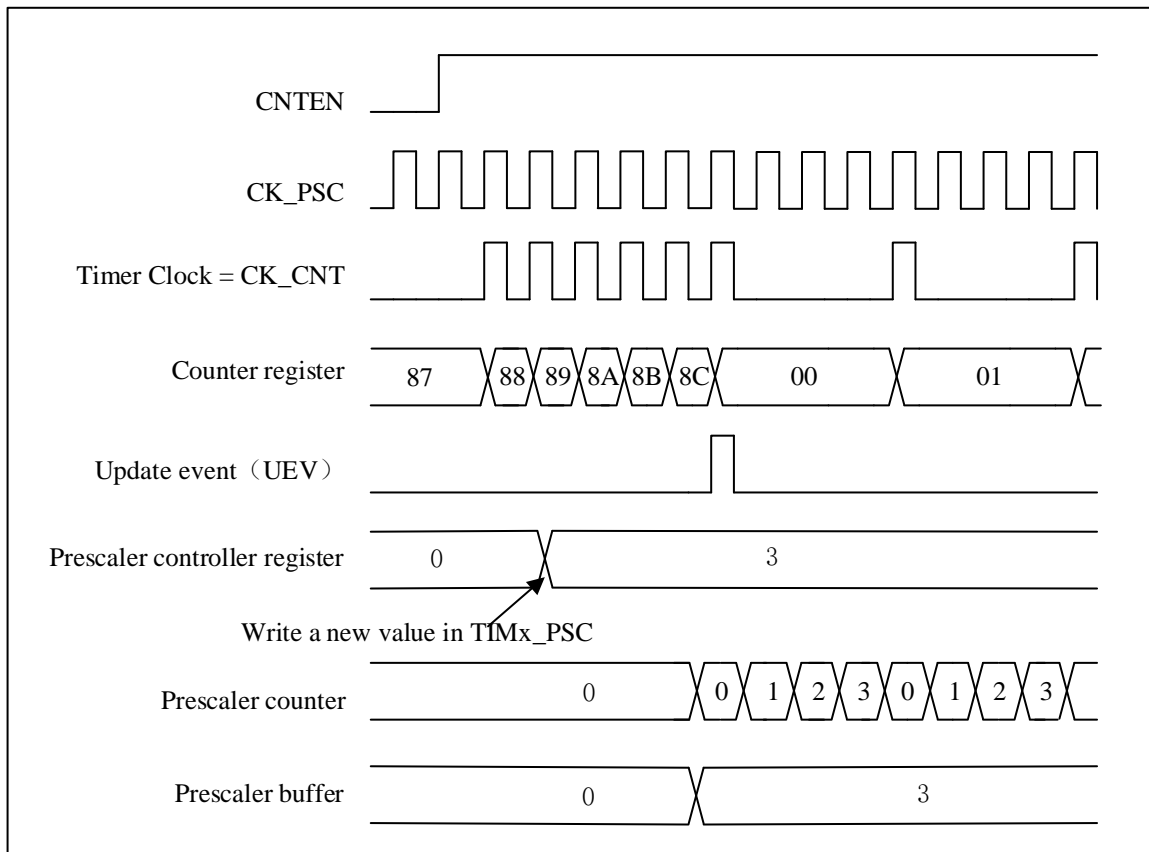
高级控制器的时基单元主要包括：预分频器、计数器、自动重装载寄存器和重复计数器。当时基单元工作时，软件可以随时读取和写入相应的寄存器（TIMx\_PSC、TIMx\_CNT、TIMx\_AR 和 TIMx\_REPCNT）。

根据自动重装载预装载使能位（TIMx\_CTRL1.ARPEN）的设置，预装载寄存器的值会立即或在每次更新事件 UEV 时传输到影子寄存器。TIMx\_CTRL1.UPDIS=0 时，计数器上溢/下溢或软件设置 TIMx\_EVTGEN.UDGN 将生成更新事件。计数器 CK\_CNT 仅在 TIMx\_CTRL1.CNTEN 位被设置时有效。计数器在 TIMx\_CTRL.CNTEN 位被设置后一个时钟周期之后开始计数。

#### 18.4.1.1 预分频器描述

TIMx\_PSC 寄存器由一个 16 位计数器组成，可用于计数器时钟频率按 1 和 65536 之间的任意分频。因为这个控制器带有缓冲器，可以在运行时动态改变。新的预分频器值只有在下次更新事件中才会被采用。

图 18-2 当预分频的参数从 1 到 4，计数器的时序图



## 18.4.2 计数器模式

### 18.4.2.1 向上计数模式

使用向上计数模式，计数器将从 0 计数到寄存器 TIMx\_AR 的值，然后重置为 0。并产生一个计数器溢出事件。

如果设置 TIMx\_CTRL1.UPRS 位(选择更新请求)和 TIMx\_EVTGEN.UDGN 位,将产生一个更新事件(UEV)。但是 TIMx\_STS.UDITF 不会被硬件置起，因此不会产生更新中断或 DMA 更新请求。这是为了避免清除计数器时产生更新中断。

取决于 TIMx\_CTRL1.UPRS 的配置，当发生更新事件时，TIMx\_STS.UDITF 被设置，所有寄存器都会更新：

- 重复计数器被重新加载为 TIMx\_REPCNT 的内容
- 当 TIMx\_CTRL1.ARPEN = 1，预装载寄存器(TIMx\_AR)的值被更新到自动装载影子寄存器
- 预加载值 (TIMx\_PSC) 被重新加载到预分频器影子寄存器中

为了避免在向预装载寄存器中写入新值时更新影子寄存器，可以通过设置 TIMx\_CTRL1.UPDIS=1 来禁止更新事件。

当产生一个更新事件时，计数器仍将被清除，预分频器计数器也将被设置为 0 (但预分频器值将保持不变)。

下图给出一些示例，展示了向上计数模式计数器在不同分频因子下的动作。

图 18-3 当内部时钟分频因子 = 2/N 时，向上计数的时序图

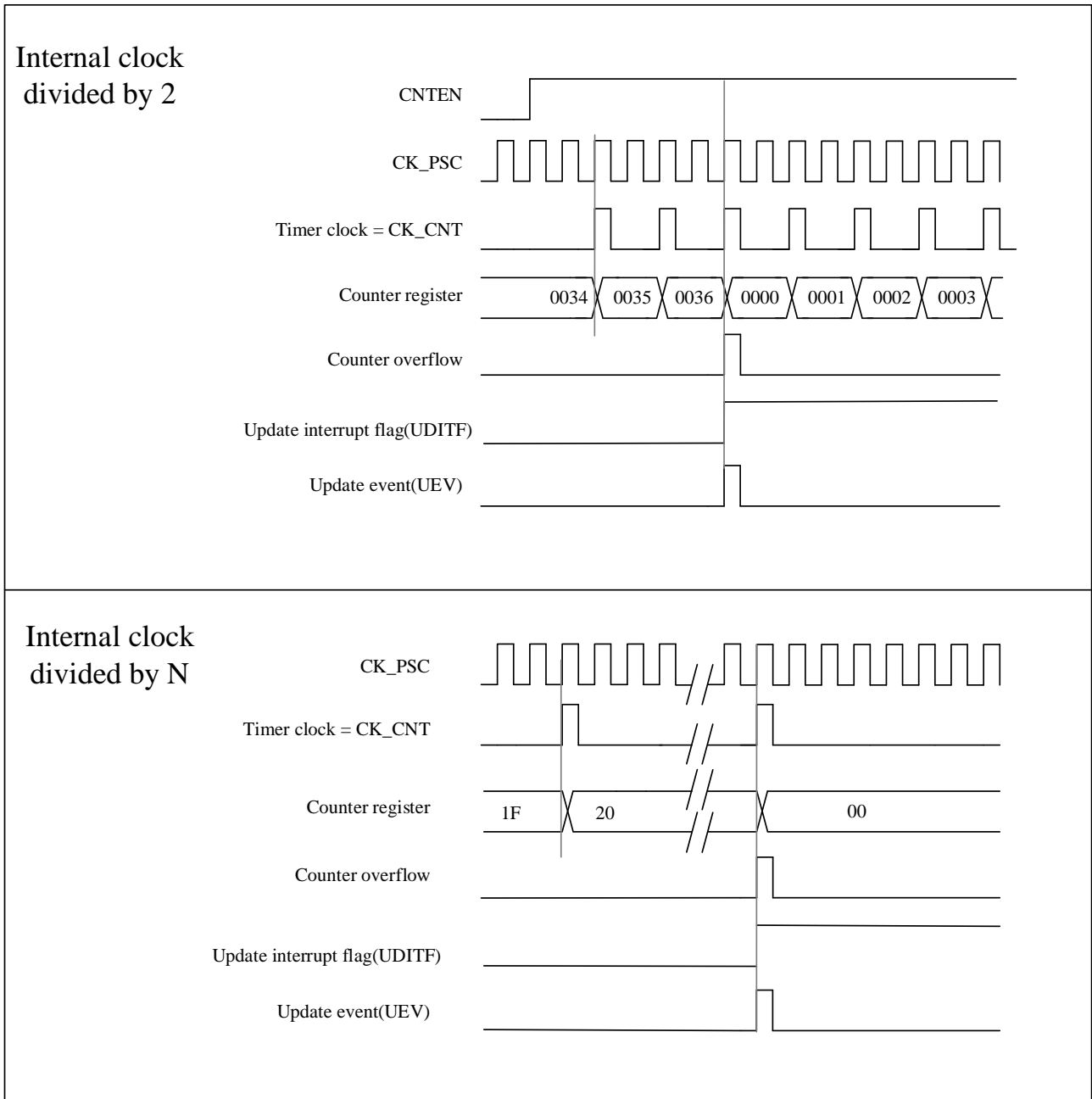
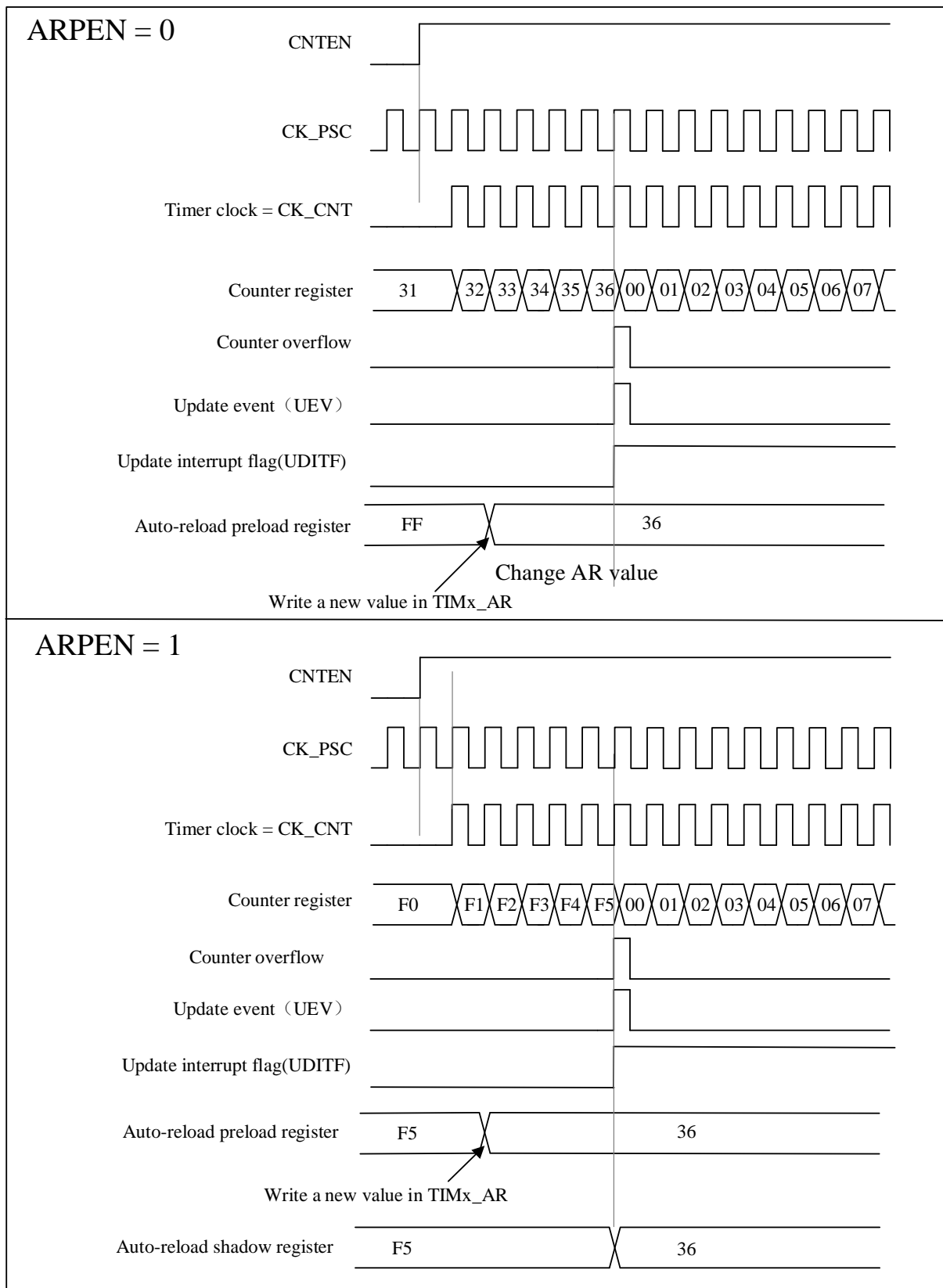


图 18-4 当 ARPEN=0/1 产生更新事件时，向上计数的时序图



### 18.4.2.2 向下计数模式

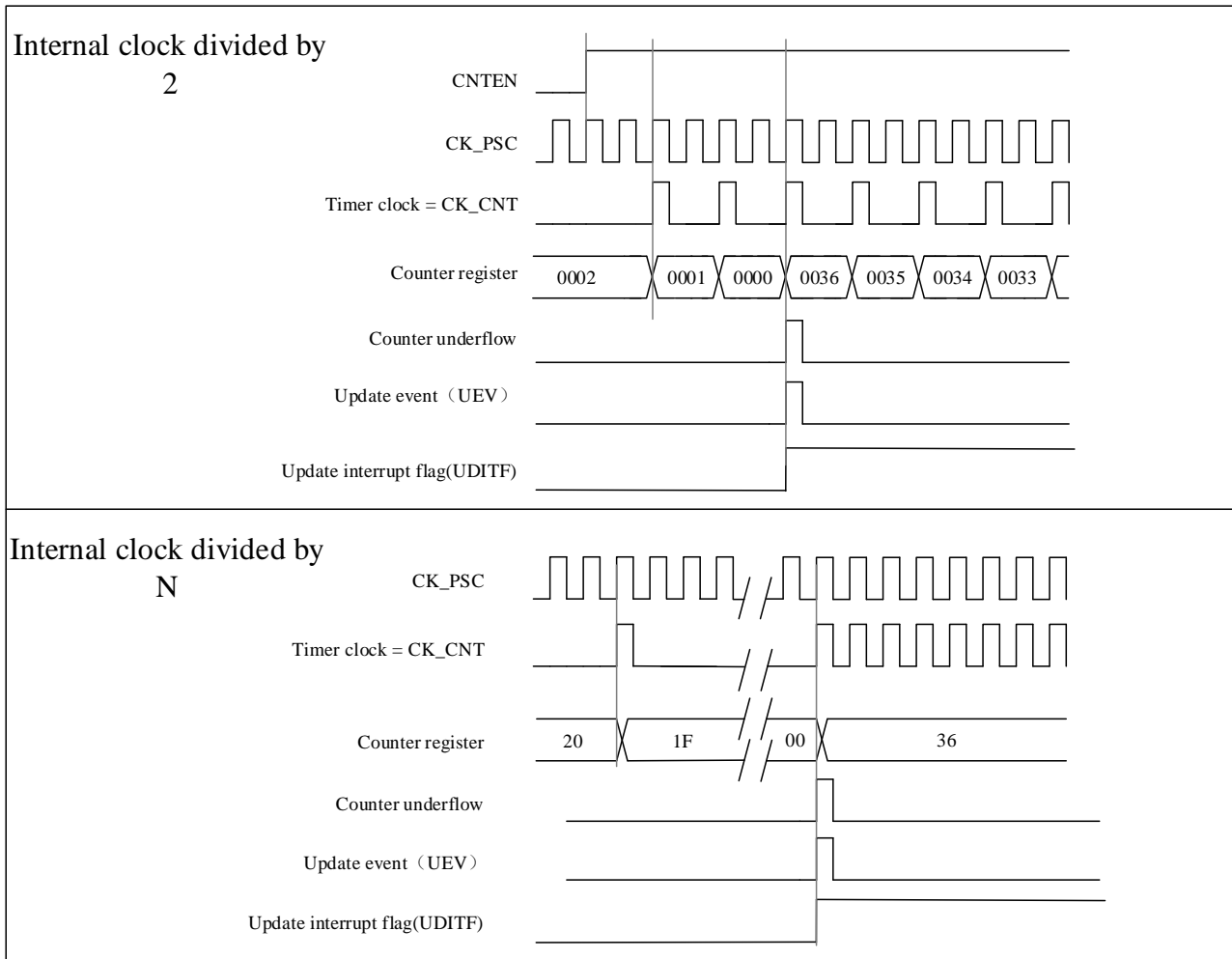
向下计数模式，计数器将从寄存器 TIMx\_AR 的值减至 0，然后从自动重装载值重新开始，并产生计数器向

下溢出事件

向下计数模式和向上计数模式配置更新事件和更新寄存器的过程相同，请查阅 18.4.2.1 章节。

下图给出一些示例，展示了向下计数模式计数器在不同分频因子下的动作。

图 18-5 内部时钟分频因子 = 2/N 时，向下计数时序图



### 18.4.2.3 中央对齐模式

#### 18.4.2.3.1 中央对齐对称模式

在中央对齐模式下，计数器从 0 增加到值 (TIMx\_AR) - 1，产生计数器溢出事件。然后，它从自动重装载值 (TIMx\_AR) 向下计数到 1，并生成一个计数器向下溢出事件。然后计数器重置为 0 并再次开始计数。

在这种模式下，TIMx\_CTRL1.DIR 方向位无效，由硬件更新和指定当前计数方向。当 TIMx\_CTRL1.CAMSEL 位不等于“00”时，中央对齐模式有效。

每次计数上溢和计数下溢时都会生成更新事件。或者，也可以通过设置 TIMx\_EVTGEN.UDGN 位（通过软件或使用从模式控制器）来生成更新事件。在这种情况下，计数器从 0 重新开始计数，预分频器的计数器也从 0 重新开始计数。

注：如果因为计数器溢出而产生更新，自动重装载将在计数器重新载入之前被更新。

图 18-6 内部时钟分频因子 = 2/N，中央对齐时序图

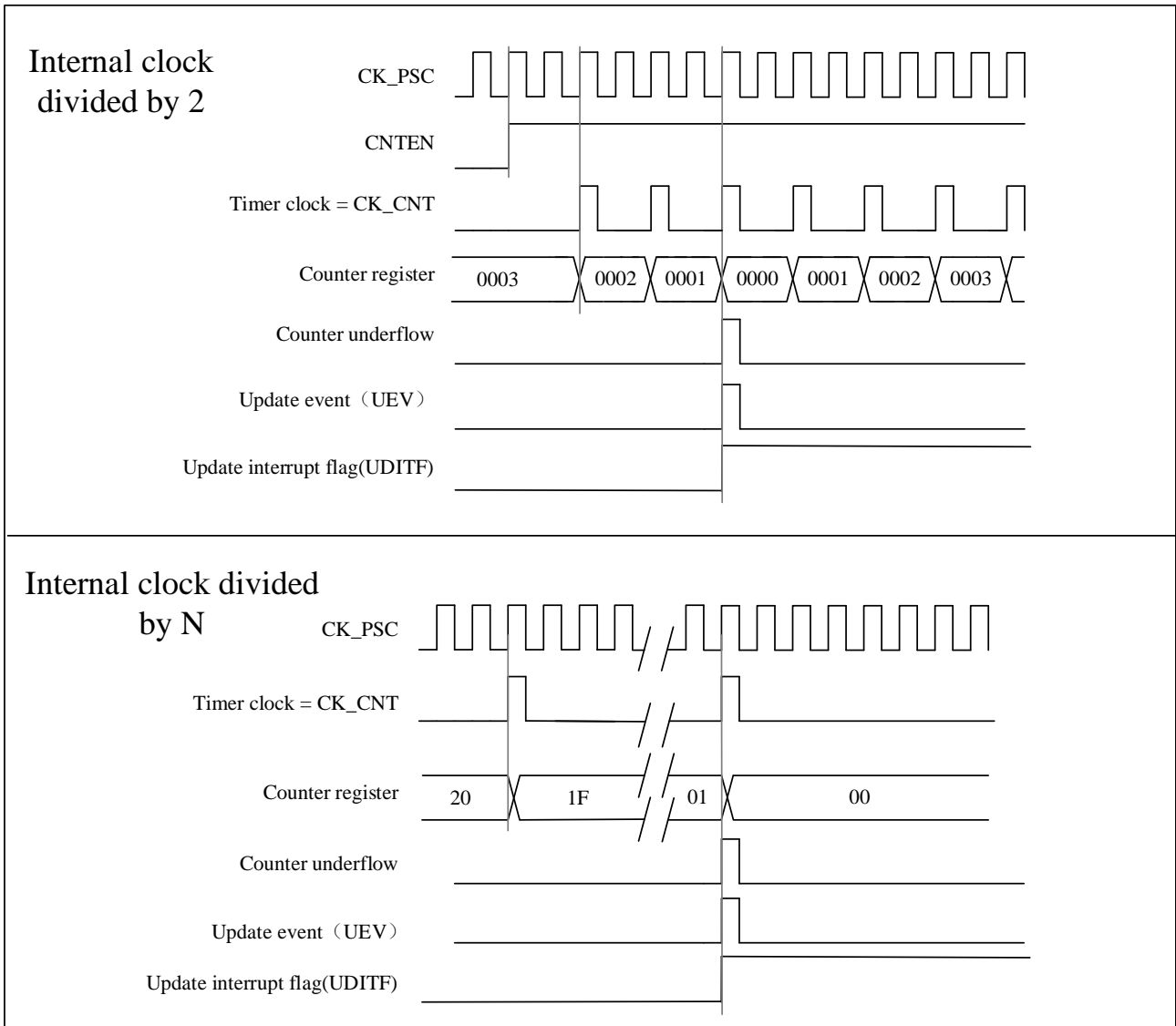
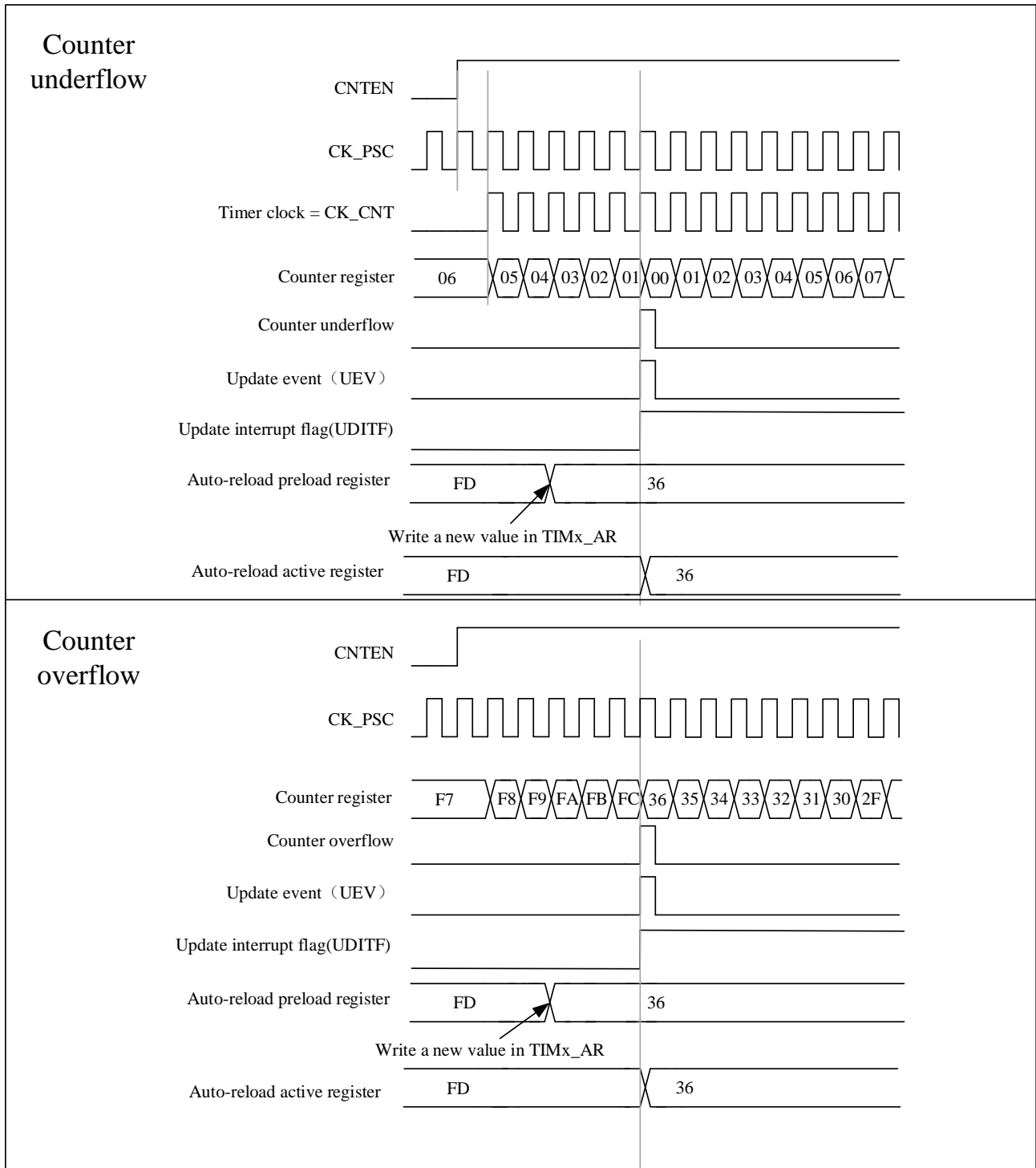




图 18-7 包含计数器上溢和下溢的中央对齐时序图(ARPEN=1)



### 18.4.2.3.2 中央对齐非对称模式

在中央对齐非对称模式下（TIMx\_CTRL1.ASYMMETRIC 为 1，TIMx\_CTRL1.CAMSEL[1:0]为非零），计数器从 0 计数到自动重载值（TIMx\_AR）-1，并产生计数器溢出事件，然后从自动重载值计数到 1，并产生计数器向下溢出事件，然后从 0 重新开始计数。

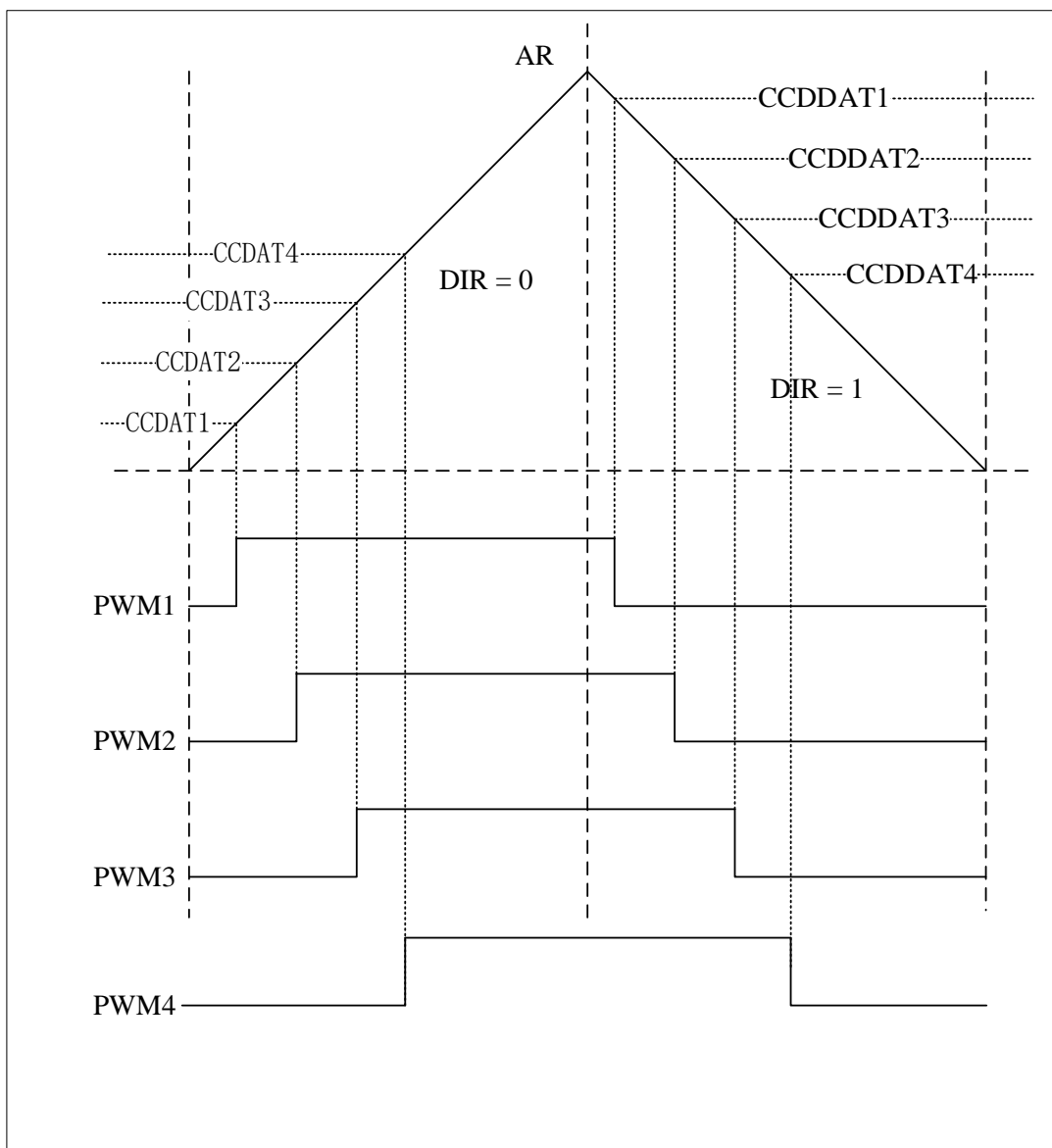
TIMx\_CTRL1.DIR 值不能在此模式下写入，它由硬件更新和指定当前计数方向。

当通道不是 1,2,3,4 时, 比较值是 CCDDAT<sub>x</sub>。当死区时间发生器打开时, 请注意, 当 DIR=0 时, 死区时间插入点是计数器值等于 CCDDAT<sub>x</sub> (x=1,2,3,4), 当 DIR=1 时, 死区时间插入点是计数器值等于 CCDDAT<sub>x</sub> (x=1,2,3,4)。

每次计数上溢和计数下溢时都会产生更新事件。或者, 也可以通过设置 TIM<sub>x</sub>\_EVTGEN.UDGN 位 (通过软件或使用从模式控制器) 产生更新事件。在这种情况下, 在这种情况下, 计数器从 0 重新开始计数, 预分频器的计数器也从 0 重新开始计数。

注: 如果因为计数器溢出而产生更新, 自动重载将在计数器重新载入之前被更新。

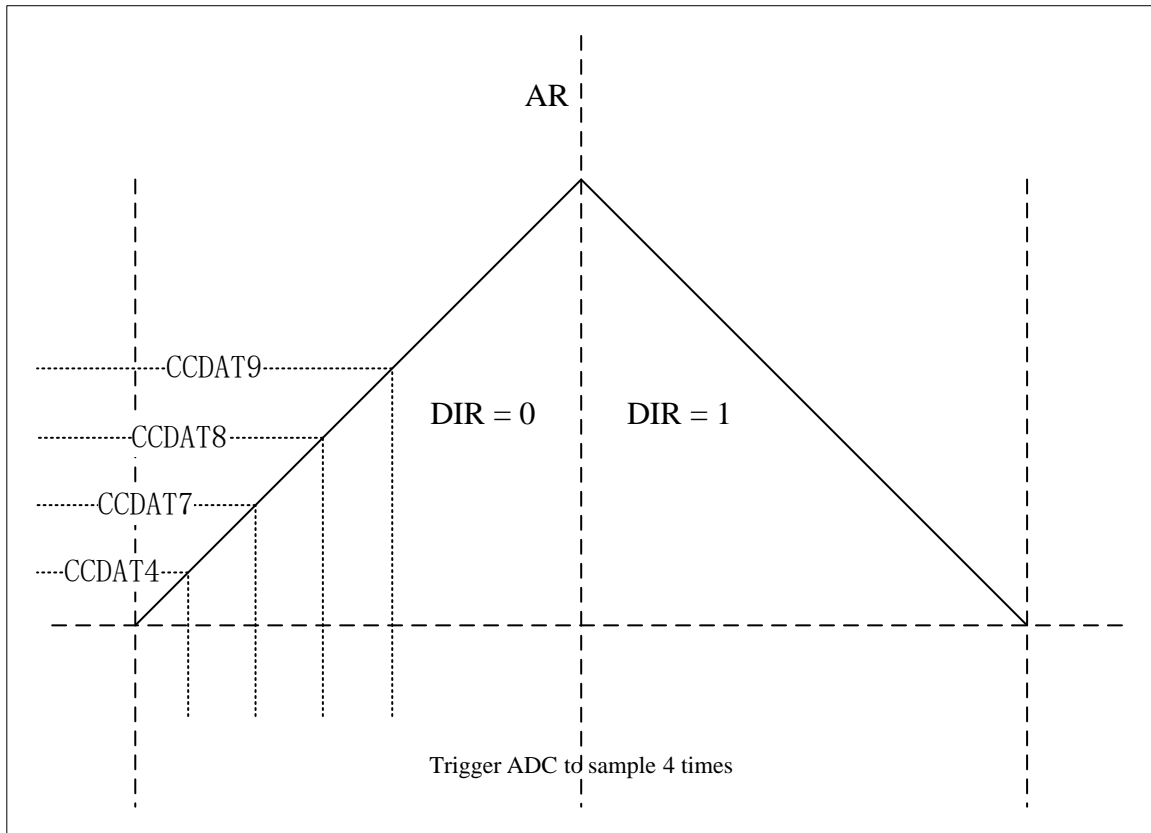
图 18-8 非对称模式对应的输出波形



由于增加了 CC7/CC8/CC9 三个通道的触发功能, 并对 CC4 的触发功能进行了修改, 现在描述 CC4/CC7/CC8/CC9 通道对 ADC 触发的描述。

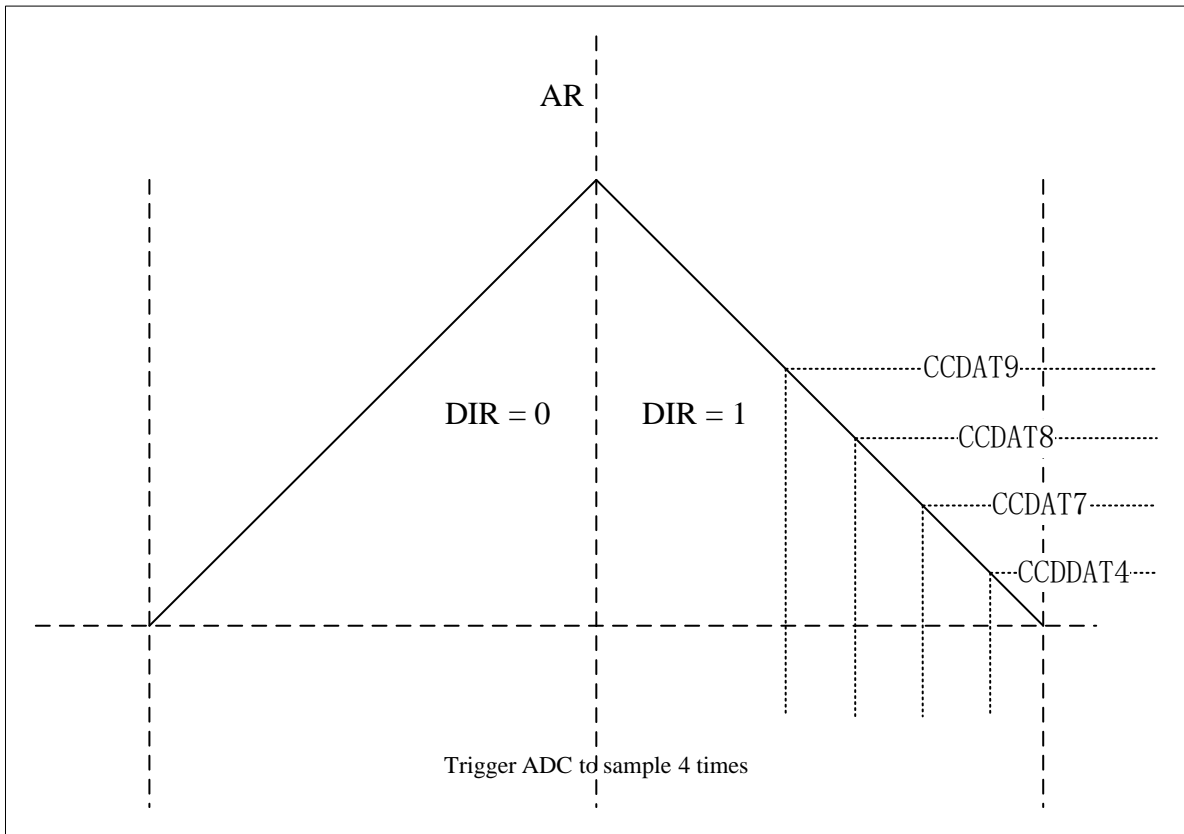
当定时器在中央对齐非对称模式下工作时, 每个通道 (CC4/CC7/CC8/CC9) 都可以单独触发 ADC。如果 TIM<sub>x</sub>\_CTRL1.CMODE[1:0]=00, 在 CCDDAT<sub>x</sub>(x=4,7,8,9)中, CCDDAT<sub>x</sub> 的 CCDDAT 值仅在 DIR=0 时触发 ADC。

图 18-9 CCDAT<sub>x</sub>(x=4,7,8,9),当 DIR = 0 时触发 ADC



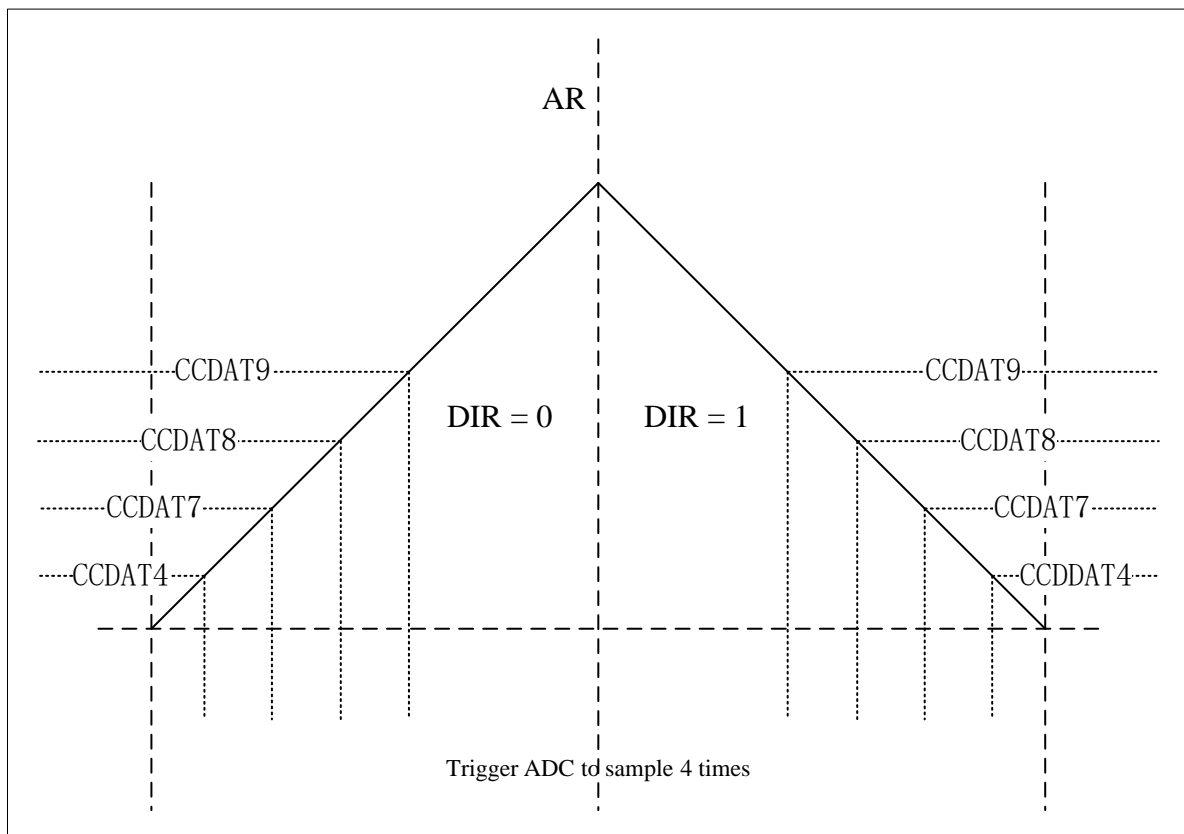
如果 TIM<sub>x</sub>\_CTRL1.CMODE [1:0]=01, 在 CCDAT<sub>x</sub> (x=4,7,8,9) 中, CCDAT<sub>x</sub> 的 CCDAT/CCDDAT 值仅在 DIR=1 时触发 ADC。

图 18-10 CCDAT<sub>x</sub>(x=4,7,8,9), 当 DIR = 1 时触发 ADC



如果  $TIMx\_CTRL1.CMODE[1:0]=1x$ , 在  $CCDATx$  ( $x=4,7,8,9$ ) 中, 当  $DIR=0$  或  $DIR=1$  时,  $CCDATx$  的  $CCDAT/CCDDAT$  值将触发 ADC.

图 18-11 CCDATx(x=4,7,8,9), 当 DIR = 1 或 DIR = 0 时触发 ADC



在上图中，通道 4 向上计数至 CCDAT4 或向下计数至 CCDDAT4，通道 7/8/9 向上计数或向下计数至 CCDAT7/8/9，触发有效。

### 18.4.3 重复计数器

第 18.4.1 章节的基本单元描述了生成更新事件（UEV）的条件。更新事件（UEV）实际上仅在重复计数器达到零时生成，这对于生成 PWM 信号非常有用。

这意味着每 N+1 计数器溢出或下溢一次，数据就会从预加载寄存器传输到影子寄存器，其中 N 是 TIMx\_REPCNT 中的值。

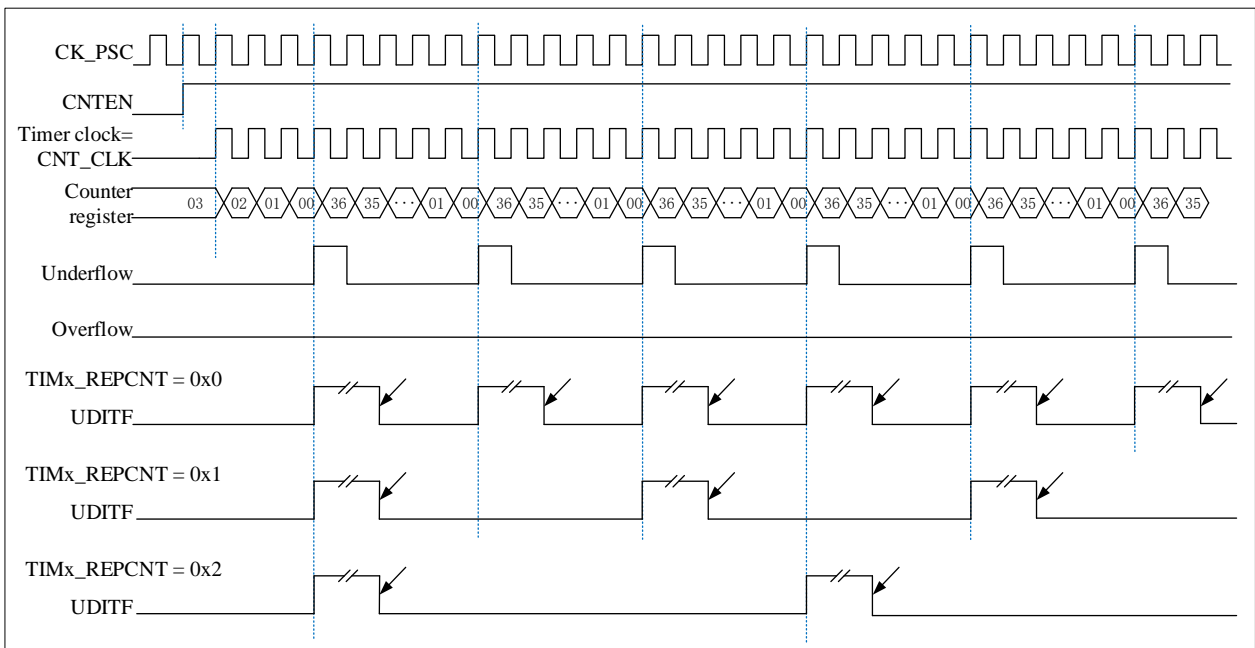
重复计数器递减：

- 在向上计数模式下，每次计数器达到最大值时，都会发生溢出
- 在向下计数模式下，每次计数器减至最小值时，都会发生下溢
- 在中央对齐模式下，每次计数上溢或下溢时

其重复率由 TIMx\_REPCNT 寄存器的值定。

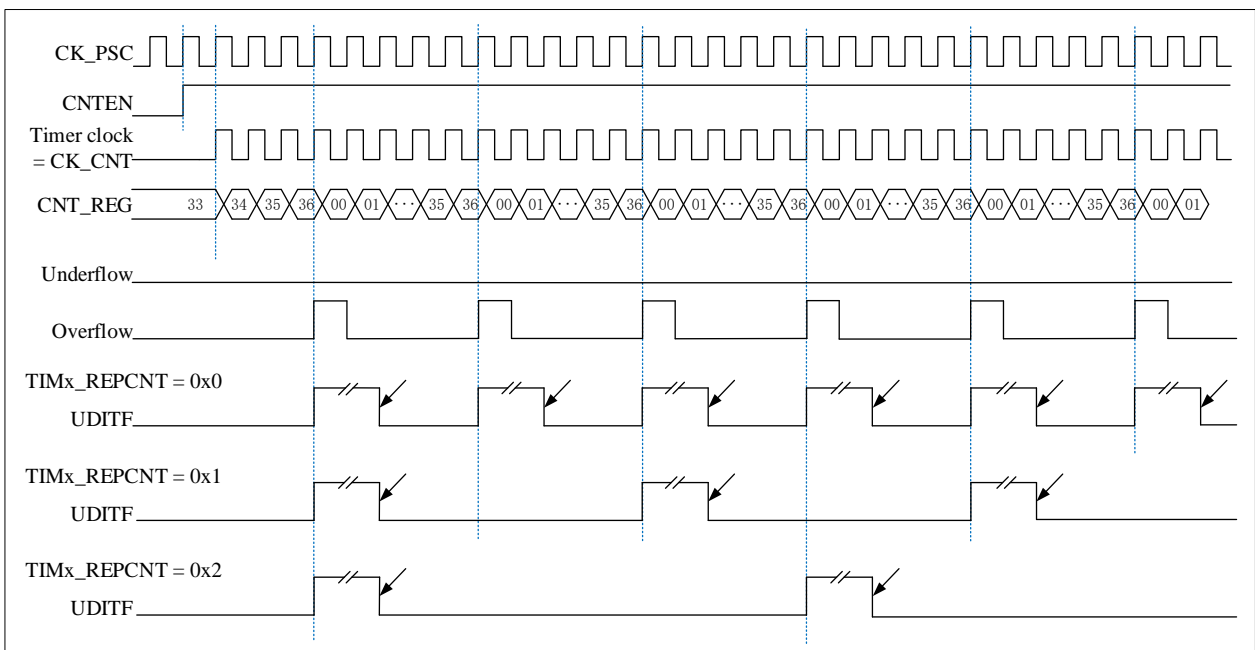
重复计数器具有自动重新加载功能。无论重复计数器的值如何，更新事件（通过从模式控制器设置 TIMx\_EVTGEN.UDGN 或硬件生成）都会立即发生。

图 18-12 向下计数模式下的重复计数时序图

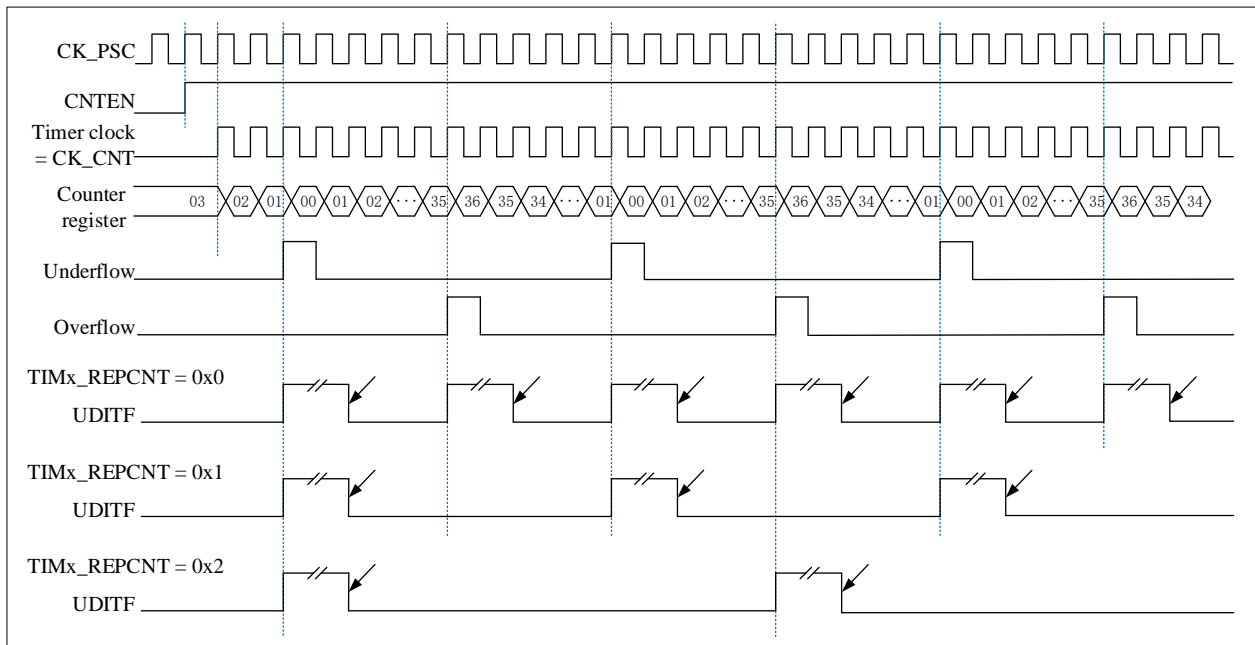


↓  
软件清除

图 18-13 向上计数模式下的重复计数时序图



↓  
软件清除

**图 18-14 中央对齐模式下的重复计数时序图**


↓  
软件清除

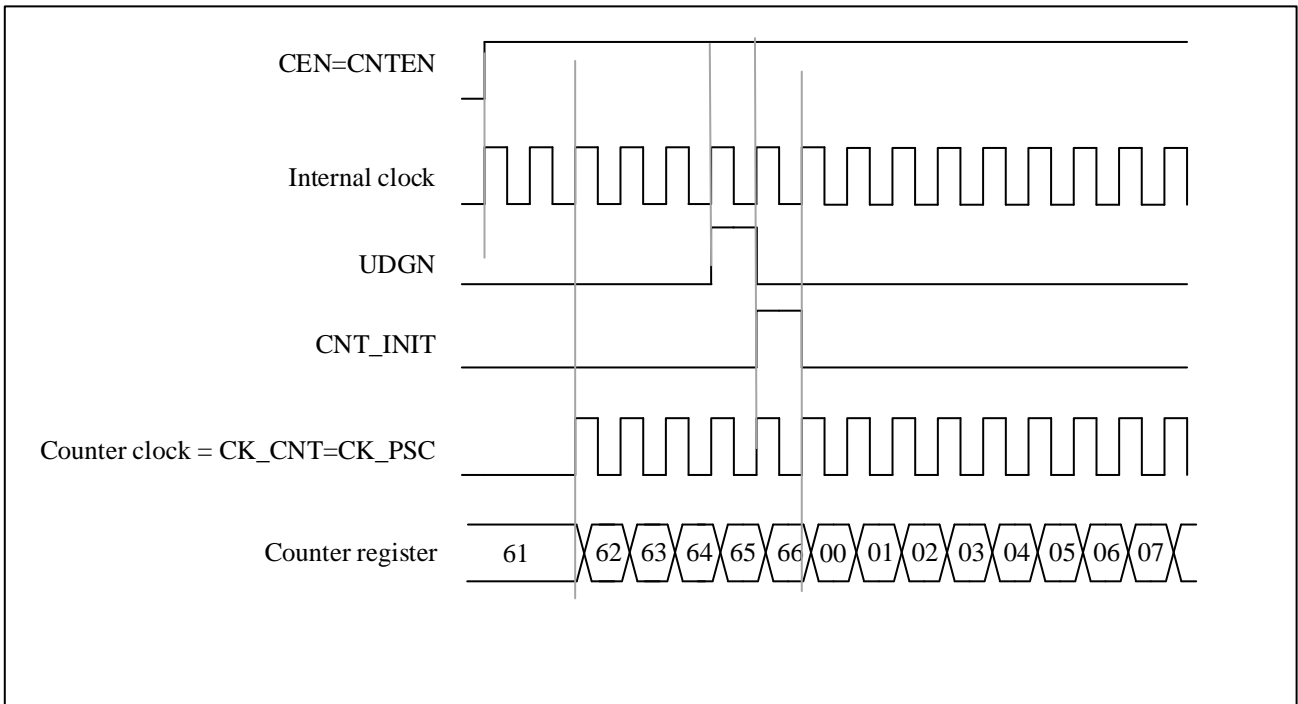
## 18.4.4 时钟选择

- CK\_INT 高级控制定时器的内部时钟：CK\_INT：
- 两种外部时钟模式：
  - 外部输入引脚
  - 外部触发输入 ETR
- 内部触发输入 (ITRx)：一个定时器用作另一个定时器的预分频器

### 18.4.4.1 内部时钟源(CK\_INT)

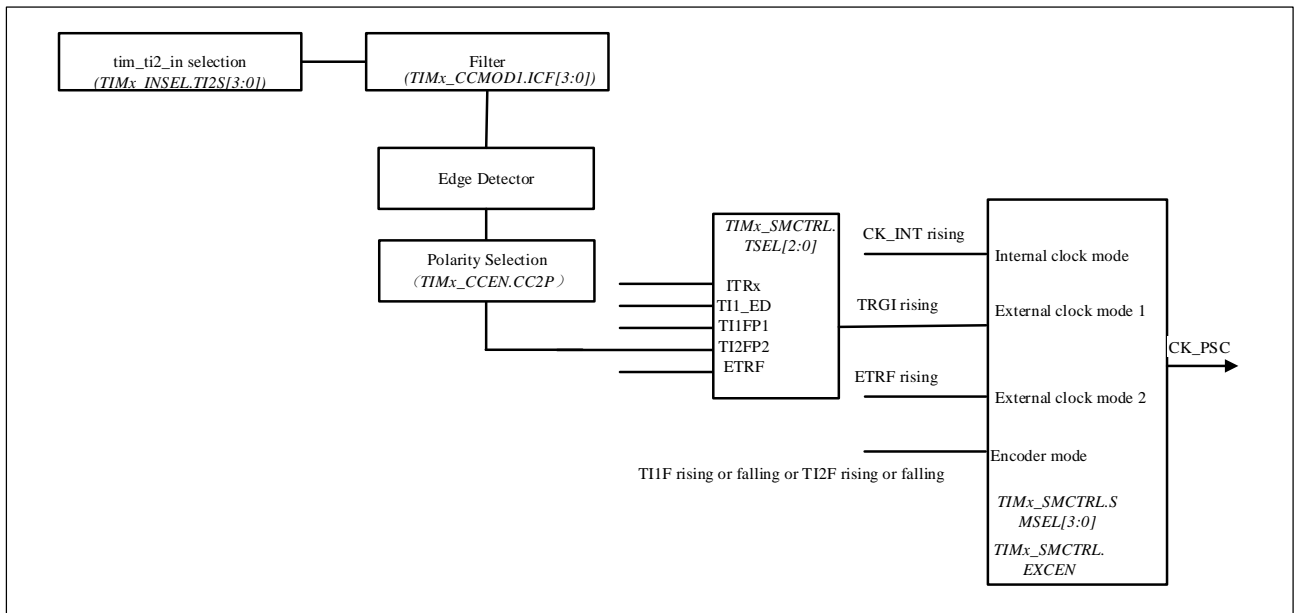
当 TIMx\_SMCTRL.SMSEL 等于“0000”时，从模式控制器被禁用。这三个控制位 (TIMx\_CTRL1.CNTEN、TIMx\_CTRL1.DIR、TIMx\_EVTGEN.UDGN) 只能由软件改变 (TIMx\_EVTGEN.UDGN 除外，它保持自动清零)。前提是 TIMx\_CTRL1.CNTEN 位被软写为‘1’，预分频器的时钟源由内部时钟 CK\_INT 提供。

图 18-15 正常模式下的控制电路，内部时钟除以 1



### 18.4.4.2 外部时钟源模式 1

图 18-16 TI2 外部时钟连接示例



通过配置 TIMx\_SMCTRL.SMSEL 等于‘0111’选择该模式。计数器可以配置为在所选输入的时钟上升沿或下降沿进行计数。

例如，配置向上计数模式在 TI2 输入的时钟上升沿计数，配置步骤如下：

- 配置 TIMx\_CCMOD1.CC2SEL 等于‘01’，CC2 通道配置为输入，IC2 映射到 TI2
- 配置 TIMx\_CCEN.CC2P 等于‘0’，选择时钟上升沿极性



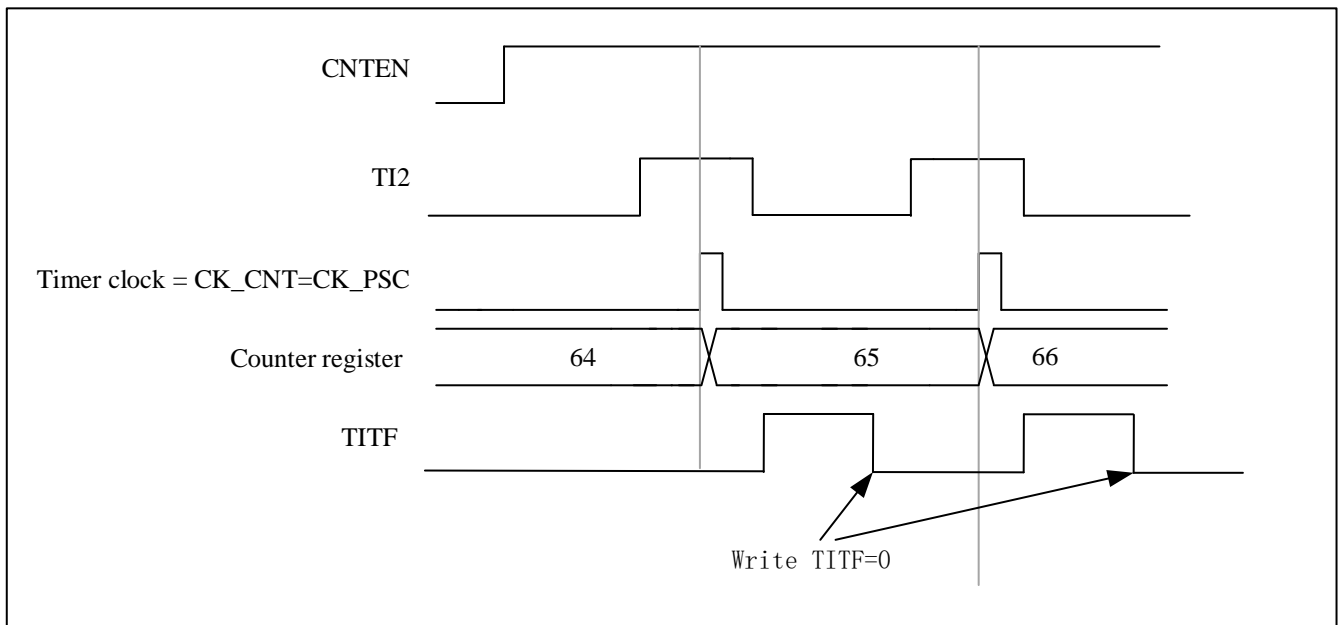
- 通过配置 TIMx\_CCMOD1.IC2F[3:0] 选择输入滤波器带宽（如果不需要滤波器，保持 IC2F 位为‘0000’）
- 配置 TIMx\_SMCTRL.SMSEL 等于‘0111’，选择定时器外部时钟模式 1
- 配置 TIMx\_INSEL 寄存器 TIMx\_INSEL.TI2S [3:0] 等于‘0000’，选择 TIM\_CH2 作为 TI2 输入
- 配置 TIMx\_SMCTRL.TSEL 等于‘110’，选择 TI2 作为触发输入源
- 配置 TIMx\_CTRL1.CNTEN 等于 ‘1’ 以启动计数器

注意：捕获预分频器不用于触发，所以不需要配置

当定时器时钟的上升沿出现在 TI2=1 时，计数器计数一次并且 TIMx\_STS.TITF 标志被拉高。

TI2 的上升沿与计数器实际时钟之间的延迟取决于 TI2 输入端的再同步电路。

图 18-17 外部时钟模式 1 的控制电路

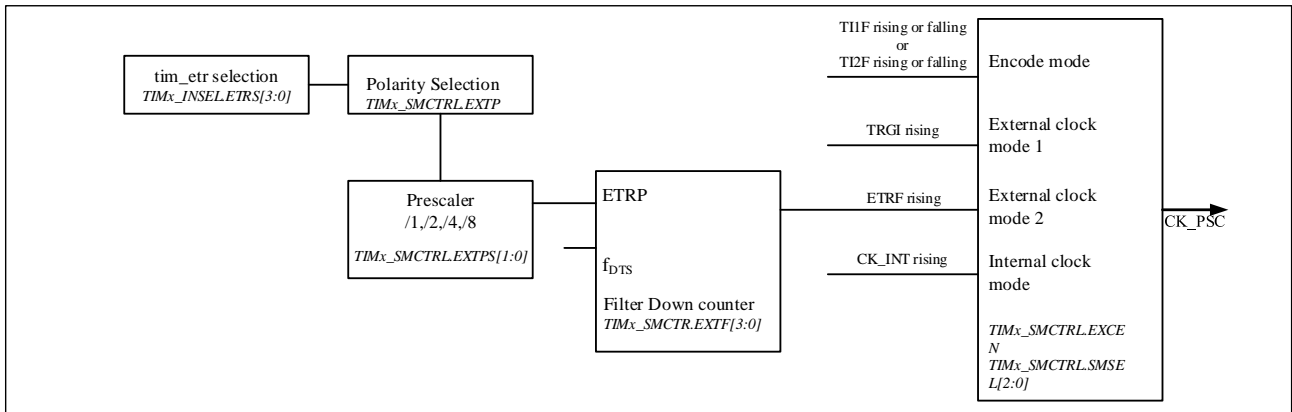


### 18.4.4.3 外部时钟源模式 2

此模式由 TIMx\_SMCTRL.EXCEN 选择等于 1。计数器可以在外部触发输入 ETR 的每个上升沿或下降沿计数。

下图为外部时钟源模式 2 的外部触发输入模块示意图。

图 18-18 外部触发输入框图

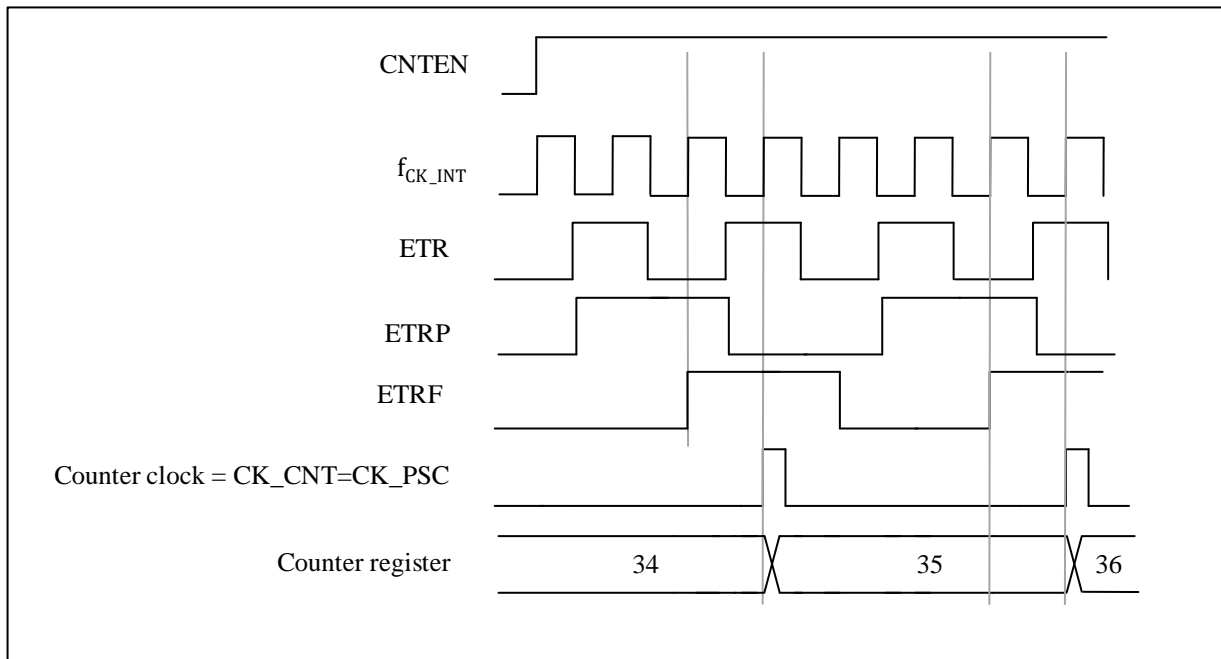


例如，使用以下配置步骤使向上计数器在 ETR 上每 2 个上升沿计数一次。

- 由于在这种情况下不需要滤波器，因此使 `TIMx_SMCTRL.EXTF[3:0]` 等于‘0000’
- 通过使 `TIMx_SMCTRL.EXTPS[1:0]` 等于 ‘01’ 来配置预分频器
- 通过设置 `TIMx_SMCTRL.EXTP` 等于‘0’来选择 ETR 引脚的极性，ETR 的上升沿有效
- 外部时钟模式 2 通过设置 `TIMx_SMCTRL.EXCEN` 等于‘1’来选择
- 通过设置 `TIMx_CTRL1.CNTEN` 等于“1”启动计数器。

计数器每 2 个 ETR 上升沿计数一次。ETR 的上升沿与计数器的实际时钟之间的延迟是由于 ETRP 信号上的再同步电路造成的。

图 18-19 外部时钟模式 2 的控制电路

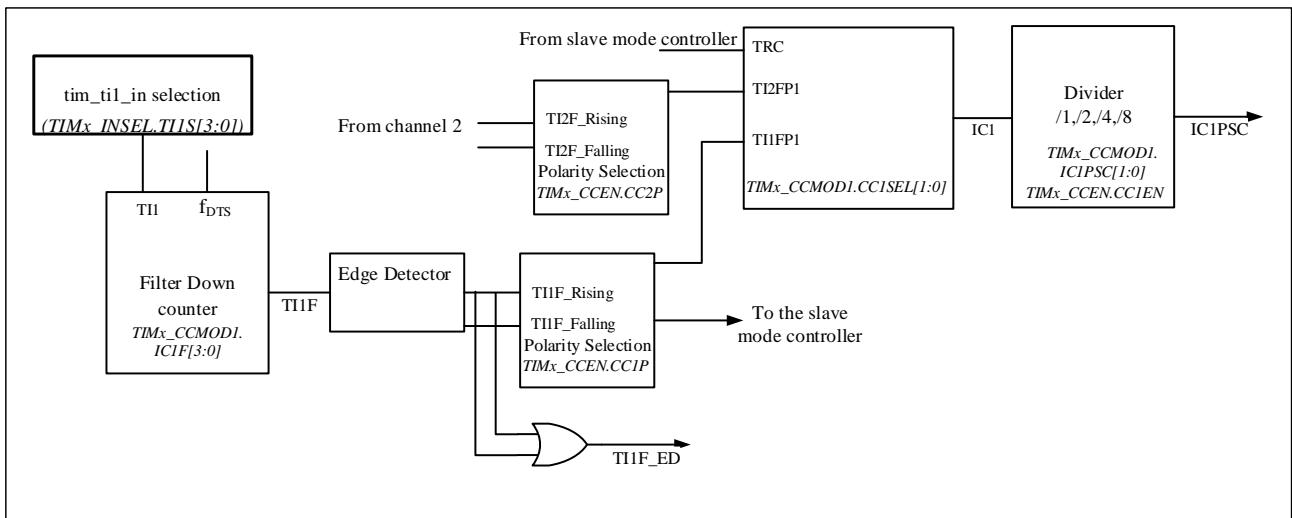


### 18.4.5 捕获/比较通道

捕获/比较通道包括捕获/比较寄存器和影子寄存器。输入部分由数字滤波器、多路复用器和预分频器组成。输出部分包括比较器和输出控制。

输入信号  $TIx$  被采样和滤波以产生信号  $TIxF$ 。然后由极性选择功能的边沿检测器生成信号 ( $TIxF\_rising$  或  $TIxF\_falling$ )，其极性由  $TIMx\_CCEN.CCxP$  位选择。该信号可用作从模式控制器的触发输入。同时，信号  $ICx$  经过分频后送入捕获寄存器。下图显示了捕获/比较通道的框图。

图 18-20 捕获/比较通道 (例如: 通道 1 输入级)



输出部分生成一个中间波形  $OCxRef$  (高电平有效) 作为参考。极性作用在链的末端。

图 18-21 捕获/比较通道 1 主电路

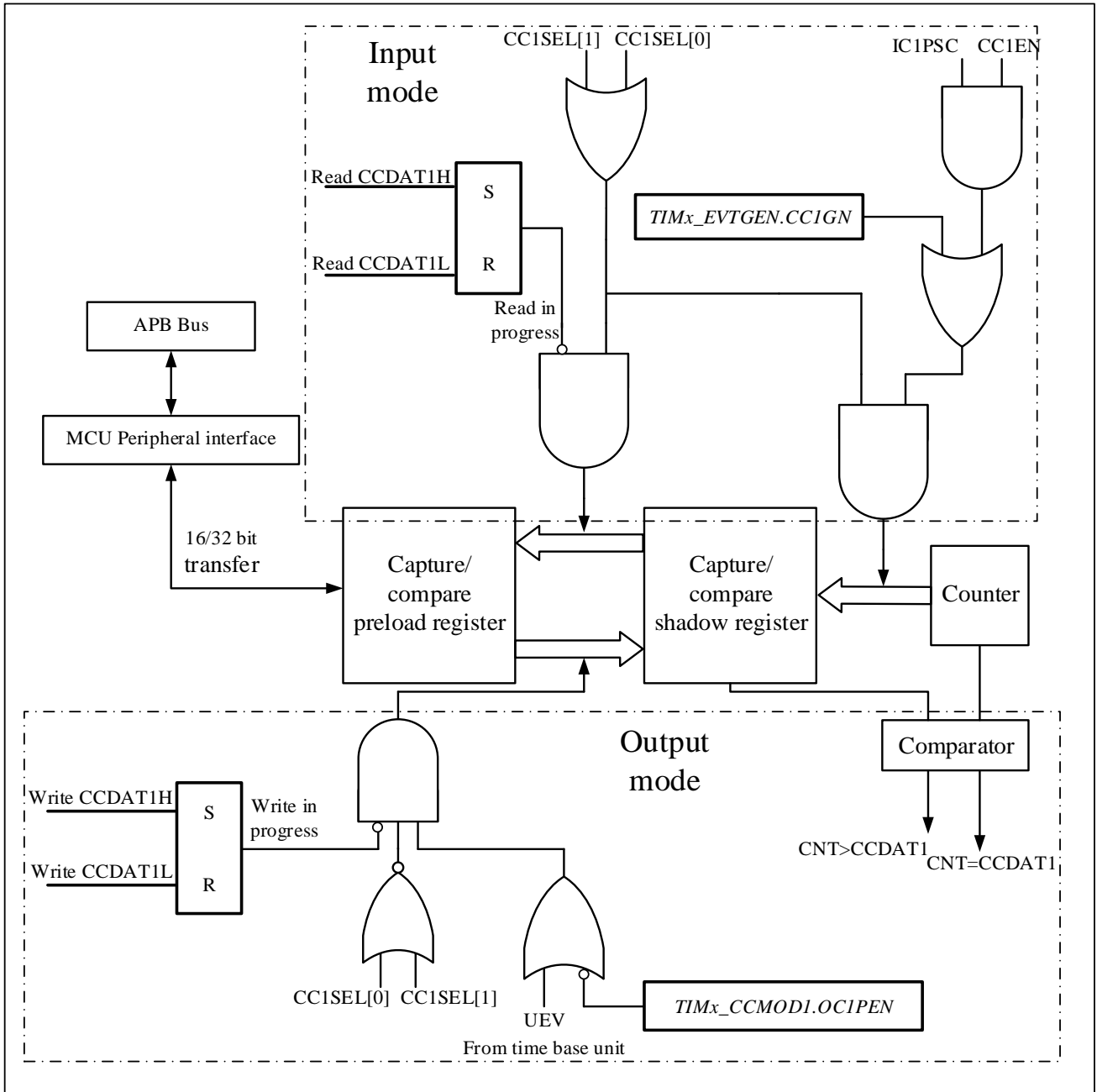
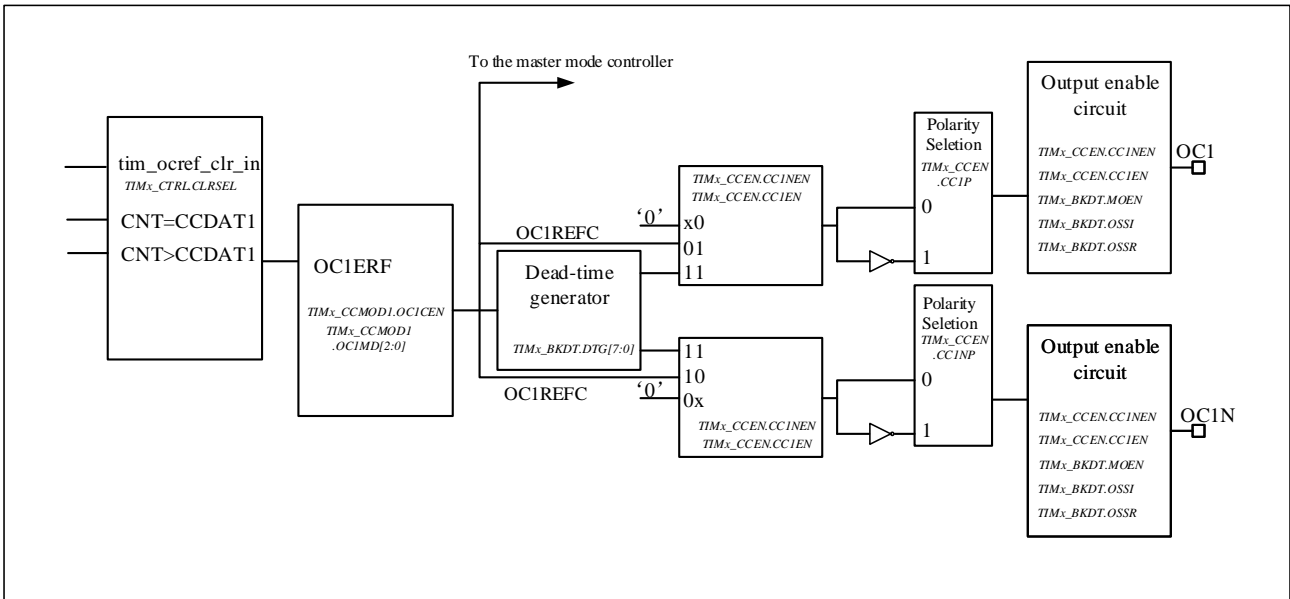


图 18-22 通道 x 的输出部分 (x= 1,2,3,4; 以通道 1 为例子)



在捕获/比较时，读取和写入始终访问预加载的寄存器。两个具体工作流程如下：

在捕获模式下，捕获实际上是在影子寄存器中完成的，然后将影子寄存器中的值复制到预加载寄存器中。

在比较模式下，与捕获模式相反，预加载寄存器的值被复制到影子寄存器中，并与计数器进行比较。

### 18.4.6 输入捕获模式

在捕获模式下，TIMx\_CCDATx 寄存器用于在检测到 ICx 信号后锁存计数器值。

有一个捕获中断标志 TIMx\_STS.CCxITF，如果相应的中断使能被拉高，它可以发出中断或 DMA 请求。

TIMx\_STS.CCxITF 位在发生捕获事件时由硬件设置，并由软件或读取 TIMx\_CCDATx 寄存器清零。

当 TIMx\_CCDATx 寄存器中的计数器值被捕获并且 TIMx\_STS.CC1ITF 被拉高时，重复捕获标志 TIMx\_STS.CCxOCF 设置为 1。与前者不同，TIMx\_STS.CCxOCF 通过向其写入 0 来清除。

为实现 TI1 输入的上升沿将计数器值捕获到 TIMx\_CCDAT1 寄存器中，配置流程如下：

■ 选择有效输入：

将 TIMx\_CCMOD1.CC1SEL 配置为“01”。此时输入为 CC1 通道，IC1 映射到 TI1。

■ 编程所需的输入滤波器持续时间：

通过配置 TIMx\_CCMODx.ICxF 位来定义 TI1 输入的采样频率和数字滤波器的长度。示例：如果输入信号抖动多达 5 个内部时钟周期，我们必须选择比这 5 个时钟周期更长的滤波器持续时间。当检测到具有新电平的 8 个连续样本（以 f<sub>DTs</sub> 频率采样）时，我们可以验证 TI1 上的转换。然后配置 TIMx\_CCMOD1.IC1F 到“0011”

■ 通过配置 TIMx\_CCEN.CC1P=0，选择上升沿作为 TI1 通道的有效跳变极性

■ 配置输入预分频器。在本例中，配置 TIMx\_CCMOD1.IC1PSC= ‘00’ 以禁用预分频器，因为我们想要捕获每个有效转换

- 通过配置 `TIMx_CCEN.CC1EN = '1'` 启用捕获。

如果要使能 DMA 请求，可以配置 `TIMx_DINTEN.CC1DEN=1`。如果要使能相关中断请求，可以配置 `TIMx_DINTEN.CC1IEN=1`。

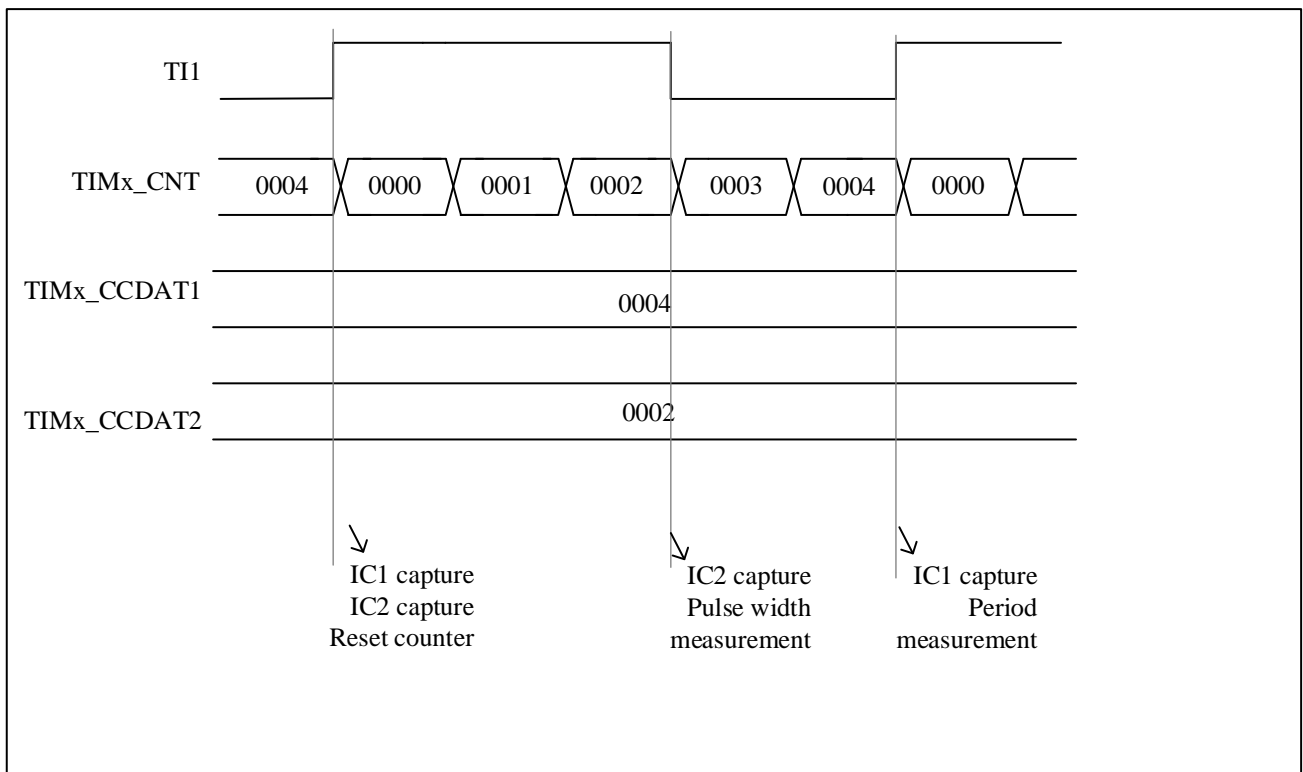
### 18.4.7 PWM 输入模式

PWM 输入模式和普通输入捕获模式有一些区别，包括：

- 两个 ICx 信号映射到同一个 TIx 输入
- 两个 ICx 信号在极性相反的边沿有效
- 选择两个 TIxFP 信号之一作为触发输入
- 从机模式控制器配置为复位模式

例如，下面的配置流程可以用来知道 TI1 上 PWM 信号的周期和占空比（这取决于 CK\_INT 的频率和预分频器的值）。

- 配置 `TIMx_CCMOD1.CC1SEL` 等于 '01' 以选择 TI1 作为 `TIMx_CCDAT1` 的有效输入
- 配置 `TIMx_CCEN.CC1P` 等于 '0' 选择滤波定时器输入 1(TI1FP1) 的有效极性，在上升沿有效
- 配置 `TIMx_CCMOD1.CC2SEL` 等于 '10' 选择 TI1 作为 `TIMx_CCDAT2` 的有效输入
- 配置 `TIMx_CCEN.CC2P` 等于 '1' 选择滤波定时器输入 2(TI1FP2) 的有效极性，下降沿有效
- 配置 `TIMx_SMCTRL.TSEL` 等于 '101' 选择 Filtered timer input 1 (TI1FP1) 作为有效触发输入
- 配置 `TIMx_SMCTRL.SMSEL` 等于 '0100' 配置从模式控制器为复位模式
- 配置 `TIMx_CCEN.CC1EN` 等于 '1' 和 `TIMx_CCEN.CC2EN` 等于 '1' 以启用捕获

**图 18-23 PWM 输入模式时序**


由于只有滤波器定时器输入 1 (TI1FP1) 和滤波器定时器输入 2 (TI2FP2) 连接到从模式控制器, 因此 PWM 输入模式只能与 TIMx\_CH1/TIMx\_CH2 信号一起使用。

### 18.4.8 强制输出模式

在输出模式 (TIMx\_CCMODx.CCxSEL 等于 '00') 下, 软件可以直接将输出比较信号强制为有效或无效电平。

用户可以设置 TIMx\_CCMODx.OCxMD 等于 '101' 强制输出比较信号为有效电平。OCxREF 将被强制为高电平, OCx 得到与 CCxP 极性相反的值。另一方面, 用户可以设置 TIMx\_CCMODx.OCxMD 等于 '100' 强制输出比较信号为无效电平, 即 OCxREF 被强制为低电平。

在此模式下, TIMx\_CCDATx 影子寄存器和计数器的值仍然相互比较。

输出比较寄存器 TIMx\_CCDATx 和计数器 TIMx\_CNT 之间的比较对 OCxREF 没有影响。并且仍然可以设置标志。因此, 仍然可以发送中断和 DMA 请求。

### 18.4.9 输出比较模式

用户可以使用此模式来控制输出波形, 或指示一段时间已过。

当捕获/比较寄存器和计数器的值相同时, 输出比较函数的操作如下:

- TIMx\_CCMODx.OCxMD 为输出比较模式, TIMx\_CCEN.CCxP 为输出极性。当比较匹配时, 如果设置 TIMx\_CCMODx.OCxMD 等于 '000', 则输出管脚将保持其电平; 如果设置 TIMx\_CCMODx.OCxMD 等于 '001', 则设置输出管脚有效; 如果设置 TIMx\_CCMODx.OCxMD 等于 '010', 则输出管脚将为设置为无效; 如果设置 TIMx\_CCMODx.OCxMD 等于 '011', 则输出引脚将设置为翻转。

- 设置 TIMx\_STS.CCxITF
- 如果用户设置了 TIMx\_DINTEN.CCxIEN，将产生相应的中断
- 如果用户设置 TIMx\_DINTEN.CCxDEN 并设置 TIMx\_CTRL2.CCDSEL 选择 DMA 请求，将发送 DMA 请求

用户可以设置 TIMx\_CCMODx.OCxPEN 来选择是否使用捕获/比较预加载寄存器 (TIMx\_CCxDATx) 来选择捕获/比较影子寄存器。

时间分辨率是计数器的一个计数周期。

在单脉冲模式下，输出比较模式也可用于输出单脉冲。

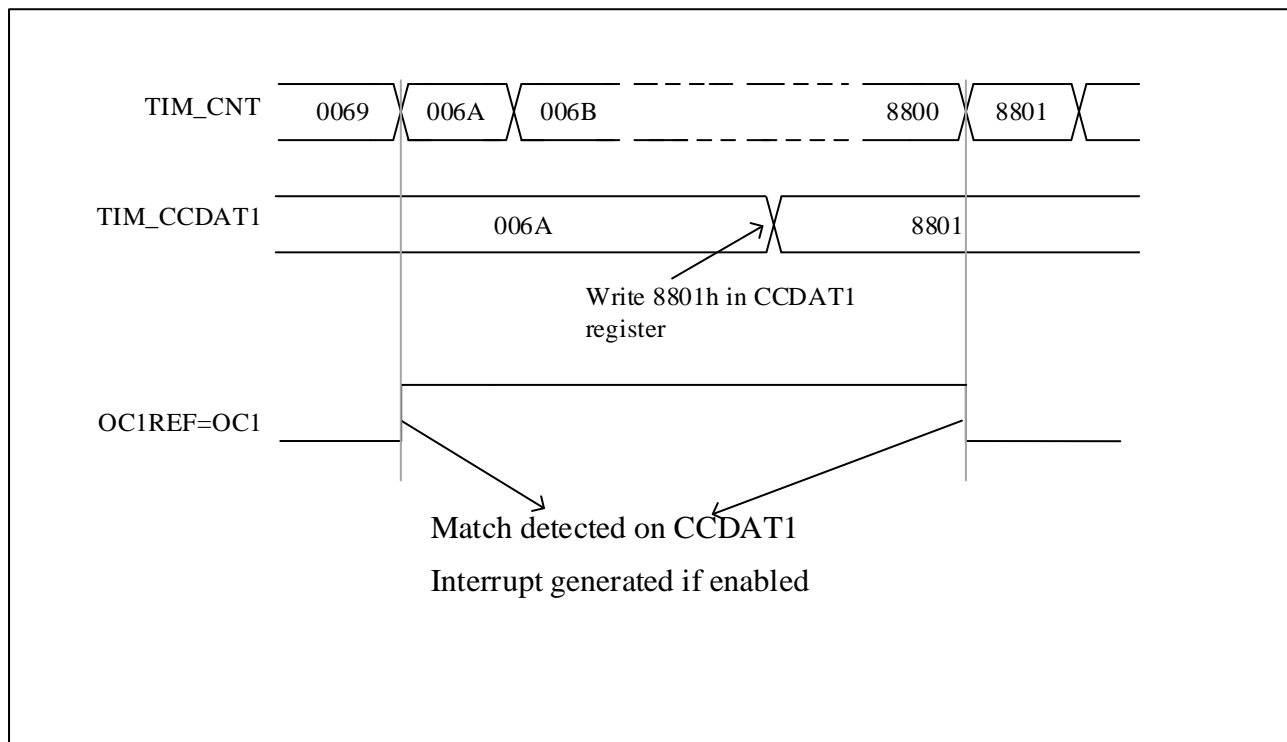
以下是输出比较模式的配置步骤：

- 首先，用户应该选择计数器时钟
- 其次，用所需数据设置 TIMx\_AR 和 TIMx\_CCxDATx
- 如果用户需要产生中断，设置 TIMx\_DINTEN.CCxIEN
- 然后通过设置 TIMx\_CCEN.CCxP、TIMx\_CCMODx.OCxMD、TIMx\_CCEN.CCxEN 等选择输出模式
- 最后，设置 TIMx\_CTRL1.CNTEN 启用计数器

用户可以随时通过设置 TIMx\_CCxDATx 来更新输出波形，只要不启用预加载寄存器。否则，TIMx\_CCxDATx 影子寄存器将在下一次更新事件中更新。

例如：

图 18-24 输出比较模式，开启 OC1





## 18.4.10 PWM 模式

用户可以使用 PWM 模式产生一个信号，其占空比由 TIMx\_CCxMD 寄存器的值决定，其频率由 TIMx\_ARR 寄存器的值决定。并且取决于 TIMx\_CTRL1.CAMSEL 的值，TIM 可以在边沿对齐模式或中央对齐模式下产生 PWM 信号。

用户可以通过设置 TIMx\_CCMODx.OCxMD 等于‘110’或设置 TIMx\_CCMODx.OCxMD 等于‘111’来设置 PWM 模式 1 或 PWM 模式 2。要使能预加载寄存器，用户必须设置相应的 TIMx\_CCMODx.OCxPEN。然后设置 TIMx\_CTRL1.ARPEN 自动重装载预加载寄存器。

用户可以通过设置 TIMx\_CCEN.CCxP 来设置 OCx 的极性。另一方面，要使能 OCx 的输出，用户需要在 TIMx\_CCEN 和 TIMx\_BKDT 中设置 CCxEN、CCxNEN、MOEN、OSSI 和 OSSR 的值的组合。

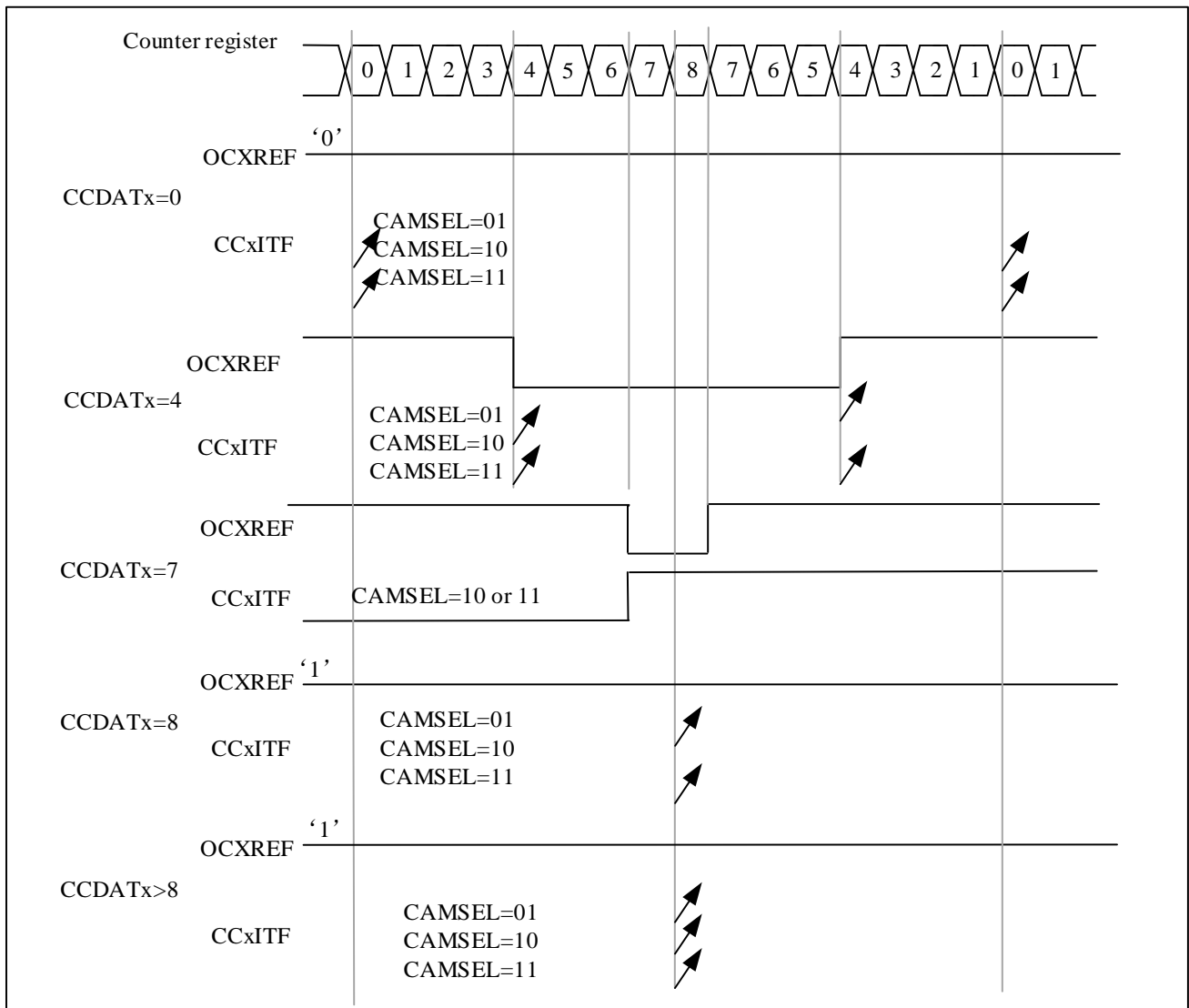
当 TIM 处于 PWM 模式时，TIMx\_CNT 和 TIMx\_CCxMD 的值总是相互比较。

只有当更新事件发生时，预加载寄存器才会转移到影子寄存器。因此，用户必须在计数器开始计数之前通过设置 TIMx\_EVTGEN.UDGN 来复位所有寄存器。

### 18.4.10.1 PWM 中央对齐模式

如果用户设置 TIMx\_CTRL1.CAMSEL 等于‘01’、‘10’或‘11’，PWM 中央对齐模式将被激活。比较标志的设置取决于 TIMx\_CTRL1.CAMSEL 的值。设置比较标志的情况有 3 种，仅当计数器向上计数时，仅当计数器向下计数时，或当计数器向上计数和向下计数时。用户不应通过软件修改 TIMx\_CTRL1.DIR，它是由硬件更新的。

中央对齐 PWM 波形示例如下，波形设置为：TIMx\_ARR=8，PWM 模式 1，当计数器向下计数对应 TIMx\_CTRL1.CAMSEL 等于‘01’时设置比较标志。

**图 18-25 中央对齐的 PWM 波形 (AR=8)**


使用中央对齐模式时用户应注意的事项如下：

- 计数器向上或向下计数取决于 TIMx\_CTRL1.DIR 的值。注意不要同时更改 DIR 和 CAMSEL 位
- 用户在中央对齐模式下不要写计数器，否则会导致意想不到的结果。例如：
  - ◆ 如果写入计数器的值为 0 或者是 TIMx\_AR 的值，则方向会被更新，但不会产生更新事件
  - ◆ 如果写入计数器的值大于自动重载的值，则方向不会更新
- 为了安全起见，建议用户在启动计数器之前设置 TIMx\_EVTGEN.UDGN 以通过软件生成更新，并且在计数器运行时不要写入计数器

### 18.4.10.2 PWM 中央对齐非对称模式

关于 PWM 中央对齐非对称模式请查阅18.4.2.3.2。

### 18.4.10.3 PWM 边沿对齐模式

边沿对齐模式有两种配置，向上计数和向下计数。

● 向上计数

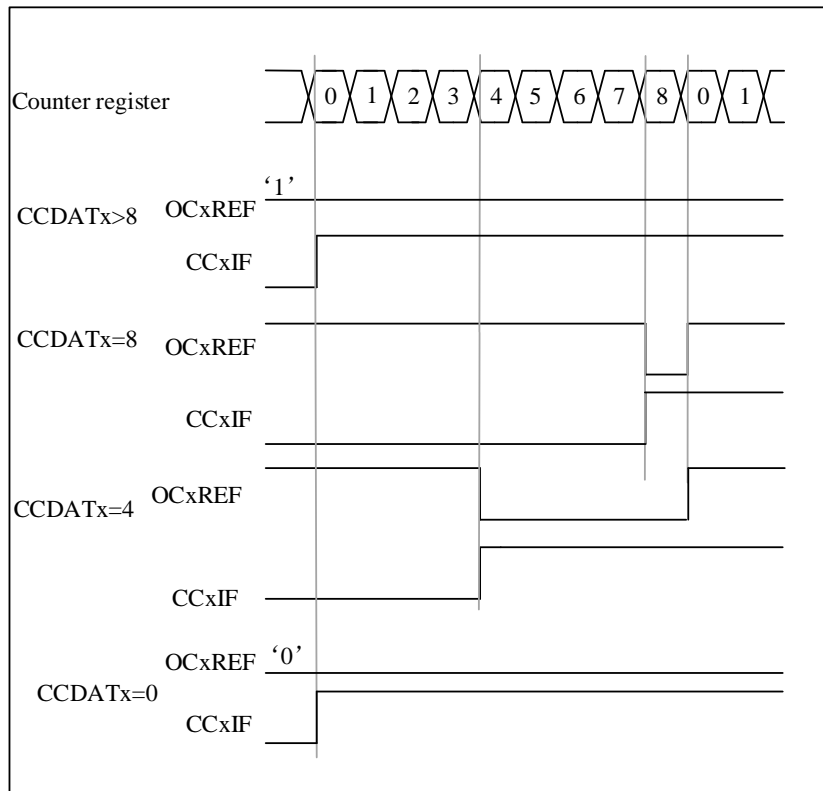
用户可以设置 TIMx\_CTRL1.DIR 等于‘0’使计数器向上计数。

PWM 模式 1 的示例：

当 TIMx\_CNT < TIMx\_CCxDATx 时， OCxREF 为高电平，否则为低电平。如果 TIMx\_CCxDATx 中的比较值大于自动重载值，则 OCxREF 将保持为 1。相反，如果比较值为 0，则 OCxREF 将保持为 0。

当 TIMx\_AR=8 时，PWM 波形如下：

图 18-26 边沿对齐 PWM 波形 (AR=8)



● 向下计数

用户可以设置 TIMx\_CTRL1.DIR 等于‘1’使计数器向下计数。

PWM 模式 1 的示例：

当 TIMx\_CNT > TIMx\_CCxDATx 时， OCxREF 为低电平，否则为高电平。如果 TIMx\_CCxDATx 中的比较值大于自动重载值，则 OCxREF 将保持为 1。

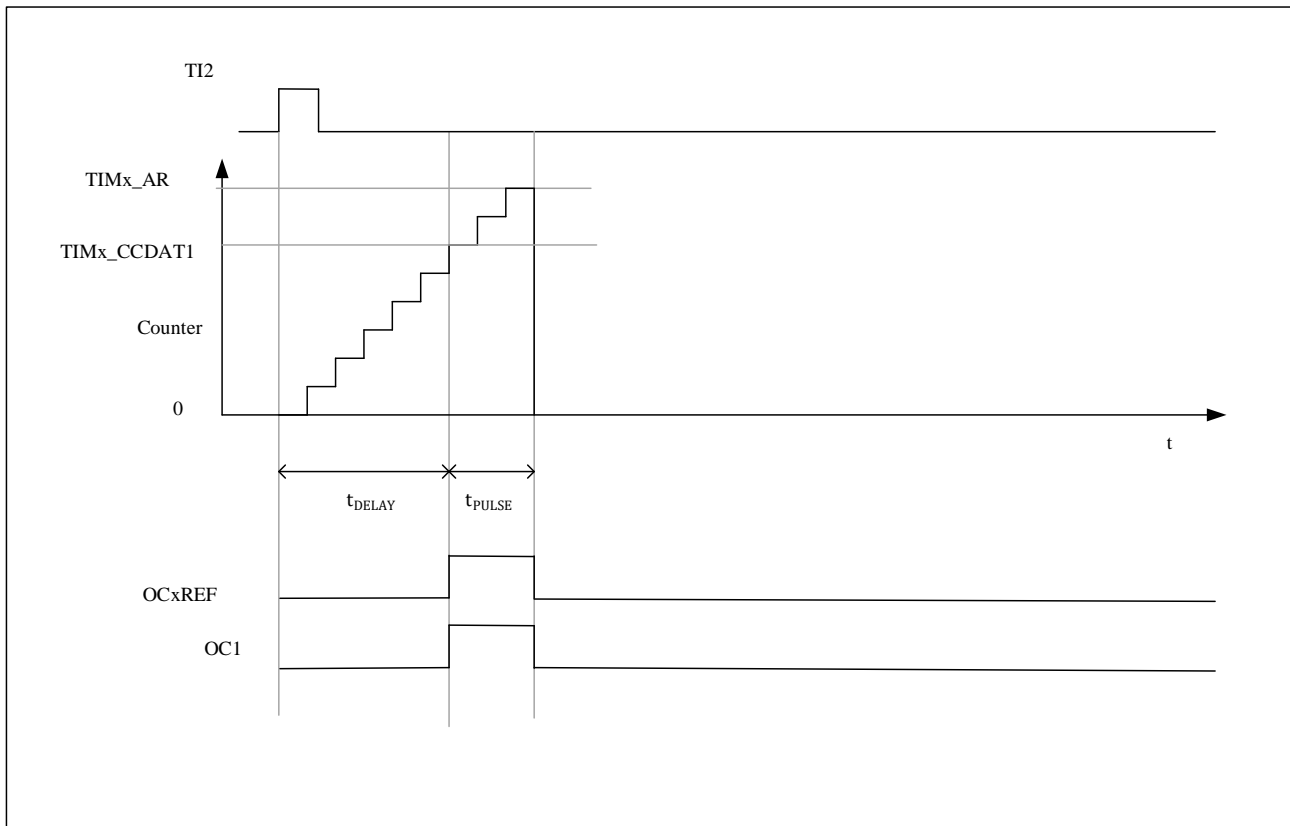
注：若第 n 个 PWM 周期 CCDATx 影子寄存器 ≥ AR 值，第 n+1 个 PWM 周期 CCDATx 的影子寄存器值是 0。在第 n+1 个 PWM 周期的计数器为 0 的时刻，虽然计数器 = CCDATx 影子寄存器的值 = 0，OCxREF = ‘0’，但不会产生比较事件。

18.4.11 单脉冲模式

在单脉冲模式(ONEPM)中，接收到触发信号，经过可控延迟 t<sub>DELAY</sub> 后产生脉宽可控的脉冲 t<sub>PULSE</sub>。输出模式需要配置为输出比较模式或 PWM 模式。选择单脉冲模式后，计数器会在更新事件 UEV 产生后停

止计数。

图 18-27 单脉冲模式示例



以下是单脉冲模式的示例：

从 TI2 输入检测到上升沿触发，延迟  $t_{\text{DELAY}}$  后在 OC1 上产生宽度为  $t_{\text{PULSE}}$  的脉冲。

1. 计数器配置：向上计数，计数器  $\text{TIMx\_CNT} < \text{TIMx\_CCDAT1} \leq \text{TIMx\_AR}$ ；
2. TI2FP2 映射到 TI2， $\text{TIMx\_CCMOD1.CC2SEL}$  等于‘01’； TI2FP2 配置为上升沿检测， $\text{TIMx\_CCEN.CC2P}$  等于‘0’；
3. TI2FP2 充当从模式控制器的触发器（TRGI）并启动计数器， $\text{TIMx\_SMCTRL.TSEL}$  等于‘110’， $\text{TIMx\_SMCTRL.SMSEL}$  等于‘0110’（触发模式）；
4.  $\text{TIMx\_CCDAT1}$  写入要延迟的计数值（ $t_{\text{DELAY}}$ ）， $\text{TIMx\_AR}-\text{TIMx\_CCDAT1}$  为脉宽  $t_{\text{PULSE}}$  的计数值；
5. 配置  $\text{TIMx\_CTRL1.ONEPM}$  等于‘01’使能单脉冲模式，配置  $\text{TIMx\_CCMOD1.OC1MD}$  等于‘111’选择 PWM2 模式；
6. 等待 TI2 有外部触发事件，OC1 输出一个单脉冲波形；

#### 18.4.11.1 特殊情况：OCx 快速使能：

在单脉冲模式下，通过  $\text{TIx}$  输入检测到一个边沿，并触发计数器开始计数到比较值，然后输出一个脉冲。这些操作限制了可以达到的最小延迟  $t_{\text{DELAY}}$ 。

您可以设置  $\text{TIMx\_CCMODx.OCxFEN}$  等于‘1’开启 OCx 快速使能，在触发上升沿后，OCxREF 信号将被强制转换为与比较匹配立即发生的电平相同的电平，而不管比较结果如何。OCxFEN 快速使能仅在通道模

式配置为 PWM1 和 PWM2 模式时生效。

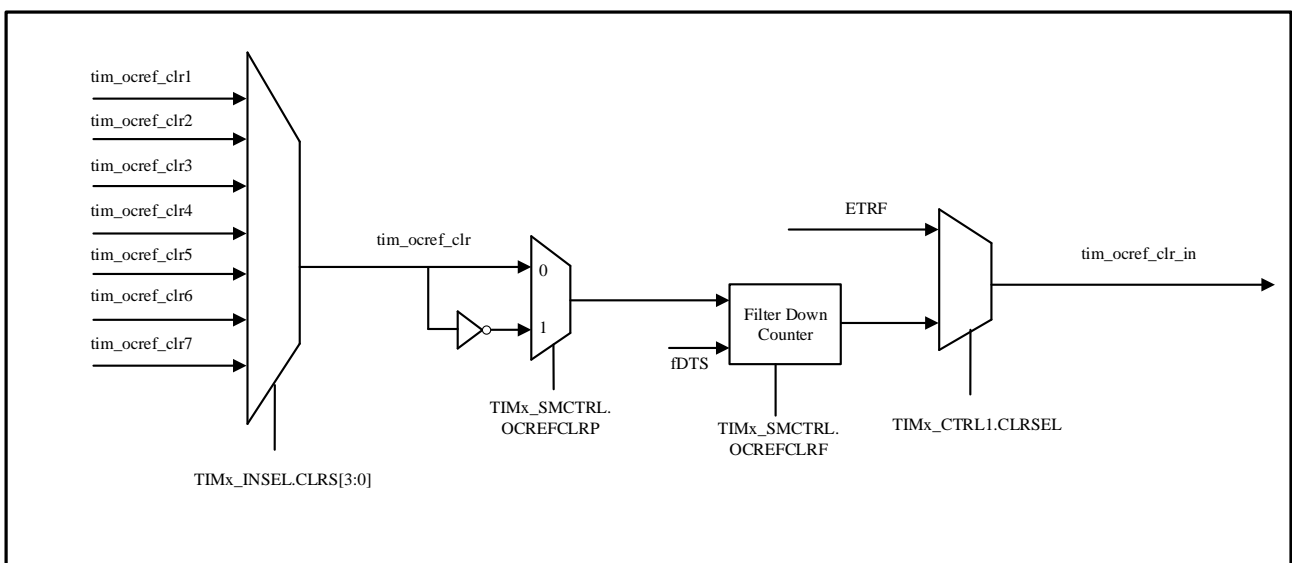
### 18.4.12 在外部事件上清除 OCxREF 信号

如果用户设置 TIMx\_CCMODx.OCxCEN 等于‘1’， tim\_ocref\_clr\_in 输入的高电平可用于驱动 OCxREF 信号为低电平，OCxREF 信号将保持低电平，直到下一次 UEV 发生。只有输出比较和 PWM 模式可以使用该功能。在强制模式下不能使用。

输入清除信号 tim\_ocref\_clr\_in 可以通过 TIMx\_CTRL1 寄存器中的 CLRSEL 位选择为 tim\_ocref\_clr 或者 ETRF。

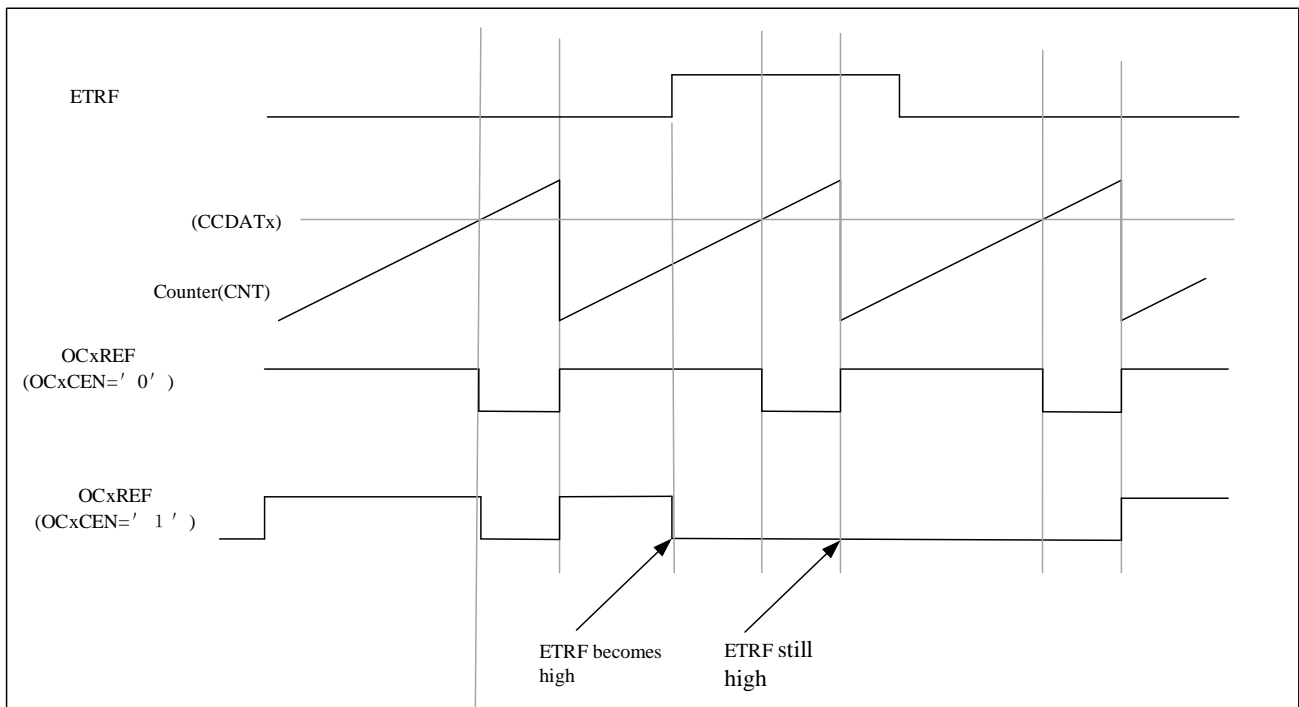
tim\_ocref\_clr 信号可以通过 TIMx\_INSEL 寄存器中的 CLRS[3:0]进行选择，如下图所示。

图 18-28 外部事件清除 OCxREF 信号



例：当 tim\_ocref\_clr\_in 信号选择 ETRF 时，tim\_etr\_in 配置如下：

- 设置 TIMx\_SMCTRL.EXTPS 等于‘00’ 禁用外部触发预分频器。
- 设置 TIMx\_SMCTRL.EXCCEN 等于‘0’ 禁用外部时钟模式 2。
- 设置 TIMx\_SMCTRL.EXTP 和 TIMx\_SMCTRL.EXTF，根据需要配置外触发极性和外触发滤波器。
- 当 ETRF 输入变高时，OCxREF 信号对于不同的 OCxCEN 值的行为。在这种情况下，定时器设置为 PWM 模式。

**图 18-29 清除 TIMx 的 OCxREF**


### 18.4.13 互补输出和死区插入

高级控制定时器可以输出两个互补信号，并管理输出的关闭和打开。这称为死区时间。用户应根据连接到输出的设备及其特性调整死区时间。

用户可以通过设置 `TIMx_CCEN.CCxP` 和 `TIMx_CCEN.CCxNP` 来选择输出的极性。并且此选择对于每个输出都是独立的。

用户可以通过设置几个控制位的组合来控制互补信号 `OCx` 和 `OCxN`，它们分别是 `TIMx_CCEN.CCxEN`、`TIMx_CCEN.CCxNEN`、`TIMx_BKDT.MOEN`、`TIMx_CTRL2.OIx`、`TIMx_CTRL2.OIxN`、`TIMx_BKDT.OSSI` 和 `TIMx_BKDT.OSSR`。当切换到空闲状态时，死区时间将被激活。

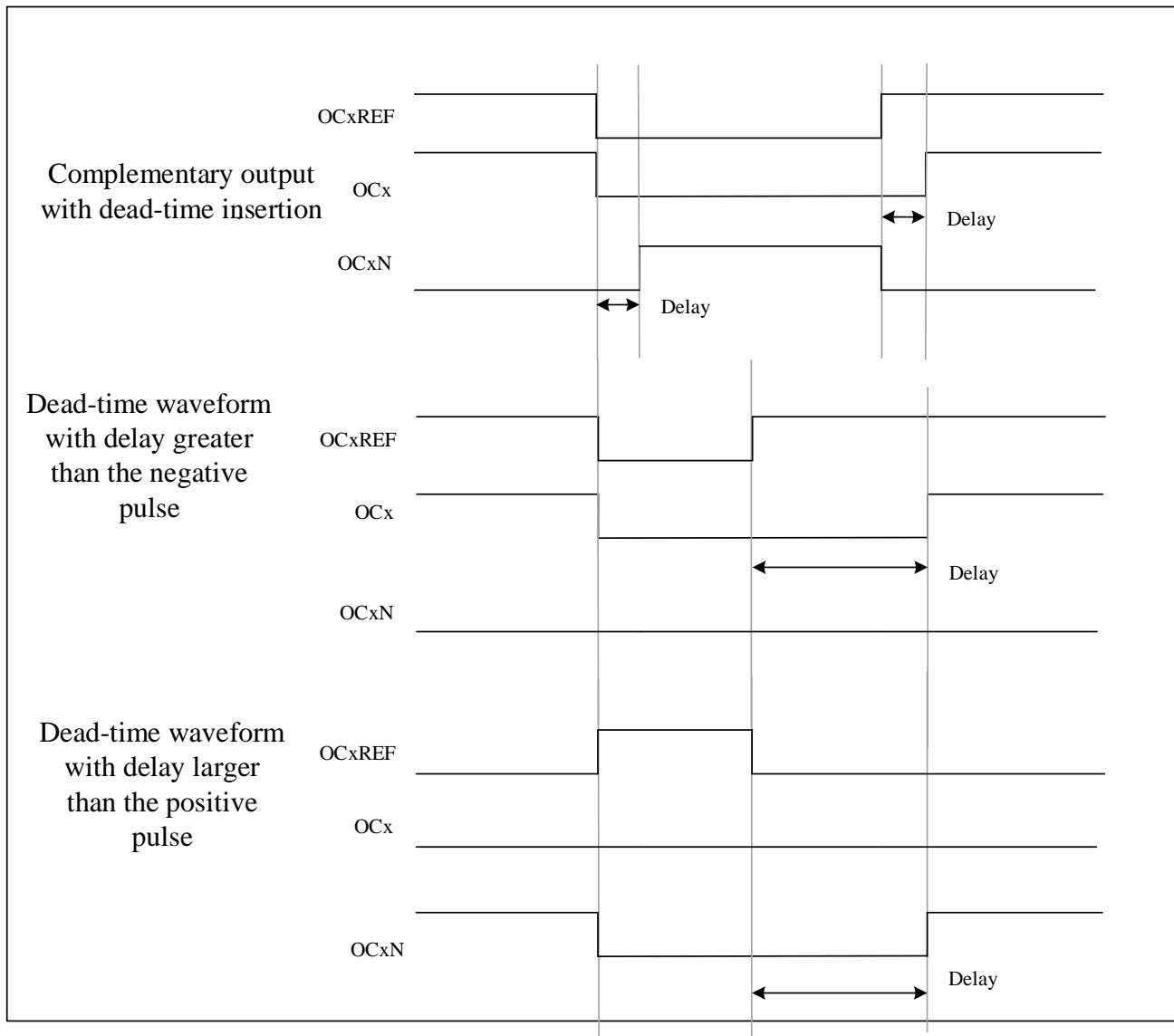
如果用户同时设置 `TIMx_CCEN.CCxEN` 和 `TIMx_CCEN.CCxNEN`，则会插入死区时间。如果有刹车，还要设置 `TIMx_BKDT.MOEN`。每个通道都有 10 位死区时间发生器。

参考波形 `OCxREF` 可以生成 2 个输出 `OCx` 和 `OCxN`。如果 `OCx` 和 `OCxN` 为高电平有效，则 `OCx` 输出信号与参考信号相同，而 `OCxN` 输出信号与参考信号相反。但是，`OCx` 输出信号将相对于参考上升沿延迟，而 `OCxN` 输出信号将相对于参考下降沿延迟。如果延迟大于有效 `OCx` 或 `OCxN` 输出的宽度，则不会产生相应的脉冲。

死区时间发生器的输出信号与参考信号 `OCxREF` 之间的关系如下。

假设 `TIMx_CCEN.CCxP=0`，`TIMx_CCEN.CCxNP=0`，`TIMx_BKDT.MOEN=1`，`TIMx_CCEN.CCxEN=1`，`TIMx_CCEN.CCxNEN=1`。

图 18-30 带死区插入的互补输出



用户可以设置 `TIMx_BKDT.DTGN` 来编程每个通道的死区时间延迟。

#### 18.4.13.1 重定向 OCxREF 到 OCx 或 OCxN

在输出模式下，用户可以设置 `TIMx_CCEN.CCxEN` 和 `TIMx_CCEN.CCxNEN` 以将 `OCxREF` 重定向到 `OCx` 输出或 `OCxN` 输出。

这里有两种使用这个方法的方法。当互补保持在其无效电平时，用户可以使用此功能发送特定波形，例如 PWM 或静态有效电平。用户还可以使用此功能将两个输出设置为无效电平，或将两个输出都设置为有效，两者互补且带死区。

如果用户设置 `TIMx_CCEN.CCxEN=0` 和 `TIMx_CCEN.CCxNEN=1`，两者不互补，当 `OCxREF` 为高电平时 `OCxN` 将变为有效。另一方面，如果用户设置 `TIMx_CCEN.CCxEN=1` 和 `TIMx_CCEN.CCxNEN=1`，当 `OCxREF` 为高电平时，`OCx` 将变为有效。相反，当 `OCxREF` 为低电平时，`OCxN` 将变为有效。

## 18.4.14 刹车功能

使用刹车功能时，设置相应的控制位时会修改输出使能信号和无效电平。但是，无论何时，OCx 和 OCxN 的输出都不能同时处于有效电平，即需要满足  $(CCxP \wedge OIx) \wedge (CCxNP \wedge OIxN) \neq 0$ 。

当启用多个刹车信号时，每个刹车信号构成一个 OR 逻辑。这里有一些信号可能是刹车的来源。

刹车 1:

- 刹车 1 输入引脚。
- 时钟失效事件，由时钟 RCC 中的时钟安全系统 (CSS) 生成。
- PVD 事件。
- 内核 Hardfault 事件。
- SRAM ECC 错误。
- SRAM 奇偶校验错误。
- DSMU 的输出信号。
- 比较器的输出信号。
- 软件设置 TIMx\_EVTGEN.BGN。

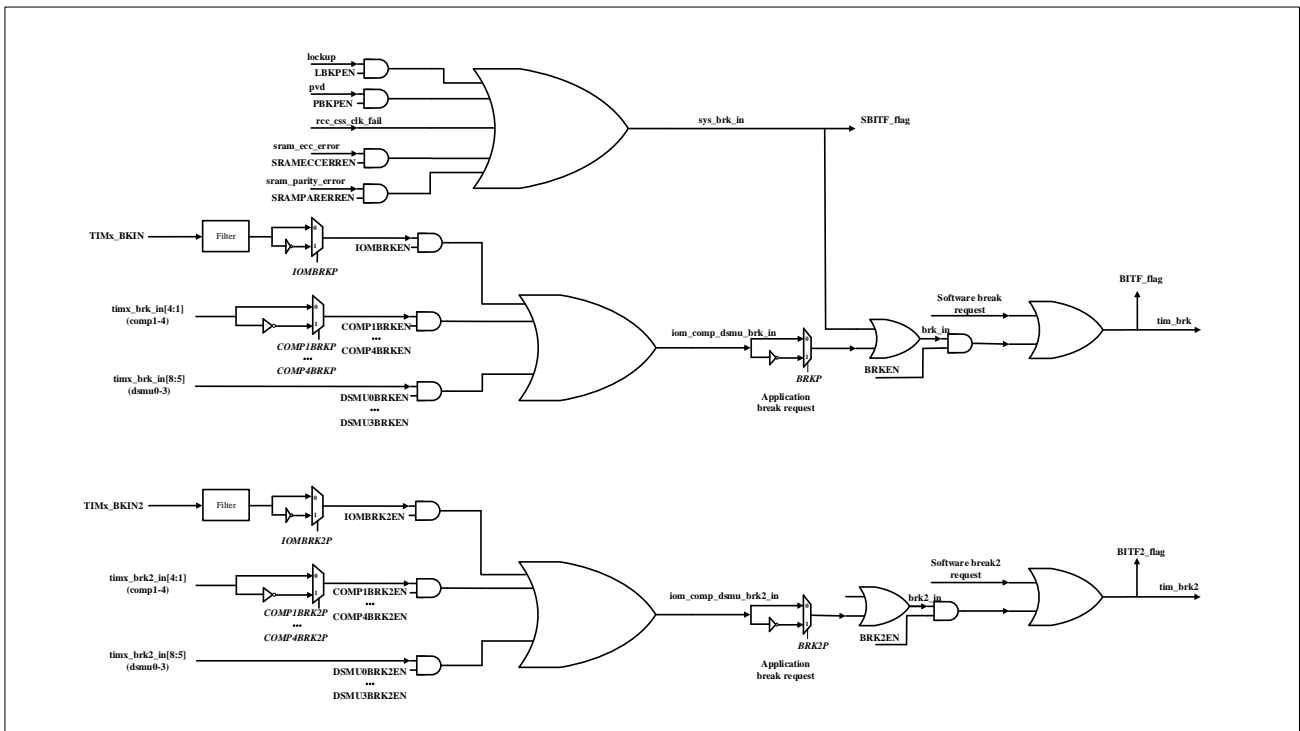
刹车 2:

- 刹车 2 输入引脚。
- DSMU 的输出信号。
- 比较器的输出信号。
- 软件设置 TIMx\_EVTGEN.BGN。

在所有源进入定时器 tim\_brk 或 tim\_brk2 输入之前，对其进行或运算，如下图所示。



图 18-31 刹车输入



注意：只有禁止可编程滤波器时才能保证异步（无时钟）操作。如果使能可编程滤波器，必须使用故障安全时钟模式（例如，使用内部 PLL 和/或 CSS）来保证能够处理断路事件。

复位后刹车电路将被禁用。MOEN 位将为低电平。用户可以设置 TIMx\_BKDT.BKEN/ BK2EN 来启用刹车功能。通过设置 TIMx\_BKDT.BKP/BK2P 可以选择刹车输入信号的极性。用户可以同时修改 TIMx\_BKDT.BKEN/BK2EN 和 TIMx\_BKDT.BKP/BK2P。用户设置 TIMx\_BKDT.BKEN/BK2EN 和 TIMx\_BKDT.BKP/BK2P 后，生效前有 1 个 APB 时钟周期延迟。因此，用户需要等待 1 个 APB 时钟周期才能读回写入位的值。

MOEN 的下降沿可以是异步的，所以在实际信号和同步控制位之间设置了一个再同步电路。该电路将导致异步和同步信号之间的延迟。当用户设置 TIMx\_BKDT.MOEN 为低电平时，用户需要在读取该值之前插入一个延迟。因为写入了异步信号，但用户读取了同步信号。

刹车发生后的行为如下：

- TIMx\_BKDT.MOEN 将被异步清除，然后输出将进入无效状态、空闲状态或复位状态。通过设置 TIMx\_BKDT.OSSI 选择输出状态。即使 MCU 振荡器关闭，这也会生效。
- 一旦 TIMx\_BKDT.MOEN=0，每个输出通道的输出将使用 TIMx\_CTRL2.OIx 中编程的电平驱动。如果 TIMx\_BKDT.OSSI=0，定时器将释放使能输出（由 GPIO 控制器接管），否则将保持高电平。
- 如果用户选择使用互补输出，TIM 的行为如下
  - 取决于极性，输出将首先设置为复位状态。它是一个异步选项，因此即使没有为计时器提供时钟，它仍然可以工作。
  - 如果仍然提供定时器时钟，死区发生器将重新激活，当  $(CCxP \wedge OIx) \wedge (CCxNP \wedge OIxN) \neq 0$ ，即 OCx 和 OCxN 仍然不能同时被驱动到有效电平，在死区时间后根据 TIMx\_CTRL2.OIx 和 TIMx\_CTRL2.OIxN 的值驱动输出。请注意，由于 MOEN 上的重新同步（大概 2 个 ck\_tim 周

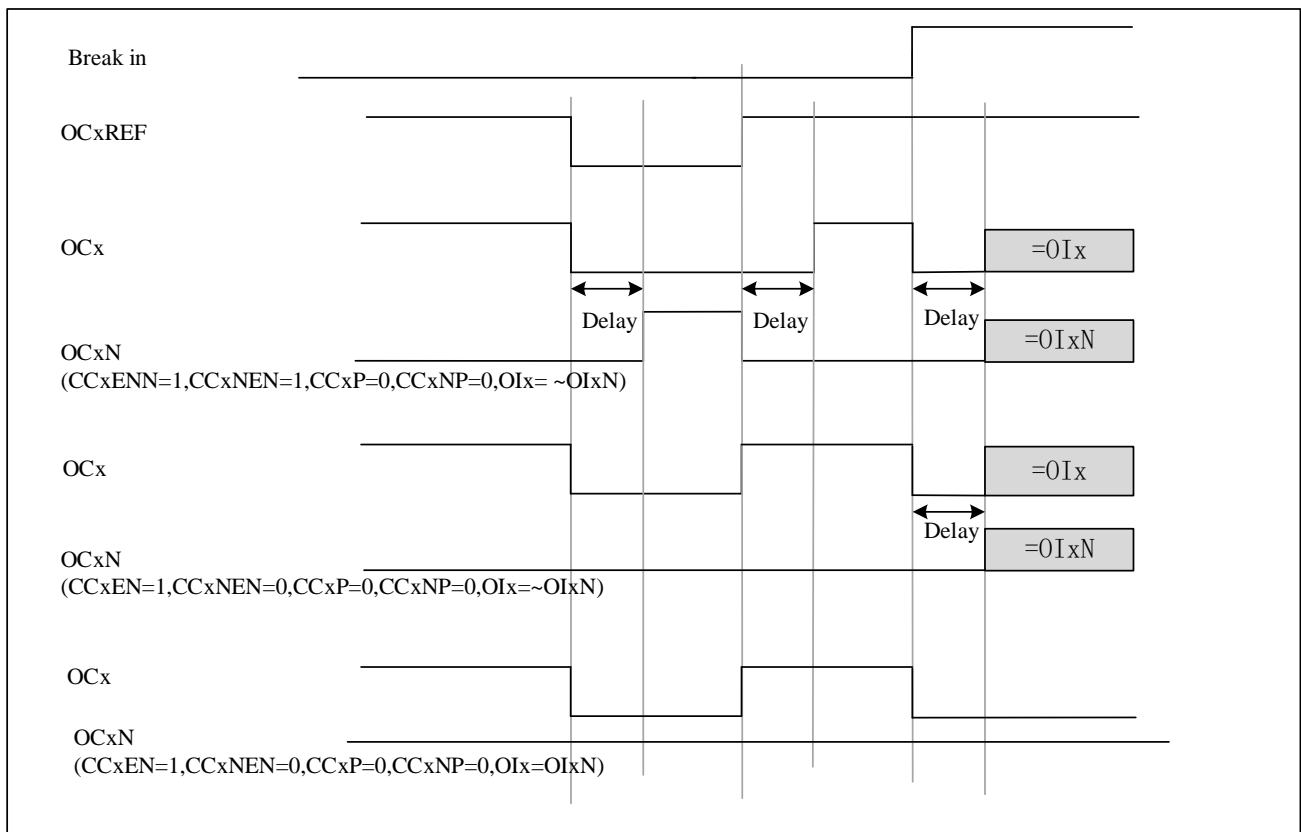
期), 死区时间将比平时长。

- 如果  $TIMx\_BKDT.OSSI=0$ , 定时器将释放输出控制。否则, 如果使能输出为高电平, 它将保持为高电平。如果为低电平, 则在  $TIMx\_CCEN.CCxEN$  或  $TIMx\_CCEN.CCxNEN$  为高电平时变为高电平。
- 如果  $TIMx\_DINTEN.BIEN=1$ , 当  $TIMx\_STS.BITF=1$  时, 会产生中断。
- 如果用户设置了  $TIMx\_BKDT.AOEN$ ,  $TIMx\_BKDT.MOEN$  将在下一次 UEV 发生时自动设置。用户可以使用它来调节。如果用户未设置  $TIMx\_BKDT.AOEN$ , 则  $TIMx\_BKDT.MOEN$  将保持低电平, 直到再次设置为 1。在这种情况下, 用户可以使用它来保证安全。用户可以将刹车输入连接到热传感器、电源驱动器警报或其他安全组件。
- 刹车输入有效时,  $TIMx\_BKDT.MOEN$  不能自动置位或软件同时置位,  $TIMx\_STS.BITF$  也不能清零。因为刹车输入在电平上处于有效状态。

为保证应用安全, 刹车电路具有写保护功能, 并有刹车输入输出管理。它允许用户冻结一些参数, 例如死区持续时间、 $OCx/OCxN$  极性和禁用时的状态、 $OCxMD$  配置、刹车启用和极性。用户可以通过设置  $TIMx\_BKDT.LCKCFG$  选择使用 3 种保护级别之一。但是,  $TIMx\_BKDT.LCKCFG$  只能在 MCU 复位后写入一次。

响应刹车的输出行为示例如下

图 18-32 响应刹车的输出行为



两个刹车输入针对定时器输出具有不同的行为:

- $tim\_brk$  输入可禁止 (无效状态) PWM 输出, 也可将 PWM 输出强制为预定义的安全状态。

■ tim\_brk2 只能禁止（无效状态）PWM 输出。

tim\_brk 输入的优先级高于 tim\_brk2 输入，如下表所示。

注意：tim\_brk2 必须只在  $OSSR = OSSI = 1$  时使用。

表 18-12 定时器输出行为与 tim\_brk/ tim\_brk2 输入

tim_brk	tim_brk2	定时器输出状态	典型用例	
			OCxN 输出	OCx 输出
有效	X	- 无效，之后强制为输出状态（死区后） - 如果 $OSSI = 0$ ，则禁止输出（由 GPIO 逻辑接管控制）	死区插入后开启	关闭
无效	有效	无效	关闭	关闭

下图给出了 tim\_brk 和 tim\_brk2 输入上出现有效信号时 OCx 和 OCxN 输出行为示例。在这种情况下，两个输出的极性均为高电平有效（TIMx\_CCEN 寄存器中的  $CCxP = CCxNP = 0$ ）。

图 18-33 tim\_brk 和 tim\_brk2 使能后的 PWM 输出状态（ $OSSI=1$ ）

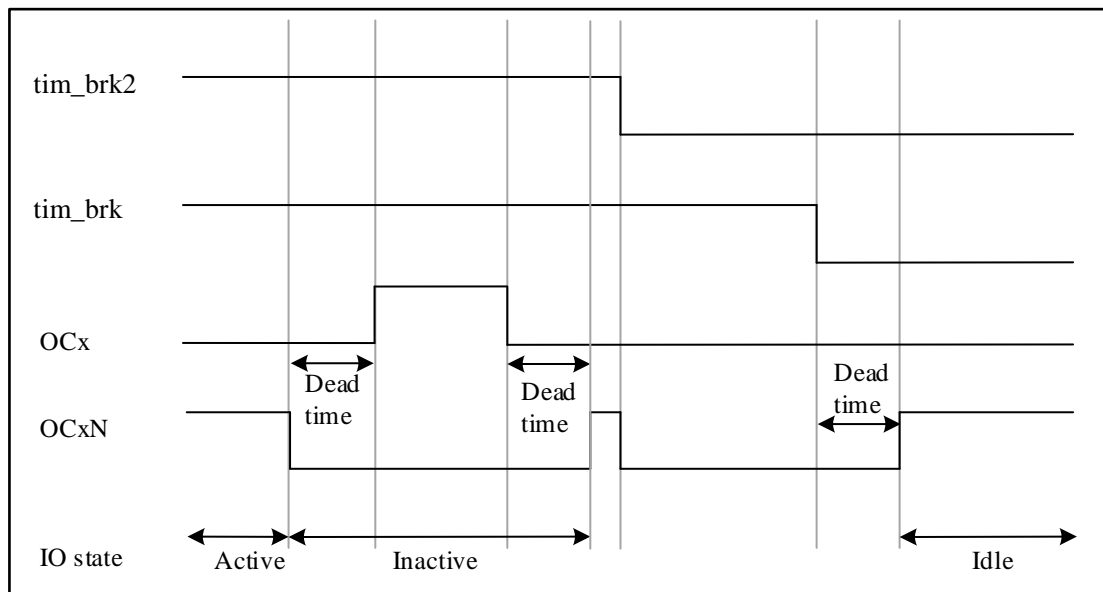
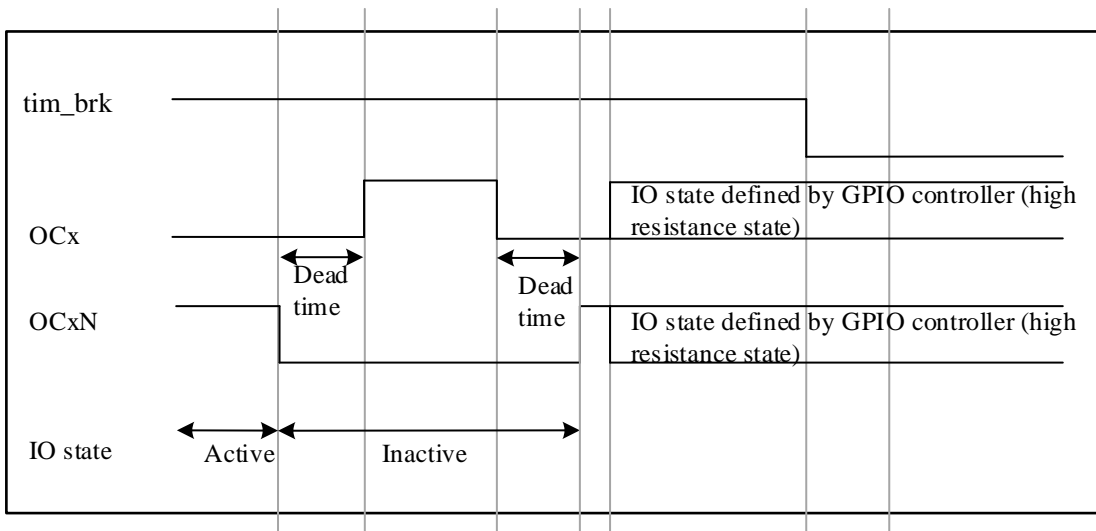


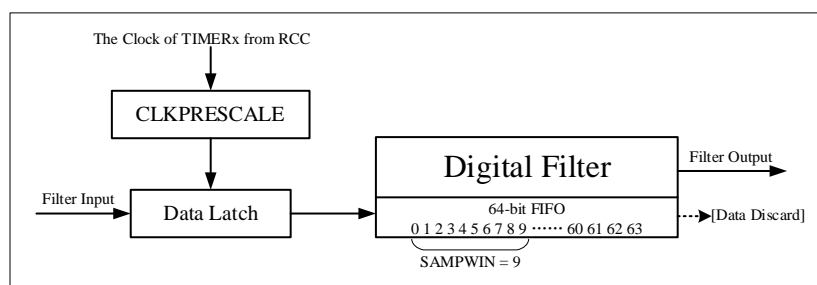
图 18-34 tim\_brk 使能后的 PWM 输出状态 (OSSI=0)



### 18.4.14.1 刹车滤波

寄存器 TIMx\_BKFR 描述如下:

图 18-35 滑动滤波



- 数字滤波器通过 RCC 的 TIMx 时钟采样刹车信号，在 64 位 FIFO 中累积采样。仅在 TIMx\_BKFR.WSIZE [5:0] 中定义的窗口大小内采样数据，最大大小为 64。
- 过滤器输出采样窗口内的多数值，该值由 TIMx\_BKFR.THRESH [5:0] 中的阈值定义，最大阈值为 63。此值应等于或大于窗口大小的一半。如果采样窗口内的逻辑 1 和逻辑 0 计数均不大于阈值，则数字滤波器保持先前的输出值。
- TIM1\_BKFR.SLIDFPSC [15:0] 寄存器决定相应数字滤波器的采样率。过滤器 FIFO 在每个采样时钟从输入中捕获一个采样值。
- 如果数字滤波器关闭，滤波器输入将像电线一样绕过输出。

### 18.4.15 双向刹车

ATIM1/ATIM2/ATIM3/ATIM4 具有双向刹车 I/O 功能。

应用支持:

- 一个板级的全局刹车信号，它可以通过一个独特的 IO（既是输入又是输出状态引脚）向外部 MCU 或门驱动器发出故障信号。
- 当多个内部和外部刹车源需要被合并时，他们通过“或”连接在一起去产生唯一的刹车事件。

tim\_brk 和 tim\_brk2 输入通过控制 TIMx\_BDTR 寄存器的 BRKBID/BRK2BID 来配置为双向模式。BRKBID/BRK2BID 可以使用 TIMx\_BKDT 寄存器中的 LOCK 位以只读模式锁定(在 LOCK 级别 1 或以上)。

双向模式对 tim\_brk 和 tim\_brk2 输入都是可用的, 要求 I/O 配置为开漏模式, 极性为低电平(通过 TIMx\_AF1.IOMBRKP, TIMx\_BKDT.BKP, TIMx\_AF1.IOMBRK2P 和 TIMx\_BKDT.BK2P 位)。任何来自系统(如 CSS)、片上外设或刹车输入的刹车请求都会迫使刹车输入出现低电平, 以示故障事件。为了安全起见, 如果极性位没有被正确设置, 双向模式就会被抑制(比如设置为高电平有效, 双向模式不生效)。

软件刹车事件(TIMx\_EVTGEN.BGN 和 BGN2)也会导致刹车 IO 强制为“0”, 以便向外部器件标明定时器进入刹车状态。然而, 这只有当刹车被启用(TIMx\_BKDT.BKEN 或 BK2EN=1)时才有效。当一个软件刹车事件产生(TIMx\_BKDT.BKEN 或 BK2EN=0)时, 输出被置于安全状态, 并且刹车标志被设置。但对 TIMx\_BKIN 和 TIMx\_BKIN2 I/O 没有影响。

安全解除机制可防止系统被完全锁定(刹车输入上的低电平触发刹车, 从而在同一输入上强制执行低电平)。

当 TIMx\_BKDT.BRKDSRM (BRK2DSRM) 位被设置为 1 时, 就会释放刹车输出, 以清除一个故障信号。并为重新启动系统提供了可能。

在任何时候, 刹车保护电路都不能被禁用:

- 刹车输入路径始终是激活的: 即使 TIMx\_BKDT.BRKDSRM (BRK2DSRM) 位被设置并且漏极开路控制被释放, 刹车事件也处于激活状态。这可防止 PWM 输出在刹车条件存在时重新启动。
- 只要输出被启用(TIMx\_BKDT.MOEN 位被设置), TIMx\_BKDT.BRKDSRM (BRK2DSRM) 位就不能解除刹车保护

**表 18-13 刹车保护状态解除条件**

MOEN	BRKBID (BRK2BID)	BRKDSRM (BRK2DSRM)	刹车保护状态
0	0	X	保护
0	1	0	保护
0	1	1	解除保护
1	X	X	保护

启用和重新启用刹车电路

默认情况下(在输入或双向模式下), 刹车电路处于待命状态(外设复位配置)。

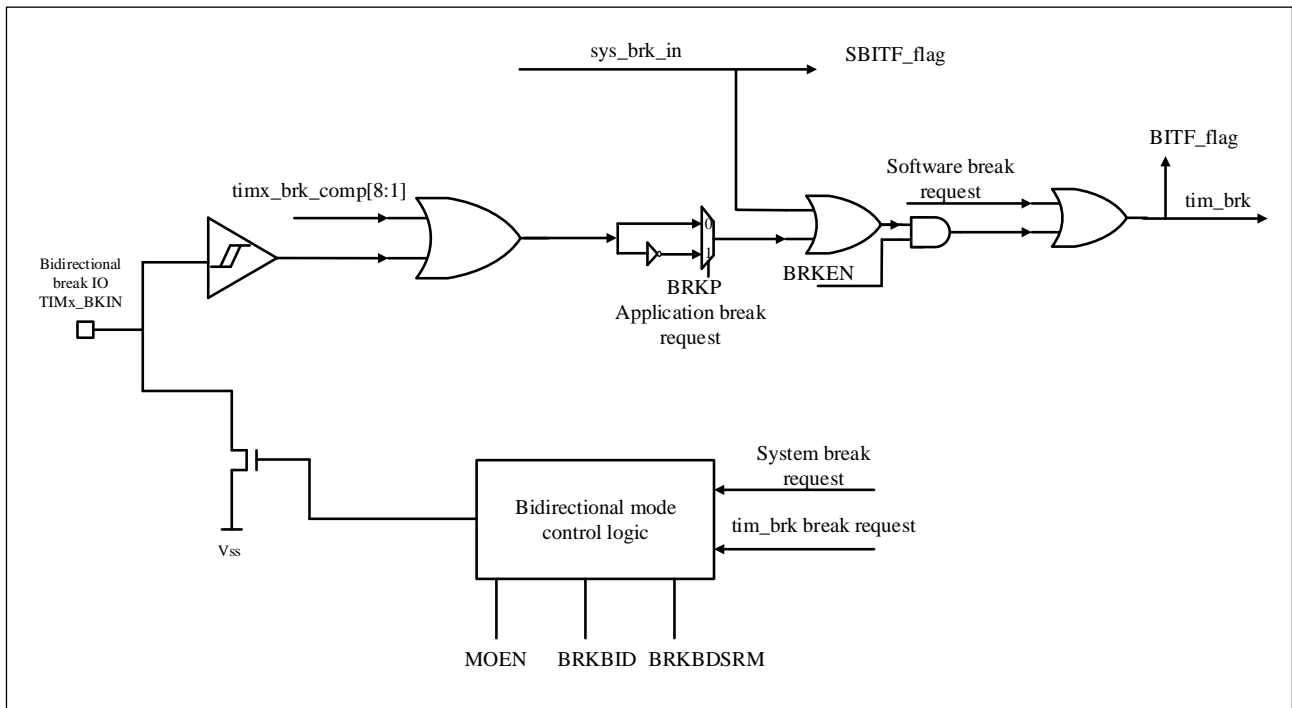
刹车(刹车 2)事件后, 必须遵循以下程序重新启用保护:

- 必须设置 TIMx\_BKDT.BRKDSRM (BRK2DSRM) 位以释放输出控制
- 软件必须等待系统刹车条件消失(如有), 并清除 TIMx\_STS.SBIF 状态标志(或在重新启用前系统清除)
- 软件必须轮询 TIMx\_BKDT.BRKDSRM (BRK2DSRM) 位, 直到被硬件清除(当应用程序刹车条件消失时)

从这一点开始, 刹车电路处于待命状态并处于激活状态, 并且可以设置 TIMx\_BKDT.MOEN 位以重新启用

PWM 输出。

图 18-36 输出重定向



### 18.4.16 调试模式

当微控制器处于调试模式（Cortex-M4 内核停止）时，根据 DBG\_CTRL.GTIMx\_STOP 位配置，定时器计数器可以继续正常工作或停止。有关详细信息，请参阅 DBG 章节。

### 18.4.17 ATIMx 定时器和外部触发的同步

定时器可以通过从模式（复位、触发和门控）中的触发器进行同步。

#### 18.4.17.1 从模式：复位模式

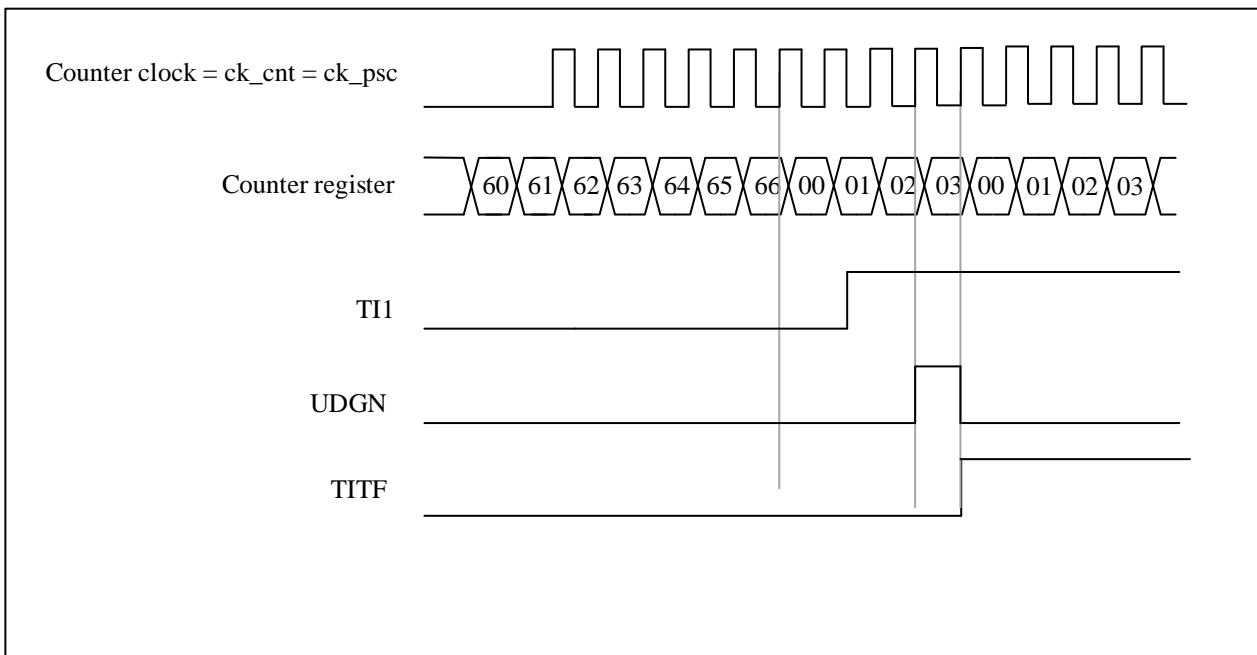
在复位模式下，触发事件可以复位计数器和预分频器。更新预加载寄存器 TIMx\_AR、TIMx\_CCDATx，并产生更新事件 UEV（TIMx\_CTRL1.UPRS=0）。

以下是复位模式的示例：

1. 通道 1 配置为输入检测 TI1 的上升沿（TIMx\_CCMOD1.CC1SEL=01，TIMx\_CCEN.CC1P=0）；
2. 从模式选择为复位模式（TIMx\_SMCTRL.SMSEL=0100），触发输入选择为 TI1（TIMx\_SMCTRL.TSEL=101）；
3. 启动计数器（TIMx\_CTRL1.CNTEN = 1）

启动定时器后，当 TI1 检测到上升沿时，计数器复位并重新开始计数，并设置触发标志（TIMx\_STS.TITF=1）；TI1 的上升沿与实际计数器复位之间的延迟是由于 TI1 输入的重新同步电路引起的。

图 18-37 复位模式下的控制电路



### 18.4.17.2 从模式：触发模式

在触发模式下，输入端口的触发事件（上升沿/下降沿）可以触发计数器开始计数。

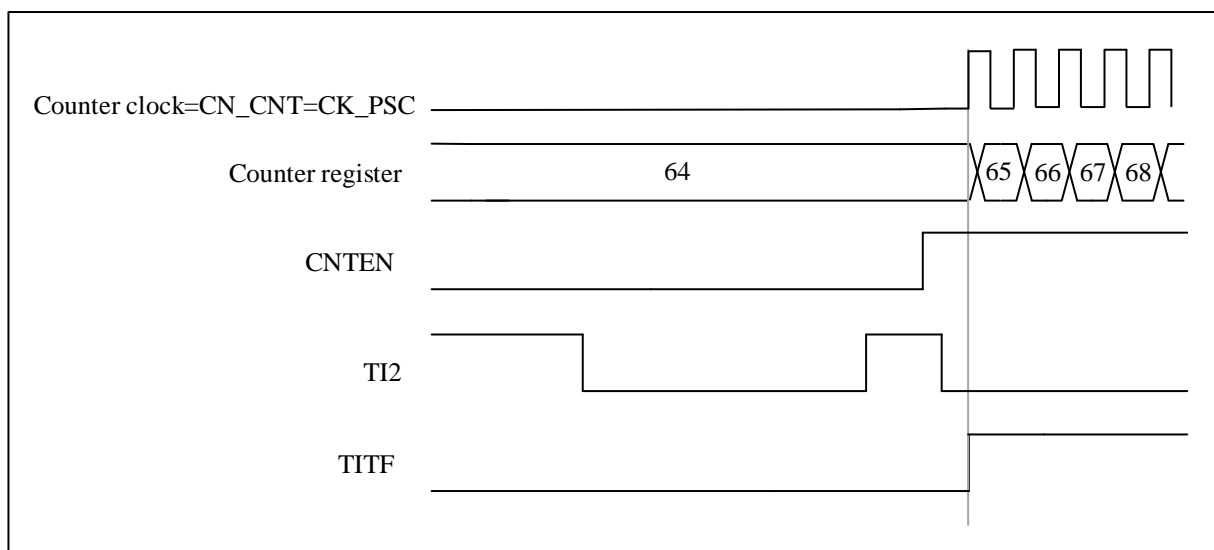
以下是触发模式的示例：

1. 通道 2 配置为输入，检测 TI2 的上升沿（TIMx\_CCMOD1.CC2SEL=01，TIMx\_CCEN.CC2P=0）；
2. 选择从模式为触发模式（TIMx\_SMCTRL.SMSEL=0110），触发输入选择 TI2（TIMx\_SMCTRL.TSEL=110）；

当 TI2 检测到上升沿时，计数器开始计数，触发标志置位（TIMx\_STS.TITF=1）；

TI2 的上升沿与实际计数器启动之间的延迟是由于 TI2 输入的重新同步电路引起的。

图 18-38 触发器模式下的控制电路



### 18.4.17.3 从模式：门控模式

在门控模式下，输入端口的电平极性可以控制计数器是否计数。

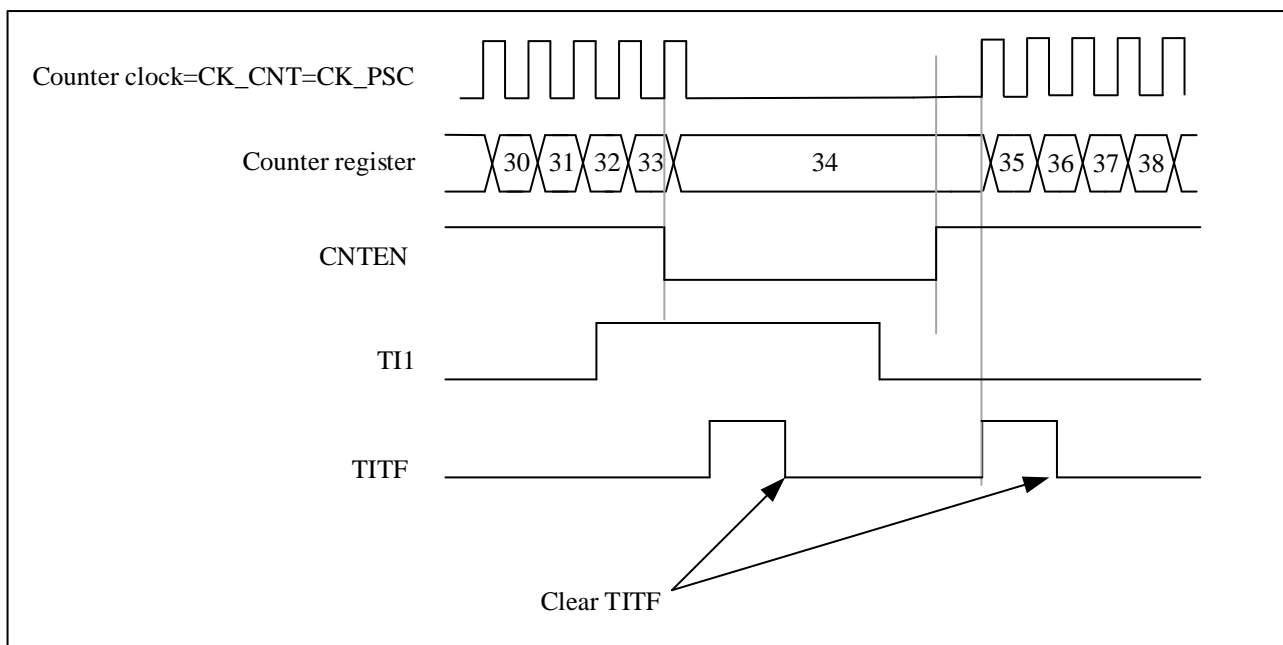
以下是门控模式的示例：

1. 通道 1 配置为 TI1 上的输入检测低电平有效 (TIMx\_CCMOD1.CC1SEL=01, TIMx\_CCEN.CC1P=1);
2. 选择从模式为门控模式 (TIMx\_SMCTRL.SMSEL=0101)，选择 TI1 作为 TRGI (TIMx\_SMCTRL.TSEL=101);
3. 启动计数器 (TIMx\_CTRL1.CNTEN = 1);

当 TI1 检测到电平由低变高时，计数器停止计数，当 TI1 检测到电平由高变低时，计数器开始计数，开始或停止计数时触发标志置位 (TIMx\_STS.TITF=1)。

TI1 的上升沿与实际计数器停止之间的延迟是由于 TI1 输入的重新同步电路引起的。

图 18-39 门控模式下的控制电路



### 18.4.17.4 从模式：触发模式 +外部时钟模式 2

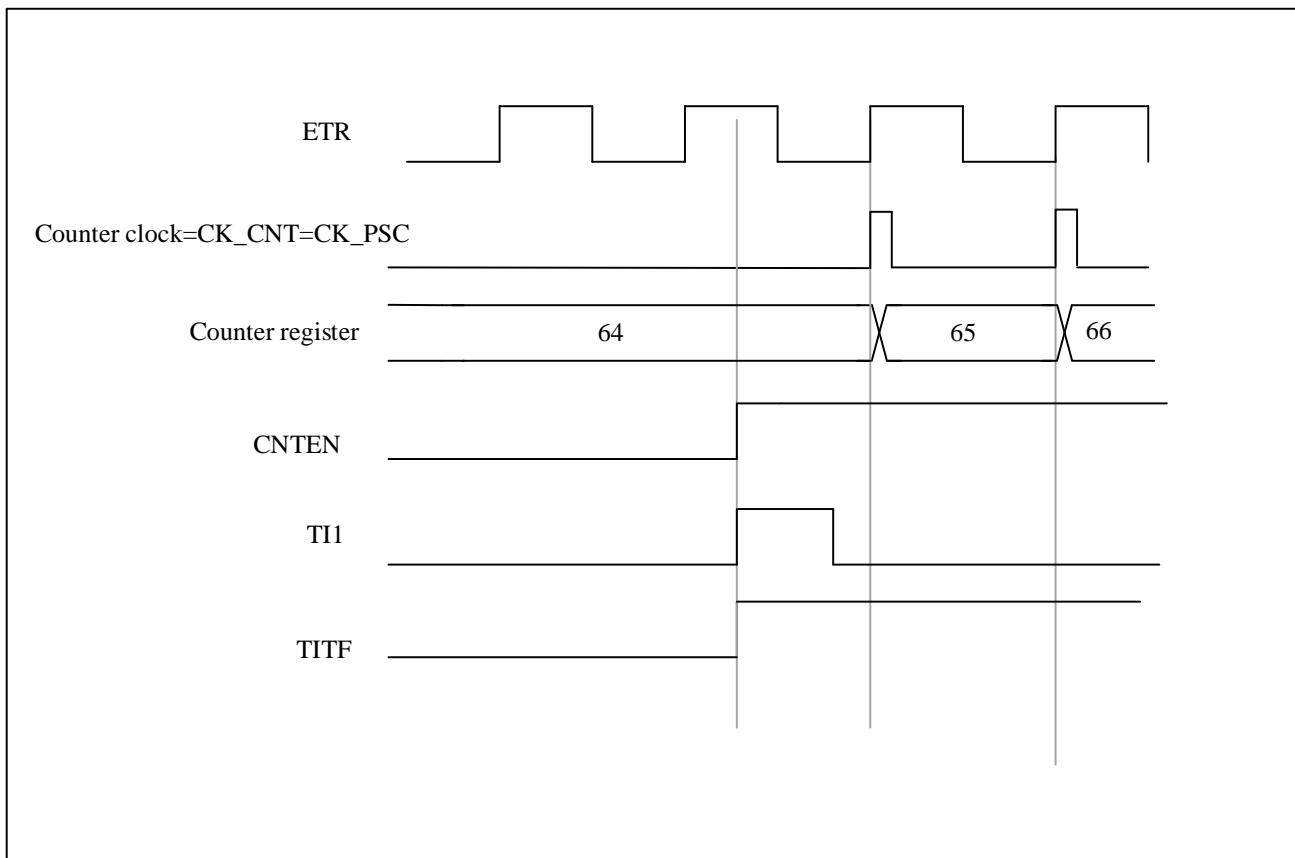
在复位模式、触发模式和门控模式下，计数器时钟可选择为外部时钟模式 2，ETR 信号作为外部时钟源输入。这时候触发选择需要选择非 ETRF (TIMx\_SMCTRL.TSEL=111)。

这是一个例子：

1. 通道 1 配置为输入检测 TI1 的上升沿 (TIMx\_CCMOD1.CC1SEL=01, TIMx\_CCEN.CC1P=0);
2. 使能外部时钟模式 2 (TIMx\_SMCTRL.EXCEN=1), 外部触发极性选择上升沿 (TIMx\_SMCTRL.EXTP=0), 触发模式作为从模式 (TIMx\_SMCTRL.SMSEL=0110), TRGI 选择 TI1 (TIMx\_SMCTRL.TSEL=101);

当 TI1 检测到上升沿时，计数器在 ETR 的上升沿开始计数，并设置触发标志 (TIMx\_STS.TITF=1);



**图 18-40 外部时钟模式 2+触发模式下的控制电路**


#### 18.4.17.5 从模式：组合复位+触发模式

在这种情况下，选定的触发器输入（trgi）的上升沿会重新初始化计数器，生成寄存器的更新，并启动计数器。

这种模式用于单脉冲模式。

输入端上选中的事件复位并使能计数器。

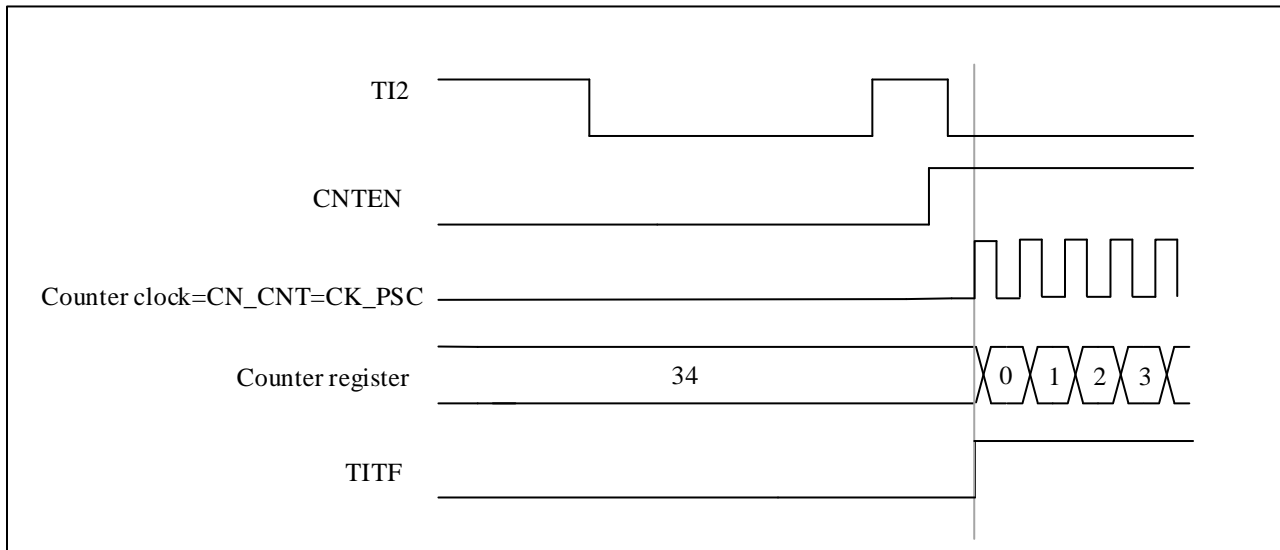
在下面的例子中，计数器在 TI2 输入的上升沿复位并开始向上计数：

- 配置通道 2 检测 TI2 的上升沿。配置输入滤波器带宽(本例中，不需要任何滤波器，保持 TIMx\_CCMOD1.IC2F=0000)。触发操作中不使用捕获预分频器，不需要配置。TIMx\_CCMOD1.CC2SEL 位只用于选择输入捕获源，置 TIMx\_CCMOD1.CC2SEL=01。置 TIMx\_CCEN.CC2P=1 以确定极性(只检测低电平)
- 置 TIMx\_SMCTRL.SMSEL=1110，配置定时器为组合复位+触发模式；置 TIMx\_SMCTRL.TSEL=110，选择 TI2 作为输入源。

当 TI2 出现一个上升沿时，计数器开始在内部时钟驱动下计数，同时设置 TITF 标志。

TI2 上升沿和计数器启动计数之间的延时，取决于 TI2 输入端的重同步电路。

图 18-41 组合复位+触发模式下的控制电路



#### 18.4.17.6 从模式：组合门控+复位模式

当触发器输入（trgi）为高电平时，计数器时钟被启用。一旦触发器变为低电平，计数器就会停止，并被复位。计数器的启动和停止都受到控制。

这种模式可以检测出超范围的 PWM 信号（占空比超过最大预期值）。

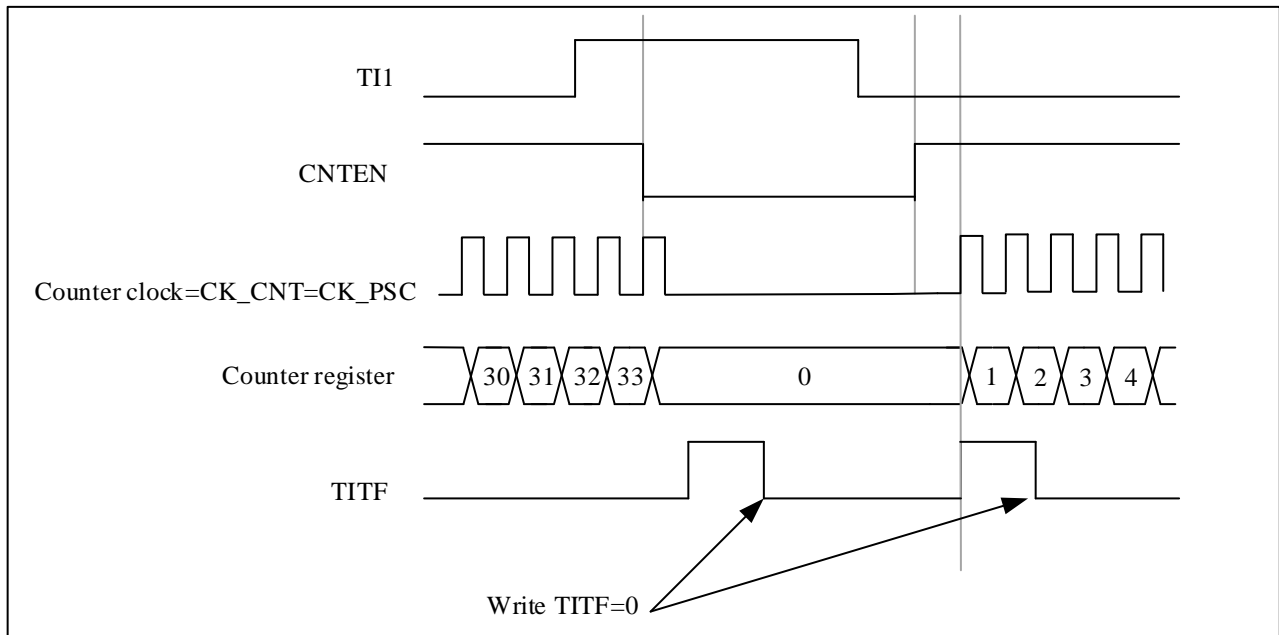
在如下的例子中，计数器只在 TI1 为低时向上计数，在 TI1 变为高时计数器停止并复位：

- 配置通道 1 以检测 TI1 上的低电平。配置输入滤波器带宽(本例中，不需要滤波，所以保持 TIMx\_CCMOD1.IC1F=0000)。触发操作中不使用捕获预分频器，所以不需要配置。TIMx\_CCMOD1.CC1SEL 位用于选择输入捕获源，置 TIMx\_CCMOD1.CC1SEL=01。置 TIMx\_CCEN.CC1P=1 以确定极性(只检测低电平)。
- 置 TIMx\_SMCTRL.SMSEL=1101，配置定时器为门控+复位模式；置 TIMx\_SMCTRL.TSEL=101，选择 TI1 作为输入源。
- 置 TIMx\_CTRL1 寄存器中 CNTEN=1，启动计数器。在门控+复位模式下，如果 CNTEN=0，则计数器不能启动，不论触发输入电平如何。

只要 TI1 为低，计数器开始依据内部时钟计数，一旦 TI1 变高则停止计数。当计数器开始或停止时都设置 TIMx\_STS 中的 TITF 标置。

TI1 上升沿和计数器实际停止之间的延时取决于 TI1 输入端的重同步电路。

图 18-42 组合门控+复位模式下的控制电路



### 18.4.18 定时器同步

所有 TIM 定时器在内部相连，用于定时器同步或链接。参考 20.5.20。

### 18.4.19 触发 ADC

定时器可通过多种内部信号产生 ADC 触发事件，例如复位、使能或比较事件，也可生成由内部边沿检测器发出的脉冲触发。在重定向到 ADC 的 TRGO/TRGO2 内部线路上发出触发信号可通过 TIMx\_CTRL2 寄存器中的 MMSEL2[3:0]、MMSEL[3:0]位选择。也可以通过配置 TIMx\_CTRL2.TRIG4/TRIG4/TRIG8/TRIG9 等于'1'来让通道 4/7/8/9 触发 ADC，此时通道 4/7/8/9 在比较匹配时会产生脉冲触发 ADC。

### 18.4.20 产生六步 PWM 输出

为了同时修改所有通道的配置，可以提前设置下一步的配置（预加载位为 OCxMD、CCxEN 和 CCxNEN）。当发生 COM 换相事件时，OCxMD、CCxEN 和 CCxNEN 预加载位被传送到影子寄存器位。

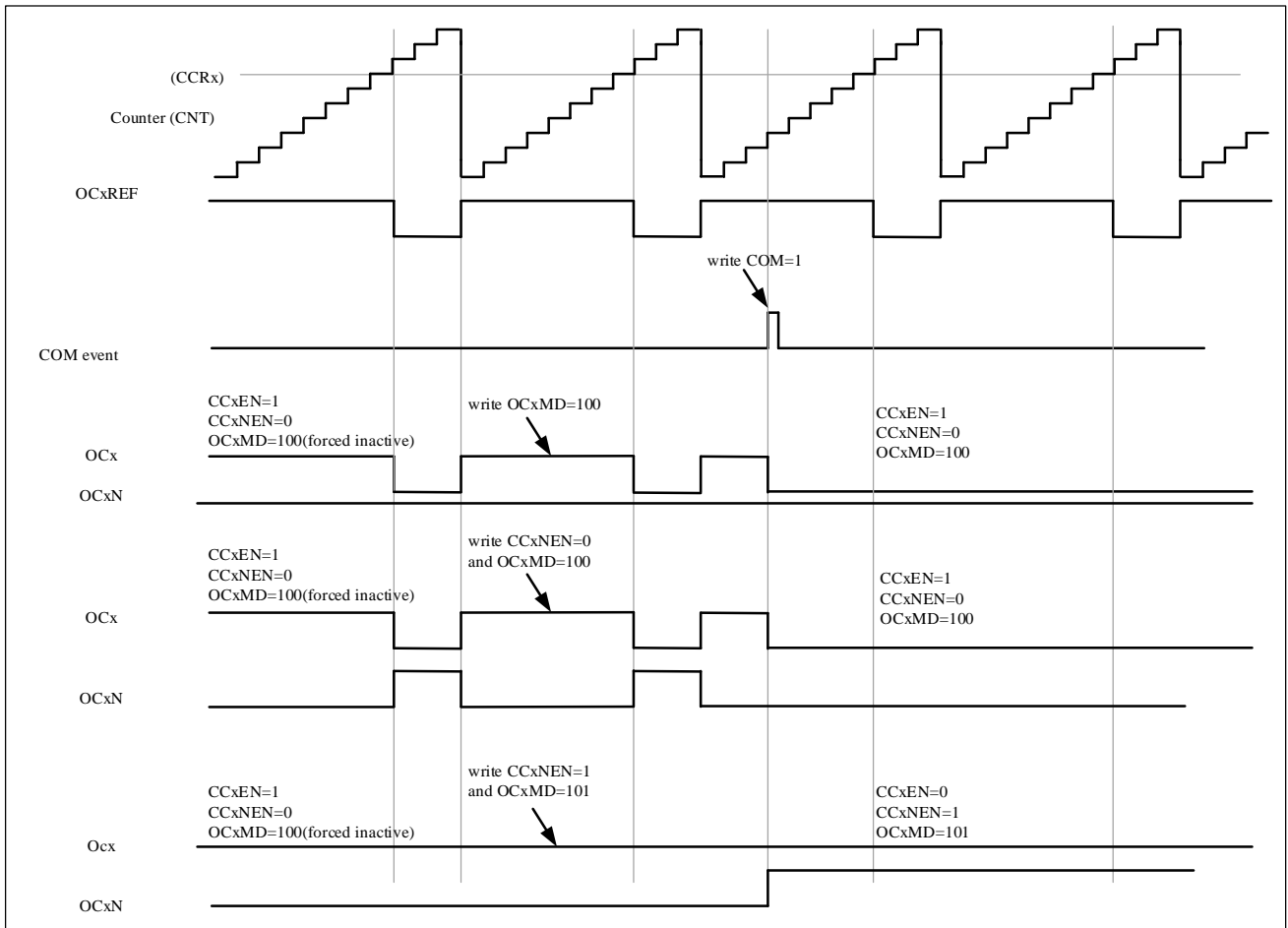
COM 换相事件生成方法：

1. 软件设置 TIMx\_EVTGEN.CCUDGN；
2. 在 TRGI 的上升沿由硬件产生；

当 COM 换相事件发生时，TIMx\_STS.COMITF 标志将被设置，启用中断 (TIMx\_DINTEN.COMIEN) 将产生中断，启用 DMA 请求 (TIMx\_DINTEN.COMDEN) 将产生 DMA 请求。

下图显示了三种不同配置下发生 COM 换向事件时 OCx 和 OCxN 的输出时序图：

图 18-43 产生六步 PWM，使用 COM 的例子 (OSSR=1)



## 18.4.21 编码器接口模式

### 18.4.21.1 正交编码模式

编码器使用两个输入 TI1 和 TI2 作为接口，计数器对 TI1FP1 或 TI2FP2 上的每个边沿变化进行计数。计数方向由硬件 TIMx\_CTRL1.DIR 自动控制。正交编码器计数模式共有五种：

- 编码器模式 1：计数器只在 TI1 的边沿计数，TIMx\_SMCTRL.SMSEL = '0001'；
- 编码器模式 2：计数器只在 TI2 的边沿计数，TIMx\_SMCTRL.SMSEL = '0010'；
- 编码器模式 3：计数器同时在 TI1 和 TI2 的边沿计数，TIMx\_SMCTRL.SMSEL = '0011'；
- 编码器模式 4：T2 是高电平时，计数器只在 TI1 的边沿计数，TIMx\_SMCTRL.SMSEL = '1001'；
- 编码器模式 5：T1 是高电平时，计数器只在 TI2 的边沿计数，TIMx\_SMCTRL.SMSEL = '1010'；

编码器接口相当于使用带方向选择的外部时钟，计数器只在 0 和自动重载值(TIMx\_AR.AR [15:0])之间连续计数。因此，需要提前配置自动重载寄存器 TIMx\_AR。

*注意：编码器模式和外部时钟模式 2 不兼容，不能同时选择。*

计数方向与编码器信号的关系如下表：

**表 18-14** 计数方向与编码器信号的关系 (CC1P=CC2P=0)

有效边沿	SMSEL[3:0]	相对信号的电平 (TI1FP1对应 TI2, TI2FP2对应 TI1)	TI1FP1信号		TI2FP2信号	
			上升	下降	上升	下降
仅在TI1计数	0001	高	向下计数	向上计数	不计数	不计数
		低	向上计数	向下计数	不计数	不计数
仅在TI2计数	0010	高	不计数	不计数	向上计数	向下计数
		低	不计数	不计数	向下计数	向上计数
在TI1和TI2上计数	0011	高	向下计数	向上计数	向上计数	向下计数
		低	向上计数	向下计数	向下计数	向上计数
仅在TI1计数且T2为高电平	1001	高	向下计数	向上计数	不计数	不计数
		低	不计数	不计数	不计数	不计数
仅在TI2计数且T1为高电平	1010	高	不计数	不计数	向上计数	向下计数
		低	不计数	不计数	不计数	不计数

计数器在各个模式下时计数器值的变化如下：

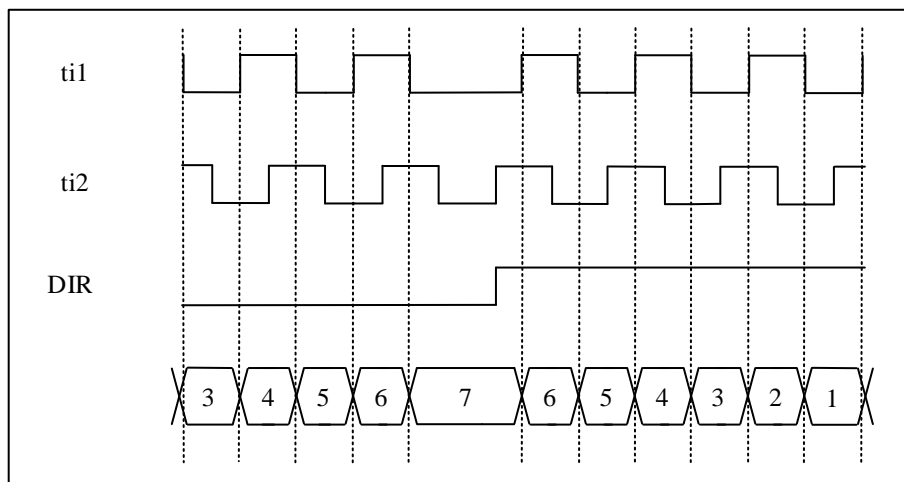
**图 18-44** 编码器仅在 TI1 计数


图 18-45 编码器仅在 TI2 计数

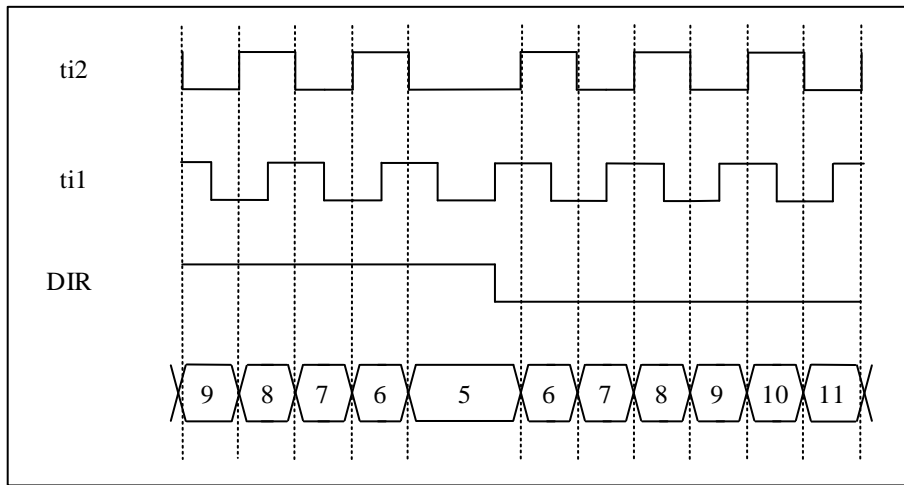


图 18-46 编码器在 TI1 和 TI2 上计数

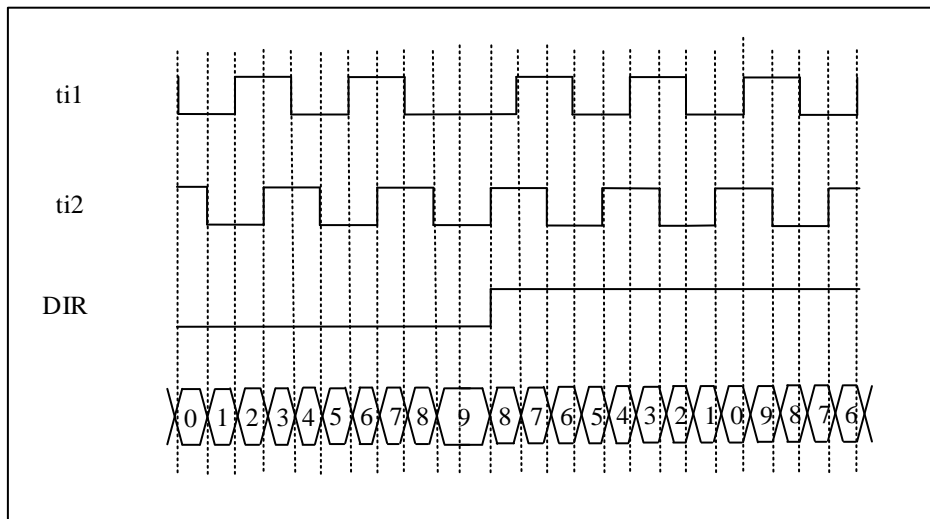


图 18-47 T2 是高电平时，计数器只在 TI1 计数

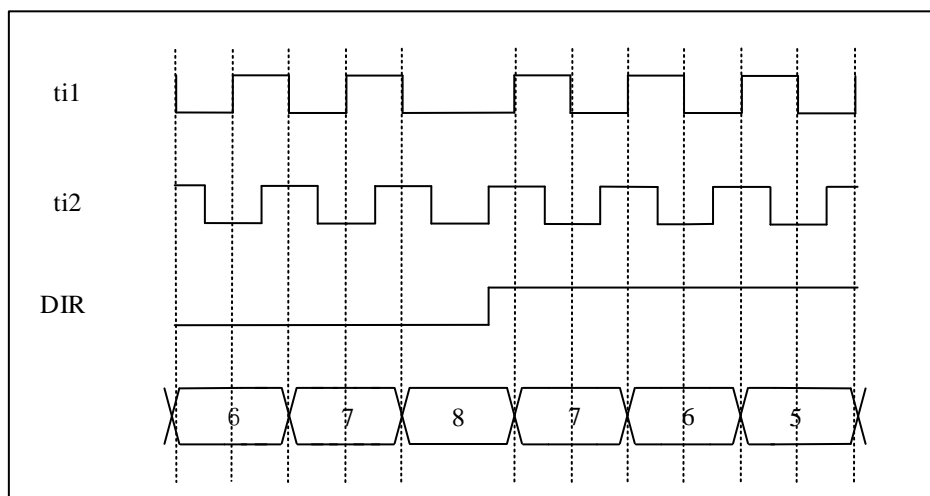
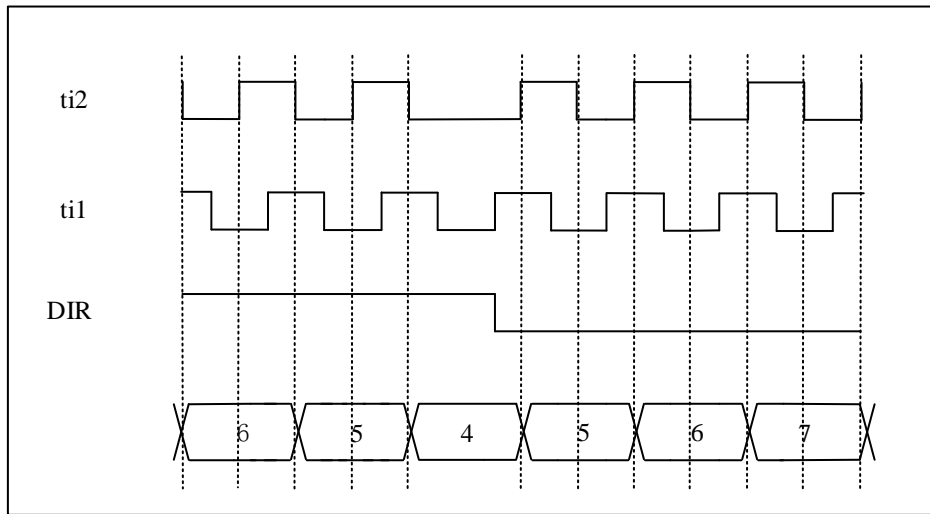


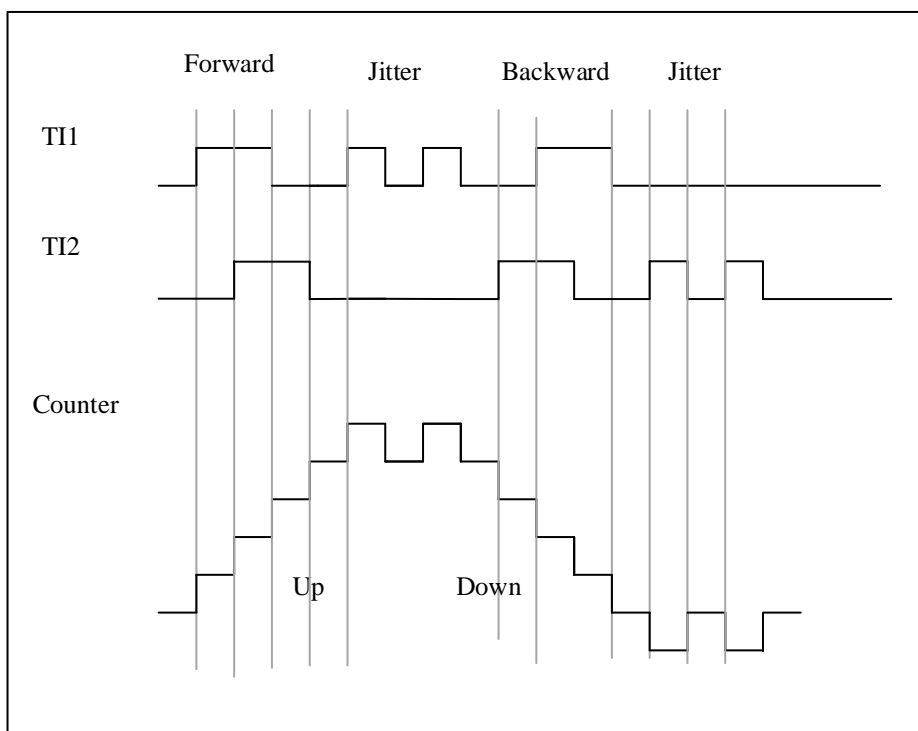
图 18-48 T1 是高电平时，计数器只在 TI2 计数



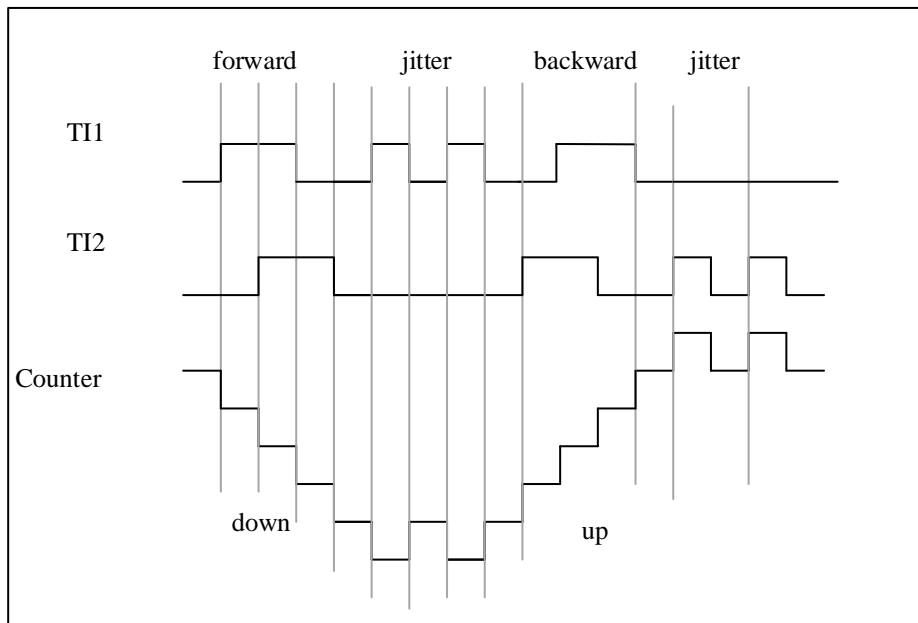
以下是选择了双边沿触发以抑制输入抖动的编码器示例：

1. IC1FP1 映射到 TI1 (TIMx\_CCMOD1.CC1SEL = '01'), IC1FP1 不反相 (TIMx\_CCEN.CC1P = '0');
2. IC1FP2 映射到 TI2 (TIMx\_CCMOD2.CC2SEL = '01'), IC2FP2 不反相 (TIMx\_CCEN.CC2P = '0');
3. 输入在上升沿和下降沿均有效 (TIMx\_SMCTRL.SMSEL = '0011');
4. 启用计数器 TIMx\_CTRL1.CNTEN = '1';

图 18-49 编码器模式下的计数器操作实例



下图为 IC1FP1 极性反转时的计数器行为示例 (CC1P = '1', 其他配置同上)

**图 18-50 IC1FP1 反相的编码器接口模式实例**


#### 18.4.21.2 脉冲电平编码模式

脉冲电平编码模式中，时钟是在 TI2 上单线上提供的，而计数方向是 TI1 输入提供的。

该模式通过 TIMx\_SMCTRL 寄存器中的 SMSEL[3:0] 启用，具体如下。

1011：脉冲电平编码模式 2，计数器在时钟的上升沿和下降沿都被更新。

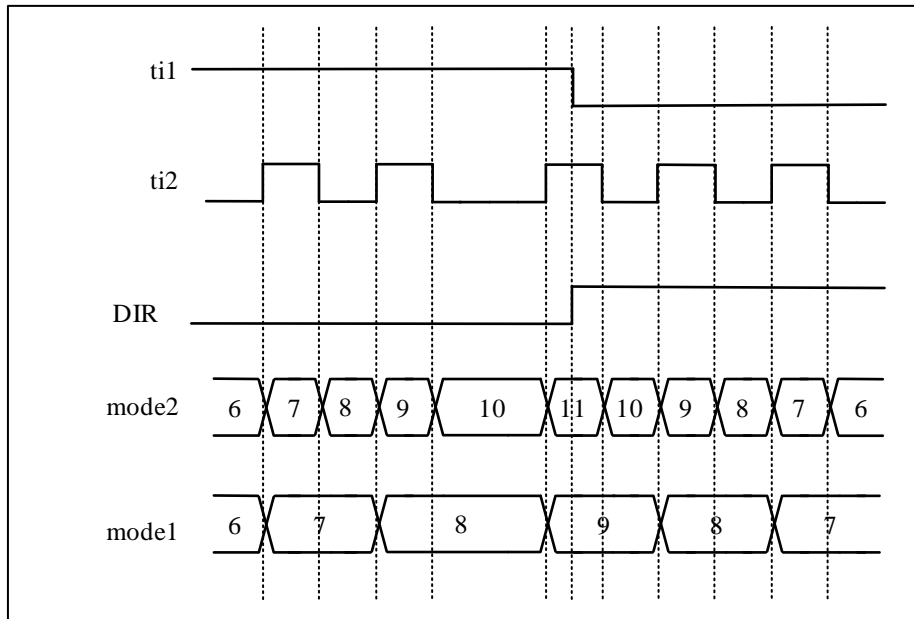
1100：脉冲电平编码模式 1，根据 CC2P 值，计数器在单个时钟沿上更新。CC2P = 0 对应于上升沿计数，CC2P = 1 对应于下降沿计数。

TI1 的方向信号的极性是通过 CC1P 位来设置的。CC2P = 0 时当 TI1 为高电平时向上计数，当 TI1 为低电平时向下计数；CC1P = 1 时当 TI1 为低电平时向上计数，TI1 为高电平时向下计数。

下图以 CC1P=CC2P=0 为例：



图 18-51 脉冲电平编码模式 (CC1P=CC2P=0)



### 18.4.21.3 双脉冲编码模式

双脉冲编码模式中，时钟在两条线上被提供，根据不同的方向，一次只能提供一条，这样就有一条向上计数的时钟线和一条向下计数的时钟线。

该模式通过 TIMx\_SMCTRL 寄存器中的 SMSEL[3:0]位域启用，具体如下。

- 1000：双脉冲编码模式 2，计数器在两条时钟线中任何一条的上升沿和下降沿都被更新。CC1P 和 CC2P 位是对时钟空闲状态的编码。CCxP=0 对应于高电平空闲状态，CCxP=1 对应于低电平空闲状态。
- 1111：双脉冲编码模式 1，根据 CC1P 和 CC2P 位值，计数器在单个时钟沿上更新。CCxP=0 对应下降沿和高电平状态，CCxP=1 对应上升沿和低电平状态。

下表描述了计数方向与编码器信号和极性设置的关系

表 18-15 计数方向与编码器信号和极性设置的关系

双脉冲编码模式	SMSEL[3:0]	相对信号的电平(TI1FP1 对应 TI2, TI2FP2 对应 TI1)	TI1FP1 信号		TI2FP2 信号	
			上升	下降	上升	下降
模式 2 CCxP=0	1000	高	向下计数	向下计数	向上计数	向上计数
		低	不计数	不计数	不计数	不计数
模式 2	1000	高	不计数	不计数	不计数	不计数

CCxP=1		低	向下计数	向下计数	向上计数	向上计数
模式 1 CCxP=0	1111	高	不计数	向下计数	不计数	向上计数
		低	不计数	不计数	不计数	不计数
模式 1 CCxP=1	1111	高	不计数	不计数	不计数	不计数
		低	向下计数	不计数	向上计数	不计数

下图显示了双脉冲编码模式计数器计数方式

图 18-52 双脉冲编码模式 (CC1P = CC2P = 0)

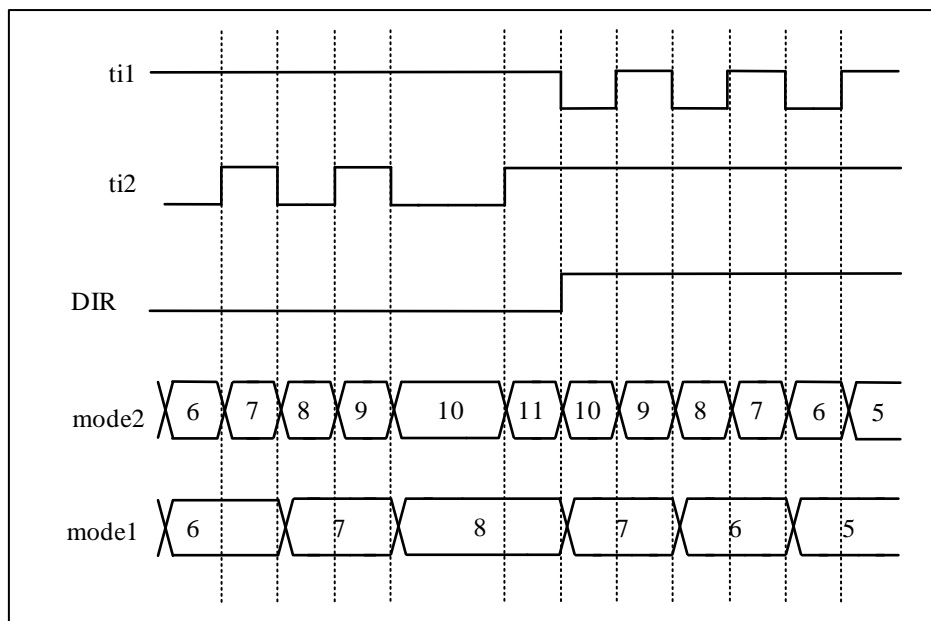
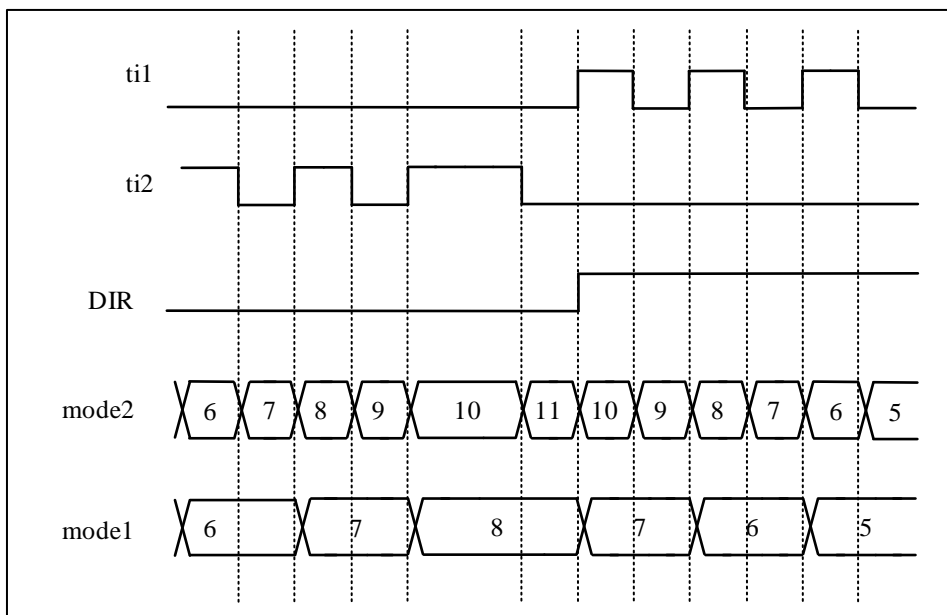


图 18-53 双脉冲编码模式 (CC1P = CC2P = 1)



## 18.4.22 与霍尔传感器的接口

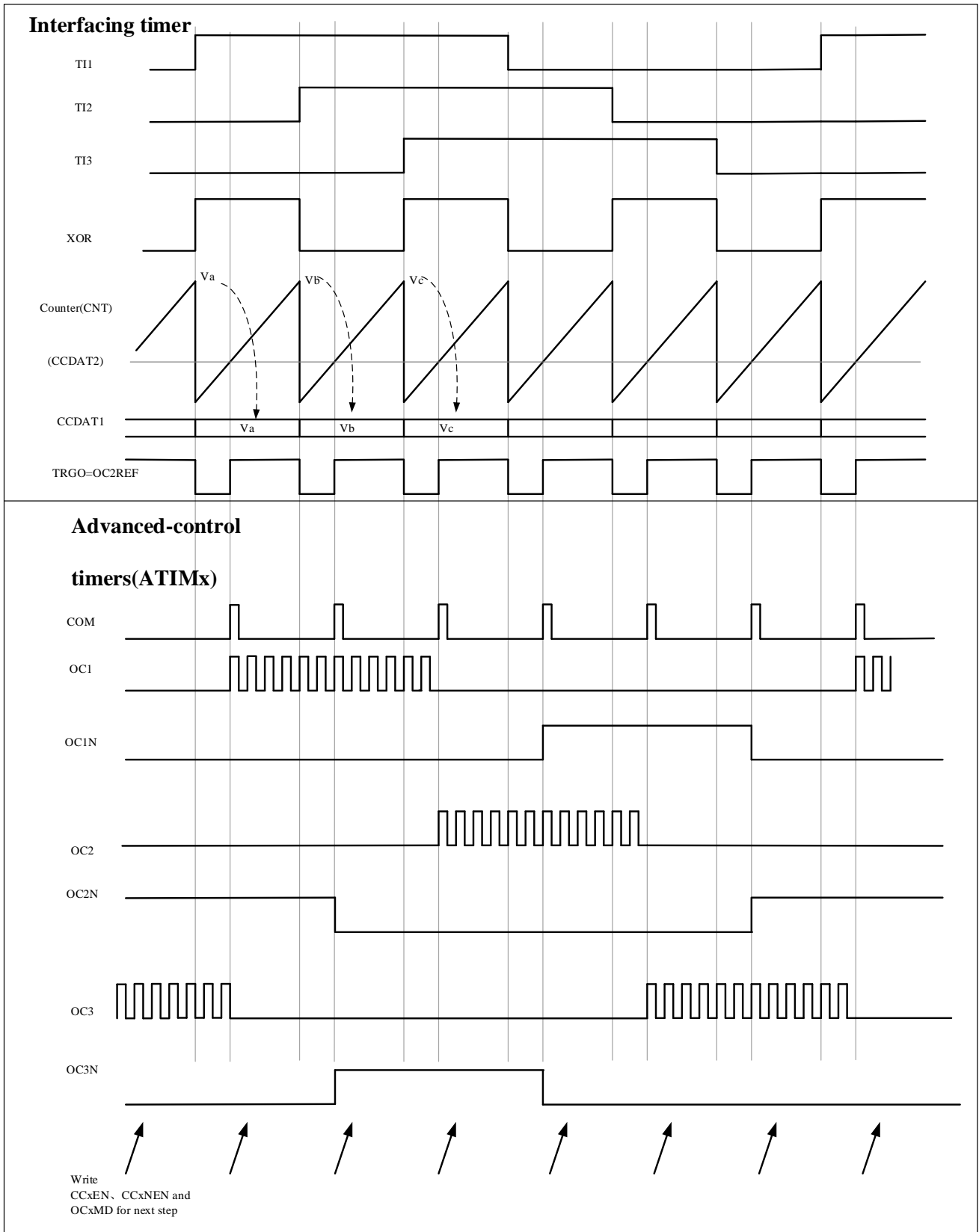
将霍尔传感器连接到定时器的三个输入引脚（CC1、CC2 和 CC3），然后选择异或功能将 TIMx\_CH1、TIMx\_CH2 和 TIMx\_CH3 的输入通过异或门作为 TI1 的输出到通道 1 进行捕捉信号。

定时器需要配置为从模式下的复位模式（TIMx\_SMCTRL.SMSEL='100'）；触发选择 TI1 的边沿触发 TI1F\_ED (TIMx\_SMCTRL.TSEL='100')，霍尔 3 输入的任何变化都会触发计数器重新计数，因此用作时间参考；捕获/比较通道 1 配置为捕获模式下的 TRC 信号（TIMx\_CCMOD1.CC1SEL='11'），用于计算两个输入时间间隔，从而反映电机速度。

选择定时器通道 2 向高级定时器输出脉冲，触发高级定时器的 COM 事件，更新输出 PWM 的控制位。高级定时器的触发选择需要选择对应的内部触发信号（TIMx\_SMCTRL.TSEL="ITRx"），捕获/比较预加载控制位需要配置为支持预加载（TIMx\_CTRL2.CCPCTL=1）并支持上升沿 TRGI 边沿触发更新（TIMx\_CTRL2.CCUSEL=1）。

此示例如下图所示。

图 18-54 霍尔传感器接口的实例



## 18.5 ATIMx 寄存器描述

关于在寄存器描述里面所用到的缩写，详见 1.1 节。

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

### 18.5.1 控制寄存器 1 (TIMx\_CTRL1)

偏移地址：0x00

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								ASYMMETRIC	Reserved	CMODE[1:0]		Reserved			
								rw		rw					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRAMECCERREN	Reserved	CLRSEL	SRAMPARERREN	PBKPEN	LBKPEN	ARPEN	ONEPM	CLKD[1:0]	UPDIS	UPRS	CAMSEL[1:0]	DIR	CNTEN		
w		rw	w	w	w	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:24	Reserved	保留，必须保持复位值
23	ASYMMETRIC	中央对齐非对称模式使能（Asymmetric mode enable in center-aligned mode） 0：禁用 1：使能（当TIMx_CTRL1.CAMSEL[1:0]非零时有效，每个通道向上计数时与CCDATx比较，向下计数时与CCDDATx比较）
22	Reserved	保留，必须保持复位值
21:20	CMODE	中心对齐模式(Center-aligned mode) 中心对齐非对称模式下，通道4/7/8/9触发的方式，只有当TIMx_CTRL2.MMSEL为'1xxx'的时候才会通过TRGO信号输出生效 00：向上计数达到CCDAT4/7/8/9的值，触发有效 01：向下计数，通道4达到CCDDAT4，通道7/8/9达到CCDAT7/8/9的值，触发有效 1x：通道4向上计数达到CCDAT4，向下计数达到CCDDAT4；通道7/8/9向上和向下计数达到CCDAT7/8/9的值，触发均有效。  中心对齐对称模式下，通道4/7/8/9触发的方式，只有当TIMx_CTRL2.MMSEL为'1xxx'的时候才会通过TRGO信号输出生效 00：向上计数达到CCDAT4/7/8/9的值，触发有效 01：向下计数达到CCDAT4/7/8/9的值，触发有效 1x：向上和向下计数达到CCDAT4/7/8/9的值，触发均有效
19:16	Reserved	保留，必须保持复位值
15	SMECCERREN	SRAM ECC错误作为BRK使能（SRAM ECC error as brk Enable） 0：禁止

位域	名称	描述
		1: 使能 注意: 系统复位和上电复位可以将此位清0, 定时器复位不能将此位清0
14	Reserved	保留, 必须保持复位值
13	CLRSEL	OcxRef清除选择 (OcxRef clear selection) 0: 选择外部Ocxclr (TIMx_ETR)信号, 具体选择见TIMx_INSEL.ETRS 1: 选择内部Ocxclr (tim_ocref_clr)信号, 具体选择见TIMx_INSEL.CLRS
12	SMPARERREN	SRAM PAR错误作为BRK使能 (SRAM parity error as brk Enable) 0: 禁止 1: 使能 注意: 系统复位和上电复位可以将此位清0, 定时器复位不能将此位清0
11	PBKPEN	PVD作为BRK使能 (PVD as brk Enable) 0: 禁止 1: 使能 注意: 系统复位和上电复位可以将此位清0, 定时器复位不能将此位清0
10	LBKPEN	锁存作为BRK使能 (LockUp as brk Enable) (Core Hardfault) 0: 禁止 1: 使能 注意: 系统复位和上电复位可以将此位清0, 定时器复位不能将此位清0
9	ARPEN	自动重载预装载允许位 (Auto-reload preload enable) 0: TIMx_AR 寄存器的影子寄存器禁用 1: TIMx_AR 寄存器的影子寄存器使能
8	ONEPM	单脉冲模式 (One pulse mode) 0: 禁用单脉冲模式, 发生更新事件时不影响计数器计数。 1: 使能单脉冲模式, 下次更新事件发生时计数器停止计数
7:6	CLKD[1:0]	时钟分频因子 (Clock division) CLKD[1:0] 表示 CK_INT (定时器时钟) 和 DTS (用于死区时间发生器和数字滤波器 (ETR、TIx) 的时钟) 之间的分频比。 00: $t_{DTS} = t_{CK\_INT}$ 01: $t_{DTS} = 2 \times t_{CK\_INT}$ 10: $t_{DTS} = 4 \times t_{CK\_INT}$ 11: 保留, 不要使用这个配置
5	UPDIS	更新禁用 (Update disable) 该位用于启用/禁用软件生成的更新事件 (UEV) 事件。 0: 启用。 如果满足以下条件之一, 将生成 UEV: – 计数器上溢/下溢 – TIMx_EVTGEN.UDGN 位被设置 – 从模式控制器的更新生成 影子寄存器将使用预加载值进行更新。 1: UEV 禁用。 不生成更新事件, 影子寄存器 (AR、PSC 和 CC DATx) 保持它们的

位域	名称	描述
		值。如果 TIMx_EVTGEN.UDGN 位置位或从模式控制器发出硬件复位，则重新初始化计数器和预分频器。
4	UPRS	更新请求源 (Update request source) 该位用于通过软件选择 UEV 事件源。 0: 如果更新中断或 DMA 请求使能，以下任何事件都会产生更新中断或 DMA 请求： – 计数器上溢/下溢 – TIMx_EVTGEN.UDGN 位被设置 – 从模式控制器的更新生成 1: 如果更新中断或 DMA 请求使能，只有计数器上溢/下溢会产生更新中断或 DMA 请求。
3:2	CAMSEL[1:0]	选择中央对齐模式 (Center-aligned mode selection) 00: 边缘对齐模式。TIMx_CTRL1.DIR 指定向上计数或向下计数。 01: 中央对齐模式1。计数器在中央对齐模式下计数，向下计数时输出比较中断标志位设置为 1。 10: 中央对齐模式2。计数器在中央对齐模式下计数，向上计数时输出比较中断标志位设置为1。 11: 中央对齐模式3。计数器在中央对齐模式下计数，向上计数或向下计数时输出比较中断标志位设置为 1。 注意：当计数器仍然启用时 (TIMx_CTRL1.CNTEN = 1)，不允许从边缘对齐模式切换到中央对齐模式。
1	DIR	方向 (Direction) 0: 计数器向上计数； 1: 计数器向下计数。 注意：当计数器配置为中央对齐模式或编码器模式时，该位为只读。
0	CNTEN	使能计数器 (Counter enable) 0: 禁止计数器； 1: 使能计数器。 注意：在软件设置了CNTEN位后，外部时钟、门控模式和编码器模式才能工作。触发模式可以自动地通过硬件设置CNTEN位。

## 18.5.2 控制寄存器 2 (TIMx\_CTRL2)

偏移地址: 0x04

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				MMSEL2[3:0]			TRIG9	TRIG8	TRIG7	TRIG4	TI1SEL	CCPCTL	CCDSEL	CCUSEL	
				rw			rw	rw	rw	rw	rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MMSEL[3:0]			Reserved	OI6	Reserved	OI5	OI4N	OI4	OI3N	OI3	OI2N	OI2	OI1N	OI1	
rw				rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	

位域	名称	描述
31:28	Reserved	保留，必须保持复位值
27:24	MMSEL2[3:0]	主模式选择 这 4 位用于选择在主模式下发送出去的同步信息（TRGO2）。可能的组合如下： 0000：复位 - 当 TIMx_EVTGEN.UDGN 置位或从模式控制器产生复位时，将出现 TRGO2 脉冲。在后一种情况下，TRGO2 上的信号与实际复位相比有所延迟。 0001：使能 - TIMx_CTRL1.CNTEN 位用作触发输出 (TRGO2)。有时需要同时启动多个定时器或者在一段时间内开启从定时器。 当 TIMx_CTRL1.CNTEN 位置位或门控模式下的触发输入为高电平时，计数器使能信号置位。 当计数器使能信号由触发输入控制时，TRGO2 上有一个延迟，除非选择了主/从模式（参见 TIMx_SMCTRL.MSMD 位的说明）。 0010：更新 - 选择更新事件作为触发输出 (TRGO2)。例如，主定时器时钟可用作从定时器预分频器。 0011：比较脉冲 - 当 TIMx_STS.CC1ITF 被设置时（即使它已经是高电平），即捕获或比较成功时，触发输出发送一个正脉冲 (TRGO2)。 0100：比较 - OC1REF 信号用作触发输出 (TRGO2)。 0101：比较 - OC2REF 信号用作触发输出 (TRGO2)。 0110：比较 - OC3REF 信号用作触发输出 (TRGO2)。 0111：比较 - OC4REF 信号用作触发输出 (TRGO2)。 1000：比较 - OC5REF 信号用作触发输出 (TRGO2)。 1001：比较 - OC6REF 信号用作触发输出 (TRGO2)。 1010：比较脉冲 - OC4REF 上升沿或者下降沿时，触发输出发送一个正脉冲 (TRGO2)。 1011：比较脉冲 - OC6REF 上升沿或者下降沿时，触发输出发送一个正脉冲 (TRGO2)。 1100：比较脉冲 - OC4REF 上升沿或者 OC6REF 上升沿时，触发输出发送一个正脉冲 (TRGO2)。 1101：比较脉冲 - OC4REF 上升沿或者 OC6REF 下降沿时，触发输出发送一个正脉冲 (TRGO2)。 1110：比较脉冲 - OC5REF 上升沿或者 OC6REF 上升沿时，触发输出发送一个正脉冲 (TRGO2)。 1111：比较脉冲 - OC5REF 上升沿或者 OC6REF 下降沿时，触发输出发送一个正脉冲 (TRGO2)。



位域	名称	描述
23	TRIG9	通道9比较匹配时触发 ADC 使能 0: 触发禁用 1: 触发使能
22	TRIG8	通道8比较匹配时触发 ADC 使能 0: 触发禁用 1: 触发使能
21	TRIG7	通道7比较匹配时触发 ADC 使能 0: 触发禁用 1: 触发使能
20	TRIG4	通道4比较匹配时触发 ADC 使能 0: 触发禁用 1: 触发使能
19	TI1SEL	TI1选择 (TI1 selection) 0: TIMx_CH1引脚连到TI1输入; 1: TIMx_CH1、TIMx_CH2和TIMx_CH3引脚经异或后连到TI1输入。
18	CCPCTL	捕获/比较预装载控制位 (Capture/compare preloaded control) 0: CCxEN, CCxNEN和OCxMD位不是预装载的; 1: CCxEN, CCxNEN和OCxMD位是预装载的; 设置该位后, 它们只在设置了CCUDGN位后被更新。 注意: 该位只对具有互补输出的通道起作用。
17	CCDSEL	捕获/比较的DMA选择 (Capture/compare DMA selection) 0: 当发生CCx事件时, 送出CCx的DMA请求; 1: 当发生更新事件时, 送出CCx的DMA请求。
16	CCUSEL	捕获/比较控制更新选择 (Capture/compare control update selection) 0: 如果捕获/比较控制位是预装载的 (CCPCTL =1), 只能通过设置CCUDGN位更新它们; 1: 如果捕获/比较控制位是预装载的 (CCPCTL =1), 可以通过设置CCUDGN位或TRGI上的一个上升沿更新它们。 注意: 该位只对具有互补输出的通道起作用。
15:12	MMSEL[3:0]	主模式选择 这 4 位用于选择在主模式下发送出去的同步信息 (TRGO)。可能的组合如下: 000: 复位 - 当 TIMx_EVTGEN.UDGN 置位或从模式控制器产生复位时, 将出现 TRGO 脉冲。在后一种情况下, TRGO 上的信号与实际复位相比有所延迟。 0001: 使能 - TIMx_CTRL1.CNTEN 位用作触发输出 (TRGO)。有时需要同时启动多个定时器或者在一段时间内开启从定时器。 当 TIMx_CTRL1.CNTEN 位置位或门控模式下的触发输入为高电平时, 计数器使能信号置位。 当计数器使能信号由触发输入控制时, TRGO 上有一个延迟, 除非选择了主/从模式 (参见 TIMx_SMCTRL.MSMD 位的说明)。

位域	名称	描述
		0010: 更新 - 选择更新事件作为触发输出 (TRGO)。例如, 主定时器时钟可用作从定时器预分频器。 0011: 比较脉冲 - 当 TIMx_STS.CC1ITF 被设置时 (即使它已经是高电平), 即捕获或比较成功时, 触发输出发送一个正脉冲 (TRGO)。 0100: 比较 - OC1REF 信号用作触发输出 (TRGO)。 0101: 比较 - OC2REF 信号用作触发输出 (TRGO)。 0110: 比较 - OC3REF 信号用作触发输出 (TRGO)。 0111: 比较 - OC4REF 信号用作触发输出 (TRGO)。 1xxx: 比较-如果计数器为中央对齐模式: OC4REF/OC7REF/OC8REF/OC9REF的相应边沿信号作为触发输出 (TRGO), 向上/向下计数可配置, 具体参考 TIMx_CTRL1.CMODE。如果计数器为边沿对齐模式: OC4REF 信号用作触发输出 (TRGO)。
11	Reserved	保留, 必须保持复位值
10	OI6	输出空闲状态6 (OC6输出)。参见OI1位。
9	Reserved	保留, 必须保持复位值
8	OI5	输出空闲状态5 (OC5输出)。参见OI1位。
7	OI4N	输出空闲状态4 (OC4N输出)。参见OI1N位。
6	OI4	输出空闲状态4 (OC4输出)。参见OI1位。
5	OI3N	输出空闲状态3 (OC3N输出)。参见OI1N位。
4	OI3	输出空闲状态3 (OC3输出)。参见OI1位。
3	OI2N	输出空闲状态2 (OC2N输出)。参见OI1N位。
2	OI2	输出空闲状态2 (OC2输出)。参见OI1位。
1	OI1N	输出空闲状态1 (OC1N输出) (Output Idle state 1N) 0: 当MOEN=0时, 死区后OC1N=0; 1: 当MOEN=0时, 死区后OC1N=1。 注意: 已经设置了TIMx_BKDT.LCKCFG级别1、2或3后, 该位不能被修改。
0	OI1	输出空闲状态1 (OC1输出) (Output Idle state 1) 0: 当MOEN=0时, 如果实现了OC1N, 则死区后OC1=0; 1: 当MOEN=0时, 如果实现了OC1N, 则死区后OC1=1。 注意: 已经设置了TIMx_BKDT.LCKCFG级别1、2或3后, 该位不能被修改。

### 18.5.3 状态寄存器 (TIMx\_STS)

偏移地址: 0x08

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				CC9ITF	CC8ITF	CC7ITF	Reserved	SBITF	BITF2	BITF	TITF	COMITF	UDITF		
				rc_w0	rc_w0	rc_w0		rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

Reserved	CC4OCF	CC3OCF	CC2OCF	CC1OCF	Reserved	CC6ITF	CC5ITF	CC4ITF	CC3ITF	CC2ITF	CC1ITF
	rc_w0	rc_w0	rc_w0	rc_w0		rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

位域	名称	描述
31:27	Reserved	保留，必须保持复位值
26	CC9ITF	捕获/比较9中断标记 (Capture/Compare 9 interrupt flag) 参考CC1ITF描述。
25	CC8ITF	捕获/比较8中断标记 (Capture/Compare 8 interrupt flag) 参考CC1ITF描述。
24	CC7ITF	捕获/比较7中断标记 (Capture/Compare 7 interrupt flag) 参考CC1ITF描述。
23:22	Reserved	保留，必须保持复位值
21	SBITF	系统刹车中断标记(System break interrupt flag) 一旦系统刹车输入有效，由硬件对该位置'1'。如果系统刹车输入无效，则该位可由软件清'0'。 0: 无刹车事件产生； 1: 系统刹车输入上检测到有效电平。
20	BITF2	刹车2中断标记 (Break2 interrupt flag) 一旦刹车2输入有效，由硬件对该位置'1'。如果刹车2输入无效，则该位可由软件清'0'。 0: 无刹车2事件产生； 1: 刹车2输入上检测到有效电平。
19	BITF	刹车1中断标记 (Break1 interrupt flag) 一旦刹车1输入有效，由硬件对该位置'1'。如果刹车1输入无效，则该位可由软件清'0'。 0: 无刹车1事件产生； 1: 刹车1输入上检测到有效电平。
18	TITF	触发器中断标记 (Trigger interrupt flag) 当发生触发事件 (当从模式控制器处于除门控模式外的其它模式时，在TRGI输入端检测到有效边沿，或门控模式下的任一边沿) 时由硬件对该位置'1'。它由软件清'0'。 0: 无触发器事件产生； 1: 触发中断等待响应。
17	COMITF	COM中断标记 (COM interrupt flag) 一旦产生COM事件 (当捕获/比较控制位: CCxEN、CCxNEN、OCxMD已被更新) 该位由硬件置'1'。它由软件清'0'。 0: 无COM事件产生； 1: COM中断等待响应。
16	UDITF	更新中断标志 (Update interrupt flag) 当在以下条件下发生更新事件时，该位由硬件设置： - 当 TIMx_CTRL1.UPDIS = 0 时，并且重复计数器值上溢或下溢 (当重复计数器等于 0

位域	名称	描述
		时生成更新事件UEV)。 – 当 TIMx_CTRL1.UPRS = 0 时, TIMx_CTRL1.UPDIS = 0, 并通过软件设置 TIMx_EVTGEN.UDGN 位以重新初始化 CNT。 – 当 TIMx_CTRL1.UPRS = 0 时, TIMx_CTRL1.UPDIS = 0, 并且计数器 CNT 由触发事件重新初始化。(参见 TIMx_SMCTRL 寄存器说明) 该位由软件清零。 0: 未发生更新事件 1: 发生更新中断
15:12	Reserved	保留, 必须保持复位值
11	CC4OCF	捕获/比较4重复捕获标记 (Capture/Compare 4 overcapture flag) 参见CC1OCF描述。
10	CC3OCF	捕获/比较3重复捕获标记 (Capture/Compare 3 overcapture flag) 参见CC1OCF描述。
9	CC2OCF	捕获/比较2重复捕获标记 (Capture/Compare 2 overcapture flag) 参见CC1OCF描述。
8	CC1OCF	捕获/比较1重复捕获标记 (Capture/Compare 1 overcapture flag) 仅当相应的通道被配置为输入捕获时, 该标记可由硬件置1。写0可清除该位。 0: 无重复捕获产生; 1: 计数器的值被捕获到TIMx_CCDAT1寄存器时, CC1ITF的状态已经为‘1’。
7:6	Reserved	保留, 必须保持复位值
5	CC6ITF	捕获/比较6中断标记 (Capture/Compare 6 interrupt flag) 参考CC1ITF描述。
4	CC5ITF	捕获/比较5中断标记 (Capture/Compare 5 interrupt flag) 参考CC1ITF描述。
3	CC4ITF	捕获/比较4中断标记 (Capture/Compare 4 interrupt flag) 参考CC1ITF描述。
2	CC3ITF	捕获/比较3中断标记 (Capture/Compare 3 interrupt flag) 参考CC1ITF描述。
1	CC2ITF	捕获/比较2中断标记 (Capture/Compare 2 interrupt flag) 参考CC1ITF描述。
0	CC1ITF	捕获/比较1中断标记 (Capture/Compare 1 interrupt flag) <b>如果通道CC1配置为输出模式:</b> 除中央对齐模式外, 当计数器值与比较值相同时, 该位由硬件设置(参见 TIMx_CTRL1.CAMSEL 位描述)。该位由软件清零。 0: 未发生匹配。 1: TIMx_CNT 的值与 TIMx_CCDAT1 的值相同。 当 TIMx_CCDAT1 的值大于 TIMx_AR 的值时, 如果计数器溢出(在向上计数和向上/向下计数模式下)和向下计数模式下溢, 则 TIMx_STS.CC1ITF 位将变为高电平。 <b>如果通道CC1配置为输入模式:</b>

位域	名称	描述
		当捕捉事件发生时，该位由硬件设置。该位由软件或读取 TIMx_CC DAT1 清零。 0：未发生输入捕捉。 1：发生输入捕捉。计数器值已在 TIMx_CC DAT1 中捕获。在 IC1 上检测到与所选极性相同的边沿。

## 18.5.4 事件产生寄存器 (TIMx\_EVTGEN)

偏移地址:0x0C

复位值:0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		BGN2	BGN	TGN	CCUDGN	UDGN	Reserved					CC4GN	CC3GN	CC2GN	CC1GN
		w	w	w	w	w						w	w	w	w

位域	名称	描述
31:13	Reserved	保留，必须保持复位值
12	BGN2	产生刹车2事件 (Break2 generation) 当由软件设置时，该位可以产生一个刹车2事件。而此时TIMx_BKDT.MOEN = 0，TIMx_STS.BITF2 = 1，如果相应的中断和DMA被使能，就会产生相应的中断和DMA。该位由硬件自动清零。 0：无动作 1：产生刹车2事件
11	BGN	产生刹车1事件 (Break1 generation) 当由软件设置时，该位可以产生一个刹车1事件。而此时TIMx_BKDT.MOEN = 0，TIMx_STS.BITF = 1，如果相应的中断和DMA被使能，就会产生相应的中断和DMA。该位由硬件自动清零。 0：无动作 1：产生刹车1事件
10	TGN	产生触发事件 (Trigger generation) 当由软件置位时，该位可以产生一个触发事件。而此时TIMx_STS.TITF = 1，如果相应的中断和DMA被使能，就会产生相应的中断和DMA。该位由硬件自动清零。 0：无动作 1：产生触发事件

位域	名称	描述
9	CCUDGN	捕获/比较事件，产生控制更新（Capture/Compare control update generation） 该位由软件设置。如果此时 TIMx_CTRL2.CCPCTL = 1，则允许更新 CCxEN、CCxNEN 和 OCxMD 位。该位由硬件自动清零。 0：无动作 1：产生一个COM事件 注意：该位仅对具有互补输出的通道有效。
8	UDGN	产生更新事件（Update generation）该位由软件置‘1’，由硬件自动清‘0’。 当由软件设置时，该位可以生成更新事件。而此时计数器会重新初始化，预分频计数器会被清零，计数器在中央对齐或向上计数模式下会被清零，但在向下计数模式下取 TIMx_AR 寄存器的值。该位由硬件自动清零。 0：无动作 1：生成更新事件
7:4	Reserved	保留，必须保持复位值
3	CC4GN	产生捕获/比较4事件（Capture/Compare 4 generation） 参考CC1GN描述。
2	CC3GN	产生捕获/比较3事件（Capture/Compare 3 generation） 参考CC1GN描述。
1	CC2GN	产生捕获/比较2事件（Capture/Compare 2 generation） 参考CC1GN描述。
0	CC1GN	产生捕获/比较1事件（Capture/Compare 1 generation） 当由软件设置时，该位可以产生一个捕获/比较事件。该位由硬件自动清零。 <b>CC1对应通道为输出模式时：</b> TIMx_STS.CC1ITF 标志将被拉高，如果相应的中断和 DMA 被使能，就会产生相应的中断和 DMA。 <b>CC1对应通道为输入模式时：</b> TIMx_CC DAT1 将捕获当前计数器值，并将 TIMx_STS.CC1ITF 标志拉高，如果相应的中断和 DMA 被使能，则会产生相应的中断和 DMA。如果 TIMx_STS.CC1ITF 已经拉高，则拉高 TIMx_STS.CC1OCF。 0：无动作 1：生成 CC1 捕获/比较事件

### 18.5.5 从模式控制寄存器（TIMx\_SMCTRL）

偏移地址：0x10

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								OCREFCLR[3:0]			OCREF CLR P	Reserved		MSMD	
								rw			rw		rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

EXTF[3:0]	EXTP	EXCEN	EXTPS[1:0]	SMSEL[3:0]	Reserved	TSEL[2:0]
rw	rw	rw	rw	rw		rw

位域	名称	描述
31:24	Reserved	保留，必须保持复位值
23:20	OCREFCLR[3:0]	<p>tim_ocref_clr信号滤波器(tim_ocref_clr signal filter)</p> <p>这些位用于定义 tim_ocref_clr 信号的采样频率和 tim_ocref_clr 数字滤波的带宽。实际上，数字滤波器是一个事件计数器，在记录连续 N 个事件后生成验证输出。</p> <p>0000: 无滤波器，以fDTS采样 1000: 采样频率fSAMPLING=fDTS/8, N=6</p> <p>0001: 采样频率fSAMPLING=fCK_INT, N=2 1001: 采样频率fSAMPLING=fDTS/8, N=8</p> <p>0010: 采样频率fSAMPLING=fCK_INT, N=4 1010: 采样频率fSAMPLING=fDTS/16, N=5</p> <p>0011: 采样频率fSAMPLING=fCK_INT, N=8 1011: 采样频率fSAMPLING=fDTS/16, N=6</p> <p>0100: 采样频率fSAMPLING=fDTS/2, N=6 1100: 采样频率fSAMPLING=fDTS/16, N=8</p> <p>0101: 采样频率fSAMPLING=fDTS/2, N=8 1101: 采样频率fSAMPLING=fDTS/32, N=5</p> <p>0110: 采样频率fSAMPLING=fDTS/4, N=6 1110: 采样频率fSAMPLING=fDTS/32, N=6</p> <p>0111: 采样频率fSAMPLING=fDTS/4, N=8 1111: 采样频率fSAMPLING=fDTS/32, N=8</p>
19	OCREFCLRP	<p>tim_ocref_clr 信号极性 (tim_ocref_clr signal polarity)</p> <p>该位选择是用tim_ocref_clr 还是tim_ocref_clr 的反相来作为触发操作</p> <p>0: tim_ocref_clr 高电平或上升沿有效;</p> <p>1: tim_ocref_clr 低电平或下降沿有效。</p>
18:17	Reserved	保留，必须保持复位值
16	MSMD	<p>主/从模式 (Master/slave mode)</p> <p>0: 无作用;</p> <p>1: 触发输入 (TRGI) 上的事件被延迟了，以允许在当前定时器 (通过TRGO) 与它的从定时器间的完美同步。这对要求把几个定时器同步到一个单一的外部事件时是非常有用的。</p>
15:12	EXTF[3:0]	<p>外部触发滤波 (External trigger filter)</p> <p>这些位用于定义 ETRP 信号的采样频率和 ETRP 数字滤波的带宽。实际上，数字滤波器是一个事件计数器，在记录连续 N 个事件后生成验证输出。</p> <p>0000: 无滤波器，以fDTS采样 1000: 采样频率fSAMPLING=fDTS/8, N=6</p> <p>0001: 采样频率fSAMPLING=fCK_INT, N=2 1001: 采样频率fSAMPLING=fDTS/8, N=8</p> <p>0010: 采样频率fSAMPLING=fCK_INT, N=4 1010: 采样频率fSAMPLING=fDTS/16, N=5</p> <p>0011: 采样频率fSAMPLING=fCK_INT, N=8 1011: 采样频率fSAMPLING=fDTS/16, N=6</p> <p>0100: 采样频率fSAMPLING=fDTS/2, N=6 1100: 采样频率fSAMPLING=fDTS/16, N=8</p> <p>0101: 采样频率fSAMPLING=fDTS/2, N=8 1101: 采样频率fSAMPLING=fDTS/32, N=5</p> <p>0110: 采样频率fSAMPLING=fDTS/4, N=6 1110: 采样频率fSAMPLING=fDTS/32, N=6</p> <p>0111: 采样频率fSAMPLING=fDTS/4, N=8 1111: 采样频率fSAMPLING=fDTS/32, N=8</p>
11	EXTP	<p>外部触发极性 (External trigger polarity)</p> <p>该位选择是用tim_etr_in还是tim_etr_in的反相来作为触发操作</p> <p>0: tim_etr_in高电平或上升沿有效;</p>

		1: tim_etr_in低电平或下降沿有效。
10	EXCEN	<p>外部时钟使能位（External clock enable） 该位启用外部时钟模式2。启用后，计数器由 ETRF信号上的任意有效边沿驱动。</p> <p>0: 禁止外部时钟模式2； 1: 使能外部时钟模式2。</p> <p>注意1: 当同时使能外部时钟模式 1 和外部时钟模式 2 时，外部时钟的输入为 ETRF。 注意2: 以下从机模式可以与外部时钟模式2同时使用：复位模式、门控模式和触发模式； 但是，TRGI 无法连接到 ETRF (TIMx_SMCTRL.TSEL ≠ '111')。 注意3: 设置 TIMx_SMCTRL.EXCEN 位与选择外部时钟模式 1 并将 TRGI 连接到 ETRF (TIMx_SMCTRL.SMSEL = 0111 和 TIMx_SMCTRL.TSEL = 111) 的效果相同</p>
9:8	EXTPS[1:0]	<p>外部触发预分频（External trigger prescaler）</p> <p>外部触发信号 ETRP 的频率必须最多为 TIMxCLK 频率的 1/4。当输入更快的外部时钟时，可以使用预分频器来降低 ETRP 的频率。</p> <p>00: 关闭预分频； 01: ETRP频率除以2； 10: ETRP频率除以4； 11: ETRP频率除以8。</p>
7:4	SMSEL[3:0]	<p>从模式选择（Slave mode selection）</p> <p>当选择了外部信号，触发信号（TRGI）的有效边沿与选中的外部输入极性相关（见输入控制寄存器和控制寄存器的说明）</p> <p>0000: 关闭从模式 – 如果CNTEN=1，则预分频器直接由内部时钟驱动。 0001: 编码器模式1 – 根据TI2FP2的电平，计数器在TI1FP1的边沿向上/下计数。 0010: 编码器模式2 – 根据TI1FP1的电平，计数器在TI2FP2的边沿向上/下计数。 0011: 编码器模式3 – 根据另一个信号的输入电平，计数器在TI1FP1和TI2FP2的边沿向上/下计数。 0100: 复位模式 – 在选定触发输入 (TRGI) 的上升沿，计数器重新初始化并更新影子寄存器。 0101: 门控模式 – 当触发输入 (TRGI) 为高时，计数器的时钟开启。一旦触发输入变为低，则计数器停止（但不复位）。计数器的启动和停止都是受控的。 0110: 触发模式 – 计数器在触发输入TRGI的上升沿启动（但不复位），只有计数器的启动是受控的。 0111: 外部时钟模式1 – 选中的触发输入 (TRGI) 的上升沿驱动计数器。 1000: 双脉冲编码模式2。 1001: 正交编码器模式4 – 根据TI2FP2的电平，计数器在TI1FP1的边沿向上/下计数。通过CC1P 选择计数边沿。 1010: 正交编码器模式5 – 根据TI1FP1的电平，计数器在TI2FP2的边沿向上/下计数。通过CC2P 选择计数边沿。 1011: 脉冲电平编码模式2。</p>



		<p>1100: 脉冲电平编码模式1。通过CC2P设置TI2FP2的计数边沿。</p> <p>1101: 组合门控+复位模式 – 当触发输入 (TRGI) 为高时, 计数器的时钟开启。一旦触发输入变为低, 则计数器停止 (且复位)。计数器的启动和停止都是受控的。</p> <p>1110: 组合复位+触发模式 – 计数器在触发输入TRGI的上升沿启动 (且复位), 只有计数器的启动是受控的。</p> <p>1111: 双脉冲编码模式1。通过CC1P和CC2P设置TI1FP1和TI2FP2的计数敏感边沿。</p> <p>注意: 如果TI1F_ED被选为触发输入 (TSEL=100) 时, 不要使用门控模式。这是因为, TI1F_ED在每次TI1F变化时输出一个脉冲, 然而门控模式是要检查触发输入的电平。</p>
3	Reserved	保留, 必须保持复位值
2:0	TSEL[2:0]	<p>触发选择 (Trigger selection)</p> <p>这3位选择用于同步计数器的触发输入。</p> <p>0xx: 内部触发 (ITRx), 根据TIMx_INSEL. ITRS选择ITR信号源</p> <p>100: TI1的边沿检测器 (TI1F_ED)</p> <p>101: 滤波后的定时器输入1 (TI1FP1)</p> <p>110: 滤波后的定时器输入2 (TI2FP2)</p> <p>111: 外部触发输入 (ETRF)</p> <p>注意: 这些位只能在未用到 (如SMSEL=000) 时被改变, 以避免在改变时产生错误的边沿检测。</p>

### 18.5.6 DMA/中断使能寄存器 (TIMx\_DINTEN)

偏移地址: 0x14

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								CC9IEN	COMIEN	TDEN	COMDEN	UDEN	BIEN	TIEN	UIEN
								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				CC4DEN	CC3DEN	CC2DEN	CC1DEN	CC8IEN	CC7IEN	CC6IEN	CC5IEN	CC4IEN	CC3IEN	CC2IEN	CC1IEN
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:22	Reserved	保留, 必须保持复位值
23	CC9IEN	允许捕获/比较9中断 (Capture/Compare 9 interrupt enable) 0: 禁止捕获/比较9中断; 1: 允许捕获/比较9中断。
22	COMIEN	允许COM中断 (COM interrupt enable) 0: 禁止COM中断; 1: 允许COM中断。

位域	名称	描述
21	TDEN	允许触发DMA请求 (Trigger DMA request enable) 0: 禁止触发DMA请求; 1: 允许触发DMA请求。
20	COMDEN	允许COM的DMA请求 (COM DMA request enable) 0: 禁止COM的DMA请求; 1: 允许COM的DMA请求。
19	UDEN	允许更新的DMA请求 (Update DMA request enable) 0: 禁止更新的DMA请求; 1: 允许更新的DMA请求。
18	BIEN	允许刹车中断 (Break interrupt enable) 0: 禁止刹车中断; 1: 允许刹车中断。
17	TIEN	触发中断使能 (Trigger interrupt enable) 0: 禁止触发中断; 1: 使能触发中断。
16	UIEN	允许更新中断 (Update interrupt enable) 0: 禁止更新中断; 1: 允许更新中断。
15:12	Reserved	保留, 必须保持复位值
11	CC4DEN	允许捕获/比较4的DMA请求 (Capture/Compare 4 DMA request enable) 0: 禁止捕获/比较4的DMA请求; 1: 允许捕获/比较4的DMA请求。
10	CC3DEN	允许捕获/比较3的DMA请求 (Capture/Compare 3 DMA request enable) 0: 禁止捕获/比较3的DMA请求; 1: 允许捕获/比较3的DMA请求。
9	CC2DEN	允许捕获/比较2的DMA请求 (Capture/Compare 2 DMA request enable) 0: 禁止捕获/比较2的DMA请求; 1: 允许捕获/比较2的DMA请求。
8	CC1DEN	允许捕获/比较1的DMA请求 (Capture/Compare 1 DMA request enable) 0: 禁止捕获/比较1的DMA请求; 1: 允许捕获/比较1的DMA请求。
7	CC8IEN	允许捕获/比较8中断 (Capture/Compare 8 interrupt enable) 0: 禁止捕获/比较8中断; 1: 允许捕获/比较8中断。
6	CC7IEN	允许捕获/比较7中断 (Capture/Compare 7 interrupt enable) 0: 禁止捕获/比较7中断; 1: 允许捕获/比较7中断。
5	CC6IEN	允许捕获/比较6中断 (Capture/Compare 6 interrupt enable) 0: 禁止捕获/比较6中断;

位域	名称	描述
		1: 允许捕获/比较6中断。
4	CC5IEN	允许捕获/比较5中断 (Capture/Compare 5 interrupt enable) 0: 禁止捕获/比较5中断; 1: 允许捕获/比较5中断。
3	CC4IEN	允许捕获/比较4中断 (Capture/Compare 4 interrupt enable) 0: 禁止捕获/比较4中断; 1: 允许捕获/比较4中断。
2	CC3IEN	允许捕获/比较3中断 (Capture/Compare 3 interrupt enable) 0: 禁止捕获/比较3中断; 1: 允许捕获/比较3中断。
1	CC2IEN	允许捕获/比较2中断 (Capture/Compare 2 interrupt enable) 0: 禁止捕获/比较2中断; 1: 允许捕获/比较2中断。
0	CC1IEN	允许捕获/比较1中断 (Capture/Compare 1 interrupt enable) 0: 禁止捕获/比较1中断; 1: 允许捕获/比较1中断。

### 18.5.7 捕获/比较模式寄存器 1 (TIMx\_CCMOD1)

偏移地址: 0x18

复位值: 0x0000 0000

通道可用于输入（捕获模式）或输出（比较模式），通道的方向由相应的 CCxSEL 位定义。该寄存器其它位的作用在输入和输出模式下不同。OCx 描述了通道在输出模式下的功能，ICx 描述了通道在输入模式下的功能。因此必须注意，同一个位在输出模式和输入模式下的功能是不同的。

输出比较模式:

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC2MD[2:0]		OC2CEN	OC2FEN	OC2PEN	CC2SEL[1:0]		OC1MD[2:0]		OC1CEN	OC1FEN	OC1PEN	CC1SEL[1:0]			
rw		rw	rw	rw	rw		rw		rw	rw	rw	rw			

位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:13	OC2MD[2:0]	输出比较2模式 (Output Compare 2 mode)
12	OC2CEN	输出比较2清0使能 (Output Compare 2 clear enable)
11	OC2FEN	输出比较2快速使能 (Output Compare 2 fast enable)
10	OC2PEN	输出比较2预装载使能 (Output Compare 2 preload enable)

位域	名称	描述
9:8	CC2SEL[1:0]	<p>捕获/比较2选择。（Capture/Compare 2 selection）</p> <p>该位定义通道的方向（输入/输出），及输入脚的选择：</p> <p>00：CC2通道被配置为输出；</p> <p>01：CC2通道被配置为输入，IC2映射在TI2上；</p> <p>10：CC2通道被配置为输入，IC2映射在TI1上；</p> <p>11：CC2通道被配置为输入，IC2映射在TRC上。此模式仅工作在内部触发输入被选中时（由TIMx_SMCTRL寄存器的TSEL位选择）。</p> <p>注意：CC2SEL仅在通道关闭时（TIMx_CCEN寄存器的CC2EN=0）才是可写的。</p>
7:5	OC1MD[2:0]	<p>输出比较1模式（Output Compare 1 mode）</p> <p>这些位用于管理输出参考信号 OC1REF，它决定了 OC1 和 OC1N 的值，在高电平有效，而 OC1 和 OC1N 的有效电平取决于 TIMx_CCEN.CC1P 和 TIMx_CCEN.CC1NP 位。</p> <p>000：冻结。TIMx_CC DAT1 寄存器和计数器 TIMx_CNT 之间的比较对 OC1REF 信号没有影响。</p> <p>001：将通道 1 设置为匹配时的有效电平。当 TIMx_CC DAT1 = TIMx_CNT 时，OC1REF 信号将被强制为高电平。</p> <p>010：将通道 1 设置为匹配时的无效电平。当 TIMx_CC DAT1 = TIMx_CNT 时，OC1REF 信号将被强制为低电平。</p> <p>011：翻转。当 TIMx_CC DAT1 = TIMx_CNT 时，OC1REF 信号将被翻转。</p> <p>100：强制无效电平。OC1REF 信号被强制为低电平。</p> <p>101：强制有效电平。OC1REF 信号被强制为高电平。</p> <p>110：PWM 模式 1 - 在向上计数模式下，如果 TIMx_CNT &lt; TIMx_CC DAT1，则通道 1 的 OC1REF 信号为高电平，否则为低电平。在向下计数模式下，如果 TIMx_CNT &gt; TIMx_CC DAT1，则通道 1 的 OC1REF 信号为低电平，否则为高电平。</p> <p>111：PWM 模式 2 - 在向上计数模式下，如果 TIMx_CNT &lt; TIMx_CC DAT1，则通道 1 的 OC1REF 信号为低电平，否则为高电平。在向下计数模式下，如果 TIMx_CNT &gt; TIMx_CC DAT1，则通道 1 的 OC1REF 信号为高电平，否则为低电平。</p> <p>注意：在 PWM 模式 1 或 PWM 模式 2 中，OC1REF 电平仅在比较结果改变或输出比较模式从冻结模式切换到 PWM 模式时才会改变。</p>
4	OC1CEN	<p>输出比较1清'0'使能（Output Compare 1 clear enable）</p> <p>0：OC1REF 不受tim_ocref_clr_in输入的影响；</p> <p>1：一旦检测到tim_ocref_clr_in输入高电平（tim_ocref_clr_in由TIMx_CTRL1.CLRSEL控制来源），OC1REF=0。</p>
3	OC1FEN	<p>输出比较1 快速使能（Output Compare 1 fast enable）</p> <p>该位用于加快CC输出对触发输入事件的响应。</p> <p>0：根据计数器与CCDAT1的值，CC1正常操作，即使触发器是打开的。当触发器的输入有一个有效沿时，激活CC1输出的最小延时为5个时钟周期。</p> <p>1：输入到触发器的有效沿的作用就像发生了一次比较匹配。因此，OC1被设置为比较电平而与比较结果无关。采样触发器的有效沿和CC1输出间的延时被缩短为3个时钟周</p>

位域	名称	描述
		期。 OCxFEN只在通道被配置成PWM1或PWM2模式时起作用。
2	OC1PEN	输出比较 1 预加载使能 (Output Compare 1 preload enable) 0: 禁用 TIMx_CC DAT1 寄存器的预加载功能。支持随时对TIMx_CC DAT1寄存器进行写操作, 写入的值立即生效。 1: 使能 TIMx_CC DAT1 寄存器的预加载功能。仅对预加载寄存器进行读写操作。当更新事件发生时, TIMx_CC DAT1 的值被加载到影子寄存器中。 注意: 只有当 TIMx_CTRL1.ONEPM = 1 (在单脉冲模式下) 时, 才能使用 PWM 模式而不验证预加载寄存器, 否则无法预测其他行为。
1:0	CC1SEL[1:0]	捕获/比较1 选择。(Capture/Compare 1 selection) 这2位定义通道的方向(输入/输出), 及输入脚的选择: 00: CC1通道被配置为输出; 01: CC1通道被配置为输入, IC1映射在TI1上; 10: CC1通道被配置为输入, IC1映射在TI2上; 11: CC1通道被配置为输入, IC1映射在TRC上。此模式仅工作在内部触发输入被选中时(由TIMx_SMCTRL寄存器的TSEL位选择)。 注意: CC1SEL仅在通道关闭时(TIMx_CCEN寄存器的CC1EN=0)才是可写的。

**输入捕获模式:**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IC2F[3:0]			IC2PSC[1:0]			CC2SEL[1:0]			IC1F[3:0]			IC1PSC[1:0]		CC1SEL[1:0]	
rw			rw			rw			rw			rw		rw	

位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15:12	IC2F[3:0]	输入捕获2滤波器 (Input capture 2 filter)
11:10	IC2PSC[1:0]	输入/捕获2预分频器 (Input capture 2 prescaler)
9:8	CC2SEL[1:0]	捕获/比较2选择 (Capture/Compare 2 selection) 这2位定义通道的方向(输入/输出), 及输入脚的选择: 00: CC2通道被配置为输出; 01: CC2通道被配置为输入, IC2映射在TI2上; 10: CC2通道被配置为输入, IC2映射在TI1上; 11: CC2通道被配置为输入, IC2映射在TRC上。此模式仅工作在内部触发输入被选中时(由TIMx_SMCTRL寄存器的TSEL位选择)。 注意: CC2SEL仅在通道关闭时(TIMx_CCEN寄存器的CC2EN=0)才是可写的。

7:4	IC1F[3:0]	<p>输入捕获1滤波器 (Input capture 1 filter)</p> <p>这几位定义了TI1输入的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成，它记录到N个事件后会产生一个输出的跳变：</p> <p>0000：无滤波器，以<math>f_{DTS}</math>采样    1000：采样频率<math>f_{SAMPLING}=f_{DTS}/8</math>，<math>N=6</math></p> <p>0001：采样频率<math>f_{SAMPLING}=f_{CK\_INT}</math>，<math>N=2</math>    1001：采样频率<math>f_{SAMPLING}=f_{DTS}/8</math>，<math>N=8</math></p> <p>0010：采样频率<math>f_{SAMPLING}=f_{CK\_INT}</math>，<math>N=4</math>    1010：采样频率<math>f_{SAMPLING}=f_{DTS}/16</math>，<math>N=5</math></p> <p>0011：采样频率<math>f_{SAMPLING}=f_{CK\_INT}</math>，<math>N=8</math>    1011：采样频率<math>f_{SAMPLING}=f_{DTS}/16</math>，<math>N=6</math></p> <p>0100：采样频率<math>f_{SAMPLING}=f_{DTS}/2</math>，<math>N=6</math>    1100：采样频率<math>f_{SAMPLING}=f_{DTS}/16</math>，<math>N=8</math></p> <p>0101：采样频率<math>f_{SAMPLING}=f_{DTS}/2</math>，<math>N=8</math>    1101：采样频率<math>f_{SAMPLING}=f_{DTS}/32</math>，<math>N=5</math></p> <p>0110：采样频率<math>f_{SAMPLING}=f_{DTS}/4</math>，<math>N=6</math>    1110：采样频率<math>f_{SAMPLING}=f_{DTS}/32</math>，<math>N=6</math></p> <p>0111：采样频率<math>f_{SAMPLING}=f_{DTS}/4</math>，<math>N=8</math>    1111：采样频率<math>f_{SAMPLING}=f_{DTS}/32</math>，<math>N=8</math></p>
3:2	IC1PSC[1:0]	<p>输入/捕获1预分频器 (Input capture 1 prescaler)</p> <p>这2位定义了CC1输入 (IC1) 的预分频系数。</p> <p>一旦TIMx_CCEN.CC1EN=0，则预分频器复位。</p> <p>00：无预分频器，捕获输入口上检测到的每一个边沿都触发一次捕获；</p> <p>01：每2个事件触发一次捕获；</p> <p>10：每4个事件触发一次捕获；</p> <p>11：每8个事件触发一次捕获。</p>
1:0	CC1SEL[1:0]	<p>捕获/比较1选择 (Capture/Compare 1 Selection)</p> <p>这2位定义通道的方向 (输入/输出)，及输入脚的选择：</p> <p>00：CC1通道被配置为输出；</p> <p>01：CC1通道被配置为输入，IC1映射在TI1上；</p> <p>10：CC1通道被配置为输入，IC1映射在TI2上；</p> <p>11：CC1通道被配置为输入，IC1映射在TRC上。此模式仅工作在内部触发输入被选中时 (由TIMx_SMCTRL寄存器的TSEL位选择)。</p> <p>注意：CC1SEL仅在通道关闭时 (TIMx_CCEN寄存器的CC1EN=0) 才是可写的。</p>

### 18.5.8 捕获/比较模式寄存器 2 (TIMx\_CCMOD2)

偏移地址：0x1C

复位值：0x0000 0000

参看以上 CCMOD1 寄存器的描述

输出比较模式：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC4MD[2:0]		OC4CEN	OC4FEN	OC4PEN	CC4SEL[1:0]		OC3MD[2:0]		OC3CEN	OC3FEN	OC3PEN	CC3SEL[1:0]			
rw		rw	rw	rw	rw		rw		rw	rw	rw	rw			

位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15:13	OC4MD[2:0]	输出比较4模式 (Output compare 4 mode)
12	OC4CEN	输出比较4清0使能 (Output compare 4 clear enable)
11	OC4FEN	输出比较4快速使能 (Output compare 4 fast enable)
10	OC4PEN	输出比较4预装载使能 (Output compare 4 preload enable)
9:8	CC4SEL[1:0]	捕获/比较4选择 (Capture/Compare 4 selection) 该2位定义通道的方向(输入/输出), 及输入脚的选择: 00: CC4通道被配置为输出; 01: CC4通道被配置为输入, IC4映射在TI4上; 10: CC4通道被配置为输入, IC4映射在TI3上; 11: CC4通道被配置为输入, IC4映射在TRC上。此模式仅工作在内部触发输入被选中时(由TIMx_SMCTRL寄存器的TSEL位选择)。 注意: CC4SEL仅在通道关闭时(TIMx_CCEN寄存器的CC4EN=0)才是可写的。
7:5	OC3MD[2:0]	输出比较3模式 (Output compare 3 mode)
4	OC3CEN	输出比较3清0使能 (Output compare 3 clear enable)
3	OC3FEN	输出比较3快速使能 (Output compare 3 fast enable)
2	OC3PEN	输出比较3预装载使能 (Output compare 3 preload enable)
1:0	CC3SEL[1:0]	捕获/比较3选择 (Capture/Compare 3 selection) 这2位定义通道的方向(输入/输出), 及输入脚的选择: 00: CC3通道被配置为输出; 01: CC3通道被配置为输入, IC3映射在TI3上; 10: CC3通道被配置为输入, IC3映射在TI4上; 11: CC3通道被配置为输入, IC3映射在TRC上。此模式仅工作在内部触发输入被选中时(由TIMx_SMCTRL寄存器的TSEL位选择)。 注意: CC3SEL仅在通道关闭时(TIMx_CCEN寄存器的CC3EN=0)才是可写的。

**输入捕获模式:**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IC4F[3:0]				IC4PSC[1:0]		CC4SEL[1:0]		IC3F[3:0]			IC3PSC[1:0]		CC3SEL[1:0]		
rw				rw		rw		rw			rw		rw		

位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15:12	IC4F[3:0]	输入捕获4滤波器 (Input capture 4 filter)
11:10	IC4PSC[1:0]	输入/捕获4预分频器 (Input capture 4 prescaler)

位域	名称	描述
31:16	Reserved	保留，必须保持复位值
9:8	CC4SEL[1:0]	捕获/比较4选择 (Capture/Compare 4 selection) 这2位定义通道的方向(输入/输出)，及输入脚的选择： 00：CC4通道被配置为输出； 01：CC4通道被配置为输入，IC4映射在TI4上； 10：CC4通道被配置为输入，IC4映射在TI3上； 11：CC4通道被配置为输入，IC4映射在TRC上。此模式仅工作在内部触发输入被选中时(由TIMx_SMCTRL寄存器的TSEL位选择)。 注意：CC4SEL仅在通道关闭时(TIMx_CCEN寄存器的CC4EN=0)才是可写的。
7:4	IC3F[3:0]	输入捕获3滤波器 (Input capture 3 filter)
3:2	IC3PSC[1:0]	输入/捕获3预分频器 (Input capture 3 prescaler)
1:0	CC3SEL[1:0]	捕获/比较3选择 (Capture/compare 3 selection) 这2位定义通道的方向(输入/输出)，及输入脚的选择： 00：CC3通道被配置为输出； 01：CC3通道被配置为输入，IC3映射在TI3上； 10：CC3通道被配置为输入，IC3映射在TI4上； 11：CC3通道被配置为输入，IC3映射在TRC上。此模式仅工作在内部触发输入被选中时(由TIMx_SMCTRL寄存器的TSEL位选择)。 注意：CC3SEL仅在通道关闭时(TIMx_CCEN寄存器的CC3EN=0)才是可写的。

### 18.5.9 捕获/比较模式寄存器 3 (TIMx\_CCMOD3)

偏移地址：0x20

复位值：0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved							OC9PEN	Reserved				OC8PEN	Reserved			OC7PEN
							rw					rw				rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
OC6MD[2:0]		OC6CEN	OC6FEN	OC6PEN	Reserved			OC5MD[2:0]		OC5CEN	OC5FEN	OC5PEN	Reserved			
rw		rw	rw	rw				rw		rw	rw	rw				

位域	名称	描述
31:25	Reserved	保留，必须保持复位值
24	OC9PEN	输出比较9预装载使能 (Output compare 9 preload enable)
23:21	Reserved	保留，必须保持复位值
20	OC8PEN	输出比较8预装载使能 (Output compare 8 preload enable)
19:17	Reserved	保留，必须保持复位值
16	OC7PEN	输出比较7预装载使能 (Output compare 7 preload enable)



位域	名称	描述
15:13	OC6MD[2:0]	输出比较6模式 (Output compare 6 mode)
12	OC6CEN	输出比较6清0使能 (Output compare 6 clear enable)
11	OC6FEN	输出比较6快速使能 (Output compare 6 fast enable)
10	OC6PEN	输出比较6预装载使能 (Output compare 6 preload enable)
9:8	Reserved	保留, 必须保持复位值
7:5	OC5MD[2:0]	输出比较5模式 (Output compare 5 mode)
4	OC5CEN	输出比较5清0使能 (Output compare 5 clear enable)
3	OC5FEN	输出比较5快速使能 (Output compare 5 fast enable)
2	OC5PEN	输出比较5预装载使能 (Output compare 5 preload enable)
1:0	Reserved	保留, 必须保持复位值

### 18.5.10 捕获/比较使能寄存器 (TIMx\_CCEN)

偏移地址: 0x24

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved								CC6P	CC6EN	Reserved			CC5P	CC5EN	Reserved	

rw      rw                      rw      rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CC4P	CC4EN	CC4NP	CC4NEN	CC3P	CC3EN	CC3NP	CC3NEN	CC2P	CC2EN	CC2NP	CC2NEN	CC1P	CC1EN	CC1NP	CC1NEN

rw    rw    rw    rw    rw    rw    rw    rw    rw    rw    rw    rw    rw    rw    rw

位域	名称	描述
31:24	Reserved	保留, 必须保持复位值
23	CC6P	捕获/比较6输出极性 (Capture/Compare 6 output polarity) 参考TIMx_CCEN.CC1P的描述。
22	CC6EN	捕获/比较6输出使能 (Capture/Compare 6 output enable) 参考TIMx_CCEN.CC1EN 的描述
21:20	Reserved	保留, 必须保持复位值
19	CC5P	捕获/比较5输出极性 (Capture/Compare 5 output polarity) 参考TIMx_CCEN.CC1P的描述。
18	CC5EN	捕获/比较5输出使能 (Capture/Compare 5 output enable) 参考TIMx_CCEN.CC1EN 的描述
17: 16	Reserved	保留, 必须保持复位值
15	CC4P	捕获/比较4输出极性 (Capture/Compare 4 output polarity) 参考TIMx_CCEN.CC1P的描述。
14	CC4EN	捕获/比较4输出使能 (Capture/Compare 4 output enable)

位域	名称	描述
		参考TIMx_CCEN.CC1EN 的描述。
13	CC4NP	捕获/比较4互补输出极性 (Capture/Compare 4 complementary output polarity) 参考TIMx_CCEN.CC1NP的描述。
12	CC4NEN	捕获/比较4互补输出使能 (Capture/Compare 4 complementary output enable) 参考TIMx_CCEN.CC1NEN的描述。
11	CC3P	捕获/比较3输出极性 (Capture/Compare 3 output polarity) 参考TIMx_CCEN.CC1P的描述。
10	CC3EN	捕获/比较3输出使能 (Capture/Compare 3 output enable) 参考TIMx_CCEN.CC1E 的描述。
9	CC3NP	捕获/比较3互补输出极性 (Capture/Compare 3 complementary output polarity) 参考TIMx_CCEN.CC1NP的描述。
8	CC3NEN	捕获/比较3互补输出使能 (Capture/Compare 3 complementary output enable) 参考TIMx_CCEN.CC1NEN的描述。
7	CC2P	捕获/比较2输出极性 (Capture/Compare 2 output polarity) 参考TIMx_CCEN.CC1P的描述。
6	CC2EN	捕获/比较2输出使能 (Capture/Compare 2 output enable) 参考TIMx_CCEN.CC1EN的描述。
5	CC2NP	捕获/比较2互补输出极性 (Capture/Compare 2 complementary output polarity) 参考TIMx_CCEN.CC1NP的描述。
4	CC2NEN	捕获/比较2互补输出使能 (Capture/Compare 2 complementary output enable) 参考TIMx_CCEN.CC1NEN的描述。
3	CC1P	捕获/比较1输出极性 (Capture/Compare 1 output polarity) <b>CC1对应通道为输出模式时:</b> 0: OC1 高电平有效 1: OC1 低电平有效 <b>CC1对应通道为输入模式时:</b> 此时, 该位用于选择是使用IC1还是IC1的反相信号作为触发信号或捕捉信号。 0: 非反相: 当 IC1 产生上升沿时发生捕获动作。 当用作外部触发时, IC1 是非反相的。 1: 反相: 当 IC1 产生下降沿时发生捕获动作。 当用作外部触发时, IC1 被反相。
2	CC1EN	捕获/比较1输出使能 (Capture/Compare 1 output enable) <b>CC1通道配置为输出:</b> 0: 关闭— OC1禁止输出, 因此OC1的输出电平依赖于MOEN、OSSI、OSSR、OI1、OI1N和CC1NEN位的值。 1: 开启— OC1信号输出到对应的输出引脚, 其输出电平依赖于MOEN、OSSI、OSSR、OI1、OI1N和CC1NEN位的值。 <b>CC1通道配置为输入:</b> 该位决定了计数器的值是否能捕获入TIMx_CC1DAT1寄存器。 0: 捕获禁止; 1: 捕获使能。

位域	名称	描述
1	CC1NP	捕获/比较1互补输出极性 (Capture/Compare 1 complementary output polarity) 0: OC1N高电平有效; 1: OC1N低电平有效。
0	CC1NEN	捕获/比较1互补输出使能 (Capture/Compare 1 complementary output enable) 0: 禁用 - 禁用输出 OC1N 信号。OC1N 的电平取决于TIMx_BKDT.MOEN、TIMx_BKDT.OSSI、TIMx_BKDT.OSSR、TIMx_CTRL2.OI1、TIMx_CTRL2.OI1N 和 TIMx_CCEN.CC1EN 的值。 1: 使能 - 使能输出 OC1N 信号。OC1N 的电平取决于TIMx_BKDT.MOEN、TIMx_BKDT.OSSI、TIMx_BKDT.OSSR、TIMx_CTRL2.OI1、TIMx_CTRL2.OI1N 和 TIMx_CCEN.CC1EN 的值。

**表 18-16 带刹车功能的互补输出通道 OCx 和 OCxN 的控制位**

控制位					输出状态 <sup>(1)</sup>	
MOEN	OSSI	OSSR	CCxEN	CCxNEN	OCx 输出状态	OCxN 输出状态
1	X	0	0	0	输出禁止 (与定时器断开) OCx=0, OCx_EN=0	输出禁止 (与定时器断开) OCxN=0, OCxN_EN=0
		0	0	1	输出禁止 (与定时器断开) OCx=0, OCx_EN=0	OCxREF + 极性, OCxN= OCxREF xor CCxNP, OCxN_EN=1
		0	1	0	OCxREF + 极性, OCx= OCxREF xor CCxP, OCx_EN=1	输出禁止 (与定时器断开) OCxN=0, OCxN_EN=0
		0	1	1	OCxREF + 极性 + 死区, OCx_EN=1	OCxREF 反相 + 极性 + 死区, OCxN_EN=1
		1	0	0	输出禁止 (与定时器断开) OCx=CCxP, OCx_EN=0	输出禁止 (与定时器断开) OCxN=CCxNP, OCxN_EN=0
		1	0	1	关闭状态 (输出使能且为无效电平) OCx=CCxP, OCx_EN=1	OCxREF + 极性, OCxN= OCxREF xor CCxNP, OCxN_EN=1
		1	1	0	OCxREF + 极性, OCx= OCxREF xor CCxP, OCx_EN=1	关闭状态 (输出使能且为无效电平) OCxN=CCxNP, OCxN_EN=1
		1	1	1	OCxREF + 极性 + 死区, OCx_EN=1	OCxREF 反相 + 极性 + 死区, OCxN_EN=1
0	0	X	0	0	输出禁止 (与定时器断开)	

	0		0	1	异步: $OCx=CCxP$ , $OCx\_EN=0$ , $OCxN=CCxNP$ , $OCxN\_EN=0$ ; 若时钟存在: 假设 $(CCxP \wedge OIx) \wedge (CCxNP \wedge OIxN) \neq 0$ , 经过一个死区时间后 $OCx=OIx$ , $OCxN=OIxN$
	0		1	0	
	0		1	1	
	1		0	0	关闭状态 (输出使能且为无效电平) 异步: $OCx=CCxP$ , $OCx\_EN=1$ , $OCxN=CCxNP$ , $OCxN\_EN=1$ ; 若时钟存在: 假设 $(CCxP \wedge OIx) \wedge (CCxNP \wedge OIxN) \neq 0$ , 经过一个死区时间后 $OCx=OIx$ , $OCxN=OIxN$ ,
	1		0	1	
	1		1	0	
	1		1	1	

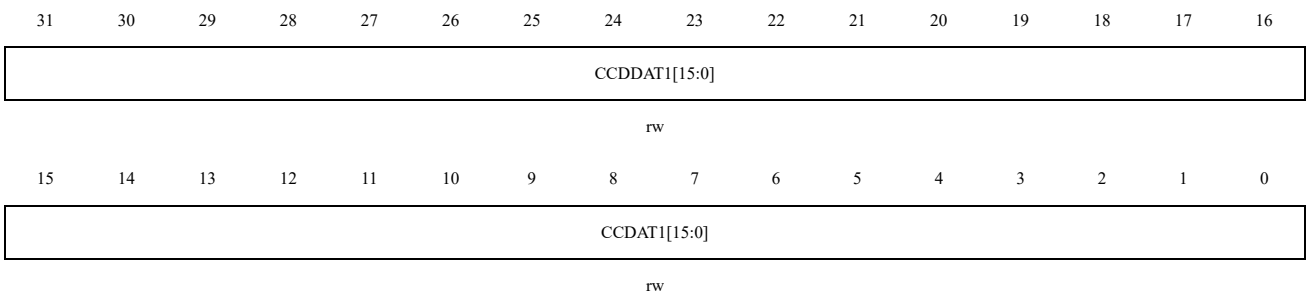
1. 如果一个通道的 2 个输出都没有使用 ( $CCxEN = CCxNEN = 0$ ), 那么  $OIx$ ,  $OIxN$ ,  $CCxP$  和  $CCxNP$  都必须清零。

注意: 引脚连接到互补的  $OCx$  和  $OCxN$  通道的外部 I/O 引脚的状态, 取决于  $OCx$  和  $OCxN$  通道状态和 GPIO 以及 AFIO 寄存器。

### 18.5.11 捕获/比较寄存器 1 (TIMx\_CCDA1)

偏移地址: 0x28

复位值: 0x0000 0000



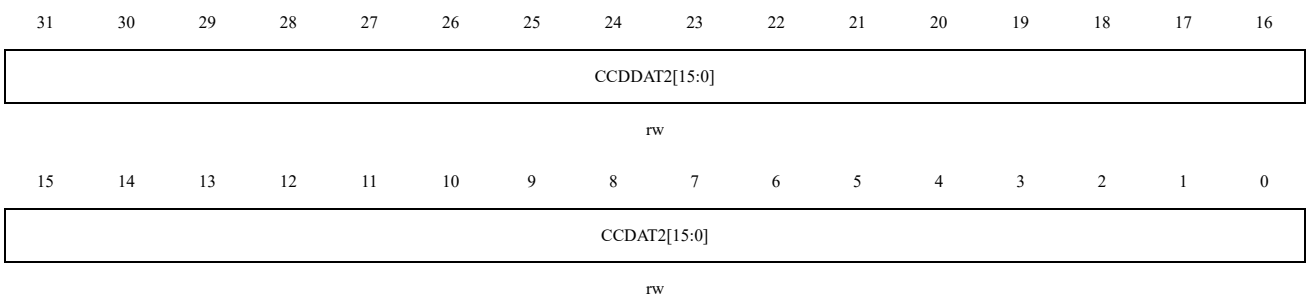
位域	名称	描述
31:16	CCDDAT1[15:0]	捕获/比较通道1向下计数值(Capture/Compare 1 down-counting value), 专用于中央对齐非对称模式。 ■ CC1 通道只能配置为输出: CCDDAT1 包含要与计数器 TIMx_CNT 比较的值 (仅当 TIMx_CTRL1.DIR = 1 且处于非对称模式时), 在 OC1 输出上发出信号。 如果未在 TIMx_CCMOD1.OC1PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。
15:0	CCDAT1[15:0]	捕获/比较通道1的值 (Capture/Compare 1 value) ■ CC1 通道配置为输出: CCDAT1 包含要与计数器 TIMx_CNT 比较的值, 在 OC1 输出上发出信号。 如果未在 TIMx_CCMOD1.OC1PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。 ■ CC1 通道配置为输入:

位域	名称	描述
31:16	CCDDAT1[15:0]	捕获/比较通道1向下计数值(Capture/Compare 1 down-counting value), 专用于中央对齐非对称模式。 ■ CC1 通道只能配置为输出: CCDDAT1 包含要与计数器 TIMx_CNT 比较的值 (仅当 TIMx_CTRL1.DIR = 1 且处于非对称模式时), 在 OC1 输出上发出信号。 如果未在 TIMx_CCMOD1.OC1PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。 否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。
		CCDAT1 包含由最后一个输入捕获 1 事件 (IC1) 传输的计数器值。 当配置为输入模式时, 寄存器 CCDAT1 和 CCDDAT1 只能读取。 当配置为输出模式时, 寄存器 CCDAT1 和 CCDDAT1 是可读写的。

### 18.5.12 捕获/比较寄存器 2 (TIMx\_CCDDAT2)

偏移地址: 0x2C

复位值: 0x0000 0000

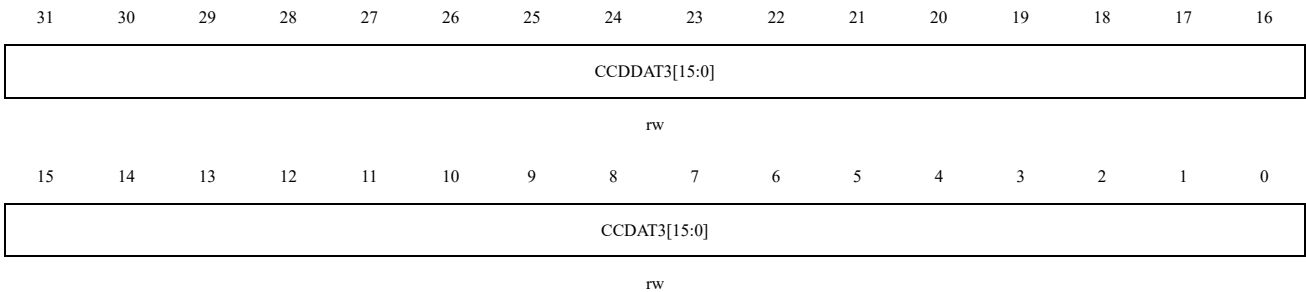


位域	名称	描述
31:16	CCDDAT2[15:0]	捕获/比较通道2向下计数值(Capture/Compare 2 down-counting value), 专用于中央对齐非对称模式。 ■ CC2 通道只能配置为输出: CCDDAT2 包含要与计数器 TIMx_CNT 比较的值 (仅当 TIMx_CTRL1.DIR = 1 且处于非对称模式时), 在 OC2 输出上发出信号。 如果未在 TIMx_CCMOD1.OC2PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。 否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。
15:0	CCDAT2[15:0]	捕获/比较通道2的值 (Capture/Compare 2 value) ■ CC2 通道配置为输出: CCDAT2 包含要与计数器 TIMx_CNT 比较的值, 在 OC2 输出上发出信号。 如果未在 TIMx_CCMOD1.OC2PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。 否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。 ■ CC2 通道配置为输入: CCDAT2 包含由最后一个输入捕获 2 事件 (IC2) 传输的计数器值。 当配置为输入模式时, 寄存器 CCDAT2 和 CCDDAT2 只能读取。 当配置为输出模式时, 寄存器 CCDAT2 和 CCDDAT2 是可读写的。

### 18.5.13 捕获/比较寄存器 3 (TIMx\_CC DAT3)

偏移地址: 0x30

复位值: 0x0000 0000

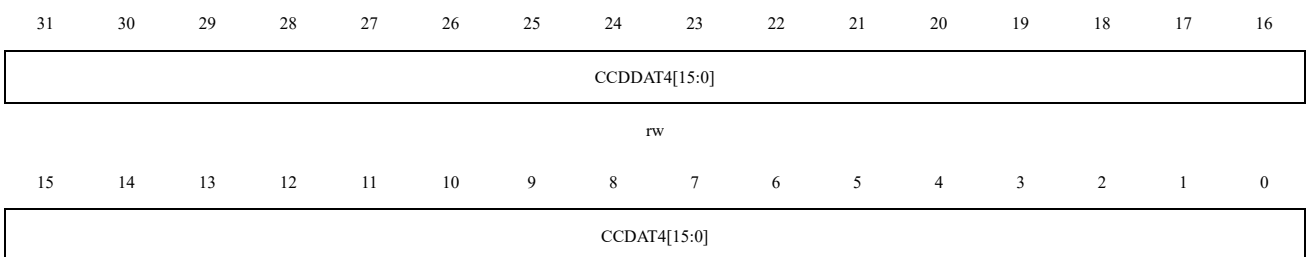


位域	名称	描述
31:16	CCDDAT3[15:0]	<p>捕获/比较通道3向下计数值(Capture/Compare 3 down-counting value), 专用于中央对齐非对称模式。</p> <ul style="list-style-type: none"> <li>■ CC3 通道只能配置为输出:</li> </ul> <p>CCDDAT3 包含要与计数器 TIMx_CNT 比较的值 (仅当 TIMx_CTRL1.DIR = 1 且处于非对称模式时), 在 OC3 输出上发出信号。</p> <p>如果未在 TIMx_CCMOD2.OC3PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。</p>
15:0	CCDAT3[15:0]	<p>捕获/比较通道3的值 (Capture/Compare 3 value)</p> <ul style="list-style-type: none"> <li>■ CC3 通道配置为输出:</li> </ul> <p>CCDAT3 包含要与计数器 TIMx_CNT 比较的值, 在 OC3 输出上发出信号。</p> <p>如果未在 TIMx_CCMOD2.OC3PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。</p> <ul style="list-style-type: none"> <li>■ CC3 通道配置为输入:</li> </ul> <p>CCDAT3 包含由最后一个输入捕获 3 事件 (IC3) 传输的计数器值。</p> <p>当配置为输入模式时, 寄存器 CCDAT3 和 CCDDAT3 只能读取。</p> <p>当配置为输出模式时, 寄存器 CCDAT3 和 CCDDAT3 是可读写的。</p>

### 18.5.14 捕获/比较寄存器 4 (TIMx\_CC DAT4)

偏移地址: 0x34

复位值: 0x0000 0000



位域	名称	描述
31:16	CCDDAT4[15:0]	捕获/比较通道4向下计数值(Capture/Compare 4 down-counting value), 专用于中央对齐非对称模式。 ■ CC4 通道只能配置为输出: CCDDAT4 包含要与计数器 TIMx_CNT 比较的值 (仅当 TIMx_CTRL1.DIR = 1 且处于非对称模式时), 在 OC4 输出上发出信号。 如果未在 TIMx_CCMOD2.OC4PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。 否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。
15:0	CCDAT4[15:0]	捕获/比较通道4的值 (Capture/Compare 4 value) ■ CC4 通道配置为输出: CCDAT4 包含要与计数器 TIMx_CNT 比较的值, 在 OC4 输出上发出信号。 如果未在 TIMx_CCMOD2.OC4PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。 否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。 ■ CC4 通道配置为输入: CCDAT4 包含由最后一个输入捕获 4 事件 (IC4) 传输的计数器值。 当配置为输入模式时, 寄存器 CCDAT4 和 CCDDAT4 只能读取。 当配置为输出模式时, 寄存器 CCDAT4 和 CCDDAT4 是可读写的。

### 18.5.15 捕获/比较寄存器 5 (TIMx\_CC DAT5)

偏移地址: 0x38

复位值: 0x0000 0000

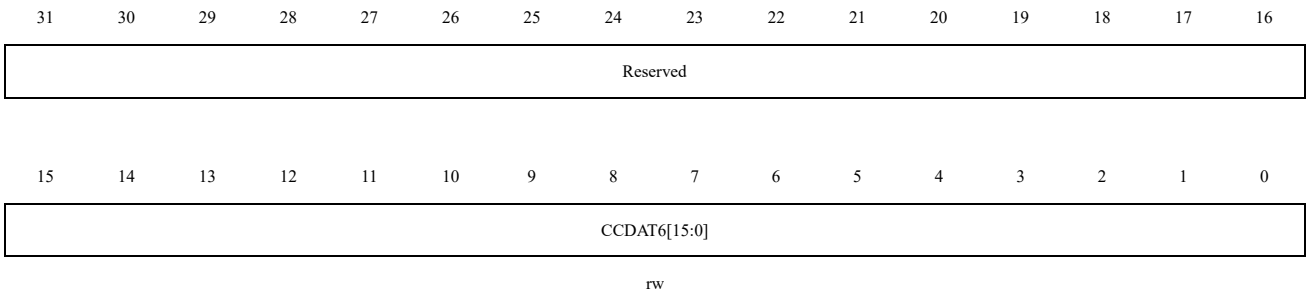
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCDAT5[15:0]															

位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15:0	CCDAT5[15:0]	捕获/比较通道5的值 (Capture/Compare 5 value) ■ CC5 通道只能配置为输出: CCDAT5 包含要与计数器 TIMx_CNT 比较的值, 在 OC5 输出上发出信号。 如果未在 TIMx_CCMOD3.OC5PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。 否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。 CC5 用于比较器消隐。

### 18.5.16 捕获/比较寄存器 6 (TIMx\_CC DAT6)

偏移地址: 0x3C

复位值: 0x0000 0000

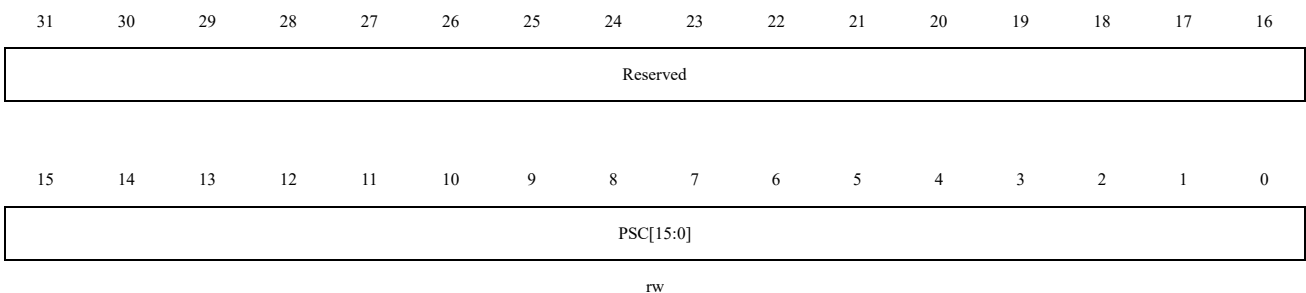


位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15:0	CCDAT6[15:0]	捕获/比较通道6的值 (Capture/Compare 6 value) <ul style="list-style-type: none"> <li>■ CC6 通道只能配置为输出:</li> </ul> CCDAT6 包含要与计数器 TIMx_CNT 比较的值, 在 OC6 输出上发出信号。 如果未在 TIMx_CCMOD3_OC6PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。

### 18.5.17 预分频器 (TIMx\_PSC)

偏移地址: 0x40

复位值: 0x0000 0000



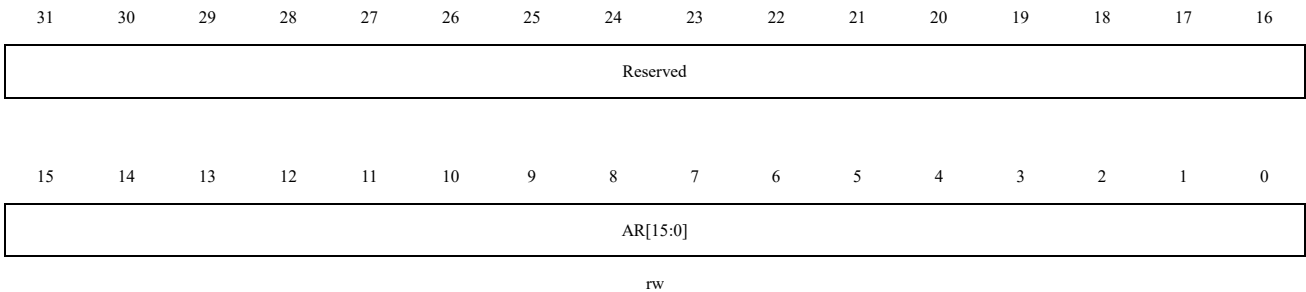
位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15:0	PSC[15:0]	预分频器的值 (Prescaler value) 计数器时钟 $f_{CK\_CNT} = f_{CK\_PSC} / (PSC [15:0] + 1)$ 。 每次发生更新事件时, PSC 值都会加载到预分频器的影子寄存器中。



### 18.5.18 自动重载寄存器 (TIMx\_AR)

偏移地址: 0x44

复位值: 0x0000 FFFF

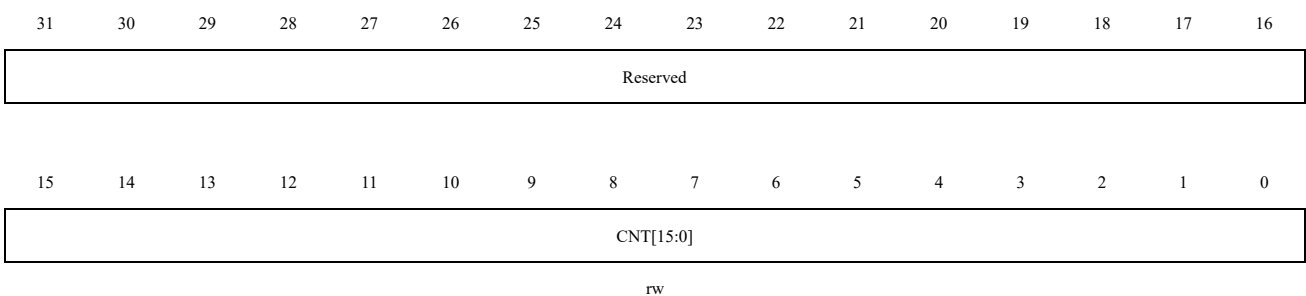


位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	AR[15:0]	自动重载的值 (Auto-reload value) AR包含了将要装载入实际的自动重载寄存器的值。详细参考18.4.1节：有关AR的更新和动作。 当自动重载的值为空时，计数器不工作。

### 18.5.19 计数器 (TIMx\_CNT)

偏移地址: 0x48

复位值: 0x0000 0000



位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	CNT[15:0]	计数器的值 (Counter value)

### 18.5.20 重复计数寄存器 (TIMx\_REPCNT)

偏移地址: 0x4C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								REPCNT[7:0]							
rw															

位域	名称	描述
31:8	Reserved	保留，必须保持复位值
7:0	REPCNT[7:0]	重复计数器的值（Repetition counter value） 重复计数器仅在给定数量 (N+1) 个计数器周期后用于生成更新事件或更新定时器寄存器，其中 N 是 TIMx_REPCNT.REPCNT 的值。在向上计数模式下，每次计数器溢出，向下计数模式下每次计数器下溢或中央对齐模式下每次计数器溢出和每次计数器下溢时，重复计数器都会递减。设置 TIMx_EVTGEN.UDGN 位将重新加载 TIMx_REPCNT.REPCNT 的内容并生成更新事件。

### 18.5.21 刹车和死区寄存器 (TIMx\_BKDT)

偏移地址：0x50

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved										BRK2BID	BRKBID	BRK2DSRM	BRKDSRM	BK2EN	BK2P
										rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LCKCFG[1:0]		OSSR	OSSI	BKEN	BKP	AOEN	MOEN	DTGN[7:0]							
rw		rw	rw	rw	rw	rw	rw	rw							

注意：根据锁定设置，BRK2BID、BRKBID、BK2EN、BK2P、AOEN、BKP、BKEN、OSSI、OSSR 和 DTGN[7:0] 位均可被写保护，有必要在第一次写入 TIMx\_BKDT 寄存器时对它们进行配置。

位域	名称	描述
31:22	Reserved	保留，必须保持复位值
21	BRK2BID	刹车2双向使能(Break2 bidirectional enable) 0: 刹车2为输入模式 1: 刹车2为双向模式 在双向模式下，刹车2输入被配置为在输入和开漏输出模式。任何刹车2事件会在刹车2输入 IO上产生一个低电平，由此向外设显示内部发生了一个刹车2事件。 注意：一旦LOCK级别（TIMx_BKDT寄存器中的LCKCFG位）设为'1'，则该位不能被修改。 注意：任何对该位的写操作都需要一个APB时钟的延迟以后才能起作用。

20	BRKBID	<p>刹车1双向使能(Break1 bidirectional enable)</p> <p>0: 刹车1为输入模式 1: 刹车1为双向模式</p> <p>在双向模式下, 刹车1输入被配置为在输入和开漏输出模式。任何刹车1事件会在刹车1输入IO上产生一个低电平, 由此向外设显示内部发生了一个刹车1事件。</p> <p>注意: 一旦LOCK级别 (TIMx_BKDT寄存器中的LCKCFG位) 设为'1', 则该位不能被修改。</p> <p>注意: 任何对该位的写操作都需要一个APB时钟的延迟以后才能起作用。</p>
19	BRK2DSRM	<p>刹车2解除(Break2 disarm)</p> <p>0: 刹车2输入预备 1: 刹车2输入解除</p> <p>刹车2输入无效时该位由硬件自动清零。</p> <p>BRK2DSRM由软件设置以解除刹车2双向输出控制 (开漏输出为高阻态), 然后软件轮询该位直到其被硬件复位, 表示刹车2事件已经消失。</p> <p>注意: 任何对该位的写操作都需要一个APB时钟的延迟以后才能起作用。</p>
18	BRKDSRM	<p>刹车1解除(Break1 disarm)</p> <p>0: 刹车1输入预备 1: 刹车1输入解除</p> <p>刹车1输入无效时该位由硬件自动清零。</p> <p>BRKDSRM由软件设置以解除刹车1双向输出控制 (开漏输出为高阻态), 然后软件轮询该位直到其被硬件复位, 表示刹车1事件已经消失。</p> <p>注意: 任何对该位的写操作都需要一个APB时钟的延迟以后才能起作用。</p>
17	BK2EN	<p>刹车2功能使能 (Break2 enable), 该位使能整个刹车2保护电路</p> <p>0: 禁止刹车2输入; 1: 开启刹车2输入。</p> <p>注意: 刹车2只能在OSSI=OSSR=1时使用。</p> <p>注意: 当设置了LOCK级别1时 (TIMx_BKDT寄存器中的LCKCFG位), 该位不能被修改。</p> <p>注意: 任何对该位的写操作都需要一个APB时钟的延迟以后才能起作用。</p>
16	BK2P	<p>刹车2输入极性 (Break2 polarity)</p> <p>0: 刹车2输入低电平有效; 1: 刹车2输入高电平有效。</p> <p>注意: 一旦LOCK级别 (TIMx_BKDT寄存器中的LCKCFG位) 设为'1', 则该位不能被修改。</p> <p>注意: 任何对该位的写操作都需要一个APB时钟的延迟以后才能起作用。</p>
15:14	LCKCFG[1:0]	<p>锁定设置 (Lock configuration) 该位为防止软件错误而提供写保护。</p> <p>这些位提供针对软件错误的写保护。</p> <p>00: – 没有写保护。</p> <p>01:</p>

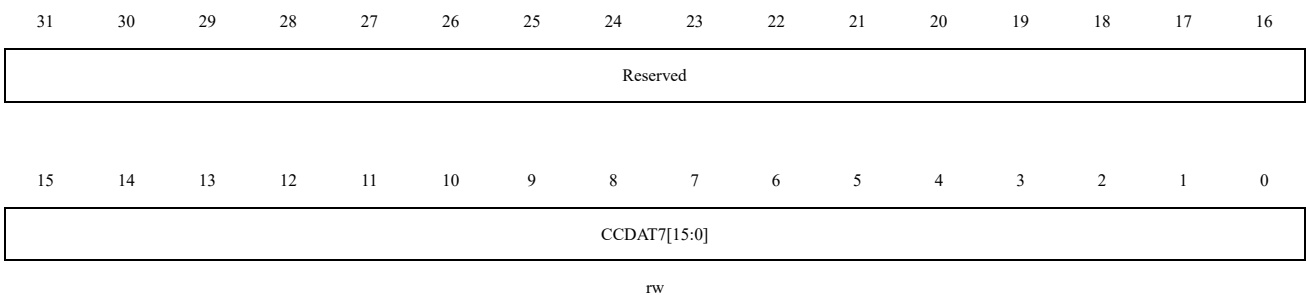
		<p>– 锁定级别 1</p> <p>TIMx_BKDT.DTGN、TIMx_BKDT.BKEN、TIMx_BKDT.BKP、TIMx_BKDT.AOEN、TIMx_CTRL2.OIx、TIMx_CTRL2.OIxN 位启用写保护。</p> <p>10:</p> <p>– 锁定 2 级</p> <p>除了 LOCK Level 1 模式下的寄存器写保护外，TIMx_CCEN.CCxP 和 TIMx_CCEN.CCxNP（如果相应通道配置为输出模式），TIMx_BKDT.OSSR 和 TIMx_BKDT.OSSI 位也使能写保护。</p> <p>11:</p> <p>– 锁定 3 级</p> <p>除了 LOCK Level 2 中的寄存器写保护外，TIMx_CCMODx.OCxMD 和 TIMx_CCMODx.OCxPEN 位（如果相应通道配置为输出模式）也启用写保护。</p> <p>注意：定时器复位后，LCKCFG 位只能写一次。一旦写入 TIMx_BKDT 寄存器，LCKCFG 将受到保护，直到下一次复位。</p>
13	OSSR	<p>当 TIMx_BKDT.MOEN=1 且通道为互补输出时使用该位。</p> <p>没有互补输出的定时器中不存在 OSSR 位。</p> <p>0: 当定时器不工作时，禁止OC/OCN输出（OC/OCN使能输出信号=0）；</p> <p>1: 当定时器不工作时，一旦CCxEN=1或CCxNEN=1，首先开启OC/OCN并输出无效电平，然后置OC/OCN使能输出信号=1。</p> <p>有关更多详细信息，请参见第18.5.9节，捕获/比较启用寄存器 (TIMx_CCEN)。</p>
12	OSSI	<p>空闲模式下“关闭状态”选择（Off-state selection for Idle mode）</p> <p>当 TIMx_BKDT.MOEN=0 且通道配置为输出时使用该位。</p> <p>0: 当定时器不工作时，禁止OC/OCN输出（OC/OCN使能输出信号=0）；</p> <p>1: 当定时器不工作时，一旦CCxEN=1 或CCxNEN=1，OC/OCN首先输出其空闲电平，然后OC/OCN使能输出信号=1。</p> <p>有关更多详细信息，请参见第18.5.9节，捕获/比较启用寄存器 (TIMx_CCEN)。</p>
11	BKEN	<p>刹车1功能使能（Break1 enable）</p> <p>0: 禁止刹车1输入；</p> <p>1: 开启刹车1输入。</p> <p>注意：任何对该位的写操作都需要一个APB时钟的延迟以后才能起作用。</p>
10	BKP	<p>刹车1输入极性（Break1 polarity）</p> <p>0: 刹车1输入低电平有效；</p> <p>1: 刹车1输入高电平有效。</p> <p>注意：任何对该位的写操作都需要一个APB时钟的延迟以后才能起作用。</p>
9	AOEN	<p>自动输出使能（Automatic output enable）</p> <p>0: 只有软件可以设置TIMx_BKDT.MOEN；</p> <p>1: 软件设置TIMx_BKDT.MOEN； 或者如果刹车输入未激活，则在下一次更新事件发生时，硬件自动设置 TIMx_BKDT.MOEN。</p>

8	MOEN	<p>主输出使能 (Main output enable)</p> <p>该位可由软件或硬件根据 TIMx_BKDT.AOEN 位设置，一旦刹车输入有效，该位由硬件异步清零。它仅对配置为输出的通道有效。</p> <p>0: OC 和 OCN 输出被禁用或强制进入空闲状态。</p> <p>1: 如果设置了 TIMx_CCEN.CCxEN 或 TIMx_CCEN.CCxNEN 位，则使能 OC 和 OCN 输出。有关更多详细信息，请参见第 18.5.9节捕获/比较使能寄存器 (TIMx_CCEN)。</p>
7:0	DTGN[7:0]	<p>死区发生器设置 (Dead-time generator setup)</p> <p>这些位定义插入的互补输出之间的死区持续时间。DTGN值与死区时间的关系如下：</p> <p>DTGN[7:5]=0xx =&gt; DT=DTGN[7:0] × T<sub>dtgn</sub>, T<sub>dtgn</sub> = T<sub>DTS</sub>;</p> <p>DTGN[7:5]=10x =&gt; DT=(64+DTGN[5:0]) × T<sub>dtgn</sub>, T<sub>dtgn</sub> = 2 × T<sub>DTS</sub>;</p> <p>DTGN[7:5]=110 =&gt; DT=(32+DTGN[4:0]) × T<sub>dtgn</sub>, T<sub>dtgn</sub> = 8 × T<sub>DTS</sub>;</p> <p>DTGN[7:5]=111 =&gt; DT=(32+DTGN[4:0]) × T<sub>dtgn</sub>, T<sub>dtgn</sub> = 16 × T<sub>DTS</sub>;</p>

### 18.5.22 捕获/比较寄存器 7 (TIMx\_CC DAT7)

偏移地址: 0x54

复位值: 0x0000 0000

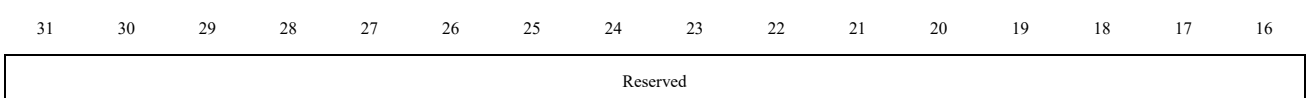


位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	CCDAT7[15:0]	<p>捕获/比较通道7的值 (Capture/Compare 7 value)</p> <ul style="list-style-type: none"> <li>CC7 通道只能配置为输出：</li> </ul> <p>CCDAT7 包含要与计数器 TIMx_CNT 比较的值，在 OC7 输出上发出信号。</p> <p>如果未在 TIMx_CC MOD3.OC7PEN 位中选择预加载功能，则写入的值会立即传输到有效寄存器。否则，仅当更新事件发生时，此预加载值才会传输到活动寄存器。</p>

### 18.5.23 捕获/比较寄存器 8 (TIMx\_CC DAT8)

偏移地址: 0x58

复位值: 0x0000 0000



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

CCDAT8[15:0]

rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	CCDAT8[15:0]	捕获/比较通道8的值（Capture/Compare 8 value） <ul style="list-style-type: none"> <li>■ CC8 通道只能配置为输出： CCDAT8 包含要与计数器 TIMx_CNT 比较的值，在 OC8 输出上发出信号。 如果未在 TIMx_CCMOD3.OC8PEN 位中选择预加载功能，则写入的值会立即传输到有效寄存器。否则，仅当更新事件发生时，此预加载值才会传输到活动寄存器。</li> </ul>

### 18.5.24 捕获/比较寄存器 9 (TIMx\_CCDAT9)

偏移地址：0x5C

复位值：0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

CCDAT9[15:0]

rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	CCDAT9[15:0]	捕获/比较通道9的值（Capture/Compare 9 value） <ul style="list-style-type: none"> <li>■ CC9 通道只能配置为输出： CCDAT9 包含要与计数器 TIMx_CNT 比较的值，在 OC9 输出上发出信号。 如果未在 TIMx_CCMOD3.OC9PEN 位中选择预加载功能，则写入的值会立即传输到有效寄存器。否则，仅当更新事件发生时，此预加载值才会传输到活动寄存器。</li> </ul>

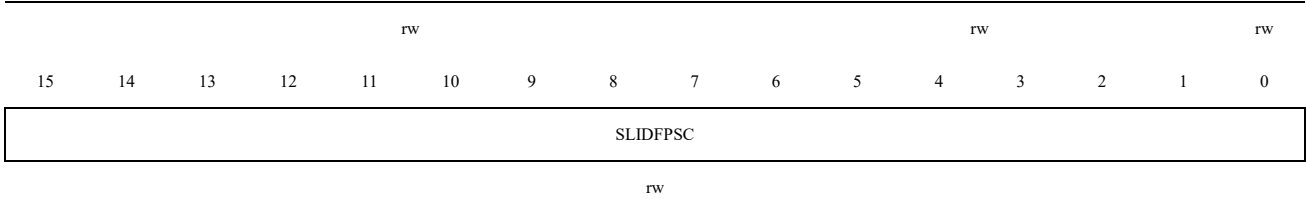
### 18.5.25 刹车1滤波寄存器 (TIMx\_BKFR)

偏移地址：0x60

复位值：0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved	THRESH[5:0]	Reserved	WSIZE[5:0]	FILTEN
----------	-------------	----------	------------	--------



位域	名称	描述
31:30	Reserved	保留，必须保持复位值
29:24	THRESH[5:0]	采样逻辑电平有效的阈值数(Threshold)，最大 63： 有效逻辑电平的阈值。在采样窗口内，如果逻辑高的数量大于或等于阈值，则下一个逻辑电平将为逻辑高。同样的规则适用于逻辑低。如果窗口内 1 和 0 的数量都小于阈值，则过滤器输出保持不变。阈值应设置为大于或等于 Window 值的一半。 推荐阈值范围为： <b>最小值：</b> 比最大毛刺大小的上限（预分频时钟周期）多 1 个预分频时钟周期，并且需要大于窗口大小的一半。 例如，如果毛刺大小为 $3.2 * (\text{预分频时钟周期})$ ，则阈值应为 $\lceil 3.2 \rceil = 4 + 1 = 5$ <b>最大值：</b> 有效信号最小尺寸的底值（在预分频时钟周期内），需要小于窗口尺寸。 例如，如果最小信号大小为 $3.2 * (\text{预分频时钟周期})$ ，则阈值应为下限 $(3.2) = 3$ 。
23	Reserved	保留，必须保持复位值
22:17	WSIZE[5:0]	逻辑电平检查的窗口大小值（Window size），最大 63： 窗口大小决定了在获得下一个逻辑级别时将考虑多少采样值。内置 FIFO 为 64 位，最大索引为 63，只能将窗口大小设置为 63。
16	FILTEN	滤波器使能（Filter enable）： 0: 滤波器禁能 1: 滤波器使能
15:0	SLIDFPSC [15:0]	滑动滤波采样时钟预分频寄存器（Prescaler）： 对于此过滤器，它支持 65535 分频（16 位）。 时钟预分频器将系统时钟缩放到采样时钟。采样时钟决定两个采样点之间的距离。只有采样点的值有效才会考虑的逻辑电平计算。 通过配置这些位来确定刹车1输入滑动滤波采样时钟分频。

### 18.5.26 输入选择寄存器（TIMx\_INSEL）

偏移地址：0x78

复位值：0x0000 0000



rw

rw

rw

rw

位域	名称	描述
31:28	Reserved	保留，必须保持复位值
27:24	CLRS[3:0]	选择tim_ocref_clr输入(Selects tim_ocref_clr input signal) 0000: tim_ocref_clr0 0001: tim_ocref_clr1 ... 1111 : tim_ocref_clr15 注：一旦LOCK级别（TIMx_BKDT寄存器中的LCKCFG位）设为'1'，则该位不能被修改。
23:20	ITRS[3:0]	选择tim_itr输入 0000: tim_itr0 0001: tim_itr1 ... 1111 : tim_itr15
19:16	ETRS[3:0]	选择tim_etr输入 0000: tim_etr0 0001: tim_etr1 ... 1111 : tim_etr15 注：一旦LOCK级别（TIMx_BKDT寄存器中的LCKCFG位）设为'1'，则该位不能被修改。
15:12	TI4S[3:0]	选择tim_ti4[15:0]输入 0000: tim_ti4_in0 0001: tim_ti4_in1 ... 1111 : tim_ti4_in15
11:8	TI3S[3:0]	选择tim_ti3[15:0]输入 0000: tim_ti3_in0 0001: tim_ti3_in1 ... 1111 : tim_ti3_in15
7:4	TI2S[3:0]	选择tim_ti2[15:0]输入 0000: tim_ti2_in0 0001: tim_ti2_in1 ... 1111 : tim_ti2_in15
3:0	TI1S[3:0]	选择tim_ti1[15:0]输入



		0000: tim_ti1_in0 0001: tim_ti1_in1 ... 1111 : tim_ti1_in15
--	--	--

### 18.5.27 复用功能寄存器1 (TIMx\_AF1)

偏移地址: 0x7C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved				DSMU3B RKEN	DSMU2B RKEN	DSMU1B RKEN	DSMU0B RKEN	Reserved								
				rw	rw	rw	rw									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved		COMP4 BRKP	COMP3 BRKP	COMP2 BRKP	COMP1 BRKP	IOM BRKP	Reserved					COMP4 BRKEN	COMP3 BRKEN	COMP2 BRKEN	COMP1 BRKEN	IOM BRKEN
		rw	rw	rw	rw	rw						rw	rw	rw	rw	rw

位域	名称	描述
31:28	Reserved	保留, 必须保持复位值
27	DSMU3BRKEN	tim_brk_dsmu3刹车输入使能 0: tim_brk_dsmu3刹车输入禁止 1: tim_brk_dsmu3刹车输入使能
26	DSMU2BRKEN	tim_brk_dsmu2刹车输入使能 0: tim_brk_dsmu2刹车输入禁止 1: tim_brk_dsmu2刹车输入使能
25	DSMU1BRKEN	tim_brk_dsmu1刹车输入使能 0: tim_brk_dsmu1刹车输入禁止 1: tim_brk_dsmu1刹车输入使能
24	DSMU0BRKEN	tim_brk_dsmu0刹车输入使能 0: tim_brk_dsmu0刹车输入禁止 1: tim_brk_dsmu0刹车输入使能
23:14	Reserved	保留, 必须保持复位值
13	COMP4BRKP	tim_brk_comp4刹车输入极性选择 0: tim_brk_comp4刹车输入极性不翻转 (如果BKP=0,则低电平有效; 如果BKP=1,则高电平有效) 1: tim_brk_comp4刹车输入极性翻转 (如果BKP=0,则高电平有效; 如果BKP=1,则低电平有效)
12	COMP3BRKP	tim_brk_comp3刹车输入极性选择 0: tim_brk_comp3刹车输入极性不翻转 (如果BKP=0,则低电平有效; 如果BKP=1,则高电平有效)

		1: tim_brk_comp3刹车输入极性翻转（如果BKP=0,则高电平有效；如果BKP=1,则低电平有效）
11	COMP2BRKP	tim_brk_comp2刹车输入极性选择 0: tim_brk_comp2刹车输入极性不翻转（如果BKP=0,则低电平有效；如果BKP=1,则高电平有效） 1: tim_brk_comp2刹车输入极性翻转（如果BKP=0,则高电平有效；如果BKP=1,则低电平有效）
10	COMP1BRKP	tim_brk_comp1刹车输入极性选择 0: tim_brk_comp1刹车输入极性不翻转（如果BKP=0,则低电平有效；如果BKP=1,则高电平有效） 1: tim_brk_comp1刹车输入极性翻转（如果BKP=0,则高电平有效；如果BKP=1,则低电平有效）
9	IOMBRKP	TIMx_BKIN刹车输入极性选择 0: TIMx_BKIN刹车输入极性不翻转（如果BKP=0,则低电平有效；如果BKP=1,则高电平有效） 1: TIMx_BKIN刹车输入极性翻转（如果BKP=0,则高电平有效；如果BKP=1,则低电平有效）
8:5	Reserved	保留，必须保持复位值
4	COMP4BRKEN	tim_brk_comp4刹车输入使能 0: tim_brk_comp4刹车输入禁止 1: tim_brk_comp4刹车输入使能
3	COMP3BRKEN	tim_brk_comp3刹车输入使能 0: tim_brk_comp3刹车输入禁止 1: tim_brk_comp3刹车输入使能
2	COMP2BRKEN	tim_brk_comp2刹车输入使能 0: tim_brk_comp2刹车输入禁止 1: tim_brk_comp2刹车输入使能
1	COMP1BRKEN	tim_brk_comp1刹车输入使能 0: tim_brk_comp1刹车输入禁止 1: tim_brk_comp1刹车输入使能
0	IOMBRKEN	TIMx_BKIN刹车输入使能 0: TIMx_BKIN刹车输入禁止 1: TIMx_BKIN刹车输入使能

### 18.5.28 复用功能寄存器2（TIMx\_AF2）

偏移地址：0x80

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				DSMU3B RK2EN	DSMU2B RK2EN	DSMU1B RK2EN	DSMU0B RK2EN	Reserved							

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		COMP4 BRK2P	COMP3 BRK2P	COMP2 BRK2P	COMP1 BRK2P	IOM BRK2P	Reserved				COMP4 BRK2EN	COMP3 BRK2EN	COMP2 BRK2EN	COMP1 BRK2EN	IOM BRK2EN
		rw	rw	rw	rw	rw					rw	rw	rw	rw	rw

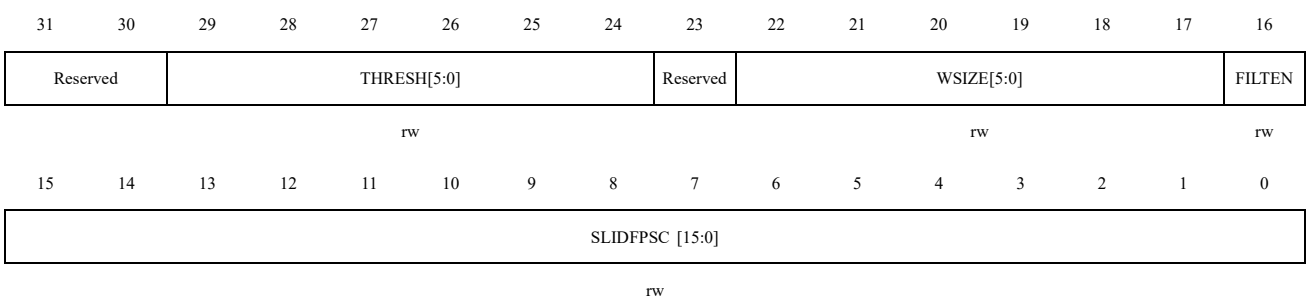
位域	名称	描述
31:14	Reserved	保留，必须保持复位值
27	DSMU3BRK2EN	tim_brk2_dsmu3刹车输入使能 0: tim_brk2_dsmu3刹车输入禁止 1: tim_brk2_dsmu3刹车输入使能
26	DSMU2BRK2EN	tim_brk2_dsmu2刹车输入使能 0: tim_brk2_dsmu2刹车输入禁止 1: tim_brk2_dsmu2刹车输入使能
25	DSMU1BRK2EN	tim_brk2_dsmu1刹车输入使能 0: tim_brk2_dsmu1刹车输入禁止 1: tim_brk2_dsmu1刹车输入使能
24	DSMU0BRK2EN	tim_brk2_dsmu0刹车输入使能 0: tim_brk2_dsmu0刹车输入禁止 1: tim_brk2_dsmu0刹车输入使能
13	COMP4BRK2P	tim_brk2_comp4刹车输入极性选择 0: tim_brk2_comp4刹车输入极性不翻转（如果BKP2=0,则低电平有效；如果BKP2=1,则高电平有效） 1: tim_brk2_comp4刹车输入极性翻转（如果BKP2=0,则高电平有效；如果BKP2=1,则低电平有效）
12	COMP3BRK2P	tim_brk2_comp3刹车输入极性选择 0: tim_brk2_comp3刹车输入极性不翻转（如果BKP2=0,则低电平有效；如果BKP2=1,则高电平有效） 1: tim_brk2_comp3刹车输入极性翻转（如果BKP2=0,则高电平有效；如果BKP2=1,则低电平有效）
11	COMP2BRK2P	tim_brk2_comp2刹车输入极性选择 0: tim_brk2_comp2刹车输入极性不翻转（如果BKP2=0,则低电平有效；如果BKP2=1,则高电平有效） 1: tim_brk2_comp2刹车输入极性翻转（如果BKP2=0,则高电平有效；如果BKP2=1,则低电平有效）
10	COMP1BRK2P	tim_brk2_comp1刹车输入极性选择 0: tim_brk2_comp1刹车输入极性不翻转（如果BKP2=0,则低电平有效；如果BKP2=1,则高电平有效） 1: tim_brk2_comp1刹车输入极性翻转（如果BKP2=0,则高电平有效；如果BKP2=1,则低电平有效）

9	IOMBRK2P	TIMx_BKIN2刹车输入极性选择 0: TIMx_BKIN2刹车输入极性不翻转（如果BKP2=0,则低电平有效；如果BKP2=1,则高电平有效） 1: TIMx_BKIN2刹车输入极性翻转（如果BKP2=0,则高电平有效；如果BKP2=1,则低电平有效）
8:5	Reserved	保留，必须保持复位值
4	COMP4BRK2EN	tim_brk2_comp4刹车输入使能 0: tim_brk2_comp4刹车输入禁止 1: tim_brk2_comp4刹车输入使能
3	COMP3BRK2EN	tim_brk2_comp3刹车输入使能 0: tim_brk2_comp3刹车输入禁止 1: tim_brk2_comp3刹车输入使能
2	COMP2BRK2EN	tim_brk2_comp2刹车输入使能 0: tim_brk2_comp2刹车输入禁止 1: tim_brk2_comp2刹车输入使能
1	COMP1BRK2EN	tim_brk2_comp1刹车输入使能 0: tim_brk2_comp1刹车输入禁止 1: tim_brk2_comp1刹车输入使能
0	IOMBRK2EN	TIMx_BKIN2刹车输入使能 0: TIMx_BKIN2刹车输入禁止 1: TIMx_BKIN2刹车输入使能

### 18.5.29 刹车2滤波寄存器 (TIMx\_BKFR2)

偏移地址: 0x84

复位值: 0x0000 0000



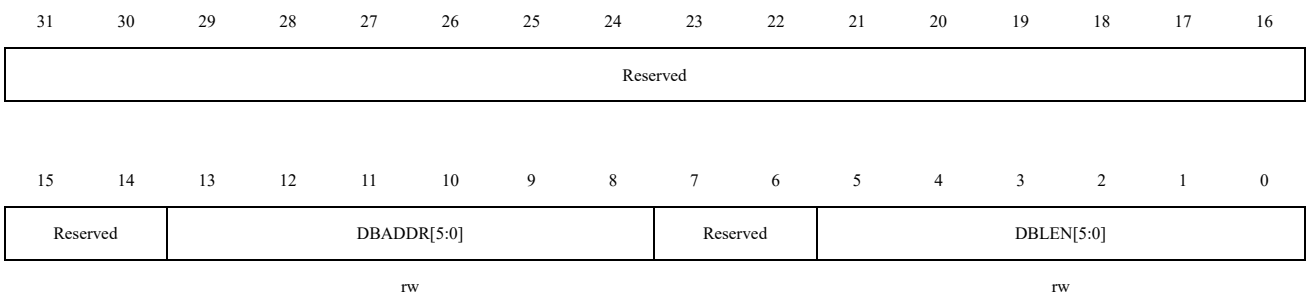
位域	名称	描述
31:30	Reserved	保留，必须保持复位值
29:24	THRESH2[5:0]	采样逻辑电平有效的阈值数(Threshold)，最大 63： 有效逻辑电平的阈值。在采样窗口内，如果逻辑高的数量大于或等于阈值，则下一个逻辑电平将为逻辑高。同样的规则适用于逻辑低。如果窗口内 1 和 0 的数量都小于阈值，则过滤器输出保持不变。阈值应设置为大于或等于 Window 值的一半。

		推荐阈值范围为： <b>最小值：</b> 比最大毛刺大小的上限（预分频时钟周期）多 1 个预分频时钟周期，并且需要大于窗口大小的一半。 例如，如果毛刺大小为 $3.2 * (\text{预分频时钟周期})$ ，则阈值应为 $\lceil 3.2 \rceil = 4 + 1 = 5$ <b>最大值：</b> 有效信号最小尺寸的底值（在预分频时钟周期内），需要小于窗口尺寸。 例如，如果最小信号大小为 $3.2 * (\text{预分频时钟周期})$ ，则阈值应为下限 $(3.2) = 3$ 。
23	Reserved	保留，必须保持复位值
22:17	WSIZE2[5:0]	逻辑电平检查的窗口大小值（Window size），最大 63： 窗口大小决定了在获得下一个逻辑级别时将考虑多少采样值。内置 FIFO 为 64 位，最大索引为 63，只能将窗口大小设置为 63。
16	FILTEN2	滤波器使能（Filter enable）： 0: 滤波器禁能 1: 滤波器使能
15:0	SLIDFPSC [15:0]	滑动滤波采样时钟预分频寄存器（Prescaler）： 对于此过滤器，它支持 65535 分频（16 位）。 时钟预分频器将系统时钟缩放到采样时钟。采样时钟决定两个采样点之间的距离。只有采样点的值有效才会考虑的逻辑电平计算。 通过配置这些位来确定刹车2输入滑动滤波采样时钟分频。

### 18.5.30 DMA 控制寄存器（TIMx\_DCTRL）

偏移地址：0x94

复位值：0x0000 0000



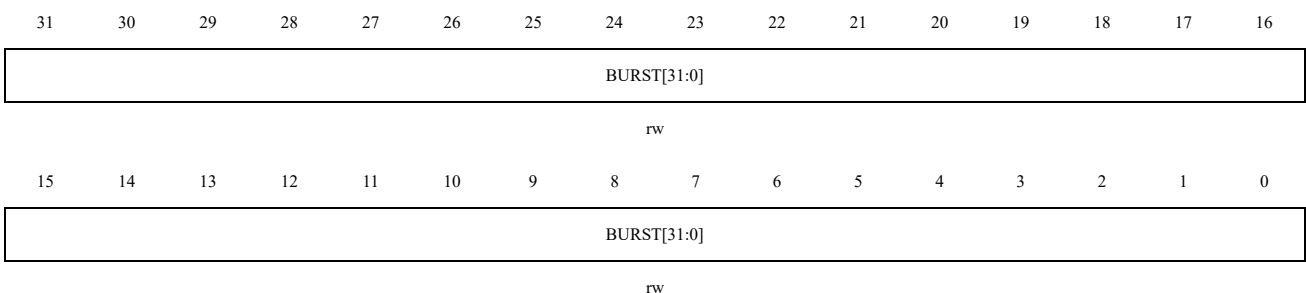
位域	名称	描述
31:14	Reserved	保留，必须保持复位值
13:8	DBADDR[5:0]	DMA基地址（DMA base address） 该位字段定义 DMA 访问 TIMx_DADDR 寄存器的第一个地址。 当第一次通过 TIMx_DADDR 完成访问时，该位域指定您刚刚访问的地址。然后第二次访问TIMx_DADDR，会访问到“DMA Base Address + 4”的地址 00000: TIMx_CTRL1, 00001: TIMx_CTRL2, 00010: TIMx_SMCTRL, .....

位域	名称	描述
		10001: TIMx_BKDT 10010: TIMx_DCTRL
7:6	Reserved	保留, 必须保持复位值
5:0	DBLEN[5:0]	DMA连续传送长度 (DMA burst length) 该位字段定义 DMA 将访问 (写入/读取) TIMx_DADDR 寄存器的次数。 000000: 1次传输 000001: 2次传输 000010: 3次传输 ... 010001: 18次传输 ..... 100010: 35次传输 例: 我们考虑这样的传输: DBLEN=7, DBADDR=TIMx_CTRL1 如果DBLEN=7, DBADDR=TIMx_CTRL1表示待传输数据的地址, 那么传输的地址由下式给出: (TIMx_CTRL1的地址) + DBADDR + (DMA索引), 其中 DMA索引 = DBLEN 其中(TIMx_CTRL1的地址) + DBADDR再加上7, 给出了将要写入或者读出数据的地址, 这样数据的传输将发生在从地址(TIMx_CTRL1的地址) + DBADDR开始的7个寄存器。 如果设置数据为半字 (16位), 那么数据就会传输给全部7个寄存器。 如果设置数据为字节, 数据仍然会传输给全部7个寄存器: 第一个寄存器包含第一个MSB字节, 第二个寄存器包含第一个LSB字节, 以此类推。因此对于定时器, 用户必须指定由DMA传输的数据宽度。

### 18.5.31 连续模式的 DMA 地址 (TIMx\_DADDR)

偏移地址: 0x98

复位值: 0x0000 0000



位域	名称	描述
31:0	BURST[31:0]	<p>DMA 访问缓冲区。</p> <p>当对该寄存器分配读或写操作时，将访问位于地址范围（DMA base address + DMA burst length × 4）的寄存器。</p> <p>DMA base address = The address of TIM_CTRL1 + TIMx_DCTRL.DBADDR * 4;</p> <p>DMA burst len = TIMx_DCTRL.DBLEN + 1.</p> <p>例子：</p> <p>如果 TIMx_DCTRL.DBLEN = 0x3（4 次传输），TIMx_DCTRL.DBADDR = 0xD (TIMx_CC DAT1)，DMA 数据长度 = 半字，DMA 存储器地址 = SRAM 中的缓冲区地址，DMA 外设地址 = TIMx_DADDR 地址。</p> <p>当事件发生时，TIMx 将向 DMA 发送请求，并传输 4 次数据。</p> <p>第一次，对 TIMx_DADDR 寄存器的 DMA 访问将映射到访问 TIMx_CC DAT1 寄存器；</p> <p>第二次，对 TIMx_DADDR 寄存器的 DMA 访问将映射到访问 TIMx_CC DAT2 寄存器；</p> <p>.....</p> <p>第四次，对 TIMx_DADDR 寄存器的 DMA 访问将映射到访问 TIMx_CC DAT4 寄存器；</p>

## 19 通用定时器 GTIMAx(x=1-7)

### 19.1 GTIMAx(x=1-7)简介

通用定时器（GTIMA1/GTIMA2/GTIMA3/GTIMA4/GTIMA5/GTIMA6/GTIMA7）主要用于以下场合：对输入信号进行计数、测量输入信号的脉冲宽度和产生输出波形等。

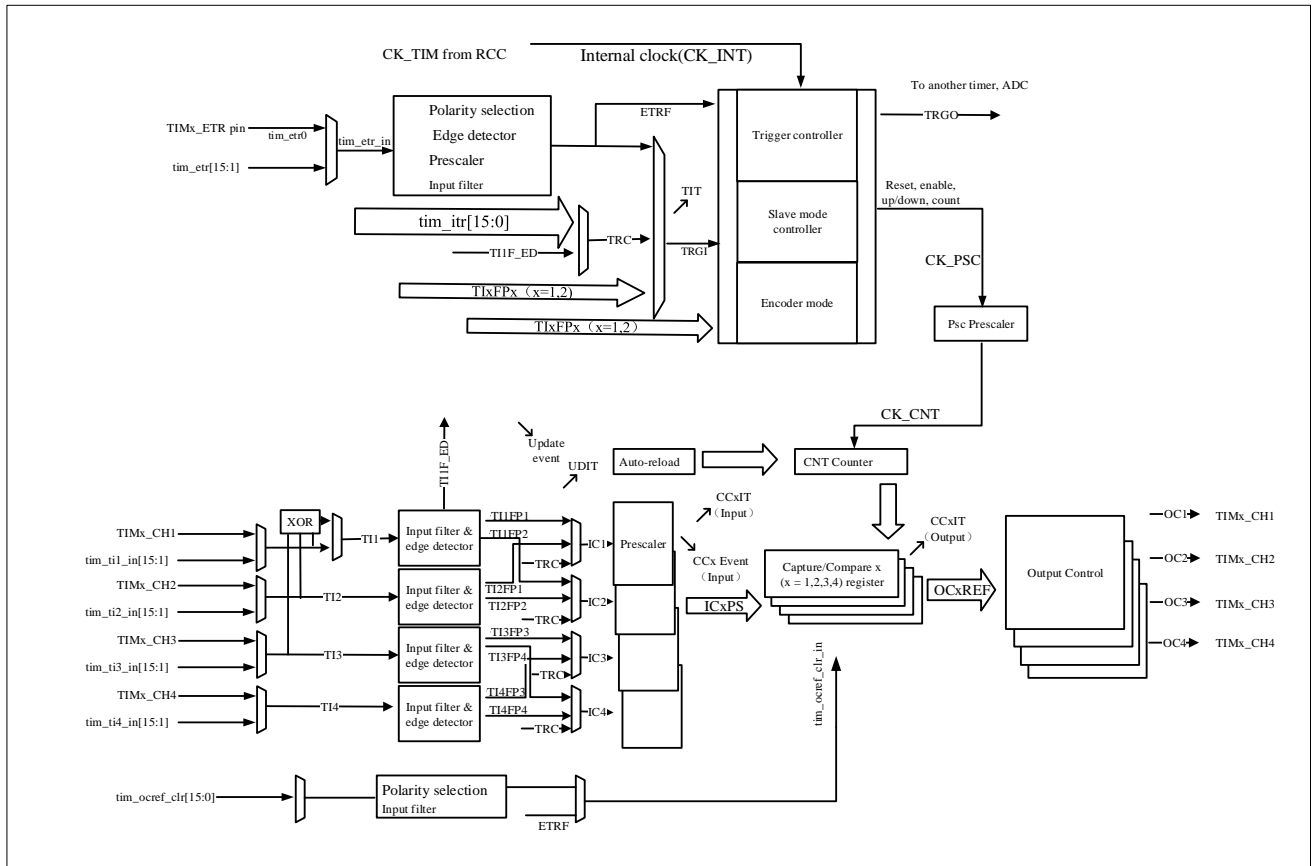
### 19.2 GTIMAx(x=1-7)主要特性

- 16 位自动装载计数器。（可实现向上计数、向下计数、向上/下计数）。
- 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）
- GTIMAx 最多支持 4 个通道
- 通道工作模式：PWM 输出、输出比较、单脉冲模式输出、输入捕获
- 如下事件发生时产生中断/DMA：
  - ◆ 更新事件
  - ◆ 触发事件
  - ◆ 输入捕获
  - ◆ 输出比较
- 可通过外部信号控制定时器
- 多个定时器内部连接在一起，以实现定时器的同步或链接
- 增量（正交）编码器接口：用于追踪运行轨迹和解析旋转方位
- 霍尔传感器接口：用于三相电机控制
- 支持捕获内部比较器输出信号。



### 19.3 GTIMAx(x=1-7)框图

图 19-1 GTIMAx (x=1-7) 框图



### 19.4 GTIMAx(x=1-7)的引脚及内部信号

下列表格描述了 GTIMAx 的输入和输出引脚及信号

表 19-1 GTIMAx 输入/输出引脚

引脚	类型	描述
TIMx_CH1 TIMx_CH2 TIMx_CH3 TIMx_CH4	Input/Output	<p>计时器多用途通道。</p> <p>每个通道都可以用于捕获、比较或产生 PWM。</p> <p>TIM_CH1 和 TIM_CH2 还可以用作 作为外部时钟（低于 1/4 的内部时钟频率），外部触发器和正交编码器输入。</p> <p>TIM_CH1、TIM_CH2 和 TIM_CH3 还可用于霍尔效应传感器的接口。</p>
TIMx_ETR	Input	<p>外部触发器输入。该输入可以作为外部触发器或外部时钟源。如果使用预分频器，输入信号 TIMx_ETR 可以为频率高于系统时钟频率的信号。</p>

**表 19-2 GTIMAx 内部输入/输出信号**

内部信号	类型	描述
tim_ti1_in[15:0] tim_ti2_in[15:0] tim_ti3_in[15:0] tim_ti4_in[15:0]	Input	定时器通道 1/2/3/4 输入信号。tim_ti1_in[15:0]和 tim_ti2_in[15:0]输入可用于捕获或作为外部时钟（低于系统时钟频率的 1/4）和用于正交编码器信号。
tim_etr[15:0]	Input	外部触发通道输入信号。这些输入可用作触发器、外部时钟或用于硬件逐周期脉宽控制。如果使用预分频器，输入信号 TIMx_ETR 可以为频率高于系统时钟频率的信号。
tim_itr[15:0]	Input	内部触发输入信号。这些输入可以用在从模式控制器或作为输入时钟（低于系统时钟频率的 1/4）。
tim_trgo	Output	内部触发信号输出。这些触发信号可被其他定时器和/或其他外围设备使用。

### 19.4.1 GTIMAx 的 tim\_ti1/ tim\_ti2/ tim\_ti3/ tim\_ti4 信号源

**表 19-3 tim\_ti1 输入信号源**

tim_ti1 inputs	信号源						
	GTIMA1	GTIMA2	GTIMA3	GTIMA4	GTIMA5	GTIMA6	GTIMA7
tim_ti1_in0	GTIMA1_ CH1	GTIMA2_ CH1	GTIMA3_ CH1	GTIMA4_ CH1	GTIMA5_ CH1	GTIMA6_ CH1	GTIMA7_ CH1
tim_ti1_in1	LSE_CSS _OUT	LSE	Reserved	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT
tim_ti1_in2	COMP1_ OUT	MCO1	MCO2	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT
tim_ti1_in3	COMP2_ OUT	HSE_ DIV32	HSE_ DIV32	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT
tim_ti1_in4	COMP3_ OUT	RTC_ WAKEUP	RTC_ WAKEUP	COMP4_ OUT	COMP4_ OUT	COMP4_ OUT	COMP4_ OUT
tim_ti1_in5	COMP4_ OUT	LSE_CSS	LSE_CSS	CAN1_ OUT	CAN2_ OUT	CAN3_ OUT	CAN4_ OUT

	OUT	_OUT	_OUT	TMP	TMP	TMP	TMP
tim_ti1_in6	Reserved	LSI	LSI	CAN1_ RTP	CAN2_ RTP	CAN3_ RTP	CAN4_ RTP
tim_ti1_in[15:7]	Reserved						

表 19-4 tim\_ti2 输入信号源

tim_ti2 inputs	信号源						
	GTIMA1	GTIMA2	GTIMA3	GTIMA4	GTIMA5	GTIMA6	GTIMA7
tim_ti2_in0	GTIMA1_ CH2	GTIMA2_ CH2	GTIMA3_ CH2	GTIMA4_ CH2	GTIMA5_ CH2	GTIMA6_ CH2	GTIMA7_ CH2
tim_ti2_in1	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT
tim_ti2_in2	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT
tim_ti2_in3	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT
tim_ti2_in4	GTIMA6_ OC1	GTIMA6_ OC2	GTIMA6_ OC3	GTIMA6_ OC4	COMP4_ OUT	COMP4_ OUT	COMP4_ OUT
tim_ti2_in[15:5]	Reserved						

表 19-5 tim\_ti3 输入信号源

tim_ti3 inputs	信号源						
	GTIMA1	GTIMA2	GTIMA3	GTIMA4	GTIMA5	GTIMA6	GTIMA7
tim_ti3_in0	GTIMA1_ CH3	GTIMA2_ CH3	GTIMA3_ CH3	GTIMA4_ CH3	GTIMA5_ CH3	GTIMA6_ CH3	GTIMA7_ CH3
tim_ti3_in1	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT

tim_ti3_in2	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT
tim_ti3_in3	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT
tim_ti3_in4	COMP4_ OUT	COMP4_ OUT	COMP4_ OUT	COMP4_ OUT	COMP4_ OUT	COMP4_ OUT	COMP4_ OUT
tim_ti3_in[15:5]	Reserved						

表 19-6 tim\_ti4 输入信号源

tim_ti4 inputs	信号源						
	GTIMA1	GTIMA2	GTIMA3	GTIMA4	GTIMA5	GTIMA6	GTIMA7
tim_ti4_in0	GTIMA1_ CH4	GTIMA2_ CH4	GTIMA3_ CH4	GTIMA4_ CH4	GTIMA5_ CH4	GTIMA6_ CH4	GTIMA7_ CH4
tim_ti3_in1	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT
tim_ti3_in2	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT
tim_ti3_in3	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT
tim_ti3_in4	COMP4_ OUT	COMP4_ OUT	COMP4_ OUT	COMP4_ OUT	COMP4_ OUT	COMP4_ OUT	COMP4_ OUT
tim_ti4_in[15:5]	Reserved						

## 19.4.2 GTIMAx 的 tim\_itr 信号源

表 19-7 tim\_itr 输入信号源

GTIMAx	GTIMA1	GTIMA2	GTIMA3	GTIMA4	GTIMA5	GTIMA6	GTIMA7
--------	--------	--------	--------	--------	--------	--------	--------

tim_itr0	ATIM1_ TRGO	ATIM1_ TRGO	ATIM1_ TRGO	ATIM1_ TRGO	ATIM1_ TRGO	ATIM1_ TRGO	ATIM1_ TRGO
tim_itr1	Reserve	GTIMA1_ TRGO	GTIMA1_ TRGO	GTIMA1_ TRGO	GTIMA1_ TRGO	GTIMA1_ TRGO	GTIMA1_ TRGO
tim_itr2	GTIMA2_ TRGO	Reserve	GTIMA2_ TRGO	GTIMA2_ TRGO	GTIMA2_ TRGO	GTIMA2_ TRGO	GTIMA2_ TRGO
tim_itr3	GTIMA3_ TRGO	GTIMA3_ TRGO	Reserve	GTIMA3_ TRGO	GTIMA3_ TRGO	GTIMA3_ TRGO	GTIMA3_ TRGO
tim_itr4	GTIMA4_ TRGO	GTIMA4_ TRGO	GTIMA4_ TRGO	CAN1_ SOC	GTIMA4_ TRGO	GTIMA4_ TRGO	GTIMA4_ TRGO
tim_itr5	ATIM2_ TRGO	ATIM2_ TRGO	ATIM2_ TRGO	ATIM2_ TRGO	ATIM2_ TRGO	ATIM2_ TRGO	ATIM2_ TRGO
tim_itr6	GTIMA5_ TRGO	GTIMA5_ TRGO	GTIMA5_ TRGO	GTIMA5_ TRGO	CAN2_ SOC	GTIMA5_ TRGO	GTIMA5_ TRGO
tim_itr7	ATIM3_ TRGO	ATIM3_ TRGO	ATIM3_ TRGO	ATIM3_ TRGO	ATIM3_ TRGO	ATIM3_ TRGO	ATIM3_ TRGO
tim_itr8	GTIMA6_ TRGO	GTIMA6_ TRGO	GTIMA6_ TRGO	GTIMA6_ TRGO	GTIMA6_ TRGO	CAN3_ SOC	GTIMA6_ TRGO
tim_itr9	GTIMA7_ TRGO	GTIMA7_ TRGO	GTIMA7_ TRGO	GTIMA7_ TRGO	GTIMA7_ TRGO	GTIMA7_ TRGO	CAN4_ SOC
tim_itr10	ATIM4_ TRGO	ATIM4_ TRGO	ATIM4_ TRGO	ATIM4_ TRGO	ATIM4_ TRGO	ATIM4_ TRGO	ATIM4_ TRGO
tim_itr11	GTIMB1_ TRGO	GTIMB1_ TRGO	GTIMB1_ TRGO	GTIMB1_ TRGO	GTIMB1_ TRGO	GTIMB1_ TRGO	GTIMB1_ TRGO
tim_itr12	GTIMB2_ TRGO	GTIMB2_ TRGO	GTIMB2_ TRGO	GTIMB2_ TRGO	GTIMB2_ TRGO	GTIMB2_ TRGO	GTIMB2_ TRGO
tim_itr13	GTIMB3_ TRGO	GTIMB3_ TRGO	GTIMB3_ TRGO	GTIMB3_ TRGO	GTIMB3_ TRGO	GTIMB3_ TRGO	GTIMB3_ TRGO

	TRGO	TRGO	TRGO	TRGO	TRGO	TRGO	TRGO
tim_itr14	SHRTIM1_ OUT_ SYNC2	SHRTIM1_ OUT_ SYNC2	SHRTIM1_ OUT_ SYNC2	USB1_HS _SOF	USB1_HS _SOF	SHRTIM1_ OUT_ SYNC2	SHRTIM1_ OUT_ SYNC2
tim_itr15	ETH2_PPS _OUT	ETH2_PPS _OUT	Reserve	USB2_HS _SOF	USB2_HS _SOF	SHRTIM2_ OUT_ SYNC2	SHRTIM2_ OUT_ SYNC2

### 19.4.3 GTIMAx 的 tim\_etr 信号源

表 19-8 tim\_etr 输入信号源

GTIMAx	GTIMA1	GTIMA2	GTIMA3	GTIMA4	GTIMA5	GTIMA6	GTIMA7
tim_etr0	GTIMA1_ ETR	GTIMA2_ ETR	GTIMA3_ ETR	GTIMA4_ ETR	GTIMA5_ ETR	GTIMA6_ ETR	GTIMA7_ ETR
tim_etr1	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT
tim_etr2	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT
tim_etr3	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT
tim_etr4	COMP4_ OUT	COMP4_ OUT	COMP4_ OUT	COMP4_ OUT	COMP4_ OUT	COMP4_ OUT	COMP4_ OUT
tim_etr5	ADC1_ AWD1	ADC1_ AWD1	ADC1_ AWD1	ADC1_ AWD1	ADC1_ AWD1	ADC1_ AWD1	ADC1_ AWD1
tim_etr6	ADC1_ AWD2	ADC1_ AWD2	ADC1_ AWD2	ADC1_ AWD2	ADC1_ AWD2	ADC1_ AWD2	ADC1_ AWD2
tim_etr7	GTIMA2_ ETR	GTIMA1_ ETR	GTIMA2_ ETR	GTIMA1_ ETR	GTIMA6_ ETR	GTIMA5_ ETR	GTIMA5_ ETR

tim_etr8	ADC2_ AWD1	ADC2_ AWD1	ADC2_ AWD1	ADC2_ AWD1	ADC2_ AWD1	ADC2_ AWD1	ADC2_ AWD1
tim_etr9	ADC2_ AWD2	ADC2_ AWD2	ADC2_ AWD2	ADC2_ AWD2	ADC2_ AWD2	ADC2_ AWD2	ADC2_ AWD2
tim_etr10	GTIMB1_ ETR	GTIMA3_ ETR	GTIMA4_ ETR	GTIMA2_ ETR	GTIMA7_ ETR	GTIMA7_ ETR	GTIMA6_ ETR
tim_etr11	ADC3_ AWD1	ADC3_ AWD1	ADC3_ AWD1	ADC3_ AWD1	ADC3_ AWD1	ADC3_ AWD1	ADC3_ AWD1
tim_etr12	ADC3_ AWD2	ADC3_ AWD2	ADC3_ AWD2	ADC3_ AWD2	ADC3_ AWD2	ADC3_ AWD2	ADC3_ AWD2
tim_etr13	LSE	GTIMB2_ ETR	GTIMB3_ ETR	GTIMB1_ ETR	GTIMB2_ ETR	GTIMB3_ ETR	GTIMB1_ ETR
tim_etr_in[15:14]	Reserved						

#### 19.4.4 GTIMAx 的 tim\_ocref\_clr 输入信号源

表 19-9 GTIMAx 的 tim\_ocref\_clr 输入信号源

OCREF 清除信号	GTIMAx OCREF 清除信号分配						
	GTIMA1	GTIMA2	GTIMA3	GTIMA4	GTIMA5	GTIMA6	GTIMA7
tim_ocref_clr0	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT	COMP1_ OUT
tim_ocref_clr1	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT	COMP2_ OUT
tim_ocref_clr2	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT	COMP3_ OUT
tim_ocref_clr3	COMP4_ OUT	COMP4_ OUT	COMP4_ OUT	COMP4_ OUT	COMP4_ OUT	COMP4_ OUT	COMP4_ OUT

tim_ocref_in[15:4]	Reserved
--------------------	----------

## 19.5 GTIMAx(x=1-7)功能描述

### 19.5.1 时基单元

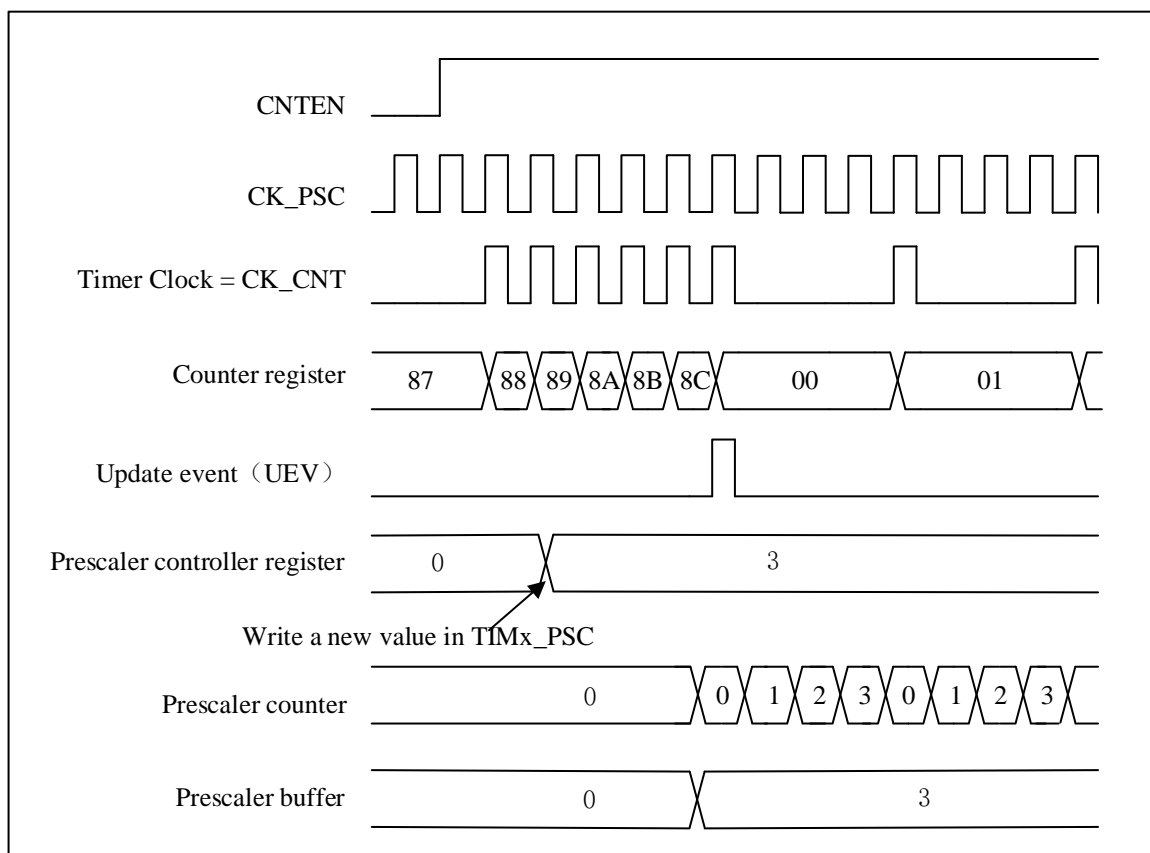
通用器的时基单元主要包括：预分频器、计数器和自动重装载寄存器。当时基单元工作时，软件可以随时读取和写入相应的寄存器（TIMx\_PSC、TIMx\_CNT 和 TIMx\_AR）。

根据自动重装载预装载使能位（TIMx\_CTRL1.ARPEN）的设置，预装载寄存器的值会立即或在每次更新事件 UEV 时传输到影子寄存器。TIMx\_CTRL1.UPDIS=0 时，当计数器上溢/下溢或软件设置 TIMx\_EVTGEN.UDGN，将生成更新事件。计数器 CK\_CNT 仅在 TIMx\_CTRL1.CNTEN 位被设置时有效。计数器在 TIMx\_CTRL.CNTEN 位被设置后一个时钟周期之后开始计数。

#### 19.5.1.1 预分频器描述

TIMx\_PSC 寄存器由一个 16 位计数器组成，可用于计数器时钟频率按 1 和 65536 之间的任意分频。因为这个控制器带有缓冲器，可以在运行时动态改变。新的预分频器值只有在下次更新事件中才会被采用。

图 19-2 当预分频的参数从 1 到 4，计数器的时序图





## 19.5.2 计数器模式

### 19.5.2.1 向上计数模式

使用向上计数模式，计数器将从 0 计数到寄存器 TIMx\_AR 的值，然后重置为 0。并产生一个计数器溢出事件。

如果设置 TIMx\_CTRL1.UPRS 位(选择更新请求)和 TIMx\_EVTGEN.UDGN 位,将产生一个更新事件(UEV)。但是 TIMx\_STS.UDITF 不会被硬件置起，因此不会产生更新中断或 DMA 更新请求。这是为了避免清除计数器时产生更新中断。

取决于 TIMx\_CTRL1.UPRS 的配置，当发生更新事件时，TIMx\_STS.UDITF 被设置，所有寄存器都会更新：

- 当 TIMx\_CTRL1.ARPEN = 1，预装载寄存器(TIMx\_AR)的值被更新到自动装载影子寄存器
- 预加载值 (TIMx\_PSC) 被重新加载到预分频器影子寄存器中

为了避免在向预装载寄存器中写入新值时更新影子寄存器，可以通过设置 TIMx\_CTRL1.UPDIS=1 来禁止更新事件。

当产生一个更新事件时，计数器仍将被清除，预分频器计数器也将被设置为 0 (但预分频器值将保持不变)。

下图给出一些示例，展示了向上计数模式计数器在不同分频因子下的动作。

图 19-3 当内部时钟分频因子 = 2/N 时，向上计数的时序图

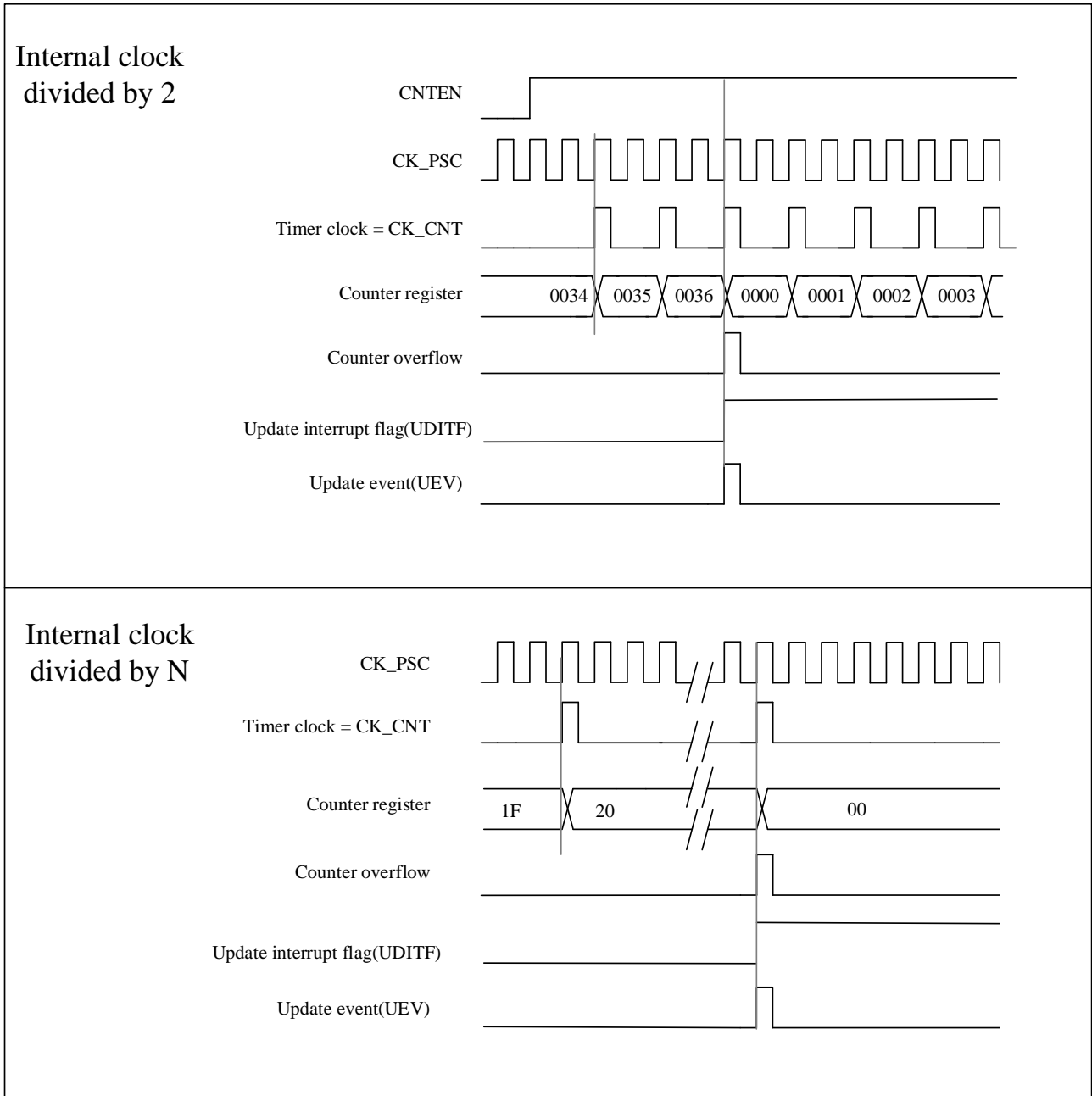
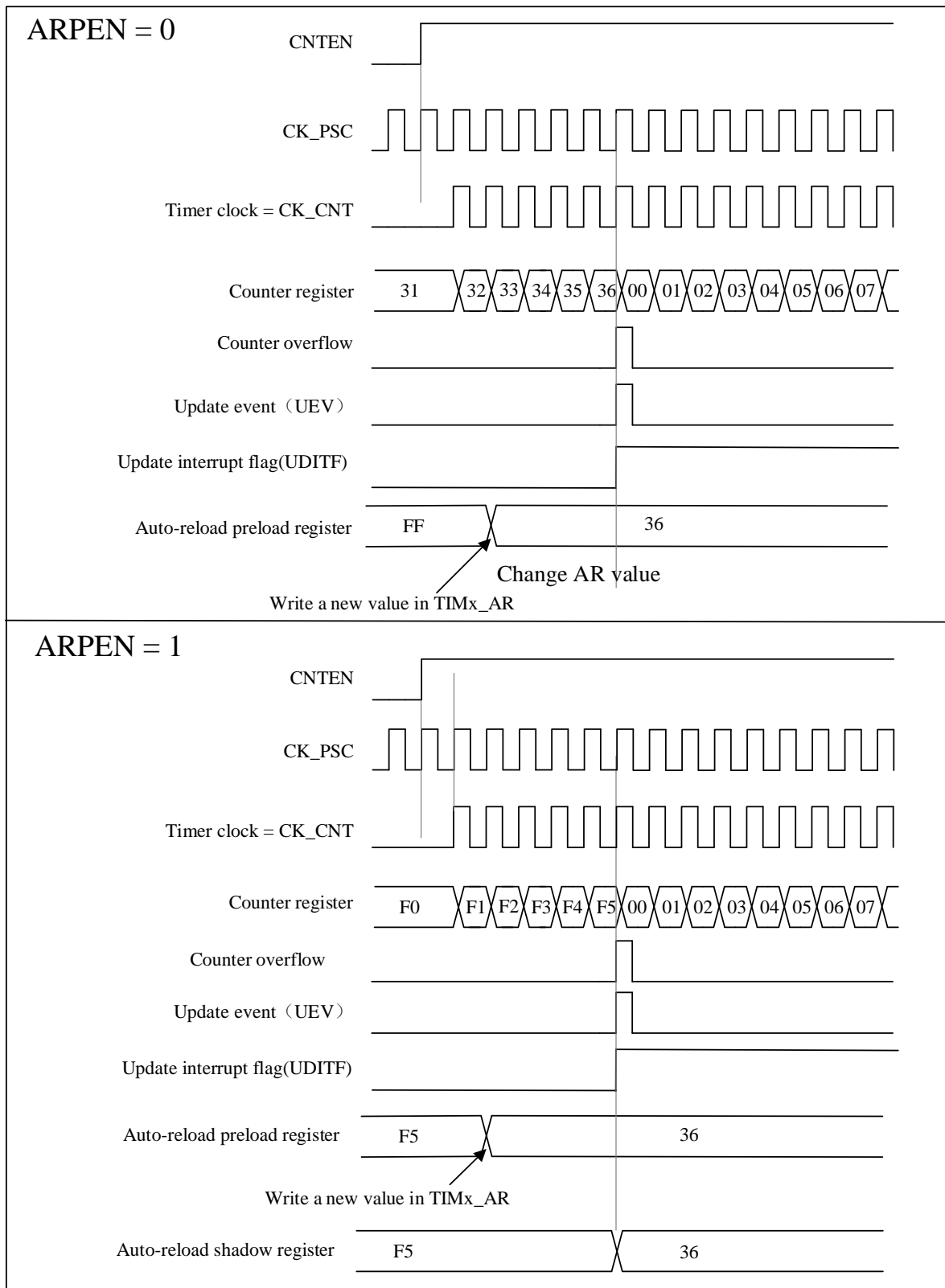


图 19-4 当 ARPEN=0/1 产生更新事件时，向上计数的时序图



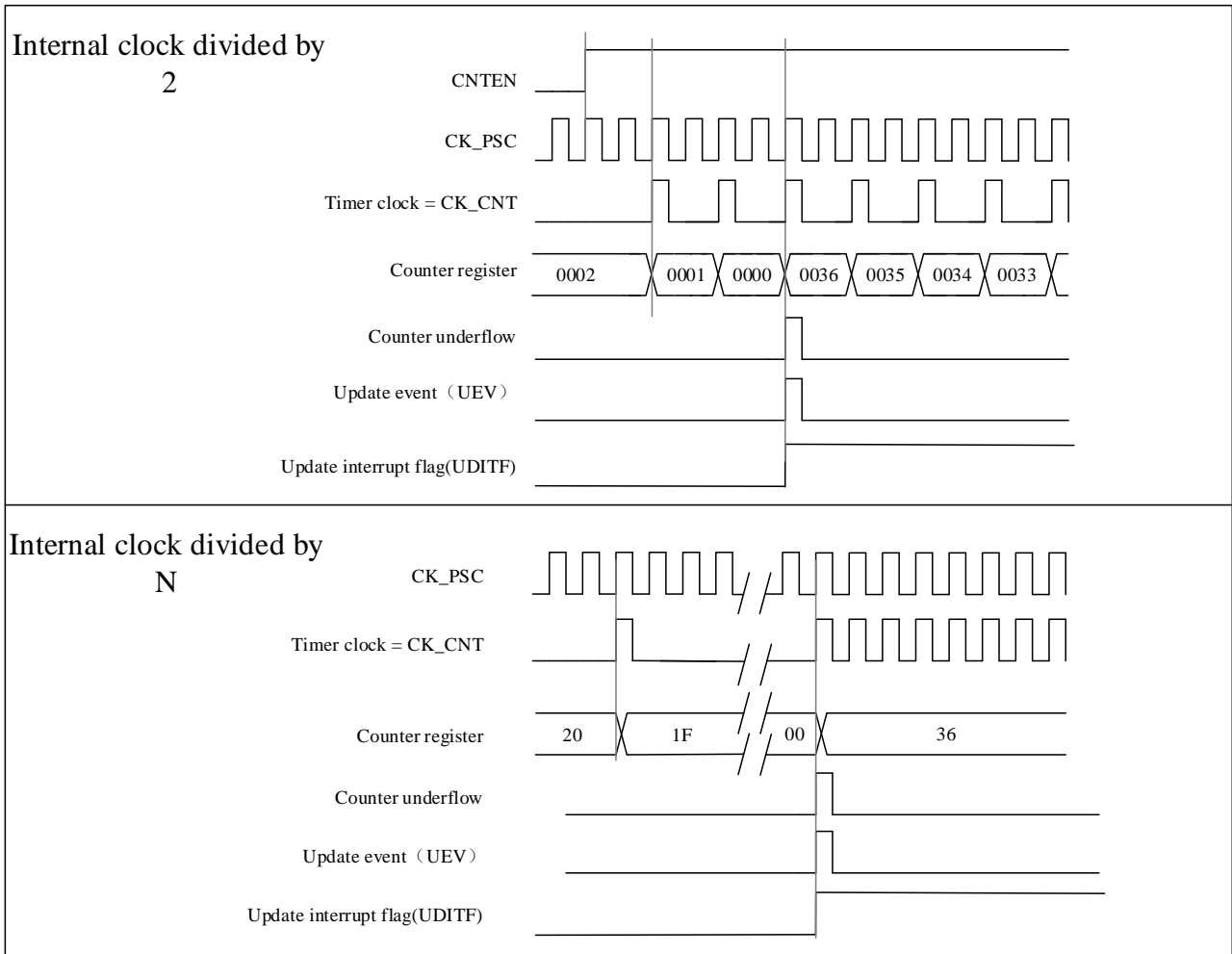
### 19.5.2.2 向下计数模式

向下计数模式，计数器将从寄存器 TIMx\_AR 的值减至 0，然后从自动重载值重新开始，并产生计数器向下溢出事件

向下计数模式和向上计数模式配置更新事件和更新寄存器的过程相同，请查阅 19.5.2.1 章节。

下图给出一些示例，展示了向下计数模式计数器在不同分频因子下的动作。

图 19-5 内部时钟分频因子 = 2/N 时，向下计数时序图



### 19.5.2.3 中央对齐模式

在中央对齐模式下，计数器从 0 增加到值 (TIMx\_AR) - 1，产生计数器溢出事件。然后，它从自动重装载值 (TIMx\_AR) 向下计数到 1，并生成一个计数器向下溢出事件。然后计数器重置为 0 并再次开始计数。

在这种模式下，TIMx\_CTRL1.DIR 方向位无效，由硬件更新和指定当前计数方向。当 TIMx\_CTRL1.CAMSEL 位不等于“00”时，中央对齐模式有效。

每次计数上溢和计数下溢时都会生成更新事件。或者，也可以通过设置 TIMx\_EVTGEN.UDGN 位（通过软件或使用从模式控制器）来生成更新事件。在这种情况下，计数器从 0 重新开始计数，预分频器的计数器也从 0 重新开始计数。

注：如果因为计数器溢出而产生更新，自动重装载将在计数器重新载入之前被更新。

图 19-6 内部时钟分频因子 = 2/N，中央对齐时序图

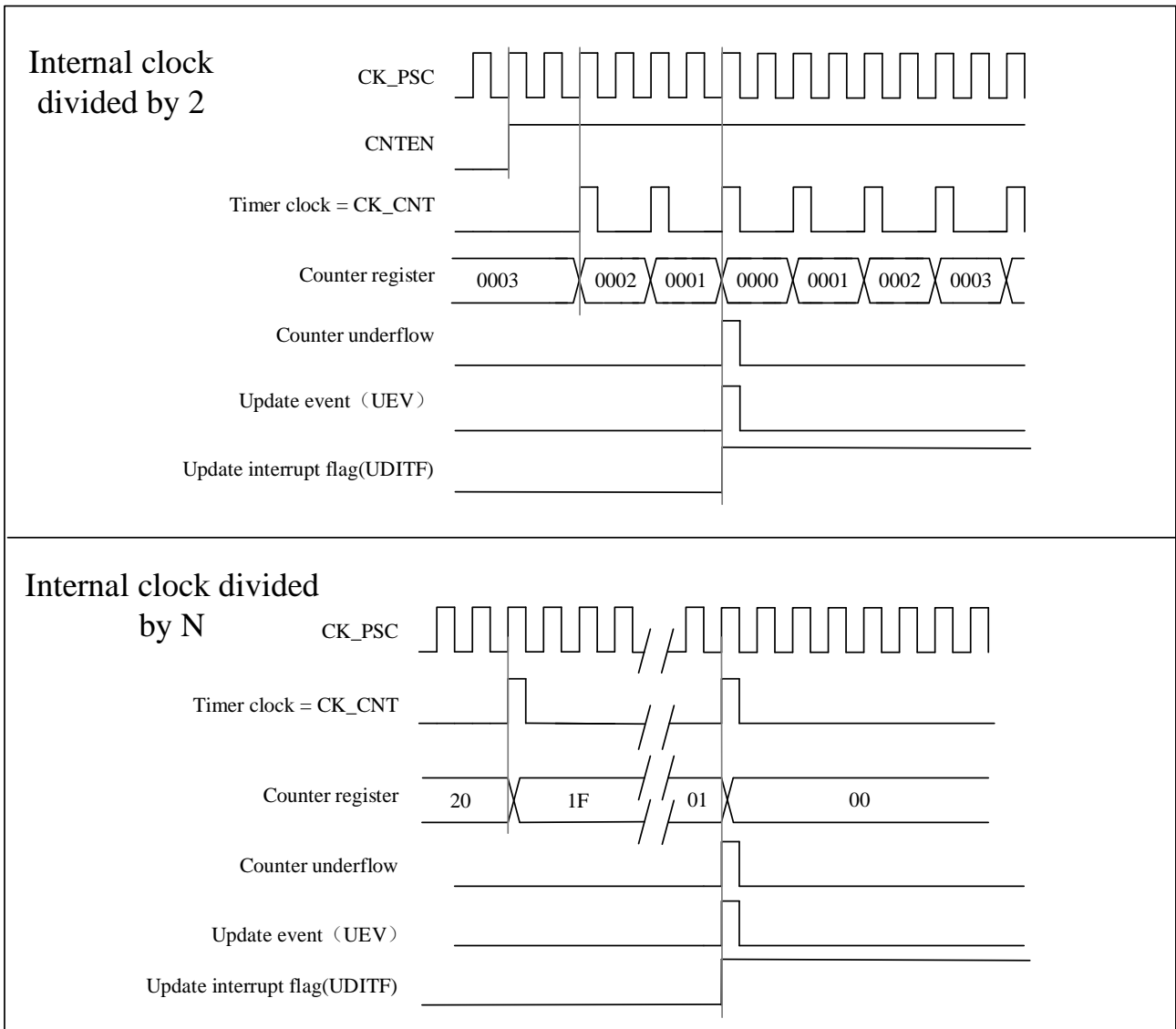
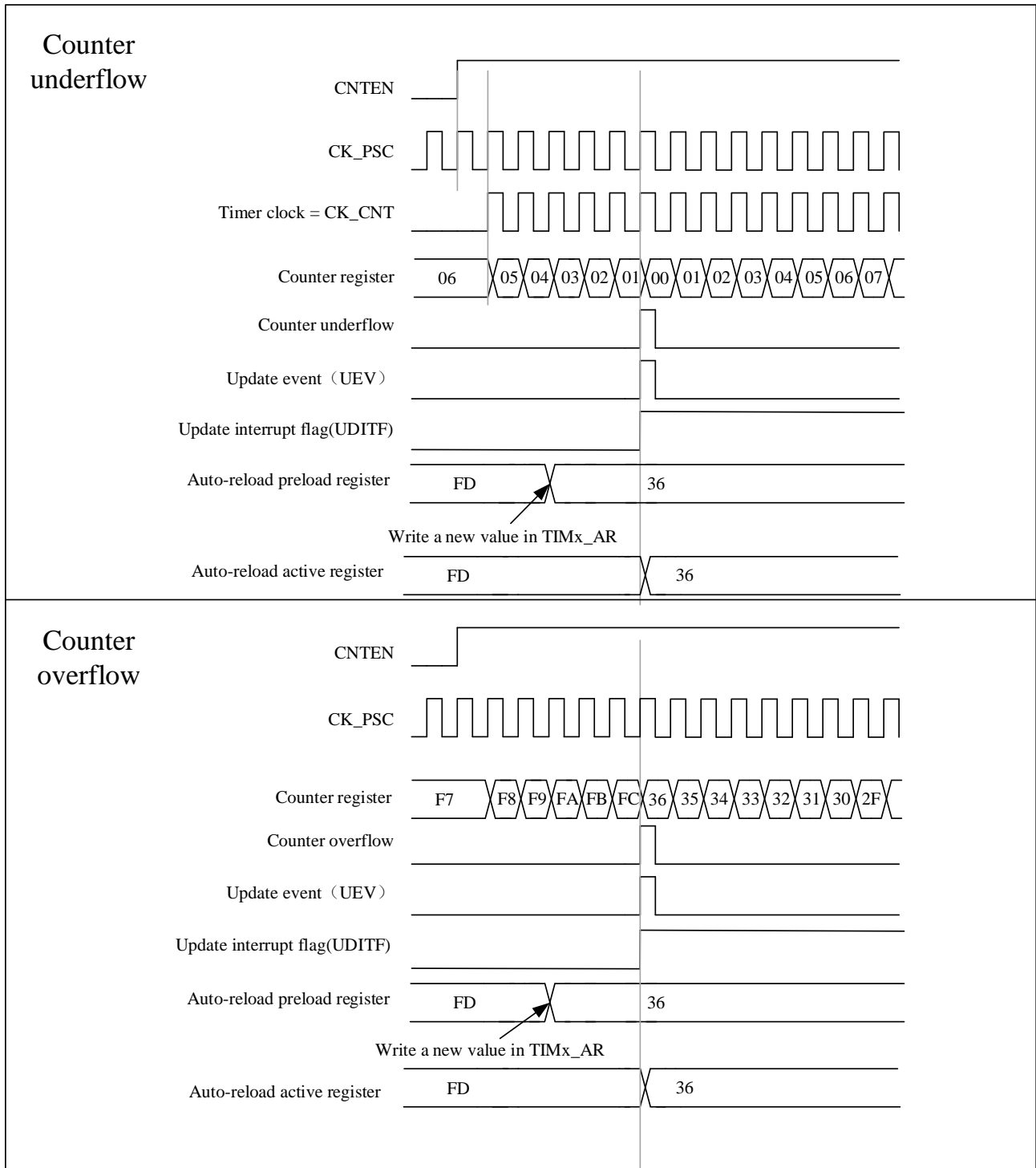


图 19-7 包含计数器上溢和下溢的中央对齐时序图(ARPEN=1)



### 19.5.3 时钟选择

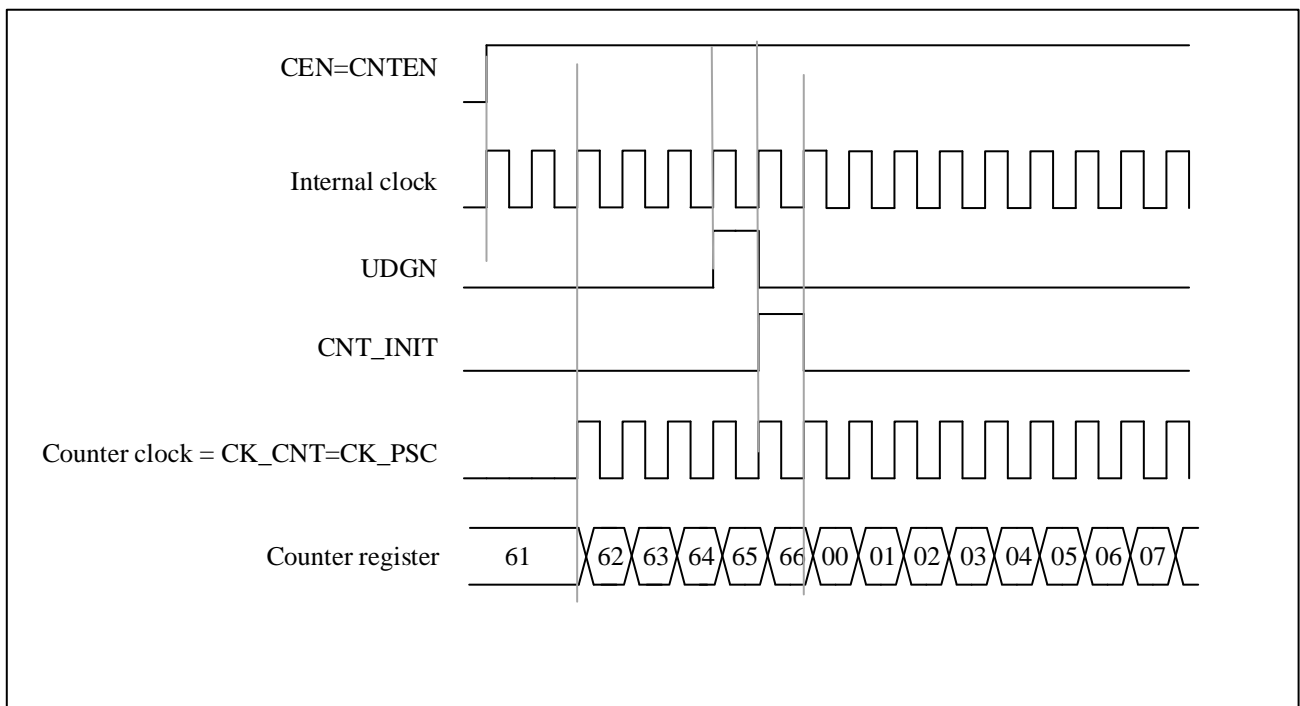
- 通用定时器的内部时钟: CK\_INT
- 两种外部时钟模式:
  - 外部输入引脚

- 外部触发输入 ETR
- 内部触发输入 (ITRx): 一个定时器用作另一个定时器的预分频器

### 19.5.3.1 内部时钟源(CK\_INT)

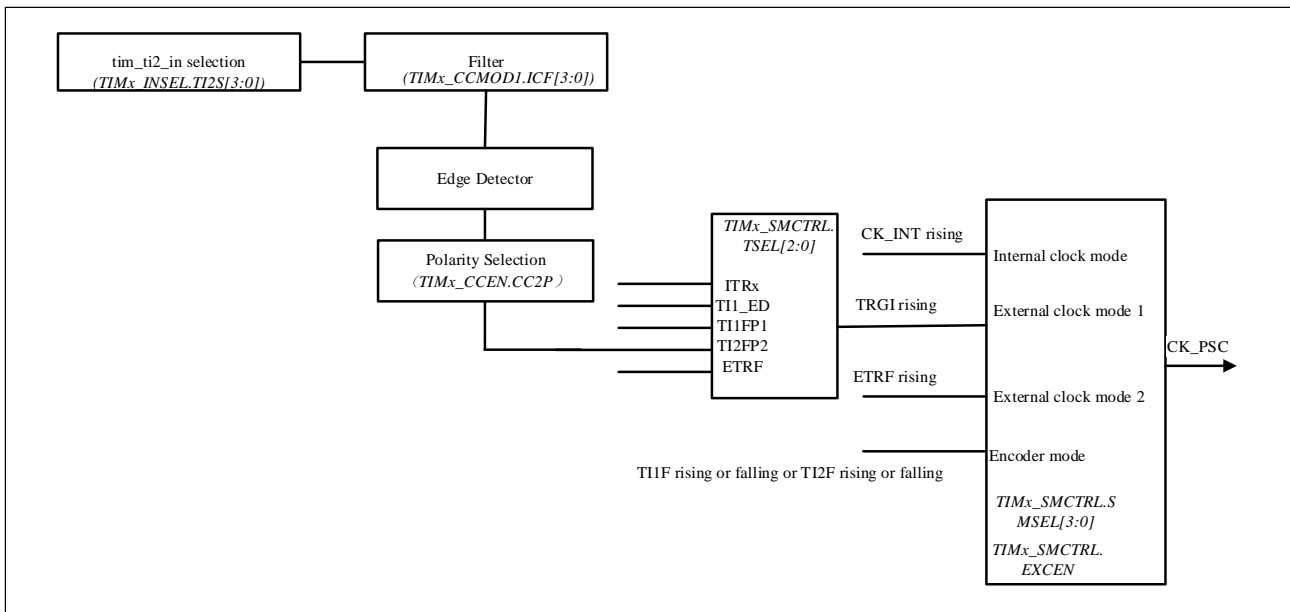
当 TIMx\_SMCTRL.SMSEL 等于“0000”时，从模式控制器被禁用。这三个控制位 (TIMx\_CTRL1.CNTEN、TIMx\_CTRL1.DIR、TIMx\_EVTGEN.UDGN) 只能由软件改变 (TIMx\_EVTGEN.UDGN 除外，它保持自动清零)。前提是 TIMx\_CTRL1.CNTEN 位被软写为'1'，预分频器的时钟源由内部时钟 CK\_INT 提供。

图 19-8 正常模式下的控制电路，内部时钟除以 1



### 19.5.3.2 外部时钟源模式 1

图 19-9TI2 外部时钟连接示例



通过配置 `TIMx_SMCTRL.SMSEL=0111` 选择该模式。计数器可以配置为在所选输入的时钟上升沿或下降沿进行计数。

例如，配置向上计数模式在 `TI2` 输入的时钟上升沿计数，配置步骤如下：

- 配置 `TIMx_CCMOD1.CC2SEL` 等于‘01’，`CC2` 通道配置为输入，`IC2` 映射到 `TI2`
- 配置 `TIMx_CCEN.CC2P` 等于‘0’，选择时钟上升沿极性
- 通过配置 `TIMx_CCMOD1.IC2F[3:0]` 选择输入滤波器带宽（如果不需要滤波器，保持 `IC2F` 位为‘0000’）
- 配置 `TIMx_SMCTRL.SMSEL` 等于‘0111’，选择定时器外部时钟模式 1
- 配置 `TIMx_SMCTRL.TSEL` 等于‘110’，选择 `TI2` 作为触发输入源
- 配置 `TIMx_CTRL1.CNTEN` 等于‘1’以启动计数器

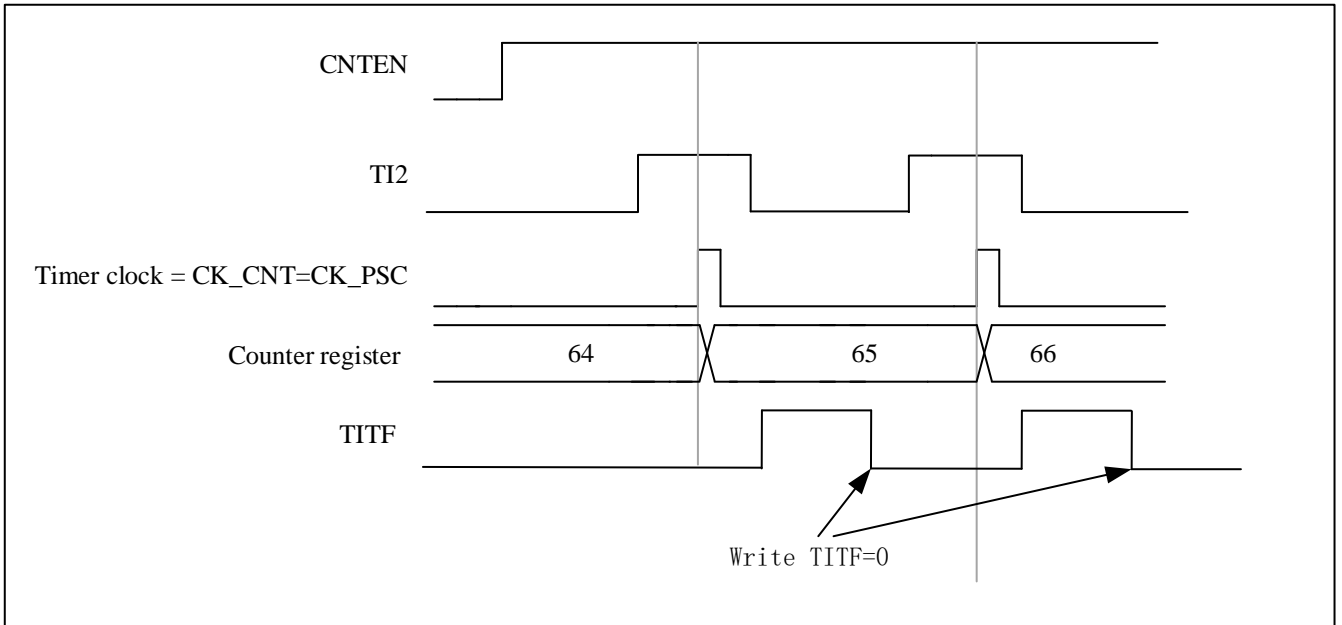
注意：捕获预分频器不用于触发，所以不需要配置

当定时器时钟的上升沿出现在 `TI2=1` 时，计数器计数一次并且 `TIMx_STS.TITF` 标志被拉高。

`TI2` 的上升沿与计数器实际时钟之间的延迟取决于 `TI2` 输入端的再同步电路。



图 19-10 外部时钟模式 1 的控制电路

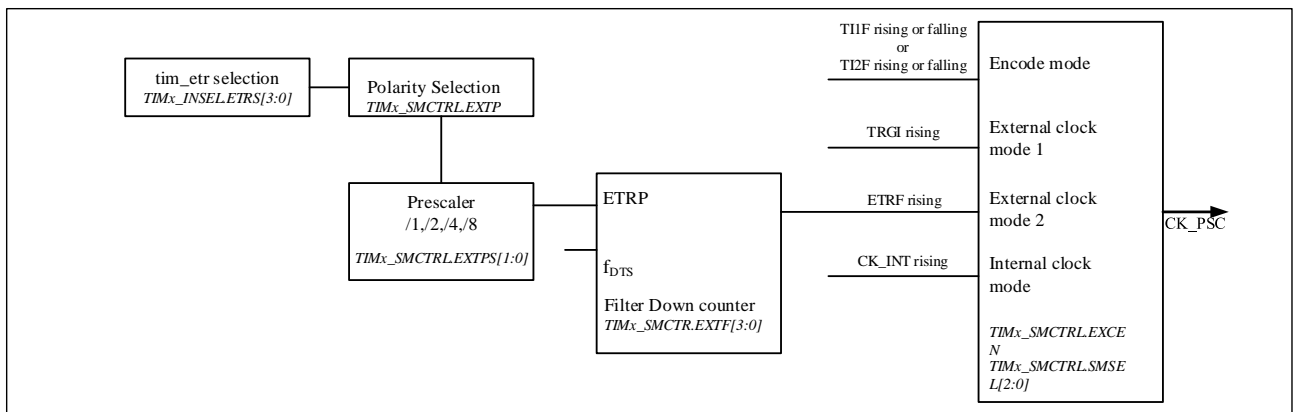


### 19.5.3.3 外部时钟源模式 2

此模式由 `TIMx_SMCTRL.EXCEN` 选择等于 1。计数器可以在外部触发输入 `ETR` 的每个上升沿或下降沿计数。

下图为外部时钟源模式 2 的外部触发输入模块示意图。

图 19-11 外部触发输入框图

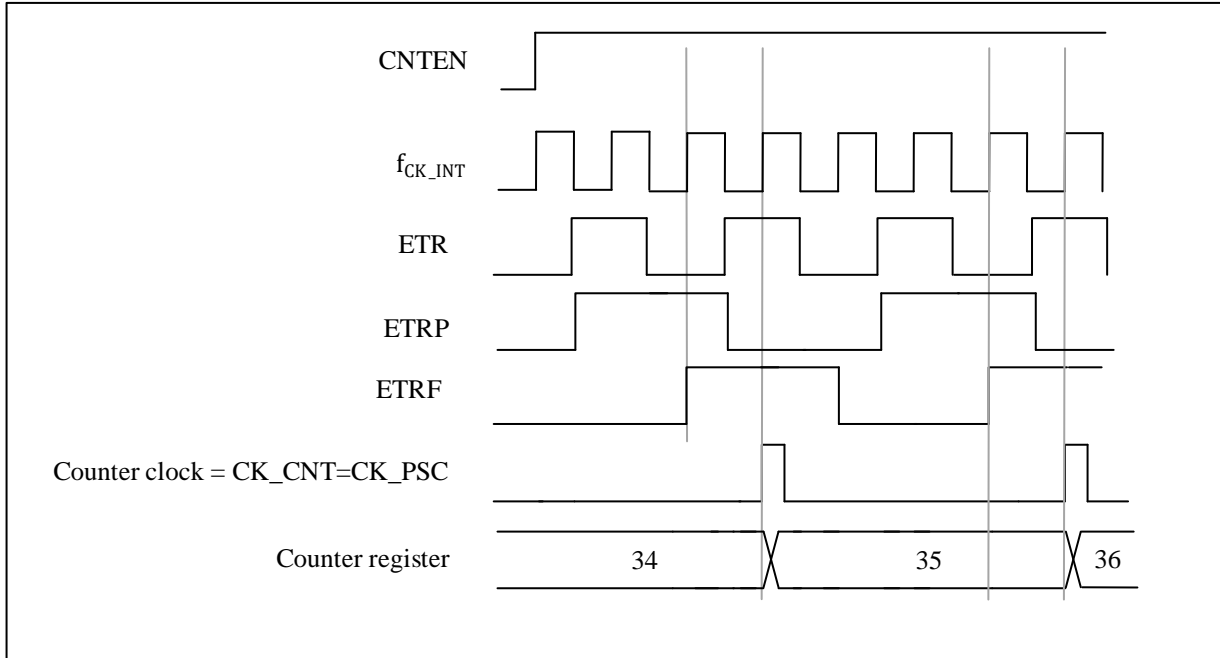


例如，使用以下配置步骤使向上计数器在 `ETR` 上每 2 个上升沿计数一次。

- 由于在这种情况下不需要过滤器，因此使 `TIMx_SMCTRL.EXTF[3:0]` 等于‘0000’
- 通过使 `TIMx_SMCTRL.EXTPS[1:0]` 等于 ‘01’ 来配置预分频器
- 通过设置 `TIMx_SMCTRL.EXTP` 等于‘0’来选择 `ETR` 引脚的极性，`ETR` 的上升沿有效
- 外部时钟模式 2 通过设置 `TIMx_SMCTRL.EXCEN` 等于‘1’来选择
- 通过设置 `TIMx_CTRL1.CNTEN` 等于“1”启动计数器。

计数器每 2 个 ETR 上升沿计数一次。ETR 的上升沿与计数器的实际时钟之间的延迟是由于 ETRP 信号上的再同步电路造成的。

图 19-12 外部时钟模式 2 的控制电路

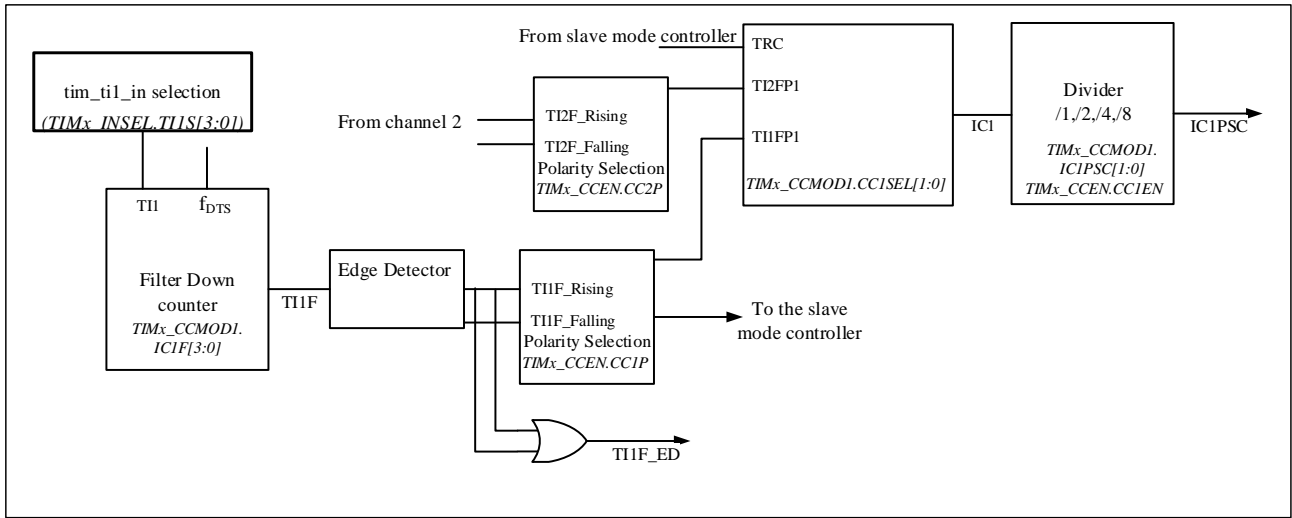


### 19.5.4 捕获/比较通道

捕获/比较通道包括捕获/比较寄存器和影子寄存器。输入部分由数字滤波器、多路复用器和预分频器组成。输出部分包括比较器和输出控制。

输入信号  $TIx$  被采样和滤波以产生信号  $TIxF$ 。然后由极性选择功能的边沿检测器生成信号 ( $TIxF\_rising$  或  $TIxF\_falling$ )，其极性由  $TIMx\_CCEN.CCxP$  位选择。该信号可用作从模式控制器的触发输入。同时，信号  $ICx$  经过分频后送入捕获寄存器。下图显示了捕获/比较通道的框图。

图 19-13 捕获/比较通道 (例如: 通道 1 输入级)



输出部分生成一个中间波形 OCxRef (高电平有效) 作为参考。极性作用在链的末端。

图 19-14 捕获/比较通道 1 主电路

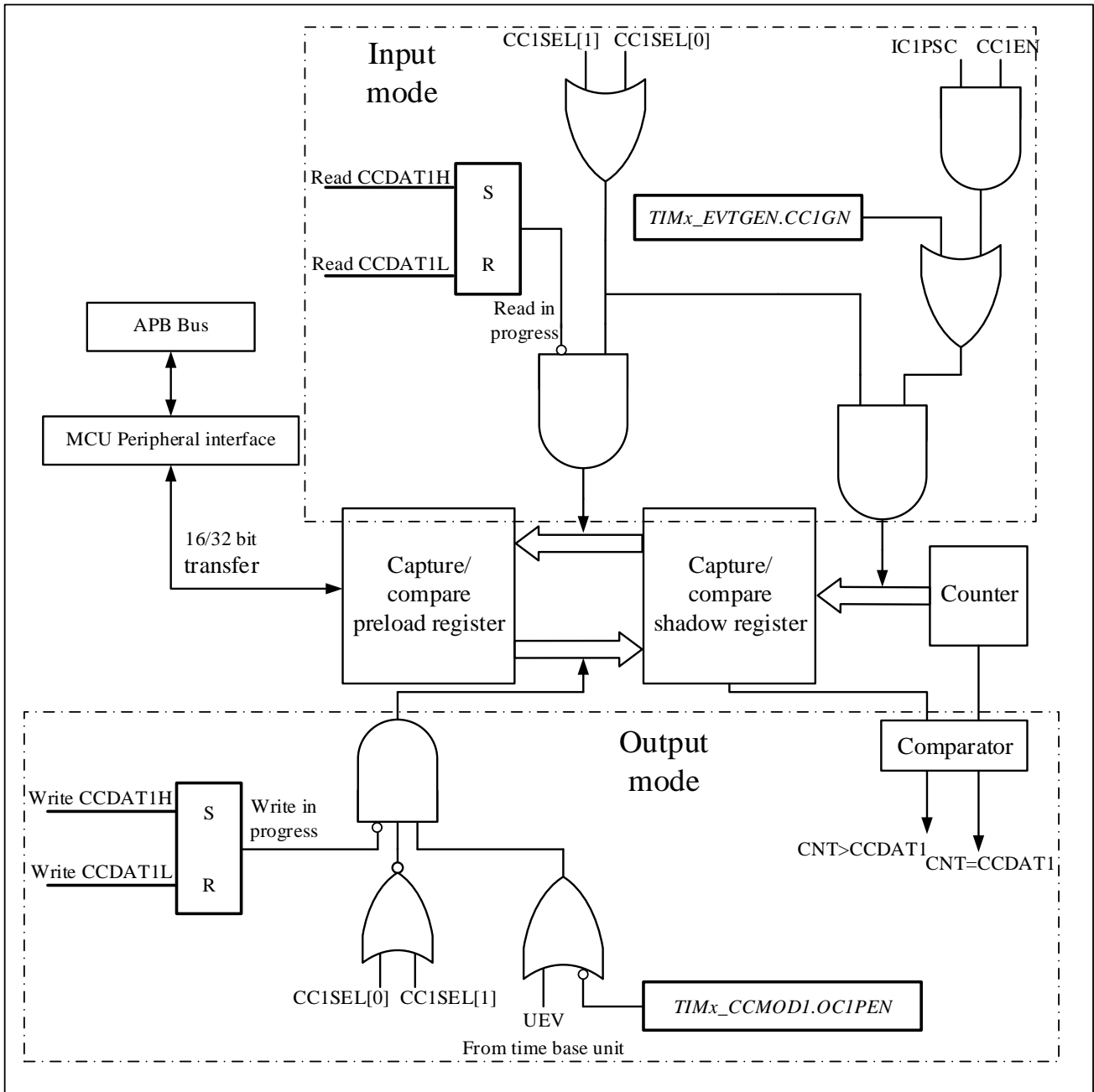
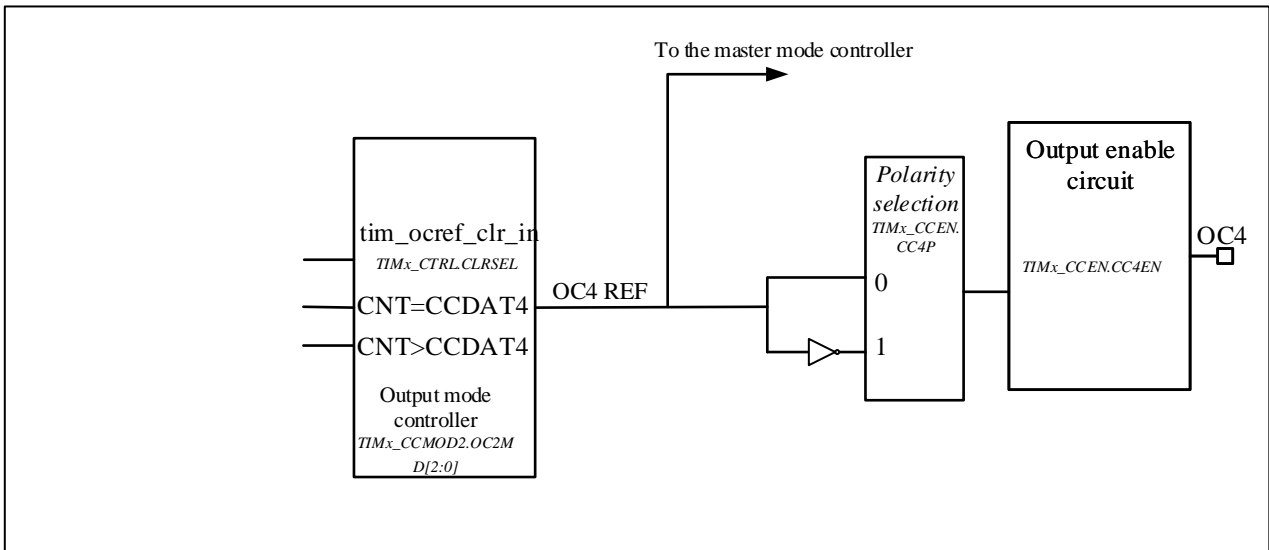


图 19-15 通道 x 的输出部分 (x = 1/2/3/4, 以通道 4 为例子)



在捕获/比较时，读取和写入始终访问预加载的寄存器。两个具体工作流程如下：

在捕获模式下，捕获实际上是在影子寄存器中完成的，然后将影子寄存器中的值复制到预加载寄存器中。

在比较模式下，与捕获模式相反，预加载寄存器的值被复制到影子寄存器中，并与计数器进行比较。

### 19.5.5 输入捕获模式

在捕获模式下，TIMx\_CCDA Tx 寄存器用于在检测到 ICx 信号后锁存计数器值。

有一个捕获中断标志 TIMx\_STS.CCxITF，如果相应的中断使能被拉高，它可以发出中断或 DMA 请求。

TIMx\_STS.CCxITF 位在发生捕获事件时由硬件设置，并由软件或读取 TIMx\_CCDA Tx 寄存器清零。

当 TIMx\_CCDA Tx 寄存器中的计数器值被捕获并且 TIMx\_STS.CCxITF 已经被拉高时，重复捕获标志 TIMx\_STS.CCxOCF 设置为 1。与前者不同，TIMx\_STS.CCxOCF 通过向其写入 0 来清除。

为实现 TI1 输入的上升沿将计数器值捕获到 TIMx\_CCDA T1 寄存器中，配置流程如下：

- 选择有效输入：

将 TIMx\_CCMOD1.CC1SEL 配置为“01”。此时输入为 CC1 通道，IC1 映射到 TI1。

- 编程所需的输入滤波器持续时间：

通过配置 TIMx\_CCMODx.ICx F 位来定义 TI1 输入的采样频率和数字滤波器的长度。示例：如果输入信号抖动多达 5 个内部时钟周期，我们必须选择比这 5 个时钟周期更长的滤波器持续时间。当检测到具有新电平的 8 个连续样本（以 f<sub>DTS</sub> 频率采样）时，我们可以验证 TI1 上的转换。然后配置 TIMx\_CCMOD1.IC1 F 到“0011”

- 通过配置 TIMx\_CCEN.CC1P=0，选择上升沿作为 TI1 通道的有效跳变极性

- 配置输入预分频器。在本例中，配置 TIMx\_CCMOD1.IC1PSC=‘00’以禁用预分频器，因为我们想要捕获每个有效转换

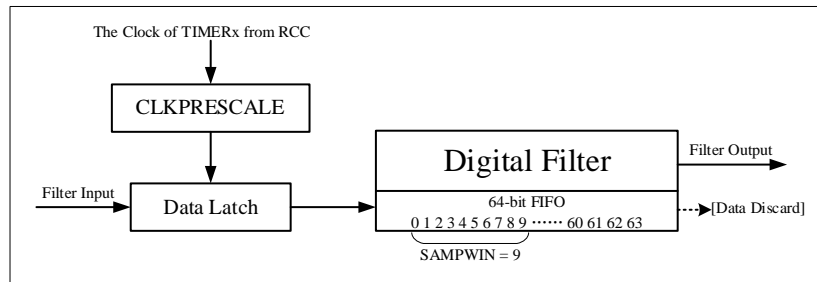
- 通过配置 TIMx\_CCEN.CC1EN = ‘1’ 启用捕获。

如果要使能 DMA 请求，可以配置 TIMx\_DINTEN.CC1DEN=1。如果要使能相关中断请求，可以配置 TIMx\_DINTEN.CC1IEN=1。

### 19.5.5.1 通道输入滤波

寄存器 TIMx\_CxFLT(x = 1, 2, 3, 4) 描述如下：

图 19-16 滑动滤波



- 数字滤波器通过 RCC 的 TIMx 时钟采样通道输入信号，在 64 位 FIFO 中累积采样。仅在 TIMx\_CxFLT.WSIZE [5:0] 中定义的窗口大小内采样数据，最大大小为 64。
- 过滤器输出采样窗口内的多数值，该值由 TIMx\_CxFLT.THRESH [5:0] 中的阈值定义，最大阈值为 63。此值应等于或大于窗口大小的一半。如果采样窗口内的逻辑 1 和逻辑 0 计数均不大于阈值，则数字滤波器保持先前的输出值。
- TIMx\_SLIDFpsc.PSC 寄存器决定相应数字滤波器的采样率。过滤器 FIFO 在每个采样时钟从输入中捕获一个采样值。
- 如果数字滤波器关闭，滤波器输入将像电线一样绕过输出。

### 19.5.6 PWM 输入模式

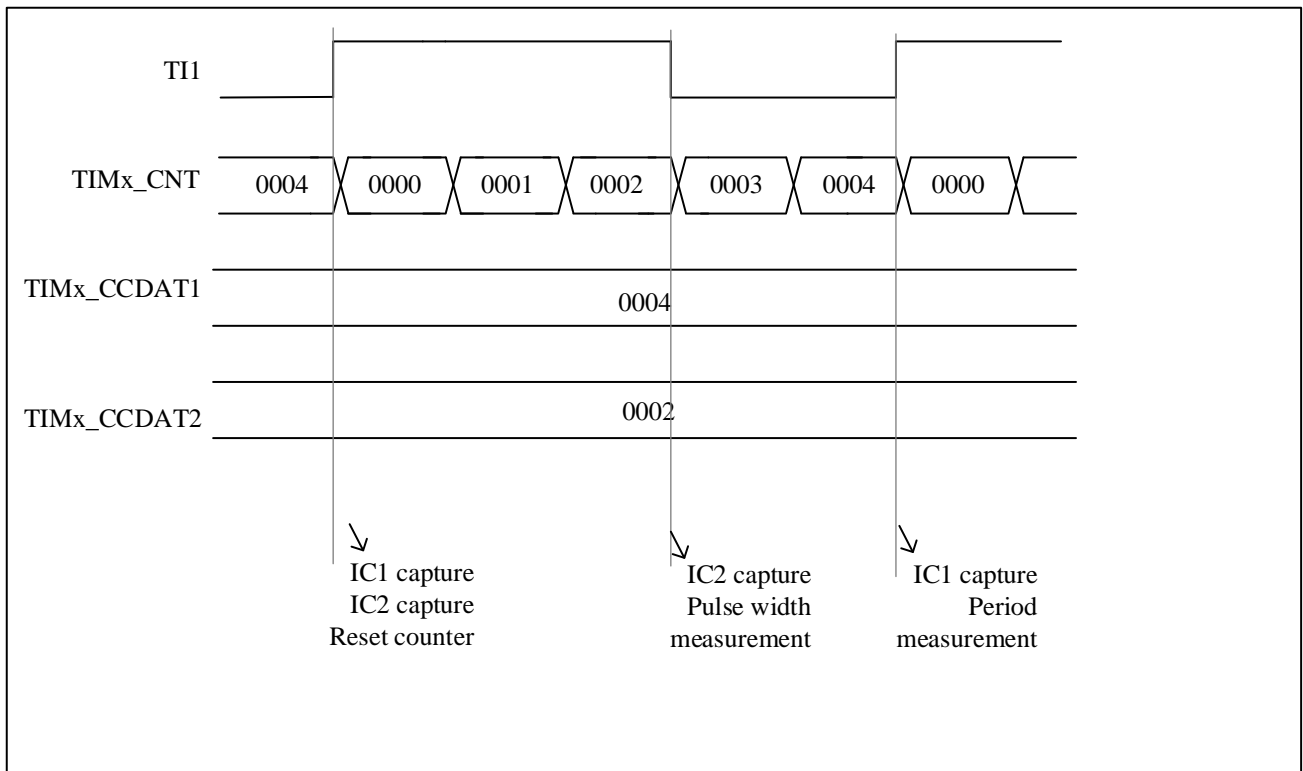
PWM 输入模式和普通输入捕获模式有一些区别，包括：

- 两个 ICx 信号映射到同一个 TIx 输入
- 两个 ICx 信号在极性相反的边沿有效
- 选择两个 TIxFP 信号之一作为触发输入
- 从机模式控制器配置为复位模式

例如，下面的配置流程可以用来知道 TI1 上 PWM 信号的周期和占空比（这取决于 CK\_INT 的频率和预分频器的值）。

- 配置 TIMx\_CCMOD1.CC1SEL 等于 ‘01’ 以选择 TI1 作为 TIMx\_CCDAT1 的有效输入
- 配置 TIMx\_CCEN.CC1P 等于 ‘0’ 选择滤波定时器输入 1(TI1FP1) 的有效极性，在上升沿有效
- 配置 TIMx\_CCMOD1.CC2SEL 等于 ‘10’ 选择 TI1 作为 TIMx\_CCDAT2 的有效输入
- 配置 TIMx\_CCEN.CC2P 等于 1 选择滤波定时器输入 2(TI1FP2)的有效极性，下降沿有效
- 配置 TIMx\_SMCTRL.TSEL=101 选择 Filtered timer input 1 (TI1FP1) 作为有效触发输入
- 配置 TIMx\_SMCTRL.SMSEL=100 配置从模式控制器为复位模式

- 配置 `TIMx_CCEN.CC1EN=1` 和 `TIMx_CCEN.CC2EN=1` 以启用捕获

**图 19-17 PWM 输入模式时序**


由于只有滤波器定时器输入 1 (TI1FP1) 和滤波器定时器输入 2 (TI2FP2) 连接到从模式控制器, 因此 PWM 输入模式只能与 `TIMx_CH1/TIMx_CH2` 信号一起使用。

### 19.5.7 强制输出模式

在输出模式 (`TIMx_CCMODx.CCxSEL=00`) 下, 软件可以直接将输出比较信号强制为有效或无效电平。

用户可以设置 `TIMx_CCMODx.OCxMD=101` 强制输出比较信号为有效电平。 `OCxREF` 将被强制为高电平, `OCx` 得到与 `CCxP` 极性位相反的值。另一方面, 用户可以设置 `TIMx_CCMODx.OCxMD=100` 强制输出比较信号为无效电平, 即 `OCxREF` 被强制为低电平。

在此模式下, `TIMx_CCDATx` 影子寄存器和计数器的值仍然相互比较。

输出比较寄存器 `TIMx_CCDATx` 和计数器 `TIMx_CNT` 之间的比较对 `OCxREF` 没有影响。并且仍然可以设置标志。因此, 仍然可以发送中断和 DMA 请求。

### 19.5.8 输出比较模式

用户可以使用此模式来控制输出波形, 或指示一段时间已过。

当捕获/比较寄存器和计数器的值相同时, 输出比较函数的操作如下:

- `TIMx_CCMODx.OCxMD` 为输出比较模式, `TIMx_CCEN.CCxP` 为输出极性。当比较匹配时, 如果设置 `TIMx_CCMODx.OCxMD=000`, 则输出管脚将保持其电平; 如果设置 `TIMx_CCMODx.OCxMD=001`, 则设置输出管脚有效; 如果设置 `TIMx_CCMODx.OCxMD=010`, 则输出管脚将为 设置为无效; 如果设

置 TIMx\_CCMODx.OCxMD=011，则输出引脚将设置为翻转。

- 设置 TIMx\_STS.CCxITF
- 如果用户设置了 TIMx\_DINTEN.CCxIEN，将产生相应的中断
- 如果用户设置 TIMx\_DINTEN.CCxDEN 并设置 TIMx\_CTRL2.CCDSEL 选择 DMA 请求，将发送 DMA 请求

用户可以设置 TIMx\_CCMODx.OCxPEN 来选择是否使用捕获/比较预加载寄存器 (TIMx\_CCDATx) 来选择捕获/比较影子寄存器。

时间分辨率是计数器的一个计数周期。

在单脉冲模式下，输出比较模式也可用于输出单脉冲。

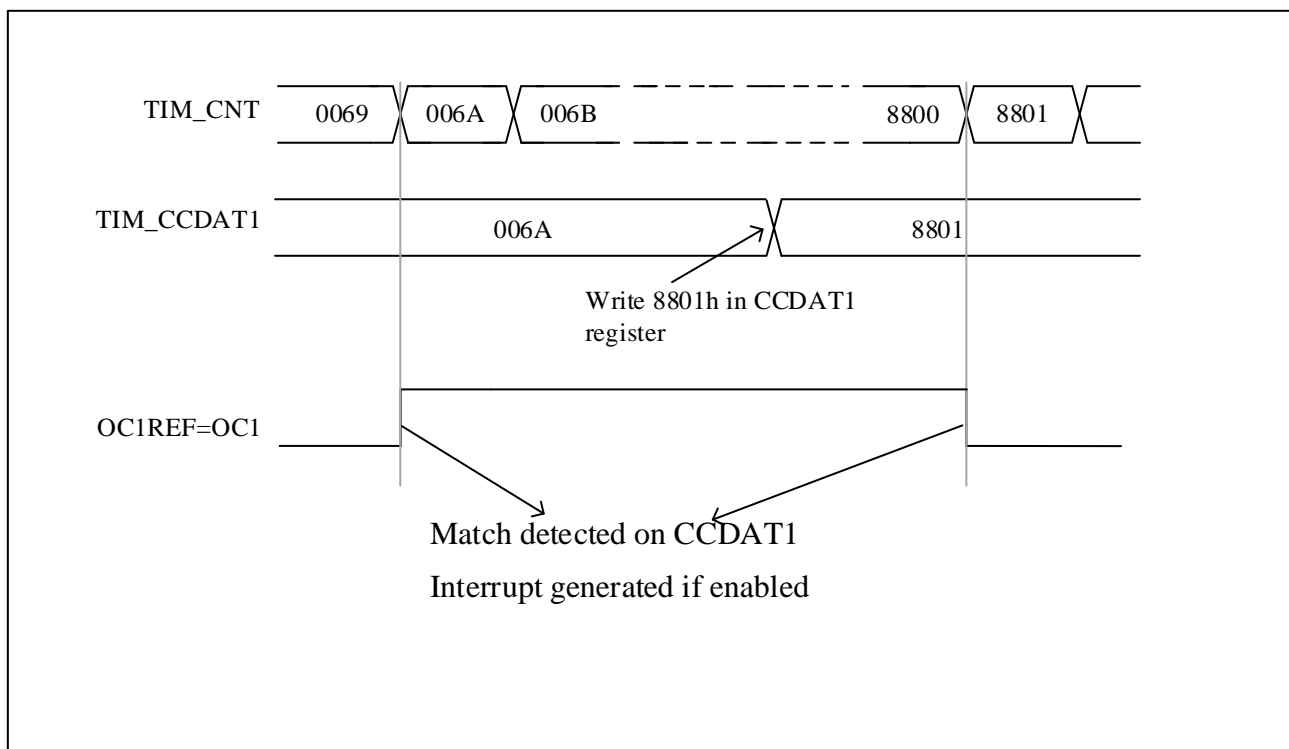
以下是输出比较模式的配置步骤：

- 首先，用户应该选择计数器时钟
- 其次，用所需数据设置 TIMx\_AR 和 TIMx\_CCDATx
- 如果用户需要产生中断，设置 TIMx\_DINTEN.CCxIEN
- 然后通过设置 TIMx\_CCEN.CCxP、TIMx\_CCMODx.OCxMD、TIMx\_CCEN.CCxEN 等选择输出模式
- 最后，设置 TIMx\_CTRL1.CNTEN 启用计数器

用户可以随时通过设置 TIMx\_CCDATx 来更新输出波形，只要不启用预加载寄存器。否则，TIMx\_CCDATx 影子寄存器将在下一次更新事件中更新。

例如：

图 19-18 输出比较模式，开启 OC1





## 19.5.9 PWM 模式

用户可以使用 PWM 模式产生一个信号，其占空比由 TIMx\_CCxDATx 寄存器的值决定，其频率由 TIMx\_AR 寄存器的值决定。并且取决于 TIMx\_CTRL1.CAMSEL 的值，TIM 可以在边沿对齐模式或中央对齐模式下产生 PWM 信号。

用户可以通过设置 TIMx\_CCMODx.OCxMD=110 或设置 TIMx\_CCMODx.OCxMD=111 来设置 PWM 模式 1 或 PWM 模式 2。要使能预加载寄存器，用户必须设置相应的 TIMx\_CCMODx.OCxPEN。然后设置 TIMx\_CTRL1.ARPEN 自动重装载预加载寄存器。

用户可以通过设置 TIMx\_CCEN.CCxP 来设置 OCx 的极性。

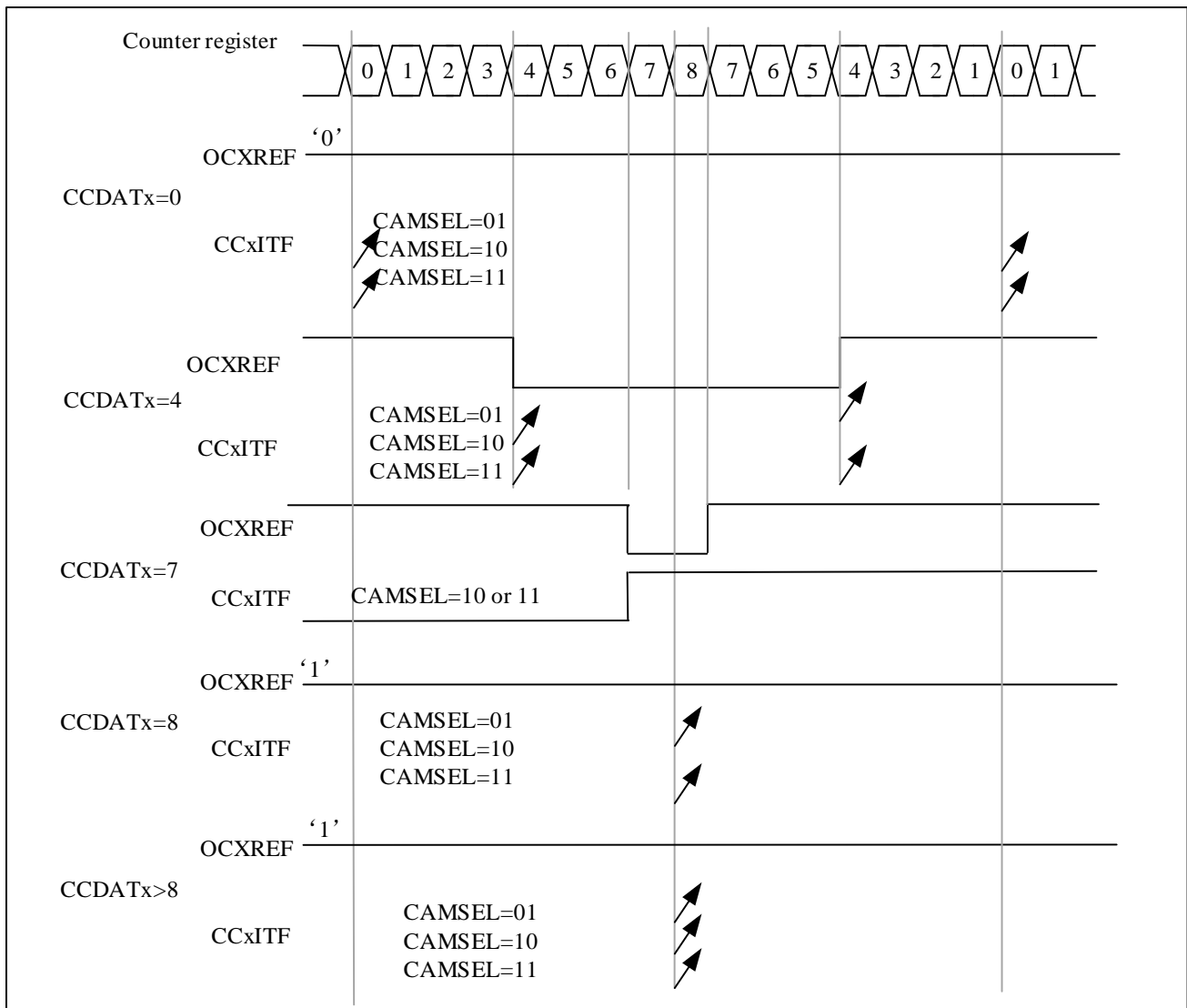
当 TIM 处于 PWM 模式时，TIMx\_CNT 和 TIMx\_CCxDATx 的值总是相互比较。

只有当更新事件发生时，预加载寄存器才会转移到影子寄存器。因此，用户必须在计数器开始计数之前通过设置 TIMx\_EVTGEN.UDGN 来复位所有寄存器。

### 19.5.9.1 PWM 中央对齐模式

如果用户设置 TIMx\_CTRL1.CAMSEL 等于 01、10 或 11，PWM 中央对齐模式将被激活。比较标志的设置取决于 TIMx\_CTRL1.CAMSEL 的值。设置比较标志的情况有 3 种，仅当计数器向上计数时，仅当计数器向下计数时，或当计数器向上计数和向下计数时。用户不应通过软件修改 TIMx\_CTRL1.DIR，它是由硬件更新的。

中央对齐 PWM 波形示例如下，波形设置为：TIMx\_AR=8，PWM 模式 1，当计数器向下计数对应 TIMx\_CTRL1.CAMSEL=01 时设置比较标志。

**图 19-19 中央对齐的 PWM 波形 (AR=8)**


使用中央对齐模式时用户应注意的事项如下：

- 计数器向上或向下计数取决于 `TIMx_CTRL1.DIR` 的值。注意不要同时更改 `DIR` 和 `CAMSEL` 位
- 用户在中央对齐模式下不要写计数器，否则会导致意想不到的结果。例如：
  - ◆ 如果写入计数器的值为 0 或者是 `TIMx_AR` 的值，则方向会被更新，但不会产生更新事件
  - ◆ 如果写入计数器的值大于自动重载的值，则方向不会更新
- 为了安全起见，建议用户在启动计数器之前设置 `TIMx_EVTGEN.UDGN` 以通过软件生成更新，并且在计数器运行时不要写入计数器

### 19.5.9.2 PWM 边沿对齐模式

边沿对齐模式有两种配置，向上计数和向下计数。

#### ● 向上计数

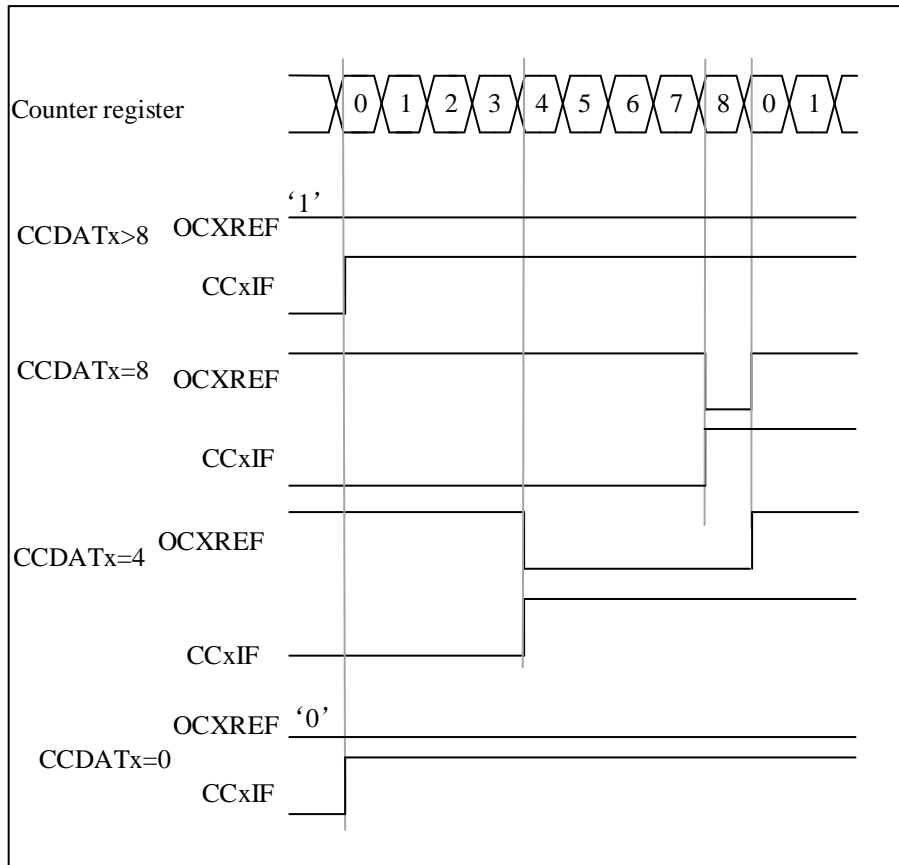
用户可以设置 `TIMx_CTRL1.DIR=0` 使计数器向上计数。

PWM 模式 1 的示例:

当  $TIMx\_CNT < TIMx\_CCDATx$  时,  $OCxREF$  为高电平, 否则为低电平。如果  $TIMx\_CCDATx$  中的比较值大于自动重载值, 则  $OCxREF$  将保持为 1。相反, 如果比较值为 0, 则  $OCxREF$  将保持为 0。

当  $TIMx\_AR=8$  时, PWM 波形如下:

图 19-20 边沿对齐 PWM 波形 (AR=8)



● 向下计数

用户可以设置  $TIMx\_CTRL1.DIR=1$  使计数器向下计数。

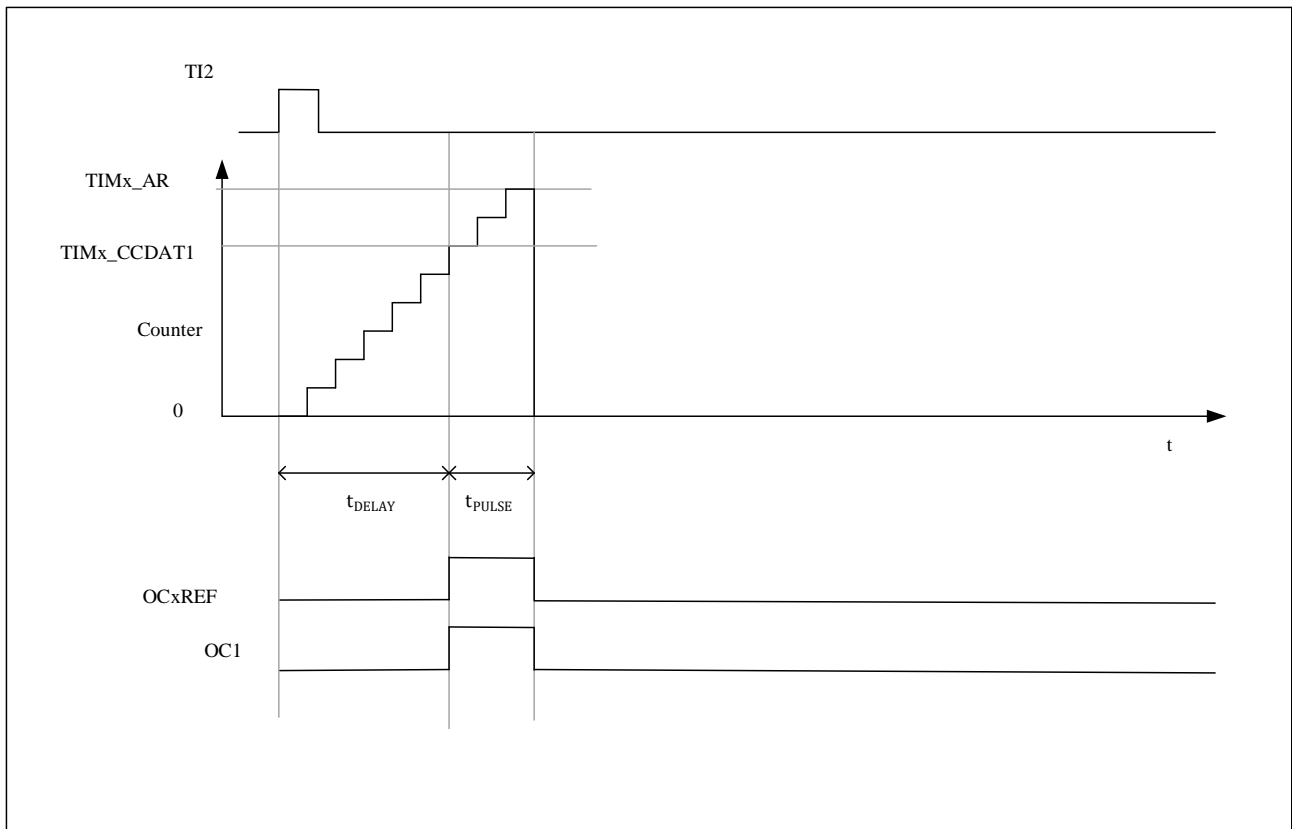
PWM 模式 1 的示例:

当  $TIMx\_CNT > TIMx\_CCDATx$  时,  $OCxREF$  为低电平, 否则为高电平。如果  $TIMx\_CCDATx$  中的比较值大于自动重载值, 则  $OCxREF$  将保持为 1。

注: 若第  $n$  个 PWM 周期  $CCDATx$  影子寄存器  $\geq AR$  值, 第  $n+1$  个 PWM 周期  $CCDATx$  的影子寄存器值是 0。在第  $n+1$  个 PWM 周期的计数器为 0 的时刻, 虽然计数器 =  $CCDATx$  影子寄存器的值 = 0,  $OCxREF = '0'$ , 但不会产生比较事件。

### 19.5.10 单脉冲模式

在单脉冲模式(ONEPM)中, 接收到触发信号, 经过可控延迟  $t_{DELAY}$  后产生脉宽可控的脉冲  $t_{PULSE}$ 。输出模式需要配置为输出比较模式或 PWM 模式。选择单脉冲模式后, 计数器会在更新事件 UEV 产生后停止计数。

**图 19-21 单脉冲模式示例**


以下是单脉冲模式的示例：

从 TI2 输入检测到上升沿触发，延迟  $t_{\text{DELAY}}$  后在 OC1 上产生宽度为  $t_{\text{PULSE}}$  的脉冲。

1. 计数器配置：向上计数，计数器  $\text{TIMx\_CNT} < \text{TIMx\_CCDAT1} \leq \text{TIMx\_AR}$ ；
2. TI2FP2 映射到 TI2,  $\text{TIMx\_CCMOD1.CC2SEL} = '01'$ ；TI2FP2 配置为上升沿检测,  $\text{TIMx\_CCEN.CC2P} = '0'$ ；
3. TI2FP2 充当从模式控制器的触发器 (TRGI) 并启动计数器,  $\text{TIMx\_SMCTRL.TSEL} = '110'$ ,  $\text{TIMx\_SMCTRL.SMSEL} = '110'$  (触发模式)；
4.  $\text{TIMx\_CCDAT1}$  写入要延迟的计数值 ( $t_{\text{DELAY}}$ ),  $\text{TIMx\_AR} - \text{TIMx\_CCDAT1}$  为脉宽  $t_{\text{PULSE}}$  的计数值；
5. 配置  $\text{TIMx\_CTRL1.ONEPM} = 1$  使能单脉冲模式, 配置  $\text{TIMx\_CCMOD1.OC1MD} = '111'$  选择 PWM2 模式；
6. 等待 TI2 有外部触发事件, OC1 输出一个单脉冲波形；

#### 19.5.10.1 特殊情况：OCx 快速使能：

在单脉冲模式下，通过  $\text{TIx}$  输入检测到一个边沿，并触发计数器开始计数到比较值，然后输出一个脉冲。这些操作限制了可以达到的最小延迟  $t_{\text{DELAY}}$ 。

您可以设置  $\text{TIMx\_CCMODx.OCxFEN} = 1$  开启 OCx 快速使能，在触发上升沿后，OCxREF 信号将被强制转换为与比较匹配立即发生的电平相同的电平，而不管比较结果如何。OCxFEN 快速使能仅在通道模式配置为 PWM1 和 PWM2 模式时生效。

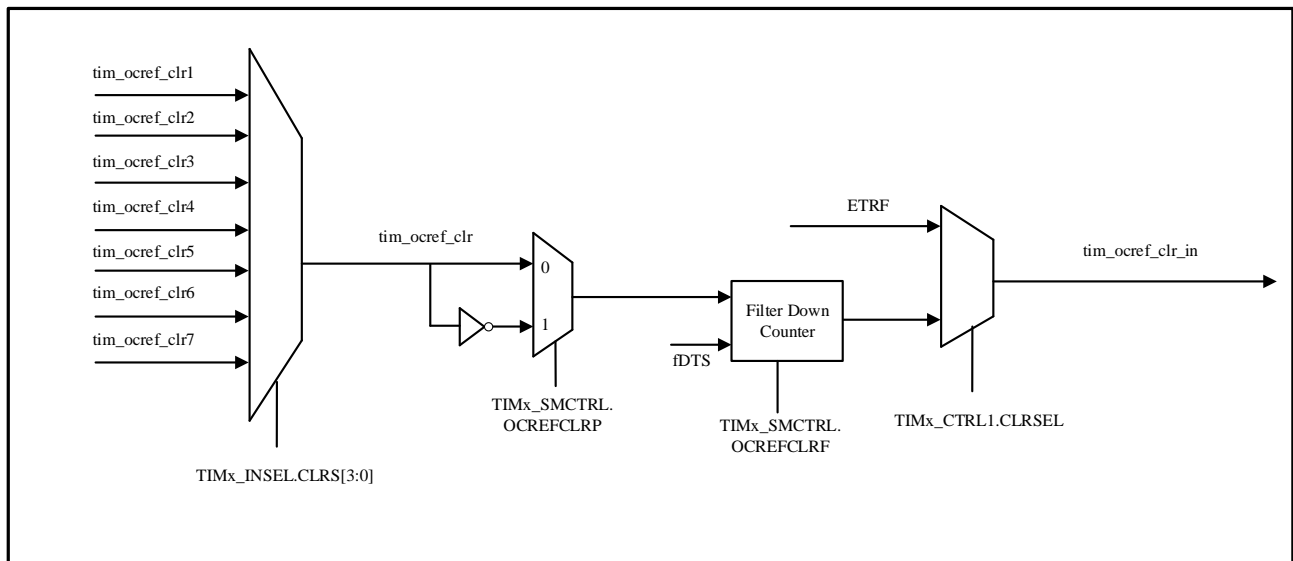
### 19.5.11 在外部事件上清除 OCxREF 信号

如果用户设置 TIMx\_CCMODx.OCxCEN 等于‘1’， tim\_ocref\_clr\_in 输入的高电平可用于驱动 OCxREF 信号为低电平，OCxREF 信号将保持低电平，直到下一次 UEV 发生。只有输出比较和 PWM 模式可以使用该功能。在强制模式下不能使用。

输入清除信号 tim\_ocref\_clr\_in 可以通过 TIMx\_CTRL1 寄存器中的 CLRSEL 位选择为 tim\_ocref\_clr 或者 ETRF。

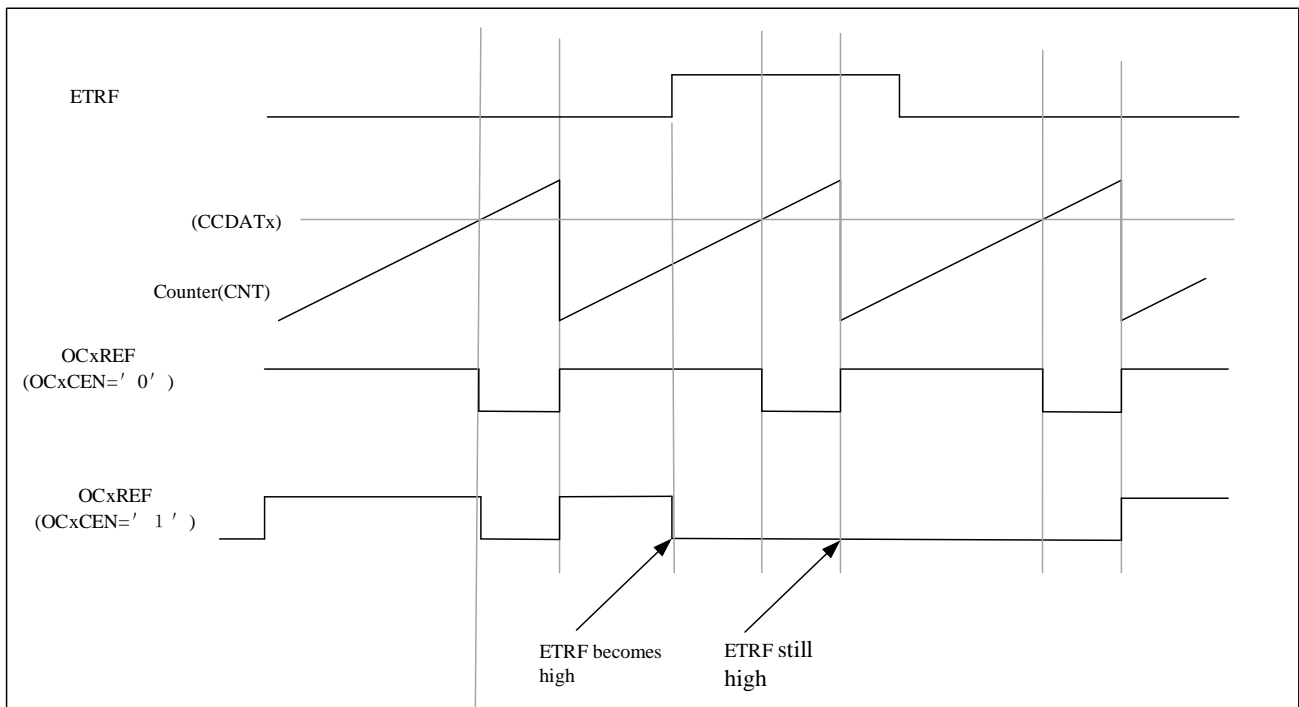
tim\_ocref\_clr 信号可以通过 TIMx\_INSEL 寄存器中的 CLRS[3:0]进行选择，如下图所示。

图 19-22 外部事件清除 OCxREF 信号



例：当 tim\_ocref\_clr\_in 信号选择 ETRF 时，tim\_etr\_in 配置如下：

- 设置 TIMx\_SMCTRL.EXTPS=00 禁用外部触发预分频器。
- 设置 TIMx\_SMCTRL.EXCEN=0 禁用外部时钟模式 2。
- 设置 TIMx\_SMCTRL.EXTP 和 TIMx\_SMCTRL.EXTF，根据需要配置外触发极性和外触发滤波器。
- 当 ETRF 输入变高时，OCxREF 信号对于不同的 OCxCEN 值的行为。在这种情况下，定时器设置为 PWM 模式。

**图 19-23 清除 TIMx 的 OCxREF**


## 19.5.12 调试模式

当微控制器处于调试模式（Cortex-M4 内核停止）时，根据 `DBG_CTRL.GTIMAx_STOP` 位配置，定时器计数器可以继续正常工作或停止。

## 19.5.13 GTIMAx 定时器和外部触发的同步

定时器可以通过从模式（复位、触发和门控）中的触发器进行同步。

### 19.5.13.1 从模式：复位模式

在复位模式下，触发事件可以复位计数器和预分频器。更新预加载寄存器 `TIMx_AR`、`TIMx_CCDATx`，并产生更新事件 UEV（`TIMx_CTRL1.UPRS=0`）。

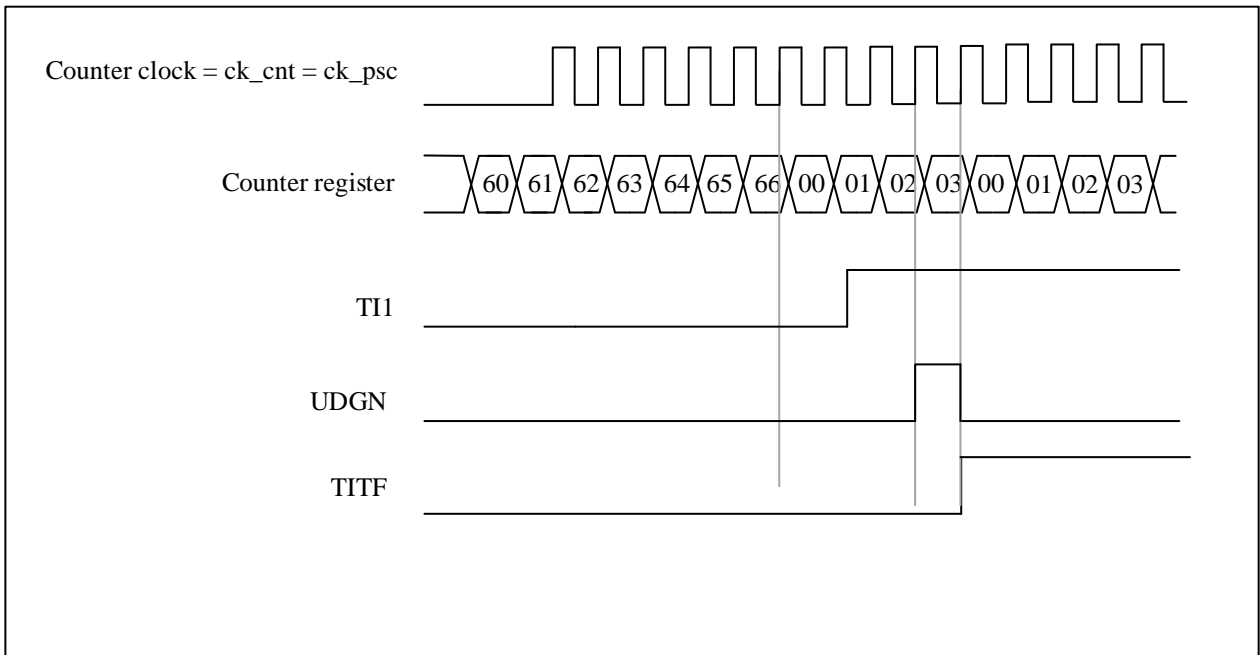
以下是复位模式的示例：

4. 通道 1 配置为输入检测 TI1 的上升沿（`TIMx_CCMOD1.CC1SEL=01`，`TIMx_CCEN.CC1P=0`）；
5. 从模式选择为复位模式（`TIMx_SMCTRL.SMSEL=0100`），触发输入选择为 TI1（`TIMx_SMCTRL.TSEL=101`）；
6. 启动计数器（`TIMx_CTRL1.CNTEN = 1`）

启动定时器后，当 TI1 检测到上升沿时，计数器复位并重新开始计数，并设置触发标志（`TIMx_STS.TITF=1`）；

TI1 的上升沿与实际计数器复位之间的延迟是由于 TI1 输入的重新同步电路引起的。

图 19-24 复位模式下的控制电路



### 19.5.13.2 从模式：触发模式

在触发模式下，输入端口的触发事件（上升沿/下降沿）可以触发计数器开始计数。

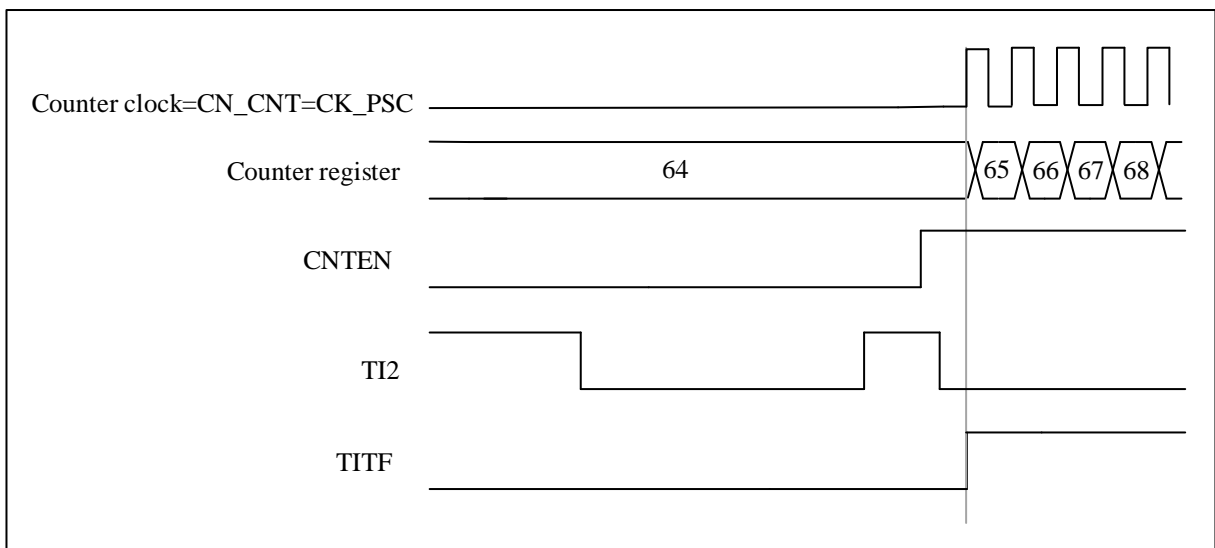
以下是触发模式的示例：

3. 通道 2 配置为输入，检测 TI2 的上升沿（TIMx\_CCMOD1.CC2SEL=01，TIMx\_CCEN.CC2P=0）；
4. 选择从模式为触发模式（TIMx\_SMCTRL.SMSEL=0110），触发输入选择 TI2（TIMx\_SMCTRL.TSEL=110）；

当 TI2 检测到上升沿时，计数器开始计数，触发标志置位（TIMx\_STS.TITF=1）；

TI2 的上升沿与实际计数器启动之间的延迟是由于 TI2 输入的重新同步电路引起的。

图 19-25 触发器模式下的控制电路



### 19.5.13.3 从模式：门控模式

在门控模式下，输入端口的电平极性可以控制计数器是否计数。

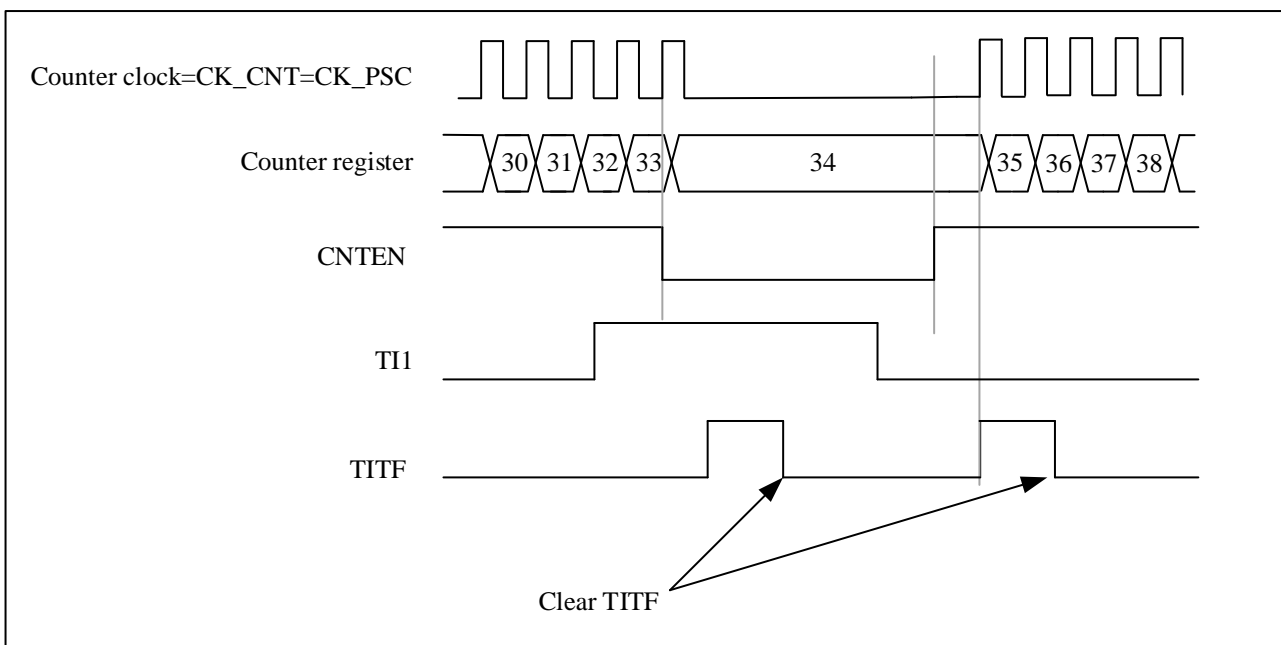
以下是门控模式的示例：

4. 通道 1 配置为 TI1 上的输入检测低电平有效 (TIMx\_CCMOD1.CC1SEL=01, TIMx\_CCEN.CC1P=1);
5. 选择从模式为门控模式 (TIMx\_SMCTRL.SMSEL=0101)，选择 TI1 作为 TRGI (TIMx\_SMCTRL.TSEL=101);
6. 启动计数器 (TIMx\_CTRL1.CNTEN = 1);

当 TI1 检测到电平由低变高时，计数器停止计数，当 TI1 检测到电平由高变低时，计数器开始计数，开始或停止计数时触发标志置位 (TIMx\_STS.TITF=1)。

TI1 的上升沿与实际计数器停止之间的延迟是由于 TI1 输入的重新同步电路引起的。

图 19-26 门控模式下的控制电路



### 19.5.13.4 从模式：触发模式 +外部时钟模式 2

在复位模式、触发模式和门控模式下，计数器时钟可选择为外部时钟模式 2，ETR 信号作为外部时钟源输入。这时候触发选择需要选择非 ETRF (TIMx\_SMCTRL.TSEL=111)。

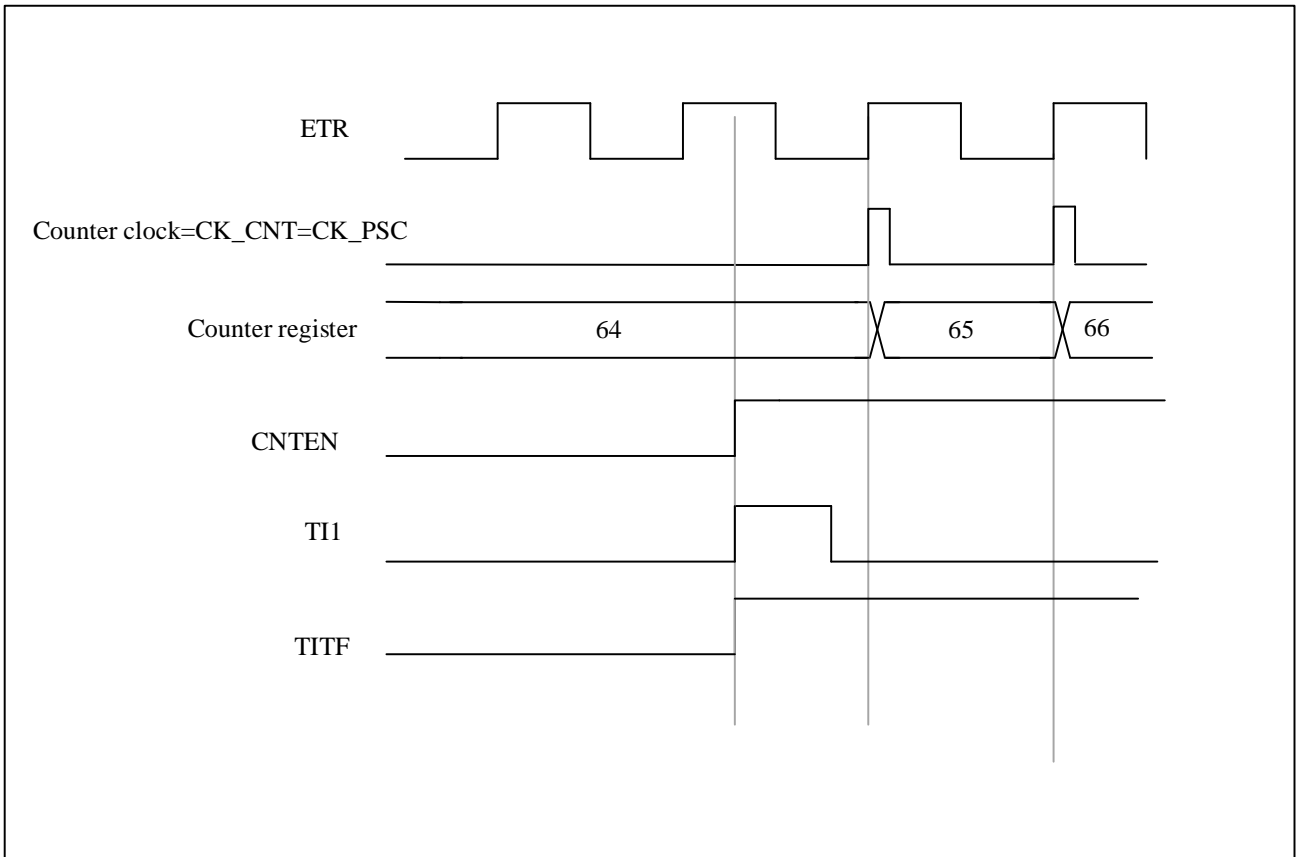
这是一个例子：

3. 通道 1 配置为输入检测 TI1 的上升沿 (TIMx\_CCMOD1.CC1SEL=01, TIMx\_CCEN.CC1P=0);
4. 使能外部时钟模式 2 (TIMx\_SMCTRL.EXCEN=1), 外部触发极性选择上升沿 (TIMx\_SMCTRL.EXTP=0), 触发模式作为从模式 (TIMx\_SMCTRL.SMSEL=0110), TRGI 选择 TI1 (TIMx\_SMCTRL.TSEL=101);

当 TI1 检测到上升沿时，计数器在 ETR 的上升沿开始计数，并设置触发标志 (TIMx\_STS.TITF=1);



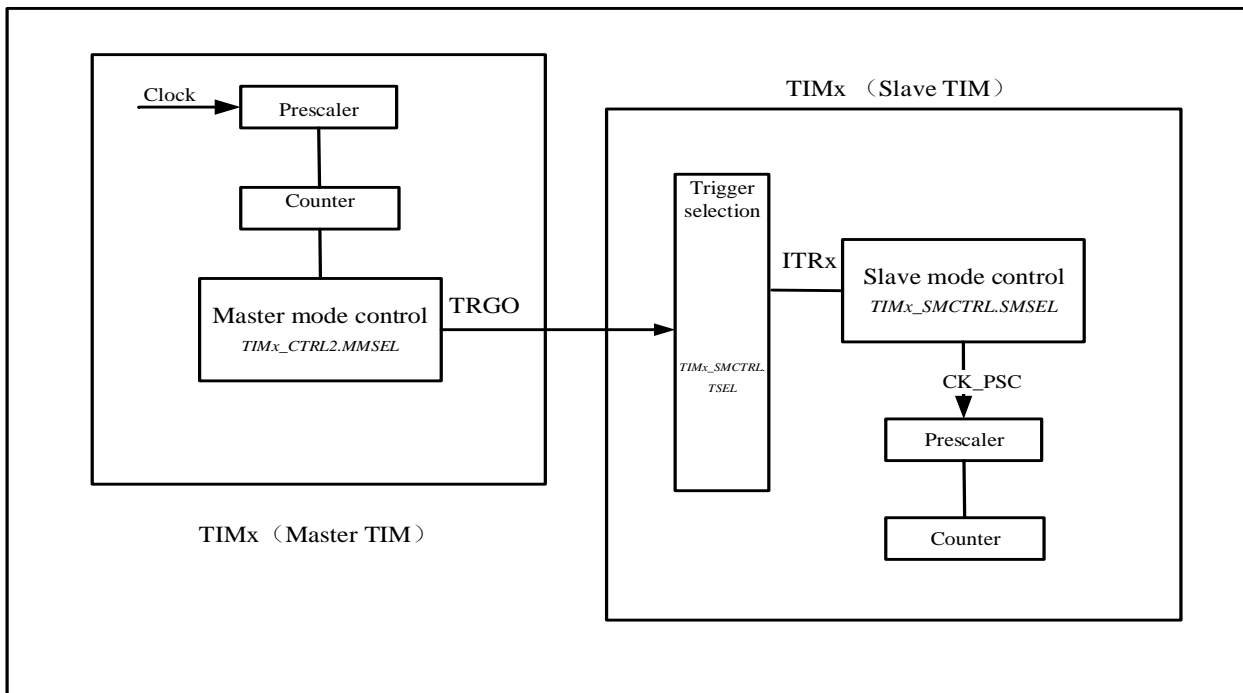
图 19-27 外部时钟模式 2+触发模式下的控制电路



### 19.5.14 定时器同步

所有定时器都在内部相互连接。该实现允许任何主定时器提供触发以复位、启动、停止或为其他从定时器提供时钟。主时钟用于内部计数器，可以预分频。下图为定时器互连框图。同步功能不支持连接的动态变化。用户应在启用主定时器的触发器或时钟之前配置并启用从定时器。

图 19-28 主/从定时器的例子



#### 19.5.14.1 主定时器作为另一个定时器的预分频器

ATIM1 作为 GTIMA1 的预分频器。ATIM1 是主，GTIMA1 是从。

用户需要为此配置执行以下步骤。

- 设置 ATIM1\_CTRL2.MMSEL='0010' 以使用 ATIM1 的更新事件作为触发输出。
- 配置 GTIMA2\_SMCTRL.TSEL='000'、GTIMA2\_INSEL.ITRS='000'，将 ATIM1 的 TRGO 连接到 GTIMA2。
- 配置 GTIMA2\_SMCTRL.SMSEL = '0111'，从模式控制器将配置为外部时钟模式 1。
- 通过设置 GTIMA2\_CTRL1.CNTEN = "1"，启动 GTIMA2。
- 通过设置 ATIM1\_CTRL1.CNTEN = "1"，启动 ATIM1。

注：如果用户通过配置 MMSEL = '01xx' 选择 OCx 作为 ATIM1 的触发输出，则 OCx 上升沿将用于驱动 TIM2。

#### 19.5.14.2 主定时器使能另一个定时器

在本例中，GTIMA2 通过 ATIM1 的输出比较使能。ATIM1 的 OC1REF 输出为高电平后，GTIMA2 计数器将开始计数。两个计数器的时钟均基于 CK\_INT，通过预分频器除以 3 (fCK\_CNT = fCK\_INT/3)。

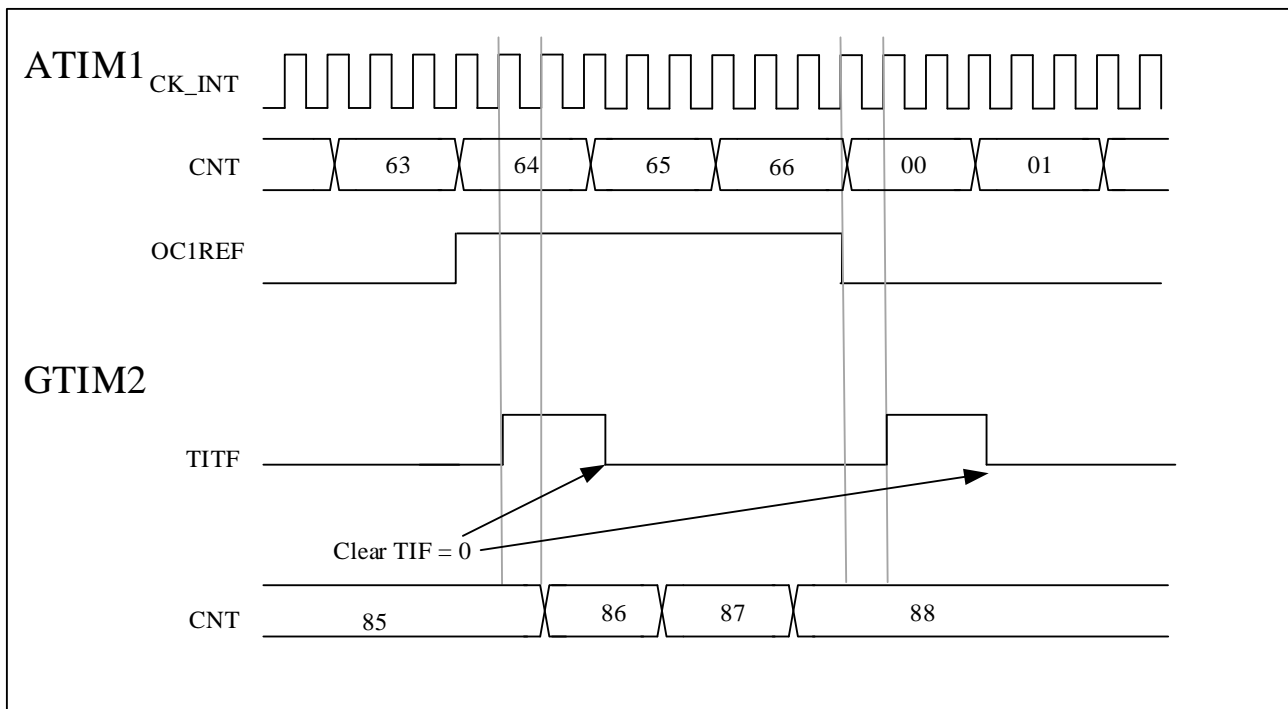
配置步骤如下所示。

- 设置 ATIM1\_CTRL2.MMSEL='0100' 以使用 ATIM1 的 OC1REF 作为触发输出。
- 配置 ATIM1\_CCMOD1 寄存器来配置 OC1REF 输出波形。
- 设置 GTIMA2\_SMCTRL.TSEL = '000'、GTIMA2\_INSEL.ITRS='000'，将 ATIM1 的 TRGO 连接到 GTIMA2。

- 设置 GTIMA 2\_SMCTRL.SMSEL= '0101' 将 GTIMA 2 设置为门控模式。
- 设置 GTIMA 2\_CTRL1.CNTEN= '1' 来启动 GTIMA 2。
- 设置 ATIM1\_CTRL1.CNTEN= '1' 以启动 ATIM1。

注：GTIMA 2 时钟与 ATIM1 时钟不同步，该模式仅影响 GTIMA 2 计数器使能信号。

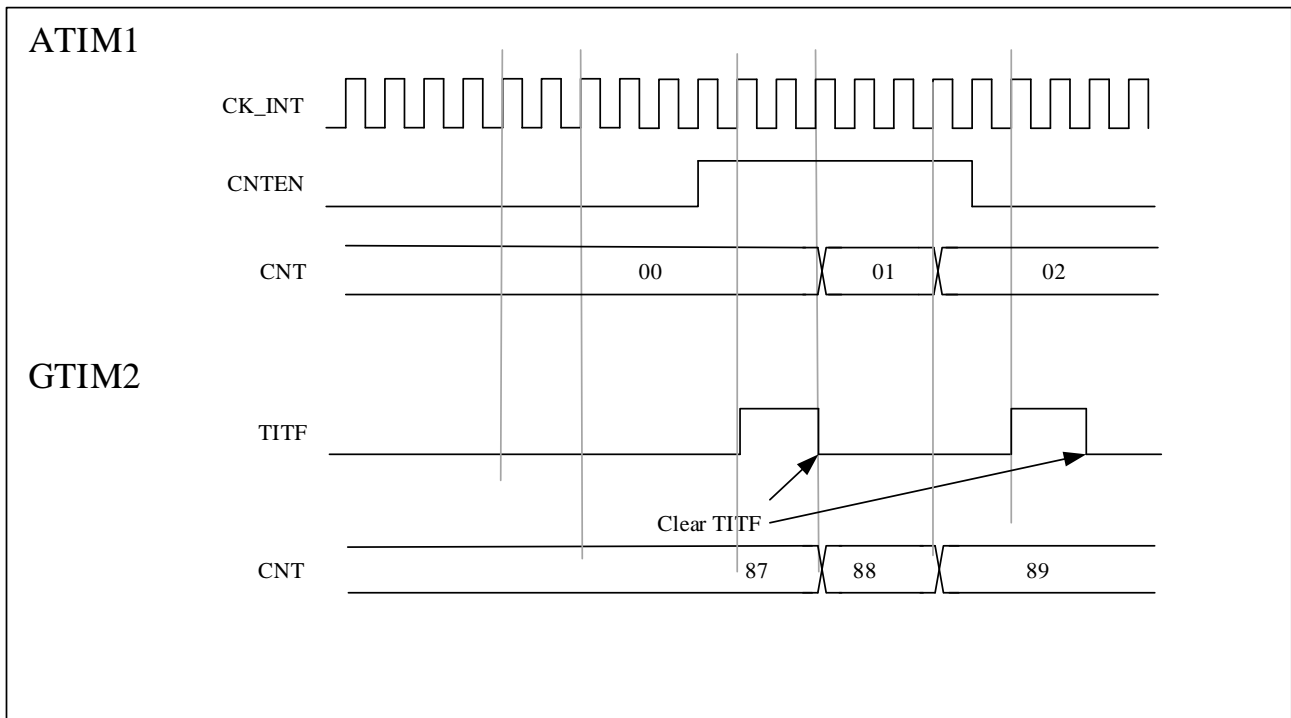
图 19-29 GTIMA 2 由 ATIM1 的 OC1REF 门控



在下一个示例中，用 ATIM1 的使能信号门控 GTIMA 2, 设置 ATIM1\_CTRL1.CNTEN= '0' 以停止 ATIM1。仅当 ATIM1 使能时，GTIMA 2 才基于分频的内部时钟计数。两个计数器的时钟均基于 CK\_INT，通过预分频器除以 3 ( $f_{CK\_CNT} = f_{CK\_INT}/3$ )。

配置步骤如下所示

- 设置 ATIM1\_CTRL2.MMSEL='0001' 使用 ATIM1 的使能信号作为触发输出
- 设置 GTIMA 2\_SMCTRL.TSEL = '000'、GTIMA 2\_INSEL.ITRS='000'，将 ATIM1 的 TRGO 连接到 GTIMA 2。
- 设置 GTIMA 2\_SMCTRL.SMSEL = '0101' 将 GTIMA 2 配置为门控模式。
- 设置 GTIMA 2\_CTRL1.CNTEN= '1' 来启动 GTIMA 2。
- 设置 ATIM1\_CTRL1.CNTEN= '1' 以启动 ATIM1。
- 设置 ATIM1\_CTRL1.CNTEN= '0' 以停止 ATIM1。

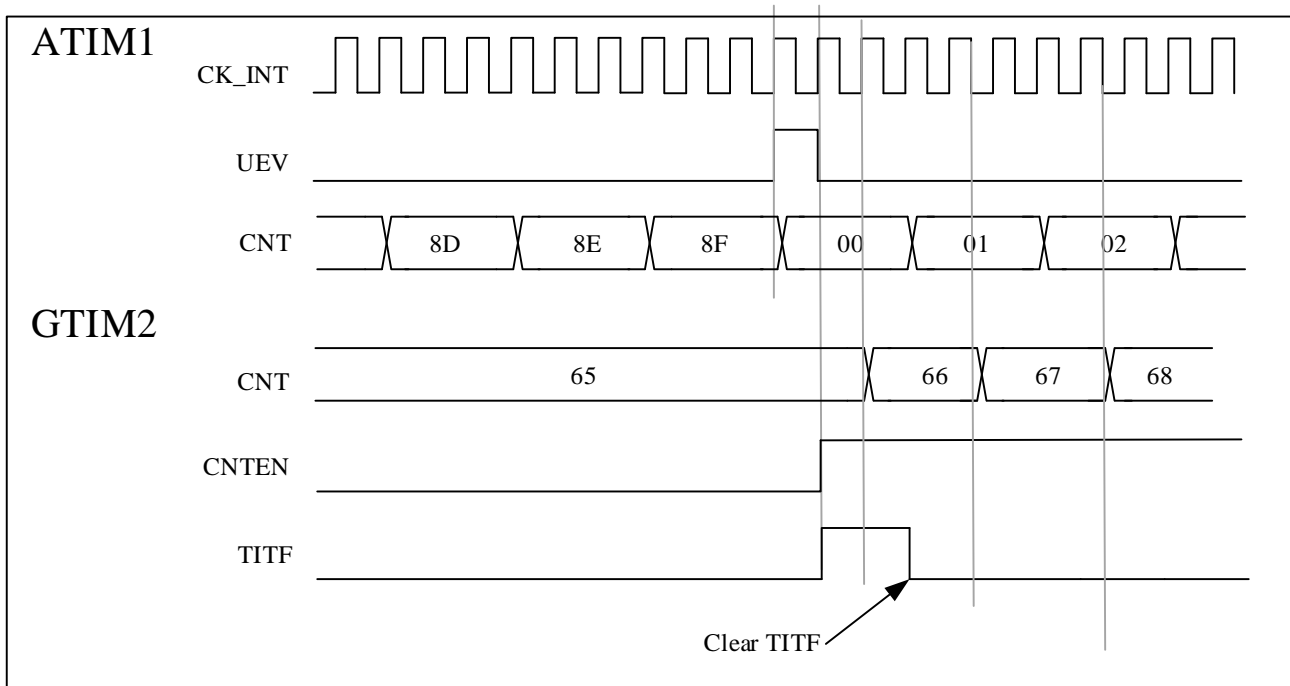
**图 19-30 GTIMA 2 由 ATIM1 的使能门控**


### 19.5.14.3 主定时器启动另一个定时器

在这个例子中，我们可以使用更新事件作为触发源。ATIM1 是主，GTIMA 2 是从。

配置步骤如下图所示：

- 设置 ATIM1\_CTRL2.MMSEL='0010' 使用 ATIM1 的更新事件作为触发输出
- 配置 ATIM1\_AR 寄存器设置输出周期。
- 设置 GTIMA 2\_SMCTRL.TSEL='000'、GTIMA 2\_INSEL.ITRS='000'，将 ATIM1 的 TRGO 连接到 GTIMA 2。
- 设置 GTIMA 2\_SMCTRL.SMSEL='0110' 将 GTIMA 2 设置为触发模式。
- 设置 ATIM1\_CTRL1.CNTEN=1 启动 ATIM1。

**图 19-31 使用 ATIM1 的更新触发 GTIMA 2**


#### 19.5.14.4 使用一个外部触发同步地启动 2 个定时器

在本例中，ATIM1 的 TI1 输入上升时使能 ATIM1，使能 ATIM1 时使能 GTIMA 2。为确保计数器对齐，ATIM1 必须配置为主/从模式。对于 TI1，ATIM1 是从；对于 GTIMA 2，TIM1 是主。

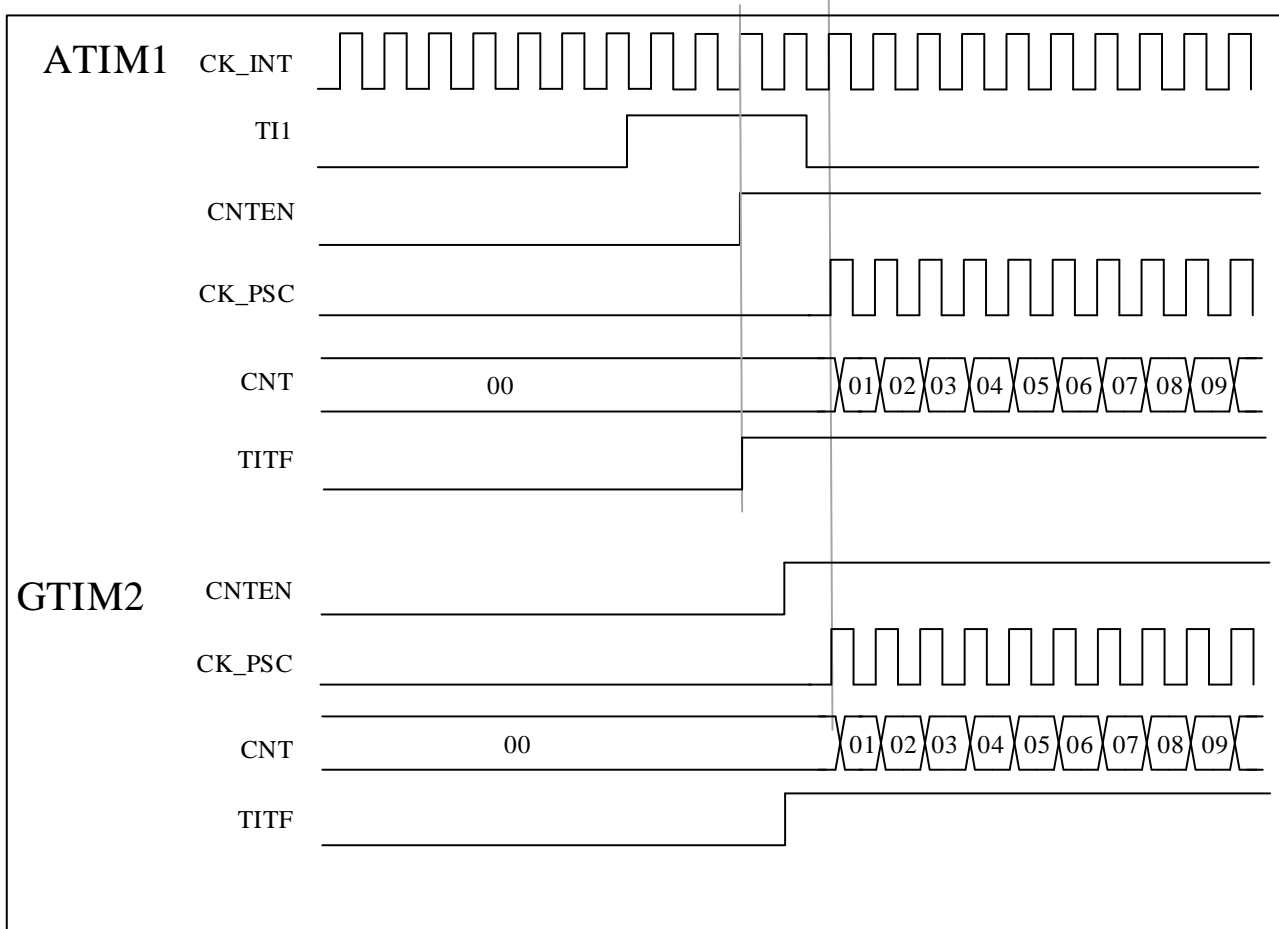
配置步骤如下图所示：

- 设置 ATIM1.MMSEL = '0001' 使用使能信号作为触发输出
- 设置 ATIM1\_SMCTRL.TSEL = '100' 将 ATIM1 配置为从模式并接收 TI1 的触发输入。
- 设置 ATIM1\_SMCTRL.SMSEL = '0110' 将 ATIM1 配置为触发模式。
- 设置 ATIM1\_SMCTRL.MSMD = '1' 将 ATIM1 配置为主/从模式。
- 设置 GTIMA 2\_SMCTRL.TSEL = '000'、GTIMA 2\_INSEL.ITRS='000'，将 ATIM1 的 TRGO 连接到 GTIMA 2。
- 设置 GTIMA 2\_SMCTRL.SMSEL = '0110' 将 GTIMA 2 配置为触发模式。

当 TI1 上升沿到来时，两个定时器开始根据内部时钟同步计数，两个 TITF 标志同时置位。

注：下图显示了在主/从模式下 CNTEN 和 ATIM1 的 CK\_PSC 之间的延迟。

图 19-32 使用 ATIM1 的 TI1 输入触发 ATIM1 和 GTIMA 2



### 19.5.15 触发 ADC

定时器可通过多种内部信号产生 ADC 触发事件，例如复位、使能或比较事件，也可生成由内部边沿检测器发出的脉冲触发。在重定向到 ADC 的 TRGO 内部线路上发出触发信号可通过 TIMx\_CTRL2 寄存器中的 MMSEL[3:0]位选择。

### 19.5.16 编码器接口模式

#### 19.5.16.1 正交编码模式

编码器使用两个输入 TI1 和 TI2 作为接口，计数器对 TI1FP1 或 TI2FP2 上的每个边沿变化进行计数。计数方向由硬件 TIMx\_CTRL1.DIR 自动控制。正交编码器计数模式共有五种：

- 编码器模式 1：计数器只在 TI1 的边沿计数，TIMx\_SMCTRL.SMSEL = '0001'；
- 编码器模式 2：计数器只在 TI2 的边沿计数，TIMx\_SMCTRL.SMSEL = '0010'；
- 编码器模式 3：计数器同时在 TI1 和 TI2 的边沿计数，TIMx\_SMCTRL.SMSEL = '0011'；
- 编码器模式 4：T2 是高电平时，计数器只在 TI1 的边沿计数，TIMx\_SMCTRL.SMSEL = '1001'；
- 编码器模式 5：T1 是高电平时，计数器只在 TI2 的边沿计数，TIMx\_SMCTRL.SMSEL = '1010'；

编码器接口相当于使用带方向选择的外部时钟，计数器只在 0 和自动重载值(TIMx\_AR.AR [15:0])之间连续计数。因此，需要提前配置自动重载寄存器 TIMx\_AR。

*注意：编码器模式和外部时钟模式 2 不兼容，不能同时选择。*

计数方向与编码器信号的关系如下表：

**表 19-10** 计数方向与编码器信号的关系 (CC1P=CC2P=0)

有效边沿	SMSEL[3:0]	相对信号的电平 (TI1FP1对应 TI2, TI2FP2对应 TI1)	TI1FP1信号		TI2FP2信号	
			上升	下降	上升	下降
仅在TI1计数	0001	高	向下计数	向上计数	不计数	不计数
		低	向上计数	向下计数	不计数	不计数
仅在TI2计数	0010	高	不计数	不计数	向上计数	向下计数
		低	不计数	不计数	向下计数	向上计数
在TI1和TI2上计数	0011	高	向下计数	向上计数	向上计数	向下计数
		低	向上计数	向下计数	向下计数	向上计数
仅在TI1计数且T2为高电平	1001	高	向下计数	向上计数	不计数	不计数
		低	不计数	不计数	不计数	不计数
仅在TI2计数且T1为高电平	1010	高	不计数	不计数	向上计数	向下计数
		低	不计数	不计数	不计数	不计数

计数器在各个模式下时计数器值的变化如下：

图 19-33 编码器仅在 TI1 计数

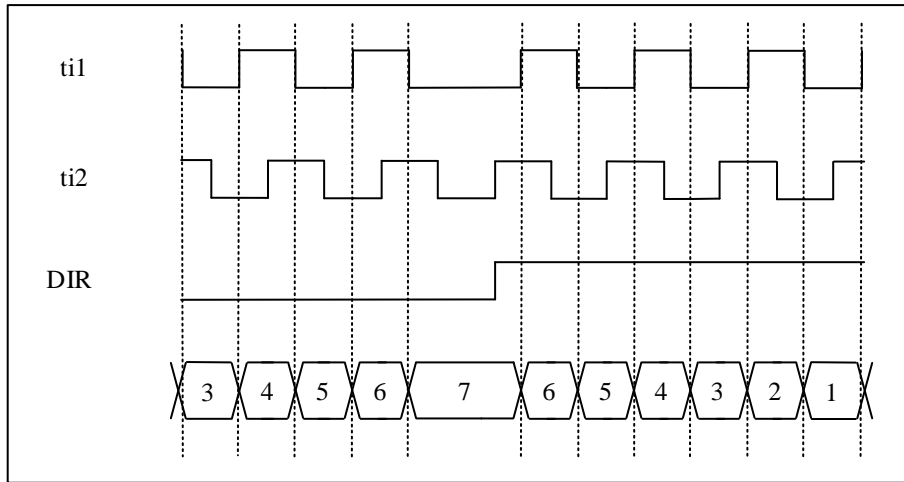


图 19-34 编码器仅在 TI2 计数

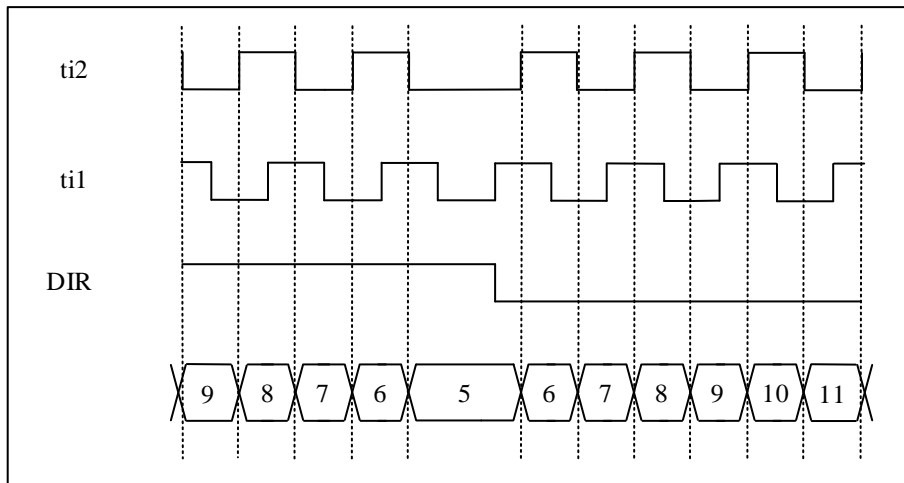


图 19-35 编码器在 TI1 和 TI2 上计数

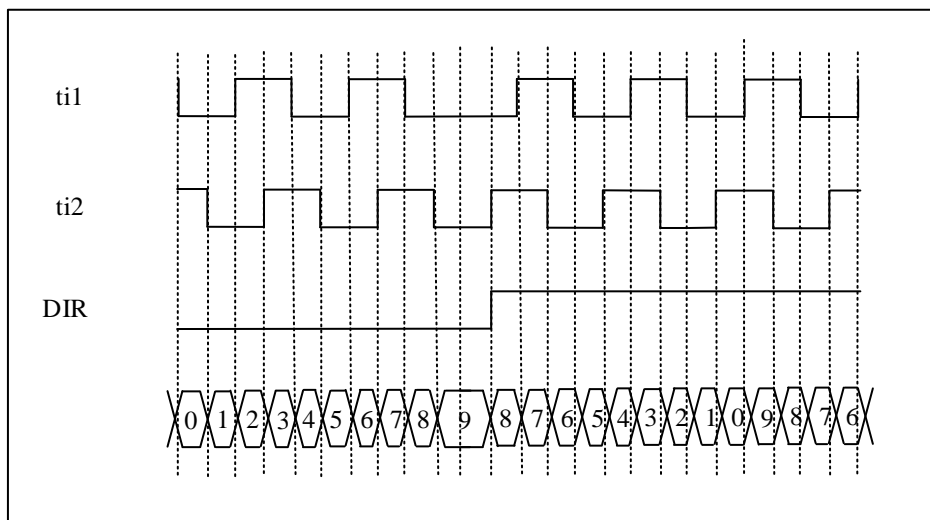




图 19-36 T2 是高电平时，计数器只在 TI1 计数

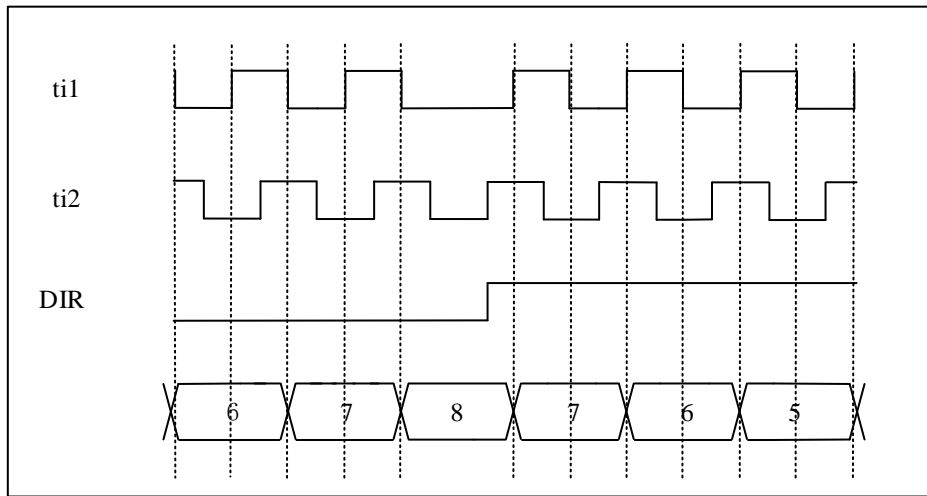
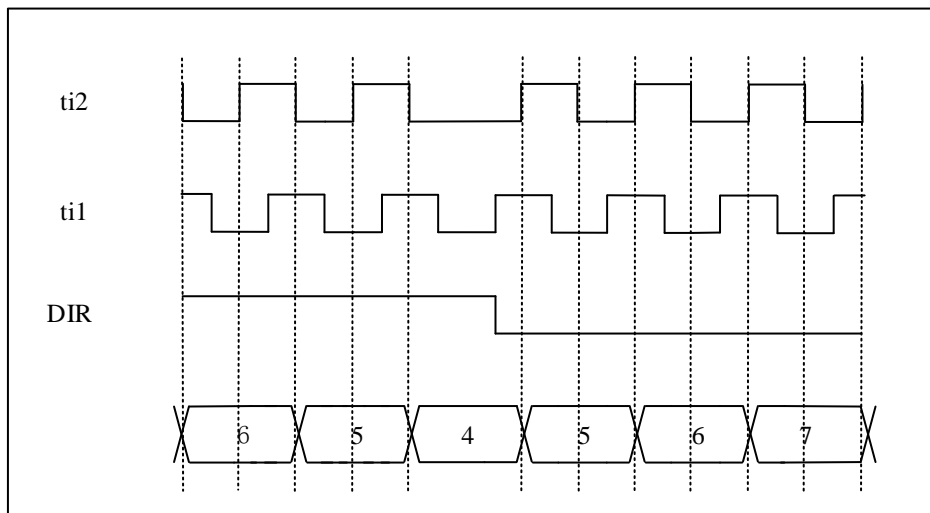


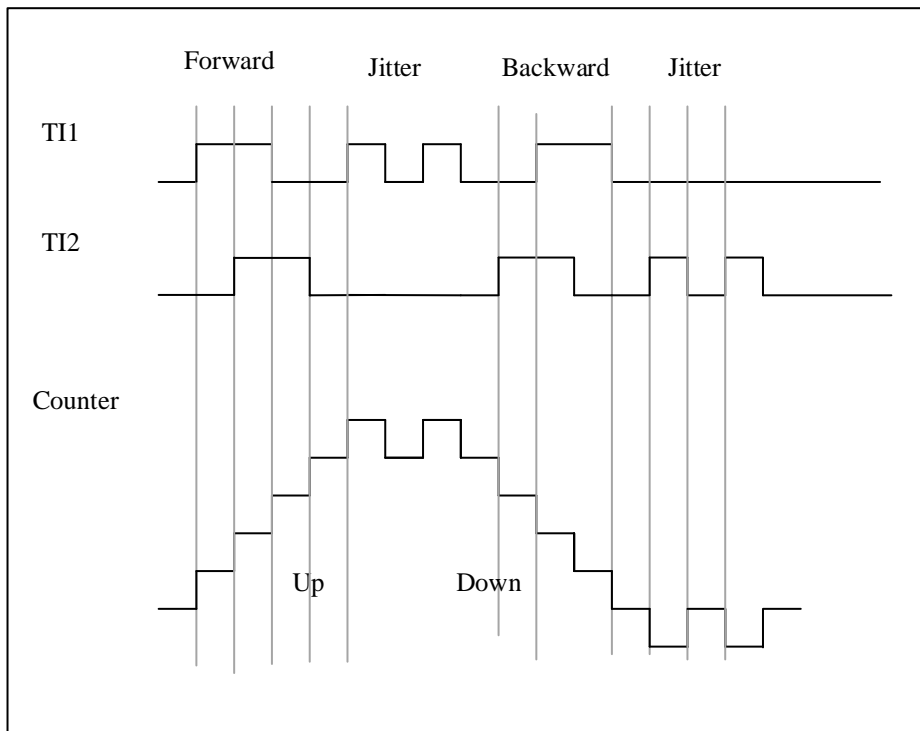
图 19-37 T1 是高电平时，计数器只在 TI2 计数



以下是选择了双边沿触发以抑制输入抖动的编码器示例：

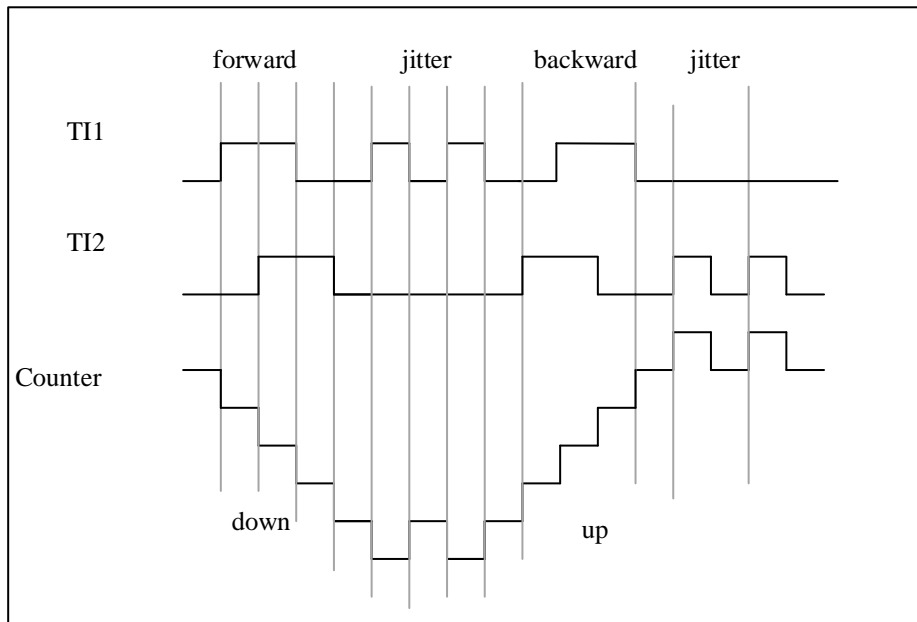
5. IC1FP1 映射到 TI1 (TIMx\_CCMOD1.CC1SEL = '01'), IC1FP1 不反相 (TIMx\_CCEN.CC1P = '0');
6. IC1FP2 映射到 TI2 (TIMx\_CCMOD2.CC2SEL = '01'), IC2FP2 不反相 (TIMx\_CCEN.CC2P = '0');
7. 输入在上升沿和下降沿均有效 (TIMx\_SMCTRL.SMSEL = '0011');
8. 启用计数器 TIMx\_CTRL1.CNTEN = '1';

图 19-38 编码器模式下的计数器操作实例



下图为 IC1FP1 极性反转时的计数器行为示例 (CC1P = '1', 其他配置同上)

图 19-39 IC1FP1 反相的编码器接口模式实例



### 19.5.16.2 脉冲电平编码模式

脉冲电平编码模式中，时钟是在 TI2 上单线上提供的，而计数方向是 TI1 输入提供的。

该模式通过 TIMx\_SMCTRL 寄存器中的 SMSEL[3:0] 启用，具体如下。

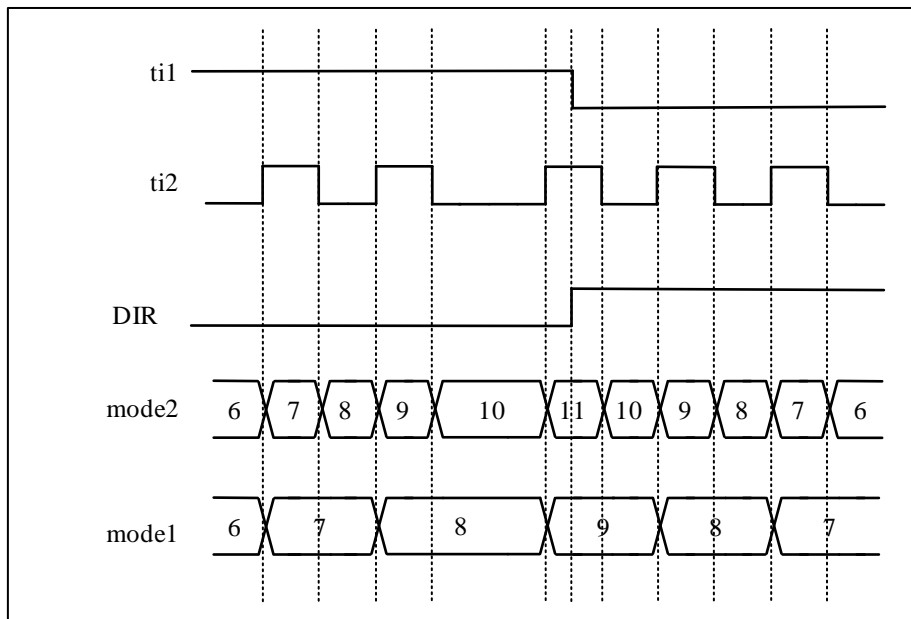
1011：脉冲电平编码模式 2，计数器在时钟的上升沿和下降沿都被更新。

1100: 脉冲电平编码模式 1, 根据 CC2P 值, 计数器在单个时钟沿上更新。CC2P = 0 对应于上升沿计数, CC2P = 1 对应于下降沿计数。

TI1 的方向信号的极性是通过 CC1P 位来设置的。CC2P=0 时当 TI1 为高电平时向上计数, 当 TI1 为低电平时向下计数; CC1P=1 时当 TI1 为低电平时向上计数, TI1 为高电平时向下计数。

下图以 CC1P=CC2P=0 为例:

图 19-40 脉冲电平编码模式 (CC1P=CC2P=0)



### 19.5.16.3 双脉冲编码模式

双脉冲编码模式中, 时钟在两条线上被提供, 根据不同的方向, 一次只能提供一条, 这样就有一条向上计数的时钟线和一条向下计数的时钟线。

该模式通过 TIMx\_SMCTRL 寄存器中的 SMSEL[3:0]位域启用, 具体如下。

- 1000: 双脉冲编码模式 2, 计数器在两条时钟线中任何一条的上升沿和下降沿都被更新。CC1P 和 CC2P 位是对时钟空闲状态的编码。CCxP=0 对应于高电平空闲状态, CCxP=1 对应于低电平空闲状态。
- 1111: 双脉冲编码模式 1, 根据 CC1P 和 CC2P 位值, 计数器在单个时钟沿上更新。CCxP=0 对应下降沿和高电平状态, CCxP=1 对应上升沿和低电平状态。

下表描述了计数方向与编码器信号和极性设置的关系

表 19-11 计数方向与编码器信号和极性设置的关系

双脉冲编码模式	SMSEL[3:0]	相对信号的电平(TI1FP1 对应 TI2, TI2FP2 对应 TI1)	TI1FP1 信号		TI2FP2 信号	
			上升	下降	上升	下降

模式 2 CCxP=0	1000	高	向下计数	向下计数	向上计数	向上计数
		低	不计数	不计数	不计数	不计数
模式 2 CCxP=1	1000	高	不计数	不计数	不计数	不计数
		低	向下计数	向下计数	向上计数	向上计数
模式 1 CCxP=0	1111	高	不计数	向下计数	不计数	向上计数
		低	不计数	不计数	不计数	不计数
模式 1 CCxP=1	1111	高	不计数	不计数	不计数	不计数
		低	向下计数	不计数	向上计数	不计数

下图显示了双脉冲编码模式计数器计数方式

图 19-41 双脉冲编码模式 (CC1P = CC2P = 0)

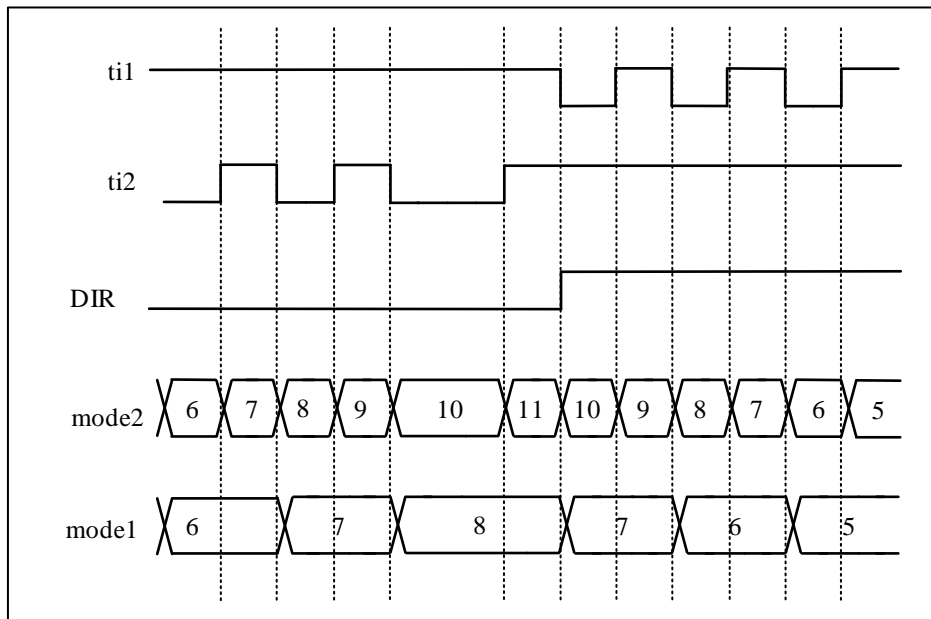
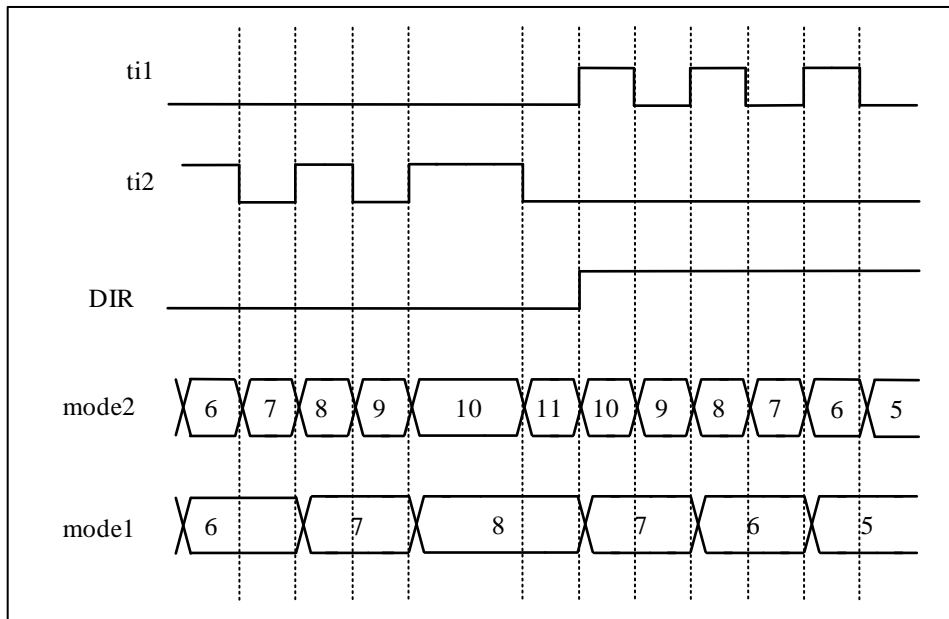


图 19-42 双脉冲编码模式 (CC1P = CC2P = 1)



### 19.5.17 与霍尔传感器的接口

请查阅18.4.22节

## 19.6 GTIMAx(x=1-7)寄存器描述

关于在寄存器描述里面所用到的缩写，详见 1.1 节。

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

## 19.6.1 控制寄存器 1 (TIMx\_CTRL1)

偏移地址: 0x00

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved												C4SEL	C3SEL	C2SEL	C1SEL
												rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		CLRSEL	Reserved			ARPEN	ONEPM	CLKD[1:0]		UPDIS	UPRS	CAMSEL[1:0]		DIR	CNTEN
		rw				rw	rw	rw		rw	rw	rw		rw	rw

位域	名称	描述
31:24	Reserved	保留, 必须保持复位值
19	C4SEL	通道4选择 (Channel 4 selection) 0: 选择CH4 (具体选择见TIMx_INSEL.TI4S) 信号 1: 针对GTIMA 1选择HSE/128输入, 选择CH4 (来自HSE/128) 信号
18	C3SEL	通道3选择 (Channel 3 selection) 0: 选择CH3 (具体选择见TIMx_INSEL.TI3S) 信号 1: 针对GTIMA 1选择LSI输入, 选择CH3 (来自LSI) 信号
17	C2SEL	通道2选择 (Channel 2 selection) 0: 选择CH2 (具体选择见TIMx_INSEL.TI2S) 信号 1: 针对GTIMA 1选择LSE输入, 选择CH1 (来自LSE) 信号
16	C1SEL	通道1选择 (Channel 1 selection) 0: 选择CH1 (具体选择见TIMx_INSEL.TI1S) 信号 1: 保留
15:14	Reserved	保留, 必须保持复位值
13	CLRSEL	OcxRef清除选择 (OcxRef clear selection) 0: 选择外部Ocxclr (TIMx_ETR)信号, 具体选择见TIMx_INSEL.ETRS 1: 选择内部Ocxclr (tim_ocref_clr)信号, 具体选择见TIMx_INSEL.CLRS
12:10	Reserved	保留, 必须保持复位值
9	ARPEN	自动重载预装载允许位 (Auto-reload preload enable) 0: TIMx_AR 寄存器的影子寄存器禁用 1: TIMx_AR 寄存器的影子寄存器使能
8	ONEPM	单脉冲模式 (One pulse mode) 0: 禁用单脉冲模式, 发生更新事件时不影响计数器计数。 1: 使能单脉冲模式, 下次更新事件发生时计数器停止计数
7:6	CLKD[1:0]	时钟分频因子 (Clock division) CLKD[1:0] 表示 CK_INT (定时器时钟) 和 DTS (用于死区时间发生器和数字滤波器

位域	名称	描述
		(ETR、TIx) 的时钟) 之间的分频比。 00: $t_{DTS} = t_{CK\_INT}$ 01: $t_{DTS} = 2 \times t_{CK\_INT}$ 10: $t_{DTS} = 4 \times t_{CK\_INT}$ 11: 保留, 不要使用这个配置
5	UPDIS	更新禁用 (Update disable) 该位用于启用/禁用软件生成的更新事件 (UEV) 事件。 0: 启用。 如果满足以下条件之一, 将生成 UEV: - 计数器上溢/下溢 - TIMx_EVTGEN.UDGN 位被设置 - 从模式控制器的更新生成 影子寄存器将使用预加载值进行更新。 1: UEV 禁用。 不生成更新事件, 影子寄存器 (AR、PSC 和 CCDATx) 保持它们的值。 如果 TIMx_EVTGEN.UDGN 位置位或从模式控制器发出硬件复位, 则重新初始化计数器和预分频器。
4	UPRS	更新请求源 (Update request source) 该位用于通过软件选择 UEV 事件源。 0: 如果更新中断或 DMA 请求使能, 以下任何事件都会产生更新中断或 DMA 请求: - 计数器上溢/下溢 - TIMx_EVTGEN.UDGN 位被设置 - 从模式控制器的更新生成 1: 如果更新中断或 DMA 请求使能, 只有计数器上溢/下溢会产生更新中断或 DMA 请求。
3:2	CAMSEL[1:0]	选择中央对齐模式 (Center-aligned mode selection) 00: 边缘对齐模式。 TIMx_CTRL1.DIR 指定向上计数或向下计数。 01: 中央对齐模式1。 计数器在中央对齐模式下计数, 向下计数时输出比较中断标志位设置为 1。 10: 中央对齐模式2。 计数器在中央对齐模式下计数, 向上计数时输出比较中断标志位设置为1。 11: 中央对齐模式3。 计数器在中央对齐模式下计数, 向上计数或向下计数时输出比较中断标志位设置为 1。 注意: 当计数器仍然启用时 (TIMx_CTRL1.CNTEN = 1), 不允许从边缘对齐模式切换到中央对齐模式。
1	DIR	方向 (Direction) 0: 计数器向上计数; 1: 计数器向下计数。 注: 当计数器配置为中央对齐模式或编码器模式时, 该位为只读。

位域	名称	描述
0	CNTEN	使能计数器 (Counter enable) 0: 禁止计数器; 1: 使能计数器。 <i>注: 在软件设置了CNTEN位后, 外部时钟、门控模式和编码器模式才能工作。触发模式可以自动地通过硬件设置CNTEN位。</i>

## 19.6.2 控制寄存器 2 (TIMx\_CTRL2)

偏移地址: 0x04

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved											TI1SEL	Reserved	CCDSEL	Reserved		
											rw					rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
MMSEL[3:0]				Reserved												
rw																

位域	名称	描述
31:20	Reserved	保留, 必须保持复位值
19	TI1SEL	TI1选择 (TI1 selection) 0: TIMx_CH1引脚连到TI1输入; 1: TIMx_CH1、TIMx_CH2和TIMx_CH3引脚经异或后连到TI1输入。
18	Reserved	保留, 必须保持复位值
17	CCDSEL	捕获/比较的DMA选择 (Capture/compare DMA selection) 0: 当发生CCx事件时, 送出CCx的DMA请求; 1: 当发生更新事件时, 送出CCx的DMA请求。
16	Reserved	保留, 必须保持复位值
15:12	MMSEL[3:0]	主模式选择 这 4 位用于选择在主模式下发送到从定时器的同步信息 (TRGO)。可能的组合如下: x000: 复位 - 当 TIMx_EVTGEN.UDGN 置位或从模式控制器产生复位时, 将出现 TRGO 脉冲。在后一种情况下, TRGO 上的信号与实际复位相比有所延迟。 x001: 使能 - TIMx_CTRL1.CNTEN 位用作触发输出 (TRGO)。有时需要同时启动多个定时器或者在一段时间内开启从定时器。 当 TIMx_CTRL1.CNTEN 位置位或门控模式下的触发输入为高电平时, 计数器使能信号置位。 当计数器使能信号由触发输入控制时, TRGO 上有一个延迟, 除非选择了主/从模式 (参见 TIMx_SMCTRL.MSMD 位的说明)。 x010: 更新 - 选择更新事件作为触发输出 (TRGO)。例如, 主定时器时钟可用作从定时



位域	名称	描述
		器预分频器。 x011: 比较脉冲 - 当 TIMx_STS.CC1ITF 被设置时 (即使它已经是高电平), 即捕获或比较成功时, 触发输出发送一个正脉冲 (TRGO)。 x100: 比较 - OC1REF 信号用作触发输出 (TRGO)。 x101: 比较 - OC2REF 信号用作触发输出 (TRGO)。 x110: 比较 - OC3REF 信号用作触发输出 (TRGO)。 x111: 比较 - OC4REF 信号用作触发输出 (TRGO)
11:0	Reserved	保留, 必须保持复位值

### 19.6.3 状态寄存器 (TIMx\_STS)

偏移地址: 0x08

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved												TITF	Reserved	UDITF	
												rc_w0		rc_w0	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				CC4OCF	CC3OCF	CC2OCF	CC1OCF	Reserved				CC4ITF	CC3ITF	CC2ITF	CC1ITF
				rc_w0	rc_w0	rc_w0	rc_w0					rc_w0	rc_w0	rc_w0	rc_w0

位域	名称	描述
31:19	Reserved	保留, 必须保持复位值
18	TITF	触发器中断标记 (Trigger interrupt flag) 当发生触发事件 (当从模式控制器处于除门控模式外的其它模式时, 在TRGI输入端检测到有效边沿, 或门控模式下的任一边沿) 时由硬件对该位置'1'。它由软件清'0'。 0: 无触发器事件产生; 1: 触发中断等待响应。
17	Reserved	保留, 必须保持复位值
16	UDITF	更新中断标志 (Update interrupt flag) 当在以下条件下发生更新事件时, 该位由硬件设置: - 当 TIMx_CTRL1.UPDIS = 0 时, 并且重复计数器值上溢或下溢 (当重复计数器等于 0 时生成更新事件UEV)。 - 当 TIMx_CTRL1.UPRS = 0 时, TIMx_CTRL1.UPDIS = 0, 并通过软件设置 TIMx_EVTGEN.UDGN 位以重新初始化 CNT。 - 当 TIMx_CTRL1.UPRS = 0 时, TIMx_CTRL1.UPDIS = 0, 并且计数器 CNT 由触发事件重新初始化。 (参见 TIMx_SMCTRL 寄存器说明) 该位由软件清零。 0: 未发生更新事件

位域	名称	描述
		1: 发生更新中断
15:12	Reserved	保留, 必须保持复位值
11	CC4OCF	捕获/比较4重复捕获标记 (Capture/Compare 4 overcapture flag) 参见CC1OCF描述。
10	CC3OCF	捕获/比较3重复捕获标记 (Capture/Compare 3 overcapture flag) 参见CC1OCF描述。
9	CC2OCF	捕获/比较2重复捕获标记 (Capture/Compare 2 overcapture flag) 参见CC1OCF描述。
8	CC1OCF	捕获/比较1重复捕获标记 (Capture/Compare 1 overcapture flag) 仅当相应的通道被配置为输入捕获时, 该标记可由硬件置1。写0可清除该位。 0: 无重复捕获产生; 1: 计数器的值被捕获到TIMx_CC DAT1 寄存器时, CC1ITF的状态已经为‘1’。
7:4	Reserved	保留, 必须保持复位值
3	CC4ITF	捕获/比较4中断标记 (Capture/Compare 4 interrupt flag) 参考CC1ITF描述。
2	CC3ITF	捕获/比较3中断标记 (Capture/Compare 3 interrupt flag) 参考CC1ITF描述。
1	CC2ITF	捕获/比较2中断标记 (Capture/Compare 2 interrupt flag) 参考CC1ITF描述。
0	CC1ITF	捕获/比较1中断标记 (Capture/Compare 1 interrupt flag) <b>如果通道CC1配置为输出模式:</b> 除中央对齐模式外, 当计数器值与比较值相同时, 该位由硬件设置 (参见TIMx_CTRL1.CAMSEL 位描述)。 该位由软件清零。 0: 未发生匹配。 1: TIMx_CNT 的值与 TIMx_CC DAT1 的值相同。 当 TIMx_CC DAT1 的值大于 TIMx_AR 的值时, 如果计数器溢出 (在向上计数和向上/向下计数模式下) 和向下计数模式下溢, 则 TIMx_STS.CC1ITF 位将变为高电平。 <b>如果通道CC1配置为输入模式:</b> 当捕捉事件发生时, 该位由硬件设置。 该位由软件或读取 TIMx_CC DAT1 清零。 0: 未发生输入捕捉。 1: 发生输入捕捉。 计数器值已在 TIMx_CC DAT1 中捕获。 在 IC1 上检测到与所选极性相同的边沿。

## 19.6.4 事件产生寄存器 (TIMx\_EVTGEN)

偏移地址:0x0C

复位值:0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				TGN	Reserved	UDGN	Reserved				CC4GN	CC3GN	CC2GN	CC1GN	
				w		w					w	w	w	w	

位域	名称	描述
31:11	Reserved	保留，必须保持复位值
10	TGN	产生触发事件（Trigger generation） 当由软件置位时，该位可以产生一个触发事件。而此时TIMx_STSTS.TITF = 1，如果相应的中断和DMA被使能，就会产生相应的中断和DMA。该位由硬件自动清零。 0：无动作 1：产生触发事件
9	Reserved	保留，必须保持复位值
8	UDGN	产生更新事件（Update generation）该位由软件置‘1’，由硬件自动清‘0’。 当由软件设置时，该位可以生成更新事件。而此时计数器会重新初始化，预分频计数器会被清零，计数器在中央对齐或向上计数模式下会被清零，但在向下计数模式下取TIMx_AR寄存器的值。该位由硬件自动清零。 0：无动作 1：生成更新事件
7:4	Reserved	保留，必须保持复位值
3	CC4GN	产生捕获/比较4事件（Capture/Compare 4 generation） 参考CC1GN描述。
2	CC3GN	产生捕获/比较3事件（Capture/Compare 3 generation） 参考CC1GN描述。
1	CC2GN	产生捕获/比较2事件（Capture/Compare 2 generation） 参考CC1GN描述。
0	CC1GN	产生捕获/比较1事件（Capture/Compare 1 generation） 当由软件设置时，该位可以产生一个捕获/比较事件。该位由硬件自动清零。 <b>CC1对应通道为输出模式时：</b> TIMx_STSTS.CC1ITF 标志将被拉高，如果相应的中断和 DMA 被使能，就会产生相应的中断和 DMA。 <b>CC1对应通道为输入模式时：</b> TIMx_CC1DAT1 将捕获当前计数器值，并将 TIMx_STSTS.CC1ITF 标志拉高，如果相应的中断和 DMA 被使能，则会产生相应的中断和 DMA。如果 TIMx_STSTS.CC1ITF 已经拉高，则拉高 TIMx_STSTS.CC1OCF。 0：无动作 1：生成 CC1 捕获/比较事件

## 19.6.5 从模式控制寄存器 (TIMx\_SMCTRL)

偏移地址: 0x10

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								OCREFCLR[3:0]			OCREFCLR	Reserved		MSMD	
								rw			rw		rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTF[3:0]				EXTP	EXCEN	EXTPS		SMSEL[3:0]			Reserved	TSEL[2:0]			
rw				rw	rw	rw		rw			rw				

位域	名称	描述
31:24	Reserved	保留, 必须保持复位值
23:20	OCREFCLR	tim_ocref_clr信号滤波器(tim_ocref_clr signal filter) 这些位用于定义 tim_ocref_clr 信号的采样频率和 tim_ocref_clr 数字滤波的带宽。实际上, 数字滤波器是一个事件计数器, 在记录连续 N 个事件后生成验证输出。 0000: 无滤波器, 以fDTS采样 1000: 采样频率fSAMPLING=fDTS/8, N=6 0001: 采样频率fSAMPLING=fCK_INT, N=2 1001: 采样频率fSAMPLING=fDTS/8, N=8 0010: 采样频率fSAMPLING=fCK_INT, N=4 1010: 采样频率fSAMPLING=fDTS/16, N=5 0011: 采样频率fSAMPLING=fCK_INT, N=8 1011: 采样频率fSAMPLING=fDTS/16, N=6 0100: 采样频率fSAMPLING=fDTS/2, N=6 1100: 采样频率fSAMPLING=fDTS/16, N=8 0101: 采样频率fSAMPLING=fDTS/2, N=8 1101: 采样频率fSAMPLING=fDTS/32, N=5 0110: 采样频率fSAMPLING=fDTS/4, N=6 1110: 采样频率fSAMPLING=fDTS/32, N=6 0111: 采样频率fSAMPLING=fDTS/4, N=8 1111: 采样频率fSAMPLING=fDTS/32, N=8
19	OCREFCLR	tim_ocref_clr 信号极性 (tim_ocref_clr signal polarity) 该位选择是用tim_ocref_clr 还是tim_ocref_clr 的反相来作为触发操作 0: tim_ocref_clr 高电平或上升沿有效; 1: tim_ocref_clr 低电平或下降沿有效。
18:17	Reserved	保留, 必须保持复位值
16	MSMD	主/从模式 (Master/slave mode) 0: 无作用; 1: 触发输入 (TRGI) 上的事件被延迟了, 以允许在当前定时器 (通过TRGO) 与它的从定时器间的完美同步。这对要求把几个定时器同步到一个单一的外部事件时是非常有用的。
15:12	EXTF[3:0]	外部触发滤波 (External trigger filter) 这些位用于定义 ETRP 信号的采样频率和 ETRP 数字滤波的带宽。实际上, 数字滤波器是一个事件计数器, 在记录连续 N 个事件后生成验证输出。 0000: 无滤波器, 以fDTS采样 1000: 采样频率fSAMPLING=fDTS/8, N=6 0001: 采样频率fSAMPLING=fCK_INT, N=2 1001: 采样频率fSAMPLING=fDTS/8, N=8 0010: 采样频率fSAMPLING=fCK_INT, N=4 1010: 采样频率fSAMPLING=fDTS/16, N=5

		0011: 采样频率fSAMPLING=fCK_INT, N=8    1011: 采样频率fSAMPLING=fDTS/16, N=6 0100: 采样频率fSAMPLING=fDTS/2, N=6    1100: 采样频率fSAMPLING=fDTS/16, N=8 0101: 采样频率fSAMPLING=fDTS/2, N=8    1101: 采样频率fSAMPLING=fDTS/32, N=5 0110: 采样频率fSAMPLING=fDTS/4, N=6    1110: 采样频率fSAMPLING=fDTS/32, N=6 0111: 采样频率fSAMPLING=fDTS/4, N=8    1111: 采样频率fSAMPLING=fDTS/32, N=8
11	EXTP	外部触发极性 (External trigger polarity) 该位选择是用tim_etr_in还是tim_etr_in的反相来作为触发操作 0: tim_etr_in高电平或上升沿有效; 1: tim_etr_in低电平或下降沿有效。
10	EXCEN	外部时钟使能位 (External clock enable) 该位启用外部时钟模式2。启用后, 计数器由ETRF信号上的任意有效边沿驱动。 0: 禁止外部时钟模式2; 1: 使能外部时钟模式2。 注意1: 当同时使能外部时钟模式1和外部时钟模式2时, 外部时钟的输入为ETRF。 注意2: 以下从机模式可以与外部时钟模式2同时使用: 复位模式、门控模式和触发模式; 但是, TRGI无法连接到ETRF (TIMx_SMCTRL.TSEL ≠ '111')。 注意3: 设置TIMx_SMCTRL.EXCEN位与选择外部时钟模式1并将TRGI连接到ETRF (TIMx_SMCTRL.SMSEL = 111和TIMx_SMCTRL.TSEL = 111)的效果相同
9:8	EXTPS[1:0]	外部触发预分频 (External trigger prescaler) 外部触发信号ETRP的频率必须最多为TIMxCLK频率的1/4。当输入更快的外部时钟时, 可以使用预分频器来降低ETRP的频率。 00: 关闭预分频; 01: ETRP频率除以2; 10: ETRP频率除以4; 11: ETRP频率除以8。
7:4	SMSEL[3:0]	从模式选择 (Slave mode selection) 当选择了外部信号, 触发信号 (TRGI) 的有效边沿与选中的外部输入极性相关 (见输入控制寄存器和控制寄存器的说明) 0000: 关闭从模式 – 如果CNTEN=1, 则预分频器直接由内部时钟驱动。 0001: 编码器模式1 – 根据TI2FP2的电平, 计数器在TI1FP1的边沿向上/下计数。 0010: 编码器模式2 – 根据TI1FP1的电平, 计数器在TI2FP2的边沿向上/下计数。 0011: 编码器模式3 – 根据另一个信号的输入电平, 计数器在TI1FP1和TI2FP2的边沿向上/下计数。 0100: 复位模式 – 在选定触发输入 (TRGI) 的上升沿, 计数器重新初始化并更新影子寄存器。 0101: 门控模式 – 当触发输入 (TRGI) 为高时, 计数器的时钟开启。一旦触发输入变为低, 则计数器停止 (但不复位)。计数器的启动和停止都是受控的。 0110: 触发模式 – 计数器在触发输入TRGI的上升沿启动 (但不复位), 只有计数器的启动是受控的。 0111: 外部时钟模式1 – 选中的触发输入 (TRGI) 的上升沿驱动计数器。 1000: 双脉冲编码模式2。

		<p>1001: 正交编码器模式4 – 根据TI2FP2的电平, 计数器在TI1FP1的边沿向上/下计数。通过CC1P选择计数边沿。</p> <p>1010: 正交编码器模式5 – 根据TI1FP1的电平, 计数器在TI2FP2的边沿向上/下计数。通过CC2P选择计数边沿。</p> <p>1011: 脉冲电平编码模式2。</p> <p>1100: 脉冲电平编码模式1。通过CC2P设置TI2FP2的计数边沿。</p> <p>1101: 组合门控+复位模式 – 当触发输入 (TRGI) 为高时, 计数器的时钟开启。一旦触发输入变为低, 则计数器停止 (且复位)。计数器的启动和停止都是受控的。</p> <p>1110: 组合复位+触发模式 – 计数器在触发输入TRGI的上升沿启动 (且复位), 只有计数器的启动是受控的。</p> <p>1111: 双脉冲编码模式1。通过CC1P和CC2P设置TI1FP1和TI2FP2的计数敏感边沿。</p> <p>注意: 如果TI1F_ED被选为触发输入 (TSEL=100) 时, 不要使用门控模式。这是因为, TI1F_ED在每次TI1F变化时输出一个脉冲, 然而门控模式是要检查触发输入的电平。</p>
3	Reserved	保留, 必须保持复位值
2:0	TSEL[2:0]	<p>触发选择 (Trigger selection)</p> <p>这3位选择用于同步计数器的触发输入。</p> <p>0xx: 内部触发 (ITRx), 根据TIMx_INSEL. ITRS选择ITR信号源</p> <p>100: TI1的边沿检测器 (TI1F_ED)</p> <p>101: 滤波后的定时器输入1 (TI1FP1)</p> <p>110: 滤波后的定时器输入2 (TI2FP2)</p> <p>111: 外部触发输入 (ETRF)</p> <p>注意: 这些位只能在未用到 (如SMSEL=000) 时被改变, 以避免在改变时产生错误的边沿检测。</p>

### 19.6.6 DMA/中断使能寄存器 (TIMx\_DINTEN)

偏移地址: 0x14

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved										TDEN	Reserved	UDEN	Reserved	TIEN	UIEN
										rw		rw		rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				CC4DEN	CC3DEN	CC2DEN	CC1DEN	Reserved				CC4IEN	CC3IEN	CC2IEN	CC1IEN
				rw	rw	rw	rw					rw	rw	rw	rw

位域	名称	描述
31:22	Reserved	保留, 必须保持复位值

位域	名称	描述
21	TDEN	允许触发DMA请求 (Trigger DMA request enable) 0: 禁止触发DMA请求; 1: 允许触发DMA请求。
20	Reserved	保留, 必须保持复位值
19	UDEN	允许更新的DMA请求 (Update DMA request enable) 0: 禁止更新的DMA请求; 1: 允许更新的DMA请求。
18	Reserved	保留, 必须保持复位值
17	TIEN	触发中断使能 (Trigger interrupt enable) 0: 禁止触发中断; 1: 使能触发中断。
16	UIEN	允许更新中断 (Update interrupt enable) 0: 禁止更新中断; 1: 允许更新中断。
15:12	Reserved	保留, 必须保持复位值
11	CC4DEN	允许捕获/比较4的DMA请求 (Capture/Compare 4 DMA request enable) 0: 禁止捕获/比较4的DMA请求; 1: 允许捕获/比较4的DMA请求。
10	CC3DEN	允许捕获/比较3的DMA请求 (Capture/Compare 3 DMA request enable) 0: 禁止捕获/比较3的DMA请求; 1: 允许捕获/比较3的DMA请求。
9	CC2DEN	允许捕获/比较2的DMA请求 (Capture/Compare 2 DMA request enable) 0: 禁止捕获/比较2的DMA请求; 1: 允许捕获/比较2的DMA请求。
8	CC1DEN	允许捕获/比较1的DMA请求 (Capture/Compare 1 DMA request enable) 0: 禁止捕获/比较1的DMA请求; 1: 允许捕获/比较1的DMA请求。
7:4	Reserved	保留, 必须保持复位值
3	CC4IEN	允许捕获/比较4中断 (Capture/Compare 4 interrupt enable) 0: 禁止捕获/比较4中断; 1: 允许捕获/比较4中断。
2	CC3IEN	允许捕获/比较3中断 (Capture/Compare 3 interrupt enable) 0: 禁止捕获/比较3中断; 1: 允许捕获/比较3中断。
1	CC2IEN	允许捕获/比较2中断 (Capture/Compare 2 interrupt enable) 0: 禁止捕获/比较2中断; 1: 允许捕获/比较2中断。

位域	名称	描述
0	CC1IEN	允许捕获/比较1中断 (Capture/Compare 1 interrupt enable) 0: 禁止捕获/比较1中断; 1: 允许捕获/比较1中断。



## 19.6.7 捕获/比较模式寄存器 1 (TIMx\_CCMOD1)

偏移地址: 0x18

复位值: 0x0000 0000

通道可用于输入（捕获模式）或输出（比较模式），通道的方向由相应的 CCxSEL 位定义。该寄存器其它位的作用在输入和输出模式下不同。OCx 描述了通道在输出模式下的功能，ICx 描述了通道在输入模式下的功能。因此必须注意，同一个位在输出模式和输入模式下的功能是不同的。

**输出比较模式：**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC2MD[2:0]			OC2CEN	OC2FEN	OC2PEN	CC2SEL[1:0]		OC1MD[2:0]			OC1CEN	OC1FEN	OC1PEN	CC1SEL[1:0]	
rw			rw	rw	rw	rw		rw			rw	rw	rw	rw	

位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:13	OC2MD[2:0]	输出比较2模式（Output Compare 2 mode）
12	OC2CEN	输出比较2清0使能（Output Compare 2 clear enable）
11	OC2FEN	输出比较2快速使能（Output Compare 2 fast enable）
10	OC2PEN	输出比较2预装载使能（Output Compare 2 preload enable）
9:8	CC2SEL[1:0]	捕获/比较2选择。（Capture/Compare 2 selection） 该位定义通道的方向（输入/输出），及输入脚的选择： 00：CC2通道被配置为输出； 01：CC2通道被配置为输入，IC2映射在TI2上； 10：CC2通道被配置为输入，IC2映射在TI1上； 11：CC2通道被配置为输入，IC2映射在TRC上。此模式仅工作在内部触发输入被选中时（由TIMx_SMCTRL寄存器的TSEL位选择）。 <i>注：CC2SEL仅在通道关闭时（TIMx_CCEN寄存器的CC2EN=0）才是可写的。</i>
7:5	OC1MD[2:0]	输出比较1模式（Output Compare 1 mode） 这些位用于管理输出参考信号 OC1REF，它决定了 OC1 和 OC1N 的值，在高电平有效，而 OC1 和 OC1N 的有效电平取决于 TIMx_CCEN.CC1P 和 TIMx_CCEN.CC1NP 位。 000：冻结。TIMx_CCDAT1 寄存器和计数器 TIMx_CNT 之间的比较对 OC1REF 信号没有影响。 001：将通道 1 设置为匹配时的有效电平。当 TIMx_CCDAT1 = TIMx_CNT 时，OC1REF 信号将被强制为高电平。 010：将通道 1 设置为匹配时的无效电平。当 TIMx_CCDAT1 = TIMx_CNT 时，OC1REF 信号将被强制为低电平。

位域	名称	描述
		011: 翻转。当 $TIMx\_CCDAT1 = TIMx\_CNT$ 时, OC1REF 信号将被翻转。 100: 强制无效电平。OC1REF 信号被强制为低电平。 101: 强制有效电平。OC1REF 信号被强制为高电平。 110: PWM 模式 1 - 在向上计数模式下, 如果 $TIMx\_CNT < TIMx\_CCDAT1$ , 则通道 1 的 OC1REF 信号为高电平, 否则为低电平。在向下计数模式下, 如果 $TIMx\_CNT > TIMx\_CCDAT1$ , 则通道 1 的 OC1REF 信号为低电平, 否则为高电平。 111: PWM 模式 2 - 在向上计数模式下, 如果 $TIMx\_CNT < TIMx\_CCDAT1$ , 则通道 1 的 OC1REF 信号为低电平, 否则为高电平。在向下计数模式下, 如果 $TIMx\_CNT > TIMx\_CCDAT1$ , 则通道 1 的 OC1REF 信号为高电平, 否则为低电平。 <i>注 1: 在 PWM 模式 1 或 PWM 模式 2 中, OC1REF 电平仅在比较结果改变或输出比较模式从冻结模式切换到 PWM 模式时才会改变。</i>
4	OC1CEN	输出比较1清'0'使能 (Output Compare 1 clear enable) 0: OC1REF 不受tim_ocref_clr_in输入的影响; 1: 一旦检测到tim_ocref_clr_in输入高电平 (tim_ocref_clr_in由TIMx_CTRL1.CLRSEL控制来源), OC1REF=0。
3	OC1FEN	输出比较1快速使能 (Output Compare 1 fast enable) 该位用于加快CC输出对触发输入事件的响应。 0: 根据计数器与CCDAT1的值, CC1正常操作, 即使触发器是打开的。当触发器的输入有一个有效沿时, 激活CC1输出的最小延时为5个时钟周期。 1: 输入到触发器的有效沿的作用就像发生了一次比较匹配。因此, OC1被设置为比较电平而与比较结果无关。采样触发器的有效沿和CC1输出间的延时被缩短为3个时钟周期。 OCxFEN只在通道被配置成PWM1或PWM2模式时起作用。
2	OC1PEN	输出比较 1 预加载使能 (Output Compare 1 preload enable) 0: 禁用 $TIMx\_CCDAT1$ 寄存器的预加载功能。支持随时对 $TIMx\_CCDAT1$ 寄存器进行写操作, 写入的值立即生效。 1: 使能 $TIMx\_CCDAT1$ 寄存器的预加载功能。仅对预加载寄存器进行读写操作。当更新事件发生时, $TIMx\_CCDAT1$ 的值被加载到影子寄存器中。 <i>注 1: 只有当 <math>TIMx\_CTRL1.ONEPM = 1</math> (在单脉冲模式下) 时, 才能使用 PWM 模式而不验证预加载寄存器, 否则无法预测其他行为。</i>
1:0	CC1SEL[1:0]	捕获/比较1选择。(Capture/Compare 1 selection) 这2位定义通道的方向(输入/输出), 及输入脚的选择: 00: CC1通道被配置为输出; 01: CC1通道被配置为输入, IC1映射在TI1上; 10: CC1通道被配置为输入, IC1映射在TI2上; 11: CC1通道被配置为输入, IC1映射在TRC上。此模式仅工作在内部触发输入被选中时(由 $TIMx\_SMCTRL$ 寄存器的TSEL位选择)。 <i>注: CC1SEL仅在通道关闭时(<math>TIMx\_CCEN</math>寄存器的CCIEN=0)才是可写的。</i>

**输入捕获模式：**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IC2F[3:0]				IC2PSC[1:0]		CC2SEL[1:0]		IC1F[3:0]			IC1PSC[1:0]		CC1SEL[1:0]		
rw				rw		rw		rw			rw		rw		

位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:12	IC2F[3:0]	输入捕获2滤波器（Input capture 2 filter）
11:10	IC2PSC[1:0]	输入/捕获2预分频器（Input capture 2 prescaler）
9:8	CC2SEL[1:0]	捕获/比较2选择（Capture/Compare 2 selection） 这2位定义通道的方向（输入/输出），及输入脚的选择： 00：CC2通道被配置为输出； 01：CC2通道被配置为输入，IC2映射在TI2上； 10：CC2通道被配置为输入，IC2映射在TI1上； 11：CC2通道被配置为输入，IC2映射在TRC上。此模式仅工作在内部触发输入被选中时（由TIMx_SMCTRL寄存器的TSEL位选择）。 <i>注：CC2SEL仅在通道关闭时（TIMx_CCEN寄存器的CC2EN=0）才是可写的。</i>
7:4	IC1F[3:0]	输入捕获1滤波器（Input capture 1 filter） 这几位定义了TI1输入的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成，它记录到N个事件后会产生一个输出的跳变： 0000：无滤波器，以f <sub>DTS</sub> 采样    1000：采样频率f <sub>SAMPLING</sub> =f <sub>DTS</sub> /8，N=6 0001：采样频率f <sub>SAMPLING</sub> =f <sub>CK_INT</sub> ，N=2    1001：采样频率f <sub>SAMPLING</sub> =f <sub>DTS</sub> /8，N=8 0010：采样频率f <sub>SAMPLING</sub> =f <sub>CK_INT</sub> ，N=4    1010：采样频率f <sub>SAMPLING</sub> =f <sub>DTS</sub> /16，N=5 0011：采样频率f <sub>SAMPLING</sub> =f <sub>CK_INT</sub> ，N=8    1011：采样频率f <sub>SAMPLING</sub> =f <sub>DTS</sub> /16，N=6 0100：采样频率f <sub>SAMPLING</sub> =f <sub>DTS</sub> /2，N=6    1100：采样频率f <sub>SAMPLING</sub> =f <sub>DTS</sub> /16，N=8 0101：采样频率f <sub>SAMPLING</sub> =f <sub>DTS</sub> /2，N=8    1101：采样频率f <sub>SAMPLING</sub> =f <sub>DTS</sub> /32，N=5 0110：采样频率f <sub>SAMPLING</sub> =f <sub>DTS</sub> /4，N=6    1110：采样频率f <sub>SAMPLING</sub> =f <sub>DTS</sub> /32，N=6 0111：采样频率f <sub>SAMPLING</sub> =f <sub>DTS</sub> /4，N=8    1111：采样频率f <sub>SAMPLING</sub> =f <sub>DTS</sub> /32，N=8
3:2	IC1PSC[1:0]	输入/捕获1预分频器（Input capture 1 prescaler） 这2位定义了CC1输入（IC1）的预分频系数。 一旦TIMx_CCEN.CC1EN=0，则预分频器复位。 00：无预分频器，捕获输入口上检测到的每一个边沿都触发一次捕获； 01：每2个事件触发一次捕获； 10：每4个事件触发一次捕获； 11：每8个事件触发一次捕获。

1:0	CC1SEL[1:0]	捕获/比较1选择 (Capture/Compare 1 Selection) 这2位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC1通道被配置为输出; 01: CC1通道被配置为输入, IC1映射在TI1上; 10: CC1通道被配置为输入, IC1映射在TI2上; 11: CC1通道被配置为输入, IC1映射在TRC上。此模式仅工作在内部触发输入被选中时 (由TIMx_SMCTRL寄存器的TSEL位选择)。 注: CC1SEL仅在通道关闭时 (TIMx_CCEN寄存器的CC1EN=0) 才是可写的。
-----	-------------	--

### 19.6.8 捕获/比较模式寄存器 2 (TIMx\_CCMOD2)

偏移地址: 0x1C

复位值: 0x0000 0000

参看以上 CCMOD1 寄存器的描述

输出比较模式:

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC4MD[2:0]		OC4CEN	OC4FEN	OC4PEN	CC4SEL[1:0]		OC3MD[2:0]		OC3CEN	OC3FEN	OC3PEN	CC3SEL[1:0]			
rw		rw	rw	rw	rw		rw		rw	rw	rw	rw			

位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15:13	OC4MD[2:0]	输出比较4模式 (Output compare 4 mode)
12	OC4CEN	输出比较4清0使能 (Output compare 4 clear enable)
11	OC4FEN	输出比较4快速使能 (Output compare 4 fast enable)
10	OC4PEN	输出比较4预装载使能 (Output compare 4 preload enable)
9:8	CC4SEL[1:0]	捕获/比较4选择 (Capture/Compare 4 selection) 该2位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC4通道被配置为输出; 01: CC4通道被配置为输入, IC4映射在TI4上; 10: CC4通道被配置为输入, IC4映射在TI3上; 11: CC4通道被配置为输入, IC4映射在TRC上。此模式仅工作在内部触发输入被选中时 (由TIMx_SMCTRL寄存器的TSEL位选择)。 注: CC4SEL仅在通道关闭时 (TIMx_CCEN寄存器的CC4EN=0) 才是可写的。
7:5	OC3MD[2:0]	输出比较3模式 (Output compare 3 mode)
4	OC3CEN	输出比较3清0使能 (Output compare 3 clear enable)
3	OC3FEN	输出比较3快速使能 (Output compare 3 fast enable)
2	OC3PEN	输出比较3预装载使能 (Output compare 3 preload enable)

位域	名称	描述
31:16	Reserved	保留，必须保持复位值
1:0	CC3SEL[1:0]	捕获/比较3选择 (Capture/Compare 3 selection) 这2位定义通道的方向(输入/输出)，及输入脚的选择： 00: CC3通道被配置为输出； 01: CC3通道被配置为输入，IC3映射在TI3上； 10: CC3通道被配置为输入，IC3映射在TI4上； 11: CC3通道被配置为输入，IC3映射在TRC上。此模式仅工作在内部触发输入被选中时(由TIMx_SMCTRL寄存器的TSEL位选择)。 注: CC3SEL 仅在通道关闭时(TIMx_CCEN寄存器的CC3EN=0)才是可写的。

**输入捕获模式:**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
IC4F[3:0]				IC4PSC[1:0]			CC4SEL[1:0]			IC3F[3:0]			IC3PSC[1:0]		CC3SEL[1:0]	
rw				rw			rw			rw			rw		rw	

位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:12	IC4F[3:0]	输入捕获4滤波器 (Input capture 4 filter)
11:10	IC4PSC[1:0]	输入/捕获4预分频器 (Input capture 4 prescaler)
9:8	CC4SEL[1:0]	捕获/比较4选择 (Capture/Compare 4 selection) 这2位定义通道的方向(输入/输出)，及输入脚的选择： 00: CC4通道被配置为输出； 01: CC4通道被配置为输入，IC4映射在TI4上； 10: CC4通道被配置为输入，IC4映射在TI3上； 11: CC4通道被配置为输入，IC4映射在TRC上。此模式仅工作在内部触发输入被选中时(由TIMx_SMCTRL寄存器的TSEL位选择)。 注: CC4SEL 仅在通道关闭时(TIMx_CCEN寄存器的CC4EN=0)才是可写的。
7:4	IC3F[3:0]	输入捕获3滤波器 (Input capture 3 filter)
3:2	IC3PSC[1:0]	输入/捕获3预分频器 (Input capture 3 prescaler)
1:0	CC3SEL[1:0]	捕获/比较3选择 (Capture/compare 3 selection) 这2位定义通道的方向(输入/输出)，及输入脚的选择： 00: CC3通道被配置为输出； 01: CC3通道被配置为输入，IC3映射在TI3上； 10: CC3通道被配置为输入，IC3映射在TI4上； 11: CC3通道被配置为输入，IC3映射在TRC上。此模式仅工作在内部触发输入被选中时(由

位域	名称	描述
31:16	Reserved	保留，必须保持复位值
		TIMx_SMCTRL寄存器的TSEL位选择。 注：CC3SEL仅在通道关闭时(TIMx_CCEN寄存器的CC3EN=0)才是可写的。

### 19.6.9 捕获/比较使能寄存器 (TIMx\_CCEN)

偏移地址：0x24

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CC4P	CC4EN	Reserved		CC3P	CC3EN	Reserved		CC2P	CC2EN	Reserved		CC1P	CC1EN	Reserved	
rw	rw			rw	rw			rw	rw			rw	rw		

位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15	CC4P	捕获/比较4输出极性 (Capture/Compare 4 output polarity) 参考TIMx_CCEN.CC1P的描述。
14	CC4EN	捕获/比较4输出使能 (Capture/Compare 4 output enable) 参考TIMx_CCEN.CC1EN 的描述。
13:12	Reserved	保留，必须保持复位值
11	CC3P	捕获/比较3输出极性 (Capture/Compare 3 output polarity) 参考TIMx_CCEN.CC1P的描述。
10	CC3EN	捕获/比较3输出使能 (Capture/Compare 3 output enable) 参考TIMx_CCEN.CC1E 的描述。
9:8	Reserved	保留，必须保持复位值
7	CC2P	捕获/比较2输出极性 (Capture/Compare 2 output polarity) 参考TIMx_CCEN.CC1P的描述。
6	CC2EN	捕获/比较2输出使能 (Capture/Compare 2 output enable) 参考TIMx_CCEN.CC1EN的描述。
5:4	Reserved	保留，必须保持复位值
3	CC1P	捕获/比较1输出极性 (Capture/Compare 1 output polarity) <b>CC1对应通道为输出模式时：</b> 0: OC1 高电平有效 1: OC1 低电平有效

位域	名称	描述
		<b>CC1对应通道为输入模式时：</b> 此时，该位用于选择是使用IC1还是IC1的反相信号作为触发信号或捕捉信号。 0：非反相：当 IC1 产生上升沿时发生捕获动作。 当用作外部触发时，IC1 是非反相的。 1：反相：当 IC1 产生下降沿时发生捕获动作。 当用作外部触发时，IC1 被反相。
2	CC1EN	捕获/比较1输出使能（Capture/Compare 1 output enable） <b>CC1通道配置为输出：</b> 0： 关闭— OC1禁止输出，因此OC1的输出电平依赖于MOEN、OSSI、OSSR、OI1、OI1N和CC1NEN位的值。 1： 开启— OC1信号输出到对应的输出引脚，其输出电平依赖于MOEN、OSSI、OSSR、OI1、OI1N和CC1NEN位的值。 <b>CC1通道配置为输入：</b> 该位决定了计数器的值是否能捕获入TIMx_CC DAT1寄存器。 0： 捕获禁止； 1： 捕获使能。
1:0	Reserved	保留，必须保持复位值

**表 19-12 标准 OCx 的输出控制位**

CCxEN	OCx output status
0	Disable output (OCx=0)
1	OCx = OCxREF + polarity

注：连接到标准 OCx 通道的外部 I/O 引脚的状态取决于 OCx 通道状态以及 GPIO 和 AFIO 寄存器。

### 19.6.10 捕获/比较寄存器 1 (TIMx\_CC DAT1)

偏移地址：0x28

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCDAT1[15:0]															

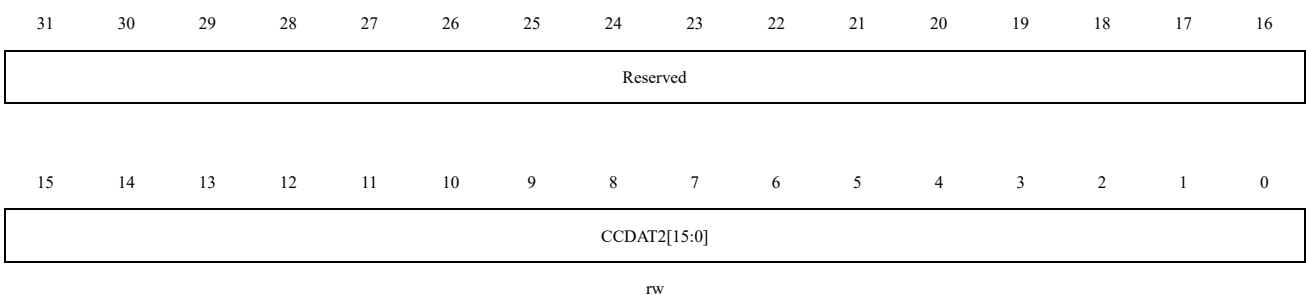
rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	CCDAT1[15:0]	捕获/比较通道1的值（Capture/Compare 1 value） <ul style="list-style-type: none"> <li>■ CC1 通道配置为输出： CCDAT1 包含要与计数器 TIMx_CNT 比较的值，在 OC1 输出上发出信号。 如果未在 TIMx_CCMOD1.OC1PEN 位中选择预加载功能，则写入的值会立即传输到有效寄存器。否则，仅当更新事件发生时，此预加载值才会传输到活动寄存器。</li> <li>■ CC1 通道配置为输入： CCDAT1 包含由最后一个输入捕获 1 事件 (IC1) 传输的计数器值。 当配置为输入模式时，寄存器 CCDAT1 和 CCDDAT1 只能读取。 当配置为输出模式时，寄存器 CCDAT1 和 CCDDAT1 是可读写的。</li> </ul>

### 19.6.11 捕获/比较寄存器 2 (TIMx\_CCDAT2)

偏移地址：0x2C

复位值：0x0000 0000



位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	CCDAT2[15:0]	捕获/比较通道2的值（Capture/Compare 2 value） <ul style="list-style-type: none"> <li>■ CC2 通道配置为输出： CCDAT2 包含要与计数器 TIMx_CNT 比较的值，在 OC2 输出上发出信号。 如果未在 TIMx_CCMOD1.OC2PEN 位中选择预加载功能，则写入的值会立即传输到有效寄存器。否则，仅当更新事件发生时，此预加载值才会传输到活动寄存器。</li> <li>■ CC2 通道配置为输入： CCDAT2 包含由最后一个输入捕获 2 事件 (IC2) 传输的计数器值。 当配置为输入模式时，寄存器 CCDAT2 和 CCDDAT2 只能读取。 当配置为输出模式时，寄存器 CCDAT2 和 CCDDAT2 是可读写的。</li> </ul>

### 19.6.12 捕获/比较寄存器 3 (TIMx\_CCDAT3)

偏移地址：0x30

复位值：0x0000 0000



31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved															
----------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

CCDAT3[15:0]															
--------------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	CCDAT3[15:0]	捕获/比较通道3的值（Capture/Compare 3 value） <ul style="list-style-type: none"> <li>■ CC3 通道配置为输出： CCDAT3 包含要与计数器 TIMx_CNT 比较的值，在 OC3 输出上发出信号。 如果未在 TIMx_CCMOD2.OC3PEN 位中选择预加载功能，则写入的值会立即传输到有效寄存器。否则，仅当更新事件发生时，此预加载值才会传输到活动寄存器。</li> <li>■ CC3 通道配置为输入： CCDAT3 包含由最后一个输入捕获 3 事件 (IC3) 传输的计数器值。 当配置为输入模式时，寄存器 CCDAT3 和 CCDDAT3 只能读取。 当配置为输出模式时，寄存器 CCDAT3 和 CCDDAT3 是可读写的。</li> </ul>

### 19.6.13 捕获/比较寄存器 4 (TIMx\_CCDAT4)

偏移地址：0x34

复位值：0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved															
----------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

CCDAT4[15:0]															
--------------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

rw

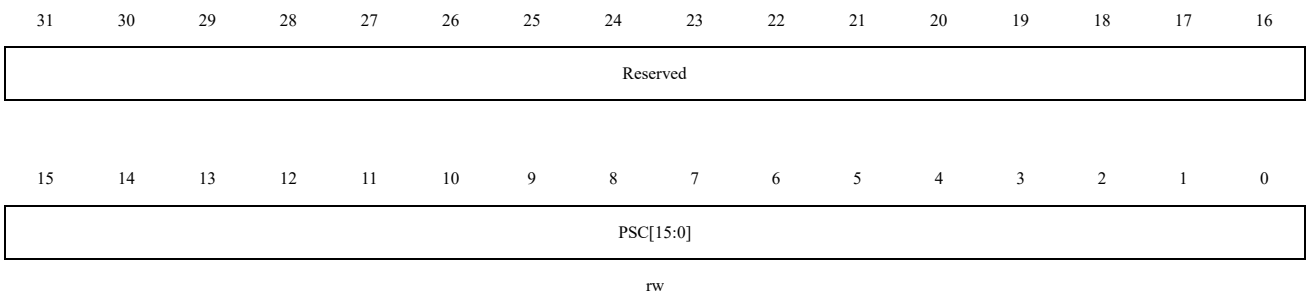
位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	CCDAT4[15:0]	捕获/比较通道4的值（Capture/Compare 4 value） <ul style="list-style-type: none"> <li>■ CC4 通道配置为输出： CCDAT4 包含要与计数器 TIMx_CNT 比较的值，在 OC4 输出上发出信号。 如果未在 TIMx_CCMOD2.OC4PEN 位中选择预加载功能，则写入的值会立即传输到有效寄存器。否则，仅当更新事件发生时，此预加载值才会传输到活动寄存器。</li> <li>■ CC4 通道配置为输入：</li> </ul>

		CCDAT4 包含由最后一个输入捕获 4 事件 (IC4) 传输的计数器值。 当配置为输入模式时，寄存器 CCDAT4 和 CCDDAT4 只能读取。 当配置为输出模式时，寄存器 CCDAT4 和 CCDDAT4 是可读写的。
--	--	---

### 19.6.14 预分频器 (TIMx\_PSC)

偏移地址: 0x40

复位值: 0x0000 0000

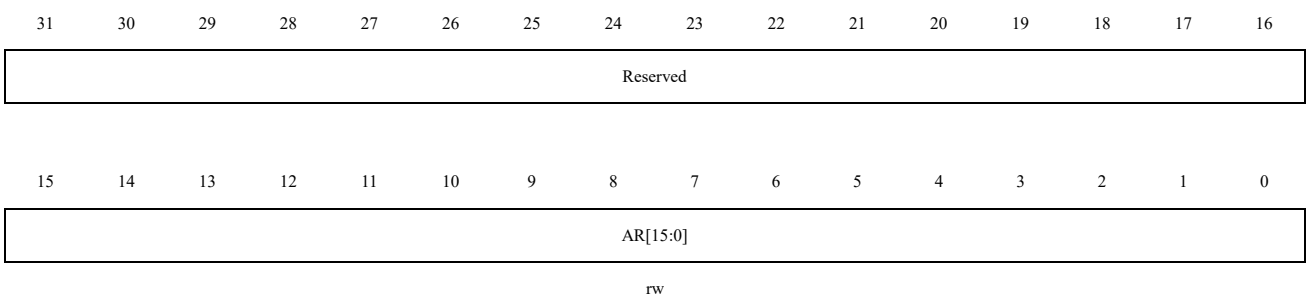


位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	PSC[15:0]	预分频器的值 (Prescaler value) 计数器时钟 $f_{CK\_CNT} = f_{CK\_PSC} / (PSC [15:0] + 1)$ 。 每次发生更新事件时，PSC 值都会加载到预分频器的影子寄存器中。

### 19.6.15 自动重载寄存器 (TIMx\_AR)

偏移地址: 0x44

复位值: 0x0000 FFFF

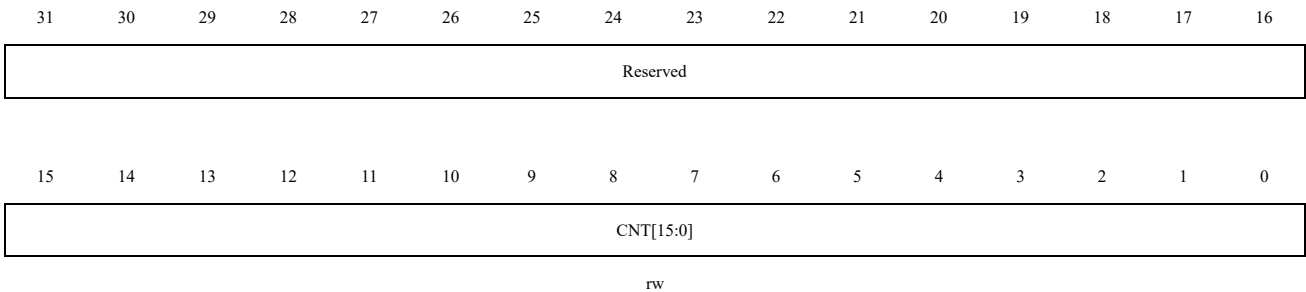


位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	AR[15:0]	自动重载的值 (Auto-reload value) AR包含了将要装载入实际的自动重载寄存器的值。详细参考19.5.1节：有关AR的更新和动作。 当自动重载的值为空时，计数器不工作。

### 19.6.16 计数器 (TIMx\_CNT)

偏移地址: 0x48

复位值: 0x0000 0000

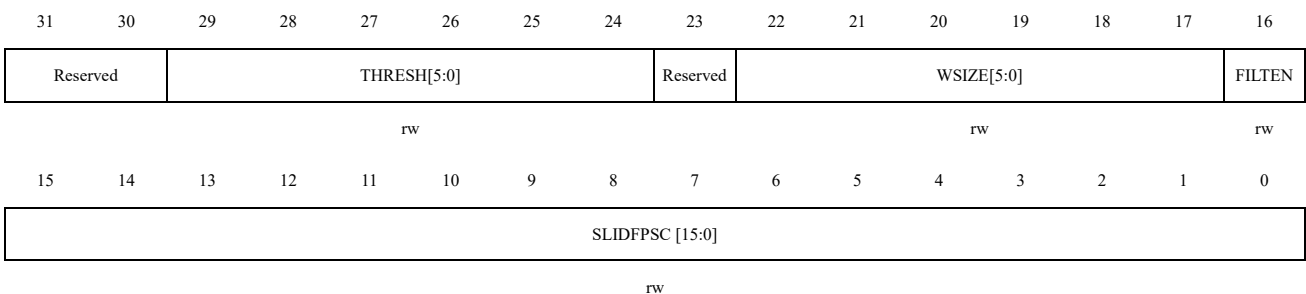


位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15:0	CNT[15:0]	计数器的值 (Counter value)

### 19.6.17 通道 1 滤波寄存器 (TIMx\_C1FILT)

偏移地址: 0x64

复位值: 0x0000 0000



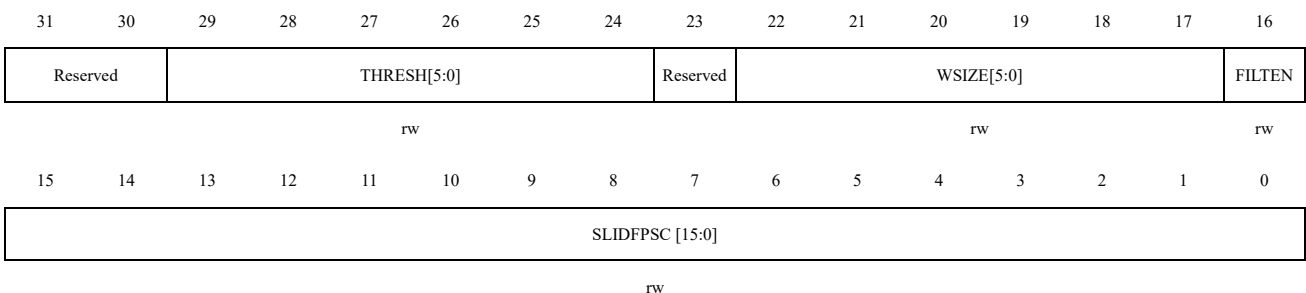
位域	名称	描述
31:30	Reserved	保留, 必须保持复位值
29:24	THRESH[5:0]	采样逻辑电平有效的阈值数(Threshold), 最大 63: 有效逻辑电平的阈值。在采样窗口内, 如果逻辑高的数量大于或等于阈值, 则下一个逻辑电平将为逻辑高。同样的规则适用于逻辑低。如果窗口内 1 和 0 的数量都小于阈值, 则过滤器输出保持不变。阈值应设置为大于或等于 Window 值的一半。 推荐阈值范围为: <b>最小值:</b> 比最大毛刺大小的上限 (预分频时钟周期) 多 1 个预分频时钟周期, 并且需要大于窗口大小的一半。 例如, 如果毛刺大小为 $3.2 * (\text{预分频时钟周期})$ , 则阈值应为 $\lceil 3.2 \rceil + 1 = 5$ <b>最大值:</b> 有效信号最小尺寸的底值 (在预分频时钟周期内), 需要小于窗口尺寸。

		例如，如果最小信号大小为 $3.2 * (\text{预分频时钟周期})$ ，则阈值应为下限 $(3.2) = 3$ 。
23	Reserved	保留，必须保持复位值
22:17	WSIZE[5:0]	逻辑电平检查的窗口大小值 (Window size)，最大 63： 窗口大小决定了在获得下一个逻辑级别时将考虑多少采样值。 内置 FIFO 为 64 位，最大索引为 63，只能将窗口大小设置为 63。
16	FILTEN	滤波器使能 (Filter enable)： 0: 滤波器禁能 1: 滤波器使能
15:0	SLIDFPSC [15:0]	滑动滤波器采样时钟的分频寄存器值 (Prescaler)： 对于此过滤器，它支持 65535 分频 (16 位)。 时钟分频器将系统时钟缩放到采样时钟。 采样时钟决定两个采样点之间的距离。 只有采样点的值有效才会考虑的逻辑电平计算。 可通过配置这些位来确定通道1滑动滤波的采样时钟分频。

### 19.6.18 通道2 滤波寄存器 (TIMx\_C2FILT)

偏移地址: 0x68

复位值: 0x0000 0000



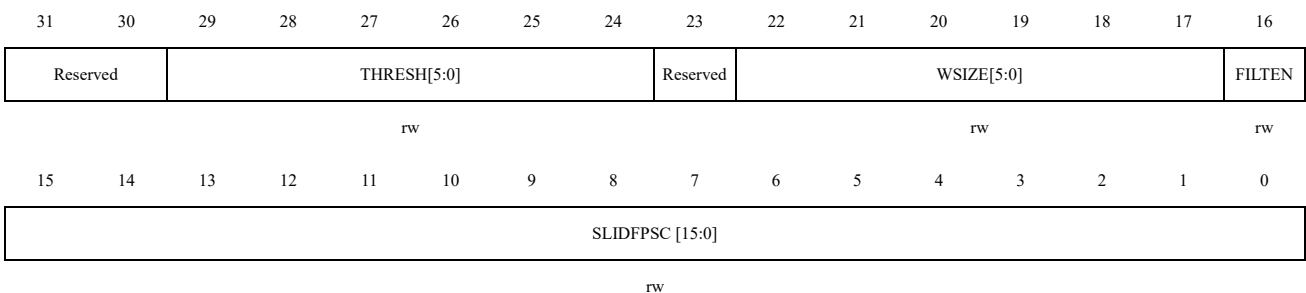
位域	名称	描述
31:30	Reserved	保留，必须保持复位值
29:24	THRESH[5:0]	采样逻辑电平有效的阈值数(Threshold)，最大 63： 有效逻辑电平的阈值。 在采样窗口内，如果逻辑高的数量大于或等于阈值，则下一个逻辑电平将为逻辑高。 同样的规则适用于逻辑低。 如果窗口内 1 和 0 的数量都小于阈值，则过滤器输出保持不变。 阈值应设置为大于或等于 Window 值的一半。 推荐阈值范围为： <b>最小值</b> ：比最大毛刺大小的上限 (预分频时钟周期) 多 1 个预分频时钟周期，并且需要大于窗口大小的一半。 例如，如果毛刺大小为 $3.2 * (\text{预分频时钟周期})$ ，则阈值应为 $\lceil 3.2 \rceil = 4 + 1 = 5$ <b>最大值</b> ：有效信号最小尺寸的底值 (在预分频时钟周期内)，需要小于窗口尺寸。 例如，如果最小信号大小为 $3.2 * (\text{预分频时钟周期})$ ，则阈值应为下限 $(3.2) = 3$ 。
23	Reserved	保留，必须保持复位值
22:17	WSIZE[5:0]	逻辑电平检查的窗口大小值 (Window size)，最大 63：

		窗口大小决定了在获得下一个逻辑级别时将考虑多少采样值。 内置 FIFO 为 64 位，最大索引为 63，只能将窗口大小设置为 63。
16	FILTEN	滤波器使能 (Filter enable) : 0: 滤波器禁能 1: 滤波器使能
15:0	SLIDFPSC [15:0]	滑动滤波器采样时钟的分频寄存器值 (Prescaler) : 对于此过滤器，它支持 65535 分频 (16 位)。 时钟分频器将系统时钟缩放到采样时钟。 采样时钟决定两个采样点之间的距离。 只有采样点的值有效才会考虑的逻辑电平计算。 可通过配置这些位来确定通道2滑动滤波的采样时钟分频。

### 19.6.19 通道3 滤波寄存器 (TIMx\_C3FILT)

偏移地址: 0x6C

复位值: 0x0000 0000



位域	名称	描述
31:30	Reserved	保留, 必须保持复位值
29:24	THRESH[5:0]	采样逻辑电平有效的阈值数(Threshold), 最大 63: 有效逻辑电平的阈值。 在采样窗口内, 如果逻辑高的数量大于或等于阈值, 则下一个逻辑电平将为逻辑高。 同样的规则适用于逻辑低。 如果窗口内 1 和 0 的数量都小于阈值, 则过滤器输出保持不变。 阈值应设置为大于或等于 Window 值的一半。 推荐阈值范围为: <b>最小值:</b> 比最大毛刺大小的上限 (预分频时钟周期) 多 1 个预分频时钟周期, 并且需要大于窗口大小的一半。 例如, 如果毛刺大小为 3.2*(预分频时钟周期), 则阈值应为 $\lceil 3.2 \rceil = 4 + 1 = 5$ <b>最大值:</b> 有效信号最小尺寸的底值 (在预分频时钟周期内), 需要小于窗口尺寸。 例如, 如果最小信号大小为 3.2*(预分频时钟周期), 则阈值应为下限 $(3.2) = 3$ 。
23	Reserved	保留, 必须保持复位值
22:17	WSIZE[5:0]	逻辑电平检查的窗口大小值 (Window size), 最大 63: 窗口大小决定了在获得下一个逻辑级别时将考虑多少采样值。 内置 FIFO 为 64 位, 最大索引为 63, 只能将窗口大小设置为 63。
16	FILTEN	滤波器使能 (Filter enable) :

		0: 滤波器禁能 1: 滤波器使能
15:0	SLIDFPSC [15:0]	滑动滤波器采样时钟的分频寄存器值 (Prescaler) : 对于此过滤器, 它支持 65535 分频 (16 位)。 时钟分频器将系统时钟缩放到采样时钟。采样时钟决定两个采样点之间的距离。只有采样点的值有效才会考虑的逻辑电平计算。 可通过配置这些位来确定通道3滑动滤波的采样时钟分频。

### 19.6.20 通道4 滤波寄存器 (TIMx\_C4FILT)

偏移地址: 0x70

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		THRESH[5:0]					Reserved		WSIZE[5:0]					FILTEN	
		rw							rw					rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SLIDFPSC [15:0]															
rw															

位域	名称	描述
31:30	Reserved	保留, 必须保持复位值
29:24	THRESH[5:0]	采样逻辑电平有效的阈值数(Threshold), 最大 63: 有效逻辑电平的阈值。在采样窗口内, 如果逻辑高的数量大于或等于阈值, 则下一个逻辑电平将为逻辑高。同样的规则适用于逻辑低。如果窗口内 1 和 0 的数量都小于阈值, 则过滤器输出保持不变。阈值应设置为大于或等于 Window 值的一半。 推荐阈值范围为: <b>最小值:</b> 比最大毛刺大小的上限 (预分频时钟周期) 多 1 个预分频时钟周期, 并且需要大于窗口大小的一半。 例如, 如果毛刺大小为 $3.2 * (\text{预分频时钟周期})$ , 则阈值应为 $\lceil 3.2 \rceil = 4 + 1 = 5$ <b>最大值:</b> 有效信号最小尺寸的底值 (在预分频时钟周期内), 需要小于窗口尺寸。 例如, 如果最小信号大小为 $3.2 * (\text{预分频时钟周期})$ , 则阈值应为下限 $(3.2) = 3$ 。
23	Reserved	保留, 必须保持复位值
22:17	WSIZE[5:0]	逻辑电平检查的窗口大小值 (Window size), 最大 63: 窗口大小决定了在获得下一个逻辑级别时将考虑多少采样值。内置 FIFO 为 64 位, 最大索引为 63, 只能将窗口大小设置为 63。
16	FILTEN	滤波器使能 (Filter enable) : 0: 滤波器禁能 1: 滤波器使能
15:0	SLIDFPSC [15:0]	滑动滤波器采样时钟的分频寄存器值 (Prescaler) :

		<p>对于此过滤器，它支持 65535 分频（16 位）。</p> <p>时钟分频器将系统时钟缩放到采样时钟。采样时钟决定两个采样点之间的距离。只有采样点的值有效才会考虑的逻辑电平计算。</p> <p>可通过配置这些位来确定通道4滑动滤波的采样时钟分频。</p>
--	--	---

### 19.6.21 输入通道滤波输出寄存器 (TIMx\_FILTO)

偏移地址: 0x74

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												C4FILTO	C3FILTO	C2FILTO	C1FILTO
												r	r	r	r

位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3	C4FILTO	通道4滤波输出电平状态 0: 输出低电平; 1: 输出高电平;
2	C3FILTO	通道3滤波输出状态 0: 输出低电平; 1: 输出高电平;
1	C2FILTO	通道2滤波输出状态 0: 输出低电平; 1: 输出高电平;
0	C1FILTO	通道1滤波输出状态 0: 输出低电平; 1: 输出高电平;

### 19.6.22 输入选择寄存器 (TIMx\_INSEL)

偏移地址: 0x78

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				CLRS[3:0]				ITRS[3:0]				ETRS[3:0]			
				rw				rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

TI4S[3:0]	TI3S[3:0]	TI2S[3:0]	TI1S[3:0]
rw	rw	rw	rw

位域	名称	描述
31:28	Reserved	保留，必须保持复位值
27:24	CLRS[3:0]	选择tim_ocref_clr输入(Selects tim_ocref_clr input signal) 0000: tim_ocref_clr0 0001: tim_ocref_clr1 ... 1111 : tim_ocref_clr15 注：一旦LOCK级别（TIMx_BKDT寄存器中的LCKCFG位）设为'1'，则该位不能被修改。
23:20	ITRS[3:0]	选择tim_itr输入 0000: tim_itr0 0001: tim_itr1 ... 1111 : tim_itr15
19:16	ETRS[3:0]	选择tim_etr输入 0000: tim_etr0 0001: tim_etr1 ... 1111 : tim_etr15 注：一旦LOCK级别（TIMx_BKDT寄存器中的LCKCFG位）设为'1'，则该位不能被修改。
15:12	TI4S[3:0]	选择tim_ti4[15:0]输入 0000: tim_ti4_in0 0001: tim_ti4_in1 ... 1111 : tim_ti4_in15
11:8	TI3S[3:0]	选择tim_ti3[15:0]输入 0000: tim_ti3_in0 0001: tim_ti3_in1 ... 1111 : tim_ti3_in15
7:4	TI2S[3:0]	选择tim_ti2[15:0]输入 0000: tim_ti2_in0 0001: tim_ti2_in1 ... 1111 : tim_ti2_in15



3:0	TI1S[3:0]	选择tim_ti1[15:0]输入 0000: tim_ti1_in0 0001: tim_ti1_in1 ... 1111 : tim_ti1_in15
-----	-----------	---

### 19.6.23 DMA 控制寄存器 (TIMx\_DCTRL)

偏移地址: 0x94

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		DBADDR[5:0]				Reserved		DBLEN[5:0]				Reserved			
				rw								rw			

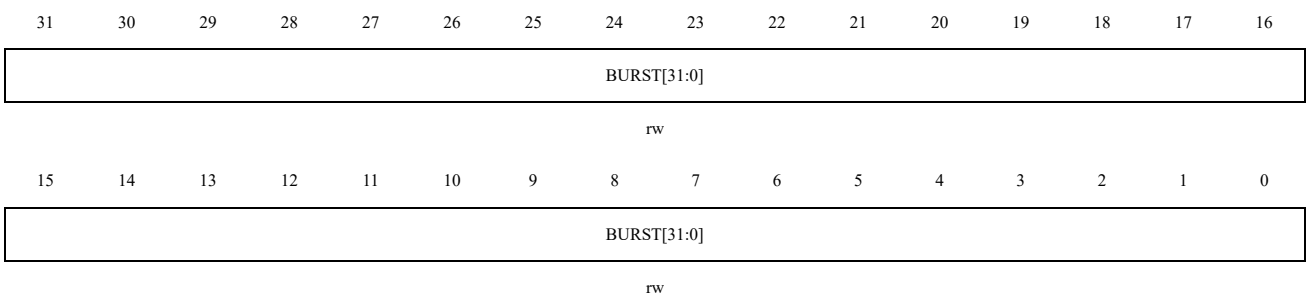
位域	名称	描述
31:14	Reserved	保留, 必须保持复位值
13:8	DBADDR[5:0]	DMA基地址 (DMA base address) 该位字段定义 DMA 访问 TIMx_DADDR 寄存器的第一个地址。 当第一次通过 TIMx_DADDR 完成访问时, 该位域指定您刚刚访问的地址。 然后第二次访问TIMx_DADDR, 会访问到“DMA Base Address + 4”的地址 00000: TIMx_CTRL1, 00001: TIMx_CTRL2, 00010: TIMx_SMCTRL, ..... 10001: TIMx_BKDT 10010: TIMx_DCTRL
7:6	Reserved	保留, 必须保持复位值
5:0	DBLEN[5:0]	DMA连续传送长度 (DMA burst length) 该位字段定义 DMA 将访问 (写入/读取) TIMx_DADDR 寄存器的次数。 000000: 1次传输 000001: 2次传输 000010: 3次传输 ... 010001: 18次传输 ..... 100010: 35次传输

位域	名称	描述
		例：我们考虑这样的传输：DBLEN=7，DBADDR=TIMx_CTRL1 如果DBLEN=7，DBADDR=TIMx_CTRL1表示待传输数据的地址，那么传输的地址由下式给出： $(\text{TIMx\_CTRL1的地址}) + \text{DBADDR} + (\text{DMA索引})$ ，其中 $\text{DMA索引} = \text{DBLEN}$ 其中 $(\text{TIMx\_CTRL1的地址}) + \text{DBADDR}$ 再加上7，给出了将要写入或者读出数据的地址，这样数据的传输将发生在从地址 $(\text{TIMx\_CTRL1的地址}) + \text{DBADDR}$ 开始的7个寄存器。 如果设置数据为半字（16位），那么数据就会传输给全部7个寄存器。 如果设置数据为字节，数据仍然会传输给全部7个寄存器：第一个寄存器包含第一个MSB字节，第二个寄存器包含第一个LSB字节，以此类推。因此对于定时器，用户必须指定由DMA传输的数据宽度。

### 19.6.24 连续模式的DMA地址 (TIMx\_DADDR)

偏移地址：0x98

复位值：0x0000 0000



位域	名称	描述
31:0	BURST[31:0]	DMA 访问缓冲区。 当对该寄存器分配读或写操作时，将访问位于地址范围（DMA base address + DMA burst length × 4）的寄存器。 $\text{DMA base address} = \text{The address of TIM\_CTRL1} + \text{TIMx\_DCTRL.DBADDR} * 4;$ $\text{DMA burst len} = \text{TIMx\_DCTRL.DBLEN} + 1.$ 例子： 如果 $\text{TIMx\_DCTRL.DBLEN} = 0x3$ （4次传输）， $\text{TIMx\_DCTRL.DBADDR} = 0xD$ $(\text{TIMx\_CCDAT1})$ ，DMA 数据长度 = 半字，DMA 存储器地址 = SRAM 中的缓冲区地址，DMA 外设地址 = TIMx_DADDR 地址。 当事件发生时，TIMx 将向 DMA 发送请求，并传输 4 次数据。 第一次，对 TIMx_DADDR 寄存器的 DMA 访问将映射到访问 TIMx_CCDAT1 寄存器； 第二次，对 TIMx_DADDR 寄存器的 DMA 访问将映射到访问 TIMx_CCDAT2 寄存器； ..... 第四次，对 TIMx_DADDR 寄存器的 DMA 访问将映射到访问 TIMx_CCDAT4 寄存

位域	名称	描述
		器：

## 20 通用定时器 GTIMB<sub>x</sub>(x=1-3)

### 20.1 GTIMB<sub>x</sub>(x=1-3)简介

通用定时器（GTIMB<sub>x</sub>）主要用于以下场合：对输入信号进行计数、测量输入信号的脉冲宽度和产生输出波形等。

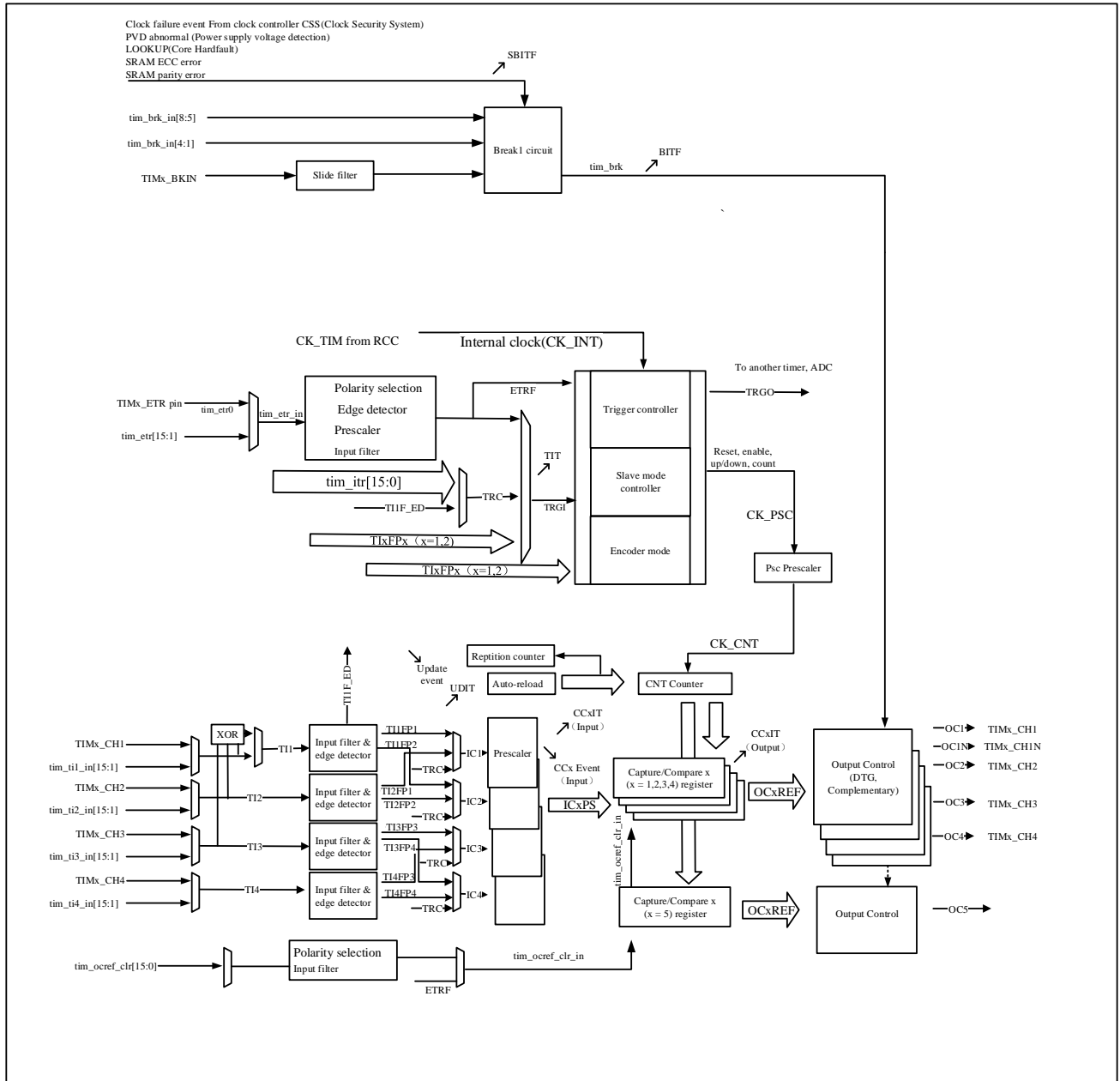
通用定时器具有互补输出功能、死区插入和刹车功能。适用于电机控制。

### 20.2 GTIMB<sub>x</sub>(x=1-3)主要特性

- 16 位自动装载计数器。（可实现向上计数、向下计数、向上/下计数）
- 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）
- 可编程重复计数器
- GTIMB<sub>x</sub> 最多 5 个通道
- 4 个捕获/比较通道，工作模式为：PWM 输出、输出比较、单脉冲模式输出、输入捕获
- 1 个支持数字滤波的刹车输入信号，用于将定时器的输出信号置于安全的用户可选配置中
- 如下事件发生时产生中断/DMA：
  - ◆ 更新事件
  - ◆ 触发事件
  - ◆ 输入捕获
  - ◆ 输出比较
  - ◆ 刹车信号输入
- 死区时间可编程的互补输出
  - 对于 GTIMB<sub>x</sub>，通道 1 支持此功能
- 可通过外部信号控制定时器
- 多个定时器内部连接在一起，以实现定时器的同步或链接
- 增量（正交）编码器接口：用于追踪运行轨迹和解析旋转方位
- 霍尔传感器接口：用于三相电机控制
- 触发输入作为外部时钟或者逐周期电流管理

### 20.3 GTIMBx(x=1-3)框图

图 20-1 GTIMBx 框图



### 20.4 GTIMBx(x=1-3)的引脚及内部信号

下列表格描述了 GTIMBx 的输入和输出引脚及信号

表 20-1 GTIMBx 输入/输出引脚

引脚	类型	描述
TIMx_CH1	Input/Output	计时器多用途通道。

TIMx_CH2 TIMx_CH3 TIMx_CH4		每个通道都可以用于捕获、比较或产生 PWM。 TIM_CH1 和 TIM_CH2 还可以用作 作为外部时钟（低于 1/4 的内部时钟频率），外部触发器和正交编码器输入。 TIM_CH1、TIM_CH2 和 TIM_CH3 还可用于霍尔效应传感器的接口。
TIM_CH1N	Output	带有死区时间插入的定时器互补输出通道。
TIMx_ETR	Input	外部触发器输入。该输入可以作为外部触发器或外部时钟源。如果使用预分频器，输入信号 TIMx_ETR 可以为频率高于系统时钟频率的信号。
TIMx_BKIN	Input/Output	Break 输入。可以配置为双向模式。

**表 20-2 GTIMBx 内部输入/输出信号**

内部信号	类型	描述
tim_ti1_in[15:0] tim_ti2_in[15:0] tim_ti3_in[15:0] tim_ti4_in[15:0]	Input	定时器通道 1/2/3/4 输入信号。tim_ti1_in[15:0]和 tim_ti2_in[15:0]输入可用于捕获或作为外部时钟（低于系统时钟频率的 1/4）和用于正交编码器信号。
tim_etr[15:0]	Input	外部触发通道输入信号。这些输入可用作触发器、外部时钟或用于硬件逐周期脉宽控制。如果使用预分频器，输入信号 TIMx_ETR 可以为频率高于系统时钟频率的信号。
tim_itr[15:0]	Input	内部触发输入信号。这些输入可以用在从模式控制器或作为输入时钟（低于系统时钟频率的 1/4）。
tim_trgo	Output	内部触发信号输出。这些触发信号可被其他定时器和/或其他外围设备使用。

### 20.4.1 GTIMBx 的 tim\_ti1/ tim\_ti2/ tim\_ti3/ tim\_ti4 信号源

**表 20-3 tim\_ti1 输入信号源**

tim_ti1 inputs	信号源		
	GTIMB1	GTIMB2	GTIMB3
tim_ti1_in0	GTIMB1_CH1	GTIMB2_CH1	GTIMB3_CH1
tim_ti1_in1	COMP1_OUT	LSI	COMP1_OUT

tim_ti1_in2	COMP2_OUT	LSE_CSS _OUT	COMP2_OUT
tim_ti1_in3	COMP3_OUT	RTC_ WAKEUP	COMP3_OUT
tim_ti1_in4	COMP4_OUT	COMP1_OUT	COMP4_OUT
tim_ti1_in5	Reserved	COMP2_OUT	Reserved
tim_ti1_in6	Reserved	COMP3_OUT	Reserved
tim_ti1_in7	Reserved	COMP4_OUT	Reserved
tim_ti1_in[15:8]	Reserved		

表 20-4 tim\_ti2 输入信号源

tim_ti2 inputs	信号源		
	GTIMB1	GTIMB2	GTIMB3
tim_ti2_in0	GTIMB1_CH2	GTIMB2_CH2	GTIMB3_CH2
tim_ti2_in1	COMP1_OUT	COMP1_OUT	COMP1_OUT
tim_ti2_in2	COMP2_OUT	COMP2_OUT	COMP2_OUT
tim_ti2_in3	COMP3_OUT	COMP3_OUT	COMP3_OUT
tim_ti2_in4	GTIMA7_OC3	GTIMA7_OC4	GTIMA7_OC3
tim_ti2_in[15:5]	Reserved		

表 20-5 tim\_ti3 输入信号源

tim_ti3 inputs	信号源		
	GTIMB1	GTIMB2	GTIMB3
tim_ti3_in0	GTIMB1_CH3	GTIMB2_CH3	GTIMB3_CH3
tim_ti3_in1	COMP1_OUT	COMP1_OUT	COMP1_OUT

tim_ti3_in2	COMP2_OUT	COMP2_OUT	COMP2_OUT
tim_ti3_in3	COMP3_OUT	COMP3_OUT	COMP3_OUT
tim_ti3_in4	COMP4_OUT	COMP4_OUT	COMP4_OUT
tim_ti3_in[15:5]	Reserved		

表 20-6 tim\_ti4 输入信号源

tim_ti4 inputs	信号源		
	GTIMB1	GTIMB2	GTIMB3
tim_ti4_in0	GTIMB1_CH4	GTIMB2_CH4	GTIMB3_CH4
tim_ti3_in1	COMP1_OUT	COMP1_OUT	COMP1_OUT
tim_ti4_in2	COMP2_OUT	COMP2_OUT	COMP2_OUT
tim_ti4_in3	COMP3_OUT	COMP3_OUT	COMP3_OUT
tim_ti4_in4	COMP4_OUT	COMP4_OUT	COMP4_OUT
tim_ti4_in[15:5]	Reserved		

## 20.4.2 GTIMBx 的 tim\_itr 信号源

表 20-7 tim\_itr 输入信号源

GTIMBx	GTIMB1	GTIMB2	GTIMB3
tim_itr0	ATIM1_ TRGO	ATIM1_ TRGO	ATIM1_ TRGO
tim_itr1	GTIMA1_ TRGO	GTIMA1_ TRGO	GTIMA1_ TRGO
tim_itr2	GTIMA2_ TRGO	GTIMA2_ TRGO	GTIMA2_ TRGO
tim_itr3	GTIMA3_ TRGO	GTIMA3_ TRGO	GTIMA3_ TRGO



tim_itr4	GTIMA4_ TRGO	GTIMA4_ TRGO	GTIMA4_ TRGO
tim_itr5	ATIM2_ TRGO	ATIM2_ TRGO	ATIM2_ TRGO
tim_itr6	GTIMA5_ TRGO	GTIMA5_ TRGO	GTIMA5_ TRGO
tim_itr7	ATIM3_ TRGO	ATIM3_ TRGO	ATIM3_ TRGO
tim_itr8	GTIMA6_ TRGO	GTIMA6_ TRGO	GTIMA6_ TRGO
tim_itr9	GTIMA7_ TRGO	GTIMA7_ TRGO	GTIMA7_ TRGO
tim_itr10	ATIM4_ TRGO	ATIM4_ TRGO	ATIM4_ TRGO
tim_itr11	Reserve	GTIMB1_ TRGO	GTIMB1_ TRGO
tim_itr12	GTIMB2_ TRGO	Reserve	GTIMB2_ TRGO
tim_itr13	GTIMB3_ TRGO	GTIMB3_ TRGO	Reserve
tim_itr14	SHRTIM1_ OUT_ SYNC2	SHRTIM1_ OUT_ SYNC2	SHRTIM1_ OUT_ SYNC2
tim_itr15	ETH1_PPS _OUT	ETH1_PPS _OUT	Reserve

### 20.4.3 GTIMBx 的 tim\_etr 信号源

表 20-8 tim\_etr 输入信号源

GTIMBx	GTIMB1	GTIMB2	GTIMB3
tim_etr0	GTIMB1_ETR	GTIMB2_ETR	GTIMB3_ETR
tim_etr1	COMP1_OUT	COMP1_OUT	COMP1_OUT
tim_etr2	COMP2_OUT	COMP2_OUT	COMP2_OUT
tim_etr3	COMP3_OUT	COMP3_OUT	COMP3_OUT
tim_etr4	COMP4_OUT	COMP4_OUT	COMP4_OUT
tim_etr5	ADC1_ AWD1	ADC1_ AWD1	ADC1_ AWD1
tim_etr6	ADC1_ AWD2	ADC1_ AWD2	ADC1_ AWD2
tim_etr7	GTIMB2_ ETR	GTIMB1_ ETR	GTIMB1_ ETR
tim_etr8	ADC2_ AWD1	ADC2_ AWD1	ADC2_ AWD1
tim_etr9	ADC2_ AWD2	ADC2_ AWD2	ADC2_ AWD2
tim_etr10	GTIMB3_ ETR	GTIMB3_ ETR	GTIMB2_ ETR
tim_etr11	ADC3_ AWD1	ADC3_ AWD1	ADC3_ AWD1
tim_etr12	ADC3_ AWD2	ADC3_ AWD2	ADC3_ AWD2
tim_etr13	GTIMA1_ ETR	GTIMA2_ ETR	GTIMA3_ ETR

tim_etr_in[15:14]	Reserved
-------------------	----------

#### 20.4.4 GTIMBx 的刹车 1 输入信号源

表 20-9 GTIMBx 的刹车 1 输入信号源

刹车输入	GTIMB1	GTIMB2	GTIMB3
TIM_BKIN	GTIMB1_BKIN pin	GTIMB2_BKIN pin	GTIMB3_BKIN pin
tim_brk_in1	COMP1_OUT	COMP1_OUT	COMP1_OUT
tim_brk_in2	COMP2_OUT	COMP2_OUT	COMP2_OUT
tim_brk_in3	COMP3_OUT	COMP3_OUT	COMP3_OUT
tim_brk_in4	COMP4_OUT	COMP4_OUT	COMP4_OUT
tim_brk_in5	DSMU_BRK[0]	Reserved	Reserved
tim_brk_in6	Reserved	DSMU_BRK[1]	Reserved
tim_brk_in7	Reserved	Reserved	DSMU_BRK[2]
tim_brk_in8	Reserved		

#### 20.4.5 GTIMBx 的 tim\_ocref\_clr 输入信号源

表 20-10 GTIMBx 的 tim\_ocref\_clr 输入信号源

OCREF 清除信号	GTIMBx OCREF 清除信号分配		
	GTIMB1	GTIMB2	GTIMB3
tim_ocref_clr0	COMP1_OUT	COMP1_OUT	COMP1_OUT
tim_ocref_clr1	COMP2_OUT	COMP2_OUT	COMP2_OUT
tim_ocref_clr2	COMP3_OUT	COMP3_OUT	COMP3_OUT
tim_ocref_clr3	COMP4_OUT	COMP4_OUT	COMP4_OUT

tim_ocref_in[15:4]	Reserved
--------------------	----------

## 20.5 GTIMBx(x=1-3)功能描述

### 20.5.1 时基单元

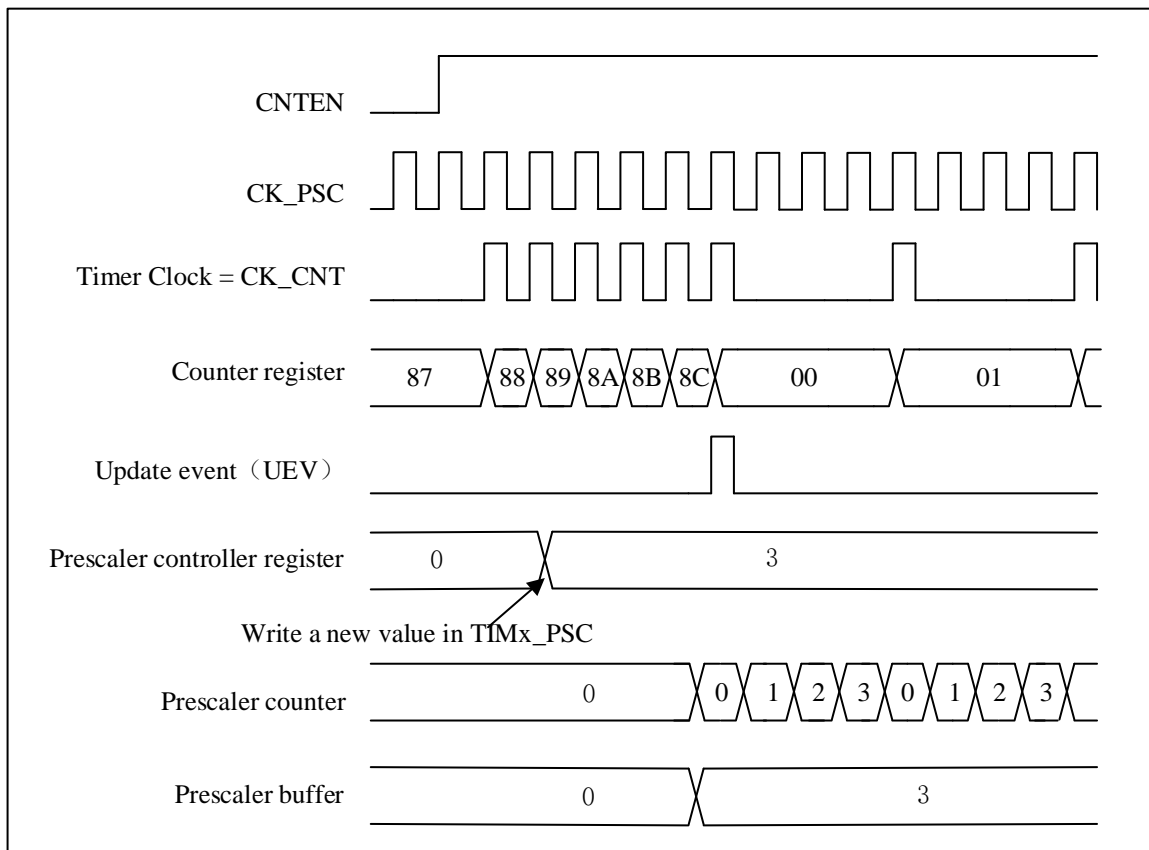
高级控制器的时基单元主要包括：预分频器、计数器、自动重载寄存器和重复计数器。当时基单元工作时，软件可以随时读取和写入相应的寄存器（TIMx\_PSC、TIMx\_CNT、TIMx\_AR 和 TIMx\_REPCNT）。

根据自动重载预装载使能位（TIMx\_CTRL1.ARPEN）的设置，预装载寄存器的值会立即或在每次更新事件 UEV 时传输到影子寄存器。TIMx\_CTRL1.UPDIS=0 时，计数器上溢/下溢或软件设置 TIMx\_EVTGEN.UDGN 将生成更新事件。计数器 CK\_CNT 仅在 TIMx\_CTRL1.CNTEN 位被设置时有效。计数器在 TIMx\_CTRL.CNTEN 位被设置后一个时钟周期之后开始计数。

#### 20.5.1.1 预分频器描述

TIMx\_PSC 寄存器由一个 16 位计数器组成，可用于计数器时钟频率按 1 和 65536 之间的任意分频。因为这个控制器带有缓冲器，可以在运行时动态改变。新的预分频器值只有在下次更新事件中才会被采用。

图 20-2 当预分频的参数从 1 到 4，计数器的时序图



## 20.5.2 计数器模式

### 20.5.2.1 向上计数模式

使用向上计数模式，计数器将从 0 计数到寄存器 TIMx\_AR 的值，然后重置为 0。并产生一个计数器溢出事件。

如果设置 TIMx\_CTRL1.UPRS 位(选择更新请求)和 TIMx\_EVTGEN.UDGN 位,将产生一个更新事件(UEV)。但是 TIMx\_STS.UDITF 不会被硬件置起，因此不会产生更新中断或 DMA 更新请求。这是为了避免清除计数器时产生更新中断。

取决于 TIMx\_CTRL1.UPRS 的配置，当发生更新事件时，TIMx\_STS.UDITF 被设置，所有寄存器都会更新：

- 重复计数器被重新加载为 TIMx\_REPCNT 的内容
- 当 TIMx\_CTRL1.ARPEN = 1，预装载寄存器(TIMx\_AR)的值被更新到自动装载影子寄存器
- 预加载值 (TIMx\_PSC) 被重新加载到预分频器影子寄存器中

为了避免在向预装载寄存器中写入新值时更新影子寄存器，可以通过设置 TIMx\_CTRL1.UPDIS=1 来禁止更新事件。

当产生一个更新事件时，计数器仍将被清除，预分频器计数器也将被设置为 0 (但预分频器值将保持不变)。

下图给出一些示例，展示了向上计数模式计数器在不同分频因子下的动作。

图 20-3 当内部时钟分频因子 = 2/N 时，向上计数的时序图

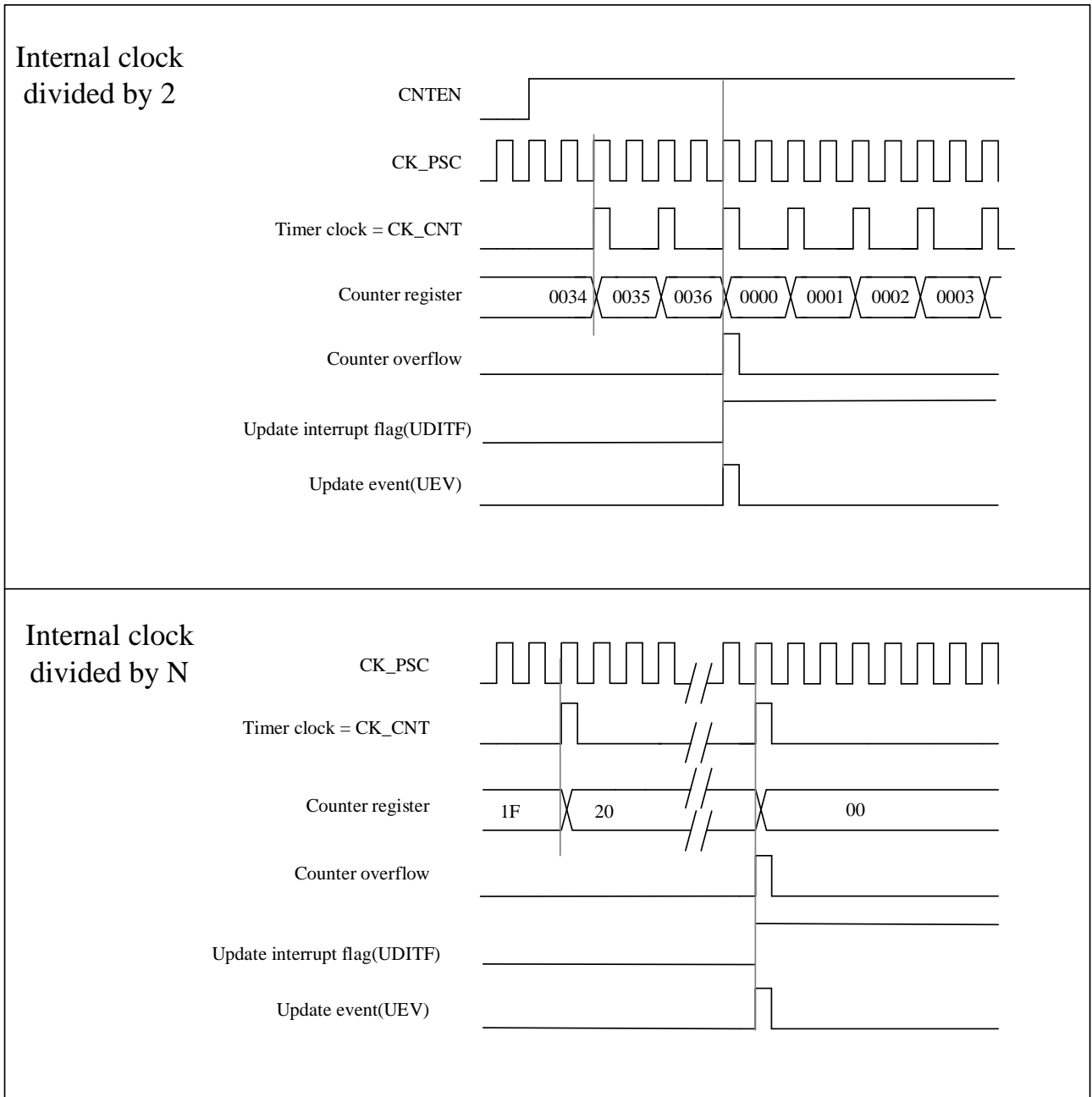
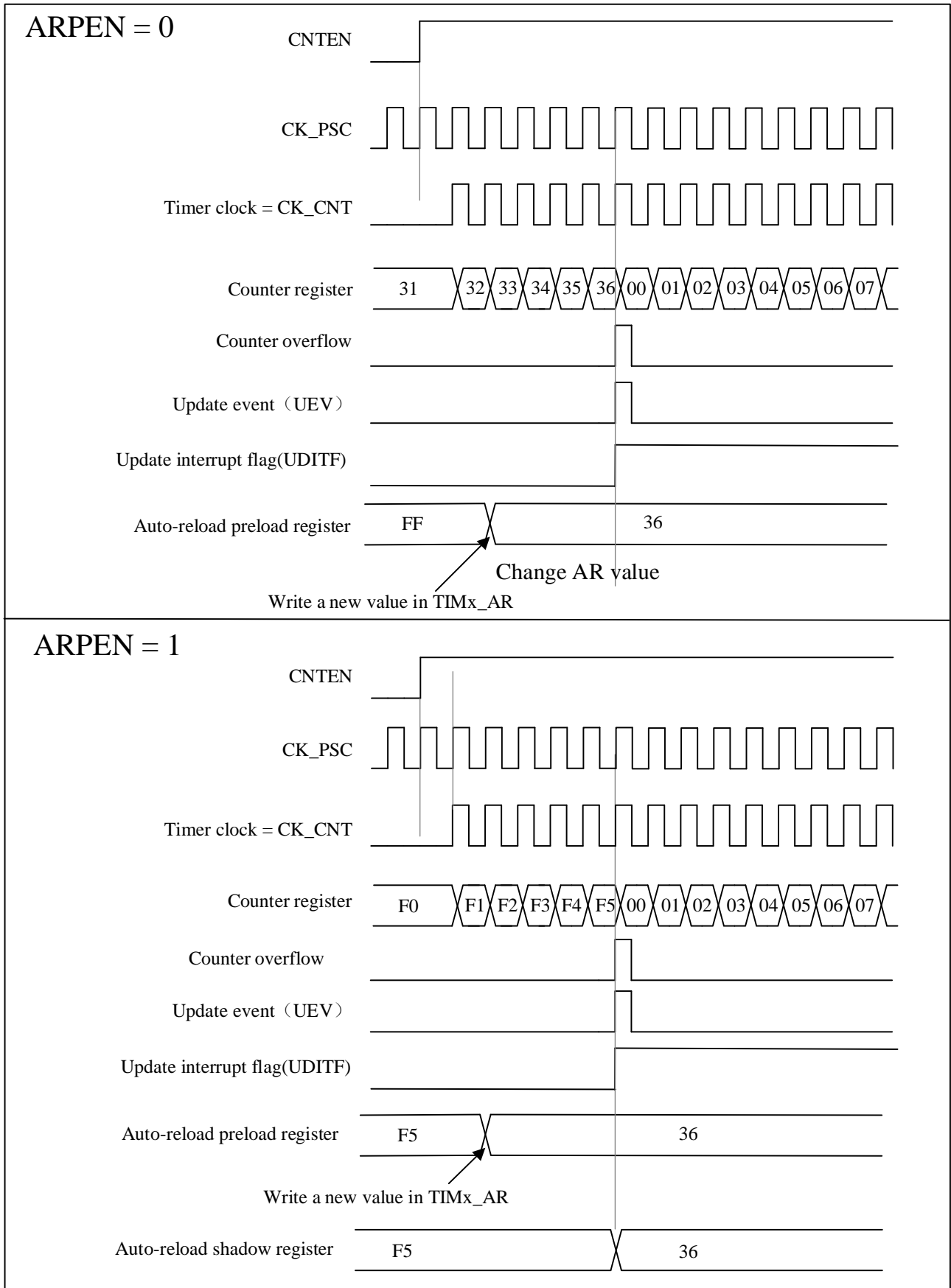


图 20-4 当 ARPEN=0/1 产生更新事件时，向上计数的时序图



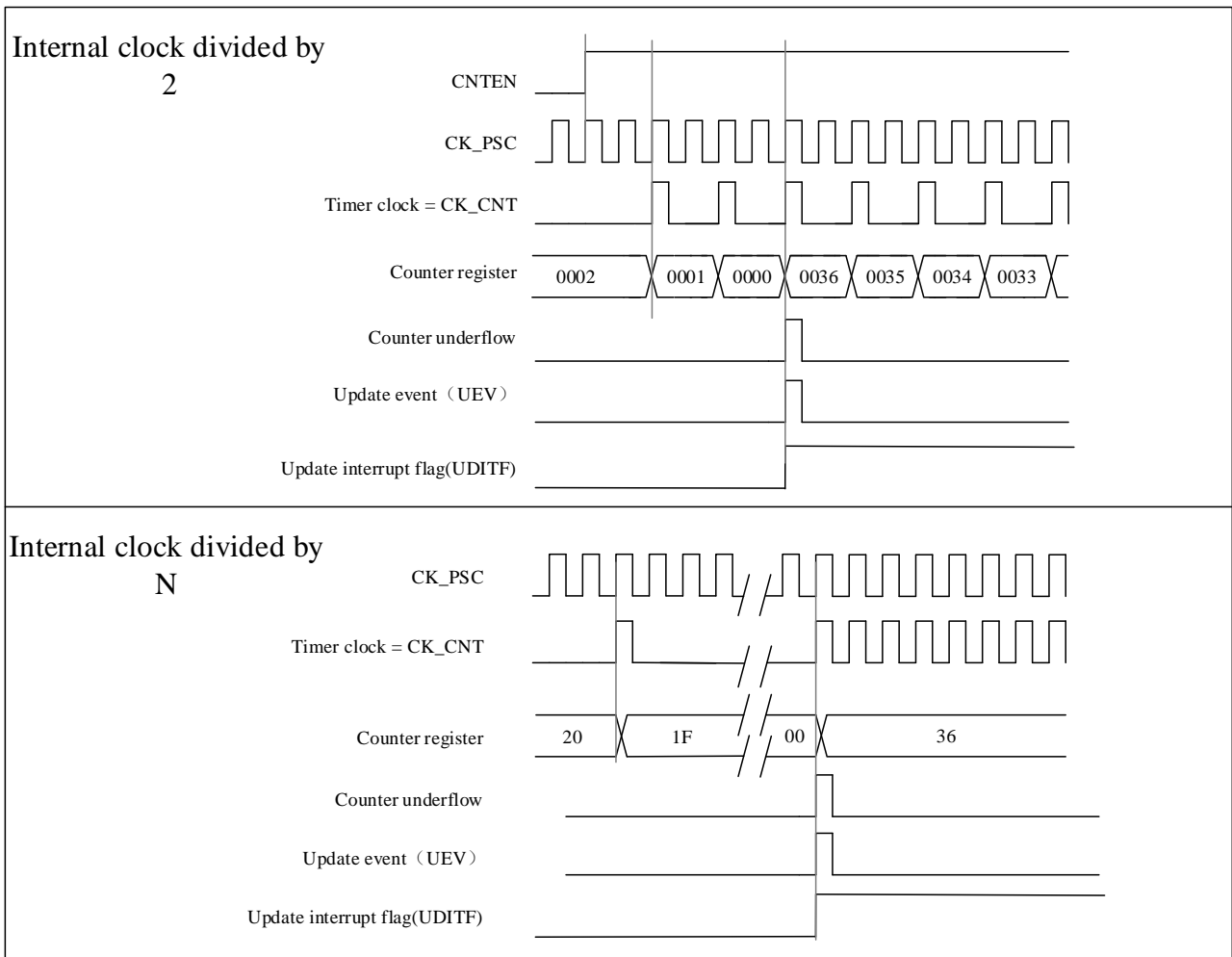
### 20.5.2.2 向下计数模式

向下计数模式，计数器将从寄存器 TIMx\_AR 的值减至 0，然后从自动重载值重新开始，并产生计数器向下溢出事件

向下计数模式和向上计数模式配置更新事件和更新寄存器的过程相同，请查阅 18.4.2.1 章节。

下图给出一些示例，展示了向下计数模式计数器在不同分频因子下的动作。

图 20-5 内部时钟分频因子 = 2/N 时，向下计数时序图



### 20.5.2.3 中央对齐模式

#### 20.5.2.3.1 中央对齐对称模式

在中央对齐模式下，计数器从 0 增加到值 (TIMx\_AR) - 1，产生计数器溢出事件。然后，它从自动重载值 (TIMx\_AR) 向下计数到 1，并生成一个计数器向下溢出事件。然后计数器重置为 0 并再次开始计数。

在这种模式下，TIMx\_CTRL1.DIR 方向位无效，由硬件更新和指定当前计数方向。当 TIMx\_CTRL1.CAMSEL 位不等于“00”时，中央对齐模式有效。

每次计数上溢和计数下溢时都会生成更新事件。或者，也可以通过设置 TIMx\_EVTGEN.UDGN 位（通过软件或使用从模式控制器）来生成更新事件。在这种情况下，计数器从 0 重新开始计数，预分频器的计数器也从 0 重新开始计数。

*注：如果因为计数器溢出而产生更新，自动重载将在计数器重新载入之前被更新。*



图 20-6 内部时钟分频因子 = 2/N，中央对齐时序图

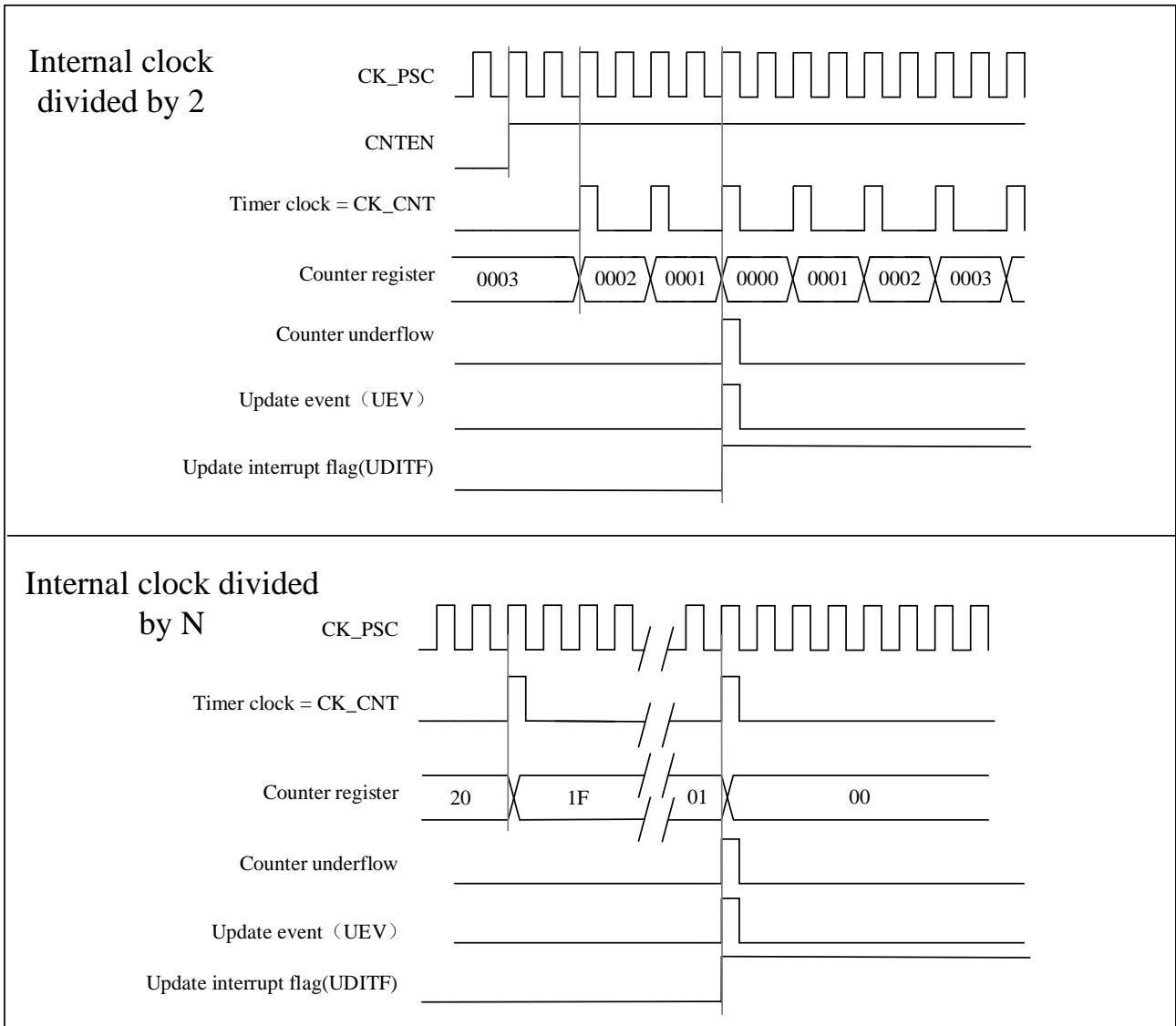
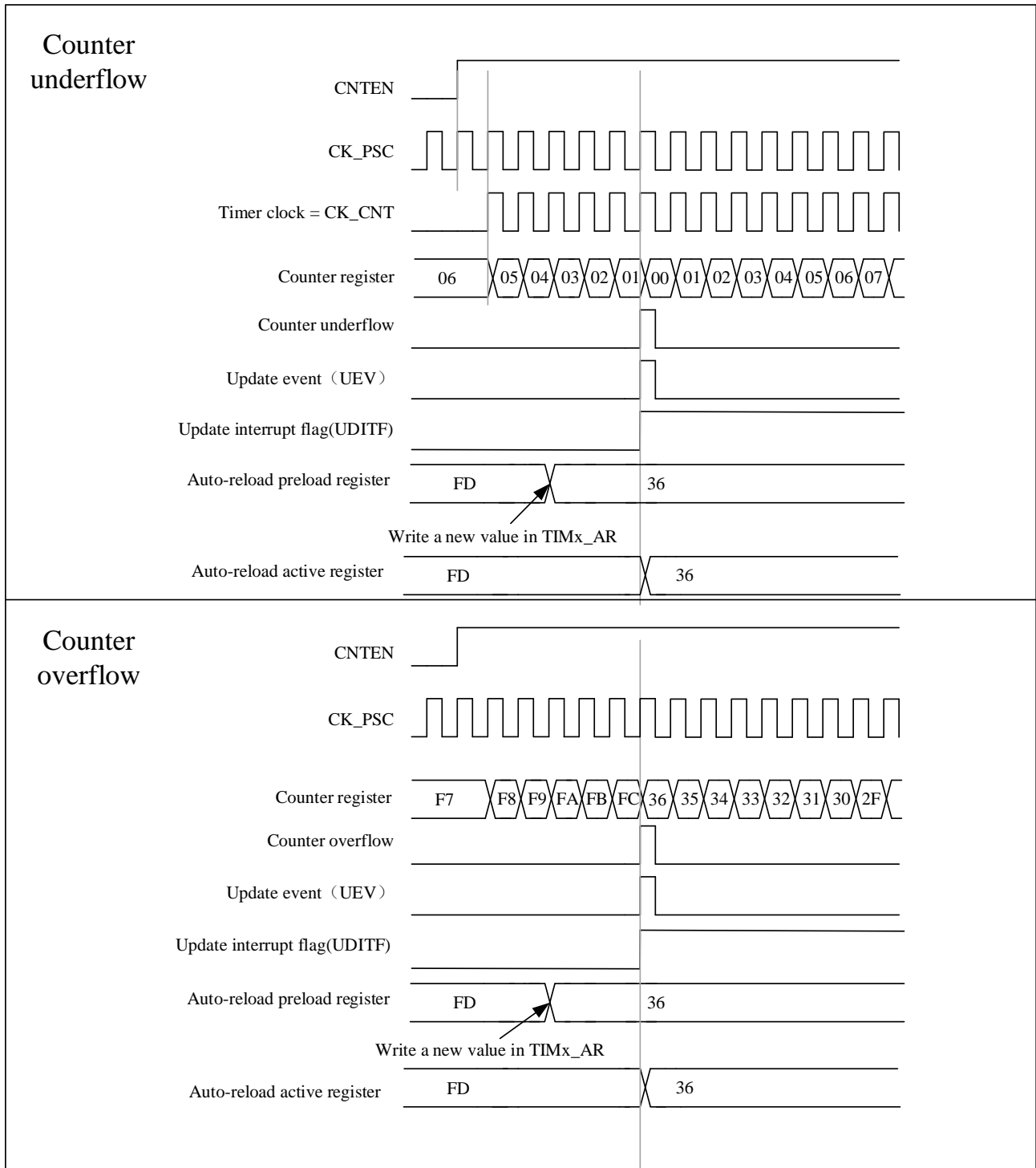


图 20-7 包含计数器上溢和下溢的中央对齐时序图(ARPEN=1)



### 20.5.2.3.2 中央对齐非对称模式

在中央对齐非对称模式下（TIMx\_CTRL1.ASYMMETRIC 为 1，TIMx\_CTRL1.CAMSEL[1:0]为非零），计数器从 0 计数到自动重载值（TIMx\_AR）-1，并产生计数器溢出事件，然后从自动重载值计数到 1，并产生计数器向下溢出事件，然后从 0 重新开始计数。

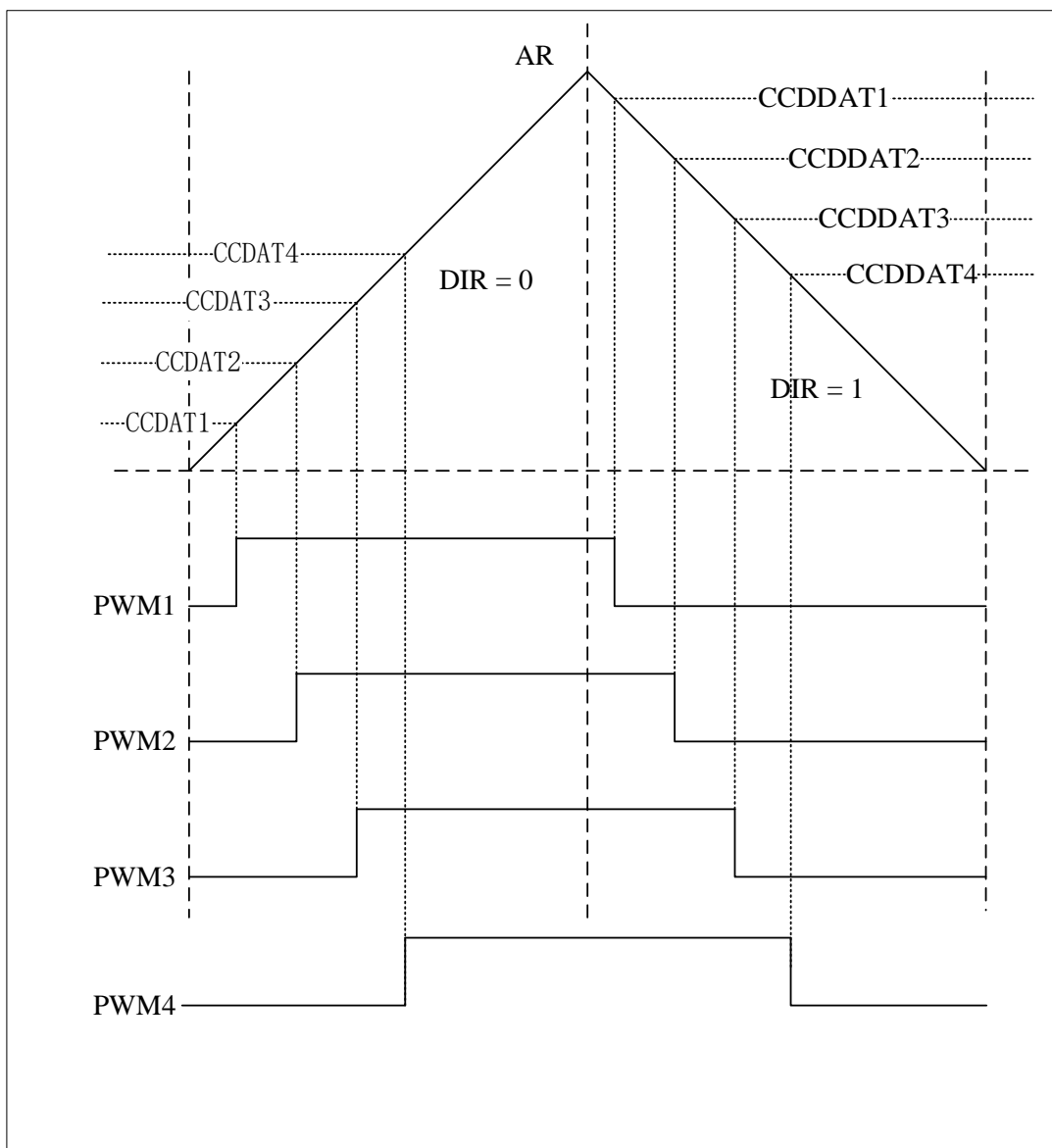
TIMx\_CTRL1.DIR 值不能在此模式下写入，它由硬件更新和指定当前计数方向。

当通道不是 1,2,3,4 时，比较值是 CCDDAT<sub>x</sub>。当死区时间发生器打开时，请注意，当 DIR=0 时，死区时间插入点是计数器值等于 CCDDAT<sub>x</sub> (x=1,2,3,4)，当 DIR=1 时，死区时间插入点是计数器值等于 CCDDAT<sub>x</sub> (x=1,2,3,4)。

每次计数上溢和计数下溢时都会产生更新事件。或者，也可以通过设置 TIM<sub>x</sub>\_EVTGEN.UDGN 位（通过软件或使用从模式控制器）产生更新事件。在这种情况下，在这种情况下，计数器从 0 重新开始计数，预分频器的计数器也从 0 重新开始计数。

注：如果因为计数器溢出而产生更新，自动重装载将在计数器重新载入之前被更新。

图 20-8 非对称模式对应的输出波形



### 20.5.3 重复计数器

第 20.5.1 章节的基本单元描述了生成更新事件 (UEV) 的条件。更新事件 (UEV) 实际上仅在重复计数器达到零时生成，这对于生成 PWM 信号非常有用。

这意味着每 N+1 计数器溢出或下溢一次，数据就会从预加载寄存器传输到影子寄存器，其中 N 是 TIMx\_REPCNT 中的值。

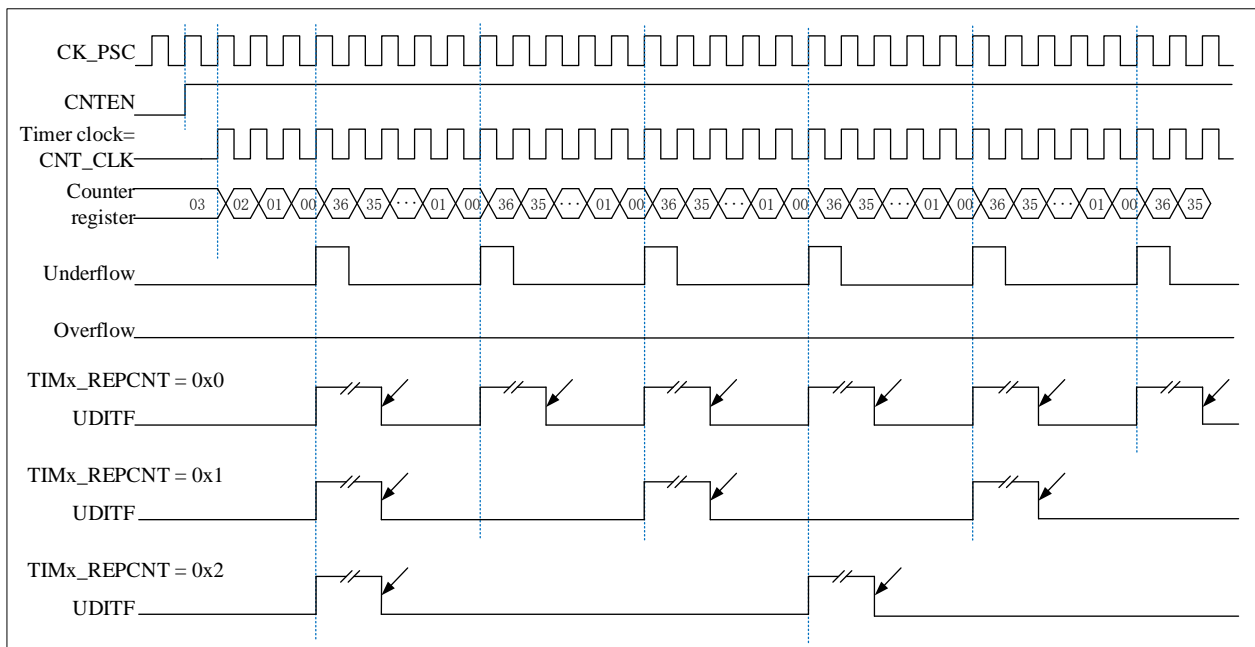
重复计数器递减：

- 在向上计数模式下，每次计数器达到最大值时，都会发生溢出
- 在向下计数模式下，每次计数器减至最小值时，都会发生下溢
- 在中央对齐模式下，每次计数上溢或下溢时

其重复率由 TIMx\_REPCNT 寄存器的值定。

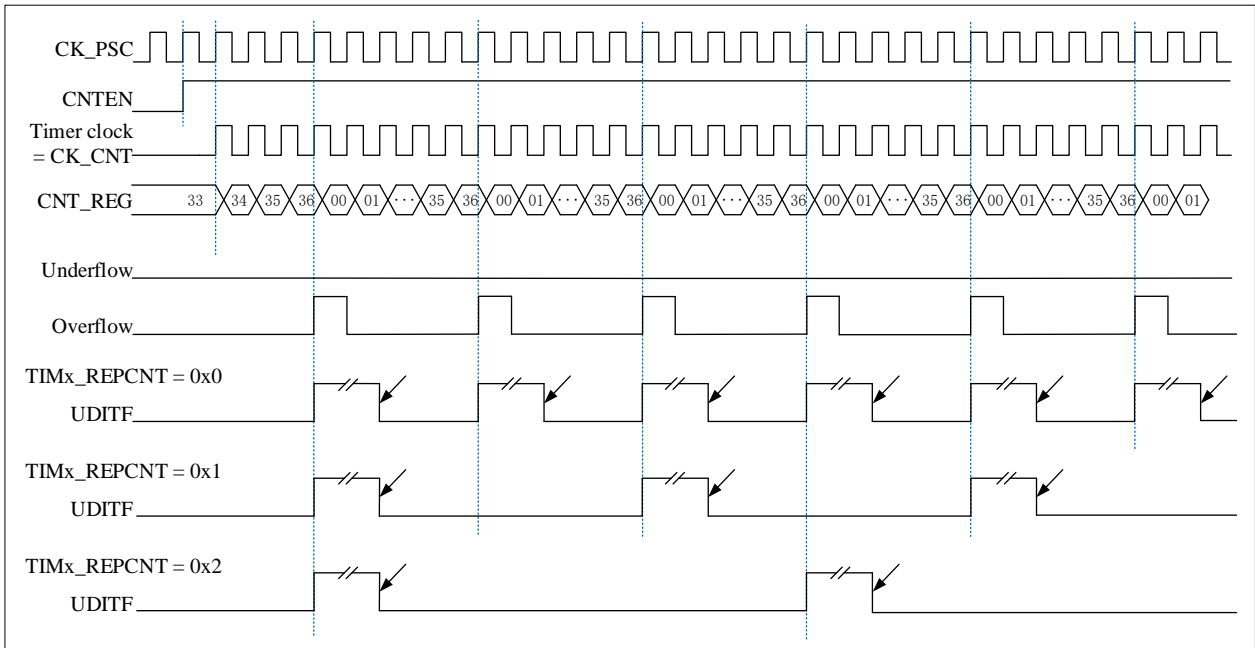
重复计数器具有自动重新加载功能。无论重复计数器的值如何，更新事件（通过从模式控制器设置 TIMx\_EVTGEN.UDGN 或硬件生成）都会立即发生。

图 20-9 向下计数模式下的重复计数时序图



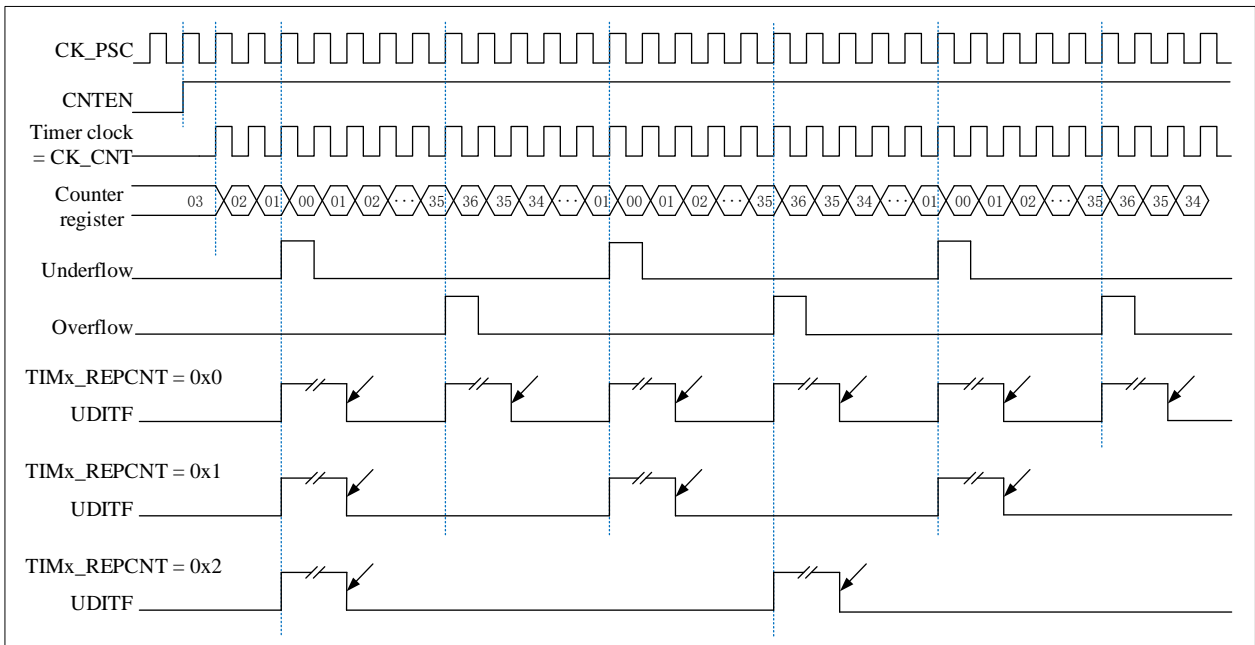
↙  
软件清除

图 20-10 向上计数模式下的重复计数时序图



软件清除

图 20-11 中央对齐模式下的重复计数时序图



软件清除

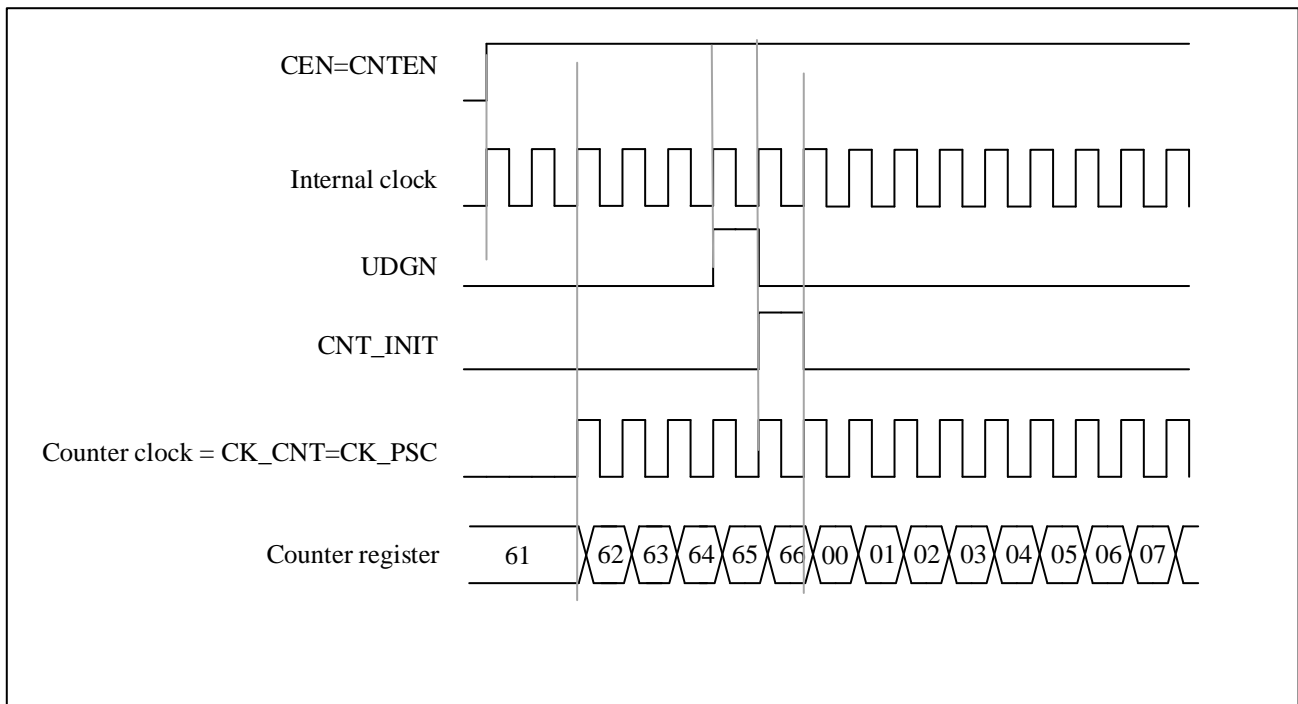
## 20.5.4 时钟选择

- CK\_INT 高级控制定时器的内部时钟：CK\_INT：
- 两种外部时钟模式：
  - 外部输入引脚
  - 外部触发输入 ETR
- 内部触发输入（ITRx）：一个定时器用作另一个定时器的预分频器

### 20.5.4.1 内部时钟源(CK\_INT)

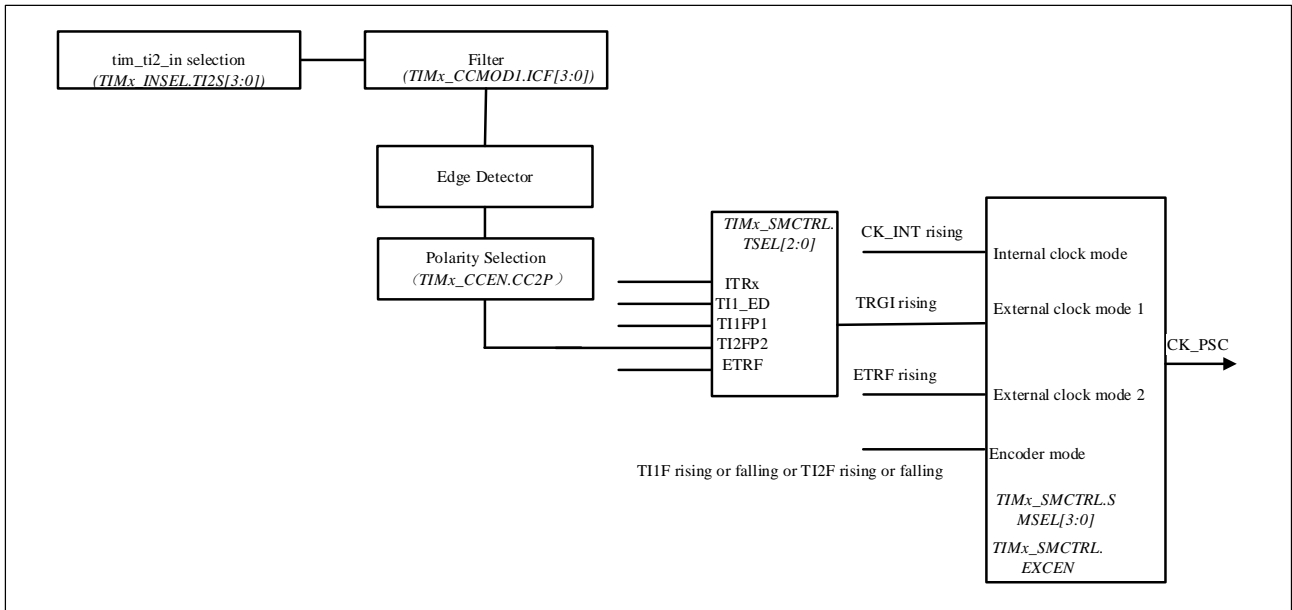
当 TIMx\_SMCTRL.SMSEL 等于“0000”时，从模式控制器被禁用。这三个控制位（TIMx\_CTRL1.CNTEN、TIMx\_CTRL1.DIR、TIMx\_EVTGEN.UDGN）只能由软件改变（TIMx\_EVTGEN.UDGN 除外，它保持自动清零）。前提是 TIMx\_CTRL1.CNTEN 位被软写为'1'，预分频器的时钟源由内部时钟 CK\_INT 提供。

图 20-12 正常模式下的控制电路，内部时钟除以 1



### 20.5.4.2 外部时钟源模式 1

图 20-13 TI2 外部时钟连接示例



通过配置 TIMx\_SMCTRL.SMSEL 等于‘0111’选择该模式。计数器可以配置为在所选输入的时钟上升沿或下降沿进行计数。

例如，配置向上计数模式在 TI2 输入的时钟上升沿计数，配置步骤如下：

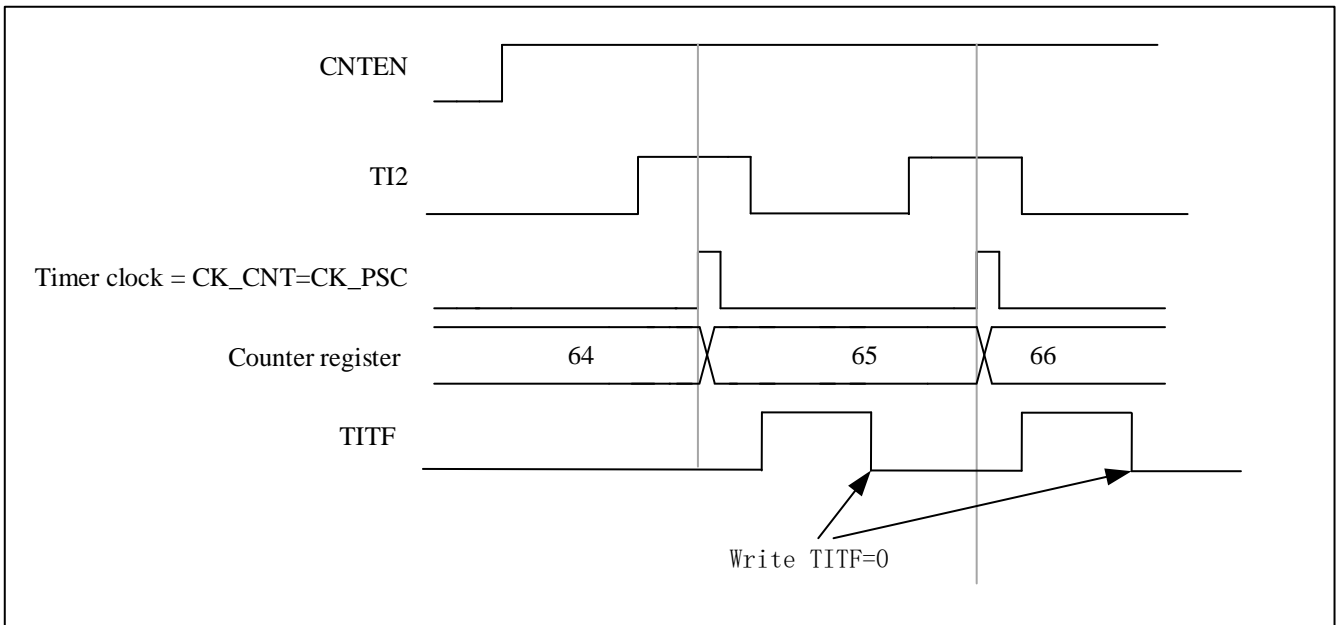
- 配置 TIMx\_CCMOD1.CC2SEL 等于‘01’，CC2 通道配置为输入，IC2 映射到 TI2
- 配置 TIMx\_CCEN.CC2P 等于‘0’，选择时钟上升沿极性
- 通过配置 TIMx\_CCMOD1.IC2F[3:0] 选择输入滤波器带宽（如果不需要滤波器，保持 IC2F 位为‘0000’）
- 配置 TIMx\_SMCTRL.SMSEL 等于‘0111’，选择定时器外部时钟模式 1
- 配置 TIMx\_INSEL 寄存器 TIMx\_INSEL.TI2S [3:0] 等于‘0000’，选择 TIM\_CH2 作为 TI2 输入
- 配置 TIMx\_SMCTRL.TSEL 等于‘110’，选择 TI2 作为触发输入源
- 配置 TIMx\_CTRL1.CNTEN 等于 ‘1’ 以启动计数器

*注意：捕获预分频器不用于触发，所以不需要配置*

当定时器时钟的上升沿出现在 TI2=1 时，计数器计数一次并且 TIMx\_STS.TITF 标志被拉高。

TI2 的上升沿与计数器实际时钟之间的延迟取决于 TI2 输入端的再同步电路。

图 20-14 外部时钟模式 1 的控制电路

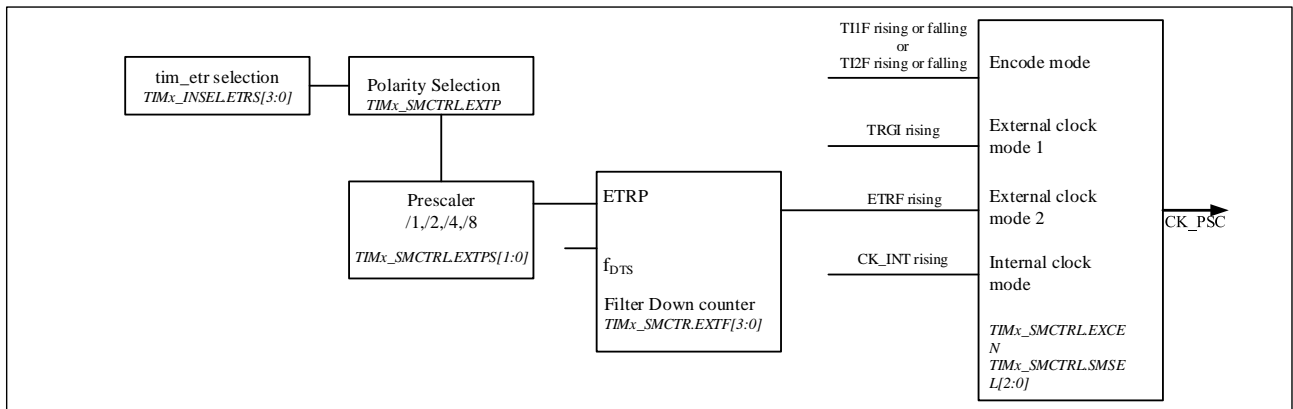


### 20.5.4.3 外部时钟源模式 2

此模式由 `TIMx_SMCTRL.EXCEN` 选择等于 1。计数器可以在外部触发输入 ETR 的每个上升沿或下降沿计数。

下图为外部时钟源模式 2 的外部触发输入模块示意图。

图 20-15 外部触发输入框图



例如，使用以下配置步骤使向上计数器在 ETR 上每 2 个上升沿计数一次。

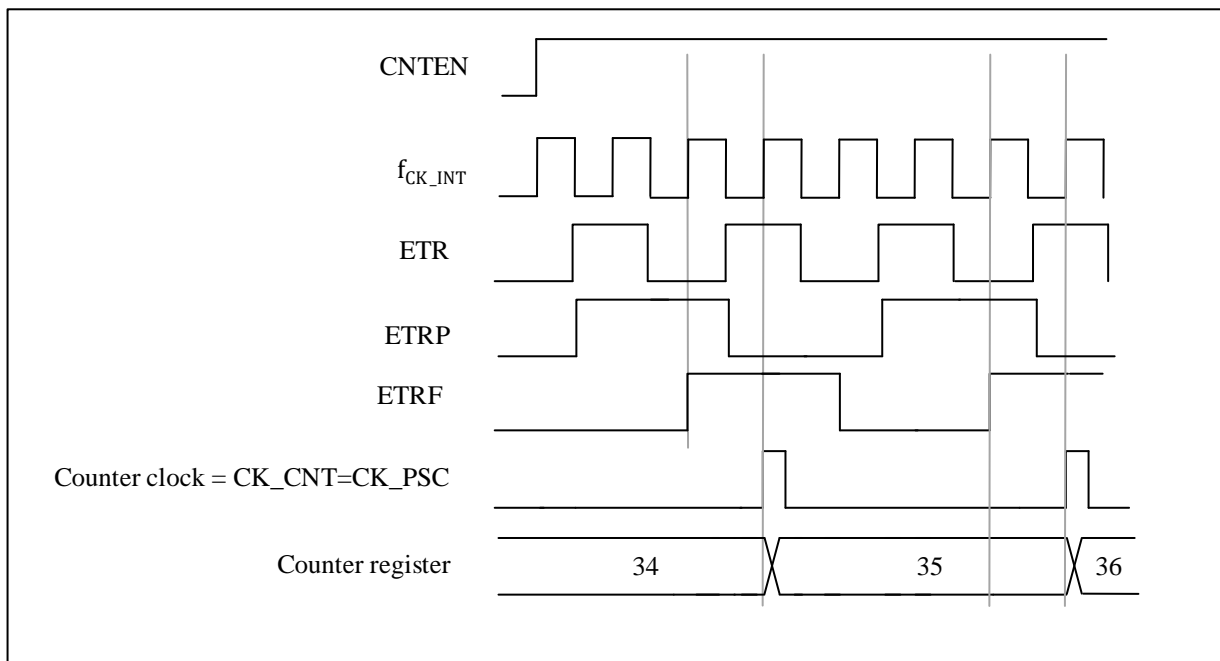
- 由于在这种情况下不需要滤波器，因此使 `TIMx_SMCTRL.EXTF[3:0]` 等于‘0000’
- 通过使 `TIMx_SMCTRL.EXTPS[1:0]` 等于 ‘01’ 来配置预分频器
- 通过设置 `TIMx_SMCTRL.EXTP` 等于‘0’来选择 ETR 引脚的极性，ETR 的上升沿有效
- 外部时钟模式 2 通过设置 `TIMx_SMCTRL.EXCEN` 等于‘1’来选择
- 通过设置 `TIMx_CTRL1.CNTEN` 等于“1”启动计数器。

计数器每 2 个 ETR 上升沿计数一次。ETR 的上升沿与计数器的实际时钟之间的延迟是由于 ETRP 信号



上的再同步电路造成的。

图 20-16 外部时钟模式 2 的控制电路

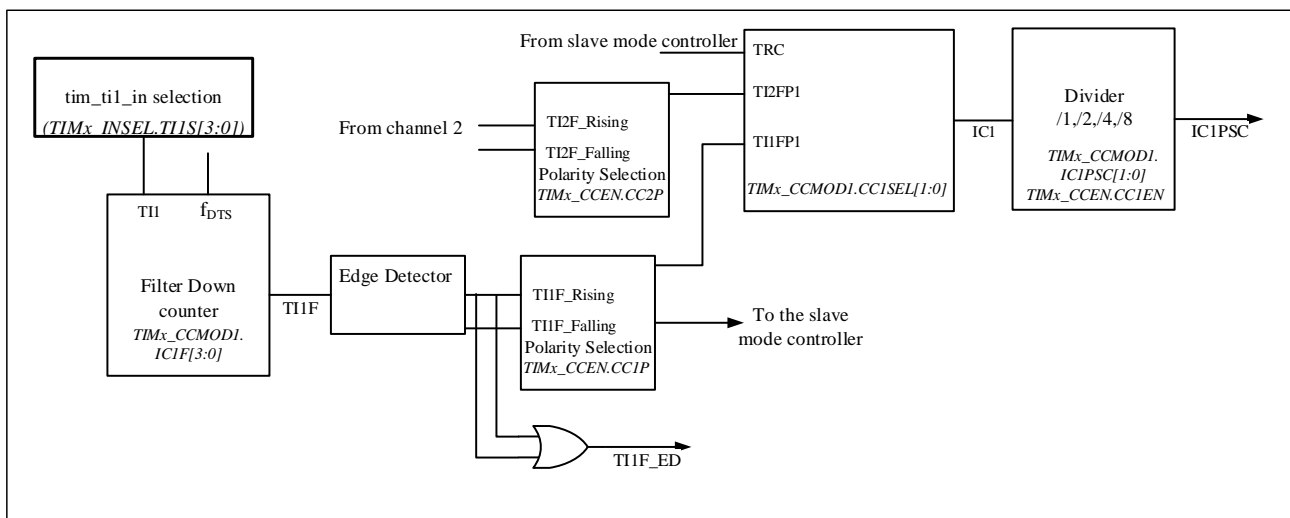


### 20.5.5 捕获/比较通道

捕获/比较通道包括捕获/比较寄存器和影子寄存器。输入部分由数字滤波器、多路复用器和预分频器组成。输出部分包括比较器和输出控制。

输入信号 TI<sub>x</sub> 被采样和滤波以产生信号 TI<sub>x</sub>F。然后由极性选择功能的边沿检测器生成信号 (TI<sub>x</sub>F\_rising 或 TI<sub>x</sub>F\_falling)，其极性由 TIM<sub>x</sub>\_CCEN.CC<sub>x</sub>P 位选择。该信号可用作从模式控制器的触发输入。同时，信号 IC<sub>x</sub> 经过分频后送入捕获寄存器。下图显示了捕获/比较通道的框图。

图 20-17 捕获/比较通道 (例如: 通道 1 输入级)



输出部分生成一个中间波形 OCxRef（高电平有效）作为参考。极性作用在链的末端。

图 20-18 捕获/比较通道 1 主电路

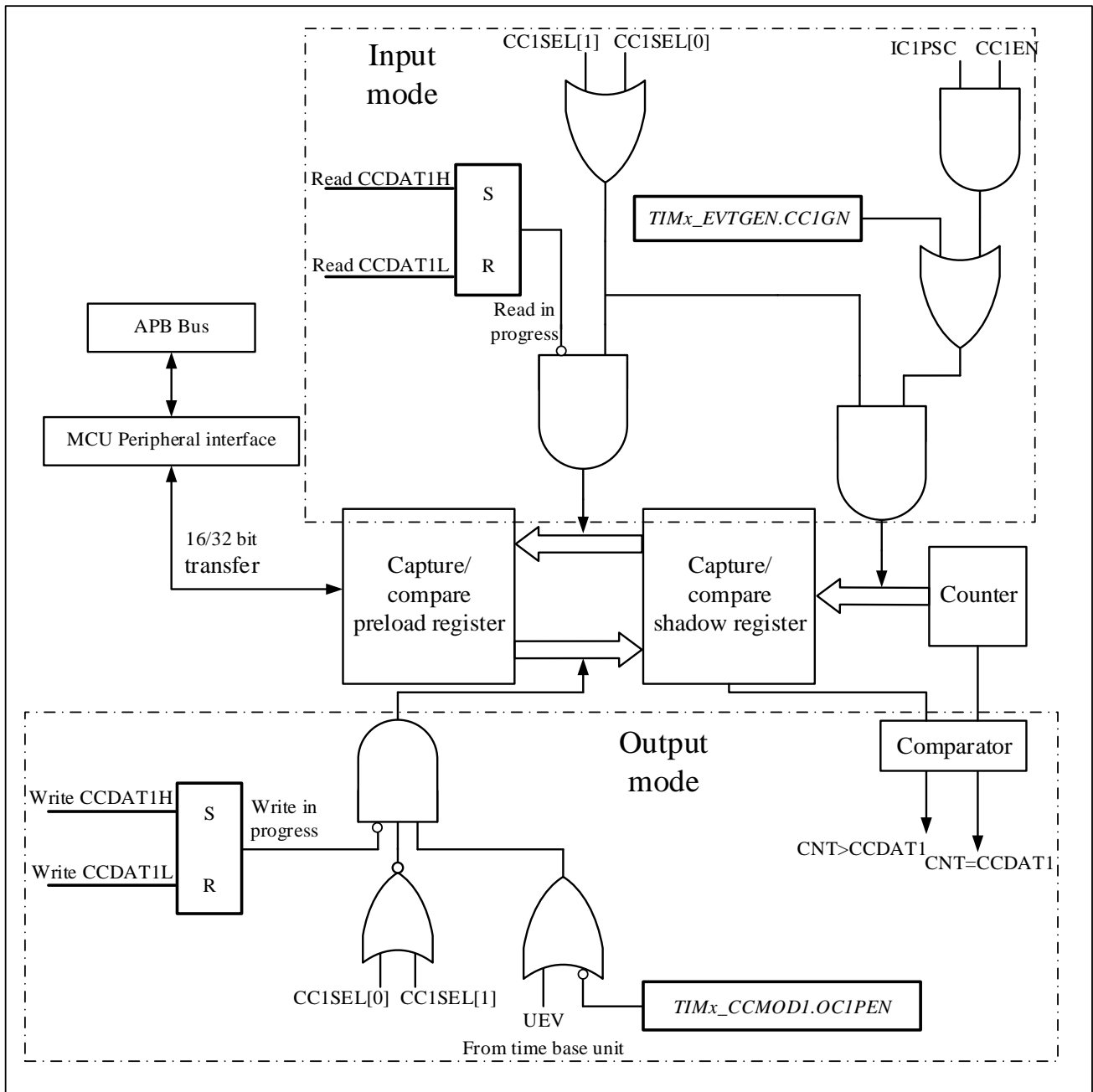


图 20-19 通道 x 的输出部分 (x=1; 以通道 1 为例子)

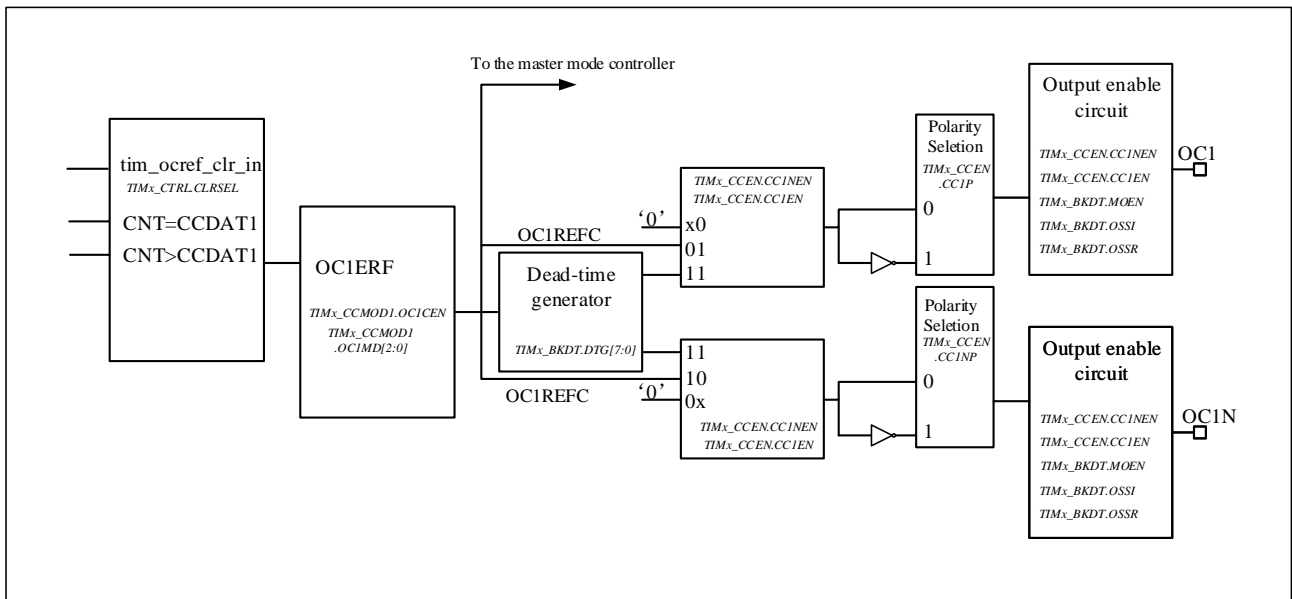
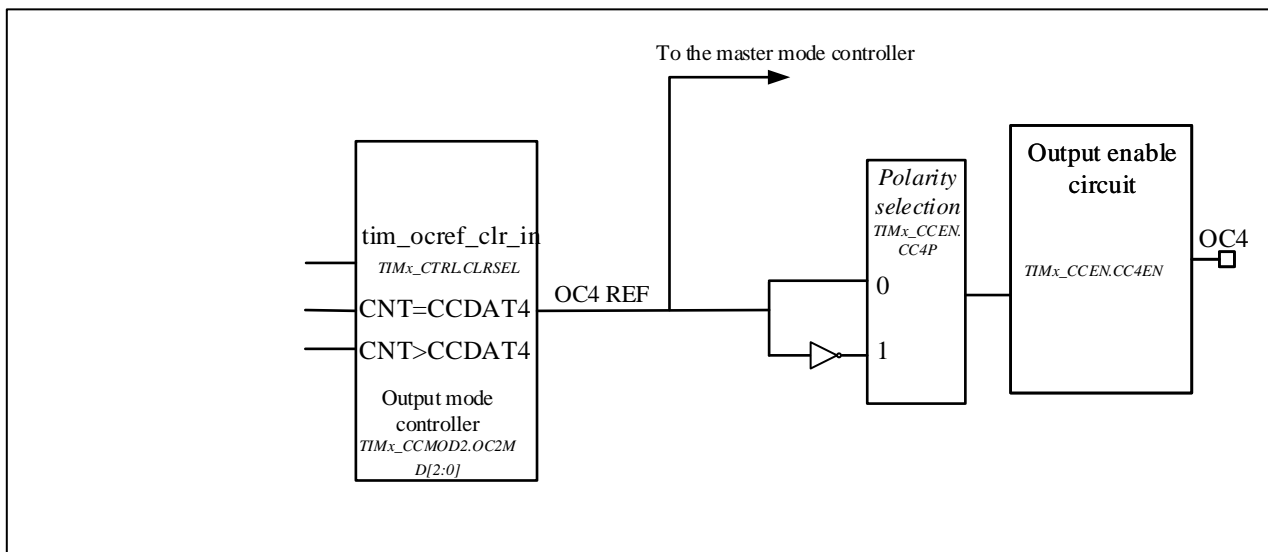


图 20-20 通道 x 的输出部分 (x=2, 3, 4; 以通道 4 为例子)



在捕获/比较时，读取和写入始终访问预加载的寄存器。两个具体工作流程如下：

在捕获模式下，捕获实际上是在影子寄存器中完成的，然后将影子寄存器中的值复制到预加载寄存器中。

在比较模式下，与捕获模式相反，预加载寄存器的值被复制到影子寄存器中，并与计数器进行比较。

### 20.5.6 输入捕获模式

在捕获模式下，TIMx\_CCxDATx 寄存器用于在检测到 ICx 信号后锁存计数器值。

有一个捕获中断标志 TIMx\_STS.CCxITF，如果相应的中断使能被拉高，它可以发出中断或 DMA 请求。

TIMx\_STS.CCxITF 位在发生捕获事件时由硬件设置，并由软件或读取 TIMx\_CCxDATx 寄存器清零。

当 TIMx\_CCxDATx 寄存器中的计数器值被捕获并且 TIMx\_STS.CCxITF 被拉高时，重复捕获标志

TIMx\_STS.CCxOCF 设置为 1。与前者不同，TIMx\_STS.CCxOCF 通过向其写入 0 来清除。

为实现 TI1 输入的上升沿将计数器值捕获到 TIMx\_CC DAT1 寄存器中，配置流程如下：

- 选择有效输入：  
将 TIMx\_CCMOD1.CC1SEL 配置为“01”。此时输入为 CC1 通道，IC1 映射到 TI1。
- 编程所需的输入滤波器持续时间：  
通过配置 TIMx\_CCMODx.ICxF 位来定义 TI1 输入的采样频率和数字滤波器的长度。示例：如果输入信号抖动多达 5 个内部时钟周期，我们必须选择比这 5 个时钟周期更长的滤波器持续时间。当检测到具有新电平的 8 个连续样本（以  $f_{DTS}$  频率采样）时，我们可以验证 TI1 上的转换。然后配置 TIMx\_CCMOD1.IC1F 到“0011”
- 通过配置 TIMx\_CCEN.CC1P=0，选择上升沿作为 TI1 通道的有效跳变极性
- 配置输入预分频器。在本例中，配置 TIMx\_CCMOD1.IC1PSC= ‘00’ 以禁用预分频器，因为我们想要捕获每个有效转换
- 通过配置 TIMx\_CCEN.CC1EN = ‘1’ 启用捕获。

如果要使能 DMA 请求，可以配置 TIMx\_DINTEN.CC1DEN=1。如果要使能相关中断请求，可以配置 TIMx\_DINTEN.CC1IEN =1。

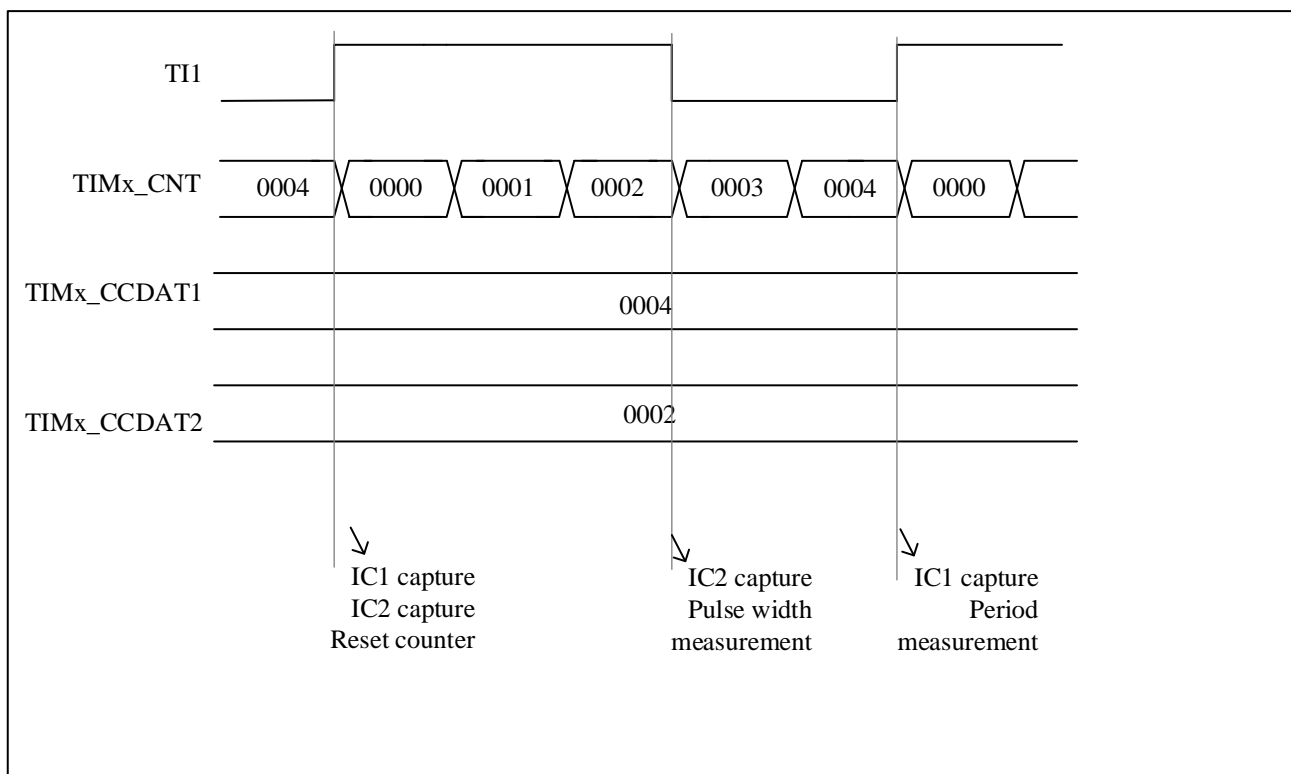
## 20.5.7 PWM 输入模式

PWM 输入模式和普通输入捕获模式有一些区别，包括：

- 两个 ICx 信号映射到同一个 TIx 输入
- 两个 ICx 信号在极性相反的边沿有效
- 选择两个 TIxFP 信号之一作为触发输入
- 从机模式控制器配置为复位模式

例如，下面的配置流程可以用来知道 TI1 上 PWM 信号的周期和占空比（这取决于 CK\_INT 的频率和预分频器的值）。

- 配置 TIMx\_CCMOD1.CC1SEL 等于 ‘01’ 以选择 TI1 作为 TIMx\_CC DAT1 的有效输入
- 配置 TIMx\_CCEN.CC1P 等于 ‘0’ 选择滤波定时器输入 1(TI1FP1) 的有效极性，在上升沿有效
- 配置 TIMx\_CCMOD1.CC2SEL 等于 ‘10’ 选择 TI1 作为 TIMx\_CC DAT2 的有效输入
- 配置 TIMx\_CCEN.CC2P 等于‘1’选择滤波定时器输入 2(TI1FP2)的有效极性，下降沿有效
- 配置 TIMx\_SMCTRL.TSEL 等于‘101’ 选择 Filtered timer input 1 (TI1FP1) 作为有效触发输入
- 配置 TIMx\_SMCTRL.SMSEL 等于‘0100’ 配置从模式控制器为复位模式
- 配置 TIMx\_CCEN.CC1EN 等于‘1’和 TIMx\_CCEN.CC2EN 等于‘1’以启用捕获

**图 20-21 PWM 输入模式时序**


由于只有滤波器定时器输入 1 (TI1FP1) 和滤波器定时器输入 2 (TI2FP2) 连接到从模式控制器, 因此 PWM 输入模式只能与 TIMx\_CH1/TIMx\_CH2 信号一起使用。

## 20.5.8 强制输出模式

在输出模式 (TIMx\_CCMODx.CCxSEL 等于‘00’) 下, 软件可以直接将输出比较信号强制为有效或无效电平。

用户可以设置 TIMx\_CCMODx.OCxMD 等于‘101’ 强制输出比较信号为有效电平。OCxREF 将被强制为高电平, OCx 得到与 CCxP 极性相反的值。另一方面, 用户可以设置 TIMx\_CCMODx.OCxMD 等于‘100’ 强制输出比较信号为无效电平, 即 OCxREF 被强制为低电平。

在此模式下, TIMx\_CCDATx 影子寄存器和计数器的值仍然相互比较。

输出比较寄存器 TIMx\_CCDATx 和计数器 TIMx\_CNT 之间的比较对 OCxREF 没有影响。并且仍然可以设置标志。因此, 仍然可以发送中断和 DMA 请求。

## 20.5.9 输出比较模式

用户可以使用此模式来控制输出波形, 或指示一段时间已过。

当捕获/比较寄存器和计数器的值相同时, 输出比较函数的操作如下:

- TIMx\_CCMODx.OCxMD 为输出比较模式, TIMx\_CCEN.CCxP 为输出极性。当比较匹配时, 如果设置 TIMx\_CCMODx.OCxMD 等于‘000’, 则输出管脚将保持其电平; 如果设置 TIMx\_CCMODx.OCxMD 等于‘001’, 则设置输出管脚有效; 如果设置 TIMx\_CCMODx.OCxMD 等于‘010’, 则输出管脚将为 设置为无效; 如果设置 TIMx\_CCMODx.OCxMD 等于‘011’, 则输出引脚将设置为翻转。

- 设置 TIMx\_STS.CCxITF
- 如果用户设置了 TIMx\_DINTEN.CCxIEN，将产生相应的中断
- 如果用户设置 TIMx\_DINTEN.CCxDEN 并设置 TIMx\_CTRL2.CCDSEL 选择 DMA 请求，将发送 DMA 请求

用户可以设置 TIMx\_CCMODx.OCxPEN 来选择是否使用捕获/比较预加载寄存器 (TIMx\_CCxP) 来选择捕获/比较影子寄存器。

时间分辨率是计数器的一个计数周期。

在单脉冲模式下，输出比较模式也可用于输出单脉冲。

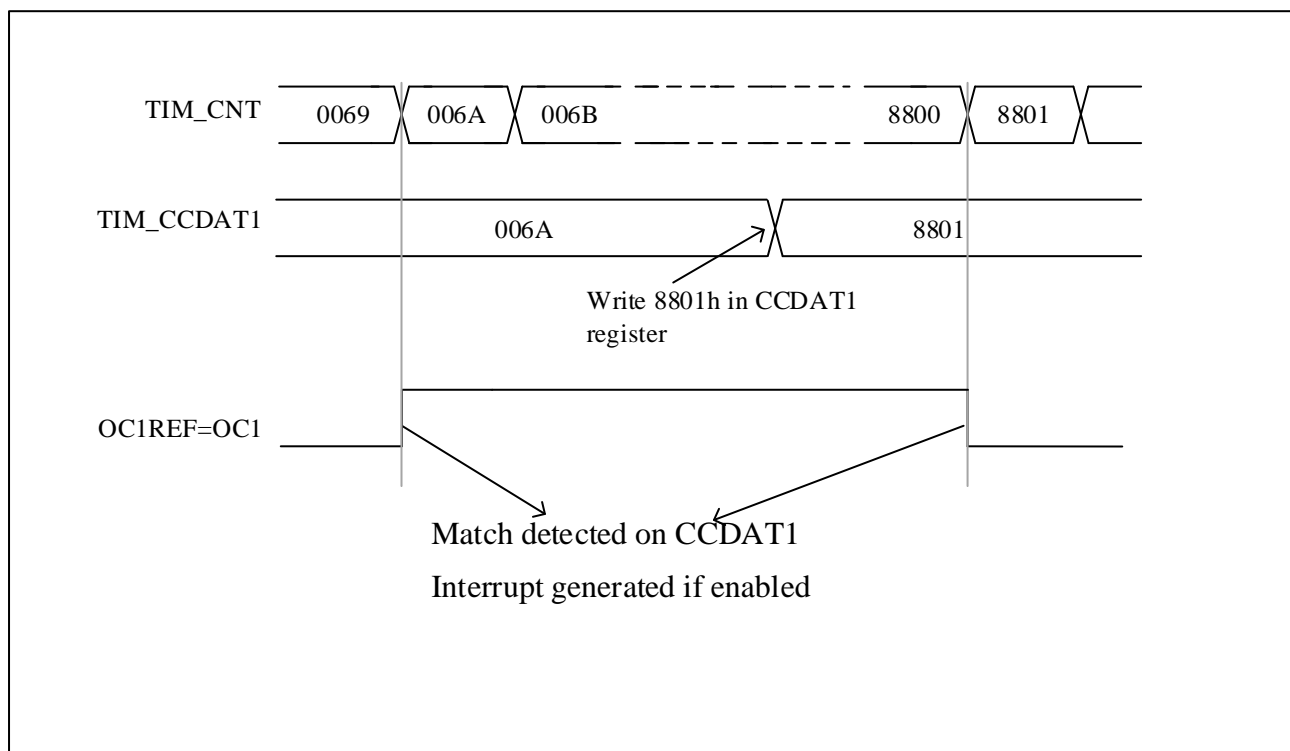
以下是输出比较模式的配置步骤：

- 首先，用户应该选择计数器时钟
- 其次，用所需数据设置 TIMx\_AR 和 TIMx\_CCxP
- 如果用户需要产生中断，设置 TIMx\_DINTEN.CCxIEN
- 然后通过设置 TIMx\_CCEN.CCxP、TIMx\_CCMODx.OCxMD、TIMx\_CCEN.CCxEN 等选择输出模式
- 最后，设置 TIMx\_CTRL1.CNTEN 启用计数器

用户可以随时通过设置 TIMx\_CCxP 来更新输出波形，只要不启用预加载寄存器。否则，TIMx\_CCxP 影子寄存器将在下一次更新事件中更新。

例如：

图 20-22 输出比较模式，开启 OC1



## 20.5.10 PWM 模式

用户可以使用 PWM 模式产生一个信号，其占空比由 TIMx\_CCxMD 寄存器的值决定，其频率由 TIMx\_ARR 寄存器的值决定。并且取决于 TIMx\_CTRL1.CAMSEL 的值，TIM 可以在边沿对齐模式或中央对齐模式下产生 PWM 信号。

用户可以通过设置 TIMx\_CCMODx.OCxMD 等于‘110’或设置 TIMx\_CCMODx.OCxMD 等于‘111’来设置 PWM 模式 1 或 PWM 模式 2。要使能预加载寄存器，用户必须设置相应的 TIMx\_CCMODx.OCxPEN。然后设置 TIMx\_CTRL1.ARPEN 自动重装载预加载寄存器。

用户可以通过设置 TIMx\_CCEN.CCxP 来设置 OCx 的极性。另一方面，要使能 OCx 的输出，用户需要在 TIMx\_CCEN 和 TIMx\_BKDT 中设置 CCxEN、CCxNEN、MOEN、OSSI 和 OSSR 的值的组合。

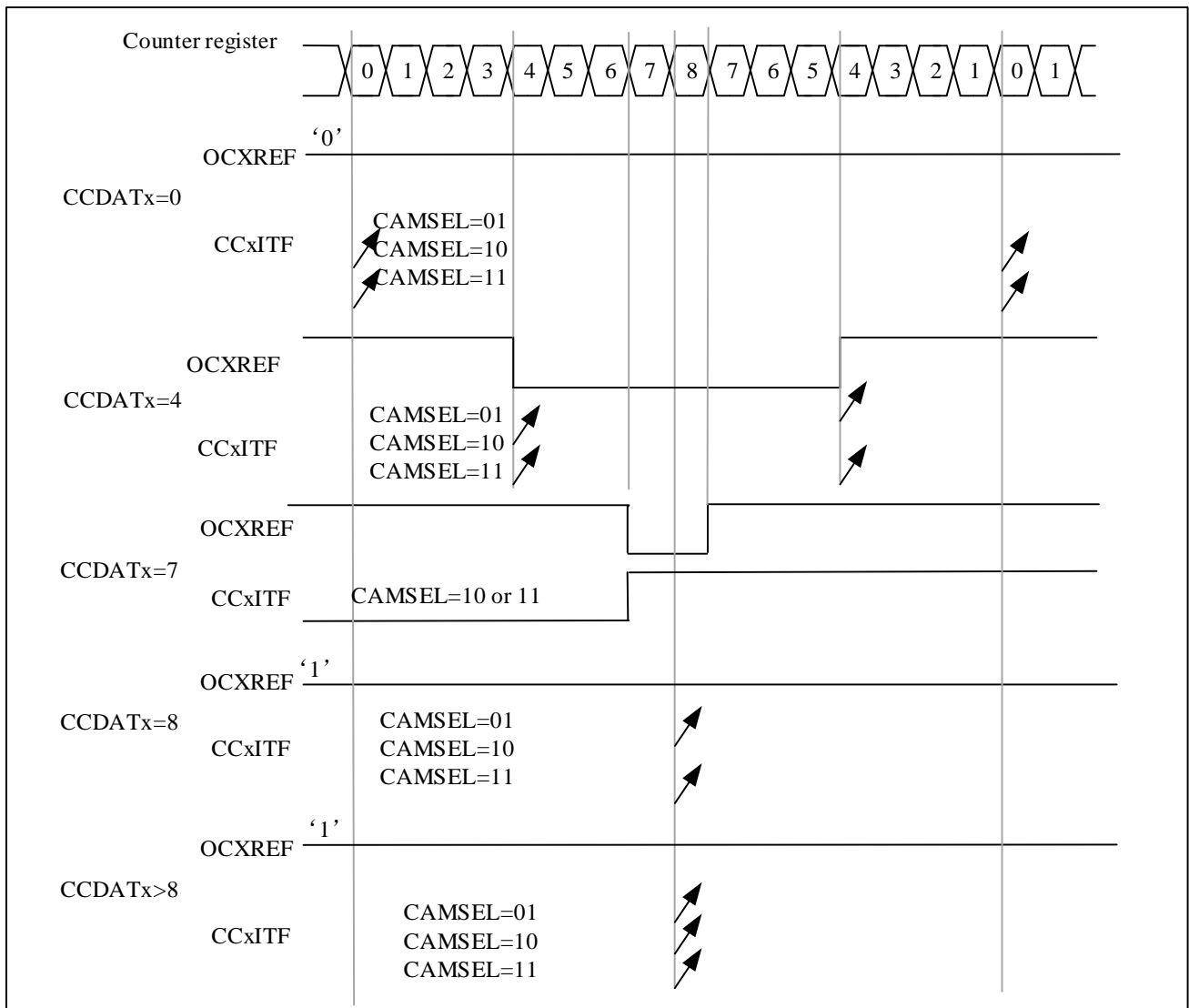
当 TIM 处于 PWM 模式时，TIMx\_CNT 和 TIMx\_CCxMD 的值总是相互比较。

只有当更新事件发生时，预加载寄存器才会转移到影子寄存器。因此，用户必须在计数器开始计数之前通过设置 TIMx\_EVTGEN.UDGN 来复位所有寄存器。

### 20.5.10.1 PWM 中央对齐模式

如果用户设置 TIMx\_CTRL1.CAMSEL 等于‘01’、‘10’或‘11’，PWM 中央对齐模式将被激活。比较标志的设置取决于 TIMx\_CTRL1.CAMSEL 的值。设置比较标志的情况有 3 种，仅当计数器向上计数时，仅当计数器向下计数时，或当计数器向上计数和向下计数时。用户不应通过软件修改 TIMx\_CTRL1.DIR，它是由硬件更新的。

中央对齐 PWM 波形示例如下，波形设置为：TIMx\_ARR=8，PWM 模式 1，当计数器向下计数对应 TIMx\_CTRL1.CAMSEL 等于‘01’时设置比较标志。

**图 20-23 中央对齐的 PWM 波形 (AR=8)**


使用中央对齐模式时用户应注意的事项如下：

- 计数器向上或向下计数取决于 `TIMx_CTRL1.DIR` 的值。注意不要同时更改 `DIR` 和 `CAMSEL` 位
- 用户在中央对齐模式下不要写计数器，否则会导致意想不到的结果。例如：
  - ◆ 如果写入计数器的值为 0 或者是 `TIMx_AR` 的值，则方向会被更新，但不会产生更新事件
  - ◆ 如果写入计数器的值大于自动重载的值，则方向不会更新
- 为了安全起见，建议用户在启动计数器之前设置 `TIMx_EVTGEN.UDGN` 以通过软件生成更新，并且在计数器运行时不要写入计数器

### 20.5.10.2 PWM 中央对齐非对称模式

关于 PWM 中央对齐非对称模式请查阅 20.5.2.3.2。

### 20.5.10.3 PWM 边沿对齐模式

边沿对齐模式有两种配置，向上计数和向下计数。



### ● 向上计数

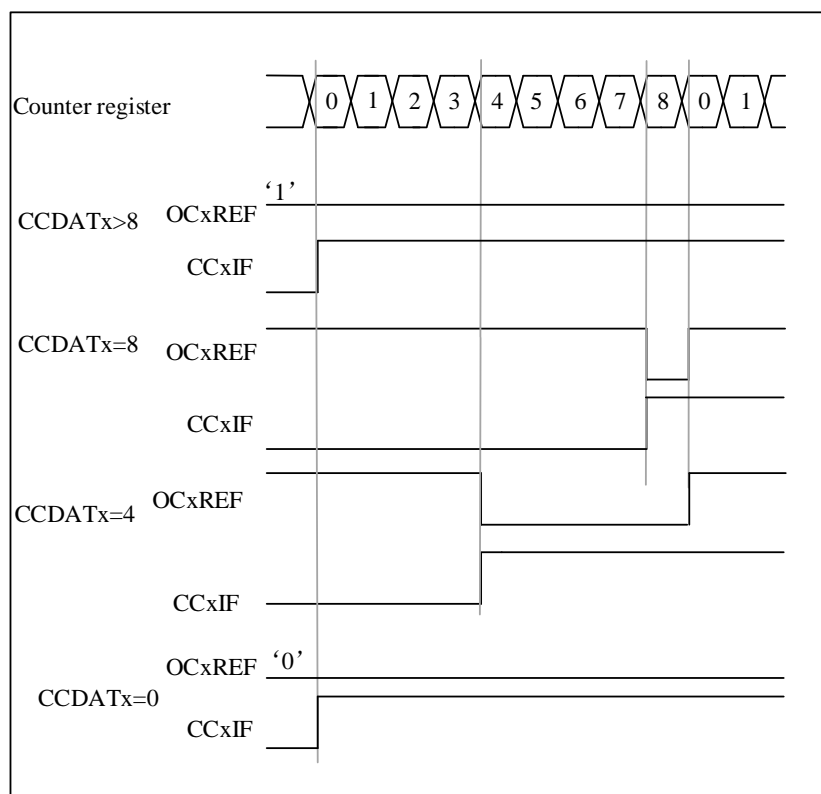
用户可以设置 TIMx\_CTRL1.DIR 等于‘0’使计数器向上计数。

PWM 模式 1 的示例：

当 TIMx\_CNT < TIMx\_CCxDATx 时，OCxREF 为高电平，否则为低电平。如果 TIMx\_CCxDATx 中的比较值大于自动重载值，则 OCxREF 将保持为 1。相反，如果比较值为 0，则 OCxREF 将保持为 0。

当 TIMx\_AR=8 时，PWM 波形如下：

图 20-24 边沿对齐 PWM 波形 (AR=8)



### ● 向下计数

用户可以设置 TIMx\_CTRL1.DIR 等于‘1’使计数器向下计数。

PWM 模式 1 的示例：

当 TIMx\_CNT > TIMx\_CCxDATx 时，OCxREF 为低电平，否则为高电平。如果 TIMx\_CCxDATx 中的比较值大于自动重载值，则 OCxREF 将保持为 1。

*注：若第 n 个 PWM 周期 CCDATx 影子寄存器 ≥ AR 值，第 n+1 个 PWM 周期 CCDATx 的影子寄存器值是 0。在第 n+1 个 PWM 周期的计数器为 0 的时刻，虽然计数器 = CCDATx 影子寄存器的值 = 0，OCxREF = ‘0’，但不会产生比较事件。*

## 20.5.11 组合 PWM 模式

在组合 PWM 模式下，生成的两个边沿或中心对齐 PWM 信号的各个脉冲间允许存在可编程延时和相移。频率由 TIMx\_AR 寄存器的值确定，而占空比和延时则由两个 TIMx\_CCMODx 寄存器确定。产生的信号

OCxREFC 由两个参考 PWM 的逻辑或运算或者逻辑与运算组合组成。

■ OC1REFC (或 OC2REFC) 由 TIMx\_CC DAT1 和 TIMx\_CC DAT2 控制

■ OC3REFC (或 OC4REFC) 由 TIMx\_CC DAT3 和 TIMx\_CC DAT4 控制

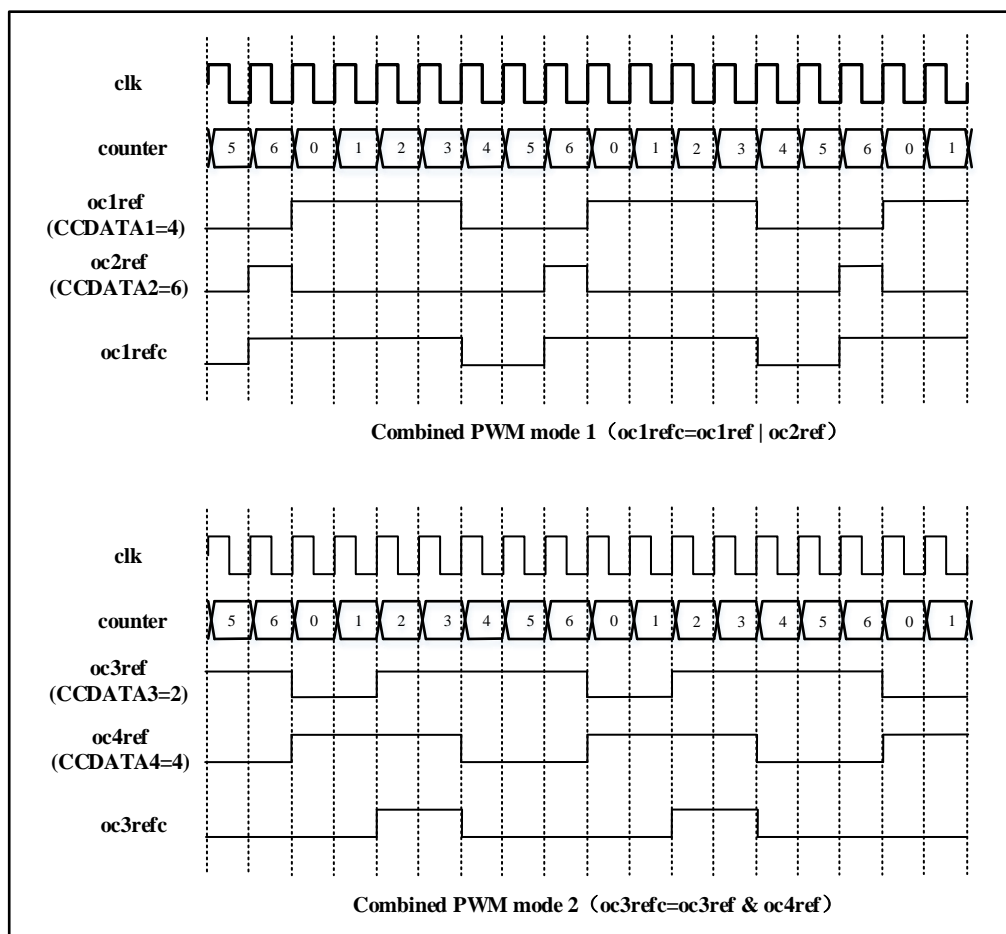
两个通道可以独立选择组合 PWM 模式 (每对 TIMx\_CC DATx 寄存器一个 OCx 输出), 只需向 TIMx\_CC MODx 寄存器的 OCxMD3 位写入 '1' OCxMD 位写入 '110' (组合 PWM 模式 1) 或 OCxMD3 位写入 '1' OCxMD 位写入 '111' (组合 PWM 模式 2)。

当给定通道用作组合 PWM 通道时, 其互补通道必须在相反的 PWM 模式下配置 (例如, 一个通道在组合 PWM 模式 1 下配置, 另一个通道在组合 PWM 模式 2 下配置)。

下图显示了组合 PWM 模式下可以产生的信号示例, 通过以下配置可获得这些信号:

- 通道 1 配置为在组合 PWM 模式 1。
- 通道 2 配置为 PWM 模式 2。
- 通道 3 配置为组合 PWM 模式 2。
- 通道 4 配置为 PWM 模式 1。

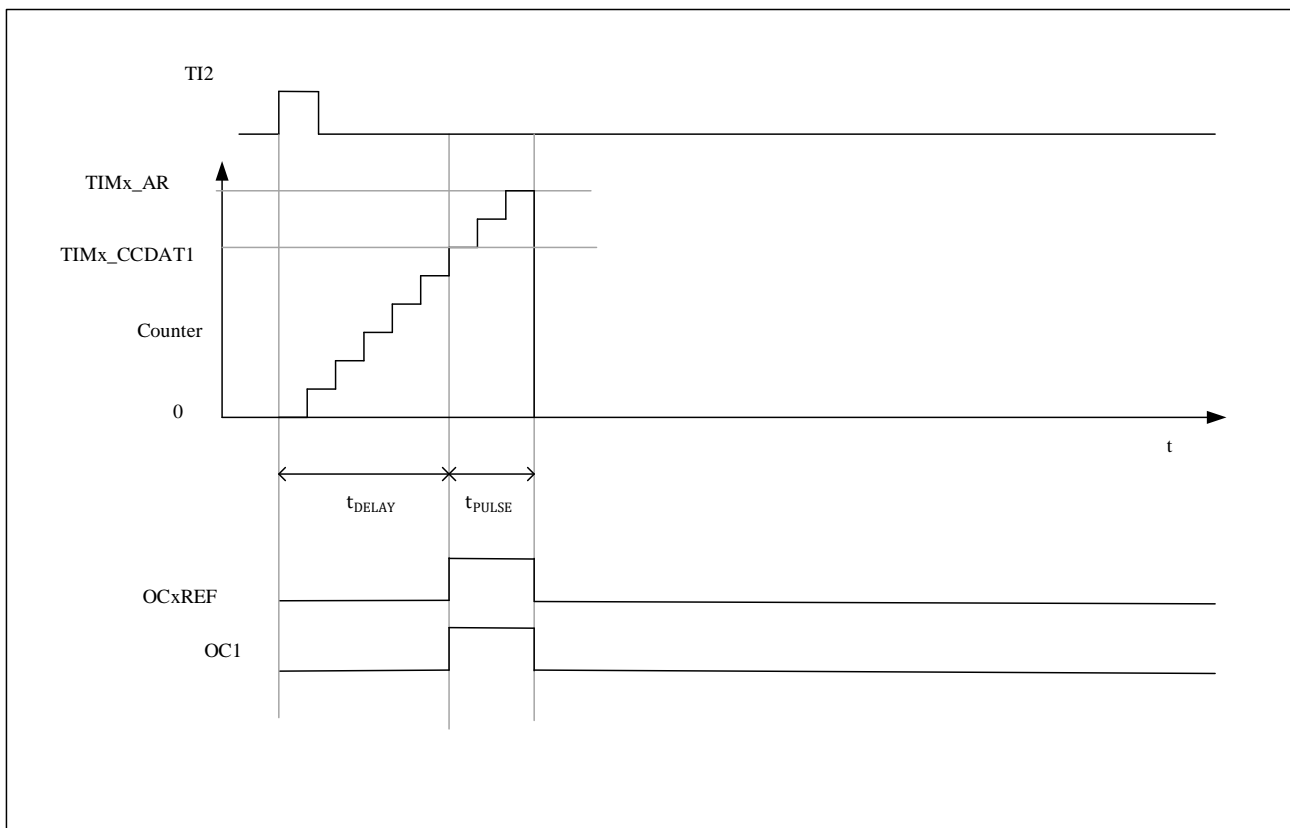
图 20-25 通道 1 和通道 3 上的组合 PWM 模式



## 20.5.12 单脉冲模式

在单脉冲模式(ONEPM)中, 接收到触发信号, 经过可控延迟  $t_{\text{DELAY}}$  后产生脉宽可控的脉冲  $t_{\text{PULSE}}$ 。输出模式需要配置为输出比较模式或 PWM 模式。选择单脉冲模式后, 计数器会在更新事件 UEV 产生后停止计数。

图 20-26 单脉冲模式示例



以下是单脉冲模式的示例:

从 TI2 输入检测到上升沿触发, 延迟  $t_{\text{DELAY}}$  后在 OC1 上产生宽度为  $t_{\text{PULSE}}$  的脉冲。

7. 计数器配置: 向上计数, 计数器  $\text{TIMx\_CNT} < \text{TIMx\_CCDAT1} \leq \text{TIMx\_AR}$ ;
8. TI2FP2 映射到 TI2,  $\text{TIMx\_CCMOD1.CC2SEL}$  等于 '01'; TI2FP2 配置为上升沿检测,  $\text{TIMx\_CCEN.CC2P}$  等于 '0';
9. TI2FP2 充当从模式控制器的触发器 (TRGI) 并启动计数器,  $\text{TIMx\_SMCTRL.TSEL}$  等于 '110',  $\text{TIMx\_SMCTRL.SMSEL}$  等于 '0110' (触发模式);
10.  $\text{TIMx\_CCDAT1}$  写入要延迟的计数值 ( $t_{\text{DELAY}}$ ),  $\text{TIMx\_AR}-\text{TIMx\_CCDAT1}$  为脉宽  $t_{\text{PULSE}}$  的计数值;
11. 配置  $\text{TIMx\_CTRL1.ONEPM}$  等于 '01' 使能单脉冲模式, 配置  $\text{TIMx\_CCMOD1.OC1MD}$  等于 '111' 选择 PWM2 模式;
12. 等待 TI2 有外部触发事件, OC1 输出一个单脉冲波形;

### 20.5.12.1 特殊情况：OCx 快速使能：

在单脉冲模式下，通过  $TIx$  输入检测到一个边沿，并触发计数器开始计数到比较值，然后输出一个脉冲。这些操作限制了可以达到的最小延迟  $t_{DELAY}$ 。

您可以设置  $TIMx\_CCMODx.OCxFEN$  等于‘1’开启 OCx 快速使能，在触发上升沿后，OCxREF 信号将被强制转换为与比较匹配立即发生的电平相同的电平，而不管比较结果如何。OCxFEN 快速使能仅在通道模式配置为 PWM1 和 PWM2 模式时生效。

### 20.5.13 可再触发单脉冲模式

该模式允许计数器可以在一个激励信号的触发下启动，并且能产生长度可编程的脉冲，但与不可再触发单脉冲模式间存在以下差别：

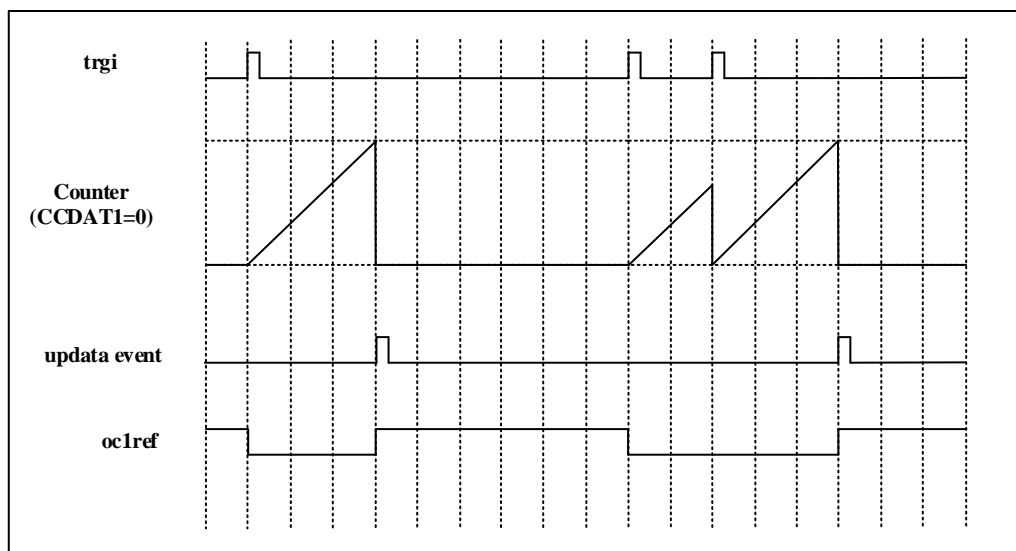
- 发生触发时，脉冲立即产生
- 如果在上一个触发完成前发生新的触发，脉冲将延长

定时器必须处于从模式， $TIMx\_SMCTRL$  寄存器中的位  $SMSEL[3:0] = "1110"$ （组合复位+触发模式），针对可再触发单脉冲模式 1 或模式 2，将  $OCxMD3$  位写入‘1’ $OCxMD$  位写入‘000’或‘001’。

定时器配置为递增计数模式时，相应的  $TIMx\_CCDATx$  必须置 0（AR 寄存器设置脉冲长度）。如果 定时器配置为递减计数模式， $CCDATx$  必须高于或等于 AR。

下图以可再触发单脉冲模式 1 为例

图 20-27 可再触发单脉冲模式 1



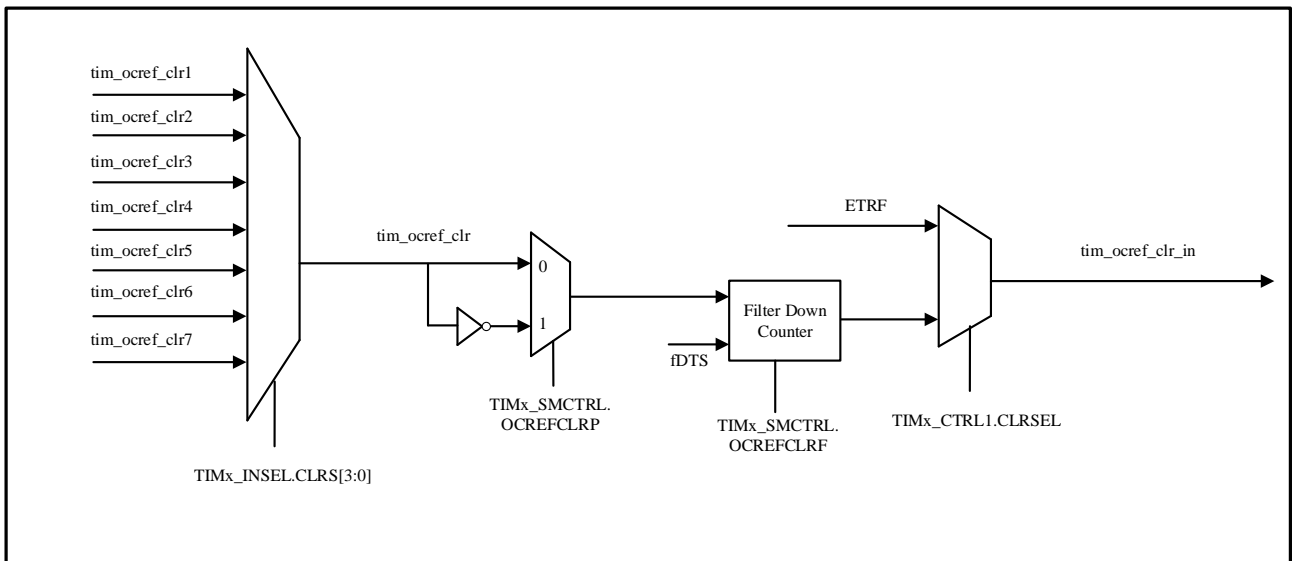
### 20.5.14 在外部事件上清除 OCxREF 信号

如果用户设置  $TIMx\_CCMODx.OCxCEN$  等于‘1’，  $tim\_ocref\_clr\_in$  输入的高电平可用于驱动 OCxREF 信号为低电平，OCxREF 信号将保持低电平，直到下一次 UEV 发生。只有输出比较和 PWM 模式可以使用该功能。在强制模式下不能使用。

输入清除信号  $tim\_ocref\_clr\_in$  可以通过  $TIMx\_CTRL1$  寄存器中的  $CLRSEL$  位选择为  $tim\_ocref\_clr$  或者 ETRF。

tim\_ocref\_clr 信号可以通过 TIMx\_INSEL 寄存器中的 CLRS[3:0] 进行选择，如下图所示。

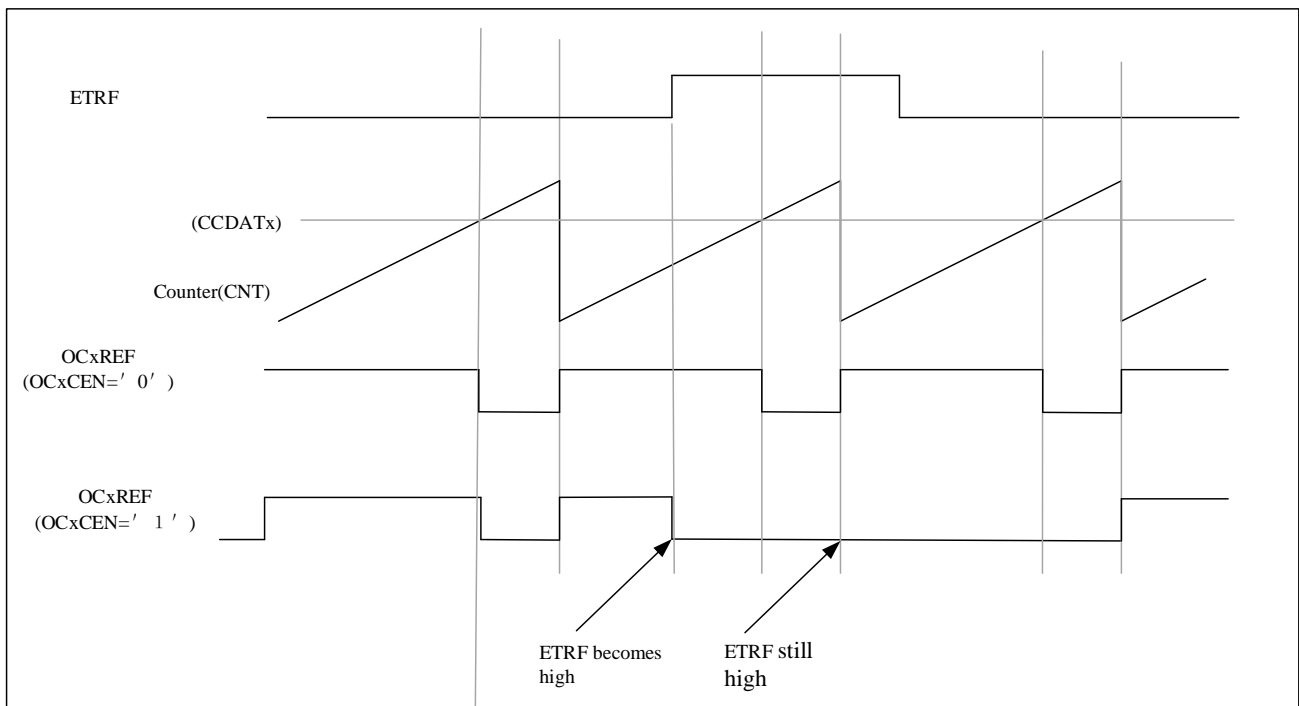
图 20-28 外部事件清除 OCxREF 信号



例：当 tim\_ocref\_clr\_in 信号选择 ETRF 时，tim\_etr\_in 配置如下：

- 设置 TIMx\_SMCTRL.EXTPS 等于‘00’ 禁用外部触发预分频器。
- 设置 TIMx\_SMCTRL.EXCEN 等于‘0’ 禁用外部时钟模式 2。
- 设置 TIMx\_SMCTRL.EXTP 和 TIMx\_SMCTRL.EXTF，根据需要配置外触发极性和外触发滤波器。
- 当 ETRF 输入变高时，OCxREF 信号对于不同的 OCxCEN 值的行为。在这种情况下，定时器设置为 PWM 模式。

图 20-29 清除 TIMx 的 OCxREF



## 20.5.15 互补输出和死区插入

GTIMBx(x=1-3)可以输出两个互补信号(CH1 和 CH1N)，并管理输出的关闭和打开。这称为死区时间。用户应根据连接到输出的设备及其特性调整死区时间。

用户可以通过设置 TIMx\_CCEN.CCxP 和 TIMx\_CCEN.CCxNP 来选择输出的极性。并且此选择对于每个输出都是独立的。

用户可以通过设置几个控制位的组合来控制互补信号 OCx 和 OCxN，它们分别是 TIMx\_CCEN.CCxEN、TIMx\_CCEN.CCxNEN、TIMx\_BKDT.MOEN、TIMx\_CTRL2.OIx、TIMx\_CTRL2.OIxN、TIMx\_BKDT.OSSI 和 TIMx\_BKDT.OSSR。当切换到空闲状态时，死区时间将被激活。

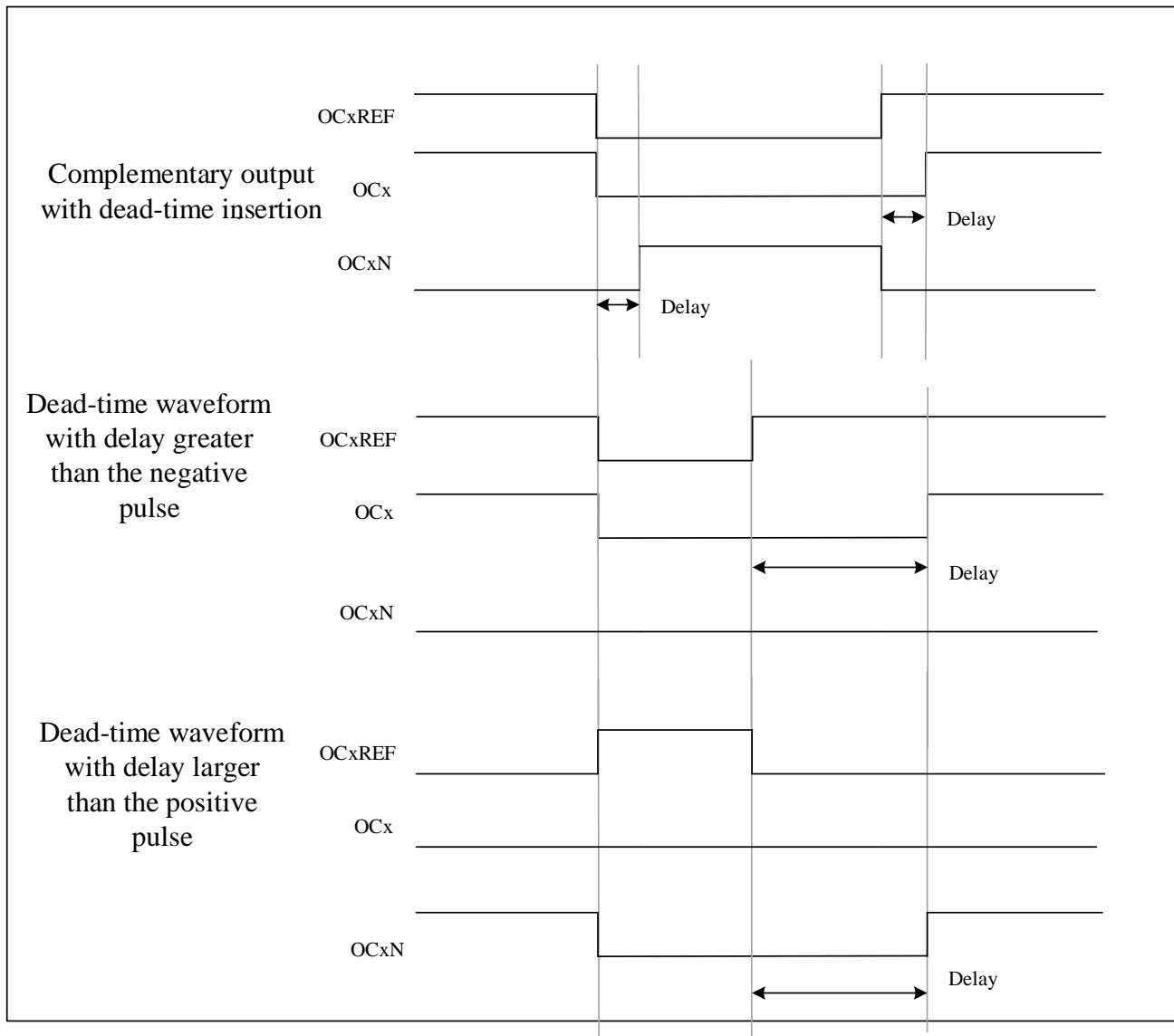
如果用户同时设置 TIMx\_CCEN.CCxEN 和 TIMx\_CCEN.CCxNEN，则会插入死区时间。如果有刹车，还要设置 TIMx\_BKDT.MOEN。每个通道都有 10 位死区时间发生器。

参考波形 OCxREF 可以生成 2 个输出 OCx 和 OCxN。如果 OCx 和 OCxN 为高电平有效，则 OCx 输出信号与参考信号相同，而 OCxN 输出信号与参考信号相反。但是，OCx 输出信号将相对于参考上升沿延迟，而 OCxN 输出信号将相对于参考下降沿延迟。如果延迟大于有效 OCx 或 OCxN 输出的宽度，则不会产生相应的脉冲。

死区时间发生器的输出信号与参考信号 OCxREF 之间的关系如下。

假设 TIMx\_CCEN.CCxP=0，TIMx\_CCEN.CCxNP=0，TIMx\_BKDT.MOEN=1，TIMx\_CCEN.CCxEN=1，TIMx\_CCEN.CCxNEN=1。

图 20-30 带死区插入的互补输出



用户可以设置 `TIMx_BKDT.DTGN` 来编程每个通道的死区时间延迟。

### 20.5.15.1 重定向 OCxREF 到 OCx 或 OCxN

在输出模式下，用户可以设置 `TIMx_CCEN.CCxEN` 和 `TIMx_CCEN.CCxNEN` 以将 `OCxREF` 重定向到 `OCx` 输出或 `OCxN` 输出。

这里有两种使用这个方法的方法。当互补保持在其无效电平时，用户可以使用此功能发送特定波形，例如 PWM 或静态有效电平。用户还可以使用此功能将两个输出设置为无效电平，或将两个输出都设置为有效，两者互补且带死区。

如果用户设置 `TIMx_CCEN.CCxEN=0` 和 `TIMx_CCEN.CCxNEN=1`，两者不互补，当 `OCxREF` 为高电平时 `OCxN` 将变为有效。另一方面，如果用户设置 `TIMx_CCEN.CCxEN=1` 和 `TIMx_CCEN.CCxNEN=1`，当 `OCxREF` 为高电平时，`OCx` 将变为有效。相反，当 `OCxREF` 为低电平时，`OCxN` 将变为有效。

## 20.5.16 刹车功能

使用刹车功能时，设置相应的控制位时会修改输出使能信号和无效电平。但是，无论何时，OCx 和 OCxN 的输出都不能同时处于有效电平，即需要满足  $(CCxP \wedge OIx) \wedge (CCxNP \wedge OIxN) \neq 0$ 。

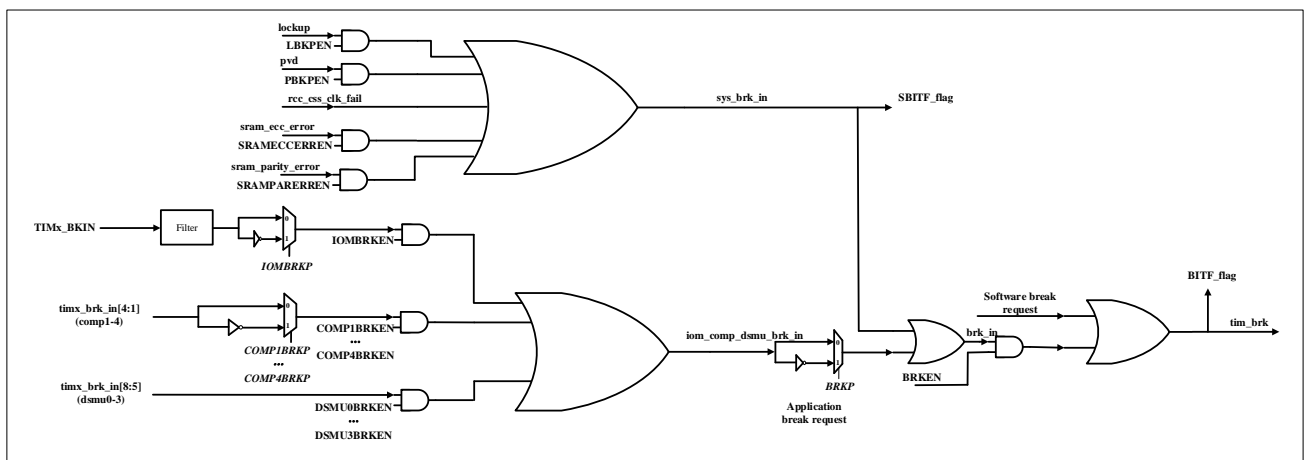
当启用多个刹车信号时，每个刹车信号构成一个 OR 逻辑。这里有一些信号可能是刹车的来源。

刹车 1:

- 刹车 1 输入引脚。
- 时钟失效事件，由时钟 RCC 中的时钟安全系统（CSS）生成。
- PVD 事件。
- 内核 Hardfault 事件。
- SRAM ECC 错误。
- SRAM 奇偶校验错误。
- 比较器的输出信号。
- 软件设置 TIMx\_EVTGEN.BGN。

在所有源进入定时器 tim\_brk 输入之前，对其进行或运算，如下图所示。

图 20-31 刹车输入



**注意：**只有禁止可编程滤波器时才能保证异步（无时钟）操作。如果使能可编程滤波器，必须使用故障安全时钟模式（例如，使用内部 PLL 和或 CSS）来保证能够处理断路事件。

复位后刹车电路将被禁用。MOEN 位将为低电平。用户可以设置 TIMx\_BKDT.BKEN 来启用刹车功能。通过设置 TIMx\_BKDT.BKP 可以选择刹车输入信号的极性。用户可以同时修改 TIMx\_BKDT.BKEN 和 TIMx\_BKDT.BKP。用户设置 TIMx\_BKDT.BKEN 和 TIMx\_BKDT.BKP 后，生效前有 1 个 APB 时钟周期延迟。因此，用户需要等待 1 个 APB 时钟周期才能读回写入位的值。

MOEN 的下降沿可以是异步的，所以在实际信号和同步控制位之间设置了一个再同步电路。该电路将导致异步和同步信号之间的延迟。当用户设置 TIMx\_BKDT.MOEN 为低电平时，用户需要在读取该值之前插入一个延迟。因为写入了异步信号，但用户读取了同步信号。



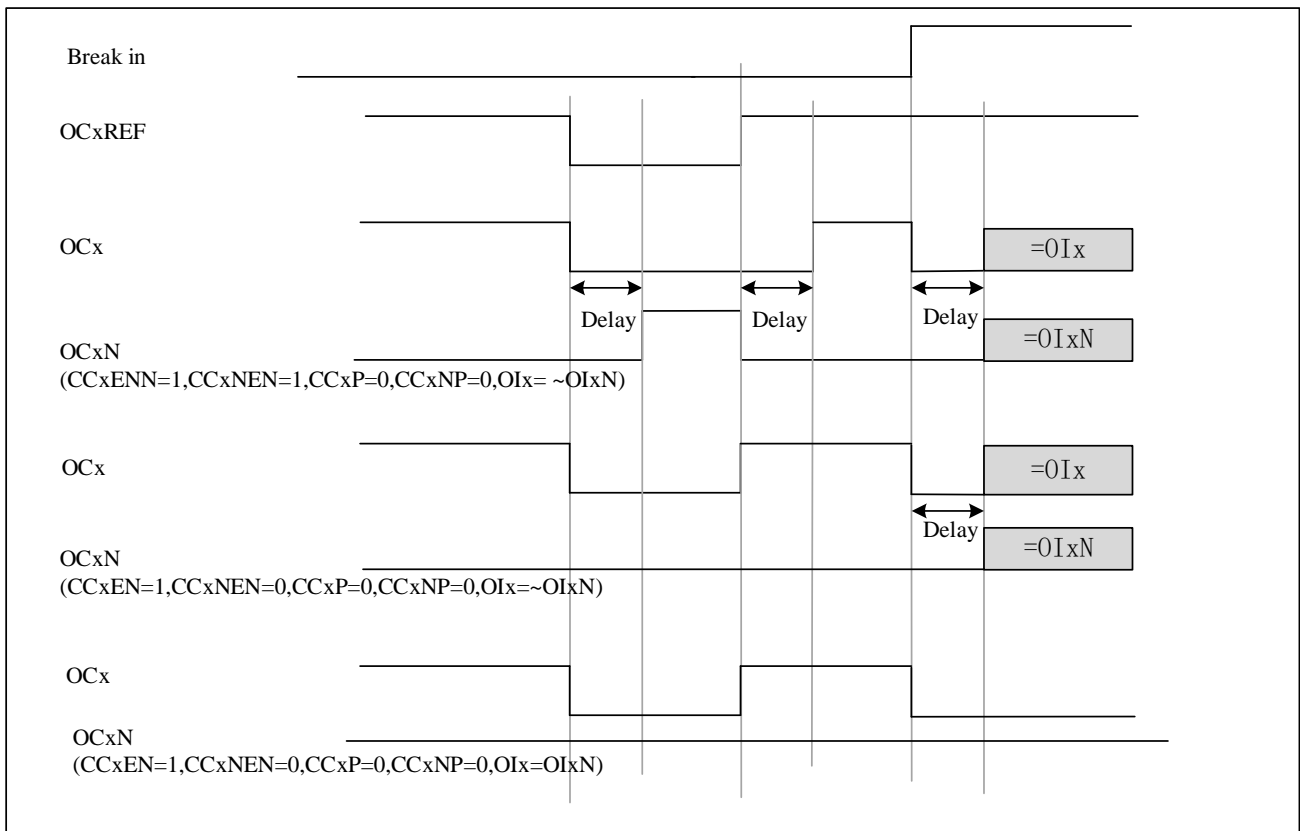
刹车发生后的行为如下：

- `TIMx_BKDT.MOEN` 将被异步清除，然后输出将进入无效状态、空闲状态或复位状态。通过设置 `TIMx_BKDT.OSSI` 选择输出状态。即使 MCU 振荡器关闭，这也会生效。
- 一旦 `TIMx_BKDT.MOEN=0`，每个输出通道的输出将使用 `TIMx_CTRL2.OIx` 中编程的电平驱动。如果 `TIMx_BKDT.OSSI=0`，定时器将释放使能输出（由 GPIO 控制器接管），否则将保持高电平。
- 如果用户选择使用互补输出，TIM 的行为如下
  - 取决于极性，输出将首先设置为复位状态。它是一个异步选项，因此即使没有为计时器提供时钟，它仍然可以工作。
  - 如果仍然提供定时器时钟，死区发生器将重新激活，当  $(CCxP \wedge OIx) \wedge (CCxNP \wedge OIxN) \neq 0$ ，即 `OCx` 和 `OCxN` 仍然不能同时被驱动到有效电平，在死区时间后根据 `TIMx_CTRL2.OIx` 和 `TIMx_CTRL2.OIxN` 的值驱动输出。请注意，由于 `MOEN` 上的重新同步（大概 2 个 `ck_tim` 周期），死区时间将比平时长。
  - 如果 `TIMx_BKDT.OSSI=0`，定时器将释放输出控制。否则，如果使能输出为高电平，它将保持为高电平。如果为低电平，则在 `TIMx_CCEN.CCxEN` 或 `TIMx_CCEN.CCxNEN` 为高电平时变为高电平。
- 如果 `TIMx_DINTEN.BIEN=1`，当 `TIMx_STS.BITF=1` 时，会产生中断。
- 如果用户设置了 `TIMx_BKDT.AOEN`，`TIMx_BKDT.MOEN` 将在下一次 UEV 发生时自动设置。用户可以使用它来调节。如果用户未设置 `TIMx_BKDT.AOEN`，则 `TIMx_BKDT.MOEN` 将保持低电平，直到再次设置为 1。在这种情况下，用户可以使用它来保证安全。用户可以将刹车输入连接到热传感器、电源驱动器警报或其他安全组件。
- 刹车输入有效时，`TIMx_BKDT.MOEN` 不能自动置位或软件同时置位，`TIMx_STS.BITF` 也不能清零。因为刹车输入在电平上处于有效状态。

为保证应用安全，刹车电路具有写保护功能，并有刹车输入输出管理。它允许用户冻结一些参数，例如死区持续时间、`OCx/OCxN` 极性和禁用时的状态、`OCxMD` 配置、刹车启用和极性。用户可以通过设置 `TIMx_BKDT.LCKCFG` 选择使用 3 种保护级别之一。但是，`TIMx_BKDT.LCKCFG` 只能在 MCU 复位后写入一次。

响应刹车的输出行为示例如下

图 20-32 响应刹车的输出行为

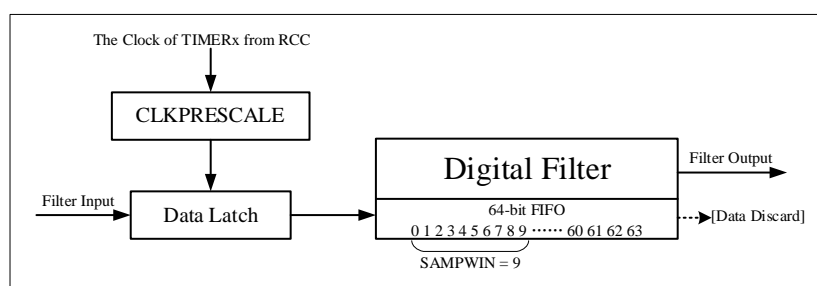


■ tim\_brk 输入可禁止（无效状态）PWM 输出，也可将 PWM 输出强制为预定义的安全状态。

### 20.5.16.1 刹车滤波

寄存器 TIMx\_BKFR 描述如下：

图 20-33 滑动滤波



- 数字滤波器通过 RCC 的 TIMx 时钟采样刹车信号，在 64 位 FIFO 中累积采样。仅在 TIMx\_BKFR.WSIZE [5:0] 中定义的窗口大小内采样数据，最大大小为 64。
- 过滤器输出采样窗口内的多数值，该值由 TIMx\_BKFR.THRESH [5:0] 中的阈值定义，最大阈值为 63。此值应等于或大于窗口大小的一半。如果采样窗口内的逻辑 1 和逻辑 0 计数均不大于阈值，则数字滤波器保持先前的输出值。
- TIM1\_BKFR.SLIDFSC [15:0] 寄存器决定相应数字滤波器的采样率。过滤器 FIFO 在每个采样时钟从输入中捕获一个采样值。

- 如果数字滤波器关闭，滤波器输入将像电线一样绕过输出。

## 20.5.17 双向刹车

GTIMB<sub>x</sub>(x=1-3)具有双向刹车 I/O 功能。

应用支持：

- 一个板级的全局刹车信号，它可以通过一个独特的 IO（既是输入又是输出状态引脚）向外部 MCU 或门驱动器发出故障信号。
- 当多个内部和外部刹车源需要被合并时，他们通过“或”连接在一起去产生唯一的刹车事件。

tim\_brk 输入通过控制 TIM<sub>x</sub>\_BDTR 寄存器的 BRKBID 来配置为双向模式。BRKBID 可以使用 TIM<sub>x</sub>\_BKDT 寄存器中的 LOCK 位以只读模式锁定（在 LOCK 级别 1 或以上）。

双向模式对 tim\_brk 输入可用，要求 I/O 配置为开漏模式，极性为低电平（通过 TIM<sub>x</sub>\_AF1.IOMBRKP, TIM<sub>x</sub>\_BKDT.BKP 位）。任何来自系统（如 CSS）、片上外设或刹车输入的刹车请求都会迫使刹车输入出现低电平，以示故障事件。为了安全起见，如果极性位没有被正确设置，双向模式就会被抑制（比如设置为高电平有效，双向模式不生效）。

软件刹车事件（TIM<sub>x</sub>\_EVTGEN.BGN）也会导致刹车 IO 强制为“0”，以便向外部器件标明定时器进入刹车状态。然而，这只有当刹车被启用（TIM<sub>x</sub>\_BKDT.BKEN=1）时才有效。当一个软件刹车事件产生（TIM<sub>x</sub>\_BKDT.BKEN=0）时，输出被置于安全状态，并且刹车标志被设置。但对 TIM<sub>x</sub>\_BKIN I/O 没有影响。

安全解除机制可防止系统被完全锁定（刹车输入上的低电平触发刹车，从而在同一输入上强制执行低电平）。

当 TIM<sub>x</sub>\_BKDT.BRKDSRM 位被设置为 1 时，就会释放刹车输出，以清除一个故障信号。并为重新启动系统提供了可能。

在任何时候，刹车保护电路都不能被禁用：

- 刹车输入路径始终是激活的：即使 TIM<sub>x</sub>\_BKDT.BRKDSRM 位被设置并且漏极开路控制被释放，刹车事件也处于激活状态。这可防止 PWM 输出在刹车条件存在时重新启动。
- 只要输出被启用（TIM<sub>x</sub>\_BKDT.MOEN 位被设置），TIM<sub>x</sub>\_BKDT.BRKDSRM 位就不能解除刹车保护

表 20-11 刹车保护状态解除条件

MOEN	BRKBID	BRKDSRM	刹车保护状态
0	0	X	保护
0	1	0	保护
0	1	1	解除保护
1	X	X	保护

启用和重新启用刹车电路

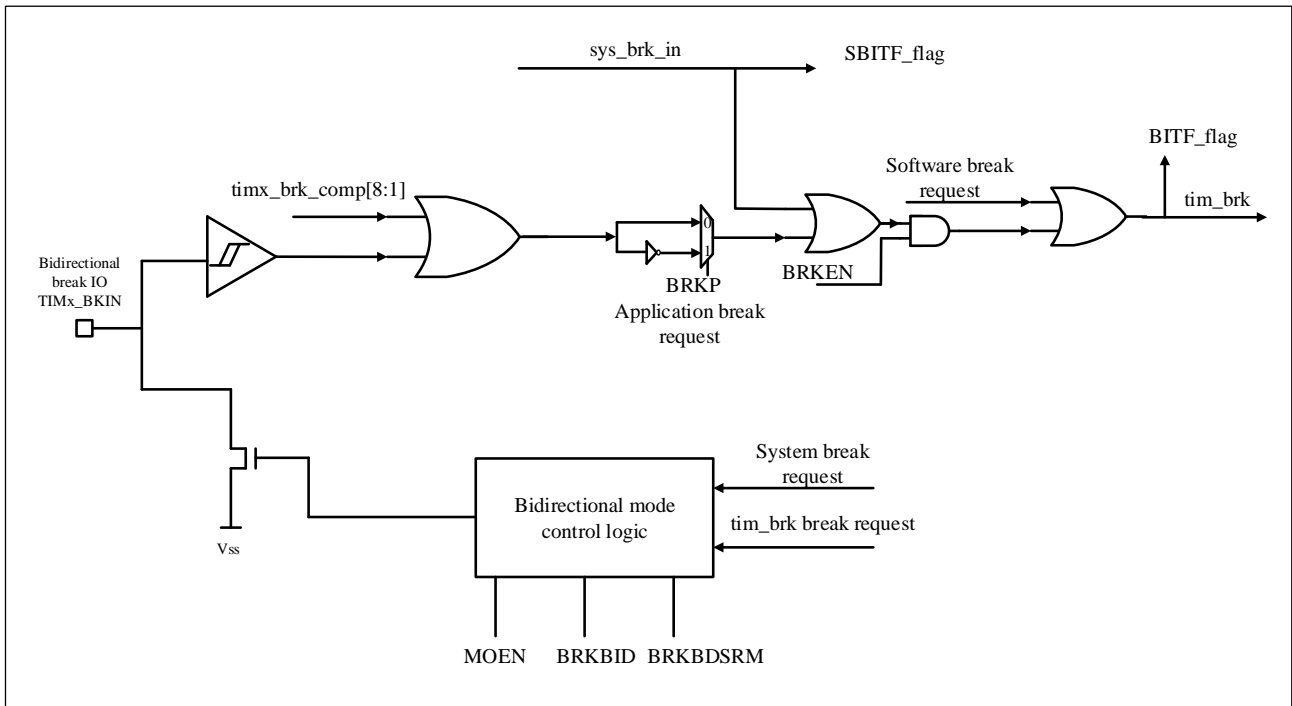
默认情况下（在输入或双向模式下），刹车电路处于待命状态（外设复位配置）。

刹车事件后，必须遵循以下程序重新启用保护：

- 必须设置 TIMx\_BKDT.BRKDSRM 位以释放输出控制
- 软件必须等待系统刹车条件消失，并清除 TIMx\_STS.SBIF 状态标志（或在重新启用前系统清除）
- 软件必须轮询 TIMx\_BKDT.BRKDSRM 位，直到被硬件清除（当应用程序刹车条件消失时）

从这一点开始，刹车电路处于待命状态并处于激活状态，并且可以设置 TIMx\_BKDT.MOEN 位以重新启用 PWM 输出。

图 20-34 输出重定向



### 20.5.18 调试模式

当微控制器处于调试模式（Cortex-M4 内核停止）时，根据 DBG\_CTRL.GTIMBx\_STOP 位配置，定时器计数器可以继续正常工作或停止。

### 20.5.19 GTIMBx 定时器和外部触发的同步

定时器可以通过从模式（复位、触发和门控）中的触发器进行同步。

#### 20.5.19.1 从模式：复位模式

在复位模式下，触发事件可以复位计数器和预分频器。更新预加载寄存器 TIMx\_AR、TIMx\_CCDATx，并产生更新事件 UEV（TIMx\_CTRL1.UPRS=0）。

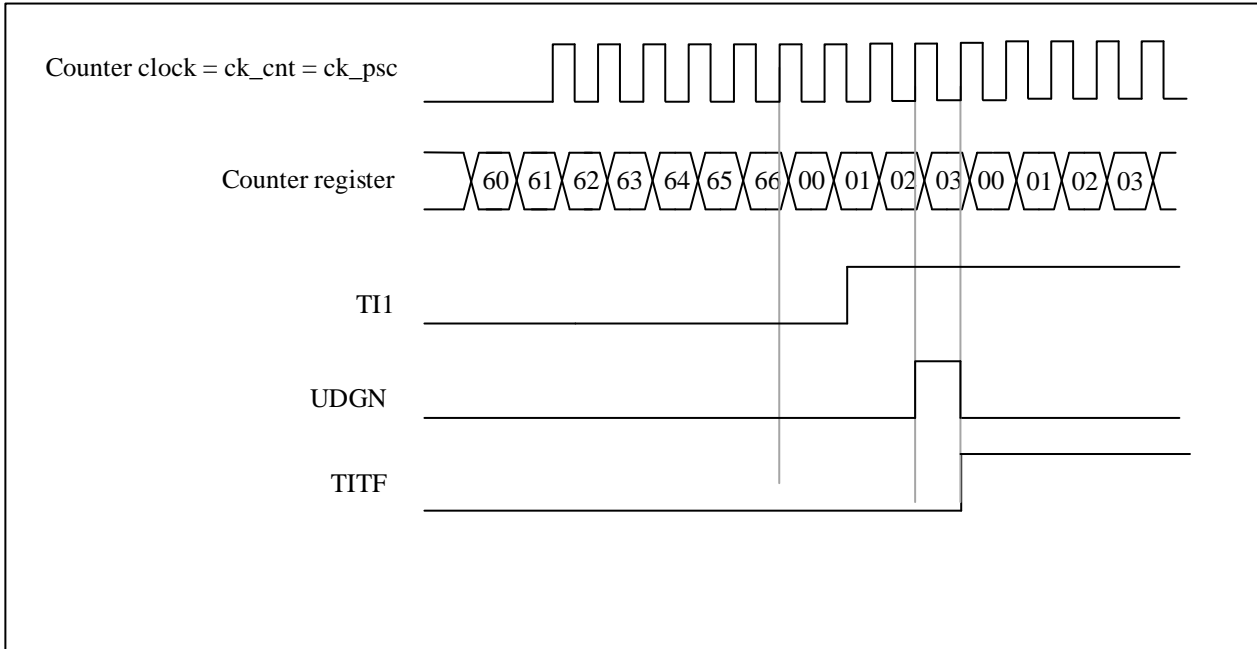
以下是复位模式的示例：

7. 通道 1 配置为输入检测 TI1 的上升沿（TIMx\_CCMOD1.CC1SEL=01，TIMx\_CCEN.CC1P=0）；
8. 从模式选择为复位模式（TIMx\_SMCTRL.SMSEL=0100），触发输入选择为 TI1（TIMx\_SMCTRL.TSEL=101）；

9. 启动计数器 (TIMx\_CTRL1.CNTEN = 1)

启动定时器后,当 TI1 检测到上升沿时,计数器复位并重新开始计数,并设置触发标志(TIMx\_STS.TITF=1); TI1 的上升沿与实际计数器复位之间的延迟是由于 TI1 输入的重新同步电路引起的。

图 20-35 复位模式下的控制电路



20.5.19.2 从模式：触发模式

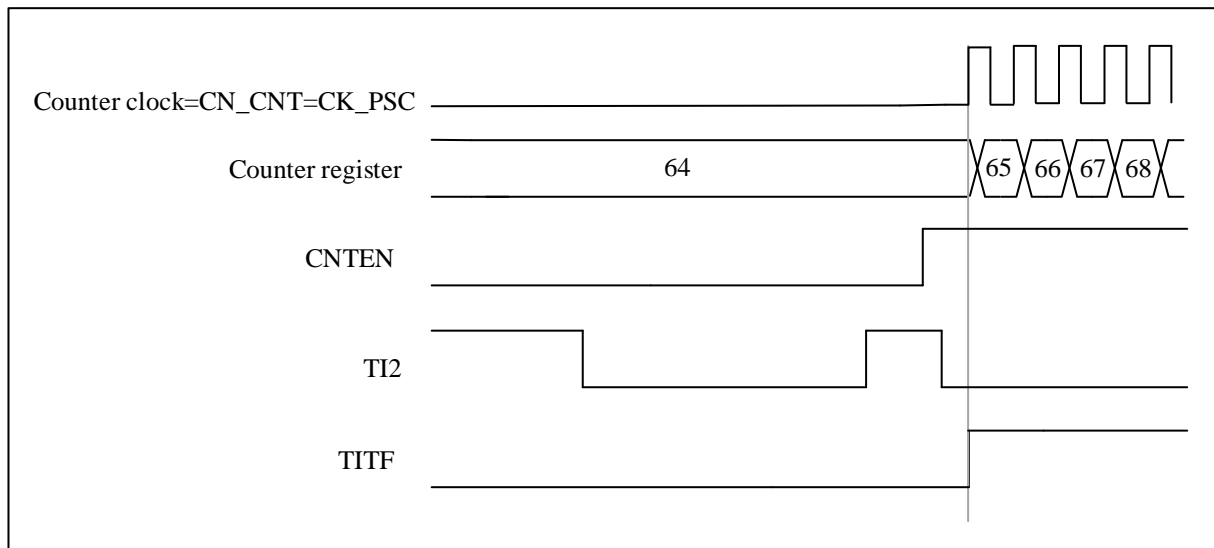
在触发模式下,输入端口的触发事件(上升沿/下降沿)可以触发计数器开始计数。

以下是触发模式的示例:

5. 通道 2 配置为输入,检测 TI2 的上升沿 (TIMx\_CCMOD1.CC2SEL=01, TIMx\_CCEN.CC2P=0);
  6. 选择从模式为触发模式(TIMx\_SMCTRL.SMSEL=0110),触发输入选择 TI2(TIMx\_SMCTRL.TSEL=110);
- 当 TI2 检测到上升沿时,计数器开始计数,触发标志置位 (TIMx\_STS.TITF=1);

TI2 的上升沿与实际计数器启动之间的延迟是由于 TI2 输入的重新同步电路引起的。

图 20-36 触发器模式下的控制电路



### 20.5.19.3 从模式：门控模式

在门控模式下，输入端口的电平极性可以控制计数器是否计数。

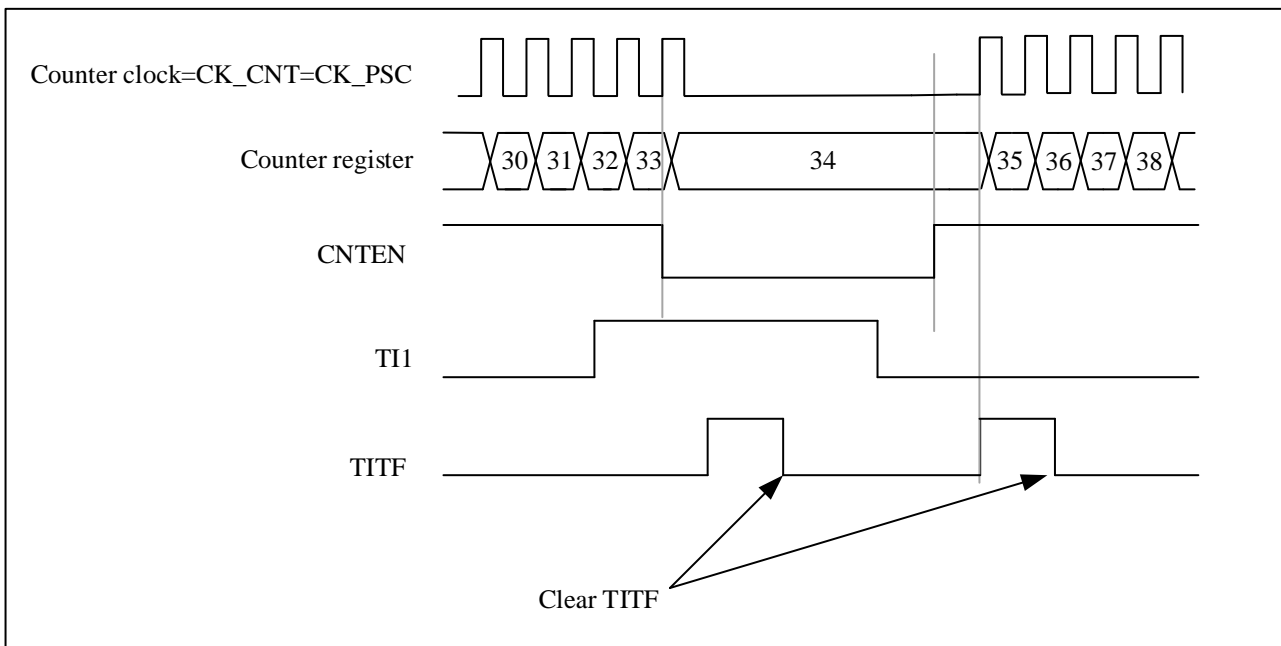
以下是门控模式的示例：

7. 通道 1 配置为 TI1 上的输入检测低电平有效 ( $TIMx\_CCMOD1.CC1SEL=01$ ,  $TIMx\_CCEN.CC1P=1$ );
8. 选择从模式为门控模式 ( $TIMx\_SMCTRL.SMSEL=0101$ )，选择 TI1 作为 TRGI ( $TIMx\_SMCTRL.TSEL=101$ );
9. 启动计数器 ( $TIMx\_CTRL1.CNTEN = 1$ );

当 TI1 检测到电平由低变高时，计数器停止计数，当 TI1 检测到电平由高变低时，计数器开始计数，开始或停止计数时触发标志置位 ( $TIMx\_STS.TITF=1$ )。

TI1 的上升沿与实际计数器停止之间的延迟是由于 TI1 输入的重新同步电路引起的。

图 20-37 门控模式下的控制电路



#### 20.5.19.4 从模式：触发模式 +外部时钟模式 2

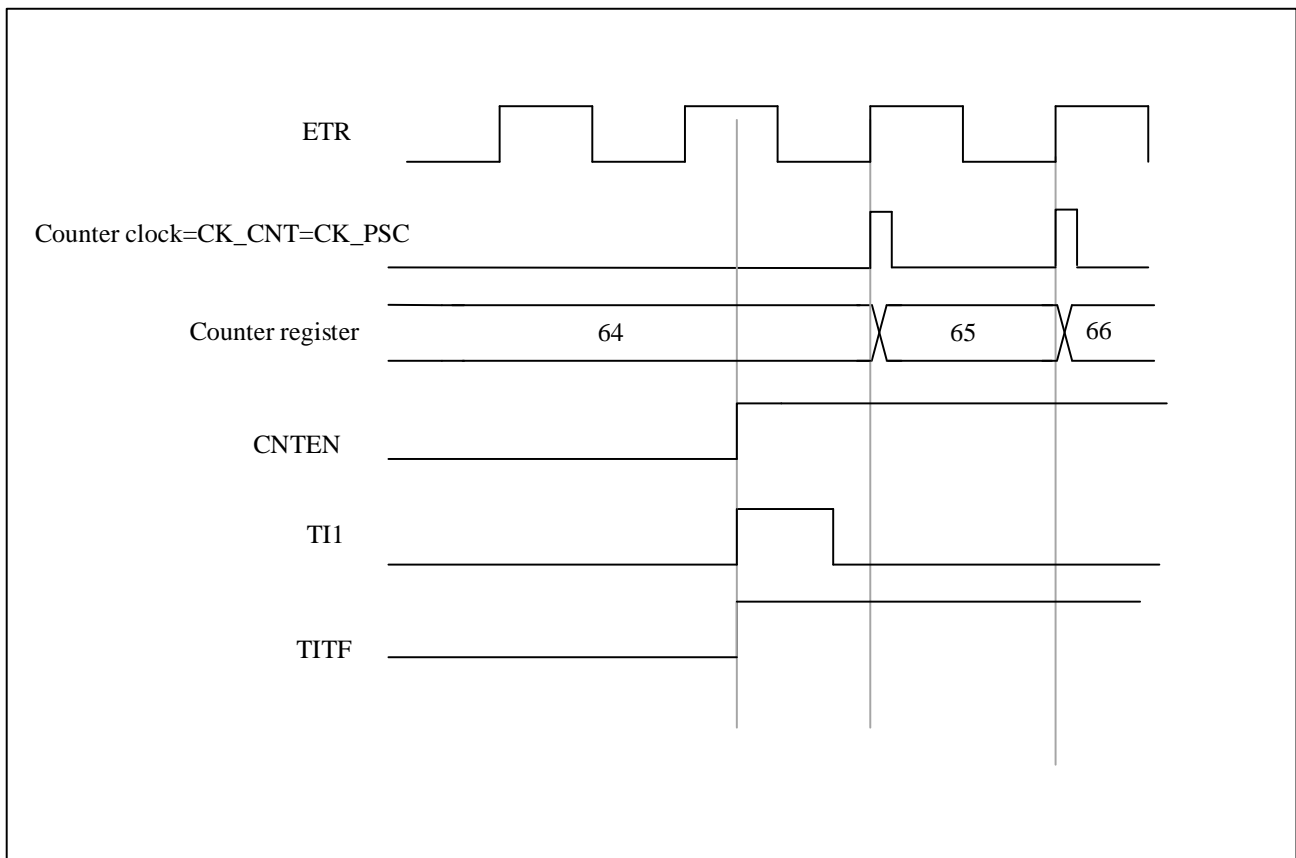
在复位模式、触发模式和门控模式下，计数器时钟可选择为外部时钟模式 2，ETR 信号作为外部时钟源输入。这时候触发选择需要选择非 ETRF (TIMx\_SMCTRL.TSEL=111)。

这是一个例子：

5. 通道 1 配置为输入检测 TI1 的上升沿 (TIMx\_CCMOD1.CC1SEL=01, TIMx\_CCEN.CC1P=0);
6. 使能外部时钟模式 2 (TIMx\_SMCTRL.EXCEN=1), 外部触发极性选择上升沿 (TIMx\_SMCTRL.EXTP=0), 触发模式作为从模式 (TIMx\_SMCTRL.SMSEL=0110), TRGI 选择 TI1 (TIMx\_SMCTRL.TSEL=101);

当 TI1 检测到上升沿时，计数器在 ETR 的上升沿开始计数，并设置触发标志 (TIMx\_STS.TITF=1);

图 20-38 外部时钟模式 2+触发模式下的控制电路



### 20.5.19.5 从模式：组合复位+触发模式

在这种情况下，选定的触发器输入（trgi）的上升沿会重新初始化计数器，生成寄存器的更新，并启动计数器。

这种模式用于单脉冲模式。

输入端上选中的事件复位并使能计数器。

在下面的例子中，计数器在 TI2 输入的上升沿复位并开始向上计数：

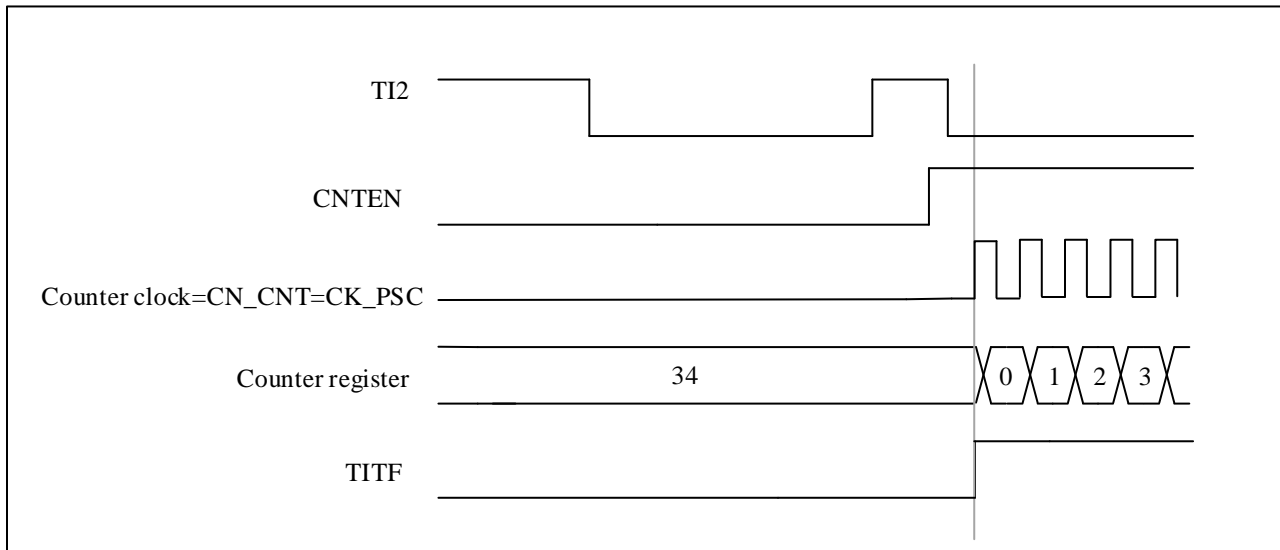
- 配置通道 2 检测 TI2 的上升沿。配置输入滤波器带宽(本例中，不需要任何滤波器，保持 TIMx\_CCMOD1.IC2F=0000)。触发操作中不使用捕获预分频器，不需要配置。TIMx\_CCMOD1.CC2SEL 位只用于选择输入捕获源，置 TIMx\_CCMOD1.CC2SEL=01。置 TIMx\_CCEN.CC2P=1 以确定极性(只检测低电平)
- 置 TIMx\_SMCTRL.SMSEL=1110，配置定时器为组合复位+触发模式；置 TIMx\_SMCTRL.TSEL=110，选择 TI2 作为输入源。

当 TI2 出现一个上升沿时，计数器开始在内部时钟驱动下计数，同时设置 TITF 标志。

TI2 上升沿和计数器启动计数之间的延时，取决于 TI2 输入端的重同步电路。



图 20-39 组合复位+触发模式下的控制电路



### 20.5.19.6 从模式：组合门控+复位模式

当触发器输入 (trgi) 为高电平时，计数器时钟被启用。一旦触发器变为低电平，计数器就会停止，并被复位)。计数器的启动和停止都受到控制。

这种模式可以检测出超范围的 PWM 信号 (占空比超过最大预期值)。

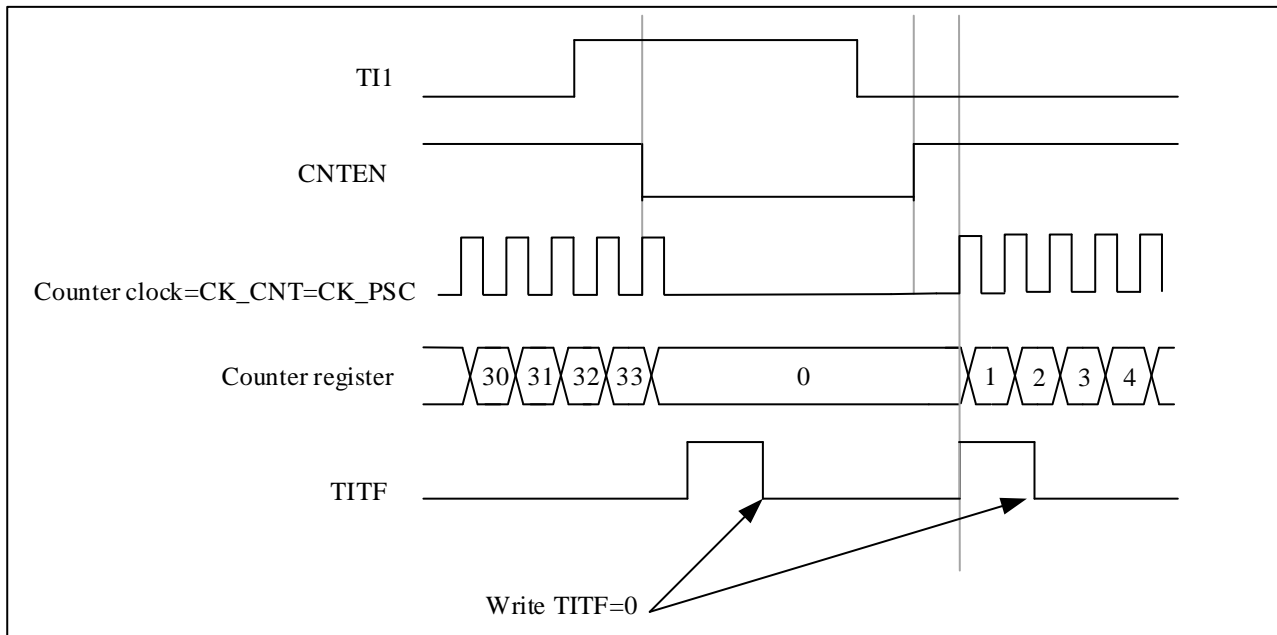
在如下的例子中，计数器只在 TI1 为低时向上计数，在 TI1 变为高时计数器停止并复位：

- 配置通道 1 以检测 TI1 上的低电平。配置输入滤波器带宽(本例中，不需要滤波，所以保持 TIMx\_CCMOD1.IC1F=0000)。触发操作中不使用捕获预分频器，所以不需要配置。TIMx\_CCMOD1.CC1SEL 位用于选择输入捕获源，置 TIMx\_CCMOD1.CC1SEL=01。置 TIMx\_CCEN.CC1P=1 以确定极性(只检测低电平)。
- 置 TIMx\_SMCTRL.SMSEL=1101，配置定时器为门控+复位模式；置 TIMx\_SMCTRL.TSEL=101，选择 TI1 作为输入源。
- 置 TIMx\_CTRL1 寄存器中 CNTEN=1，启动计数器。在门控+复位模式下，如果 CNTEN=0，则计数器不能启动，不论触发输入电平如何。

只要 TI1 为低，计数器开始依据内部时钟计数，一旦 TI1 变高则停止计数。当计数器开始或停止时都设置 TIMx\_STS 中的 TITF 标置。

TI1 上升沿和计数器实际停止之间的延时取决于 TI1 输入端的重同步电路。

图 20-40 组合门控+复位模式下的控制电路



### 20.5.20 定时器同步

所有 TIM 定时器在内部相连，用于定时器同步或链接。参考 19.5.14。

### 20.5.21 触发 ADC

定时器可通过多种内部信号产生 ADC 触发事件，例如复位、使能或比较事件，也可生成由内部边沿检测器发出的脉冲触发。在重定向到 ADC 的 TRGO 内部线路上发出触发信号可通过 TIMx\_CTRL2 寄存器中的 MMSEL[3:0]位选择。

### 20.5.22 产生六步 PWM 输出

为了同时修改所有通道的配置，可以提前设置下一步的配置（预加载位为 OCxMD、CCxEN 和 CCxNEN）。当发生 COM 换相事件时，OCxMD、CCxEN 和 CCxNEN 预加载位被传送到影子寄存器位。

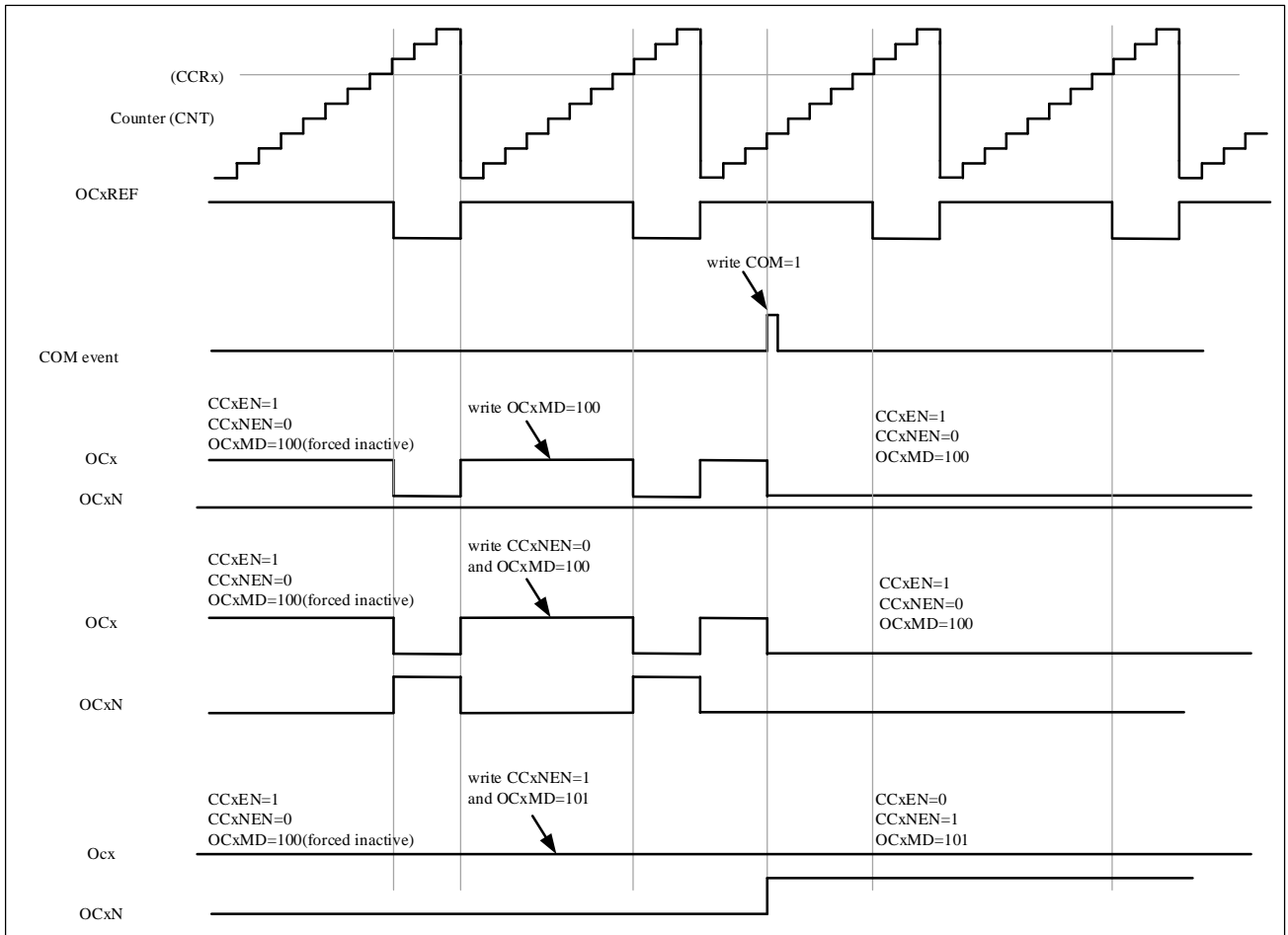
COM 换相事件生成方法：

3. 软件设置 TIMx\_EVTGEN.CCUDGN；
4. 在 TRGI 的上升沿由硬件产生；

当 COM 换相事件发生时，TIMx\_STS.COMITF 标志将被设置，启用中断 (TIMx\_DINTEN.COMIEN) 将产生中断，启用 DMA 请求 (TIMx\_DINTEN.COMDEN) 将产生 DMA 请求。

下图显示了三种不同配置下发生 COM 换向事件时 OCx 和 OCxN 的输出时序图：

图 20-41 产生六步 PWM，使用 COM 的例子 (OSSR=1)



## 20.5.23 编码器接口模式

### 20.5.23.1 正交编码模式

编码器使用两个输入 TI1 和 TI2 作为接口，计数器对 TI1FP1 或 TI2FP2 上的每个边沿变化进行计数。计数方向由硬件 TIMx\_CTRL1.DIR 自动控制。正交编码器计数模式共有五种：

- 编码器模式 1：计数器只在 TI1 的边沿计数，TIMx\_SMCTRL.SMSEL = ‘0001’；
- 编码器模式 2：计数器只在 TI2 的边沿计数，TIMx\_SMCTRL.SMSEL = ‘0010’；
- 编码器模式 3：计数器同时在 TI1 和 TI2 的边沿计数，TIMx\_SMCTRL.SMSEL = ‘0011’；
- 编码器模式 4：T2 是高电平时，计数器只在 TI1 的边沿计数，TIMx\_SMCTRL.SMSEL = ‘1001’；
- 编码器模式 5：T1 是高电平时，计数器只在 TI2 的边沿计数，TIMx\_SMCTRL.SMSEL = ‘1010’；

编码器接口相当于使用带方向选择的外部时钟，计数器只在 0 和自动重载值(TIMx\_AR.AR [15:0])之间连续计数。因此，需要提前配置自动重载寄存器 TIMx\_AR。

*注意：编码器模式和外部时钟模式 2 不兼容，不能同时选择。*

计数方向与编码器信号的关系如下表：

**表 20-12** 计数方向与编码器信号的关系 (CC1P=CC2P=0)

有效边沿	SMSEL[3:0]	相对信号的电平 (TI1FP1对应 TI2, TI2FP2对应 TI1)	TI1FP1信号		TI2FP2信号	
			上升	下降	上升	下降
仅在TI1计数	0001	高	向下计数	向上计数	不计数	不计数
		低	向上计数	向下计数	不计数	不计数
仅在TI2计数	0010	高	不计数	不计数	向上计数	向下计数
		低	不计数	不计数	向下计数	向上计数
在TI1和TI2上计数	0011	高	向下计数	向上计数	向上计数	向下计数
		低	向上计数	向下计数	向下计数	向上计数
仅在TI1计数且T2为高电平	1001	高	向下计数	向上计数	不计数	不计数
		低	不计数	不计数	不计数	不计数
仅在TI2计数且T1为高电平	1010	高	不计数	不计数	向上计数	向下计数
		低	不计数	不计数	不计数	不计数

计数器在各个模式下时计数器值的变化如下：

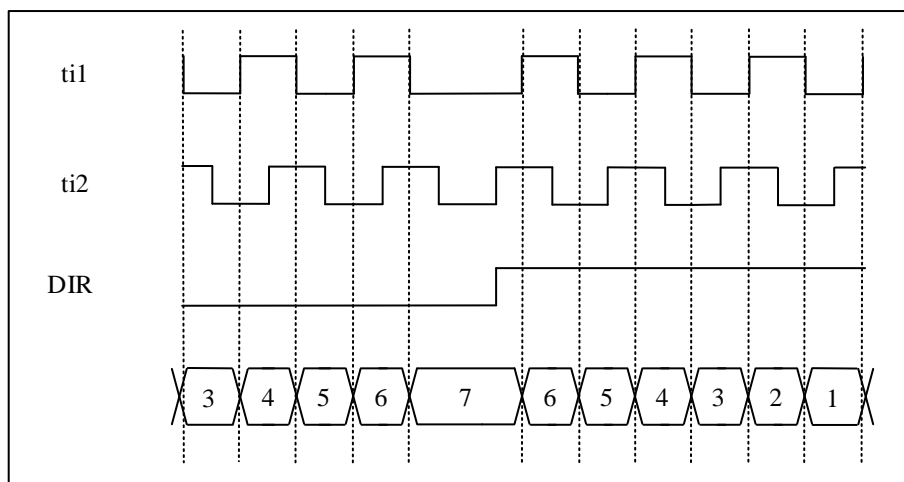
**图 20-42** 编码器仅在 TI1 计数


图 20-43 编码器仅在 TI2 计数

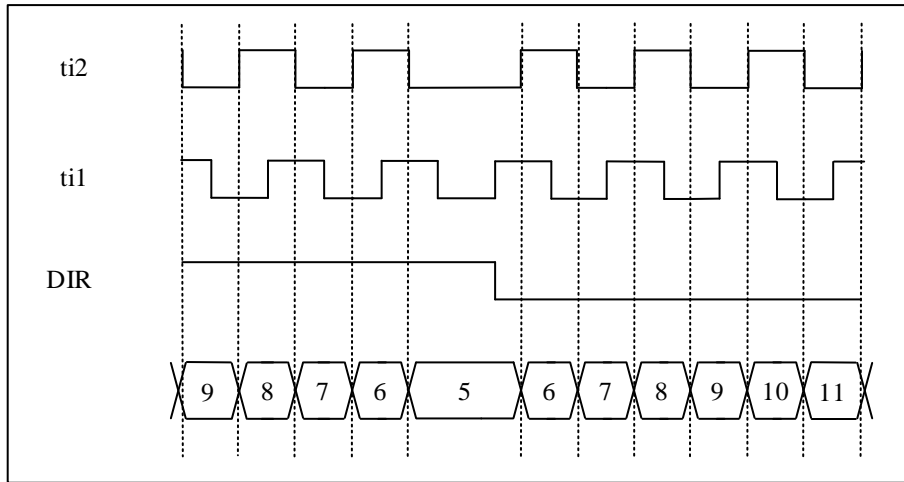


图 20-44 编码器在 TI1 和 TI2 上计数

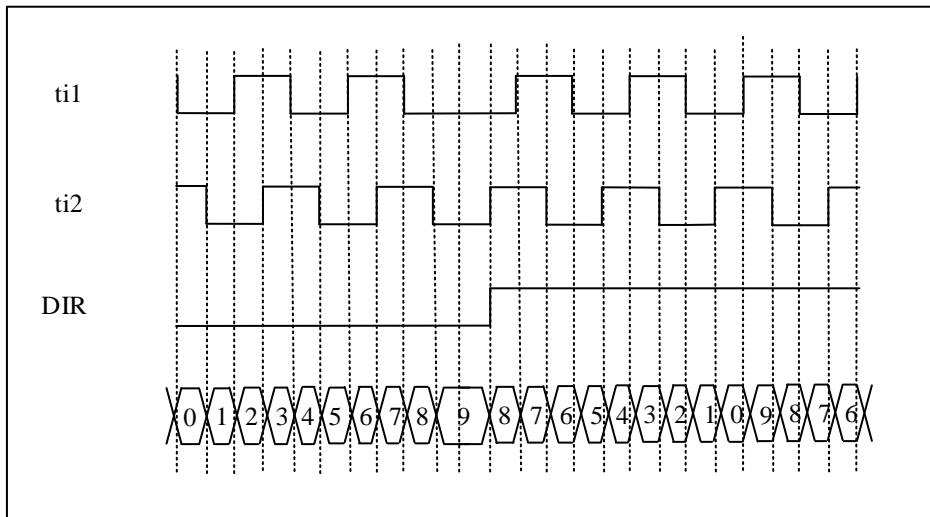


图 20-45 T2 是高电平时，计数器只在 TI1 计数

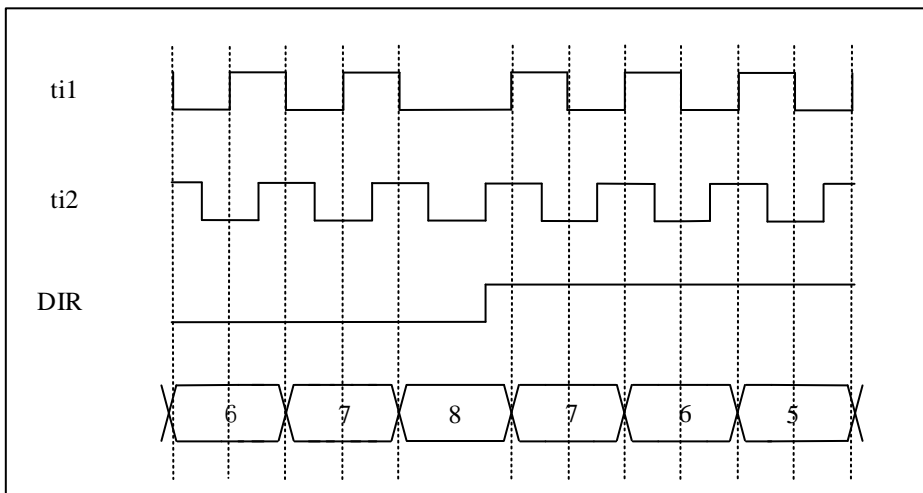
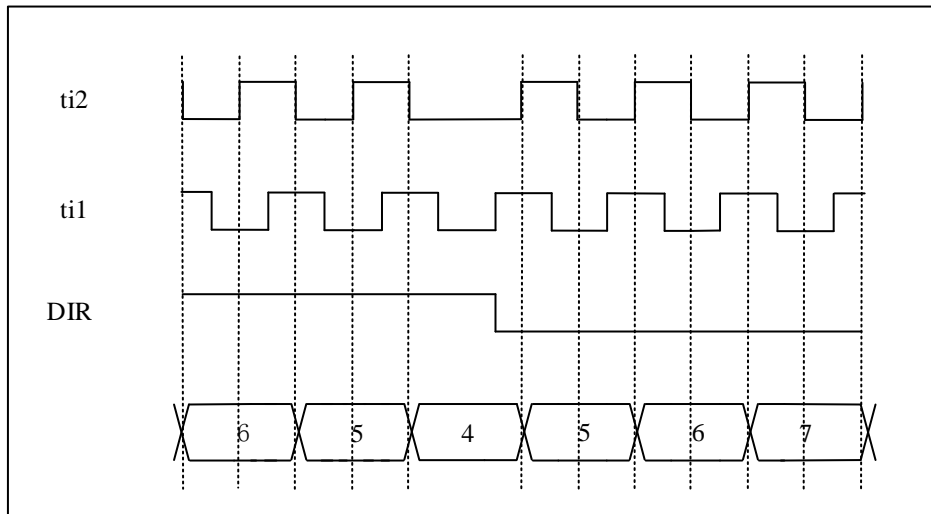


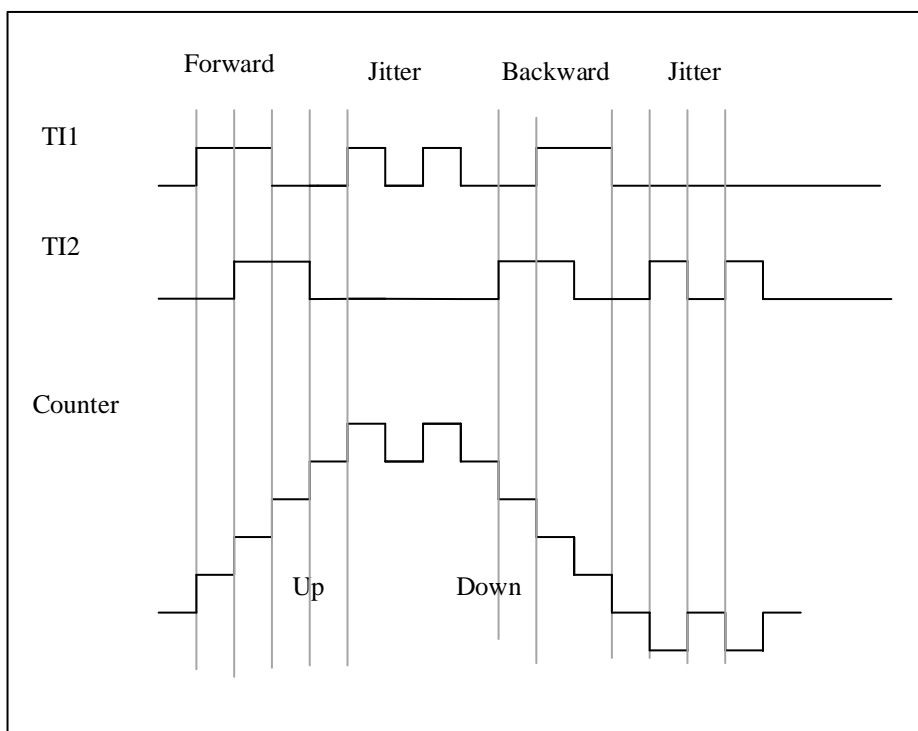
图 20-46 T1 是高电平时，计数器只在 TI2 计数



以下是选择了双边沿触发以抑制输入抖动的编码器示例：

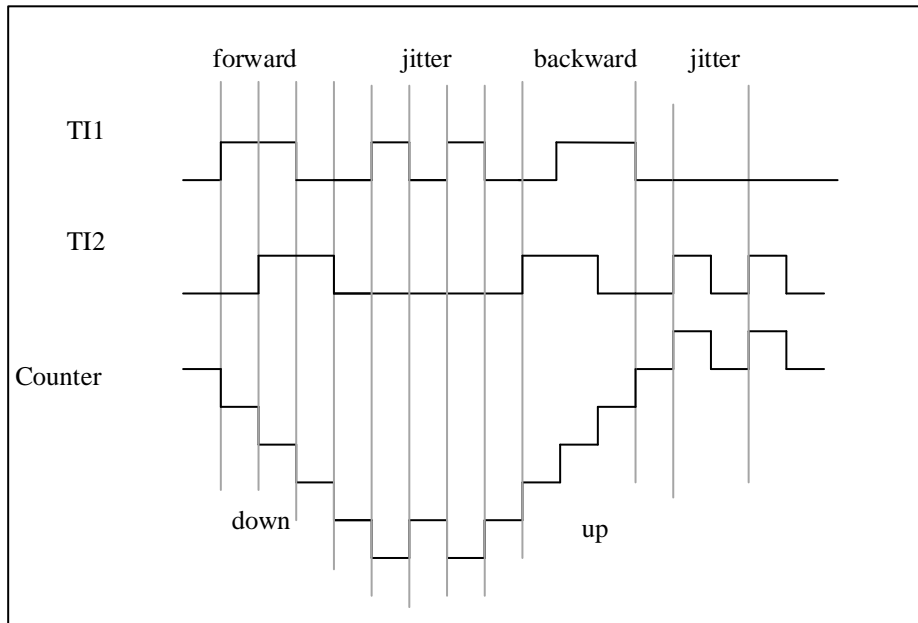
9. IC1FP1 映射到 TI1 (TIMx\_CCMOD1.CC1SEL = '01'), IC1FP1 不反相 (TIMx\_CCEN.CC1P = '0');
10. IC1FP2 映射到 TI2 (TIMx\_CCMOD2.CC2SEL = '01'), IC2FP2 不反相 (TIMx\_CCEN.CC2P = '0');
11. 输入在上升沿和下降沿均有效 (TIMx\_SMCTRL.SMSEL = '0011');
12. 启用计数器 TIMx\_CTRL1.CNTEN = '1';

图 20-47 编码器模式下的计数器操作实例



下图为 IC1FP1 极性反转时的计数器行为示例 (CC1P = '1', 其他配置同上)

图 20-48 IC1FP1 反相的编码器接口模式实例



### 20.5.23.2 脉冲电平编码模式

脉冲电平编码模式中，时钟是在 TI2 上单线上提供的，而计数方向是 TI1 输入提供的。

该模式通过 TIMx\_SMCTRL 寄存器中的 SMSEL[3:0] 启用，具体如下。

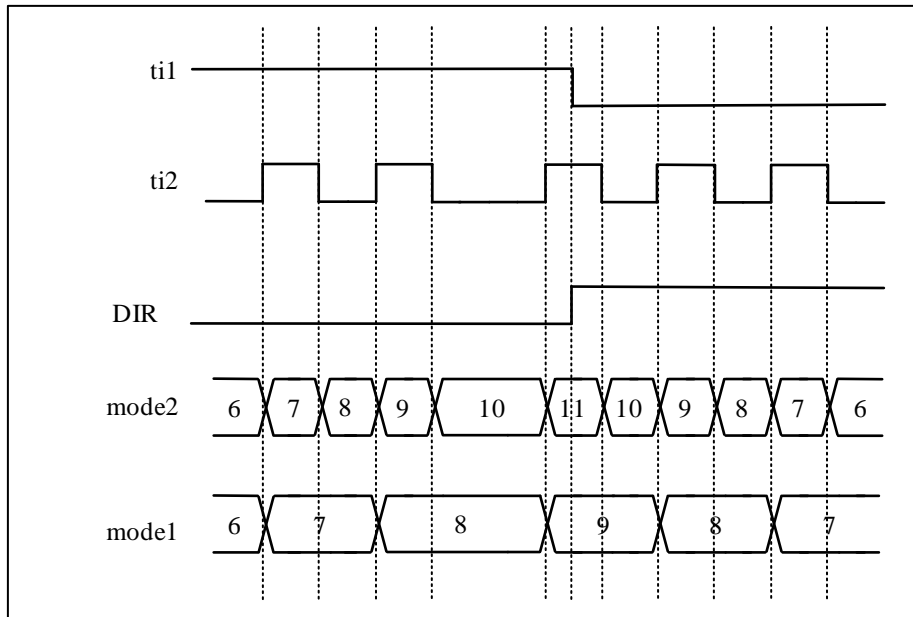
1011：脉冲电平编码模式 2，计数器在时钟的上升沿和下降沿都被更新。

1100：脉冲电平编码模式 1，根据 CC2P 值，计数器在单个时钟沿上更新。CC2P = 0 对应于上升沿计数，CC2P = 1 对应于下降沿计数。

TI1 的方向信号的极性是通过 CC1P 位来设置的。CC2P=0 时当 TI1 为高电平时向上计数，当 TI1 为低电平时向下计数；CC1P=1 时当 TI1 为低电平时向上计数，TI1 为高电平时向下计数。

下图以 CC1P=CC2P=0 为例：

图 20-49 脉冲电平编码模式 (CC1P=CC2P=0)



### 20.5.23.3 双脉冲编码模式

双脉冲编码模式中，时钟在两条线上被提供，根据不同的方向，一次只能提供一条，这样就有一条向上计数的时钟线和一条向下计数的时钟线。

该模式通过 TIMx\_SMCTRL 寄存器中的 SMSEL[3:0]位域启用，具体如下。

- 1000：双脉冲编码模式 2，计数器在两条时钟线中任何一条的上升沿和下降沿都被更新。CC1P 和 CC2P 位是对时钟空闲状态的编码。CCxP=0 对应于高电平空闲状态，CCxP=1 对应于低电平空闲状态。
- 1111：双脉冲编码模式 1，根据 CC1P 和 CC2P 位值，计数器在单个时钟沿上更新。CCxP=0 对应下降沿和高电平状态，CCxP=1 对应上升沿和低电平状态。

下表描述了计数方向与编码器信号和极性设置的关系

表 20-13 计数方向与编码器信号和极性设置的关系

双脉冲编码模式	SMSEL[3:0]	相对信号的电平(TI1FP1 对应 TI2, TI2FP2 对应 TI1)	TI1FP1 信号		TI2FP2 信号	
			上升	下降	上升	下降
模式 2 CCxP=0	1000	高	向下计数	向下计数	向上计数	向上计数
		低	不计数	不计数	不计数	不计数
模式 2	1000	高	不计数	不计数	不计数	不计数



CCxP=1		低	向下计数	向下计数	向上计数	向上计数
模式 1 CCxP=0	1111	高	不计数	向下计数	不计数	向上计数
		低	不计数	不计数	不计数	不计数
模式 1 CCxP=1	1111	高	不计数	不计数	不计数	不计数
		低	向下计数	不计数	向上计数	不计数

下图显示了双脉冲编码模式计数器计数方式

图 20-50 双脉冲编码模式 (CC1P = CC2P = 0)

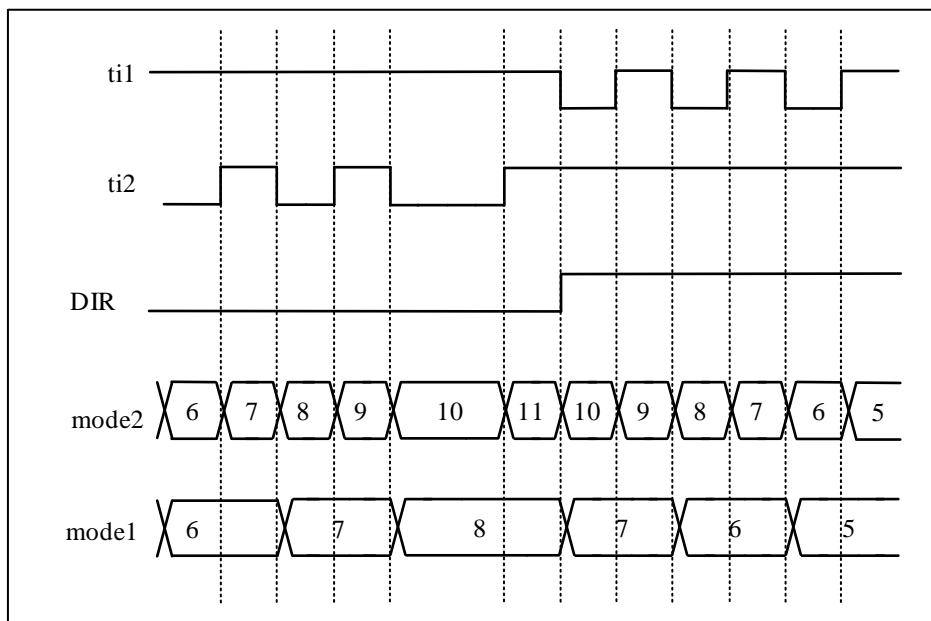
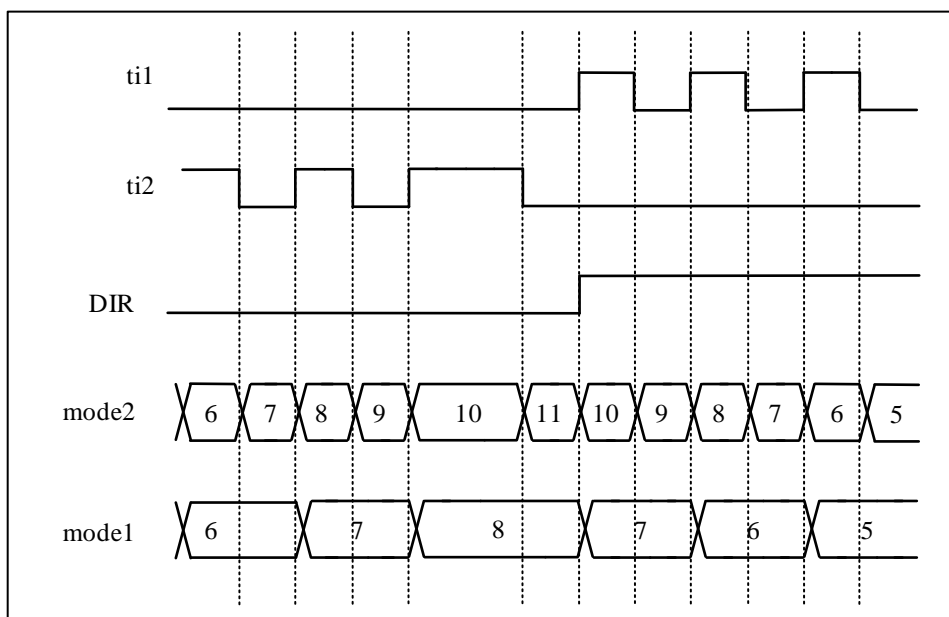


图 20-51 双脉冲编码模式 (CC1P = CC2P = 1)



## 20.5.24 与霍尔传感器的接口

请查阅18.4.22节

## 20.5.25 UDITF 位重映射

TIMx\_CTRL1 寄存器中的 UDITFREMAP 位强制将更新中断标志 UDITF 连续复制到定时计数器寄存器的位 31 (TIMx\_CNT[31])中, 即 UDITFCPY 位。这样便可自动读取计数器值以及 UDITFCPY 标志的翻转。在特定情况下, 这可避免在后台任务(计数器读)和中断(更新中断)之间共享处理时产生竞争条件, 从而简化计算。

UDITF 和 UDITFCPY 标志使能之间没有延迟。

## 20.6 GTIMBx(x=1,2,3)寄存器描述

关于在寄存器描述里面所用到的缩写, 详见 1.1 节。

可以用半字(16 位)或字(32 位)的方式操作这些外设寄存器。

## 20.6.1 控制寄存器 1 (TIMx\_CTRL1)

偏移地址: 0x00

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved							UDITF REMAP	ASYMME TRIC	Reserved						
							rw	rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRAMEC CERREN	Reserved	CLRSEL	SRAMPA RERREN	PBKPEN	LBKPEN	ARPEN	ONEPM	CLKD[1:0]	UPDIS	UPRS	CAMSEL[1:0]	DIR	CNTEN		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:25	Reserved	保留, 必须保持复位值
24	UDITFREMAP	UDITF状态位重映射 (UDITF status bit remapping) 0: 无重映射。UDITF状态位不复制到 TIMx_CNT 寄存器的位 31。 1: 使能重映射。UDITF状态位复制到 TIMx_CNT 寄存器的位 31。
23	ASYMMETRIC	中央对齐非对称模式使能 (Asymmetric mode enable in center-aligned mode) 0: 禁用 1: 使能 (当TIMx_CTRL1.CAMSEL[1:0]非零时有效, 每个通道向上计数时与CCDATx比较, 向下计数时与CCDDATx比较)
22:16	Reserved	保留, 必须保持复位值
15	SRAMECCERREN	SRAM ECC错误作为BRK使能 (SRAM ECC error as brk Enable) 0: 禁止 1: 使能 注意: 系统复位和上电复位可将此位清零, 定时器复位无法将此位清零。
14	Reserved	保留, 必须保持复位值
13	CLRSEL	OcxRef清除选择 (OcxRef clear selection) 0: 选择外部Ocxclr (TIMx_ETR)信号, 具体选择见TIMx_INSEL.ETRS 1: 选择内部Ocxclr (tim_ocref_clr)信号, 具体选择见TIMx_INSEL.CLRS
12	SRAMPARERREN	SRAM PAR错误作为BRK使能 (SRAM parity error as brk Enable) 0: 禁止 1: 使能 注意: 系统复位和上电复位可以将此位清0, 模块复位不能将此位清0
11	PBKPEN	PVD作为BRK使能 (PVD as brk Enable) 0: 禁止 1: 使能 注意: 系统复位和上电复位可以将此位清0, 模块复位不能将此位清0

位域	名称	描述
10	LBKPEN	锁存作为BRK使能 (LockUp as brk Enable) (Core Hardfault) 0: 禁止 1: 使能 注意: 系统复位和上电复位可以将此位清0, 模块复位不能将此位清0
9	ARPEN	自动重载预装载允许位 (Auto-reload preload enable) 0: TIMx_AR 寄存器的影子寄存器禁用 1: TIMx_AR 寄存器的影子寄存器使能
8	ONEPM	单脉冲模式 (One pulse mode) 0: 禁用单脉冲模式, 发生更新事件时不影响计数器计数。 1: 使能单脉冲模式, 下次更新事件发生时计数器停止计数
7:6	CLKD[1:0]	时钟分频因子 (Clock division) CLKD[1:0] 表示 CK_INT (定时器时钟) 和 DTS (用于死区时间发生器和数字滤波器 (ETR、TIx) 的时钟) 之间的分频比。 00: $t_{DTS} = t_{CK\_INT}$ 01: $t_{DTS} = 2 \times t_{CK\_INT}$ 10: $t_{DTS} = 4 \times t_{CK\_INT}$ 11: 保留, 不要使用这个配置
5	UPDIS	更新禁用 (Update disable) 该位用于启用/禁用软件生成的更新事件 (UEV) 事件。 0: 启用。如果满足以下条件之一, 将生成 UEV: - 计数器上溢/下溢 - TIMx_EVTGEN.UDGN 位被设置 - 从模式控制器的更新生成 影子寄存器将使用预加载值进行更新。 1: UEV 禁用。不生成更新事件, 影子寄存器 (AR、PSC 和 CCDATx) 保持它们的值。如果 TIMx_EVTGEN.UDGN 位置位或从模式控制器发出硬件复位, 则重新初始化计数器和预分频器。
4	UPRS	更新请求源 (Update request source) 该位用于通过软件选择 UEV 事件源。 0: 如果更新中断或 DMA 请求使能, 以下任何事件都会产生更新中断或 DMA 请求: - 计数器上溢/下溢 - TIMx_EVTGEN.UDGN 位被设置 - 从模式控制器的更新生成 1: 如果更新中断或 DMA 请求使能, 只有计数器上溢/下溢会产生更新中断或 DMA 请求。

位域	名称	描述
3:2	CAMSEL[1:0]	选择中央对齐模式（Center-aligned mode selection） 00：边缘对齐模式。TIMx_CTRL1.DIR 指定向上计数或向下计数。 01：中央对齐模式1。计数器在中央对齐模式下计数，向下计数时输出比较中断标志位设置为1。 10：中央对齐模式2。计数器在中央对齐模式下计数，向上计数时输出比较中断标志位设置为1。 11：中央对齐模式3。计数器在中央对齐模式下计数，向上计数或向下计数时输出比较中断标志位设置为1。 注意：当计数器仍然启用时（TIMx_CTRL1.CNTEN = 1），不允许从边缘对齐模式切换到中央对齐模式。
1	DIR	方向（Direction） 0：计数器向上计数； 1：计数器向下计数。 注意：当计数器配置为中央对齐模式或编码器模式时，该位为只读。
0	CNTEN	使能计数器（Counter enable） 0：禁止计数器； 1：使能计数器。 注意：在软件设置了CNTEN位后，外部时钟、门控模式和编码器模式才能工作。触发模式可以自动地通过硬件设置CNTEN位。

## 20.6.2 控制寄存器 2 (TIMx\_CTRL2)

偏移地址：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved												TI1SEL	CCPCTL	CCDSEL	CCUSEL
												rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MMSEL[3:0]			Reserved			O15	Reserved	O14	Reserved	O13	Reserved	O12	O11N	O11	
rw						rw		rw		rw		rw	rw	rw	

位域	名称	描述
31:20	Reserved	保留，必须保持复位值
19	TI1SEL	TI1选择（TI1 selection） 0：TIMx_CH1引脚连到TI1输入； 1：TIMx_CH1、TIMx_CH2和TIMx_CH3引脚经异或后连到TI1输入。
18	CCPCTL	捕获/比较预装载控制位（Capture/compare preloaded control） 0：CCxEN，CCxNEN和OCxMD位不是预装载的；

位域	名称	描述
		1: CCxEN, CCxNEN和OCxMD位是预装载的; 设置该位后, 它们只在设置了CCUDGN位后被更新。 注意: 该位只对具有互补输出的通道起作用。
17	CCDSEL	捕获/比较的DMA选择 (Capture/compare DMA selection) 0: 当发生CCx事件时, 送出CCx的DMA请求; 1: 当发生更新事件时, 送出CCx的DMA请求。
16	CCUSEL	捕获/比较控制更新选择 (Capture/compare control update selection) 0: 如果捕获/比较控制位是预装载的 (CCPCTL =1), 只能通过设置CCUDGN位更新它们; 1: 如果捕获/比较控制位是预装载的 (CCPCTL =1), 可以通过设置CCUDGN位或TRGI上的一个上升沿更新它们。 注意: 该位只对具有互补输出的通道起作用。
15:12	MMSEL[3:0]	主模式选择 这 4 位用于选择在主模式下发送到从定时器的同步信息 (TRGO)。可能的组合如下: 0000: 复位 - 当 TIMx_EVTGEN.UDGN 置位或从模式控制器产生复位时, 将出现 TRGO 脉冲。在后一种情况下, TRGO 上的信号与实际复位相比有所延迟。 0001: 使能 - TIMx_CTRL1.CNTEN 位用作触发输出 (TRGO)。有时需要同时启动多个定时器或者在一段时间内开启从定时器。 当 TIMx_CTRL1.CNTEN 位置位或门控模式下的触发输入为高电平时, 计数器使能信号置位。 当计数器使能信号由触发输入控制时, TRGO 上有一个延迟, 除非选择了主/从模式 (参见 TIMx_SMCTRL.MSMD 位的说明)。 0010: 更新 - 选择更新事件作为触发输出 (TRGO)。例如, 主定时器时钟可用作从定时器预分频器。 0011: 比较脉冲 - 当 TIMx_STS.CC1ITF 被设置时 (即使它已经是高电平), 即捕获或比较成功时, 触发输出发送一个正脉冲 (TRGO)。 0100: 比较 - OC1REF 信号用作触发输出 (TRGO)。 0101: 比较 - OC2REF 信号用作触发输出 (TRGO)。 0110: 比较 - OC3REF 信号用作触发输出 (TRGO)。 0111: 比较 - OC4REF 信号用作触发输出 (TRGO)。 1xxx: 保留。
11:9	Reserved	保留, 必须保持复位值
8	OI5	输出空闲状态5 (OC5输出)。参见OI1位。
7	Reserved	保留, 必须保持复位值
6	OI4	输出空闲状态4 (OC4输出)。参见OI1位。
5	Reserved	保留, 必须保持复位值
4	OI3	输出空闲状态3 (OC3输出)。参见OI1位。
3	Reserved	保留, 必须保持复位值

位域	名称	描述
2	OI2	输出空闲状态2（OC2输出）。参见OI1位。
1	OI1N	输出空闲状态1（OC1N输出）（Output Idle state 1N） 0：当MOEN=0时，死区后OC1N=0； 1：当MOEN=0时，死区后OC1N=1。 注意：已经设置了TIMx_BKDT.LCKCFG级别1、2或3后，该位不能被修改。
0	OI1	输出空闲状态1（OC1输出）（Output Idle state 1） 0：当MOEN=0时，如果实现了OC1N，则死区后OC1=0； 1：当MOEN=0时，如果实现了OC1N，则死区后OC1=1。 注意：已经设置了TIMx_BKDT.LCKCFG级别1、2或3后，该位不能被修改。

### 20.6.3 状态寄存器（TIMx\_STS）

偏移地址：0x08

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved										SBITF	Reserved	BITF	TITF	COMITF	UDITF
										rc_w0		rc_w0	rc_w0	rc_w0	rc_w0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				CC4OCF	CC3OCF	CC2OCF	CC1OCF	Reserved			CC5ITF	CC4ITF	CC3ITF	CC2ITF	CC1ITF
				rc_w0	rc_w0	rc_w0	rc_w0				rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

位域	名称	描述
31:22	Reserved	保留，必须保持复位值
21	SBITF	系统刹车中断标记(System break interrupt flag) 一旦系统刹车输入有效，由硬件对该位置'1'。如果系统刹车输入无效，则该位可由软件清'0'。 0：无刹车事件产生； 1：系统刹车输入上检测到有效电平。
20	Reserved	保留，必须保持复位值
19	BITF	刹车1中断标记（Break1 interrupt flag） 一旦刹车1输入有效，由硬件对该位置'1'。如果刹车1输入无效，则该位可由软件清'0'。 0：无刹车1事件产生； 1：刹车1输入上检测到有效电平。
18	TITF	触发器中断标记（Trigger interrupt flag） 当发生触发事件（当从模式控制器处于除门控模式外的其它模式时，在TRGI输入端检测到有效边沿，或门控模式下的任一边沿）时由硬件对该位置'1'。它由软件清'0'。 0：无触发器事件产生； 1：触发中断等待响应。

位域	名称	描述
17	COMITF	COM中断标记 (COM interrupt flag) 一旦产生COM事件 (当捕获/比较控制位: CCxEN、CCxNEN、OCxMD已被更新) 该位由硬件置'1'。它由软件清'0'。 0: 无COM事件产生; 1: COM中断等待响应。
16	UDITF	更新中断标志 (Update interrupt flag) 当在以下条件下发生更新事件时, 该位由硬件设置: - 当 TIMx_CTRL1.UPDIS = 0 时, 并且重复计数器值上溢或下溢 (当重复计数器等于 0 时生成更新事件UEV)。 - 当 TIMx_CTRL1.UPRS = 0 时, TIMx_CTRL1.UPDIS = 0, 并通过软件设置 TIMx_EVTGEN.UDGN 位以重新初始化 CNT。 - 当 TIMx_CTRL1.UPRS = 0 时, TIMx_CTRL1.UPDIS = 0, 并且计数器 CNT 由触发事件重新初始化。(参见 TIMx_SMCTRL 寄存器说明) 该位由软件清零。 0: 未发生更新事件 1: 发生更新中断
15:12	Reserved	保留, 必须保持复位值
11	CC4OCF	捕获/比较4重复捕获标记 (Capture/Compare 4 overcapture flag) 参见CC1OCF描述。
10	CC3OCF	捕获/比较3重复捕获标记 (Capture/Compare 3 overcapture flag) 参见CC1OCF描述。
9	CC2OCF	捕获/比较2重复捕获标记 (Capture/Compare 2 overcapture flag) 参见CC1OCF描述。
8	CC1OCF	捕获/比较1重复捕获标记 (Capture/Compare 1 overcapture flag) 仅当相应的通道被配置为输入捕获时, 该标记可由硬件置1。写0可清除该位。 0: 无重复捕获产生; 1: 计数器的值被捕获到TIMx_CC DAT1 寄存器时, CC1ITF的状态已经为'1'。
7:5	Reserved	保留, 必须保持复位值
4	CC5ITF	捕获/比较5中断标记 (Capture/Compare 5 interrupt flag) 参考CC1ITF描述。
3	CC4ITF	捕获/比较4中断标记 (Capture/Compare 4 interrupt flag) 参考CC1ITF描述。
2	CC3ITF	捕获/比较3中断标记 (Capture/Compare 3 interrupt flag) 参考CC1ITF描述。
1	CC2ITF	捕获/比较2中断标记 (Capture/Compare 2 interrupt flag) 参考CC1ITF描述。
0	CC1ITF	捕获/比较1中断标记 (Capture/Compare 1 interrupt flag) <b>如果通道CC1配置为输出模式:</b> 除中央对齐模式外, 当计数器值与比较值相同时, 该位由硬件设置 (参见



位域	名称	描述
		TIMx_CTRL1.CAMSEL 位描述)。该位由软件清零。 0: 未发生匹配。 1: TIMx_CNT 的值与 TIMx_CCDAT1 的值相同。 当 TIMx_CCDAT1 的值大于 TIMx_AR 的值时, 如果计数器溢出(在向上计数和向上/向下计数模式下)和向下计数模式下溢, 则 TIMx_STS.CC1ITF 位将变为高电平。 <b>如果通道CC1配置为输入模式:</b> 当捕捉事件发生时, 该位由硬件设置。该位由软件或读取 TIMx_CCDAT1 清零。 0: 未发生输入捕捉。 1: 发生输入捕捉。计数器值已在 TIMx_CCDAT1 中捕获。在 IC1 上检测到与所选极性相同的边沿。

## 20.6.4 事件产生寄存器 (TIMx\_EVTGEN)

偏移地址:0x0C

复位值:0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				BGN	TGN	CCUDGN	UDGN	Reserved				CC4GN	CC3GN	CC2GN	CC1GN
				w	w	w	w					w	w	w	w

位域	名称	描述
31:12	Reserved	保留, 必须保持复位值
11	BGN	产生刹车1事件 (Break1 generation) 当由软件设置时, 该位可以产生一个刹车1事件。而此时TIMx_BKDT.MOEN = 0, TIMx_STS.BITF = 1, 如果相应的中断和DMA被使能, 就会产生相应的中断和DMA。该位由硬件自动清零。 0: 无动作 1: 产生刹车1事件
10	TGN	产生触发事件 (Trigger generation) 当由软件置位时, 该位可以产生一个触发事件。而此时TIMx_STS.TITF = 1, 如果相应的中断和DMA被使能, 就会产生相应的中断和DMA。该位由硬件自动清零。 0: 无动作 1: 产生触发事件

位域	名称	描述
9	CCUDGN	捕获/比较事件，产生控制更新（Capture/Compare control update generation） 该位由软件设置。如果此时 TIMx_CTRL2.CCPCTL = 1，则允许更新 CCxEN、CCxNEN 和 OCxMD 位。该位由硬件自动清零。 0：无动作 1：产生一个COM事件 注意：该位仅对具有互补输出的通道有效。
8	UDGN	产生更新事件（Update generation）该位由软件置‘1’，由硬件自动清‘0’。 当由软件设置时，该位可以生成更新事件。而此时计数器会重新初始化，预分频计数器会被清零，计数器在中央对齐或向上计数模式下会被清零，但在向下计数模式下取 TIMx_AR 寄存器的值。该位由硬件自动清零。 0：无动作 1：生成更新事件
7:4	Reserved	保留，必须保持复位值
3	CC4GN	产生捕获/比较4事件（Capture/Compare 4 generation） 参考CC1GN描述。
2	CC3GN	产生捕获/比较3事件（Capture/Compare 3 generation） 参考CC1GN描述。
1	CC2GN	产生捕获/比较2事件（Capture/Compare 2 generation） 参考CC1GN描述。
0	CC1GN	产生捕获/比较1事件（Capture/Compare 1 generation） 当由软件设置时，该位可以产生一个捕获/比较事件。该位由硬件自动清零。 <b>CC1对应通道为输出模式时：</b> TIMx_STS.CC1ITF 标志将被拉高，如果相应的中断和 DMA 被使能，就会产生相应的中断和 DMA。 <b>CC1对应通道为输入模式时：</b> TIMx_CC1DAT1 将捕获当前计数器值，并将 TIMx_STS.CC1ITF 标志拉高，如果相应的中断和 DMA 被使能，则会产生相应的中断和 DMA。如果 TIMx_STS.CC1ITF 已经拉高，则拉高 TIMx_STS.CC1OCF。 0：无动作 1：生成 CC1 捕获/比较事件

## 20.6.5 从模式控制寄存器（TIMx\_SMCTRL）

偏移地址：0x10

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								OCREFCLR[3:0]			OCREF CLR P	Reserved		MSMD	
								rw			rw		rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

EXTF[3:0]	EXTP	EXCEN	EXTPS	SMSEL[3:0]	Reserved	TSEL[2:0]
rw	rw	rw	rw	rw		rw

位域	名称	描述
31:24	Reserved	保留，必须保持复位值
23:20	OCREFCLRF	<p>tim_ocref_clr信号滤波器(tim_ocref_clr signal filter)</p> <p>这些位用于定义 tim_ocref_clr 信号的采样频率和 tim_ocref_clr 数字滤波的带宽。实际上，数字滤波器是一个事件计数器，在记录连续 N 个事件后生成验证输出。</p> <p>0000: 无滤波器，以fDTS采样 1000: 采样频率fSAMPLING=fDTS/8, N=6</p> <p>0001: 采样频率fSAMPLING=fCK_INT, N=2 1001: 采样频率fSAMPLING=fDTS/8, N=8</p> <p>0010: 采样频率fSAMPLING=fCK_INT, N=4 1010: 采样频率fSAMPLING=fDTS/16, N=5</p> <p>0011: 采样频率fSAMPLING=fCK_INT, N=8 1011: 采样频率fSAMPLING=fDTS/16, N=6</p> <p>0100: 采样频率fSAMPLING=fDTS/2, N=6 1100: 采样频率fSAMPLING=fDTS/16, N=8</p> <p>0101: 采样频率fSAMPLING=fDTS/2, N=8 1101: 采样频率fSAMPLING=fDTS/32, N=5</p> <p>0110: 采样频率fSAMPLING=fDTS/4, N=6 1110: 采样频率fSAMPLING=fDTS/32, N=6</p> <p>0111: 采样频率fSAMPLING=fDTS/4, N=8 1111: 采样频率fSAMPLING=fDTS/32, N=8</p>
19	OCREFCLRP	<p>tim_ocref_clr 信号极性 (tim_ocref_clr signal polarity)</p> <p>该位选择是用tim_ocref_clr 还是tim_ocref_clr 的反相来作为触发操作</p> <p>0: tim_ocref_clr 高电平或上升沿有效;</p> <p>1: tim_ocref_clr 低电平或下降沿有效。</p>
18:17	Reserved	保留，必须保持复位值
16	MSMD	<p>主/从模式 (Master/slave mode)</p> <p>0: 无作用;</p> <p>1: 触发输入 (TRGI) 上的事件被延迟了，以允许在当前定时器 (通过TRGO) 与它的从定时器间的完美同步。这对要求把几个定时器同步到一个单一的外部事件时是非常有用的。</p>
15:12	EXTF[3:0]	<p>外部触发滤波 (External trigger filter)</p> <p>这些位用于定义 ETRP 信号的采样频率和 ETRP 数字滤波的带宽。实际上，数字滤波器是一个事件计数器，在记录连续 N 个事件后生成验证输出。</p> <p>0000: 无滤波器，以fDTS采样 1000: 采样频率fSAMPLING=fDTS/8, N=6</p> <p>0001: 采样频率fSAMPLING=fCK_INT, N=2 1001: 采样频率fSAMPLING=fDTS/8, N=8</p> <p>0010: 采样频率fSAMPLING=fCK_INT, N=4 1010: 采样频率fSAMPLING=fDTS/16, N=5</p> <p>0011: 采样频率fSAMPLING=fCK_INT, N=8 1011: 采样频率fSAMPLING=fDTS/16, N=6</p> <p>0100: 采样频率fSAMPLING=fDTS/2, N=6 1100: 采样频率fSAMPLING=fDTS/16, N=8</p> <p>0101: 采样频率fSAMPLING=fDTS/2, N=8 1101: 采样频率fSAMPLING=fDTS/32, N=5</p> <p>0110: 采样频率fSAMPLING=fDTS/4, N=6 1110: 采样频率fSAMPLING=fDTS/32, N=6</p> <p>0111: 采样频率fSAMPLING=fDTS/4, N=8 1111: 采样频率fSAMPLING=fDTS/32, N=8</p>
11	EXTP	<p>外部触发极性 (External trigger polarity)</p> <p>该位选择是用tim_etr_in还是tim_etr_in的反相来作为触发操作</p> <p>0: tim_etr_in高电平或上升沿有效;</p>

		1: tim_etr_in低电平或下降沿有效。
10	EXCEN	<p>外部时钟使能位 (External clock enable) 该位启用外部时钟模式2。启用后,计数器由ETRF信号上的任意有效边沿驱动。</p> <p>0: 禁止外部时钟模式2; 1: 使能外部时钟模式2。</p> <p>注意1: 当同时使能外部时钟模式1和外部时钟模式2时,外部时钟的输入为ETRF。</p> <p>注意2: 以下从机模式可以与外部时钟模式2同时使用: 复位模式、门控模式和触发模式; 但是, TRGI无法连接到ETRF (TIMx_SMCTRL.TSEL ≠ '111')。</p> <p>注意3: 设置TIMx_SMCTRL.EXCEN位与选择外部时钟模式1并将TRGI连接到ETRF (TIMx_SMCTRL.SMSEL = 111和TIMx_SMCTRL.TSEL = 111)的效果相同</p>
9:8	EXTPS[1:0]	<p>外部触发预分频 (External trigger prescaler)</p> <p>外部触发信号ETRP的频率必须最多为TIMxCLK频率的1/4。当输入更快的外部时钟时,可以使用预分频器来降低ETRP的频率。</p> <p>00: 关闭预分频; 01: ETRP频率除以2; 10: ETRP频率除以4; 11: ETRP频率除以8。</p>
7:4	SMSEL[3:0]	<p>从模式选择 (Slave mode selection)</p> <p>当选择了外部信号,触发信号(TRGI)的有效边沿与选中的外部输入极性相关(见输入控制寄存器和控制寄存器的说明)</p> <p>0000: 关闭从模式 – 如果CNTEN=1,则预分频器直接由内部时钟驱动。</p> <p>0001: 编码器模式1 – 根据TI2FP2的电平,计数器在TI1FP1的边沿向上/下计数。</p> <p>0010: 编码器模式2 – 根据TI1FP1的电平,计数器在TI2FP2的边沿向上/下计数。</p> <p>0011: 编码器模式3 – 根据另一个信号的输入电平,计数器在TI1FP1和TI2FP2的边沿向上/下计数。</p> <p>0100: 复位模式 – 在选定触发输入(TRGI)的上升沿,计数器重新初始化并更新影子寄存器。</p> <p>0101: 门控模式 – 当触发输入(TRGI)为高时,计数器的时钟开启。一旦触发输入变为低,则计数器停止(但不复位)。计数器的启动和停止都是受控的。</p> <p>0110: 触发模式 – 计数器在触发输入TRGI的上升沿启动(但不复位),只有计数器的启动是受控的。</p> <p>0111: 外部时钟模式1 – 选中的触发输入(TRGI)的上升沿驱动计数器。</p> <p>1000: 双脉冲编码模式2。</p> <p>1001: 正交编码器模式4 – 根据TI2FP2的电平,计数器在TI1FP1的边沿向上/下计数。通过CC1P选择计数边沿。</p> <p>1010: 正交编码器模式5 – 根据TI1FP1的电平,计数器在TI2FP2的边沿向上/下计数。通过CC2P选择计数边沿。</p> <p>1011: 脉冲电平编码模式2。</p> <p>1100: 脉冲电平编码模式1。通过CC2P设置TI2FP2的计数边沿。</p>

		<p>1101: 组合门控+复位模式 – 当触发输入 (TRGI) 为高时, 计数器的时钟开启。一旦触发输入变为低, 则计数器停止 (且复位)。计数器的启动和停止都是受控的。</p> <p>1110: 组合复位+触发模式 – 计数器在触发输入TRGI的上升沿启动 (且复位), 只有计数器的启动是受控的。</p> <p>1111: 双脉冲编码模式1。通过CC1P和CC2P设置TI1FP1和TI2FP2的计数敏感边沿。</p> <p>注意: 如果TI1F_ED被选为触发输入 (TSEL=100) 时, 不要使用门控模式。这是因为, TI1F_ED在每次TI1F变化时输出一个脉冲, 然而门控模式是要检查触发输入的电平。</p>
3	Reserved	保留, 必须保持复位值
2:0	TSEL[2:0]	<p>触发选择 (Trigger selection)</p> <p>这3位选择用于同步计数器的触发输入。</p> <p>0xx: 内部触发 (ITRx), 根据TIMx_INSEL. ITRS选择ITR信号源</p> <p>100: TI1的边沿检测器 (TI1F_ED)</p> <p>101: 滤波后的定时器输入1 (TI1FP1)</p> <p>110: 滤波后的定时器输入2 (TI2FP2)</p> <p>111: 外部触发输入 (ETRF)</p> <p>注意: 这些位只能在未用到 (如SMSEL=000) 时被改变, 以避免在改变时产生错误的边沿检测。</p>

## 20.6.6 DMA/中断使能寄存器 (TIMx\_DINTEN)

偏移地址: 0x14

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved									COMIEN	TDEN	COMDEN	UDEN	BIEN	TIEN	UIEN
									rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				CC4DEN	CC3DEN	CC2DEN	CC1DEN	Reserved				CC4IEN	CC3IEN	CC2IEN	CC1IEN
				rw	rw	rw	rw					rw	rw	rw	rw

位域	名称	描述
31:23	Reserved	保留, 必须保持复位值
22	COMIEN	允许COM中断 (COM interrupt enable) 0: 禁止COM中断; 1: 允许COM中断。
21	TDEN	允许触发DMA请求 (Trigger DMA request enable) 0: 禁止触发DMA请求; 1: 允许触发DMA请求。
20	COMDEN	允许COM的DMA请求 (COM DMA request enable) 0: 禁止COM的DMA请求;

位域	名称	描述
		1: 允许COM的DMA请求。
19	UDEN	允许更新的DMA请求 (Update DMA request enable) 0: 禁止更新的DMA请求; 1: 允许更新的DMA请求。
18	BIEN	允许刹车中断 (Break interrupt enable) 0: 禁止刹车中断; 1: 允许刹车中断。
17	TIEN	触发中断使能 (Trigger interrupt enable) 0: 禁止触发中断; 1: 使能触发中断。
16	UIEN	允许更新中断 (Update interrupt enable) 0: 禁止更新中断; 1: 允许更新中断。
15:12	Reserved	保留, 必须保持复位值
11	CC4DEN	允许捕获/比较4的DMA请求 (Capture/Compare 4 DMA request enable) 0: 禁止捕获/比较4的DMA请求; 1: 允许捕获/比较4的DMA请求。
10	CC3DEN	允许捕获/比较3的DMA请求 (Capture/Compare 3 DMA request enable) 0: 禁止捕获/比较3的DMA请求; 1: 允许捕获/比较3的DMA请求。
9	CC2DEN	允许捕获/比较2的DMA请求 (Capture/Compare 2 DMA request enable) 0: 禁止捕获/比较2的DMA请求; 1: 允许捕获/比较2的DMA请求。
8	CC1DEN	允许捕获/比较1的DMA请求 (Capture/Compare 1 DMA request enable) 0: 禁止捕获/比较1的DMA请求; 1: 允许捕获/比较1的DMA请求。
7:4	Reserved	保留, 必须保持复位值
3	CC4IEN	允许捕获/比较4中断 (Capture/Compare 4 interrupt enable) 0: 禁止捕获/比较4中断; 1: 允许捕获/比较4中断。
2	CC3IEN	允许捕获/比较3中断 (Capture/Compare 3 interrupt enable) 0: 禁止捕获/比较3中断; 1: 允许捕获/比较3中断。
1	CC2IEN	允许捕获/比较2中断 (Capture/Compare 2 interrupt enable) 0: 禁止捕获/比较2中断; 1: 允许捕获/比较2中断。

位域	名称	描述
0	CC1IEN	允许捕获/比较1中断 (Capture/Compare 1 interrupt enable) 0: 禁止捕获/比较1中断; 1: 允许捕获/比较1中断。

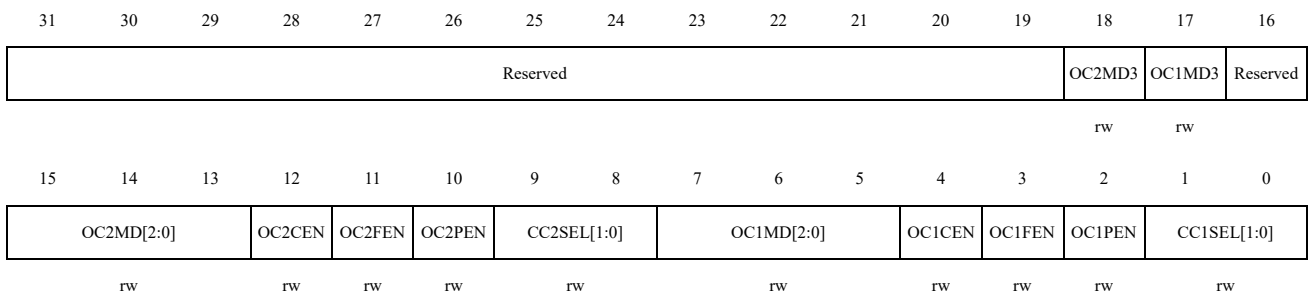
## 20.6.7 捕获/比较模式寄存器 1 (TIMx\_CCMOD1)

偏移地址: 0x18

复位值: 0x0000 0000

通道可用于输入 (捕获模式) 或输出 (比较模式), 通道的方向由相应的 CCxSEL 位定义。该寄存器其它位的作用在输入和输出模式下不同。OCx 描述了通道在输出模式下的功能, ICx 描述了通道在输入模式下的功能。因此必须注意, 同一个位在输出模式和输入模式下的功能是不同的。

输出比较模式:



位域	名称	描述
31:19	Reserved	保留, 必须保持复位值
18	OC2MD3	与OC2MD一起使用, 详细见OC2MD描述
17	OC1MD3	与OC1MD一起使用, 详细见OC1MD描述
16	Reserved	保留, 必须保持复位值
15:13	OC2MD[2:0]	输出比较2模式 (Output Compare 2 mode) OC2MD3与OC2MD一起用于管理输出参考信号 OC2REF, 它决定了 OC2 和 OC2N 的值, 在高电平有效, 而 OC2 和 OC2N 的有效电平取决于 TIMx_CCEN.CC2P 和 TIMx_CCEN.CC2NP 位。 { OC2MD_3, OC2MD } 4bit 信号对应下列输出比较1模式: 0000: 冻结。TIMx_CC2DAT2 寄存器和计数器 TIMx_CNT 之间的比较对 OC2REF 信号没有影响。 0001: 将通道 2 设置为匹配时的有效电平。当 TIMx_CC2DAT2 = TIMx_CNT 时, OC2REF 信号将被强制为高电平。 0010: 将通道 2 设置为匹配时的无效电平。当 TIMx_CC2DAT2 = TIMx_CNT 时, OC2REF 信号将被强制为低电平。 0011: 翻转。当 TIMx_CC2DAT2 = TIMx_CNT 时, OC2REF 信号将被翻转。 0100: 强制无效电平。OC2REF 信号被强制为低电平。 0101: 强制有效电平。OC2REF 信号被强制为高电平。

位域	名称	描述
		<p>0110: PWM 模式 1 - 在向上计数模式下, 如果 <math>TIMx\_CNT &lt; TIMx\_CCDAT2</math>, 则通道 2 的 OC2REF 信号为高电平, 否则为低电平。在向下计数模式下, 如果 <math>TIMx\_CNT &gt; TIMx\_CCDAT2</math>, 则通道 2 的 OC2REF 信号为低电平, 否则为高电平。</p> <p>0111: PWM 模式 2 - 在向上计数模式下, 如果 <math>TIMx\_CNT &lt; TIMx\_CCDAT2</math>, 则通道 2 的 OC2REF 信号为低电平, 否则为高电平。在向下计数模式下, 如果 <math>TIMx\_CNT &gt; TIMx\_CCDAT2</math>, 则通道 2 的 OC2REF 信号为高电平, 否则为低电平。</p> <p>1000: 可再触发单脉冲模式1 — 在递增计数模式下, 通道为有效状态, 直至 (在TRGI信号上) 检测到触发事件。然后, 在PWM模式1下进行比较, 通道会在下一次更新时再次变为有效状态。在递减计数模式下, 通道为无效状态, 直至 (在TRGI信号上) 检测到触发事件。然后, 在PWM模式1下进行比较, 通道会在下一次更新时再次变为无效状态。</p> <p>1001: 可再触发单脉冲模式2 — 在递增计数模式下, 通道为无效状态, 直至 (在TRGI信号上) 检测到触发事件。然后, 在PWM模式2下进行比较, 通道会在下一次更新时再次变为无效状态。在递减计数模式下, 通道为有效状态, 直至 (在TRGI信号上) 检测到触发事件。然后, 在PWM模式2下进行比较, 通道会在下一次更新时再次变为有效状态。</p> <p>1010-1101: Reserved</p> <p>1110: 组合PWM模式1 — OC2REF与在PWM模式1下的行为相同。OC2REFC是OC1REF和OC2REF 的逻辑或运算结果。</p> <p>1111: 组合PWM模式2 — OC2REF与在PWM模式2下的行为相同。OC2REFC是OC1REF和OC2REF的逻辑与运算结果。</p> <p>注意: 在 PWM 模式 1 或 PWM 模式 2 中, OC2REF 电平仅在比较结果改变或输出比较模式从冻结模式切换到 PWM 模式时才会改变。</p>
12	OC2CEN	输出比较2清0使能 (Output Compare 2 clear enable)
11	OC2FEN	输出比较2快速使能 (Output Compare 2 fast enable)
10	OC2PEN	输出比较2预装载使能 (Output Compare 2 preload enable)
9:8	CC2SEL[1:0]	<p>捕获/比较2选择。(Capture/Compare 2 selection)</p> <p>该位定义通道的方向 (输入/输出), 及输入脚的选择:</p> <p>00: CC2通道被配置为输出;</p> <p>01: CC2通道被配置为输入, IC2映射在TI2上;</p> <p>10: CC2通道被配置为输入, IC2映射在TI1上;</p> <p>11: CC2通道被配置为输入, IC2映射在TRC上。此模式仅工作在内部触发输入被选中时 (由TIMx_SMCTRL寄存器的TSEL位选择)。</p> <p>注意: CC2SEL仅在通道关闭时 (TIMx_CCEN寄存器的CC2EN=0) 才是可写的。</p>
7:5	OC1MD[2:0]	<p>输出比较1模式 (Output Compare 1 mode)</p> <p>OC1MD3与OC1MD一起用于管理输出参考信号 OC1REF, 它决定了 OC1 和 OC1N 的值, 在高电平有效, 而 OC1 和 OC1N 的有效电平取决于 TIMx_CCEN.CC1P 和 TIMx_CCEN.CC1NP 位。</p> <p>{ OC1M_3, OC1M } 4bit 信号对应下列输出比较1模式:</p>



位域	名称	描述
		<p>0000: 冻结。TIMx_CCDAT1 寄存器和计数器 TIMx_CNT 之间的比较对 OC1REF 信号没有影响。</p> <p>0001: 将通道 1 设置为匹配时的有效电平。当 TIMx_CCDAT1 = TIMx_CNT 时, OC1REF 信号将被强制为高电平。</p> <p>0010: 将通道 1 设置为匹配时的无效电平。当 TIMx_CCDAT1 = TIMx_CNT 时, OC1REF 信号将被强制为低电平。</p> <p>0011: 翻转。当 TIMx_CCDAT1 = TIMx_CNT 时, OC1REF 信号将被翻转。</p> <p>0100: 强制无效电平。OC1REF 信号被强制为低电平。</p> <p>0101: 强制有效电平。OC1REF 信号被强制为高电平。</p> <p>0110: PWM 模式 1- 在向上计数模式下, 如果 TIMx_CNT &lt; TIMx_CCDAT1, 则通道 1 的 OC1REF 信号为高电平, 否则为低电平。在向下计数模式下, 如果 TIMx_CNT &gt; TIMx_CCDAT1, 则通道 1 的 OC1REF 信号为低电平, 否则为高电平。</p> <p>0111: PWM 模式 2- 在向上计数模式下, 如果 TIMx_CNT &lt; TIMx_CCDAT1, 则通道 1 的 OC1REF 信号为低电平, 否则为高电平。在向下计数模式下, 如果 TIMx_CNT &gt; TIMx_CCDAT1, 则通道 1 的 OC1REF 信号为高电平, 否则为低电平。</p> <p>1000: 可再触发单脉冲模式1 — 在递增计数模式下, 通道为有效状态, 直至 (在TRGI 信号上) 检测到触发事件。然后, 在PWM模式1下进行比较, 通道会在下一次更新时再次变为有效状态。在递减计数模式下, 通道为无效状态, 直至 (在TRGI信号上) 检测到触发事件。然后, 在PWM模式1下进行比较, 通道会在下一次更新时再次变为无效状态。</p> <p>1001: 可再触发单脉冲模式2 — 在递增计数模式下, 通道为无效状态, 直至 (在TRGI 信号上) 检测到触发事件。然后, 在PWM模式2下进行比较, 通道会在下一次更新时再次变为无效状态。在递减计数模式下, 通道为有效状态, 直至 (在TRGI信号上) 检测到触发事件。然后, 在PWM模式2下进行比较, 通道会在下一次更新时再次变为有效状态。</p> <p>1010-1101: Reserved</p> <p>1110: 组合PWM模式1 — OC1REF与在PWM模式1下的行为相同。OC1REFC是 OC1REF和OC2REF 的逻辑或运算结果。</p> <p>1111: 组合PWM模式2 — OC1REF与在PWM模式2下的行为相同。OC1REFC是 OC1REF和OC2REF的逻辑与运算结果。</p> <p>注意: 在 PWM 模式 1 或 PWM 模式 2 中, OC1REF 电平仅在比较结果改变或输出比较模式从冻结模式切换到 PWM 模式时才会改变。</p>
4	OC1CEN	<p>输出比较1清'0'使能 (Output Compare 1 clear enable)</p> <p>0: OC1REF 不受tim_ocref_clr_in输入的影响;</p> <p>1: 一旦检测到tim_ocref_clr_in输入高电平 (tim_ocref_clr_in由TIMx_CTRL1.CLRSEL控制来源), OC1REF=0。</p>
3	OC1FEN	<p>输出比较1 快速使能 (Output Compare 1 fast enable)</p> <p>该位用于加快CC输出对触发输入事件的响应。</p> <p>0: 根据计数器与CCDAT1的值, CC1正常操作, 即使触发器是打开的。当触发器的输</p>

位域	名称	描述
		入有一个有效沿时，激活CC1输出的最小延时为5个时钟周期。 1：输入到触发器的有效沿的作用就像发生了一次比较匹配。因此，OC1被设置为比较电平而与比较结果无关。采样触发器的有效沿和CC1输出间的延时被缩短为3个时钟周期。 OCxFEN只在通道被配置成PWM1或PWM2模式时起作用。
2	OC1PEN	输出比较 1 预加载使能（Output Compare 1 preload enable） 0：禁用 TIMx_CC DAT1 寄存器的预加载功能。支持随时对TIMx_CC DAT1寄存器进行写操作，写入的值立即生效。 1：使能 TIMx_CC DAT1 寄存器的预加载功能。仅对预加载寄存器进行读写操作。当更新事件发生时，TIMx_CC DAT1 的值被加载到影子寄存器中。 注意：只有当 TIMx_CTRL1.ONEPM = 1（在单脉冲模式下）时，才能使用 PWM 模式而不验证预加载寄存器，否则无法预测其他行为。
1:0	CC1SEL[1:0]	捕获/比较1 选择。（Capture/Compare 1 selection） 这2位定义通道的方向（输入/输出），及输入脚的选择： 00：CC1通道被配置为输出； 01：CC1通道被配置为输入，IC1映射在TI1上； 10：CC1通道被配置为输入，IC1映射在TI2上； 11：CC1通道被配置为输入，IC1映射在TRC上。此模式仅工作在内部触发输入被选中时（由TIMx_SMCTRL寄存器的TSEL位选择）。 注意：CC1SEL仅在通道关闭时（TIMx_CCEN寄存器的CC1EN=0）才是可写的。

**输入捕获模式：**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
IC2F[3:0]				IC2PSC[1:0]			CC2SEL[1:0]			IC1F[3:0]			IC1PSC[1:0]		CC1SEL[1:0]	
rw				rw			rw			rw			rw		rw	

位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:12	IC2F[3:0]	输入捕获2滤波器（Input capture 2 filter）
11:10	IC2PSC[1:0]	输入/捕获2预分频器（Input capture 2 prescaler）

9:8	CC2SEL[1:0]	<p>捕获/比较2选择 (Capture/Compare 2 selection)</p> <p>这2位定义通道的方向 (输入/输出), 及输入脚的选择:</p> <p>00: CC2通道被配置为输出;</p> <p>01: CC2通道被配置为输入, IC2映射在TI2上;</p> <p>10: CC2通道被配置为输入, IC2映射在TI1上;</p> <p>11: CC2通道被配置为输入, IC2映射在TRC上。此模式仅工作在内部触发输入被选中时 (由TIMx_SMCTRL寄存器的TSEL位选择)。</p> <p>注意: CC2SEL仅在通道关闭时 (TIMx_CCEN寄存器的CC2EN=0) 才是可写的。</p>
7:4	IC1F[3:0]	<p>输入捕获1滤波器 (Input capture 1 filter)</p> <p>这几位定义了TI1输入的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成, 它记录到N个事件后会产生一个输出的跳变:</p> <p>0000: 无滤波器, 以<math>f_{DTS}</math>采样    1000: 采样频率<math>f_{SAMPLING}=f_{DTS}/8</math>, <math>N=6</math></p> <p>0001: 采样频率<math>f_{SAMPLING}=f_{CK\_INT}</math>, <math>N=2</math>    1001: 采样频率<math>f_{SAMPLING}=f_{DTS}/8</math>, <math>N=8</math></p> <p>0010: 采样频率<math>f_{SAMPLING}=f_{CK\_INT}</math>, <math>N=4</math>    1010: 采样频率<math>f_{SAMPLING}=f_{DTS}/16</math>, <math>N=5</math></p> <p>0011: 采样频率<math>f_{SAMPLING}=f_{CK\_INT}</math>, <math>N=8</math>    1011: 采样频率<math>f_{SAMPLING}=f_{DTS}/16</math>, <math>N=6</math></p> <p>0100: 采样频率<math>f_{SAMPLING}=f_{DTS}/2</math>, <math>N=6</math>    1100: 采样频率<math>f_{SAMPLING}=f_{DTS}/16</math>, <math>N=8</math></p> <p>0101: 采样频率<math>f_{SAMPLING}=f_{DTS}/2</math>, <math>N=8</math>    1101: 采样频率<math>f_{SAMPLING}=f_{DTS}/32</math>, <math>N=5</math></p> <p>0110: 采样频率<math>f_{SAMPLING}=f_{DTS}/4</math>, <math>N=6</math>    1110: 采样频率<math>f_{SAMPLING}=f_{DTS}/32</math>, <math>N=6</math></p> <p>0111: 采样频率<math>f_{SAMPLING}=f_{DTS}/4</math>, <math>N=8</math>    1111: 采样频率<math>f_{SAMPLING}=f_{DTS}/32</math>, <math>N=8</math></p>
3:2	IC1PSC[1:0]	<p>输入/捕获1预分频器 (Input capture 1 prescaler)</p> <p>这2位定义了CC1输入 (IC1) 的预分频系数。</p> <p>一旦TIMx_CCEN.CC1EN=0, 则预分频器复位。</p> <p>00: 无预分频器, 捕获输入口上检测到的每一个边沿都触发一次捕获;</p> <p>01: 每2个事件触发一次捕获;</p> <p>10: 每4个事件触发一次捕获;</p> <p>11: 每8个事件触发一次捕获。</p>
1:0	CC1SEL[1:0]	<p>捕获/比较1选择 (Capture/Compare 1 Selection)</p> <p>这2位定义通道的方向 (输入/输出), 及输入脚的选择:</p> <p>00: CC1通道被配置为输出;</p> <p>01: CC1通道被配置为输入, IC1映射在TI1上;</p> <p>10: CC1通道被配置为输入, IC1映射在TI2上;</p> <p>11: CC1通道被配置为输入, IC1映射在TRC上。此模式仅工作在内部触发输入被选中时 (由TIMx_SMCTRL寄存器的TSEL位选择)。</p> <p>注意: CC1SEL仅在通道关闭时 (TIMx_CCEN寄存器的CC1EN=0) 才是可写的。</p>

## 20.6.8 捕获/比较模式寄存器 2 (TIMx\_CCMOD2)

偏移地址: 0x1C

复位值: 0x0000 0000

参看以上 CCMOD1 寄存器的描述

输出比较模式:

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved											OC4MD3	OC3MD3	Reserved		
											rw	rw			
											rw				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC4MD[2:0]		OC4CEN	OC4FEN	OC4PEN	CC4SEL[1:0]		OC3MD[2:0]		OC3CEN	OC3FEN	OC3PEN	CC3SEL[1:0]			
rw		rw	rw	rw	rw		rw		rw	rw	rw	rw			

位域	名称	描述
31:19	Reserved	保留，必须保持复位值
18	OC4MD3	与OC4MD一起使用，详细见OC4MD描述
17	OC3MD3	与OC3MD一起使用，详细见OC3MD描述
16	Reserved	保留，必须保持复位值
15:13	OC4MD[2:0]	<p>输出比较4模式（Output compare 4 mode）</p> <p>OC4MD3与OC4MD定义了输出参考信号OC4REF的动作，而OC4REF决定了OC4的值。OC4REF是高电平有效，而OC4的有效电平取决于CC4P位。</p> <p>{ OC4MD3, OC4MD} 4bit 信号对应下列输出比较4模式：</p> <p>0000：冻结。输出比较寄存器TIMx_CCDAT4与计数器TIMx_CNT间的比较对OC4REF不起作用；</p> <p>0001：匹配时设置通道4为有效电平。当计数器TIMx_CNT的值与捕获/比较寄存器4（TIMx_CCDAT4）相同时，强制OC4REF为高。</p> <p>0010：匹配时设置通道4为无效电平。当计数器TIMx_CNT 的值与捕获/比较寄存器4（TIMx_CCDAT4）相同时，强制OC4REF为低。</p> <p>0011：翻转。当TIMx_CCDAT4=TIMx_CNT时，翻转OC4REF的电平。</p> <p>0100：强制为无效电平。强制OC4REF为低。</p> <p>0101：强制为有效电平。强制OC4REF为高。</p> <p>0110：PWM模式1— 在向上计数时，一旦TIMx_CNT&lt;TIMx_CCDAT3时通道4为有效电平，否则为无效电平；在向下计数时，一旦TIMx_CNT&gt;TIMx_CCDAT4时通道4为无效电平（OC4REF=0），否则为有效电平（OC4REF=1）。</p> <p>0111：PWM模式2— 在向上计数时，一旦TIMx_CNT&lt;TIMx_CCDAT4时通道4为无效电平，否则为有效电平；在向下计数时，一旦TIMx_CNT&gt;TIMx_CCDAT4时通道4为有效电平，否则为无效电平。</p> <p>1000：可再触发单脉冲模式1— 在递增计数模式下，通道4为有效状态，直至（在TRGI信号上）检测到触发事件。然后，在PWM模式1下进行比较，通道4会在下一次更新时再次变为有效状态。在递减计数模式下，通道4为无效状态，直至（在TRGI信号上）检测到触发事件。然后，在PWM模式1下进行比较，通道4会在下一次更新时再次变为无效状态。</p> <p>1001：可再触发单脉冲模式2— 在递增计数模式下，通道4为无效状态，直至（在TRGI信号上）检测到触发事件。然后，在PWM模式2下进行比较，通道4会在下一次更新时再次变为无效状态。在递减计数模式下，通道4为有效状态，直至（在TRGI信号上）检测</p>

位域	名称	描述
31:19	Reserved	保留，必须保持复位值
		到触发事件。然后，在PWM模式2下进行比较，通道4会在下一次更新时再次变为有效状态。 1010-1101: Reserved 1110: 组合PWM模式1 — OC4REF与在PWM模式1下的行为相同。OC4REFC是 OC4REF和OC3REF 的逻辑或运算结果。 1111: 组合PWM模式2 — OC4REF与在PWM模式2下的行为相同。OC4REFC是 OC4REF和OC3REF的逻辑与运算结果。 注意：在PWM模式1或PWM模式2中，只有当比较结果改变了或在输出比较模式中从冻结模式切换到PWM模式时，OC4REF电平才改变。
12	OC4CEN	输出比较4清0使能 (Output compare 4 clear enable)
11	OC4FEN	输出比较4快速使能 (Output compare 4 fast enable)
10	OC4PEN	输出比较4预装载使能 (Output compare 4 preload enable)
9:8	CC4SEL[1:0]	捕获/比较4选择 (Capture/Compare 4 selection) 该2位定义通道的方向(输入/输出)，及输入脚的选择： 00: CC4通道被配置为输出； 01: CC4通道被配置为输入，IC4映射在TI4上； 10: CC4通道被配置为输入，IC4映射在TI3上； 11: CC4通道被配置为输入，IC4映射在TRC上。此模式仅工作在内部触发输入被选中时(由TIMx_SMCTRL寄存器的TSEL位选择)。 注意：CC4SEL仅在通道关闭时(TIMx_CCEN寄存器的CC4EN=0)才是可写的。
7:5	OC3MD[2:0]	输出比较3模式 (Output compare 3 mode) OC3MD3与OC3MD定义了输出参考信号OC3REF的动作，而OC3REF决定了OC3的值。OC3REF是高电平有效，而OC3的有效电平取决于CC3P位。 { OC3MD3, OC3MD} 4bit 信号对应下列输出比较3模式： 0000: 冻结。输出比较寄存器TIMx_CCDAT3与计数器TIMx_CNT间的比较对OC3REF不起作用； 0001 : 匹配时设置通道3为有效电平。当计数器TIMx_CNT的值与捕获/比较寄存器3(TIMx_CCDAT3)相同时，强制OC3REF为高。 0010 : 匹配时设置通道3为无效电平。当计数器TIMx_CNT 的值与捕获/比较寄存器3(TIMx_CCDAT3)相同时，强制OC3REF为低。 0011: 翻转。当TIMx_CCDAT3=TIMx_CNT时，翻转OC3REF的电平。 0100: 强制为无效电平。强制OC3REF为低。 0101: 强制为有效电平。强制OC3REF为高。 0110: PWM模式1 — 在向上计数时，一旦TIMx_CNT<TIMx_CCDAT3时通道3为有效电平，否则为无效电平；在向下计数时，一旦TIMx_CNT>TIMx_CCDAT3时通道3为无效电平(OC3REF=0)，否则为有效电平(OC3REF=1)。 0111: PWM模式2 — 在向上计数时，一旦TIMx_CNT<TIMx_CCDAT3时通道3为无效电平，否则为有效电平；在向下计数时，一旦TIMx_CNT>TIMx_CCDAT3时通道3为有效电

位域	名称	描述
31:19	Reserved	保留，必须保持复位值
		平，否则为无效电平。 1000：可再触发单脉冲模式1 — 在递增计数模式下，通道3为有效状态，直至（在TRGI信号上）检测到触发事件。然后，在PWM模式1下进行比较，通道3会在下一次更新时再次变为有效状态。在递减计数模式下，通道3为无效状态，直至（在TRGI信号上）检测到触发事件。然后，在PWM模式1下进行比较，通道3会在下一次更新时再次变为无效状态。 1001：可再触发单脉冲模式2 — 在递增计数模式下，通道3为无效状态，直至（在TRGI信号上）检测到触发事件。然后，在PWM模式2下进行比较，通道3会在下一次更新时再次变为无效状态。在递减计数模式下，通道3为有效状态，直至（在TRGI信号上）检测到触发事件。然后，在PWM模式2下进行比较，通道3会在下一次更新时再次变为有效状态。 1010-1101：Reserved 1110：组合PWM模式1 — OC3REF与在PWM模式1下的行为相同。OC3REFC是 OC3REF和OC4REF 的逻辑或运算结果。 1111：组合PWM模式2 — OC3REF与在PWM模式2下的行为相同。OC3REFC是 OC3REF和OC4REF的逻辑与运算结果。 注意：在PWM模式1或PWM模式2中，只有当比较结果改变了或在输出比较模式中从冻结模式切换到PWM模式时，OC3REF电平才改变。
4	OC3CEN	输出比较3清0使能（Output compare 3 clear enable）
3	OC3FEN	输出比较3快速使能（Output compare 3 fast enable）
2	OC3PEN	输出比较3预装载使能（Output compare 3 preload enable）
1:0	CC3SEL[1:0]	捕获/比较3选择（Capture/Compare 3 selection） 这2位定义通道的方向（输入/输出），及输入脚的选择： 00：CC3通道被配置为输出； 01：CC3通道被配置为输入，IC3映射在TI3上； 10：CC3通道被配置为输入，IC3映射在TI4上； 11：CC3通道被配置为输入，IC3映射在TRC上。此模式仅工作在内部触发输入被选中时（由TIMx_SMCTRL寄存器的TSEL位选择）。 注意：CC3SEL仅在通道关闭时（TIMx_CCEN寄存器的CC3EN=0）才是可写的。

**输入捕获模式：**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
IC4F[3:0]				IC4PSC[1:0]			CC4SEL[1:0]			IC3F[3:0]			IC3PSC[1:0]		CC3SEL[1:0]	
rw				rw			rw			rw			rw		rw	

位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:12	IC4F[3:0]	输入捕获4滤波器 (Input capture 4 filter)
11:10	IC4PSC[1:0]	输入/捕获4预分频器 (Input capture 4 prescaler)
9:8	CC4SEL[1:0]	捕获/比较4选择 (Capture/Compare 4 selection) 这2位定义通道的方向(输入/输出)，及输入脚的选择： 00：CC4通道被配置为输出； 01：CC4通道被配置为输入，IC4映射在TI4上； 10：CC4通道被配置为输入，IC4映射在TI3上； 11：CC4通道被配置为输入，IC4映射在TRC上。此模式仅工作在内部触发输入被选中时(由TIMx_SMCTRL寄存器的TSEL位选择)。 注意：CC4SEL仅在通道关闭时(TIMx_CCEN寄存器的CC4EN=0)才是可写的。
7:4	IC3F[3:0]	输入捕获3滤波器 (Input capture 3 filter)
3:2	IC3PSC[1:0]	输入/捕获3预分频器 (Input capture 3 prescaler)
1:0	CC3SEL[1:0]	捕获/比较3选择 (Capture/compare 3 selection) 这2位定义通道的方向(输入/输出)，及输入脚的选择： 00：CC3通道被配置为输出； 01：CC3通道被配置为输入，IC3映射在TI3上； 10：CC3通道被配置为输入，IC3映射在TI4上； 11：CC3通道被配置为输入，IC3映射在TRC上。此模式仅工作在内部触发输入被选中时(由TIMx_SMCTRL寄存器的TSEL位选择)。 注意：CC3SEL仅在通道关闭时(TIMx_CCEN寄存器的CC3EN=0)才是可写的。

### 20.6.9 捕获/比较模式寄存器 3 (TIMx\_CCMOD3)

偏移地址：0x20

复位值：0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							OC5MD[2:0]		OC5CEN	OC5FEN	OC5PEN	Reserved			
							rw	rw	rw	rw					

位域	名称	描述
31:8	Reserved	保留，必须保持复位值
7:5	OC5MD[2:0]	输出比较5模式 (Output compare 5 mode)
4	OC5CEN	输出比较5清0使能 (Output compare 5 clear enable)
3	OC5FEN	输出比较5快速使能 (Output compare 5 fast enable)

位域	名称	描述
2	OC5PEN	输出比较5预装载使能 (Output compare 5 preload enable)
1:0	Reserved	保留, 必须保持复位值

## 20.6.10 捕获/比较使能寄存器 (TIMx\_CCEN)

偏移地址: 0x24

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved												CC5P	CC5EN	Reserved	
												rw	rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CC4P	CC4EN	Reserved		CC3P	CC3EN	Reserved		CC2P	CC2EN	Reserved		CC1P	CC1EN	CC1NP	CC1NEN
rw	rw			rw	rw			rw	rw			rw	rw	rw	rw

位域	名称	描述
31:20	Reserved	保留, 必须保持复位值
19	CC5P	捕获/比较5输出极性 (Capture/Compare 5 output polarity) 参考TIMx_CCEN.CC1P的描述。
18	CC5EN	捕获/比较5输出使能 (Capture/Compare 5 output enable) 参考TIMx_CCEN.CC1EN 的描述
17: 16	Reserved	保留, 必须保持复位值
15	CC4P	捕获/比较4输出极性 (Capture/Compare 4 output polarity) 参考TIMx_CCEN.CC1P的描述。
14	CC4EN	捕获/比较4输出使能 (Capture/Compare 4 output enable) 参考TIMx_CCEN.CC1EN 的描述。
13:12	Reserved	保留, 必须保持复位值
11	CC3P	捕获/比较3输出极性 (Capture/Compare 3 output polarity) 参考TIMx_CCEN.CC1P的描述。
10	CC3EN	捕获/比较3输出使能 (Capture/Compare 3 output enable) 参考TIMx_CCEN.CC1E 的描述。
9:8	Reserved	保留, 必须保持复位值
7	CC2P	捕获/比较2输出极性 (Capture/Compare 2 output polarity) 参考TIMx_CCEN.CC1P的描述。
6	CC2EN	捕获/比较2输出使能 (Capture/Compare 2 output enable) 参考TIMx_CCEN.CC1EN的描述。
5:4	Reserved	保留, 必须保持复位值



位域	名称	描述
3	CC1P	捕获/比较1输出极性 (Capture/Compare 1 output polarity) <b>CC1对应通道为输出模式时:</b> 0: OC1 高电平有效 1: OC1 低电平有效 <b>CC1对应通道为输入模式时:</b> 此时, 该位用于选择是使用IC1还是IC1的反相信号作为触发信号或捕捉信号。 0: 非反相: 当 IC1 产生上升沿时发生捕获动作。 当用作外部触发时, IC1 是非反相的。 1: 反相: 当 IC1 产生下降沿时发生捕获动作。 当用作外部触发时, IC1 被反相。
2	CC1EN	捕获/比较1输出使能 (Capture/Compare 1 output enable) <b>CC1通道配置为输出:</b> 0: 关闭 - OC1禁止输出, 因此OC1的输出电平依赖于MOEN、OSSI、OSSR、OI1、OI1N和CC1EN位的值。 1: 开启 - OC1信号输出到对应的输出引脚, 其输出电平依赖于MOEN、OSSI、OSSR、OI1、OI1N和CC1EN位的值。 <b>CC1通道配置为输入:</b> 该位决定了计数器的值是否能捕获入TIMx_CC1EN寄存器。 0: 捕获禁止; 1: 捕获使能。
1	CC1NP	捕获/比较1互补输出极性 (Capture/Compare 1 complementary output polarity) 0: OC1N高电平有效; 1: OC1N低电平有效。
0	CC1ENEN	捕获/比较1互补输出使能 (Capture/Compare 1 complementary output enable) 0: 禁用 - 禁用输出 OC1N 信号。 OC1N 的电平取决于TIMx_BKDT.MOEN、TIMx_BKDT.OSSI、TIMx_BKDT.OSSR、TIMx_CTRL2.OI1、TIMx_CTRL2.OI1N 和 TIMx_CCEN.CC1EN 的值。 1: 使能 - 使能输出 OC1N 信号。 OC1N 的电平取决于TIMx_BKDT.MOEN、TIMx_BKDT.OSSI、TIMx_BKDT.OSSR、TIMx_CTRL2.OI1、TIMx_CTRL2.OI1N 和 TIMx_CCEN.CC1EN 的值。

**表 20-14 带刹车功能的互补输出通道 OCx 和 OCxN 的控制位**

控制位					输出状态(1)	
MOEN	OSSI	OSSR	CCxEN	CCxNEN	OCx 输出状态	OCxN 输出状态
1X		0	0	0	输出禁止 (与定时器断开) OCx=0, OCx_EN=0	输出禁止 (与定时器断开) OCxN=0, OCxN_EN=0
		0	0	1	输出禁止 (与定时器断开) OCx=0, OCx_EN=0	OCxREF + 极性, OCxN= OCxREF xor CCxNP, OCxN_EN=1
		0	1	0	OCxREF + 极性, OCx= OCxREF xor CCxP, OCx_EN=1	输出禁止 (与定时器断开) OCxN=0, OCxN_EN=0

		0	1	1	OCxREF + 极性 + 死区, OCx_EN=1	OCxREF 反相 + 极性 + 死区, OCxN_EN=1
		1	0	0	输出禁止 (与定时器断开) OCx=CCxP, OCx_EN=0	输出禁止 (与定时器断开) OCxN=CCxNP, OCxN_EN=0
		1	0	1	关闭状态 (输出使能且为无效电平) OCx=CCxP, OCx_EN=1	OCxREF + 极性, OCxN= OCxREF xor CCxNP, OCxN_EN=1
		1	1	0	OCxREF + 极性, OCx= OCxREF xor CCxP, OCx_EN=1	关闭状态 (输出使能且为无效电平) OCxN=CCxNP, OCxN_EN=1
		1	1	1	OCxREF + 极性 + 死区, OCx_EN=1	OCxREF 反相 + 极性 + 死区, OCxN_EN=1
0	X	0	0	0	输出禁止 (与定时器断开) 异步: OCx=CCxP, OCx_EN=0, OCxN=CCxNP, OCxN_EN=0; 若时钟存在: 假设 $(CCxP \wedge OIx) \wedge (CCxNP \wedge OIxN) \neq 0$ , 经过一个死区时间后 OCx=OIx, OCxN=OIxN	
		0	0	1		
		0	1	0		
		0	1	1		
		1	0	0	关闭状态 (输出使能且为无效电平) 异步: OCx=CCxP, OCx_EN=1, OCxN=CCxNP, OCxN_EN=1; 若时钟存在: 假设 $(CCxP \wedge OIx) \wedge (CCxNP \wedge OIxN) \neq 0$ , 经过一个死区时间后 OCx=OIx, OCxN=OIxN,	
		1	0	1		
		1	1	0		
		1	1	1		

1. 如果一个通道的 2 个输出都没有使用 (CCxEN = CCxNEN = 0), 那么 OIx, OIxN, CCxP 和 CCxNP 都必须清零。

注意: 引脚连接到互补的 OCx 和 OCxN 通道的外部 I/O 引脚的状态, 取决于 OCx 和 OCxN 通道状态和 GPIO 以及 AFIO 寄存器。

### 20.6.11 捕获/比较寄存器 1 (TIMx\_CCDA1)

偏移地址: 0x28

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCDDAT1[15:0]															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

CCDAT1[15:0]
--------------

rw

位域	名称	描述
31:16	CCDDAT1[15:0]	捕获/比较通道1向下计数值(Capture/Compare 1 down-counting value), 专用于中央对齐非对称模式。 ■ CC1 通道只能配置为输出: CCDDAT1 包含要与计数器 TIMx_CNT 比较的值 (仅当 TIMx_CTRL1.DIR = 1 且处于非对称模式时), 在 OC1 输出上发出信号。 如果未在 TIMx_CCMOD1.OC1PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。 否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。
15:0	CCDAT1[15:0]	捕获/比较通道1的值 (Capture/Compare 1 value) ■ CC1 通道配置为输出: CCDAT1 包含要与计数器 TIMx_CNT 比较的值, 在 OC1 输出上发出信号。 如果未在 TIMx_CCMOD1.OC1PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。 否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。 ■ CC1 通道配置为输入: CCDAT1 包含由最后一个输入捕获 1 事件 (IC1) 传输的计数器值。 当配置为输入模式时, 寄存器 CCDAT1 和 CCDDAT1 只能读取。 当配置为输出模式时, 寄存器 CCDAT1 和 CCDDAT1 是可读写的。

## 20.6.12 捕获/比较寄存器 2 (TIMx\_CCDAT2)

偏移地址: 0x2C

复位值: 0x0000 0000

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

CCDDAT2[15:0]
---------------

rw

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

CCDAT2[15:0]
--------------

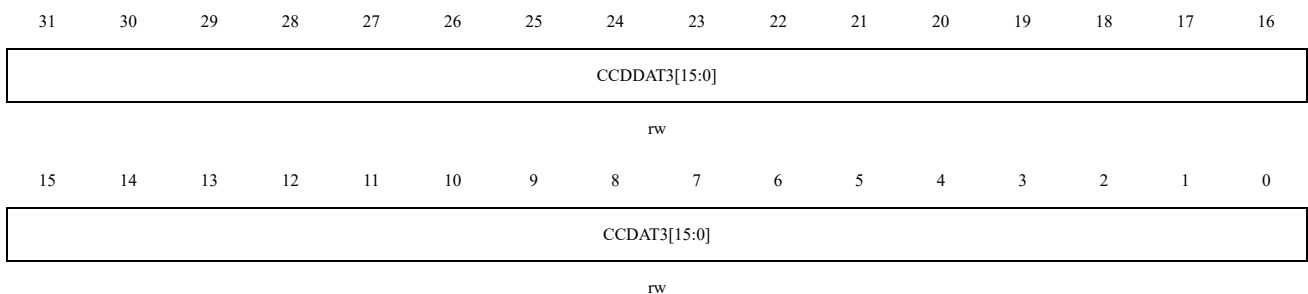
rw

位域	名称	描述
31:16	CCDDAT2[15:0]	捕获/比较通道2向下计数值(Capture/Compare 2 down-counting value), 专用于中央对齐非对称模式。 ■ CC2 通道只能配置为输出: CCDDAT2 包含要与计数器 TIMx_CNT 比较的值 (仅当 TIMx_CTRL1.DIR = 1 且处于非对称模式时), 在 OC2 输出上发出信号。 如果未在 TIMx_CCMOD1.OC2PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。 否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。
15:0	CCDAT2[15:0]	捕获/比较通道2的值 (Capture/Compare 2 value) ■ CC2 通道配置为输出: CCDAT2 包含要与计数器 TIMx_CNT 比较的值, 在 OC2 输出上发出信号。 如果未在 TIMx_CCMOD1.OC2PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。 否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。 ■ CC2 通道配置为输入: CCDAT2 包含由最后一个输入捕获 2 事件 (IC2) 传输的计数器值。 当配置为输入模式时, 寄存器 CCDAT2 和 CCDDAT2 只能读取。 当配置为输出模式时, 寄存器 CCDAT2 和 CCDDAT2 是可读写的。

### 20.6.13 捕获/比较寄存器 3 (TIMx\_CCDAT3)

偏移地址: 0x30

复位值: 0x0000 0000



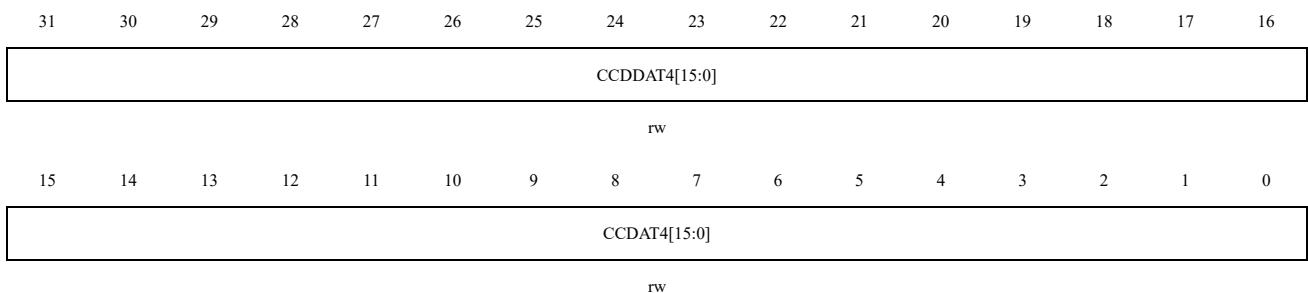
位域	名称	描述
31:16	CCDDAT3[15:0]	捕获/比较通道3向下计数值(Capture/Compare 3 down-counting value), 专用于中央对齐非对称模式。 ■ CC3 通道只能配置为输出: CCDDAT3 包含要与计数器 TIMx_CNT 比较的值 (仅当 TIMx_CTRL1.DIR = 1 且处于非对称模式时), 在 OC3 输出上发出信号。 如果未在 TIMx_CCMOD2.OC3PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。 否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。
15:0	CCDAT3[15:0]	捕获/比较通道3的值 (Capture/Compare 3 value) ■ CC3 通道配置为输出: CCDAT3 包含要与计数器 TIMx_CNT 比较的值, 在 OC3 输出上发出信号。

位域	名称	描述
31:16	CCDDAT3[15:0]	捕获/比较通道3向下计数值(Capture/Compare 3 down-counting value), 专用于中央对齐非对称模式。 ■ CC3 通道只能配置为输出: CCDDAT3 包含要与计数器 TIMx_CNT 比较的值 (仅当 TIMx_CTRL1.DIR = 1 且处于非对称模式时), 在 OC3 输出上发出信号。 如果未在 TIMx_CCMOD2.OC3PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。 否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。
		如果未在 TIMx_CCMOD2.OC3PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。 否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。 ■ CC3 通道配置为输入: CCDAT3 包含由最后一个输入捕获 3 事件 (IC3) 传输的计数器值。 当配置为输入模式时, 寄存器 CCDAT3 和 CCDDAT3 只能读取。 当配置为输出模式时, 寄存器 CCDAT3 和 CCDDAT3 是可读写的。

### 20.6.14 捕获/比较寄存器 4 (TIMx\_CCDA4)

偏移地址: 0x34

复位值: 0x0000 0000



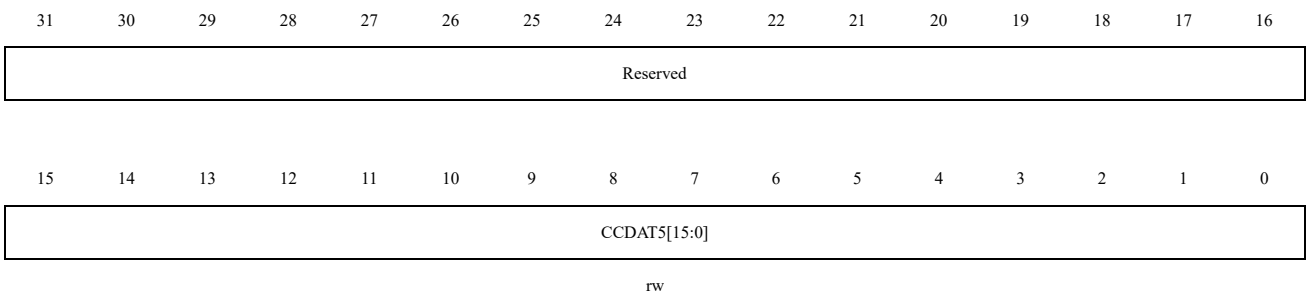
位域	名称	描述
31:16	CCDDAT4[15:0]	捕获/比较通道4向下计数值(Capture/Compare 4 down-counting value), 专用于中央对齐非对称模式。 ■ CC4 通道只能配置为输出: CCDDAT4 包含要与计数器 TIMx_CNT 比较的值 (仅当 TIMx_CTRL1.DIR = 1 且处于非对称模式时), 在 OC4 输出上发出信号。 如果未在 TIMx_CCMOD2.OC4PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。 否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。
15:0	CCDAT4[15:0]	捕获/比较通道4的值 (Capture/Compare 4 value) ■ CC4 通道配置为输出: CCDAT4 包含要与计数器 TIMx_CNT 比较的值, 在 OC4 输出上发出信号。 如果未在 TIMx_CCMOD2.OC4PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。 否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。 ■ CC4 通道配置为输入:

		CCDAT4 包含由最后一个输入捕获 4 事件 (IC4) 传输的计数器值。 当配置为输入模式时，寄存器 CCDAT4 和 CCDDAT4 只能读取。 当配置为输出模式时，寄存器 CCDAT4 和 CCDDAT4 是可读写的。
--	--	---

### 20.6.15 捕获/比较寄存器 5 (TIMx\_CCDA5)

偏移地址: 0x38

复位值: 0x0000 0000

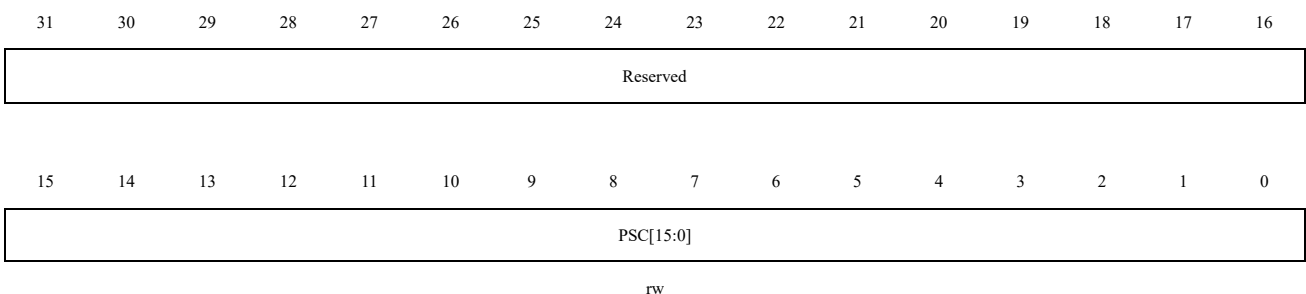


位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	CCDAT5[15:0]	捕获/比较通道5的值 (Capture/Compare 5 value) <ul style="list-style-type: none"> <li>■ CC5 通道只能配置为输出:</li> </ul> CCDAT5 包含要与计数器 TIMx_CNT 比较的值，在 OC5 输出上发出信号。 如果未在 TIMx_CCMOD3.OC5PEN 位中选择预加载功能，则写入的值会立即传输到有效寄存器。否则，仅当更新事件发生时，此预加载值才会传输到活动寄存器。 CC5 用于比较器消隐。

### 20.6.16 预分频器 (TIMx\_PSC)

偏移地址: 0x40

复位值: 0x0000 0000



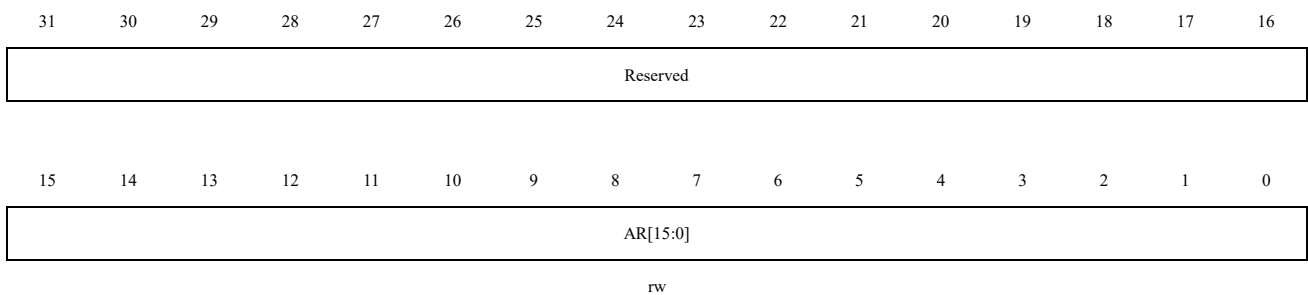
位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	PSC[15:0]	预分频器的值 (Prescaler value) 计数器时钟 $f_{CK\_CNT} = f_{CK\_PSC} / (PSC [15:0] + 1)$ 。

位域	名称	描述
31:16	Reserved	保留，必须保持复位值
		每次发生更新事件时，PSC 值都会加载到预分频器的影子寄存器中。

### 20.6.17 自动重载寄存器 (TIMx\_AR)

偏移地址:0x44

复位值: 0x0000 FFFF

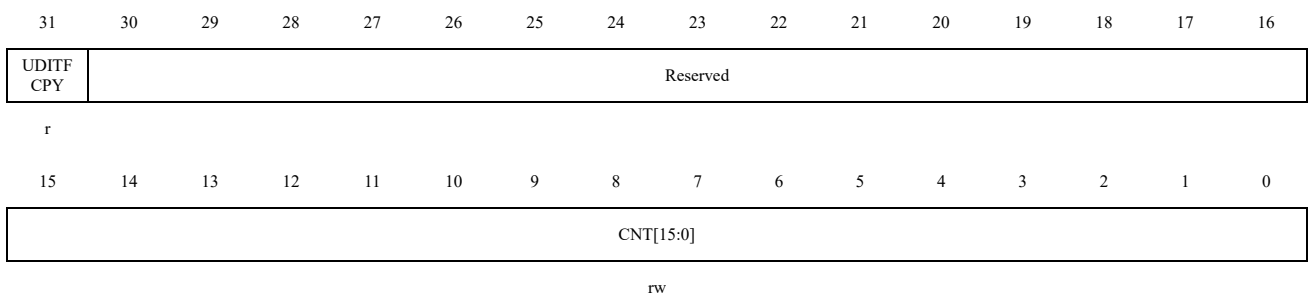


位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	AR[15:0]	自动重载的值 (Auto-reload value) AR包含了将要装载入实际的自动重载寄存器的值。详细参考20.5.1节：有关AR的更新和动作。 当自动重载的值为空时，计数器不工作。

### 20.6.18 计数器 (TIMx\_CNT)

偏移地址: 0x48

复位值: 0x0000 0000



位域	名称	描述
31	UDITFCPY	UDITF副本(UDITF copy)，该位是TIMx_STS寄存器中UDITF位的只读副本。如果TIMx_CTRL1.UDITFREMAP位复位，则位31保留，读为0。

位域	名称	描述
30:16	Reserved	保留，必须保持复位值
15:0	CNT[15:0]	计数器的值（Counter value）

### 20.6.19 重复计数寄存器（TIMx\_REPCNT）

偏移地址：0x4C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								REPCNT[7:0]							
rw															

位域	名称	描述
31:8	Reserved	保留，必须保持复位值
7:0	REPCNT[7:0]	重复计数器的值（Repetition counter value） 重复计数器仅在给定数量 (N+1) 个计数器周期后用于生成更新事件或更新定时器寄存器，其中 N 是 TIMx_REPCNT.REPCNT 的值。在向上计数模式下，每次计数器溢出，向下计数模式下每次计数器下溢或中央对齐模式下每次计数器溢出和每次计数器下溢时，重复计数器都会递减。设置 TIMx_EVTGEN.UDGN 位将重新加载 TIMx_REPCNT.REPCNT 的内容并生成更新事件。

### 20.6.20 刹车和死区寄存器（TIMx\_BKDT）

偏移地址：0x50

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved										BRKBID	Reserved	BRK DSRM	Reserved		
										rw		rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LCKCFG[1:0]		OSSR	OSSI	BKEN	BKP	AOEN	MOEN	DTGN[7:0]							
rw		rw	rw	rw	rw	rw	rw	rw							

注意：根据锁定设置，BRK2BID、BRKBID、BK2EN、BK2P、AOEN、BKP、BKEN、OSSI、OSSR 和 DTGN[7:0] 位均可被写保护，有必要在第一次写入 TIMx\_BKDT 寄存器时对它们进行配置。

位域	名称	描述
31:21	Reserved	保留，必须保持复位值



20	BRKBID	<p>刹车1双向使能(Break1 bidirectional enable)</p> <p>0: 刹车1为输入模式 1: 刹车1为双向模式</p> <p>在双向模式下, 刹车1输入被配置为在输入和开漏输出模式。任何刹车1事件会在刹车1输入IO上产生一个低电平, 由此向外设显示内部发生了一个刹车1事件。</p> <p>注意: 一旦LOCK级别 (TIMx_BKDT寄存器中的LCKCFG位) 设为'1', 则该位不能被修改。</p> <p>注意: 任何对该位的写操作都需要一个APB时钟的延迟以后才能起作用。</p>
18	BRKDSRM	<p>刹车1解除(Break1 disarm)</p> <p>0: 刹车1输入预备 1: 刹车1输入解除</p> <p>刹车1输入无效时该位由硬件自动清零。</p> <p>BRKDSRM由软件设置以解除刹车1双向输出控制 (开漏输出为高阻态), 然后软件轮询该位直到其被硬件复位, 表示刹车1事件已经消失。</p> <p>注意: 任何对该位的写操作都需要一个APB时钟的延迟以后才能起作用。</p>
15:14	LCKCFG[1:0]	<p>锁定设置 (Lock configuration) 该位为防止软件错误而提供写保护。</p> <p>这些位提供针对软件错误的写保护。</p> <p>00: – 没有写保护。</p> <p>01: – 锁定级别 1</p> <p>TIMx_BKDT.DTGN、TIMx_BKDT.BKEN、TIMx_BKDT.BKP、TIMx_BKDT.AOEN、TIMx_CTRL2.OIx、TIMx_CTRL2.OIxN 位启用写保护。</p> <p>10: – 锁定 2 级</p> <p>除了 LOCK Level 1 模式下的寄存器写保护外, TIMx_CCEN.CCxP 和 TIMx_CCEN.CCxNP (如果相应通道配置为输出模式), TIMx_BKDT.OSSR 和 TIMx_BKDT.OSSI 位也使能写保护。</p> <p>11: – 锁定 3 级</p> <p>除了 LOCK Level 2 中的寄存器写保护外, TIMx_CCMODx.OCxMD 和 TIMx_CCMODx.OCxPEN 位 (如果相应通道配置为输出模式) 也启用写保护。</p> <p>注意: 系统复位后, LCKCFG 位只能写一次。一旦写入 TIMx_BKDT 寄存器, LCKCFG 将受到保护, 直到下一次复位。</p>
13	OSSR	<p>当 TIMx_BKDT.MOEN=1 且通道为互补输出时使用该位。</p> <p>没有互补输出的定时器中不存在 OSSR 位。</p> <p>0: 当定时器不工作时, 禁止OC/OCN输出 (OC/OCN使能输出信号=0); 1: 当定时器不工作时, 一旦CCxEN=1或CCxNEN=1, 首先开启OC/OCN并输出无效电平, 然后置OC/OCN使能输出信号=1。</p> <p>有关更多详细信息, 请参见第18.5.9节, 捕获/比较启用寄存器 (TIMx_CCEN)。</p>

12	OSSI	空闲模式下“关闭状态”选择 (Off-state selection for Idle mode) 当 TIMx_BKDT.MOEN=0 且通道配置为输出时使用该位。 0: 当定时器不工作时, 禁止OC/OCN输出 (OC/OCN使能输出信号=0); 1: 当定时器不工作时, 一旦CCxEN=1 或CCxNEN=1, OC/OCN首先输出其空闲电平, 然后OC/OCN使能输出信号=1。 有关更多详细信息, 请参见第18.5.9节, 捕获/比较启用寄存器 (TIMx_CCEN)。
11	BKEN	刹车1功能使能 (Break1 enable) 0: 禁止刹车1输入; 1: 开启刹车1输入。 注意: 任何对该位的写操作都需要一个APB时钟的延迟以后才能起作用。
10	BKP	刹车1输入极性 (Break1 polarity) 0: 刹车1输入低电平有效; 1: 刹车1输入高电平有效。 注意: 任何对该位的写操作都需要一个APB时钟的延迟以后才能起作用。
9	AOEN	自动输出使能 (Automatic output enable) 0: 只有软件可以设置TIMx_BKDT.MOEN; 1: 软件设置TIMx_BKDT.MOEN; 或者如果刹车输入未激活, 则在下一次更新事件发生时, 硬件自动设置 TIMx_BKDT.MOEN。
8	MOEN	主输出使能 (Main output enable) 该位可由软件或硬件根据 TIMx_BKDT.AOEN 位设置, 一旦刹车输入有效, 该位由硬件异步清零。它仅对配置为输出的通道有效。 0: OC 和 OCN 输出被禁用或强制进入空闲状态。 1: 如果设置了 TIMx_CCEN.CCxEN 或 TIMx_CCEN.CCxNEN 位, 则使能 OC 和 OCN 输出。有关更多详细信息, 请参见第 18.5.9节捕获/比较使能寄存器 (TIMx_CCEN)。
7:0	DTGN[7:0]	死区发生器设置 (Dead-time generator setup) 这些位定义插入的互补输出之间的死区持续时间。DTGN值与死区时间的关系如下: $DTGN[7:5]=0xx \Rightarrow DT=DTGN[7:0] \times T_{dtgn}, T_{dtgn} = T_{DTS};$ $DTGN[7:5]=10x \Rightarrow DT=(64+DTGN[5:0]) \times T_{dtgn}, T_{dtgn} = 2 \times T_{DTS};$ $DTGN[7:5]=110 \Rightarrow DT=(32+DTGN[4:0]) \times T_{dtgn}, T_{dtgn} = 8 \times T_{DTS};$ $DTGN[7:5]=111 \Rightarrow DT=(32+DTGN[4:0]) \times T_{dtgn}, T_{dtgn} = 16 \times T_{DTS};$

## 20.6.21 刹车1滤波寄存器 (TIMx\_BKFR)

偏移地址: 0x60

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		THRESH[5:0]						Reserved		WSIZE[5:0]					FILTEN
rw						rw					rw				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SLIDFPSC [15:0]															

rw

位域	名称	描述
31:30	Reserved	保留，必须保持复位值
29:24	THRESH[5:0]	采样逻辑电平有效的阈值数(Threshold)，最大 63： 有效逻辑电平的阈值。在采样窗口内，如果逻辑高的数量大于或等于阈值，则下一个逻辑电平将为逻辑高。同样的规则适用于逻辑低。如果窗口内 1 和 0 的数量都小于阈值，则过滤器输出保持不变。阈值应设置为大于或等于 Window 值的一半。 推荐阈值范围为： <b>最小值：</b> 比最大毛刺大小的上限（预分频时钟周期）多 1 个预分频时钟周期，并且需要大于窗口大小的一半。 例如，如果毛刺大小为 $3.2 * (\text{预分频时钟周期})$ ，则阈值应为 $\lceil 3.2 \rceil = 4 + 1 = 5$ <b>最大值：</b> 有效信号最小尺寸的底值（在预分频时钟周期内），需要小于窗口尺寸。 例如，如果最小信号大小为 $3.2 * (\text{预分频时钟周期})$ ，则阈值应为下限 $(3.2) = 3$ 。
23	Reserved	保留，必须保持复位值
22:17	WSIZE[5:0]	逻辑电平检查的窗口大小值（Window size），最大 63： 窗口大小决定了在获得下一个逻辑级别时将考虑多少采样值。内置 FIFO 为 64 位，最大索引为 63，只能将窗口大小设置为 63。
16	FILTEN	滤波器使能（Filter enable）： 0: 滤波器禁能 1: 滤波器使能
15:0	SLIDFPSC [15:0]	滑动滤波采样时钟预分频寄存器（Prescaler）： 对于此过滤器，它支持 65535 分频（16 位）。 时钟预分频器将系统时钟缩放到采样时钟。采样时钟决定两个采样点之间的距离。只有采样点的值有效才会考虑的逻辑电平计算。 通过配置这些位来确定刹车输入滑动滤波的采样时钟分频。

## 20.6.22 通道 1 滤波寄存器 (TIMx\_C1FILT)

偏移地址：0x64

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		THRESH[5:0]						Reserved		WSIZE[5:0]					FILTEN
rw						rw					rw				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SLIDFPSC [15:0]															

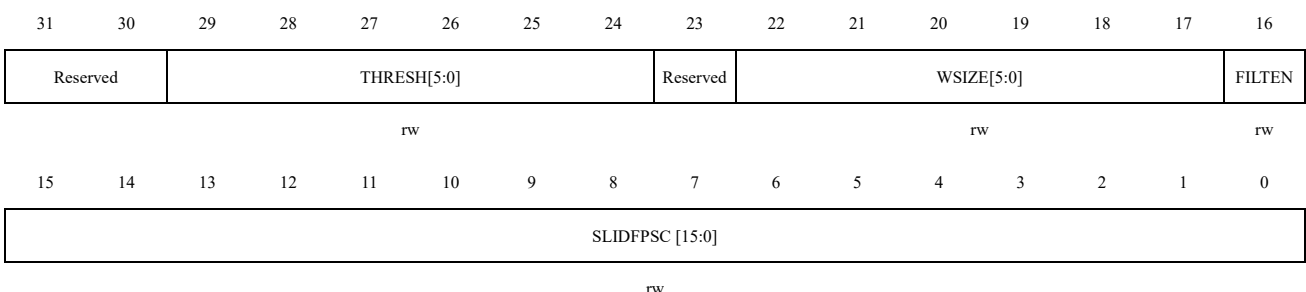
rw

位域	名称	描述
31:30	Reserved	保留, 必须保持复位值
29:24	THRESH[5:0]	采样逻辑电平有效的阈值数(Threshold), 最大 63: 有效逻辑电平的阈值。在采样窗口内, 如果逻辑高的数量大于或等于阈值, 则下一个逻辑电平将为逻辑高。同样的规则适用于逻辑低。如果窗口内 1 和 0 的数量都小于阈值, 则过滤器输出保持不变。阈值应设置为大于或等于 Window 值的一半。 推荐阈值范围为: <b>最小值:</b> 比最大毛刺大小的上限 (预分频时钟周期) 多 1 个预分频时钟周期, 并且需要大于窗口大小的一半。 例如, 如果毛刺大小为 $3.2 * (\text{预分频时钟周期})$ , 则阈值应为 $\lceil 3.2 \rceil = 4 + 1 = 5$ <b>最大值:</b> 有效信号最小尺寸的底值 (在预分频时钟周期内), 需要小于窗口尺寸。 例如, 如果最小信号大小为 $3.2 * (\text{预分频时钟周期})$ , 则阈值应为下限 $(3.2) = 3$ 。
23	Reserved	保留, 必须保持复位值
22:17	WSIZE[5:0]	逻辑电平检查的窗口大小值 (Window size), 最大 63: 窗口大小决定了在获得下一个逻辑级别时将考虑多少采样值。内置 FIFO 为 64 位, 最大索引为 63, 只能将窗口大小设置为 63。
16	FILTEN	滤波器使能 (Filter enable): 0: 滤波器禁能 1: 滤波器使能
15:0	SLIDFPSC [15:0]	滑动滤波器采样时钟预分频寄存器 (预分频器): 该滤波器支持 65535 (16位) 的分频比。 时钟预分频器将系统时钟缩放为采样时钟。采样时钟决定两个采样点之间的间隔。逻辑电平计算仅考虑采样点的数值。 配置这些位可确定通道 1 滑动滤波器的采样时钟分频比。

### 20.6.23 通道 2 滤波寄存器 (TIMx\_C2FILT)

偏移地址: 0x68

复位值: 0x0000 0000



位域	名称	描述
31:30	Reserved	保留, 必须保持复位值
29:24	THRESH[5:0]	采样逻辑电平有效的阈值数(Threshold), 最大 63:

		<p>有效逻辑电平的阈值。在采样窗口内，如果逻辑高的数量大于或等于阈值，则下一个逻辑电平将为逻辑高。同样的规则适用于逻辑低。如果窗口内 1 和 0 的数量都小于阈值，则过滤器输出保持不变。阈值应设置为大于或等于 Window 值的一半。</p> <p>推荐阈值范围为：</p> <p><b>最小值：</b>比最大毛刺大小的上限（预分频时钟周期）多 1 个预分频时钟周期，并且需要大于窗口大小的一半。</p> <p>例如，如果毛刺大小为 <math>3.2 * (\text{预分频时钟周期})</math>，则阈值应为 <math>\lceil 3.2 \rceil = 4 + 1 = 5</math></p> <p><b>最大值：</b>有效信号最小尺寸的底值（在预分频时钟周期内），需要小于窗口尺寸。</p> <p>例如，如果最小信号大小为 <math>3.2 * (\text{预分频时钟周期})</math>，则阈值应为下限 <math>(3.2) = 3</math>。</p>
23	Reserved	保留，必须保持复位值
22:17	WSIZE[5:0]	<p>逻辑电平检查的窗口大小值（Window size），最大 63：</p> <p>窗口大小决定了在获得下一个逻辑级别时将考虑多少采样值。内置 FIFO 为 64 位，最大索引为 63，只能将窗口大小设置为 63。</p>
16	FILTEN	<p>滤波器使能（Filter enable）：</p> <p>0: 滤波器禁能</p> <p>1: 滤波器使能</p>
15:0	SLIDFPSC [15:0]	<p>滑动滤波器采样时钟预分频寄存器（预分频器）：</p> <p>该滤波器支持65535（16位）的分频比。</p> <p>时钟预分频器将系统时钟缩放为采样时钟。采样时钟决定两个采样点之间的间隔。逻辑电平计算仅考虑采样点的数值。</p> <p>配置这些位可确定通道2滑动滤波器的采样时钟分频比。</p>

### 20.6.24 通道3 滤波寄存器（TIMx\_C3FILT）

偏移地址：0x6C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		THRESH[5:0]					Reserved		WSIZE[5:0]					FILTEN	
rw					rw					rw					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SLIDFPSC [15:0]															
rw															

位域	名称	描述
31:30	Reserved	保留，必须保持复位值
29:24	THRESH[5:0]	<p>采样逻辑电平有效的阈值数(Threshold)，最大 63：</p> <p>有效逻辑电平的阈值。在采样窗口内，如果逻辑高的数量大于或等于阈值，则下一个逻辑电平将为逻辑高。同样的规则适用于逻辑低。如果窗口内 1 和 0 的数量都小于阈值，则过滤器输出保持不变。阈值应设置为大于或等于 Window 值的一半。</p>

		推荐阈值范围为： <b>最小值：</b> 比最大毛刺大小的上限（预分频时钟周期）多 1 个预分频时钟周期，并且需要大于窗口大小的一半。 例如，如果毛刺大小为 $3.2 * (\text{预分频时钟周期})$ ，则阈值应为 $\lceil 3.2 \rceil = 4 + 1 = 5$ <b>最大值：</b> 有效信号最小尺寸的底值（在预分频时钟周期内），需要小于窗口尺寸。 例如，如果最小信号大小为 $3.2 * (\text{预分频时钟周期})$ ，则阈值应为下限 $(3.2) = 3$ 。
23	Reserved	保留，必须保持复位值
22:17	WSIZE[5:0]	逻辑电平检查的窗口大小值（Window size），最大 63： 窗口大小决定了在获得下一个逻辑级别时将考虑多少采样值。内置 FIFO 为 64 位，最大索引为 63，只能将窗口大小设置为 63。
16	FILTEN	滤波器使能（Filter enable）： 0: 滤波器禁能 1: 滤波器使能
15:0	SLIDFPSC [15:0]	滑动滤波器采样时钟预分频寄存器（预分频器）： 该滤波器支持 65535（16 位）的分频比。 时钟预分频器将系统时钟缩放为采样时钟。采样时钟决定两个采样点之间的间隔。逻辑电平计算仅考虑采样点的数值。 配置这些位可确定通道 3 滑动滤波器的采样时钟分频比。

### 20.6.25 通道 4 滤波寄存器（TIMx\_C4FILT）

偏移地址：0x70

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		THRESH[5:0]					Reserved		WSIZE[5:0]					FILTEN	
		rw							rw					rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SLIDFPSC [15:0]															
rw															

位域	名称	描述
31:30	Reserved	保留，必须保持复位值
29:24	THRESH[5:0]	采样逻辑电平有效的阈值数(Threshold)，最大 63： 有效逻辑电平的阈值。在采样窗口内，如果逻辑高的数量大于或等于阈值，则下一个逻辑电平将为逻辑高。同样的规则适用于逻辑低。如果窗口内 1 和 0 的数量都小于阈值，则过滤器输出保持不变。阈值应设置为大于或等于 Window 值的一半。 推荐阈值范围为： <b>最小值：</b> 比最大毛刺大小的上限（预分频时钟周期）多 1 个预分频时钟周期，并且需要大于窗口大小的一半。

		例如，如果毛刺大小为 $3.2 * (\text{预分频时钟周期})$ ，则阈值应为 $\lceil 3.2 \rceil = 4 + 1 = 5$ <b>最大值：</b> 有效信号最小尺寸的底值（在预分频时钟周期内），需要小于窗口尺寸。 例如，如果最小信号大小为 $3.2 * (\text{预分频时钟周期})$ ，则阈值应为下限 $(3.2) = 3$ 。
23	Reserved	保留，必须保持复位值
22:17	WSIZE[5:0]	逻辑电平检查的窗口大小值（Window size），最大 63： 窗口大小决定了在获得下一个逻辑级别时将考虑多少采样值。内置 FIFO 为 64 位，最大索引为 63，只能将窗口大小设置为 63。
16	FILTEN	滤波器使能（Filter enable）： 0: 滤波器禁能 1: 滤波器使能
15:0	SLIDFPSC [15:0]	滑动滤波器采样时钟预分频寄存器（预分频器）： 该滤波器支持65535（16位）的分频比。 时钟预分频器将系统时钟缩放为采样时钟。采样时钟决定两个采样点之间的间隔。逻辑电平计算仅考虑采样点的数值。 配置这些位可确定通道4滑动滤波器的采样时钟分频比。

### 20.6.26 输入通道滤波输出寄存器（TIMx\_FILTO）

偏移地址：0x74

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												C4FILTO	C3FILTO	C2FILTO	C1FILTO
												r	r	r	r

位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3	C4FILTO	通道4滤波输出电平状态 0: 输出低电平； 1: 输出高电平；
2	C3FILTO	通道3滤波输出状态 0: 输出低电平； 1: 输出高电平；
1	C2FILTO	通道2滤波输出状态 0: 输出低电平； 1: 输出高电平；

0	C1FILTO	通道1滤波输出状态 0: 输出低电平; 1: 输出高电平;
---	---------	-------------------------------------

### 20.6.27 输入选择寄存器 (TIMx\_INSEL)

偏移地址: 0x78

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				CLRS[3:0]				ITRS[3:0]				ETRS[3:0]			
				rw				rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TI4S[3:0]				TI3S[3:0]				TI2S[3:0]				TI1S[3:0]			
				rw				rw				rw			

位域	名称	描述
31:28	Reserved	保留, 必须保持复位值
27:24	CLRS[3:0]	选择tim_ocref_clr输入(Selects tim_ocref_clr input signal) 0000: tim_ocref_clr0 0001: tim_ocref_clr1 ... 1111 : tim_ocref_clr15 注: 一旦LOCK级别 (TIMx_BKDT寄存器中的LCKCFG位) 设为'1', 则该位不能被修改。
23:20	ITRS[3:0]	选择tim_itr输入 0000: tim_itr0 0001: tim_itr1 ... 1111 : tim_itr15
19:16	ETRS[3:0]	选择tim_etr输入 0000: tim_etr0 0001: tim_etr1 ... 1111 : tim_etr15 注: 一旦LOCK级别 (TIMx_BKDT寄存器中的LCKCFG位) 设为'1', 则该位不能被修改。
15:12	TI4S[3:0]	选择tim_ti4[15:0]输入 0000: tim_ti4_in0 0001: tim_ti4_in1



		... 1111 : tim_ti4_in15
11:8	TI3S[3:0]	选择tim_ti3[15:0]输入 0000: tim_ti3_in0 0001: tim_ti3_in1 ... 1111 : tim_ti3_in15
7:4	TI2S[3:0]	选择tim_ti2[15:0]输入 0000: tim_ti2_in0 0001: tim_ti2_in1 ... 1111 : tim_ti2_in15
3:0	TI1S[3:0]	选择tim_ti1[15:0]输入 0000: tim_ti1_in0 0001: tim_ti1_in1 ... 1111 : tim_ti1_in15

## 20.6.28 复用功能寄存器1 (TIMx\_AF1)

偏移地址: 0x7C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				DSMU3BRKEN	DSMU2BRKEN	DSMU1BRKEN	DSMU0BRKEN	Reserved							
				rw	rw	rw	rw								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		COMP4BRKP	COMP3BRKP	COMP2BRKP	COMP1BRKP	IOMBRKP	Reserved				COMP4BRKEN	COMP3BRKEN	COMP2BRKEN	COMP1BRKEN	IOMBRKEN
		rw	rw	rw	rw	rw					rw	rw	rw	rw	rw

位域	名称	描述
31:28	Reserved	保留, 必须保持复位值
27	DSMU3BRKEN	tim_brk_dsmu3刹车输入使能 0: tim_brk_dsmu3刹车输入禁止 1: tim_brk_dsmu3刹车输入使能
26	DSMU2BRKEN	tim_brk_dsmu2刹车输入使能 0: tim_brk_dsmu2刹车输入禁止 1: tim_brk_dsmu2刹车输入使能
25	DSMU1BRKEN	tim_brk_dsmu1刹车输入使能 0: tim_brk_dsmu1刹车输入禁止

		1: tim_brk_dsmu1刹车输入使能
24	DSMU0BRKEN	tim_brk_dsmu0刹车输入使能 0: tim_brk_dsmu0刹车输入禁止 1: tim_brk_dsmu0刹车输入使能
23:14	Reserved	保留, 必须保持复位值
13	COMP4BRKP	tim_brk_comp4刹车输入极性选择 0: tim_brk_comp4刹车输入极性不翻转 (如果BKP=0,则低电平有效; 如果BKP=1,则高电平有效) 1: tim_brk_comp4刹车输入极性翻转 (如果BKP=0,则高电平有效; 如果BKP=1,则低电平有效)
12	COMP3BRKP	tim_brk_comp3刹车输入极性选择 0: tim_brk_comp3刹车输入极性不翻转 (如果BKP=0,则低电平有效; 如果BKP=1,则高电平有效) 1: tim_brk_comp3刹车输入极性翻转 (如果BKP=0,则高电平有效; 如果BKP=1,则低电平有效)
11	COMP2BRKP	tim_brk_comp2刹车输入极性选择 0: tim_brk_comp2刹车输入极性不翻转 (如果BKP=0,则低电平有效; 如果BKP=1,则高电平有效) 1: tim_brk_comp2刹车输入极性翻转 (如果BKP=0,则高电平有效; 如果BKP=1,则低电平有效)
10	COMP1BRKP	tim_brk_comp1刹车输入极性选择 0: tim_brk_comp1刹车输入极性不翻转 (如果BKP=0,则低电平有效; 如果BKP=1,则高电平有效) 1: tim_brk_comp1刹车输入极性翻转 (如果BKP=0,则高电平有效; 如果BKP=1,则低电平有效)
9	IOMBRK	TIMx_BKIN刹车输入极性选择 0: TIMx_BKIN刹车输入极性不翻转 (如果BKP=0,则低电平有效; 如果BKP=1,则高电平有效) 1: TIMx_BKIN刹车输入极性翻转 (如果BKP=0,则高电平有效; 如果BKP=1,则低电平有效)
8:5	Reserved	保留, 必须保持复位值
4	COMP4BRKEN	tim_brk_comp4刹车输入使能 0: tim_brk_comp4刹车输入禁止 1: tim_brk_comp4刹车输入使能
3	COMP3BRKEN	tim_brk_comp3刹车输入使能 0: tim_brk_comp3刹车输入禁止 1: tim_brk_comp3刹车输入使能
2	COMP2BRKEN	tim_brk_comp2刹车输入使能 0: tim_brk_comp2刹车输入禁止 1: tim_brk_comp2刹车输入使能

1	COMP1BRKEN	tim_brk_comp1刹车输入使能 0: tim_brk_comp1刹车输入禁止 1: tim_brk_comp1刹车输入使能
0	IOMBRKEN	TIMx_BKIN刹车输入使能 0: TIMx_BKIN刹车输入禁止 1: TIMx_BKIN刹车输入使能

## 20.6.29 DMA 控制寄存器 (TIMx\_DCTRL)

偏移地址: 0x94

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		DBADDR[5:0]					Reserved		DBLEN[5:0]						
		rw							rw						

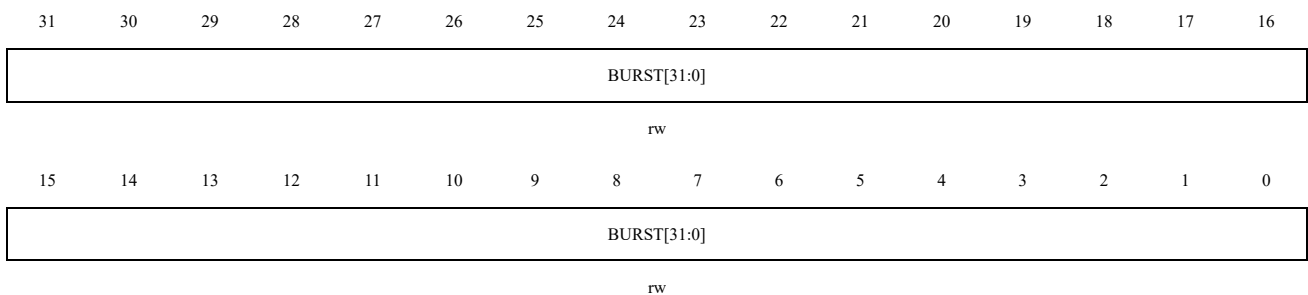
位域	名称	描述
31:14	Reserved	保留, 必须保持复位值
13:8	DBADDR[5:0]	DMA基地址 (DMA base address) 该位字段定义 DMA 访问 TIMx_DADDR 寄存器的第一个地址。 当第一次通过 TIMx_DADDR 完成访问时, 该位域指定您刚刚访问的地址。 然后第二次访问TIMx_DADDR, 会访问到“DMA Base Address + 4”的地址 00000: TIMx_CTRL1, 00001: TIMx_CTRL2, 00010: TIMx_SMCTRL, ..... 10001: TIMx_BKDT 10010: TIMx_DCTRL
7:6	Reserved	保留, 必须保持复位值
5:0	DBLEN[5:0]	DMA连续传送长度 (DMA burst length) 该位字段定义 DMA 将访问 (写入/读取) TIMx_DADDR 寄存器的次数。 000000: 1次传输 000001: 2次传输 000010: 3次传输 ... 010001: 18次传输 .....

位域	名称	描述
		100010: 35次传输 例: 我们考虑这样的传输: DBLEN=7, DBADDR=TIMx_CTRL1 如果DBLEN=7, DBADDR=TIMx_CTRL1表示待传输数据的地址, 那么传输的地址由下式给出: $(\text{TIMx\_CTRL1的地址}) + \text{DBADDR} + (\text{DMA索引})$ , 其中 $\text{DMA索引} = \text{DBLEN}$ 其中 $(\text{TIMx\_CTRL1的地址}) + \text{DBADDR}$ 再加上7, 给出了将要写入或者读出数据的地址, 这样数据的传输将发生在从地址 $(\text{TIMx\_CTRL1的地址}) + \text{DBADDR}$ 开始的7个寄存器。 如果设置数据为半字(16位), 那么数据就会传输给全部7个寄存器。 如果设置数据为字节, 数据仍然会传输给全部7个寄存器: 第一个寄存器包含第一个MSB字节, 第二个寄存器包含第一个LSB字节, 以此类推。因此对于定时器, 用户必须指定由DMA传输的数据宽度。

### 20.6.30 连续模式的DMA地址 (TIMx\_DADDR)

偏移地址: 0x98

复位值: 0x0000 0000



位域	名称	描述
31:0	BURST[31:0]	DMA 访问缓冲区。 当对该寄存器分配读或写操作时, 将访问位于地址范围 (DMA base address + DMA burst length × 4) 的寄存器。 $\text{DMA base address} = \text{The address of TIM\_CTRL1} + \text{TIMx\_DCTRL.DBADDR} * 4;$ $\text{DMA burst len} = \text{TIMx\_DCTRL.DBLEN} + 1.$ 例子: 如果 $\text{TIMx\_DCTRL.DBLEN} = 0x3$ (4 次传输), $\text{TIMx\_DCTRL.DBADDR} = 0xD$ ( $\text{TIMx\_CCDAT1}$ ), DMA 数据长度 = 半字, DMA 存储器地址 = SRAM 中的缓冲区地址, DMA 外设地址 = $\text{TIMx\_DADDR}$ 地址。 当事件发生时, TIMx 将向 DMA 发送请求, 并传输 4 次数据。 第一次, 对 $\text{TIMx\_DADDR}$ 寄存器的 DMA 访问将映射到访问 $\text{TIMx\_CCDAT1}$ 寄存器; 第二次, 对 $\text{TIMx\_DADDR}$ 寄存器的 DMA 访问将映射到访问 $\text{TIMx\_CCDAT2}$ 寄存器; .....

位域	名称	描述
		第四次，对 TIMx_DADDR 寄存器的 DMA 访问将映射到访问 TIMx_CC DAT4 寄存器：

## 21 基本定时器 (BTIM1/BTIM2/BTIM3/BTIM4)

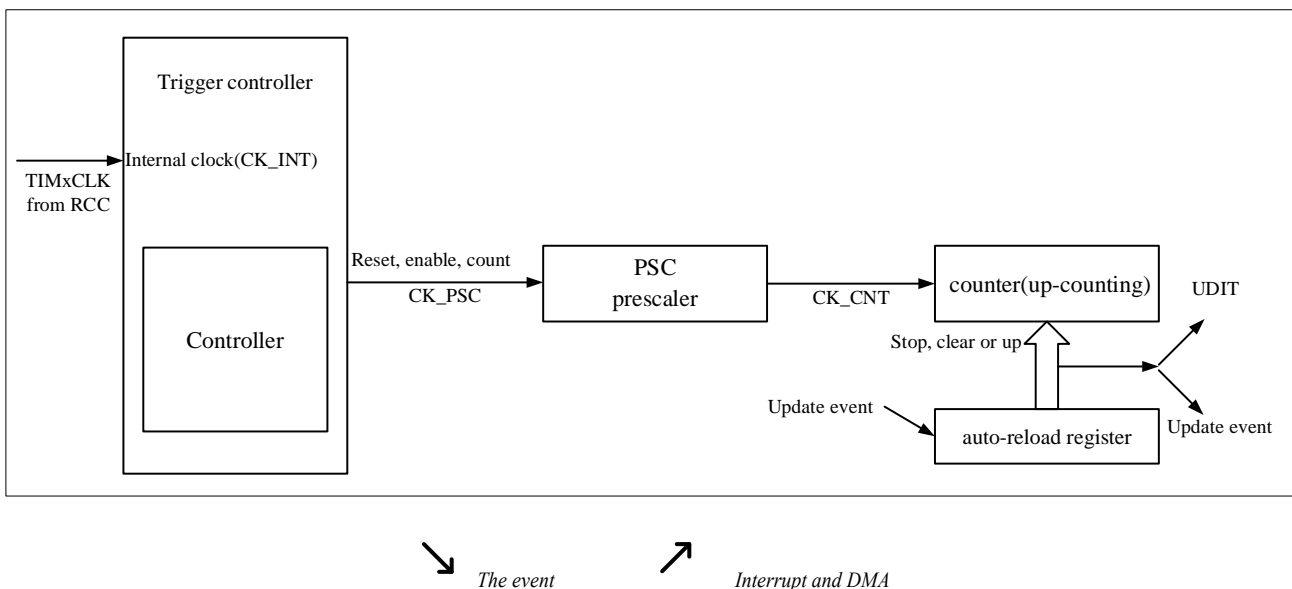
### 21.1 BTIMx (x=1-4) 简介

基本定时器包含一个 32 位自动装载计数器。

### 21.2 BTIMx (x=1-4) 主要特性

- 32 位自动重载向上计数计数器。
- 16 位可编程预分频器。(分频系数可配置为 1 到 65536 之间的任意值)
- 产生中断/DMA 的事件如下：
  - ◆ 更新事件

图 21-1 BTIMx 的框图 (x = 1,2,3,4)



### 21.3 BTIMx (x=1-4) 功能描述

#### 21.3.1 时基单元

时基单元主要包括：预分频器、计数器、自动重载和重复计数器。当时基单元工作时，软件可以随时读写相应的寄存器 (TIMx\_PSC、TIMx\_CNT 和 TIMx\_AR)。

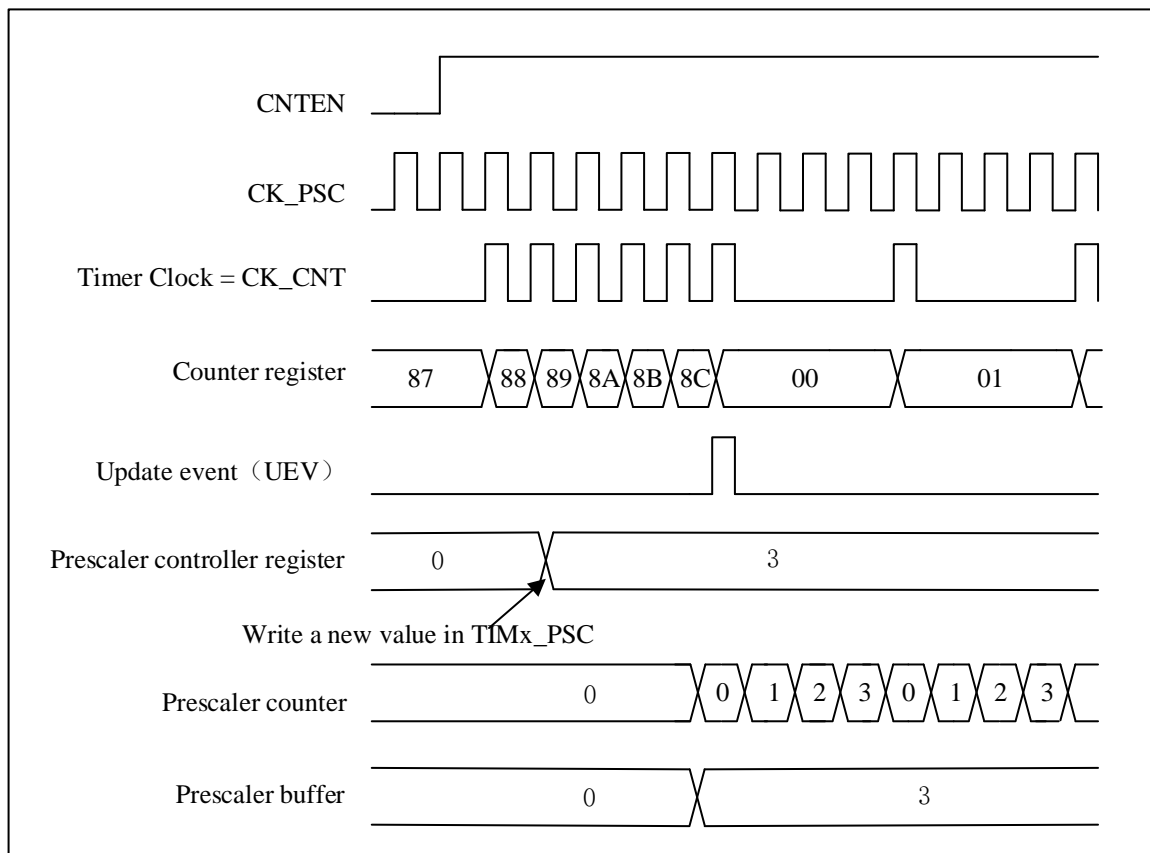
根据自动重载预加载使能位(TIMx\_CTRL1.ARPEN)的设置，预加载寄存器的值会立即或在每次更新事件 UEV 时传输到影子寄存器。TIMx\_CTRL1.UPDIS=0 时，当计数器达到上溢条件或软件设置 TIMx\_EVTGEN.UDGN 位，将生成更新事件。仅当 TIMx\_CTRL1.CNTEN 位置位时，计数器 CK\_CNT 才有效。计数器在 TIMx\_CTRL1.CNTEN 位置位后一个时钟周期开始计数。

#### 21.3.1.1 预分频器描述

TIMx\_PSC 寄存器包含一个 16 位计数器，可用于将计数器时钟频率除以 1 到 65536 之间的任何因子。它可

以在缓冲时动态更改。仅在下一次更新事件时才考虑预分频器值。

图 21-2 预分频器分频从 1 到 4 的计数器时序图



## 21.3.2 计数模式

### 21.3.2.1 向上计数模式

在向上计数模式下，计数器会从 0 计数到寄存器 TIMx\_AR 的值，然后复位为 0。并产生计数器溢出事件。如果设置了 TIMx\_CTRL1.UPRS 位(选择更新请求)和 TIMx\_EVTGEN.UDGN 位，则会生成更新事件(UEV)，并且不会由硬件设置 TIMx\_STS.UDITF。因此，不会产生更新中断或更新 DMA 请求。此设置用于您想要清除计数器但不想产生更新中断的场景。

取决于 TIMx\_CTRL1.UPRS 的配置，当更新事件发生时，TIMx\_STS.UDITF 被设置，所有寄存器都被更新：

- 当 TIMx\_CTRL1.ARPEN =1 时，使用预加载值(TIMx\_AR)更新自动重载影子寄存器。
- 预分频器影子寄存器重新加载预加载值(TIMx\_PSC)。

为避免在将新值写入预加载寄存器时更新影子寄存器，您可以通过设置 TIMx\_CTRL1.UPDIS=1 来禁用更新。当更新事件发生时，计数器仍将被清零，预分频器计数器也将设置为 0（但预分频器值将保持不变）。

下图显示了向上计数模式下不同除法因子的计数器行为和更新标志的一些示例。

图 21-3 向上计数时序图，内部时钟分频因子 = 2/N

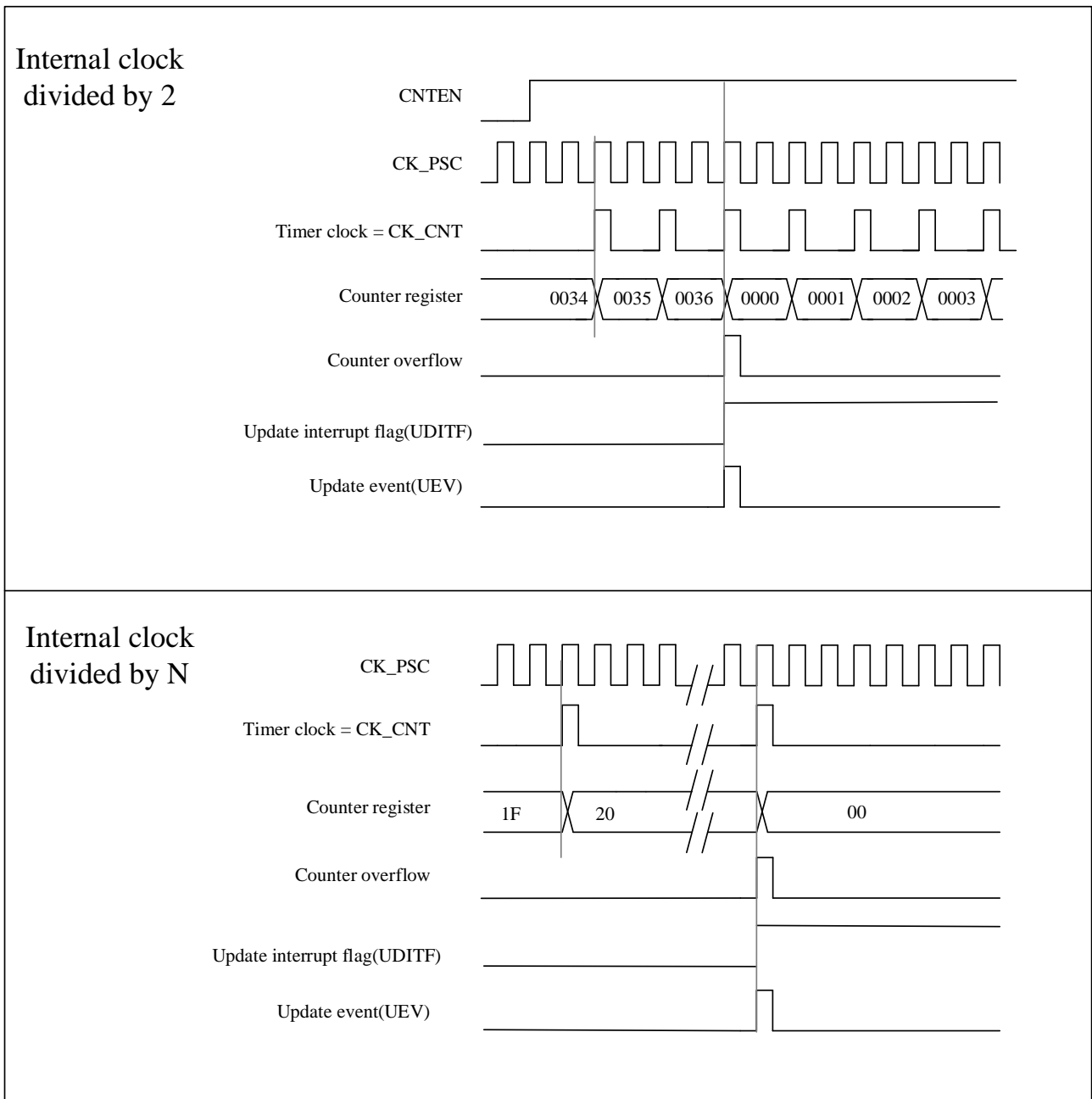
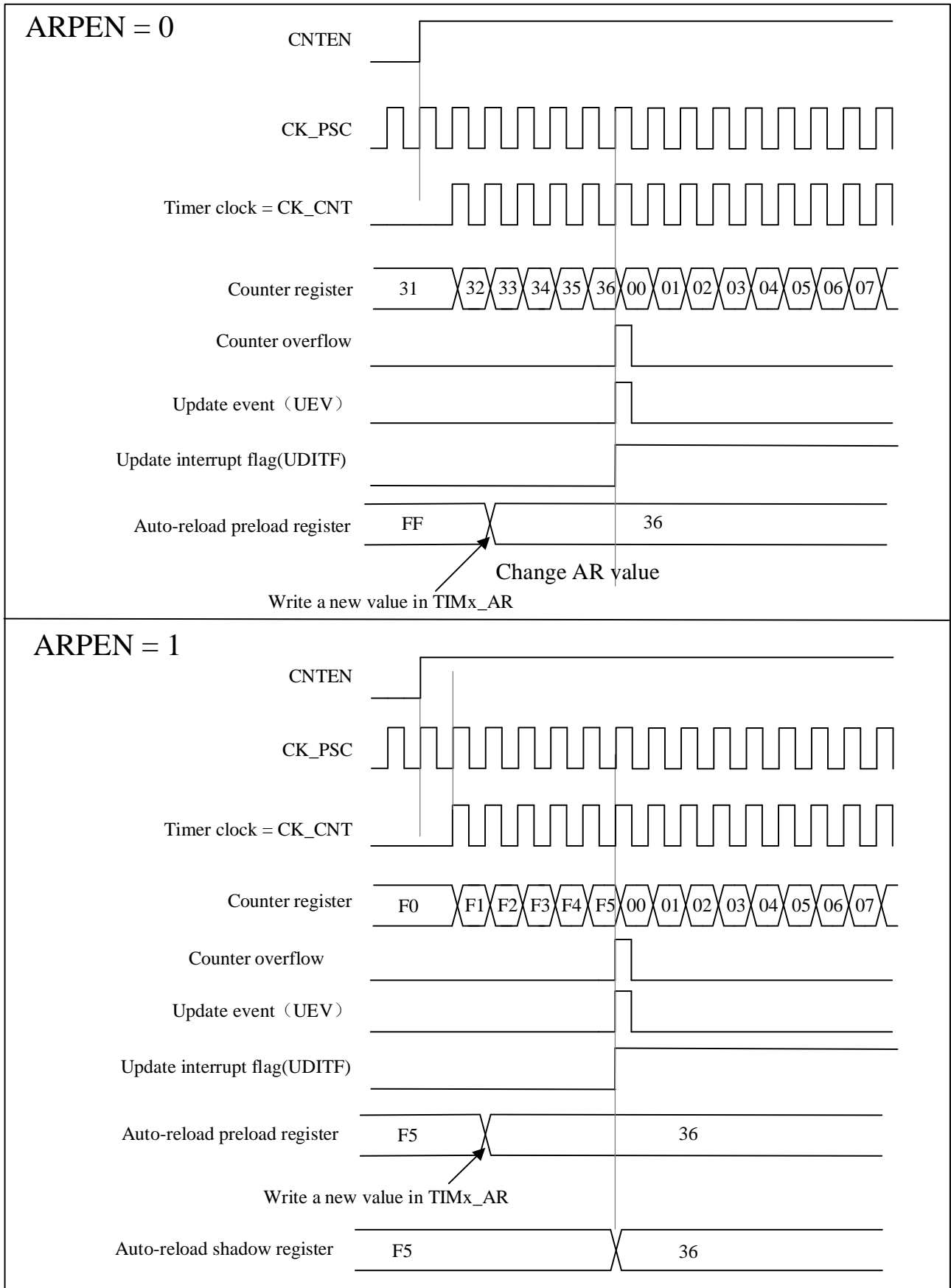




图 21-4 ARPEN=0/1 时向上计数、更新事件的时序图



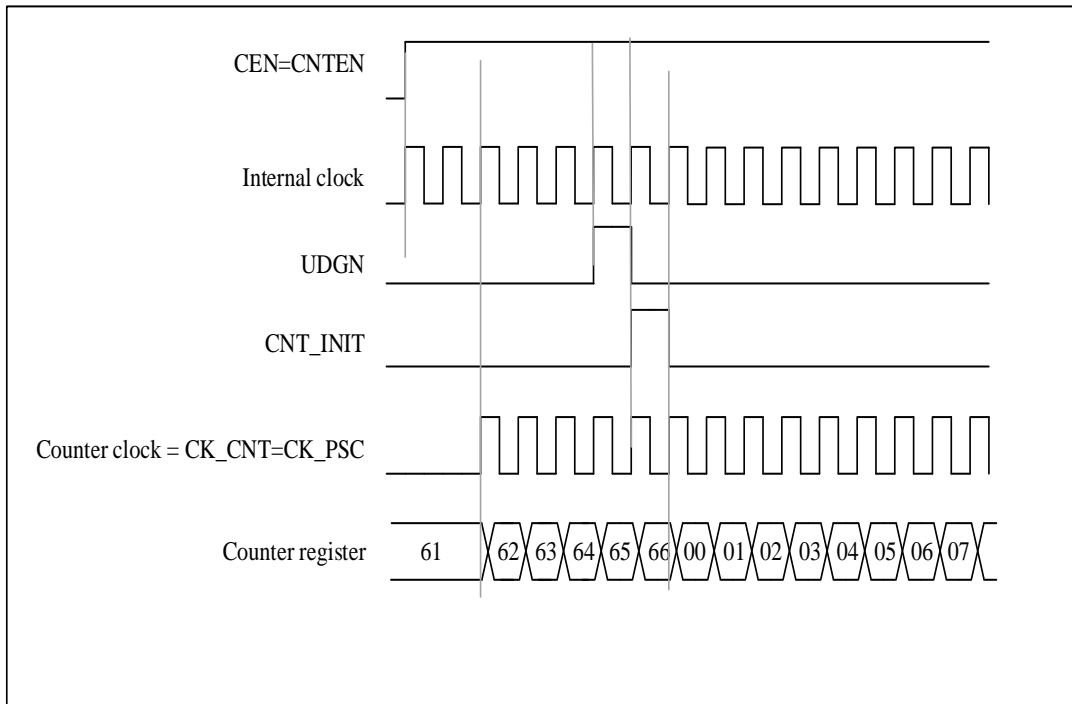
### 21.3.3 时钟选择

- 定时器内部时钟: CK\_INT

#### 21.3.3.1 内部时钟源 (CK\_INT)

前提是 TIMx\_CTRL1.CNTEN 位由软件写为'1'，预分频器的时钟源由内部时钟 CK\_INT 提供。

图 21-5 正常模式下的控制电路，内部时钟分频系数为 1



### 21.3.4 调试模式

当微控制器处于调试模式（Cortex-M4 内核停止）时，根据 DBG\_CTRL.BTIMx\_STOP 位配置，定时器计数器可以继续正常工作或停止。

## 21.4 BTIMx (x=1-4) 寄存器描述

有关寄存器中使用的缩写，请参阅第 1.1 节

这些外设寄存器可以作为半字（16 位）或一个字（32 位）操作。

### 21.4.1 控制寄存器 1 (TIMx\_CTRL1)

地址偏移: 0x00

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				ARPEN	ONEPM	Reserved			UPDIS	UPRS	Reserved			CNTEN	
				rw	rw				rw	rw				rw	

位域	名称	描述
31:10	Reserved	保留，必须保持复位值
9	ARPEN	自动重载预装载允许位（Auto-reload preload enable） 0: TIMx_AR 寄存器的影子寄存器禁用 1: TIMx_AR 寄存器的影子寄存器使能
8	ONEPM	单脉冲模式（One pulse mode） 0: 禁用单脉冲模式，发生更新事件时不影响计数器计数。 1: 使能单脉冲模式，计数器在下次更新事件发生时停止计数（清 TIMx_CTRL1.CNTEN 位）。
7:6	Reserved	保留，必须保持复位值
5	UPDIS	禁止更新（Update disable） 该位用于启用/禁用软件生成的更新事件（UEV）事件。 0: 启用UEV。如果满足以下条件之一，将生成UEV： – 计数器溢出 – TIMx_EVTGEN.UDGN 位被设置 影子寄存器将使用预加载值进行更新。 1: UEV禁用。不生成更新事件，影子寄存器（AR、PSC）保持其值。如果设置了 TIMx_EVTGEN.UDGN位，则重新初始化计数器和预分频器。
4	UPRS	更新请求源（Update request source） 该位用于通过软件选择 UEV 事件源。 0: 如果更新中断或 DMA 请求使能，以下任何事件都会产生更新中断或 DMA 请求： – 计数器溢出 – TIMx_EVTGEN.UDGN 位被设置 1: 如果更新中断或 DMA 请求使能，只有计数器溢出会产生更新中断或 DMA 请求
3:1	Reserved	保留，必须保持复位值
0	CNTEN	使能计数器（Counter enable） 0: 禁止计数器； 1: 使能计数器。

## 21.4.2 控制寄存器 2（TIMx\_CTRL2）

偏移地址：0x04

复位值：0x0000 0000

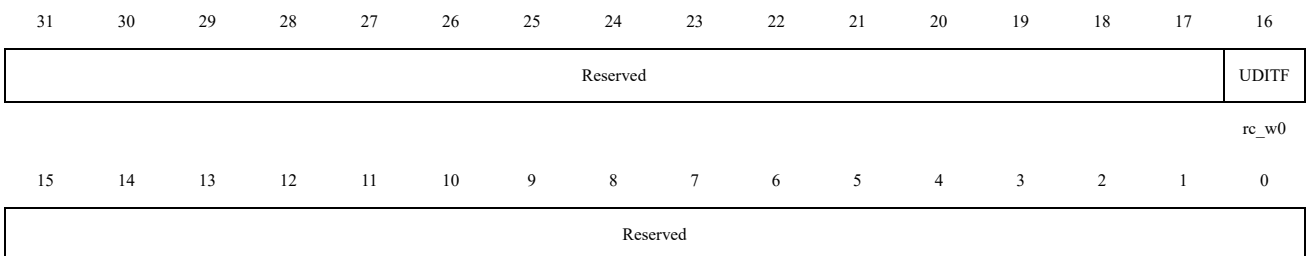


位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:12	MMSEL[3:0]	主模式选择 这 4 位用于选择在主模式下发送到从定时器的同步信息（TRGO）。可能的组合如下： x000：复位 - 当 TIMx_EVTGEN.UDGN 置位或从模式控制器产生复位时，将出现 TRGO 脉冲。在后一种情况下，TRGO 上的信号与实际复位相比有所延迟。 x001：使能 - TIMx_CTRL1.CNTEN 位用作触发输出 (TRGO)。有时需要同时启动多个定时器或者在一段时间内开启从定时器。 当 TIMx_CTRL1.CNTEN 位置位或门控模式下的触发输入为高电平时，计数器使能信号置位。 当计数器使能信号由触发输入控制时，TRGO 上有一个延迟，除非选择了主/从模式（参见 TIMx_SMCTRL.MSMD 位的说明）。 x010：更新 - 选择更新事件作为触发输出 (TRGO)。例如，主定时器时钟可用作从定时器预分频器。 其它：保留。
11:0	Reserved	保留，必须保持复位值

### 21.4.3 状态寄存器 (TIMx\_STS)

地址偏移: 0x08

复位值: 0x0000 0000



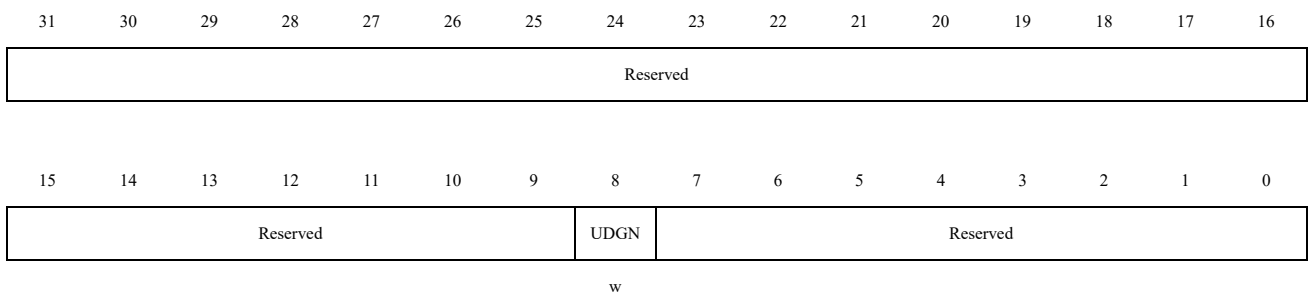
位域	名称	描述
----	----	----

31:17	Reserved	保留, 必须保持复位值
16	UDITF	更新中断标志 (Update interrupt flag) 当在以下条件下发生更新事件时, 该位由硬件设置: - 当 TIMx_CTRL1.UPDIS = 0 且计数器值溢出时。 - 当 TIMx_CTRL1.UPRS = 0 时, TIMx_CTRL1.UPDIS = 0, 并通过软件设置 TIMx_EVTGEN.UDGN 位以重新初始化 CNT。 该位由软件清零。 0: 未发生更新事件 1: 发生更新中断
15:0	Reserved	保留, 必须保持复位值

### 21.4.4 事件产生寄存器 (TIMx\_EVTGEN)

地址偏移: 0x0C

复位值: 0x0000 0000

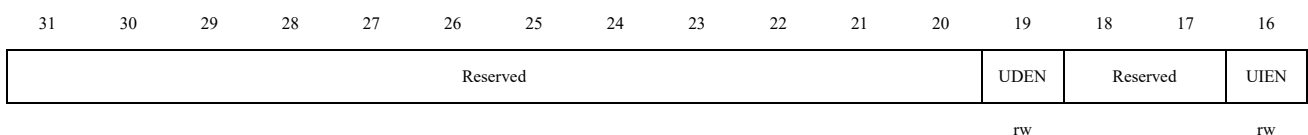


位域	名称	描述
31:9	Reserved	保留, 必须保持复位值
8	UDGN	产生更新事件 (Update generation) 软件可以设置该位来更新配置寄存器的值, 硬件会自动清除它。 0: 无效果。 1: 定时器计数器将重新启动, 所有影子寄存器将被更新。 它也将重新启动预分频器计数器。
7:0	Reserved	保留, 必须保持复位值

### 21.4.5 DMA/中断使能寄存器 (TIMx\_DINTEN)

地址偏移: 0x14

复位值: 0x0000 0000



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved
----------

位域	名称	描述
31:20	Reserved	保留，必须保持复位值
19	UDEN	更新DMA请求使能（Update DMA request enable） 0：禁止更新DMA请求 1：使能更新DMA请求
18:17	Reserved	保留，必须保持复位值
16	UIEN	更新中断使能（Update interrupt enable） 0：禁止更新中断 1：使能更新中断
15:0	Reserved	保留，必须保持复位值

### 21.4.6 预分频器 (TIMx\_PSC)

地址偏移: 0x40

复位值: 0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved
----------

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PSC[15:0]
-----------

rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	PSC[15:0]	预分频器数值（Prescaler value） PSC寄存器值将在更新事件时更新到预分频器寄存器。计数器时钟频率是输入时钟分频PSC+1。

### 21.4.7 自动重载寄存器 (TIMx\_AR)

地址偏移: 0x44

复位值: 0xFFFF FFFF

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

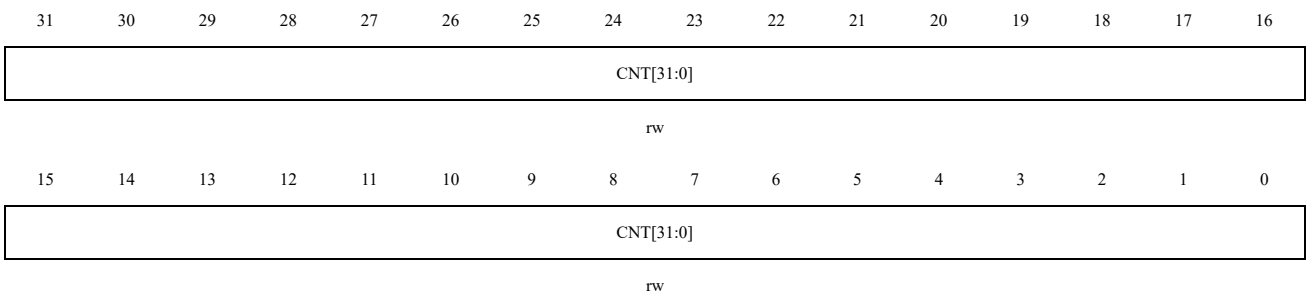


位域	名称	描述
31:0	AR[31:0]	自动重载数值 (Auto-reload value) 这些位定义将加载到实际自动重载寄存器中的值。 有关详细信息，请参阅 21.3.1。 当TIMx_AR.AR [31:0]值为空时，计数器不工作。

### 21.4.8 计数器 (TIMx\_CNT)

地址偏移: 0x48

复位值: 0x0000 0000



位域	名称	描述
31:0	CNT[31:0]	计数器数值 (Counter value)

## 22 低功耗定时器（LPTIM）

### 22.1 简介

支持 5 个低功耗定时器。LPTIM 是一个具有多个时钟源的 16 位定时器，它可以在所有功耗模式下保持运行。LPTIM 可以在没有内部时钟源的情况下运行，可以用作“脉冲计数器”。此外，LPTIM 可以将系统从低功耗模式唤醒，以极低的功耗实现“超时功能”。

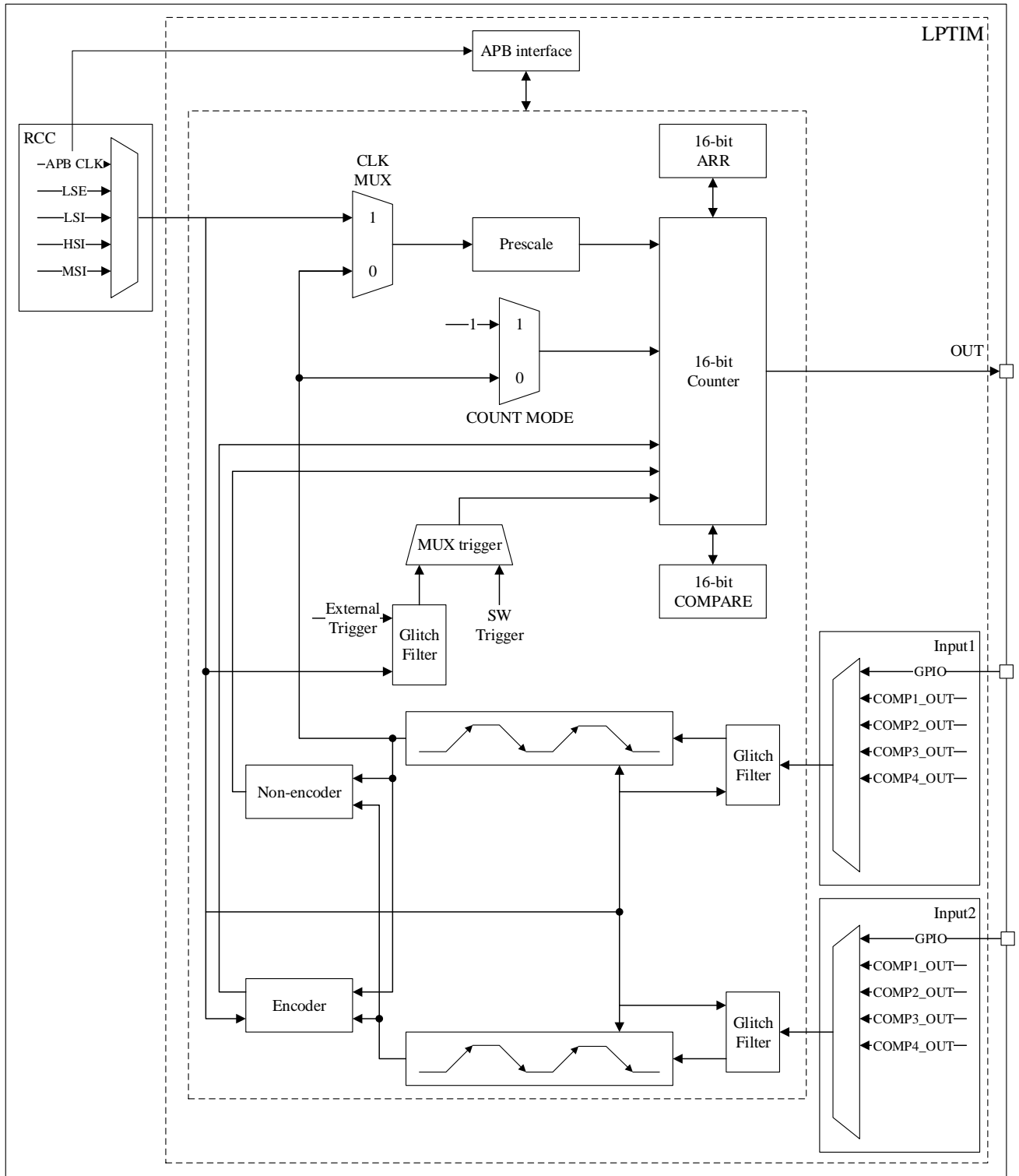
### 22.2 主要特性

- 16 位向上计数器
- 3bit 预分频，8 种分频因子（1、2、4、8、16、32、64、128）
- 多个时钟源
  - 内部时钟源：LSE, LSI, HSI, MSI 或者 APB 时钟
  - 外部时钟源：通过 LPTIM Input1 输入的外部时钟源（工作时无 LP 振荡器运行，用于脉冲计数器应用）
- 16 bit 自动装载寄存器（LPTIM\_ARR）
- 16 bit 比较寄存器（LPTIM\_CMP）
- 连续或单触发计数模式
- 可编程软件或硬件输入触发
- 用于过滤毛刺的可编程数字滤波器
- 可配置输出（PWM）
- 可配置 IO 极性
- 编码器模式
- 脉冲计数模式，支持单脉冲计数、双脉冲计数（正交和非正交）



### 22.3 功能框图

图 22-1 LPTIM 主框图



## 22.4 功能描述

### 22.4.1 复位和时钟

LPTIM 可以使用内部时钟源或外部时钟源。内部时钟源可通过 `RCC_RDCTRL.LPTIMSEL[2:0]` 位进行配置。外部时钟源可从比较器 1、2、3、4 或 GPIO 中选择。对于外部时钟源，LPTIM 有两种配置：

- LPTIM 使用外部时钟和内部时钟
- LPTIM 仅使用来自比较器或 Input1 的外部时钟。此配置适用于低功耗应用。

`LPTIM_CFG.CLKSEL` 和 `LPTIM_CFG.CNTMEN` 位用于时钟源配置。有效时钟沿通过 `LPTIM_CFG.CLKPOL[1:0]` 位进行配置。

LPTIM 仅使用外部时钟源时。它只能选择一个有效时钟沿。LPTIM 只有在使用内部时钟源或同时使用外部和内部时钟源时才能选择两个有效时钟沿。

*注意：当外部时钟的两个边沿都有效时，LPTIM 需要使用内部时钟对外部时钟进行过采样。内部时钟频率应至少比外部时钟频率高 4 倍。*

### 22.4.2 分频系数

LPTIM 计数器前面有一个可配置的 2 次幂预分频器。预分频比由 `LPTIM_CFG.CLKPRE[2:0]` 控制。下表列出了所有可能的分频因子：

表 22-1 预分频因子

控制位	对应的分频因子
000	/1
001	/2
010	/4
011	/8
100	/16
101	/32
110	/64
111	/128

### 22.4.3 毛刺滤波器

LPTIM 具有用于输入的毛刺滤波器，以消除毛刺并防止意外计数或触发。毛刺滤波器需要一个内部时钟源才能运行。并且时钟源应该在毛刺滤波器启用之前提供。这是保证滤波器正常运行所必需的。

毛刺滤波器有两个主要用途：

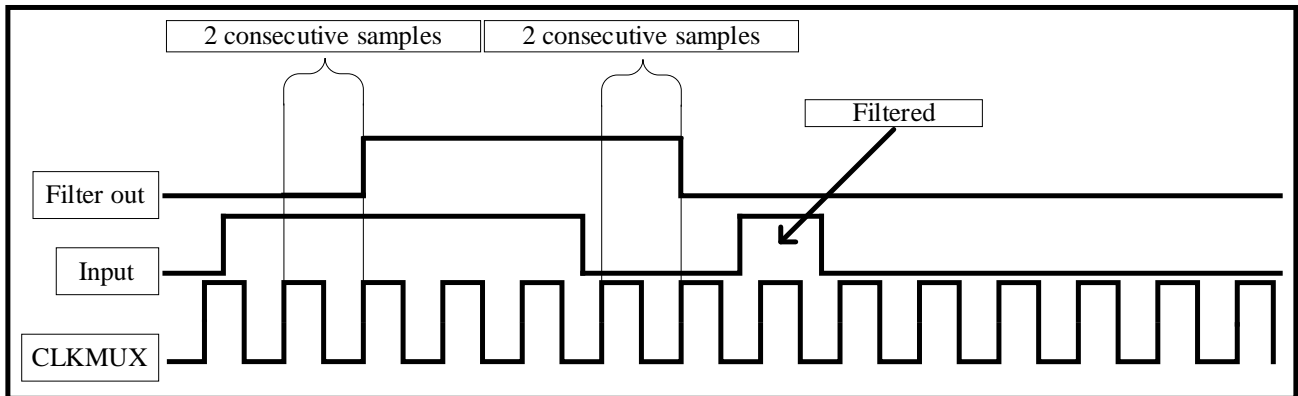
- 外部输入：通过 `LPTIM_CFG.CLKFLT[1:0]` 位配置滤波器灵敏度。
- 内部触发器输入：通过 `LPTIM_CFG.RIGFLT[1:0]` 位配置滤波器灵敏度。

*注意：这两组滤波器只对对应的输入有效。*

滤波器灵敏度作用于在 LPTIM 输入之一上检测到的连续相等样本的数量，以将信号电平变化视为有效跳变。

图 22-2 展示了当检测到 2 个连续样本时的毛刺滤波器行为。

图 22-2 毛刺滤波器时序图



注意：如果不使用内部时钟，则需要通过清除 `LPTIM_CFG.CLKFLT[1:0]` 和 `LPTIM_CFG.TRIGFLT[1:0]` 位来关闭毛刺滤波器。如果不使用毛刺滤波器，用户可以使用比较器中的数字滤波器或外部模拟滤波器来消除毛刺。

### 22.4.4 开启定时器

`LPTIM_CTRL.LPTIMEN` 位用于启用或禁用 `LPTIM` 内核逻辑。设置 `LPTIM_CTRL.LPTIMEN` 位后，需要延迟两个计数器时钟才能打开 `LPTIM`。

`LPTIM_CFG` 和 `LPTIM_INTEN` 寄存器的值只能在 `LPTIM` 关闭时修改。

### 22.4.5 多路触发器

`LPTIM` 计数器可以由软件触发启动，也可以由 10 个触发输入之一上的有效边沿触发。触发源通过 `LPTIM_CFG.TRGEN[1:0]` 位进行配置。如果 `LPTIM_CFG.TRGEN[1:0] = '00'`，可以通过设置 `LPTIM_CTRL.TSTCM` 或 `LPTIM_CTRL.SNGMST` 位来触发 `LPTIM` 启动计数器。`LPTIM_CFG.TRGEN[1:0]` 的其他值用于配置触发的有效边沿。一旦检测到有效边沿，内部计数器将启动。

`LPTIM_CFG.TRGSEL[3:0]` 仅在 `LPTIM_CFG.TRGEN[1:0] ≠ '00'` 时用于选择 10 个触发输入之一。

如果 `LPTIM` 使用外部触发，将被视为异步触发。对于异步触发，`LPTIM` 需要两个计数器时钟周期延迟来进行同步。

如果超时功能被禁用，以及 `LPTIM` 已经启动，新的触发事件将被忽略。

注意：如果 `LPTIM` 未启用，任何对 `LPTIM_CTRL.SNGMST` 或 `LPTIM_CTRL.TSTCM` 的写入都将被丢弃。

表 22-2 `LPTIM_CFG.TRGSEL[3:0]` 对应的 10 个触发输入

控制位	对应的触发输入
0000	<code>LPTIM_ETR Pin</code>
0001	<code>RTC alarm A</code>
0010	<code>RTC alarm B</code>
0011	<code>RTC_TAMP1</code>
0100	<code>RTC_TAMP2</code>

0101	RTC_TAMP3
0110	COMP1_OUT
0111	COMP2_OUT
1000	COMP3_OUT
1001	COMP4_OUT

## 22.4.6 工作模式

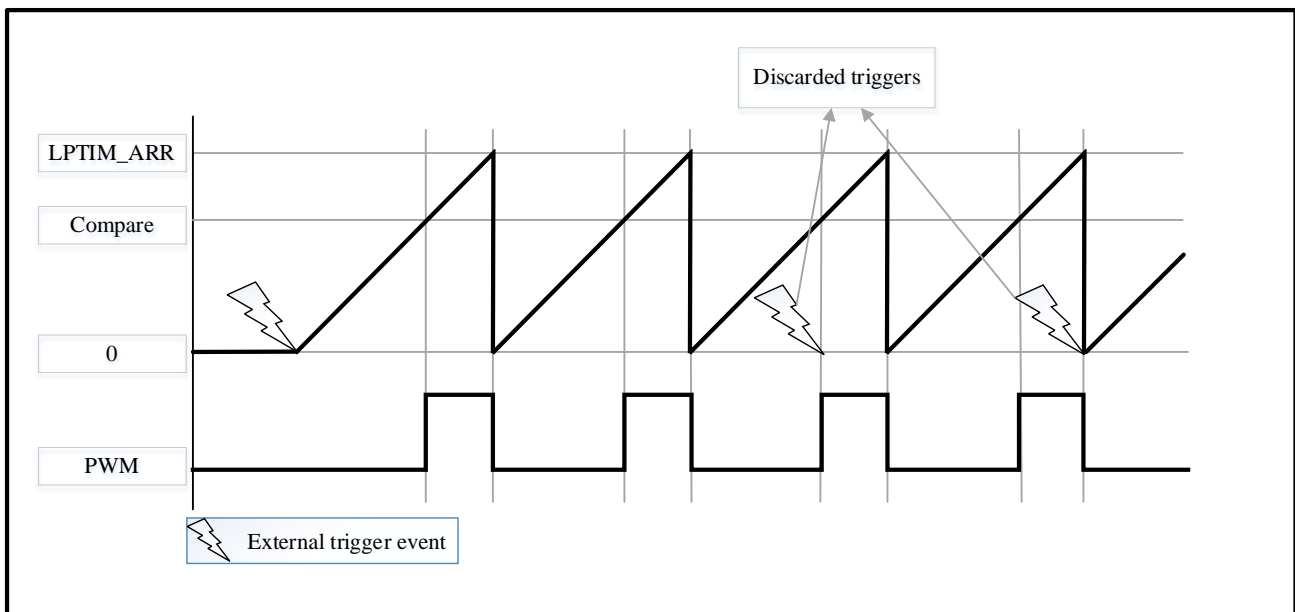
LPTIM 有两种工作模式：

- 连续模式：触发事件将启动 LPTIM 并继续运行，直到用户关闭 LPTIM 时停止。
- 单触发模式：触发事件将启动 LPTIM，并在计数器值达到 LPTIM\_ARR.ARRVAL[15:0]时停止。

**连续模式：**

启用连续模式必须设置 LPTIM\_CTRL.TSTCM 位为 1。如果 LPTIM 使用外部触发，则在设置 LPTIM\_CTRL.TSTCM 位后外部触发事件到达时，内部计数器将启动。连续模式启动后，硬件将丢弃任何后续的外部触发事件。如果使用软件触发，设置 LPTIM\_CTRL.TSTCM 位将启动内部计数器并进入连续模式。任何后续的外部触发事件都将被丢弃，如图 22-3 所示。

图 22-3 LPTIM 输出波形，连续计数模式配置



LPTIM\_CTRL.SNGMST 和 LPTIM\_CTRL.TSTCM 位只能在 LPTIM 开启后设置 (LPTIM\_CTRL.LPTIMEN = '1')。

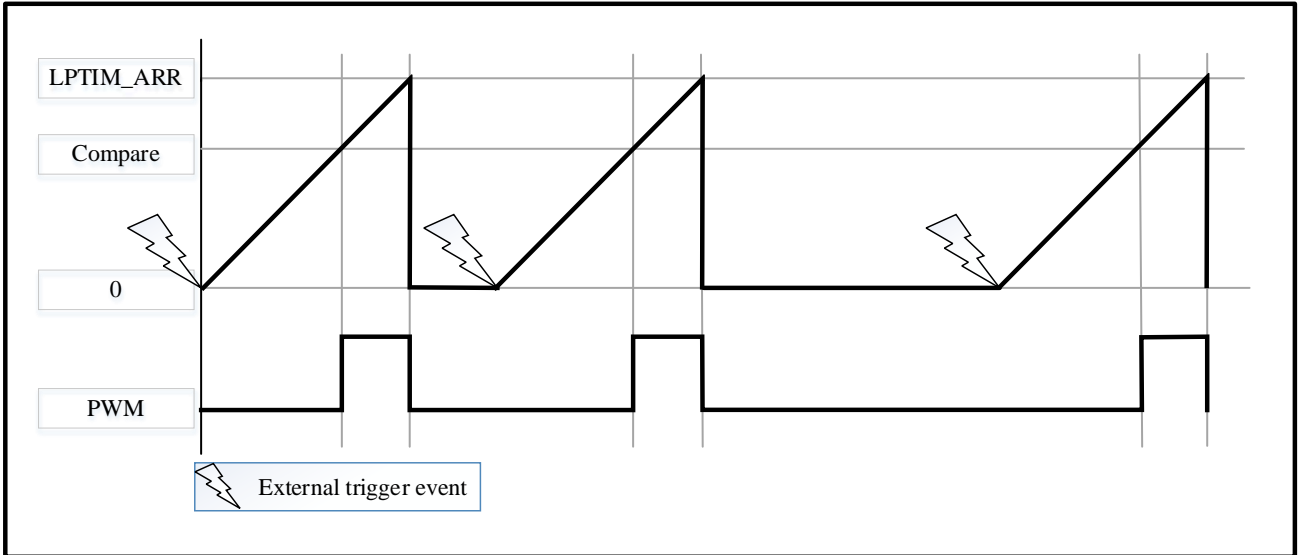
LPTIM 可以从单触发模式切换到连续模式。如果之前选择了连续计数模式，则设置 LPTIM\_CTRL.SNGMST 位会将 LPTIM 切换到单触发模式。如果定时器使能，计数器一旦达到 LPTIM\_ARR 寄存器值就会停止。如果之前选择单触发模式，将 LPTIM\_CTRL.TSTCM 位设置为 1 会将 LPTIM 切换到连续计数模式。如果定时器使能，一旦达到 LPTIM\_ARR 寄存器值，计数器将重新启动。

**单触发模式：**

启用单触发模式必须设置 LPTIM\_CTRL.SNGMST 位为 1。一个新的触发事件将重新启动 LPTIM。硬件将在内部计数器启动后和计数器值等于 LPTIM\_ARR.ARRVAL[15:0]值之前放弃所有触发事件。

如果选择了外部触发，则在设置 LPTIM\_CTRL.SNGMST 位之后到达的每个外部触发事件，以及在定时器寄存器停止（包含零值）之后，定时器将重新启动一个新的计数周期，如图 22-4 所示。

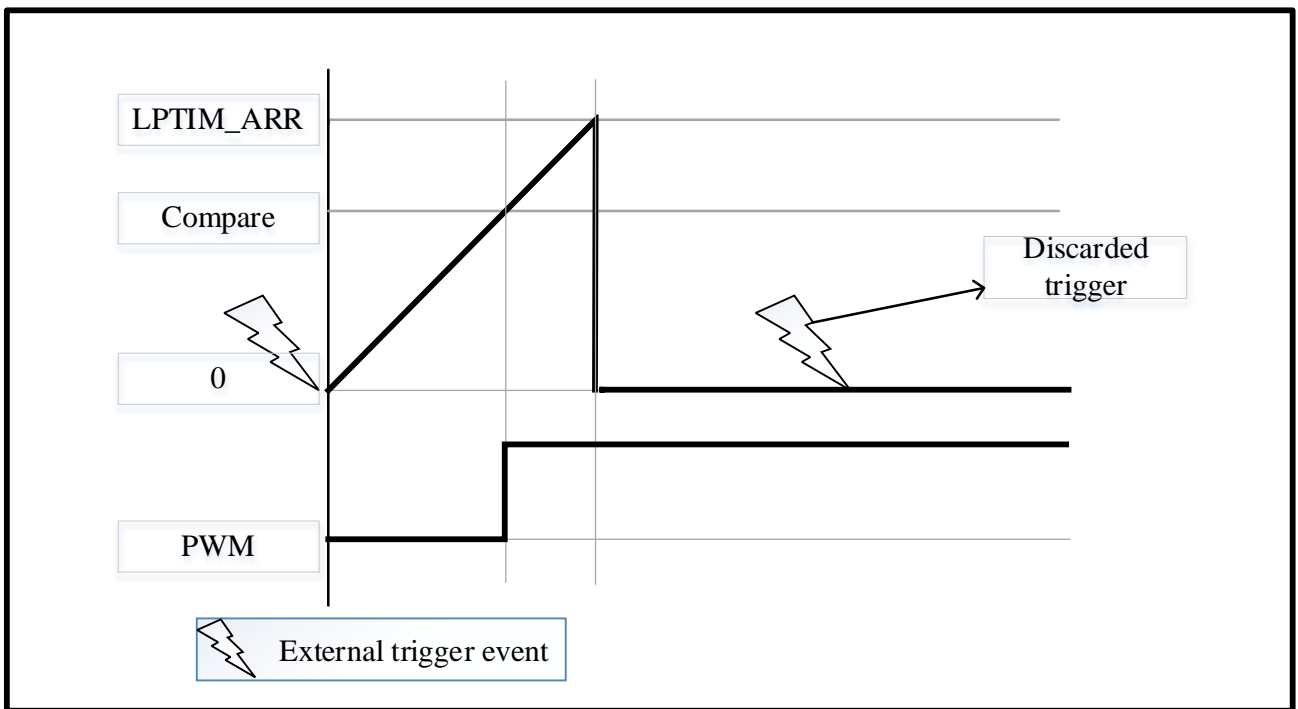
图 22-4 LPTIM 输出波形，单触发计数模式配置



一次模式：

当置 LPTIM\_CFG.WAVE 位为 1 后使用一次模式。在一次模式下，计数器在第一个触发事件发生时启动一次，任何后续触发事件将被硬件丢弃，如图 22-5 所示。

图 22-5 LPTIM 输出波形，一次模式



在软件启动（LPTIM\_CFG.TRGEN[1:0]=00）的情况下，LPTIM\_CTRL.SNGMST 位置 1 将启动定时器进行单触发计数。

## 22.4.7 波形发生器

LPTIM 自动加载寄存器 (LPTIM\_ARR) 和比较寄存器 (LPTIM\_CMP) 用于生成 LPTIM 输出波形。

LPTIM 支持的波形如下所示:

- **PWM 模式:** 当发生补偿匹配事件时 LPTIM 输出 (即 LPTIM\_CNT 寄存器值与 LPTIM\_CMP 寄存器值匹配)。当发生 ARR 匹配时, LPTIM 输出被复位 (即 LPTIM\_CNT 寄存器值与 LPTIM\_ARR 寄存器值匹配)。
- **单脉冲模式:** 被触发的第一个脉冲与 PWM 波形相同, 发生 ARR 匹配时永久复位输出。
- **一次模式:** 输出波形类似于单脉冲模式, 只是输出保持在最后一个信号电平 (取决于输出配置的极性)。

上述波形配置要求 LPTIM\_ARR 寄存器值必须配置为大于 LPTIM\_CMP 寄存器值。

LPTIM 输出波形可以通过 LPTIM\_CFG.WAVE 位配置如下:

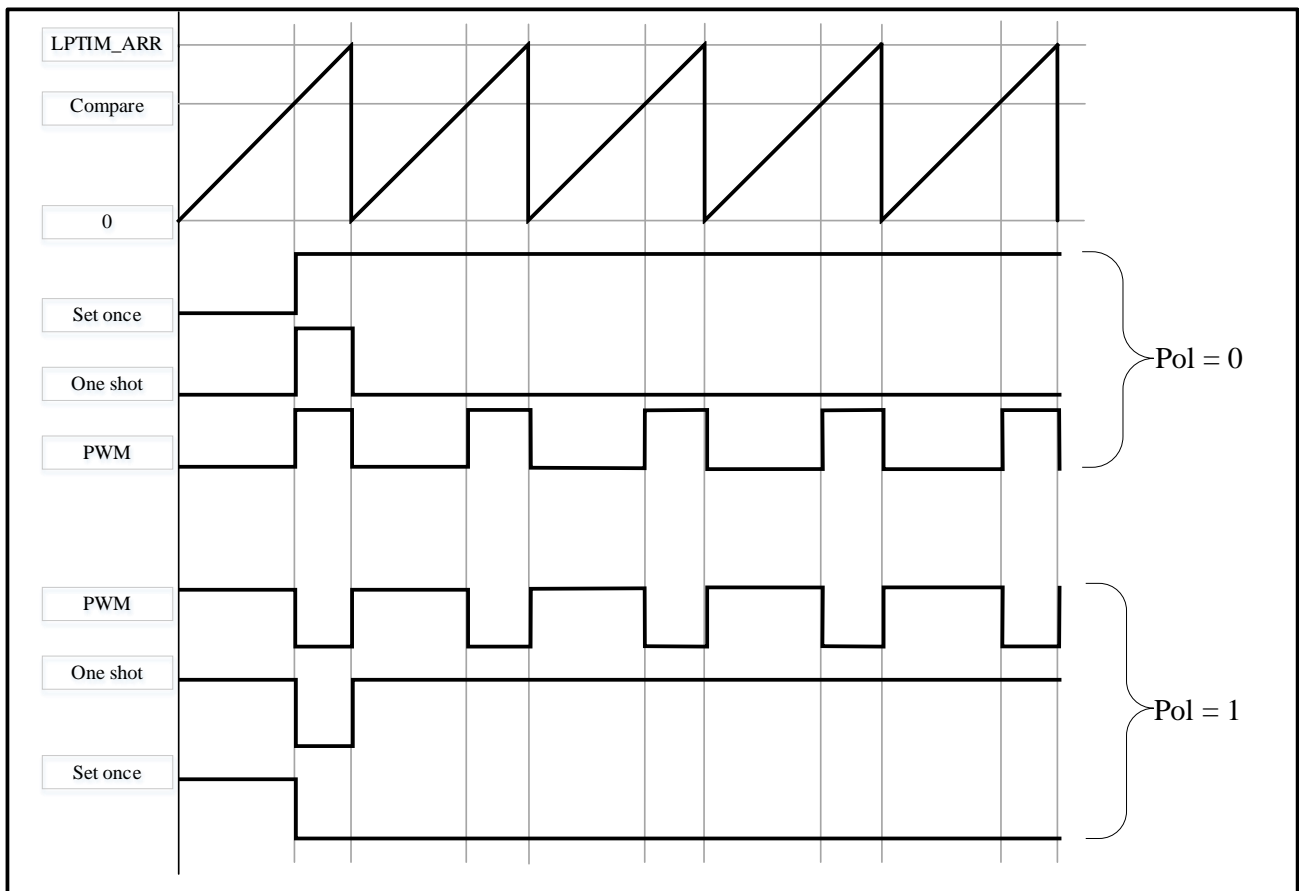
- 清除 LPTIM\_CFG.WAVE 位将强制 LPTIM 根据 LPTIM\_CTRL.TSTCM 或 LPTIM\_CTRL.SNGMST 位的值来生成 PWM 波形或者单脉冲波形。
- LPTIM\_CTRL.WAVE 置 1 将强制 LPTIM 生成一次模式波形。

LPTIM\_CFG.WAVEPOL 位控制 LPTIM 输出的极性。即使定时器被关闭, 用户配置极性后, 输出空闲稳定电平将立即改变。

可以生成频率高达 LPTIM 时钟频率除以 3 的信号。仅当 LPTIM 计数器计数外部时钟上升沿时, 才能实现时钟频率除以 2 的效果。(即 LPTIM\_CFG.CLKSEL=0, LPTIM\_CFG.CLKPOL[1:0]=10, LPTIM\_COMP.CMPVAL[15:0]=' d1(50% 占空比)' d2, LPTIM\_ARR.ARRVAL[15:0]=' d3. d1、d2 和 d3 分别表示十进制数 1、2、3)。

图 22-6 展示了 LPTIM 输出上生成的三种可能波形, 另外也表明可以用 LPTIM\_CFG.WAVEPOL 位来设置极性变化。

图 22-6 波形发生器



## 22.4.8 寄存器更新

LPTIM\_ARR 寄存器和 LPTIM\_CMP 寄存器在软件写操作后立即更新。如果 LPTIM 已经启动, LPTIM\_ARR 寄存器和 LPTIM\_CMP 寄存器在计数器溢出时更新。

LPTIM APB 接口和 LPTIM 内核逻辑使用的是不同的时钟, 因此在 APB 写操作后, 需要经过一定的延迟, 写入值才能用于计数器以及比较器。在此延迟时间内, 必须避免对这些寄存器进行任何额外的写操作。

LPTIM\_ARR 寄存器和 LPTIM\_CMP 寄存器的更新方式由 LPTIM\_CFG.RELOAD 决定:

- LPTIM\_CFG.RELOAD=1: 如果 LPTIM 已经启动了, LPTIM\_ARR 寄存器和 LPTIM\_CMP 寄存器在计数器溢出时更新。在计数器溢出时, 延迟时间 = 2~3 个 APB 时钟周期。
- LPTIM\_CFG.RELOAD=0: LPTIM\_ARR 寄存器和 LPTIM\_CMP 寄存器在软件写访问后更新。延迟时间 = 2~3 个 APB 时钟周期 + 2~3 个 LPTIM 内部分频时钟周期。

LPTIM\_INTSTS.ARRUPD 标志位和 LPTIM\_INTSTS.CMPUPD 标志位分别指示何时完成对 LPTIM\_ARR 寄存器和 LPTIM\_CMP 寄存器的写操作。

在对 LPTIM\_ARR 寄存器或 LPTIM\_CMP 寄存器进行写操作之后, 任何 LPTIM\_INTSTS.ARRUPD 标志位和 LPTIM\_INTSTS.CMPUPD 标志位置 1 之前的后续写操作都将导致不可预知的结果。所以只能在前一次写操作完成后才能对同一寄存器进行新的写操作。

## 22.4.9 计数器模式

内部计数器可以对来自 LPTIM Input1 或内部时钟周期的外部触发事件进行计数。这可以通过 LPTIM\_CFG.CLKSEL 和 LPTIM\_CFG.CNTMEN 位进行配置。

如果 LPTIM 正在计数外部触发，用户可以配置 LPTIM\_CFG.CLKPOL[1:0]位来选择上升沿、下降沿或上下沿为有效沿。可以选择以下计数模式，具体取决于 LPTIM\_CFG.CLKSEL 和 LPTIM\_CFG.CNTMEN：

- LPTIM\_CFG.CLKSEL = 0: LPTIM 使用内部时钟源来提供时钟。
  - LPTIM\_CFG.CNTMEN = 0, LPTIM 配置为由内部时钟源提供时钟，LPTIM 计数器配置为在每个内部时钟脉冲后更新。
  - LPTIM\_CFG.CNTMEN = 1, 使用提供给 LPTIM 的内部时钟对 LPTIM 外部 Input1 进行采样。为了不错过任何事件，外部 Input1 信号的变化频率不得超过提供给 LPTIM 的内部时钟频率。此外，不得对提供给 LPTIM 的内部时钟进行预分频 (LPTIM\_CFG.CLKPRE[2:0] = 000)。
- LPTIM\_CFG.CLKSEL = 1: LPTIM 使用外部时钟源来提供时钟。
  - LPTIM\_CFG.CNTMEN 位的值是不相关的。在这个配置中，LPTIM 不需要内部时钟源（除非启用了毛刺滤波器）。在 LPTIM 外部 Input1 上注入的信号用作 LPTIM 的系统时钟。这种配置适用于未启用嵌入式振荡器的操作模式。
  - 对于这种配置，LPTIM 计数器可以在 Input1 时钟信号的上升沿或下降沿进行更新，但不能同时在上升沿和下降沿更新。
  - 由于在 LPTIM 外部 Input1 上注入的信号也用于对 LPTIM 内核逻辑进行计时，所以在计数器递增之前存在一些初始延迟（启用 LPTIM 之后）。更准确地说，LPTIM 外部 Input1 上的前 2 到 5 个触发沿（在启用 LPTIM 之后）将丢失。

## 22.4.10 编码器模式

编码器模式可以处理来自正交编码器的信号，用于检测旋转元件的角位置。编码器模式允许计数器对 0 和 LPTIM\_ARR.ARRVAL[15:0]值内的事件进行计数（0 到 LPTIM\_ARR.ARRVAL[15:0]或 LPTIM\_ARR.ARRVAL[15:0]到 0）。在这种情况下，用户必须在启用计数器之前配置 LPTIM\_ARR.ARRVAL[15:0]。Input1 和 Input2 为计数器生成一个时钟信号。计数方向取决于这两个输入信号之间的相位。

编码器模式仅在 LPTIM 由内部时钟源提供时钟时可用。Input1 和 Input2 输入上的信号频率不得超过 LPTIM 内部时钟频率的 4 分频。这是强制性的，以保证 LPTIM 的正常运行。

计数方向的变化由 LPTIM\_INTSTS 寄存器中的两个 Down 和 Up 标志更新。此外，可以通过设置 LPTIM\_INTEN.DOWNIE 和 LPTIM\_INTEN.UPIE 位为两个方向改变事件生成中断。

用户可以通过设置 LPTIM\_CFG.ENC 位来启用编码器模式。并且 LPTIM 需要首先配置为连续模式。

当编码器模式激活时，LPTIM 计数器会根据增量编码器的速度和方向自动修改计数值。因此，它的内容总是代表编码器的位置。由向上和向下标志指示的计数方向对应于编码器转子的旋转方向。

使用 LPTIM\_CFG.CLKPOL[1:0]位配置为不同的触发沿，可能会有不同的计数场景。下表总结了可能的组合，假设 Input1 和 Input2 不同时切换。



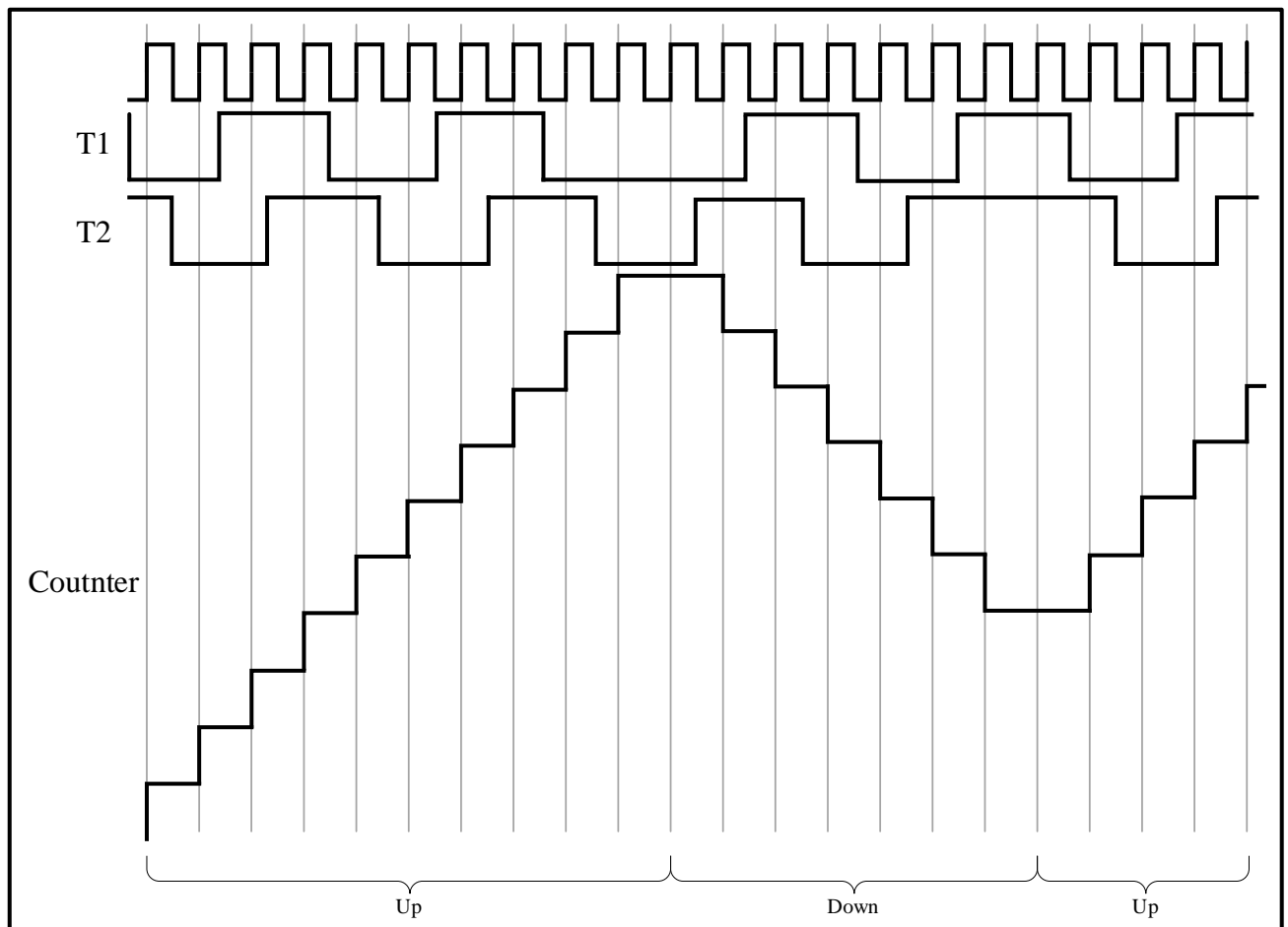
表 22-3 编码器计数的场景

触发沿	信号相反 (Input1 For Input2, Input2 For Input1)	Input1 信号		Input2 信号	
		上升沿	下降沿	上升沿	下降沿
上升沿	High	Down	未计数	Up	未计数
	Low	Up	未计数	Down	未计数
下降沿	High	未计数	Up	未计数	Down
	Low	未计数	Down	未计数	Up
上下沿	High	Down	Up	Up	Down
	Low	Up	Down	Down	Up

下图显示了配置了上下沿触发的编码器模式的计数序列。

**注意：**在此模式下，LPTIM 必须由内部时钟源提供时钟，因此 LPTIM\_CFG.CLKSEL 位必须保持其复位值等于“0”。此外，预分频器分频比必须等于其复位值 1 (LPTIM\_CFG.CLKPRE[2:0]位必须为“000”)。

图 22-7 编码器模式计数序列



### 22.4.11 非正交编码器模式

此模式允许处理来自非正交编码器的信号，用于检测来自外部接口的后续正脉冲。非正交编码器接口模式仅用作具有方向选择的外部时钟。这意味着计数器只是在 0 和编程到 LPTIM\_ARR 寄存器中的自动重载值之间连续计数 (0 到 LPTIM\_ARR.ARRVAL[15:0]或 LPTIM\_ARR.ARRVAL[15:0]到 0，具体取决于方向)。因

此，您必须在开始之前配置 LPTIM\_ARR。从两个外部输入信号 Input1 和 Input2 生成时钟信号来为 LPTIM 计数器计时。这两个信号之间的顺序决定了计数方向。

非编码器模式仅在 LPTIM 由内部时钟源提供时钟时可用。Input1 和 Input2 输入上的信号频率不得超过 LPTIM 内部时钟频率的 4 分频。这是强制性的，以保证 LPTIM 正常运行。

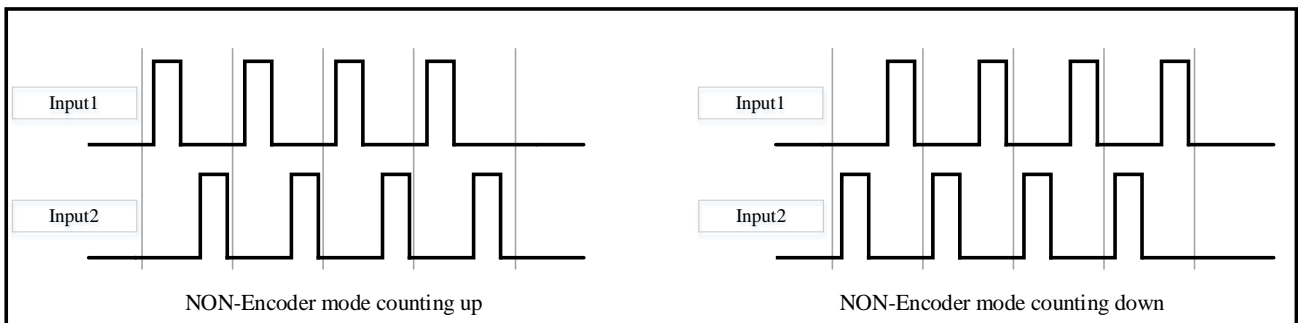
LPTIM\_INTSTS 寄存器中的两个向下和向上标志指示方向变化。此外，可以通过设置 LPTIM\_INTEN.DOWNIE 和 LPTIM\_INTEN.UPIE 位为两个方向改变事件生成中断。

要激活非编码器模式，LPTIM\_CFG.NENC 位必须设置为“1”。LPTIM 必须首先配置为连续模式。

当非编码器模式处于活动状态时，LPTIM 计数器会根据增量编码器的速度和方向自动修改。因此，它的内容总是代表编码器的位置。由向上和向下标志指示的计数方向对应于编码器转子的旋转方向。

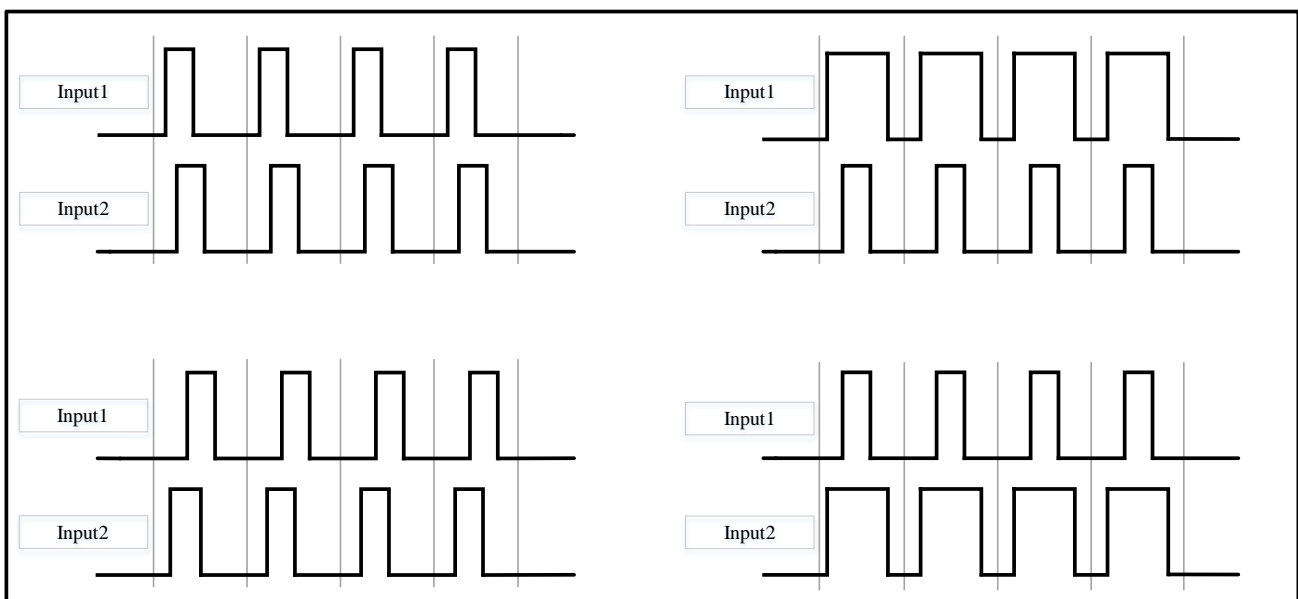
如图 22-8，只要 Input1 和 Input2 不都是高电平，解码器模块都可以正确工作。

图 22-8 非正交编码器正常工作 Input1、Input2 波形



如果 Input1 和 Input2 的波形如图 22-9 所示，则解码模块无法正常工作。计数器将忽略这些波形并保持先前的值。

图 22-9 非正交编码器非正常工作 Input1、Input2 波形



## 22.4.12 超时功能

当 LPTIM\_CFG.TIMOUTEN 位使能时，LPTIM 计数器将由一个选定触发输入的有效边沿复位。

当使用超时功能时，LPTIM 计数器将被选定的触发输入事件复位并重新启动。如果在配置的时间内没有触发，就会发生比较匹配事件。等待时间通过超时值配置。

## 22.4.13 LPTIM 中断

通过 LPTIM\_INTEN 寄存器启用以下事件，则会生成中断/唤醒事件：

- 比较匹配
- 自动重载匹配（无论方向是否是编码器模式）
- 外部触发事件
- 自动重载寄存器更新成功
- 比较寄存器更新成功
- 方向改变（编码器模式），可编程（上/下/两边）

*注意：如果 LPTIM\_INTEN 寄存器（中断使能寄存器）中的任何位在 LPTIM\_INTSTS 寄存器（状态寄存器）中相应的标志被置 1 后才被设置，将不能产生相应的中断。*

表 22-4 中断事件

中断事件	描述
比较匹配	当计数器寄存器（LPTIM_CNT）的内容与比较寄存器（LPTIM_CMP）的内容匹配时，将触发中断标志 LPTIM_INSTS.CMPM
自动从重匹配	当计数器寄存器（LPTIM_CNT）的内容与自动重新加载寄存器（LPTIM_ARR）的内容匹配时，将触发中断标志 LPTIM_INSTS.ARRM
外部触发事件	当检测到外部触发事件时，将触发中断标志 LPTIM_INSTS.EXTRIG
重装寄存器更新成功	当 LPTIM_ARR 寄存器执行完成写操作时，将触发中断标志 LPTIM_INSTS.CMPUPD
比较寄存器更新成功	当 LPTIM_CMP 寄存器执行完成写操作时，将触发中断标志 LPTIM_INSTS.ARRUPD
方向改变	用于编码器模式。两个中断标志被嵌入到信号中 方向切换： - LPTIM_INSTS.Up 标志信号向上计数方向改变 - LPTIM_INSTS.Down 标志向下计数方向改变

## 22.5 LPTIM 寄存器

### 22.5.1 LPTIM 中断状态寄存器 (LPTIM\_INTSTS)

偏移地址: 0x00

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved									DOWN	UP	ARRUPD	CMPUPD	EXTRIG	ARRM	CMPM
									r	r	r	r	r	r	r

位域	名称	描述
31:7	Reserved	保留, 必须保持复位值。
6	DOWN	计数器方向从递增变为递减。 在编码器模式, 由硬件置 1, 以通知应用程序, 计数器方向由递增变为递减
5	UP	计数器方向从递减变为递增。 在编码器模式, 由硬件置 1, 以通知应用程序, 计数器方向由递减变为递增
4	ARRUPD	自动重装寄存器更新成功。 由硬件置 1, 以通知应用程序 APB 总线对 LPTIM_ARR 寄存器的写操作已经完成。 详细内容请查阅 22.4.8。
3	CMPUPD	比较器寄存器更新完成。 由硬件置 1, 以通知应用程序 APB 总线对 LPTIM_CMP 寄存器的写操作已经完成。 详细内容请查阅 22.4.8。
2	EXTRIG	外部触发事件 由硬件置 1, 以通知应用程序所选外部触发器已经输入有效触发边沿。如果因为计数器已经而忽略触发器, 则不将此标志位置 1。
1	ARRM	自动重装匹配。 由硬件置 1, 以通知应用程序 LPTIM_CNT 寄存器的值已经达到 LPTIM_ARR 寄存器的值。
0	CMPM	比较器匹配。 由硬件置 1, 以通知应用程序 LPTIM_CNT 寄存器的值已经达到 LPTIM_CMP 寄存器的值。

## 22.5.2 LPTIM 中断清除寄存器 (LPTIM\_INTCLR)

偏移地址: 0x04

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved										DOWNCF	UPCF	ARRUPD CF	CMPUPD CF	EXTRIG CF	ARRMCF	CMPMCF
										w	w	w	w	w	w	w

位域	名称	描述
31: 7	Reserved	保留, 必须保持复位值。
6	DOWNCF	计数器方向从递增变为递减标志清除位。 将 1 写入这个位清除 LPTIM_INTSTS 寄存器中的 DOWN 标志
5	UPCF	计数器方向从递减变为递增标志清除位。 将 1 写入这个位清除 LPTIM_INTSTS 寄存器中的 UP 标志
4	ARRUPDCF	自动重装寄存器更新成功清除位。 将 1 写入这个位清除 LPTIM_INTSTS 寄存器中的 ARRUPD 标志
3	CMPUPDCF	比较器寄存器更新成功清除位。 将 1 写入这个位清除 LPTIM_INTSTS 寄存器中的 CMPUPD 标志
2	EXTRIGCF	外部触发沿事件清除位。 将 1 写入这个位清除 LPTIM_INTSTS 寄存器中的 EXTRIG 标志
1	ARRMCF	自动重装匹配清除位。 将 1 写入这个位清除 LPTIM_INTSTS 寄存器中的 ARRM 标记
0	CMPMCF	比较器匹配清除位。 将 1 写入这个位清除 LPTIM_INTSTS 寄存器中的 CMPM 标志

## 22.5.3 LPTIM 中断使能寄存器 (LPTIM\_INTEN)

偏移地址: 0x08

复位值: 0x0000 0000

注意: LPTIM\_INTEN 寄存器只能在 LPTIM 不工作的时候修改 (LPTIM\_CTRL.LPTIMEN = '0')

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Reserved	DOWNIE	UPIE	ARRUPDIE	CMPUPDIE	EXTRIGIE	ARRMIE	CMPMIE
	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:7	Reserved	保留，必须保持复位值。
6	DOWNIE	计数器方向从递增变为递减中断使能位。 0：计数器方向变化，向下计数中断禁止 1：计数器方向变化，向下计数中断使能
5	UPIE	计数器方向从递减变为递增中断使能位。 0：计数器方向变化，向上计数中断禁止 1：计数器方向变化，向上计数中断使能
4	ARRUPDIE	自动重装寄存器更新成功中断使能位。 0：自动重装寄存器更新成功中断禁止 1：自动重装寄存器更新成功中断使能
3	CMPUPDIE	比较器寄存器更新成功中断使能位。 0：比较器寄存器更新成功中断禁止 1：比较器寄存器更新成功中断使能
2	EXTRIGIE	外部触发事件中断使能位。 0：外部触发事件中断禁止 1：外部触发事件中断使能
1	ARRMIE	自动重装匹配中断使能位。 0：自动重装匹配中断禁止 1：自动重装匹配中断使能
0	CMPMIE	比较器匹配中断使能位。 0：比较器匹配中断禁止 1：比较器匹配中断使能

## 22.5.4 LPTIM 配置寄存器 (LPTIM\_CFG)

偏移地址：0x0C

复位值：0x0000 0000

注意：LPTIM\_CFG 寄存器只能在 LPTIM 不工作的时候修改 (LPTIM\_CTRL.LPTIMEN = '0')

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved						NENC	ENC	CNTMEN	RELOAD	WAVEPOL	WAVE	TIMOUTEN	TRGEN[1:0]	TRGSEL[3]		
						rw	rw	rw	rw	rw	rw	rw	rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
TRGSEL[2:0]		Reserved		CLKPRE[2:0]		Reserved		TRIGFLT[1:0]		Reserved		CLKFLT[1:0]		CLKPOL[1:0]		CLKSEL
rw				rw				rw				rw		rw		rw

位域	名称	描述
31:26	Reserved	保留，必须保持复位值。
25	NENC	非正交编码器模式使能位。 0：非正交编码器禁止 1：非正交编码器使能
24	ENC	编码器模式使能位。 0：编码器禁止 1：编码器使能
23	CNTMEN	计数器模式使能位。 该位选择 LPTIM 使用哪个时钟源来对计数器进行计时： 0：计数器根据每个内部时钟脉冲递增 1：计数器根据 LPTIM 外部 Input1 上的每个有效时钟脉冲递增
22	RELOAD	寄存器更新模式。 该位控制 LPTIM_ARR 和 LPTIM_CMP 寄存器更新方式。 0：寄存器在每个 APB 总线写访问之后更新 1：寄存器在当前的 LPTIM 周期结束时更新
21	WAVEPOL	波形极性位。 该为控制输出极性。 0：LPTIM 输出反映 LPTIM_ARR 和 LPTIM_CMP 寄存器之间的比较结果 1：LPTIM 输出反映了 LPTIM_ARR 和 LPTIM_CMP 寄存器之间的比较结果的反相
20	WAVE	波形形状位。 该位控制输出波形形状。 0：禁用一次模式，PWM/单脉冲波形(取决于 LPTIM_CTRL.TSTCM 或 LPTIM_CTRL.SNGMST 位) 1：激活一次模式
19	TIMOUTEN	超时使能位。 该位开启超时功能。 0：当计时器已经启动时到达的触发器事件将被忽略 1：当计时器已经启动时到达的触发事件将复位并重新启动计数器
18:17	TRGEN[1:0]	触发极性使能位。 该位控制 LPTIM 计数器是否由外部触发器启动。如果选择外部触发器选项，触发器触发沿可以有三种配置： 00：软件触发（计数器开始的时候由软件启动） 01：下降沿触发 10：上升沿触发 11：双边沿触发
16:13	TRGSEL[3:0]	触发选择位 从以下 10 个触发源中选择其中一个作为 LPTIM 的触发事件：

位域	名称	描述
		0000: LPTIM_ETR PIN 0001: RTC alarm A 0010: RTC alarm B 0011: RTC_TAMP1 0100: RTC_TAMP2 0101: RTC_TAMP3 0110: COMP1_OUT 0111: COMP2_OUT 1000: COMP3_OUT 1001: COMP4_OUT 其他值保留
12	Reserved	保留, 必须保持复位值。
11:9	CLKPRE[2:0]	时钟分频因子 000: /1 001: /2 010: /4 011: /8 100: /16 101: /32 110: /64 111: /128
8	Reserved	保留, 必须保持复位值。
7:6	TRIGFLT[1:0]	数字滤波器灵敏度配置位。 该位设置当内部触发器上发生电平变化时, 在将其视为有效的电平转换之前应该检测的连续相等信号的数量。 00: 任何电平都可以触发 01: 触发器的触发电平变化必须在至少 2 个时钟周期内保持稳定, 才能被视为有效的触发 10: 触发器的触发电平变化必须在至少 4 个时钟周期内保持稳定, 才能被视为有效的触发 11: 触发器的触发电平变化必须在至少 8 个时钟周期内保持稳定, 才能被视为有效的触发 <i>注意: 必须提供内部时钟源才能使用此功能。</i>
5	Reserved	保留, 必须保持复位值
4:3	CLKFLT[1:0]	外部时钟信号数字滤波器灵敏度配置位。 该位设置当外部时钟信号发生电平变化时, 在将其视为有效电平转换之前应检测的连续相等信号的数量。 00: 任何外部时钟电平变化都是有效信号



位域	名称	描述
		01: 外部时钟电平变化必须在至少 2 个时钟周期内保持稳定, 才能被视为有效的信号 10: 外部时钟电平变化必须在至少 4 个时钟周期内保持稳定, 才能被视为有效的信号 11: 外部时钟电平变化必须在至少 8 个时钟周期内保持稳定, 才能被视为有效的信号 注意: 必须提供内部时钟源才能使用此功能。
2:1	CLKPOL[1:0]	时钟极性位。 当 LPTIM 由外部时钟源提供计时, CLKP[1:0]配置计数器使用的触发沿: 00: 上升沿用来计数 01: 下降沿用来计数 10: 上下沿用来计数。 11: 上下沿都不用于计数 注意: 当外部时钟信号上升沿和下降沿都是有效出发沿时, LPTIM 还必须由一个内部时钟源进行计时, 其频率至少等于外部时钟频率的四倍。 当 LPTIM 配置为编码器模式 (LPTIM_CFG.ENC 位置 1): 00: 启用编码器上升沿计数模式 01: 启用编码器下降沿计数模式 10: 启用编码器双边沿计数模式
0	CLKSEL	时钟源选择位。 该位配置 LPTIM 将选择使用的时钟源。 00: LPTIM 由内部时钟源 (APB 时钟或任何嵌入式振荡器) 计时 01: LPTIM 由外部时钟源通过 LPTIM 外部 Input1 进行计时

### 22.5.5 LPTIM 控制寄存器 (LPTIM\_CTRL)

偏移地址: 0x10

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													TSTCM	SNGMST	LPTIMEN
													rw	rw	rw

位域	名称	描述
31:3	Reserved	保留, 必须保持复位值。

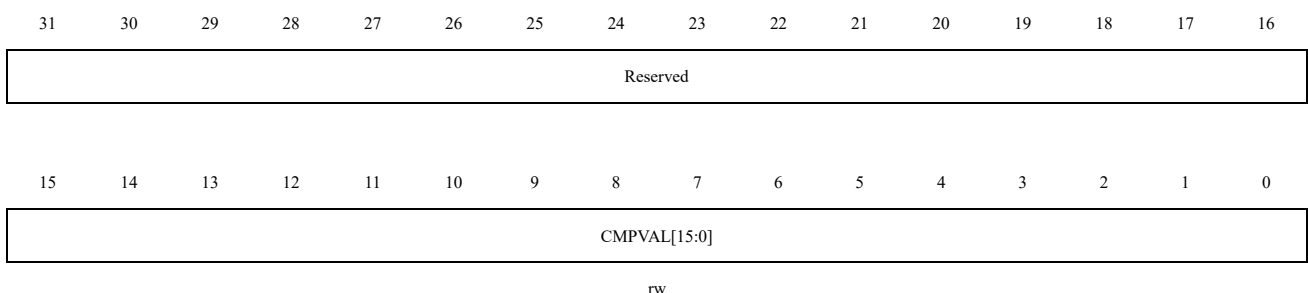
位域	名称	描述
2	TSTCM	定时器以连续模式启动位。 这个位由软件置 1，由硬件清除。 在软件启动的情况下（LPTIM_CFG.TRGEN[1:0] = 00），设置这个位以连续模式启动 LPTIM。如果软件启动被禁用（LPTIM_CFG.TRGEN[1:0] ≠ 00），则一旦检测到外部触发器，设置此位将以连续模式启动计时器。如果在进行单脉冲模式计数时设置了这个位，那么计时器将不会在 LPTIM_ARR 和 LPTIM_CNT 寄存器的下一次匹配时停止，而 LPTIM 计数器将继续在连续模式下计数。这个位只能在启用 LPTIM 时设置。由硬件自动复位。
1	SNGMST	定时器以单脉冲模式启动位。 这个位由软件设置，由硬件清除。 如果软件启动（LPTIM_CFG.TRGEN[1:0] = 00），设置此位将以单脉冲模式启动 LPTIM。如果软件启动被禁用（LPTIM_CFG.TRGEN[1:0] = 00），则一旦检测到外部触发器，就设置这个位以单脉冲模式启动 LPTIM。如果这个位是在 LPTIM 处于连续计数模式时设置的，那么 LPTIM 将在 LPTIM_ARR 和 LPTIM_CNT 寄存器之间的后续匹配处停止。这个位只能在启用 LPTIM 时设置。由硬件自动复位。
0	LPTIMEN	LPTIM 使能位。 该位由软件置 1 和清除。 0: LPTIM 禁止 1: LPTIM 开启

## 22.5.6 LPTIM 比较寄存器（LPTIM\_CMP）

偏移地址：0x14

复位值：0x0000 0000

注意：LPTIM\_CMP 寄存器只能在启用 LPTIM 时修改（LPTIM\_CTRL.LPTIMEN = 1）



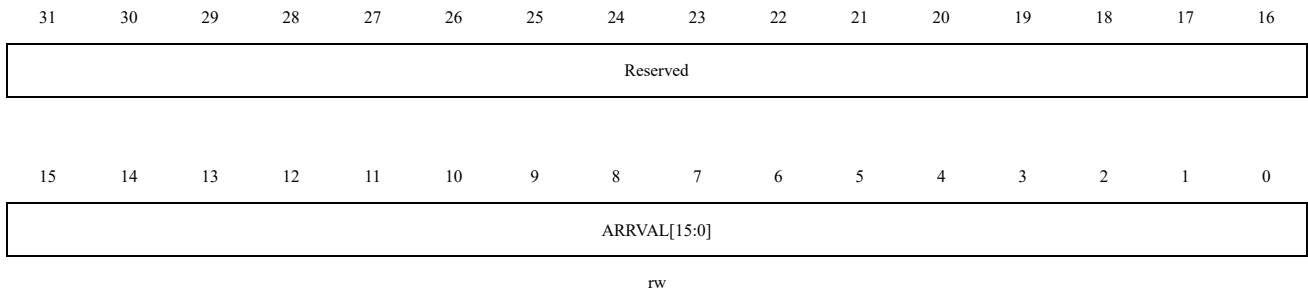
位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	CMPVAL[15:0]	比较值 CMPVAL[15:0]是 LPTIM 使用的比较值

## 22.5.7 LPTIM 自动重载寄存器 (LPTIM\_ARR)

偏移地址: 0x18

复位值: 0x0000 0001

注意: LPTIM\_ARR 寄存器只能在启用 LPTIM 时修改 (LPTIM\_CTRL.LPTIMEN = 1)

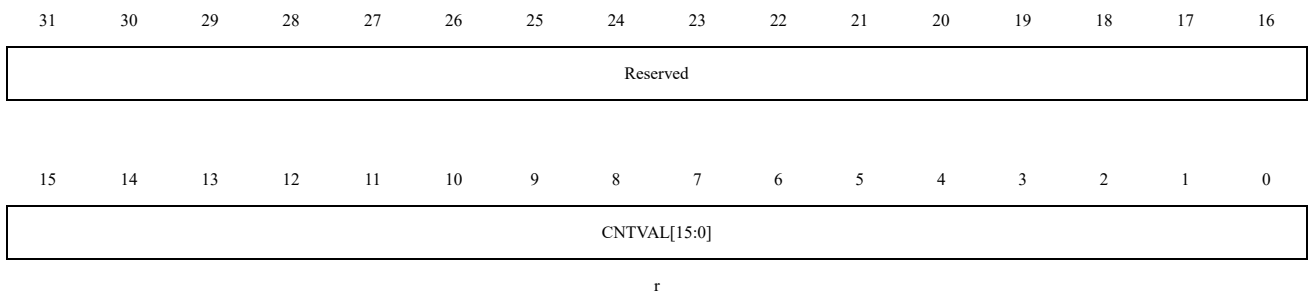


位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15:0	ARRVAL[15:0]	自动重载值 ARRVAL[15:0]是 LPTIM 的自动重载值, 该值必须严格大于 LPTIM_CMP.CMPVAL[15:0]值。

## 22.5.8 LPTIM 计数寄存器 (LPTIM\_CNT)

偏移地址: 0x1C

复位值: 0x0000 0000

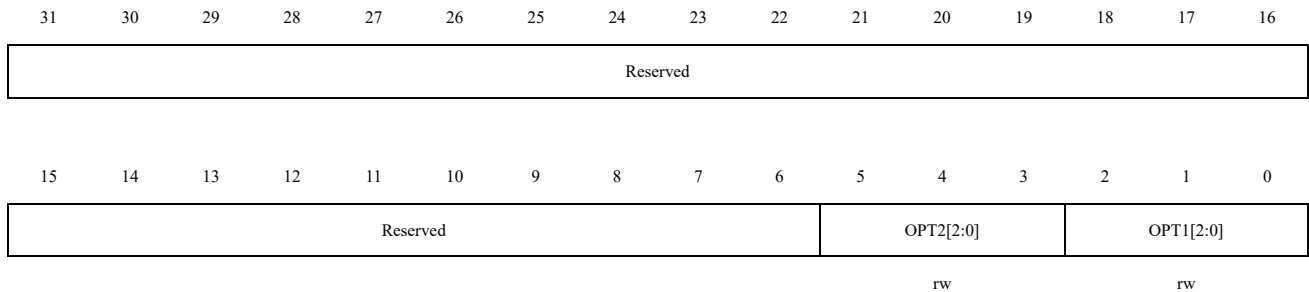


位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15:0	CNTVAL[15:0]	计数器数值。 当 LPTIM 使用异步时钟运行时, 读取 LPTIM_CNT 寄存器可能会返回不可靠的值。因此, 在这种情况下, 有必要执行两个连续的读访问, 并验证两个返回的值是否相同。如果相同, 则读访问是可靠的。

## 22.5.9 LPTIM 选项寄存器 (LPTIM\_OPT)

偏移地址: 0x20

复位值: 0x0000 0000



位域	名称	描述
31:6	Reserved	保留, 必须保持复位值。
5:3	OPT2[2:0]	LPTIM Input2 连接选择位 000: LPTIM Input 2 连接到 I/O 100: LPTIM Input 2 连接到 COMP1_OUT 101: LPTIM Input 2 连接到 COMP2_OUT 110: LPTIM Input 2 连接到 COMP3_OUT 111: LPTIM Input 2 连接到 COMP4_OUT 其他: 保留
2:0	OPT1[2:0]	LPTIM Input1 连接选择位 000: LPTIM Input 1 连接到 I/O 100: LPTIM Input 1 连接到 COMP1_OUT 101: LPTIM Input 1 连接到 COMP2_OUT 110: LPTIM Input 1 连接到 COMP3_OUT 111: LPTIM Input 1 连接到 COMP4_OUT

## 23 独立看门狗 (IWDG)

### 23.1 概述

内置独立看门狗 (IWDG) 和窗口看门狗 (WWDG) 定时器，解决软件错误导致的问题。看门狗定时器使用非常灵活，提高了系统的安全性和定时控制的准确性。

独立看门狗 (IWDG) 由运行在 32KHz 的低速内部时钟 (LSI 时钟) 驱动，在死循环事件或 MCU 卡死发生时，它仍然可以运行。这可以提供更高的安全级别、定时精度和看门狗的灵活性。它可以通过重置来解决由于软件故障引起的系统故障。IWDG 最适合需要看门狗在主应用程序之外作为完全独立进程运行但时序精度限制较低的应用程序。

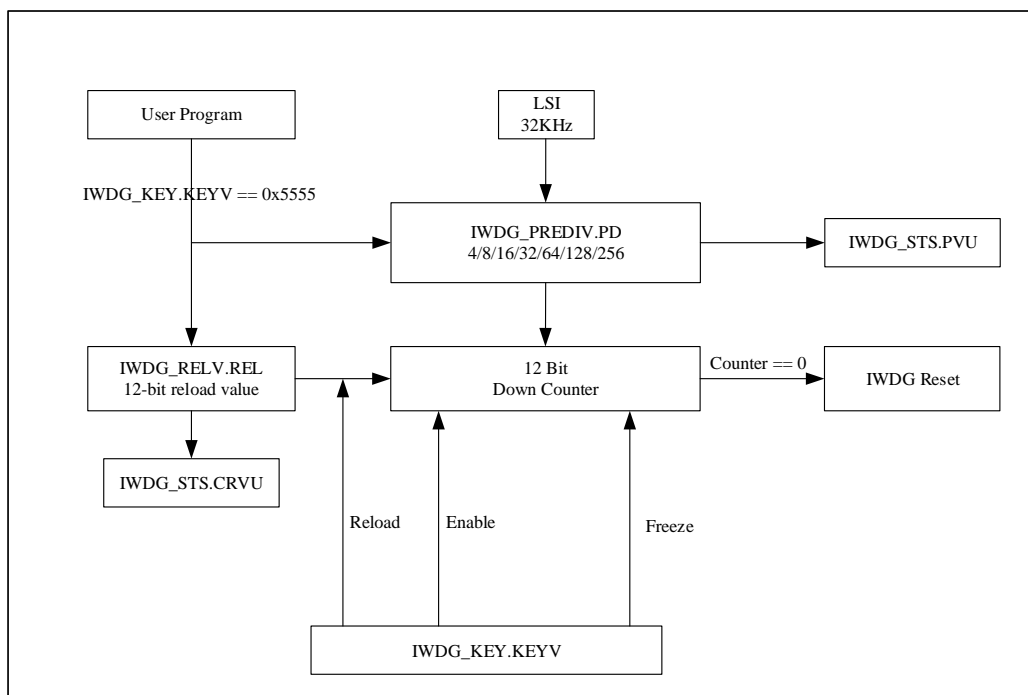
当 IWDG 计数器达到 0 时，会产生系统复位。

### 23.2 主要特征

- 独立的 12 位递减计数器
- RC 振荡器提供独立的时钟源，可以工作在 SLEEP、STOP0 和 STANDBY 模式
- 可以匹配复位和低功耗唤醒
- 当递减计数器达到 0x000 时，系统复位 (如果激活了看门狗)

### 23.3 功能描述

图 23-1 独立看门功能框图



注意：看门狗功能在 VDD 供电区，在 SLEEP、STOP0 和 STANDBY 模式下仍能正常工作。

要启用 IWDG，我们需要将 0xCCCC 写入 IWDG\_KEY.KEYV[15:0]位，计数器开始递减计数。当计数器计数到 0x000 时，它会向 MCU 产生一个复位信号 (IWDG\_RESET)。除此之外，只要在复位前将 0xAAAA (重

装载请求) 写入 IWDG\_KEY.KEYV[15:0]位, 计数器值就会设置为 IWDG\_RELV.REL[11:0]位中的重装载值并防止看门狗复位整个设备。

如果通过选项字节使能“硬件看门狗定时器”功能, 则看门狗将在系统上电后自动开始运行并产生系统复位, 除非软件在计数器到达‘0’之前重新加载计数器。

### 23.3.1 寄存器访问保护

IWDG\_PREDIV 和 IWDG\_RELV 寄存器是写保护的。要修改这两个寄存器的值, 用户需要将 0x5555 写入 IWDG\_KEY.KEYV[15:0]位。写入其他值会再次启用写保护。IWDG\_STS.PVU 表示预分频值更新是否正在进行, IWDG\_STS.CRVU 表示 IWDG 是否正在更新重装载值。当预分频值和/或重装载值正在更新时, 硬件设置 IWDG\_STS.PVU 位和/或 IWDG\_STS.CRVU 位。预分频值和/或重装载值更新完成后, 硬件清除 IWDG\_STS.PVU 位和/或 IWDG\_STS.CRVU 位。

重新加载操作(把 0xAAAA 写入 IWDG\_KEY.KEYV[15:0])也将导致寄存器再次变为写保护。

### 23.3.2 调试模式

在调试模式下(Cortex-M4 和 Cortex-M7 内核停止), IWDG 计数器将继续正常工作或停止, 具体取决于调试模块中的 DBG\_M7APB5FZ[7:6]/DBG\_M4APB5FZ[7:6]位。如果该位设置为“1”, 则计数器停止。该位为“0”时, 计数器正常工作。详件 50.1 调试模块章节。

### 23.3.3 IWDG 冻结

一旦 IWDG 使能(无论是硬件还是软件), 除非生成系统复位或通过 0x4567 写入 IWDG\_KEY.KEYV[15:0]位来配置运行时冻结, 否则 IWDG 不会停止计数。用户还可以在某些工作模式下配置 IWDG 冻结。IWDG 在 SLEEP、STOPO 和 STANDBY 模式下提供冻结选项。当 IWDG 开启时, 它将强制 LSI 时钟开启。

## 23.4 用户界面

IWDG 模块用户界面包含 4 个寄存器: 密钥寄存器(IWDG\_KEY)、状态寄存器(IWDG\_STS)、预分频寄存器(IWDG\_PREDIV)和重装载寄存器(IWDG\_RELV)。

### 23.4.1 操作流程

当 IWDG 从软件(将 0xAAAA 写入 IWDG\_KEY.KEYV[15:0]位)或硬件复位启用时。它从 0xFFF 开始递减计数。向下计数间隙由预分频 LSI 时钟确定。重新加载计数器后, 新一轮递减计数器的值将从 IWDG\_RELV.REL[11:0]中的值开始, 而不是 0xFFF。

程序正常运行时, 软件需要在计数器到达 0 前喂狗, 开始新一轮的递减计数。当计数器达到 0 时, 表示程序故障。IWDG 在这种情况下产生复位信号。

如果用户想要配置 IWDG 预分频和重装载值寄存器, 需要先将 0x5555 写入 IWDG\_KEY.KEYV[15:0]。然后确认 IWDG\_STS.CRVU 位和 IWDG\_STS.PVU 位。IWDG\_STS.CRVU 位指示重装载值更新正在进行, IWDG\_STS.PVU 表示预分频值更新正在进行。只有当这两位为 0 时, 用户才能更新相应的值。当更新正在进行时, 硬件将相应位设置为 1。此时, 读取 IWDG\_PREDIV.PD[2:0]或 IWDG\_RELV.REL[11:0]无效, 因为数据需要同步到 LSI 时钟域。从 IWDG\_PREDIV.PD[2:0]或 IWDG\_RELV.REL[11:0]读取的值将在硬件清除 IWDG\_STS.PVU 位或 IWDG\_STS.CRVU 位后才有效。

如果应用程序使用多个重装载值或预分频值，则必须等到 IWDG\_STS.CRVU 位复位后才能更改重装载值，IWDG\_STS.PVU 位复位后才能更改预分频值。但是，在更新预分频值和重装载值后，或只更新预分频值后，或只更新重装载值后，无需等到 IWDG\_STS.CRVU 位或 IWDG\_STS.PVU 位复位后才能继续执行代码（即使在进低功耗模式的情况下，写入操作也会被考虑并完成）。

预分频寄存器和重装载寄存器控制产生复位的时间，如表 23-1。

**表 23-1 IWDG 计数最大和最小复位时间**

预分频因子	PD[2:0]	最小时长 (ms) RL[11:0]=0	最大时长 (ms) RL[11:0]=0xFFF
/4	000	0.125	512
/8	001	0.25	1024
/16	010	0.5	2048
/32	011	1.0	4096
/64	100	2.0	8192
/128	101	4.0	16384
/256	11x	8.0	32768

## 23.4.2 IWDG 配置流程

软件配置流程：

1. 将 0x5555 写入 IWDG\_KEY.KEYV[15:0]位以启用对 IWDG\_PREDIV 和 IWDG\_RELV 寄存器的写访问；
2. 检查 IWDG\_STS.PVU 位或 IWDG\_STS.CRVU 位，如果为 0，则继续下一步；
3. 配置 IWDG\_PREDIV.PD[2:0]位以选择预分频值；
4. 配置 IWDG\_RELV.REL[11:0]位重装载值；
5. 将 0xAAAA 写入 IWDG\_KEY.KEYV[15:0]位，用重装载值更新计数器；
6. 通过软件或硬件将 0xCCCC 写入 IWDG\_KEY.KEYV[15:0]位来启用看门狗。

如果用户想改变预分频值和重装载值，重复步骤 1~5。如果没有，只需按照第 5 步喂狗。

## 23.5 IWDG 寄存器

### 23.5.1 IWDG 密钥寄存器 (IWDG\_KEY)

偏移地址：0x00

复位值：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

KEYV[15:0]
------------

rc\_w0

位域	名称	描述
31:16	保留	保留，必须保持复位值。
15:0	KEYV[15:0]	密钥寄存器：只有特定的值才能发挥特定的作用 0xCCCC：启动看门狗计数器，如果硬件看门狗使能则无效，（如果选择了硬件看门狗，则不受该命令字限制） 0xAAAA：用 IWDG_RELV 寄存器中的 REL 值重新加载计数器以防止复位 0x5555：禁用 IWDG_PREDIV 和 IWDG_RELV 寄存器的写保护 0x4567：IWDG 冻结，RUN 模式下停止 IWDG 计数器 0x89AB：IWDG 解冻，计数器恢复计数

### 23.5.2 IWDG 状态寄存器 (IWDG\_STS)

偏移地址：0x04

复位值：0x00000000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved
----------

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	FRZF	CRVU	PVU
----------	------	------	-----

r r r

位域	名称	描述
31:3	保留	保留，必须保持复位值。
2	FRZF	IWDG 冻结标志： 0：没有产生冻结 1：产生冻结
1	CRVU	看门狗重载值更新 重载值更新：该位表示正在更新重载值。硬件置位，硬件清零。软件只能在 IWDG_KEY.KEYV[15:0]位的值为 0x5555 且该位为 0 时尝试更改 IWDG_RELV.REL[11:0]的值。
0	PVU	看门狗预分频值更新 预分频值更新：该位表示正在更新预分频值。硬件置位，硬件清零。软件只能在 IWDG_KEY.KEYV[15:0]位的值为 0x5555 且该位为 0 时尝试更改 IWDG_PREDIV.PD[2:0]的值。

### 23.5.3 IWDG 预分频寄存器 (IWDG\_PREDIV)

偏移地址：0x08



复位值：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													PD[2:0]		
rw															

位域	名称	描述
31:3	保留	保留，必须保持复位值。
2:0	PD[2:0]	预分频因子 当 IWDG_KEY.KEYV[15:0]不是 0x5555 时具有写访问保护。IWDG_STS.PVU 位必须为 0，否则 PD[2:0]值无法更改。分频系数如下： 000：预分频因子=4 001：预分频因子=8 010：预分频因子=16 011：预分频因子=32 100：预分频因子=64 101：预分频因子=128 其他：预分频因子=256 注意：读取该寄存器将返回来自 VDD 电压域的预分频值。如果正在进行写操作，则回读值可能无效。因此，读取值仅在 IWDG_STS.PVU 位为 0 时有效。

### 23.5.4 IWDG 重装载寄存器 (IWDG\_RELV)

偏移地址：0x0C

复位值：0x00000FFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						REL[11:0]									
rw															

位域	名称	描述
31:12	保留	保留，必须保持复位值。
11:0	REL[11:0]	看门狗计数器重装载值。 带写保护。定义看门狗计数器的重装载值，每次将 0xAAAA 写入 IWDG_KEY.KEYV[15:0]位时将其加载到计数器。然后计数器从该值开始倒计时。看门狗超时周期可以根据这个重装载值和时钟预分频值计算，参考表 23-1。 该寄存器只能在 IWDG_STS.CRVU 位为 0 时修改。

位域	名称	描述
		注意：读取该寄存器将返回来自 VDD 电压域的重装载值。如果正在进行写操作，则回读值可能无效。因此，读取值仅在 IWDG_STS.CRVU 位为 0 时有效。

## 24 窗口看门狗（WWDG）

### 24.1 概述

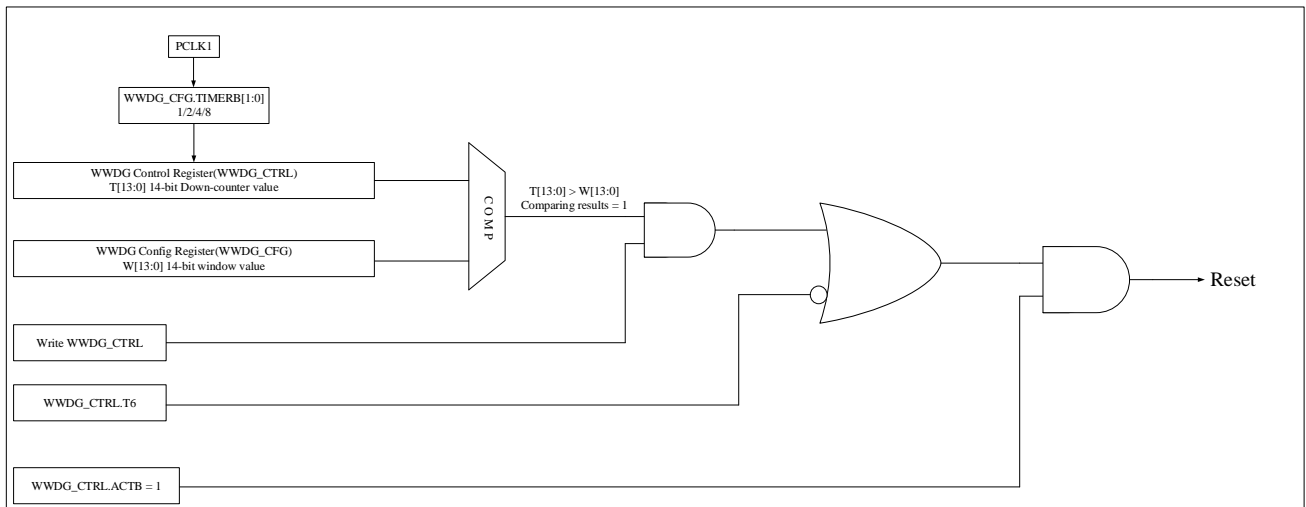
窗口看门狗（WWDG）的时钟是 APB1 时钟频率除以 4096 得到的，通过时间窗口的配置来检测程序运行是否异常。因此，WWDG 适用于精确定时，常用于监控因外部干扰或无法预见的逻辑条件导致应用程序偏离其正常操作顺序的软件故障。当 WWDG 递减计数器在达到窗口寄存器值之前刷新或 WWDG\_CTRL.T6 位变为 0 之后，发生系统复位。

### 24.2 主要特征

- 14 位独立递减计数器可编程
- WWDG 启用后，在以下情况下会发生复位
  - ◆ 递减计数器的值小于 0x40
  - ◆ 当递减后的计数器值大于窗口寄存器的值时，重新加载
- 提前唤醒中断：如果看门狗启动并且中断使能，当计数值达到 0x40 时会产生唤醒中断（WWDG\_CFG.EWINT）
- WWDG1 与 CM7 一起使用，并被视为“分配给”CM7
  - ◆ WWDG1 产生的中断仅会传递到 CM7
  - ◆ CM7 负责喂狗
  - ◆ WWDG1 可以配置为仅复位 CM7，CM4 会将 WWDG1 对 CM7 的复位视为一个中断源
- WWDG2 与 CM4 一起使用，并被视为“分配给”CM4
  - ◆ WWDG2 产生的中断仅会传递到 CM4
  - ◆ CM4 负责喂狗
  - ◆ WWDG2 可以配置为仅复位 CM4，CM7 会将 WWDG2 对 CM4 的复位视为一个中断源
- WWDG1 和 WWDG2 也都可以配置为生成系统复位，复位整个芯片。在这种情况下，它们对 CM7 和 CM4 的影响相同。

### 24.3 功能描述

如果看门狗被激活（WWDG\_CTRL.ACTB），当 14 位（WWDG\_CTRL.T[13:0]）递减计数器到达 0x3F（WWDG\_CTRL.T6 位清零），或者软件重新加载计数器时计数器值大于窗口寄存器的值，将产生系统复位。为了避免系统复位，软件在正常运行时必须定期刷新窗口中的计数器值。

**图 24-1 窗口看门狗功能框图**


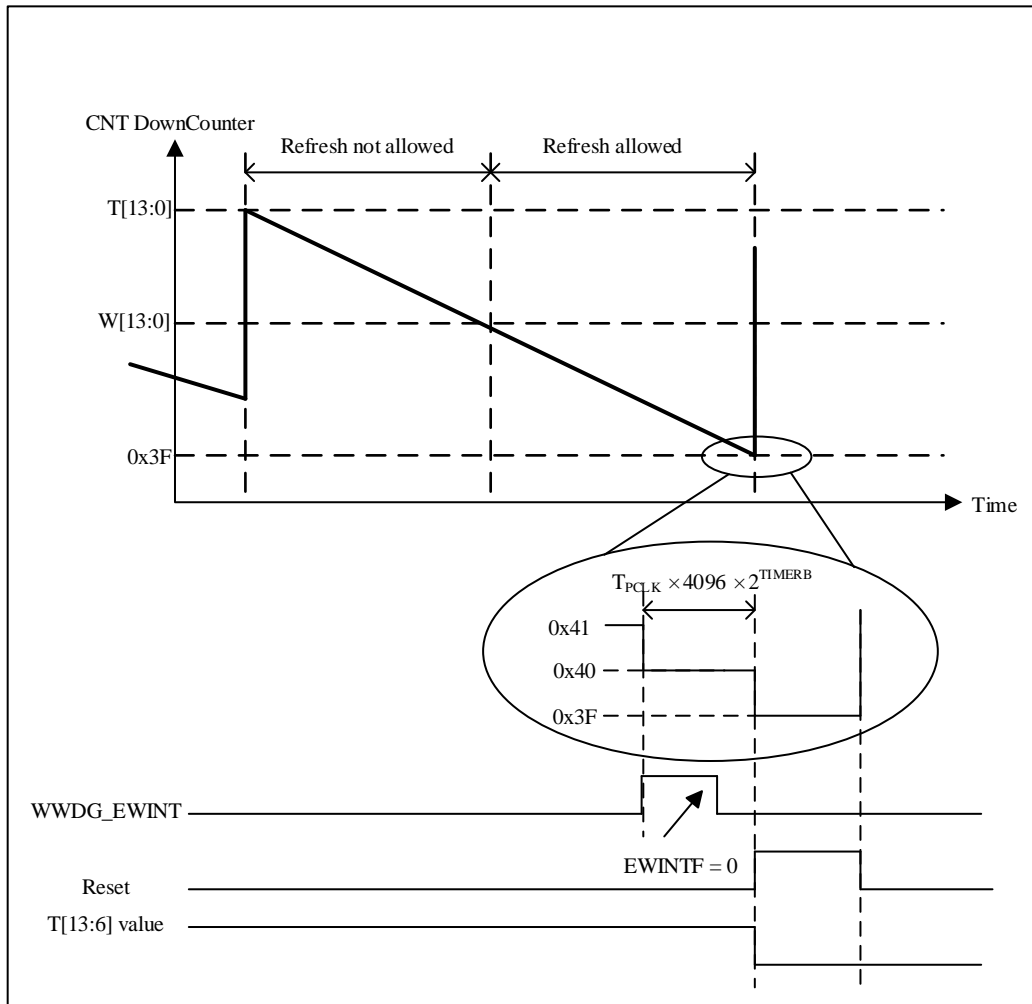
设置 **WWDG\_CTRL.ACTB** 位以启用看门狗，此后，WWDG 将保持打开状态，直到发生复位。14 位递减计数器独立运行，无论 WWDG 是否使能，计数器都会持续递减计数。因此，需要将高 8 位 MSB(**WWDG\_CTRL.T[13:6]**)中的某一位设置为 1，以防止在启用后立即复位。由时钟 APB1 和 **WWDG\_CFG.TIMERB[1:0]**位设置的预分频器值决定了计数器的递减速度。**WWDG\_CFG.W[13:0]**位设置窗口的上限。

当递减计数器在达到窗口寄存器值之前或 **WWDG\_CTRL.T6** 位变为 0 之后刷新，将产生系统复位。图 24-2 描述了窗口寄存器的工作过程。

设置 **WWDG\_CFG.EWINT** 位以启用提前唤醒中断。当倒数计数器到达 0x40 时，将产生中断。您可以分析软件故障的原因或将重要数据保存在相应的中断服务程序 (ISR) 中，并重新加载计数器以防止 WWDG 复位。将“0”写入 **WWDG\_STS.EWINTF** 位以清除中断。

## 24.4 刷新看门狗和中断产生的时序

图 24-2 WWDG 的刷新窗口和中断时序



看门狗刷新窗口在WWDG\_CFG.W[13:0]值（最大值0x3FFF）和0x3F之间，在此窗口外刷新将向MCU生成复位请求。计数器使用分频后的APB时钟从0x3FFF向下计数到0x3F，最大计数时间和最小计数时间如下表所示（假设APB时钟为150MHz），计算公式为：

$$T_{WWDG} = T_{PCLK1} \times 4096 \times 2^{TIMERB} \times (T[13:0] - 0X3F + 1)$$

其中：

$T_{WWDG}$ :WWDG 超时

$T_{PCLK1}$ :APB1 时钟间隔，单位为：ms

PCLK1=150MHz 时的最小-最大超时时长

**表 24-1 WWDG 的最大和最小计数时间**

TIMERB	最大超时 (ms)	最小超时 (ms)
0	445.54	0.02728
1	891.07	0.05456
2	1782.14	0.1088
3	3564.29	0.2184

## 24.5 调试模式

在调试模式下（Cortex-M4 或 Cortex-M7 内核停止），WWDG 计数器将继续正常工作或停止，具体取决于调试模块中的 DBG\_M7APB6FZ[0]/ DBG\_M4APB6FZ[0]/ DBG\_M7APB1FZ[14]/ DBG\_M4APB1FZ[14]位。如果该位设置为“1”，则计数器停止。该位为“0”时，计数器正常工作。详见调试模块章节。

## 24.6 用户界面

### 24.6.1 WWDG 配置流程

1. 配置 RCC\_AXIEN2[3:0]位使能 WWDG 模块的时钟
2. 软件设置 WWDG\_CFG.TIMERB[15:14]位来配置 WWDG 的预分频因子
3. 软件配置 WWDG\_CTRL.T[13:0]位，设置计数器的起始值。需要将高 8MSB 位(WWDG\_CTRL.T[13:6])中的某一位设置为 1，以防止在启用后立即复位
4. 配置 WWDG\_CFG.W[13:0]位配置上边界窗口值
5. 设置 WWDG\_CTRL.ACTB[14]位使能 WWDG
6. 软件操作 WWDG\_STS.EWINTF[0]位清除唤醒中断标志
7. 配置 WWDG\_CFG.EWINT[16]位使能提前唤醒中断

## 24.7 WWDG 寄存器

### 24.7.1 WWDG 配置寄存器（WWDG\_CFG）

偏移地址：0x00

复位值：0x00003FFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved														EWINT	
rs															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TIMERB[1:0]		W[13:0]													
rw		rw													
位域	名称	描述													
31:17	保留	保留，必须保持复位值。													

位域	名称	描述
16	EWINT	提前唤醒中断 设置后，只要计数器达到值 0x40，就会发生中断。此位仅在复位后由硬件清除。
15:14	TIMERB[1:0]	时基 预分频器的时基可以修改如下： 00: CK 计数器时钟（PCLK1 除以 4096）除以 1 01: CK 计数器时钟（PCLK1 除以 4096）除以 2 10: CK 计数器时钟（PCLK1 除以 4096）除以 4 11: CK 计数器时钟（PCLK1 除以 4096）除以 8
13:0	W[13:0]	14 位窗口值 这些位包含要与递减计数器比较的窗口值。

### 24.7.2 WWDG 控制寄存器（WWDG\_CTRL）

偏移地址：0x04

复位值：0x00003FFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	ACTB	T[13:0]													
rs		rw													

位域	名称	描述
31:15	保留	保留，必须保持复位值。
14	ACTB	激活位 当 ACTB=1 时，看门狗可以产生复位。该位由软件置位，仅在复位后由硬件清零。当 ACTB=1 时，看门狗可以产生复位。 0: 禁用看门狗 1: 启用看门狗
13:0	T[13:0]	这些位包含看门狗计数器的值。它每(4096x2 <sup>TIMERB</sup> )个 PCLK1 周期递减。当它从 0x40 翻转到 0x3F（T6 清零）时，会产生一个复位。

### 24.7.3 WWDG 状态寄存器（WWDG\_STS）

偏移地址：0x08

复位值：0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															EWINTF

位域	名称	描述
31:1	保留	保留，必须保持复位值。
0	EWINTF	提前唤醒中断标志 当计数器达到值 0x40 时，该位由硬件设置。它必须由软件通过写入“0”来清零。写入“1”无效。如果中断未使能，该位也会置位。



## 25 实时时钟(RTC)

### 25.1 简介

- 实时时钟 (RTC) 是一个独立的 BCD 定时器/计数器
- 软件支持夏令时补偿
- 可编程周期性自动唤醒定时器
- 两个 32 位寄存器包含时、分、秒、年、月、日 (几号)、星期 (星期几)
- 独立的 32 位寄存器包含亚秒
- 两个编程闹钟
- 两个 32 位寄存器包含编程闹钟时、分、秒、年、月、日 (几号)、星期 (星期几)
- 两个独立的 32 位寄存器包含编程闹钟亚秒
- 数字精密校准功能
- 参考时钟检测: 一个更加精确的外部时钟源 (50 或 60Hz) 能够用于改进日历精度
- 三个可配置滤波和内部上拉的入侵检测事件, 五个内部入侵检测事件
- 时间戳功能
- 32 个备份寄存器, 可在低功耗模式下保持数据
- 多个中断/事件唤醒源, 包括闹钟 A、闹钟 B、唤醒定时器、时间戳
- RCC 寄存器使能 RTC 模块且电压保持在工作范围内, RTC 在任何模式下都不会停止 (包括 RUN 模式、SLEEP 模式、STOP0 模式、STANDBY 模式和 VBAT 模式)
- RTC 提供多种唤醒源可以使 MCU 从所有的低功耗模式下唤醒 (SLEEP 模式, STOP0 模式和 STANDBY 模式)

## 25.1.1 主要特性

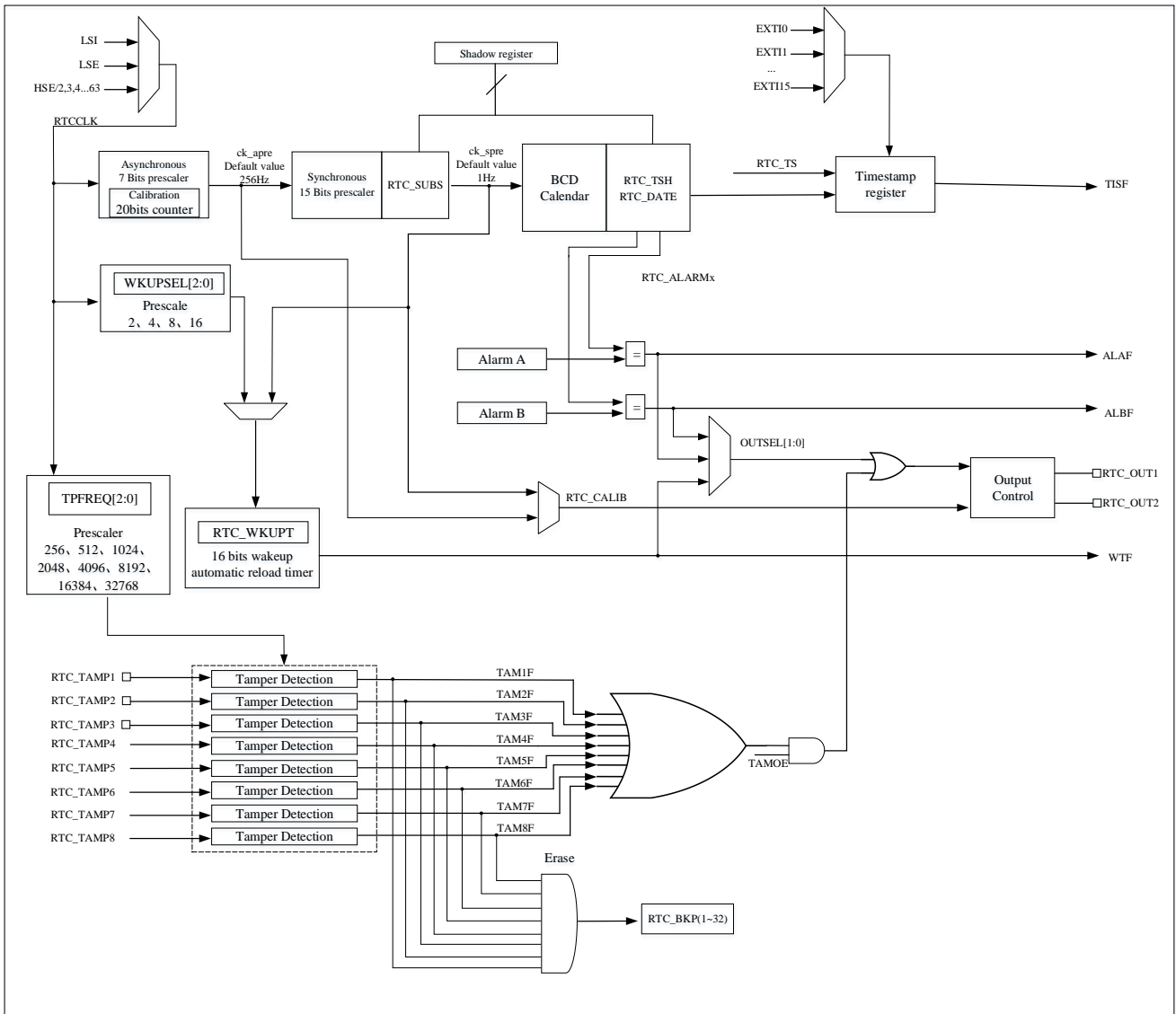
**表 25-1 RTC 功能支持**

主要功能	描述
时钟	RTC 时钟源可以选择 LSI、LSE 或 HSE/2,3,4...63 (RTC 的最大频率为 4MHz)
Reset	<p>APB 接口被系统复位， RTC 模块通过 APB 同步的一些寄存器会被复位</p> <p>下面寄存器当系统复位时会被清除</p> <ul style="list-style-type: none"> <li>● RTC_SUBS</li> <li>● RTC_TSH</li> <li>● RTC_DATA</li> <li>● RTC_INITSTS(一些 bits)</li> </ul> <p>RTC 内核可以通过备份域复位而复位</p> <p>复位 RTC，以及在低功耗模式下保留一些寄存器的内容，包括：</p> <ul style="list-style-type: none"> <li>● RTC_CTRL</li> <li>● RTC_PRE</li> <li>● RTC_CALIB</li> <li>● RTC_SCTRL</li> <li>● RTC_TSSS, RTC_TST 和 RTC_TSD</li> <li>● RTC_TMPCFG</li> <li>● RTC_WKUPT</li> <li>● RTC_ALRMASB/RTC_ALRMA</li> <li>● RTC_ALRMBSS/RTC_ALRMB</li> <li>● RTC_OPT</li> <li>● RTC_BKP(1~31)</li> <li>● RTC_TMPxCTRL(x = 1~8)</li> </ul>
Calendar	日历包含亚秒、秒、分、时 (12 小时或 24 小时制)、星期、日、月、年，这些数据都存在 APB 模块的影子寄存器中。
Wakeup Timer	RTC_OUT 可以配置为发送唤醒事件到 GPIO，同时可以选择中断/事件来唤醒 CPU 的 SLEEP、STOP0、STOP2 和 STANDBY 模式。
Alarm	RTC_OUT 配置输出到 GPIO，也可以唤醒 CPU 或触发 PWR 在匹配发生时从 SLEEP、STOP0、STOP2 和 STANDBY 模式中唤醒
Tamper	3 个入侵检测逻辑是系统唤醒的来源。如果任何输入线发生入侵事件或内部发生入侵事件，在启用时，入侵事件还会导致备份寄存器的删除。它也是对 LP 定时器进行硬件触发的一个来源
Timestamp	GPIO 事件可触发保存时间戳功能。它是从低功耗模式唤醒的一个来源。另外，入侵事件可以是时间戳事件的来源。
Interrupts/events	闹钟 A/闹钟 B 中断/事件 唤醒中断/事件 时间戳中断/事件 入侵中断/事件
Backup registers	32 个备份寄存器

## 25.2 RTC 功能描述

### 25.2.1 RTC 框图

图 25-1 RTC 功能框图



RTC 包括以下功能模块:

- Alarm A 和 Alarm B 事件/中断
- 时间戳事件/中断
- 入侵事件/中断
- 32 个 32 位备份寄存器
- RTC 输出功能:
  - ◆ 256 Hz 或者 1Hz 时钟输出(当 LSE 频率是 32.768 kHz)

- ◆ 闹钟输出（极性可配置），闹钟 A 和闹钟 B 可选
- ◆ 自动唤醒输出（极性可配置）
- RTC 输入功能：
  - ◆ 时间戳事件检测
  - ◆ 50 或者 60Hz 参考时钟输入
  - ◆ 入侵事件检测
- 通过配置输出寄存器控制 PC13、PB2、PI8：
  - ◆ 设置 RTC\_OPT.TYPE 位配置 PC13、PB2、PI8 开漏/推挽输出

## 25.2.2 RTC 控制的 GPIO

时间戳输入来自 IOM（映射到 PC13、PC14、PC15）或者 EXTI 模块，如果是 EXTI 模块，具体请参考时间戳触发源选择(EXTI\_TS\_SEL)。

RTC\_OUT（闹钟、唤醒事件、入侵事件或者校准输出（256Hz 或者 1Hz））映射到 PC13、PB2 和 PI8，不管 PC13、PB2 和 PI8 的 GPIO 是什么配置，PC13、PB2 和 PI8 的引脚配置由 RTC 控制为输出。

PC13 引脚被用作 TAMPER1 入侵检测引脚，PI8 引脚被用作 TAMPER2 入侵检测引脚，PC1 引脚被用作 TAMPER3 入侵检测引脚。

PB15 能够被用作 RTC\_REFCLKIN 参考时钟输入引脚。

## 25.2.3 RTC 寄存器写保护

PWR\_CTRL.DBKP 位(见电源控制寄存器 (PWR\_CTRL)) 默认被清除，所以 PWR\_CTRL.DBKP 必须置 1 去使能 RTC 寄存器写功能。一旦备份域复位，所有的 RTC 写保护寄存器都会写保护，所有的 RTC 写保护寄存器需要按如下步骤去解锁写保护：

- 将 0xCA 写入 RTC\_WRP 寄存器
- 将 0x53 写入 RTC\_WRP 寄存器

在解锁这些寄存器后，写错误密钥或者 RTC 被软件复位或者重新上电都会重新使能写保护。解锁机制只检查 RTC\_WRP 寄存器的写操作。在解锁过程中、解锁前、解锁后，对其他寄存器的写操作不会影响解锁结果。

备份域复位后，所有可配置的 RTC 寄存器和备份寄存器 RTC\_BKP(32 个)都是写保护的。

## 25.2.4 RTC 时钟和预分频

RTC 时钟源：

- LSE 时钟
- LSI 时钟
- HSE/2,3,4...63 时钟（RTC 的最大频率为 4MHz）

为了降低功耗，将预分频器分为异步预分频器和同步预分频器。如果同时使用两个预分频器，建议异步预分

频器的值尽可能大。

用户通过 RTC\_PRE.DIVA[6:0]和 RTC\_PRE.DIVS[14:0]配置后可得到 1Hz 的 ck\_spre 时钟。

- 7 位异步预分频器由 RTC\_PRE.DIVA[6:0] 位控制
- 15 位同步预分频器由 RTC\_PRE.DIVS[14:0] 位控制

$f_{ck\_apre}$  和  $f_{ck\_spre}$  公式如下：

$$f_{ck\_apre} = \frac{f_{RTCCLK}}{RTC\_PRE.DIVA[6:0]+1}$$

$$f_{ck\_spre} = \frac{f_{RTCCLK}}{(RTC\_PRE.DIVS[14:0]+1)*(RTC\_PRE.DIVA[6:0]+1)}$$

ck\_apre 时钟用于对 RTC\_SUBS 亚秒递减计数器提供时钟。当到达 0 时，用 RTC\_PRE.DIVS[14:0]的值重新加载 RTC\_SUBS。

*注意：RTC\_PRE.DIVA[6:0]不能配置为 0。*

## 25.2.5 RTC 日历

这里三个影子寄存器，分别是 RTC\_DATE, RTC\_TSH 和 RTC\_SUBS。RTC 时间和日期寄存器可以通过影子寄存器访问。也可以直接访问，以避免等待同步时间。这三个影子寄存器如下：

- RTC\_DATE：设置和读取日期
- RTC\_TSH：设置和读取时间
- RTC\_SUBS：读取亚秒

每隔两个 RTCCLK 周期之后，将当前的日历值复制到影子寄存器中，并将 RTC\_INITSTS.RSYF 位置为 1。此过程在低功耗(停止和待机)模式下不执行。当退出这些模式时，影子寄存器在 2 个 RTCCLK 周期后更新值。

默认情况下，当用户尝试访问日历寄存器时，它将访问影子寄存器的内容。用户可以通过设置 RTC\_CTRL.BYPS 位直接访问日历寄存器。

当 RTC\_CTRL.BYPS=0，日历从影子寄存器获取值，当读 RTC\_SUBS、RTC\_TSH 或 RTC\_DATE 寄存器时，有必要确保 APB1 时钟的频率( $f_{APB1}$ )至少 7 倍于 RTC 时钟频率( $f_{RTCCLK}$ )，而且不允许出现 APB1 时钟频率低于 RTC 时钟频率的情况。系统复位将复位影子寄存器。

## 25.2.6 日历初始化和配置

预分频值和日历值可通过以下步骤进行初始化：

- 通过设置 RTC\_INITSTS.INITM 位为 1 进入初始模式，然后等待 RTC\_INITSTS.INITF 位被置 1
- 设置 RTC\_PRE.DIVS[14:0] 和 RTC\_PRE.DIVA[6:0] 位
- 写入初始日历值，包括时间和日期到影子寄存器 (RTC\_TSH 和 RTC\_DATE)，通过 RTC\_CTRL.HFMT 位配置时间格式 (12 小时或 24 小时制)
- 通过清除 RTC\_INITSTS.INITM 位退出初始化模式

日历计数器的值将在 4 个 RTCCLK 时钟周期后自动从影子寄存器加载，然后重新启动日历计数器。

*注意：RTC 进入初始化模式前，需保证 RTC\_SUBS.SS[15:0] 的值不小于 2 且不等于 RTC\_PRE.DIVS[14:0]，需要读一下 RTC\_DATE 寄存器。*

## 25.2.7 日历读取

### 1. 当 RTC\_CTRL.BYPS=0 时读取日历

如果 RTC\_CTRL.BYPS=0，则从影子寄存器读取日历值。为了正确读取 RTC 日历寄存器(RTC\_SUBS, RTC\_TSH 和 RTC\_DATE)，APB1 时钟频率必须设置为大于 RTC 时钟频率的 7 倍。在任何情况下，APB1 时钟频率都不能小于 RTC 时钟频率。

如果 APB1 时钟频率不大于或不等于 RTC 时钟频率的 7 倍，请参考下面的步骤读取日历值：

- 读取 RTC\_SUBS、RTC\_TSH 和 RTC\_DATE 值两次
- 比较两次读到的数据，如果相等，则认为读到的数据是正确的，如果不相等，需要读第三次数据
- 第三次读到的数据可以认为是正确的
- 为确保日历读取时来自同一时刻点，读取 RTC\_SUBS 或 RTC\_TSH 时会锁定 RTC\_DATE 寄存器中的值。直到读取 RTC\_DATE 之前，RTC\_DATE 不会实时更新，所以读取 RTC\_SUBS 或 RTC\_TSH 后需要再读取一遍 RTC\_DATE

影子寄存器(RTC\_SUBS, RTC\_TSH 和 RTC\_DATE)每两个 RTCCLK 周期更新一次。如果用户希望在短时间内(小于两个 RTCCLK 周期)读取日历值，则第一次读取后必须软件清除 RTC\_INITSTS.RSYF 位。

在一些情况下，在读取日历之前需要等待 RTC\_INITSTS.RSYF 位被置 1。

- 从低功耗模式(待机模式)唤醒后，清除 RTC\_INITSTS.RSYF 位，然后等待 RTC\_INITSTS.RSYF 位重新置 1。
- 系统复位。
- 日历完成初始化。
- 日历完成同步。

### 2. 当 RTC\_CTRL.BYPS=1 时读取日历

如果 RTC\_CTRL.BYPS=1，直接从日历计数器中读取日历值。这种配置的优点是，从低功耗模式唤醒后读取日历值没有延迟，缺点是 RTC\_SUBS、RTC\_TSH 和 RTC\_DATE 的这些数据可能不是同一时刻的。

为了保证读取的日历值的正确性，需要分别读取 RTC\_SUBS、RTC\_TSH 和 RTC\_DATE 两次，然后对两次读取的数据进行比较，如果两者相等，则认为读取的数据是正确的。

*注意：读 RTC\_SUBS 和 RTC\_TSH 后，需要最后读一下 RTC\_DATE 寄存器。*

## 25.2.8 校准时钟输出

当 RTC\_CTRL.COEN 位置 1，PC13 或 PB2 或 PI8 引脚将输出校准时钟。如果 RTC\_CTRL.CALOSSEL= 0 和 RTC\_PRE.DIVA[6:0] = 0x7F, RTC\_CALIB 频率结果为  $(f_{\text{RTCCLK}} / \text{RTC\_PRE.DIVA}[6:0] + 1)$ 。当 RTCCLK 频率

为 32.768 kHz 时，校准输出 256Hz。由于下降沿有轻微的抖动，建议使用上升沿。

当 `RTC_CTRL.CALOSEL=1`，"`RTC_PRE.DIVS[14:0]+1`"是 256 的非零整数倍，`RTC_CALIB` 频率由公式  $f_{RTCCLK}/(256 * (DIVS+1))$  给出。当 `RTCCLK` 频率为 32.768 kHz 和 `RTC_PRE.DIVA[6:0] = 0x7F` 时，校准输出 1Hz。

注意：

1. 当选择 `RTC_CALIB` 输出时，`RTC_OUT` 引脚(`PC13/PB2/PI8`)被自动配置为输出。
2. `RTC_OUT` 选择 256Hz 或 1Hz 的输出占空比固定为 50% (+-20%)。

## 25.2.9 可编程闹钟

RTC 有 2 个可编程闹钟：闹钟 A 和闹钟 B。

通过 `RTC_CTRL.ALxEN` 位可以使能或关闭 RTC 闹钟。如果 Alarm 值与日历值相匹配，则 `RTC_INITSTS.ALxF` 标志被置 1。如果 `RTC_CTRL.ALxIEN` 使能，可以选择任意日历字段来触发闹钟中断。

闹钟输出：当 `RTC_CTRL.OUTSEL[1:0]`配置后，闹钟 A 或闹钟 B 可以映射到 `RTC_ALxRM` 输出，可以通过 `RTC_CTR.OPOL` 位配置输出极性。

注意：当秒字段被选择(`RTC_ALARMx.MASK1` 位复位)，`RTC_PRE.DIVS[14:0]` 必须大于 3，以保证正确操作。

### 25.2.10 闹钟配置

闹钟 A 和闹钟 B 配置步骤如下：

- 通过清除 `RTC_CTRL.ALAEN/RTC_CTRL.ALBEN` 位失能闹钟 A/闹钟 B
- 配置闹钟 x 寄存器 (`RTC_ALRMxSS/RTC_ALARMx`)
- 通过设置 `RTC_CTRL.ALAIEN/RTC_CTRL.ALBIEN` 位为 1 使能闹钟 A/闹钟 B 中断（这一步根据需要添加）
- 通过设置 `RTC_CTRL.ALAEN/RTC_CTRL.ALBEN` 位为 1 使能闹钟 A/闹钟 B

### 25.2.11 闹钟输出

当 `RTC_CTRL.OUTSEL[1:0] != 0`，`RTC_ALARM` 输出功能开启。根据 `RTC_CTR.OUTSEL[1:0]` 的值选择闹钟 A 输出、闹钟 B 输出或者唤醒输出。

`RTC_CTRL.OPOL` 位控制闹钟 A、闹钟 B 或唤醒输出的极性。

`RTC_OPT.TYPE` 位控制 `RTC_ALARM` 引脚开漏或者推挽输出。

选择 `RTC_ALARM` 输出时，`RTC_OUT` 引脚 (`PC13/PB2/PI8`) 会自动配置为输出。

### 25.2.12 周期性自动唤醒

16 位可编程自动加载计数器可以在达到 0 时产生周期性唤醒标志。它也可以将唤醒定时器的范围扩展到 17 位。通过设置 `RTC_CTRL.WTEN` 可以启用周期性自动唤醒功能。

可以选择两种唤醒输入时钟源：

- 2、4、8 或 16 分频的 RTC 时钟 (RTCCLK)。

假设 RTCCLK 来自 LSE (32.768KHz)，在分辨率到 61us 的情况下，可以配置唤醒中断周期为 122us ~ 32s。

- 内部时钟 ck\_spre。

假设 ck\_spre 频率为 1Hz，可用唤醒时间范围为 1s ~ 36h，分辨率为 1 秒

- ◆ 当 RTC\_CTRL.WKUPSEL [2:0] = 10x，周期范围为 1s 到 18h
- ◆ 当 RTC\_CTRL.WKUPSEL [2:0] = 11x，周期范围为 18h 到 36h。

当 RTC\_CTRL.WTEN 位设置为 1 之后，向下计数器正在运行，当它达到 0 时，RTC\_INITSTS.WTF 位会被置 1，通过设置 RTC\_CTRL.WTIEN 位为 1，当周期性唤醒中断被启用触发时，设备可以退出低功耗模式。

周期性唤醒输出：当 RTC\_CTRL.OUTSEL[1:0]选择周期性唤醒后，自动将 RTC\_OUT 引脚(PC13/PB2/PI8)配置为输出，输出极性可由 RTC\_CTRL.OPOL 位配置。

### 25.2.13 唤醒定时器配置

唤醒计时器自动重新加载值配置如下：

- 通过清除 RTC\_CTRL.WTEN 关闭唤醒定时器，然后等待 RTC\_INITSTS.WTWF 标志位被置 1
- 通过设置 RTC\_CTRL.WKUPSEL[2:0]选择唤醒定时器时钟
- 通过设置 RTC\_WKUPT.WKUPT[15:0]配置唤醒自动重加载值
- 通过设置 RTC\_CTRL.WTIEN 位使能唤醒中断 (这一步根据需要添加)
- 通过设置 RTC\_CTRL.WTEN 位开启唤醒定时器

*注意：若唤醒定时器自动重载值 RTC\_WKUPT.WKUPT[15:0] 设置为 0，则设置 RTC\_CTRL.WTEN=1 使能唤醒定时器后硬件会立刻置位 RTC\_INITSTS.WTF 并产生自动唤醒中断，若使能唤醒输出同时会产生唤醒输出。后续自动唤醒时间间隔为配置值，应用上可忽略第一次唤醒。*

### 25.2.14 时间戳功能

时间戳可以通过将 RTC\_CTRL.TSEN 位设置为 1 来启用。当在 RTC\_TS 引脚上检测到时间戳事件时，该事件的日历值将存储在时间戳寄存器 (RTC\_TSSS、RTC\_TST、RTC\_TSD) 中，并且 RTC\_INITSTS.TISF 位被设置为 1。如果 RTC\_CTRL.TSIEN 设置为 1，则时间戳事件可以产生中断。如果在 RTC\_INITSTS.TISF 已经设置为 1 时检测到新的时间戳事件，则硬件将 RTC\_INITSTS.TISOVF 标志设置为 1，并且时间戳寄存器 (RTC\_TST 和 RTC\_TSD) 将继续保存前一个事件的值，这意味着当 RTC\_INITSTS.TISF=1 时，时间戳寄存器 (RTC\_TST 和 RTC\_TSD) 数据不会改变。

在同步过程引起的时间戳事件再次发生后，RTC\_INITSTS.TISF 在 2 个 RTC\_CLK 周期内设置为 1。RTC\_INITSTS.TISOVF 的生成没有延迟。这意味着如果两个时间戳事件非常接近，这可能导致 RTC\_INITSTS.TISOVF 为“1”而 RTC\_INITSTS.TISF 为“0”。因此，在检测到 RTC\_INITSTS.TISF 为“1”后，再检测 RTC\_INITSTS.TISOVF 位。当 RTC\_TMPCFG.TPTS 位设置为 1 时，入侵事件可以触发时间戳事件。

如果启用时间戳事件，时间戳将捕获时间戳寄存器中的读取日历。时间戳事件可以在由 EXTI 选择的任何 GPIO 端口上生成。每个端口的 GPIO 引脚通过设置相应的 EXTI\_TS\_SEL.TSSEL[3:0] 位来选择。



如果 `RTC_CTRL.INTSEN=1`，当检测到内部时间戳事件时，日历会保存在时间戳寄存器（`RTC_TST`、`RTC_TSD`、`RTC_TSS`）中。内部时间戳事件是通过切换到 `VBAT` 电源触发的。

### 25.2.15 入侵检测

共有三个入侵检测引脚，`RTC_TAMP1` 引脚为 `PC13`，`RTC_TAMP2` 引脚为 `PI8`，`RTC_TAMP3` 引脚为 `PC1`。`RTC_TAMPx` 引脚可用作入侵事件检测功能输入引脚。有两种检测模式，边缘检测模式和可配置滤波功能的电平检测模式。

共有五个内部入侵事件，`RTC_TAMP4` 与 `LSE` 监控相关，`RTC_TAMP5` 与 `HSI` 监控相关，`RTC_TAMP6` 与 `RTC` 日历溢出相关，`RTC_TAMP7` 与 `VBAT` 监控相关，`RTC_TAMP8` 与温度监控相关。

当检测到 `RTC_TAMPx` 事件时，如果 `RTC_TMPxCTRL.TPNOE=0`，则 `RTC_BKP(1~32)` 寄存器将被擦除。

#### 入侵检测初始化

共有三个入侵检测引脚，每个引脚都可以独立配置。用户需要在设置 `RTC_TMPxCTRL.TPEN` 位之前配置入侵检测。当入侵检测使能后检测到入侵事件时，如果 `RTC_TMPxCTRL.TPINTEN` 位置 1，则入侵事件可以产生中断并且 `RTC_INITSTS.TAMxF` 位将被置 1。

当 `RTC_INITSTS.TAMxF` 位为 1 时，无法检测到同一引脚上的新入侵事件。

#### 入侵事件的时间戳

当 `RTC_TMPCFG.TPTS` 位设置为 1 时，任何入侵事件都可以触发时间戳事件，并且 `RTC_INITSTS.TISF` 位和 `RTC_INITSTS.TISOVF` 位将被设置为正常的时间戳事件。

#### 入侵输入的边缘检测

当 `RTC_TMPCFG.TPFLT[1:0]` 位设置为 0 时，入侵检测设置为边沿检测，上升沿或下降沿由 `RTC_TMPCFG.TPxTRG` 位控制。当检测到相应的边沿时，`RTC_TAMPx` 引脚将产生一个入侵检测事件。

由于 `RTC_BKP(1~32)` 可以在检测到入侵事件时复位，因此需要确保不会同时发生入侵事件检测和写入 `RTC_BKP(1~32)`。建议在写入 `RTC_BKP(1~32)` 后启动入侵检测功能。

*注意：当选择边沿触发时，需要接外部上拉或下拉。*

#### `RTC_TAMPx` 输入的滤波电平检测

当 `RTC_TMPCFG.TPFLT[1:0]` 位设置为 1/2/3 时，入侵检测设置为电平检测。`RTC_TMPCFG.TPFLT[1:0]` 的值决定了采样次数。

每次采样前可通过入侵引脚的内部上拉电阻进行预充电，预充电时间由 `RTC_TMPCFG.TPPRCH[1:0]` 位控制。当 `RTC_TMPCFG.TPPUDIS` 设置为 1 时，预充电将被禁用。

使用 `RTC_TMPCFG.TPFREQ[2:0]` 确定电平检测的采样频率，可以优化入侵检测延迟和上拉功耗之间的最佳平衡。

### 25.2.16 夏令时功能配置

夏令时功能可通过 `RTC_CTRL.SU1H`、`RTC_CTRL.AD1H` 和 `RTC_CTRL.BAKP` 位控制。设置 `RTC_CTRL.SU1H` 位为 1 时日历会减一小时，设置 `RTC_CTRL.AD1H` 为 1 时会增加一小时。`RTC_CTRL.BAKP` 位可用于记住或不记住此调整。

## 25.2.17 RTC 亚秒寄存器位移操作

当日历的值与外部精密时钟相比有亚秒级的偏差时，可以使用移位功能来提高日历的精度。

日历可以使用 RTC\_SCTRL.ADIS 和 RTC\_SCTRL.SUBF[14:0]位来控制最大延迟或提前 1s。调整分辨率为  $1/(RTC\_PRE.DIVS[14:0]+1)$ ，表示 RTC\_PRE.DIVS[14:0]的值越大，分辨率越高。为了使同步预分频器输出保持在 1Hz，RTC\_PRE.DIVS[14:0]越高意味着 RTC\_PRE.DIVA[6:0]越低，则功耗越大。

*注意：在开始移位操作之前，用户必须检查 RTC\_SUBS.SS[15] 位是否为 0。*

每当写入 RTC\_SCTRL 寄存器时，硬件都会设置 RTC\_INITSTS.SHOPF 标志，表明移位操作处于挂起状态。一旦移位操作完成，该位由硬件清零。

## 25.2.18 RTC 数字时钟精密校准

数字精密校准是通过调整校准周期内的 RTC 时钟脉冲数来实现的。数字精度校准分辨率为 0.954 PPM，范围为 -487.1 PPM 到 +488.5 PPM。

当输入频率为 32768 Hz 时，校准周期可配置为  $2^{20}/2^{19}/2^{18}$  个 RTCCLK 周期或 32/16/8 秒。精密校准寄存器 (RTC\_CALIB) 表示将在指定周期内减少 RTC\_CALIB.CM[8:0] 个 RTCCLK 时钟周期。

RTC\_CALIB.CM[8:0] 的值表示在指定周期内要减少的 RTCCLK 脉冲数。RTC\_CALIB.CP 可用于增加 488.5PPM，每  $2^{11}$  个 RTCCLK 周期将插入一个 RTCCLK 脉冲。

当 RTC\_CALIB.CM[8:0]和 RTC\_CALIB.CP 组合使用时，增加的周期范围为 -511 到 +512 个 RTCCLK 周期，校准范围为 -487.1ppm 到 +488.5ppm，分辨率约为 0.954ppm。

有效校准频率 ( $f_{CAL}$ ) 可使用以下公式计算：

$$f_{CAL} = f_{RTCCLK} * \left( 1 + \frac{RTC\_CALIB.CP * 512 - RTC\_CALIB.CM[8:0]}{2^n + RTC\_CALIB.CM[8:0] - RTC\_CALIB.CP * 512} \right)$$

*注意：n=20/19/18*

*注意：在校准时，RTC\_PRE.DIVA[6:0] 的值不得设置为小于 3*

有效校准频率 ( $f_{CAL}$ ) 可使用以下公式计算：

$$f_{CAL} = f_{RTCCLK} * \left( 1 + \frac{256 - RTC\_CALIB.CM[8:0]}{2^n + RTC\_CALIB.CM[8:0] - 265} \right)$$

*注意：n=20/19/18*

### 验证 RTC 校准

RTC 输出 1Hz 波形，用于测量和验证 RTC 精度。

在有限测量周期内测量 RTC 频率时，最多可能出现 2 个 RTCCLK 周期测量误差。如果测量周期与校准周期相同，则可以消除误差。

#### ■ 校准周期为 32 秒（默认）

使用精确的 32 秒周期测量 1Hz 校准输出可以确保测量误差在 0.447ppm 以内（32 秒内为 0.5 个 RTCCLK 周期）。

- 校准周期为 16 秒。

使用精确的 16 秒周期测量 1Hz 校准输出可以确保测量误差在 0.954ppm 以内（16 秒内为 0.5 个 RTCCLK 周期）。

- 校准周期为 8 秒。

使用精确的 8 秒周期测量 1Hz 校准输出可以确保测量误差在 1.907ppm 以内（8 秒内为 0.5 个 RTCCLK 周期）。

### 动态重新校准

当 RTC\_INITSTS.INITF=0 时，RTC\_CALIB 寄存器可以通过以下步骤更新：

- 等待 RTC\_INITSTS.RECPF=0
- 一个新值被写入 RTC\_CALIB，然后 RTC\_INITSTS.RECPF 位自动置 1
- 新的校准设置将在数据写入 RTC\_CALIB 后的 3 个 ck\_apre 周期内生效

## 25.2.19 RTC 低功耗模式

RTC 在低功耗模式下的工作状态。

表 25-2 RTC 低功耗模式

低功耗模式	RTC 工作状态	退出低功耗模式
SLEEP	正常工作	闹钟 A、闹钟 B、周期性自动唤醒、入侵事件和时间戳事件
STOP0	RTC 时钟源为 LSE 或 LSI 时正常工作	闹钟 A、闹钟 B、周期性自动唤醒、入侵事件和时间戳事件
STANDBY	RTC 时钟源为 LSE 或 LSI 时正常工作	闹钟 A、闹钟 B、周期性自动唤醒、入侵事件和时间戳事件

## 25.2.20 RTC\_OUT1(PC13)和 RTC\_OUT2(PB2/PI8)配置选中映射关系

表 25-3 RTC OUT 映射

RTC_CTRL			RTC_OPT	RTC_OUT1(PC13)	RTC_OUT2(PB2/PI8)
TAMPOE	OUTSEL[1:0]	COEN	OUTMAP		
0	00	1	0	CALIB	-
1	00	Don't care		TAMPER	-
0	01	Don't care		ALARMA	-
0	10	Don't care		ALARMB	-
0	11	Don't care		WAKEUP	-
1	01/10/11	Don't care		TAMPER_ALARM <sup>(1)</sup>	-
0	00	1	1	-	CALIB
1	00	0		-	TAMER
0	01	0		-	ALARMA

RTC_CTRL			RTC_OPT	RTC_OUT1(PC13)	RTC_OUT2(PB2/PI8)
TAMPOE	OUTSEL[1:0]	COEN	OUTMAP		
0	10	0		-	ALARMB
0	11	0		-	WAKEUP
1	01/10/11	0		-	TAMPER_ALARM <sup>(1)</sup>
1	00	1		TAMPER	CALIB
0	01	1		ALARMA	CALIB
0	10	1		ALARMB	CALIB
0	11	1		WAKEUP	CALIB
1	01/10/11	1		TAMPER_ALARM <sup>(1)</sup>	CALIB

1. TAMPER\_ALARM 表示输出 TAMPER 和 ALARMA 或 ALARMB 或 WAKEUP。

## 25.3 RTC 寄存器

### 25.3.1 RTC 日历时间寄存器 (RTC\_TSH)

偏移地址：0x00

复位值：0x0000 0000

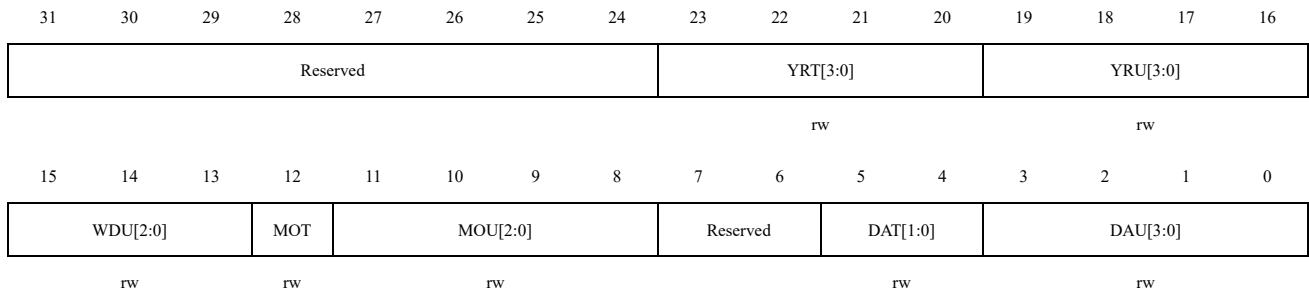
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved									APM	HOT[1:0]		HOU[3:0]			
									rw	rw		rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	MIT[2:0]		MIU[2:0]			Reserved	SCT[2:0]		SCU[3:0]						
	rw		rw				rw		rw						

位域	名称	描述
31:23	Reserved	保留，必须保持复位值
22	APM	AM/PM 格式。 0: AM 格式或者 24 小时格式 1: PM 格式
21:20	HOT[1:0]	小时的十位(BCD 格式)。
19:16	HOU[3:0]	小时的个位(BCD 格式)。
15	Reserved	保留，必需保持复位值。
14:12	MIT [2: 0]	分钟的十位(BCD 格式)。
11:8	MIU[3:0]	分钟的个位(BCD 格式)。
7	Reserved	保留，必需保持复位值。
6:4	SCT[2:0]	秒的十位(BCD 格式)。
3:0	SCU[3:0]	秒的个位(BCD 格式)。

### 25.3.2 RTC 日历日期寄存器 (RTC\_DATE)

偏移地址：0x04

复位值：0x0000 2101



位域	名称	描述
31:24	Reserved	保留，必须保持复位值。
23:20	YRT[3:0]	年的十位(BCD 格式)。
19:16	YRU[3:0]	年的个位(BCD 格式)。
15:13	WDU[2:0]	星期几 000: 禁止 001: 星期一 ... 111: 星期天
12	MOT	月的十位(BCD 格式)。
11:8	MOU[3:0]	月的个位(BCD 格式)。
7:6	Reserved	保留，必须保持复位值。
5:4	DAT[1:0]	日期的十位(BCD 格式)。
3:0	DAU[3:0]	日期的个位(BCD 格式)。

### 25.3.3 RTC 控制寄存器(RTC\_CTRL)

偏移地址：0x08

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				CAOVIEN	TAMPOE	Reserved	IETSEN	COEN	OUTSEL[1:0]		OPOL	CALOSEL	BAKP	SU1H	AD1H
				rw	rw	rw		rw	rw		rw	rw	rw	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSIEN	WTIEN	ALBIEN	ALAIEN	TSEN	WTEN	ALBEN	ALAEN	CAOVEN	HFMT	BYPS	REF CLKEN	TEDGE	WKUPSEL[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		

位域	名称	描述
31:28	Reserved	保留，必须保持复位值。
27	CAOVIEN	日历溢出中断使能 0: 禁用日历溢出中断 1: 启用日历溢出中断
26	TAMPOE	入侵输出使能 0: 入侵输出禁止 1: 入侵输出开启
25	Reserved	保留，必须保持复位值。
24	IETSEN	内部事件触发时间戳使用 0: 内部事件触发时间戳禁用 1: 内部事件触发时间戳开启
23	COEN	校准输出使能。 0: 校准输出禁止 1: 校准输出开启
22:21	OUTSEL[1:0]	输出选择位。 该位用来选择闹钟\唤醒输出。 00: 输出禁止 01: 闹钟 A 输出开启 10: 闹钟 B 输出开启 11: 唤醒输出开启
20	OPOL	输出极性位。 此位用于配置 RTC_ALARM 输出的极性。 0: 当 ALAF/ALBF/WTF 标志位置 1(取决于 OUTSEL [1:0])，该引脚输出高电平 1: 当 ALAF/ALBF/WTF 标志位置 1(取决于 OUTSEL [1:0])，该引脚输出低电平
19	CALOSEL	校准输出选择位。 当 COEN=1 时，该位选择在 RTC_CALIB 上输出哪个信号。 在 RTCCLK 为 32.768 kHz 且预分频为默认值(RTC_PRE.DIVA[6:0]=127 和 RTC_PRE.DIVS[14:0]=255)的条件下，这些频率有效。 0: 校准输出 256Hz(默认预分频设置) 1: 校准输出 1Hz(默认预分频设置)
18	BAKP	这个位可以由用户写入，以记住是否执行了夏令时的更改。

位域	名称	描述
17	SU1H	<p>减去 1 小时位(冬季时间更改)。</p> <p>当设置此位时，如果当前小时不是 0，则从日历时间中减去 1 小时。这个位总是被读取为 0。当当前小时为 0 时，设置此位无效。</p> <p>0: 无使用</p> <p>1: 用当前时间减去 1 小时。这可以用于冬季改变户外初始化模式</p>
16	AD1H	<p>加 1 小时位(夏季时间更改)。</p> <p>设置此位后，将 1 小时添加到日历时间中。这个位总是被读为 0。</p> <p>0: 无使用</p> <p>1: 用当前时间加上 1 小时。这可以用于夏季改变户外初始化模式</p>
15	TSIEN	<p>时间戳中断使能位。</p> <p>0: 时间戳中断禁止</p> <p>1: 时间戳中断开启</p>
14	WTIEN	<p>唤醒定时器中断使能位。</p> <p>0: 唤醒定时器中断禁止</p> <p>1: 唤醒定时器中断开启</p>
13	ALBIEN	<p>闹钟 B 中断使能位。</p> <p>0: 闹钟 B 中断禁止</p> <p>1: 闹钟 B 中断开启</p>
12	ALAIEN	<p>闹钟 A 中断使能位。</p> <p>0: 闹钟 A 中断禁止</p> <p>1: 闹钟 A 中断开启</p>
11	TSEN	<p>时间戳使能位。</p> <p>0: 时间戳禁止</p> <p>1: 时间戳开启</p>
10	WTEN	<p>唤醒定时器使能位。</p> <p>0: 唤醒定时器禁止</p> <p>1: 唤醒定时器开启</p>
9	ALBEN	<p>闹钟 B 使能位。</p> <p>0: 闹钟 B 禁止</p> <p>1: 闹钟 B 开启</p>
8	ALAEN	<p>闹钟 A 使能位。</p> <p>0: 闹钟 A 禁止</p> <p>1: 闹钟 A 开启</p>
7	CAOVEN	<p>日历溢出检测启用。</p> <p>0: 日历溢出检测禁用</p> <p>1: 日历溢出检测启用</p>
6	HFMT	<p>小时格式位。</p> <p>0: 24 小时格式</p> <p>1: AM/PM 格式</p>

位域	名称	描述
5	BYPS	旁路影子寄存器位。 0: 日历值(从 RTC_SUBS、RTC_TSH 和 RTC_DATE 读取时)取自影子寄存器, 影子寄存器每两个 RTCCLK 周期更新一次。 1: 日历值(从 RTC_SUBS、RTC_TSH 和 RTC_DATE 读取时)直接从日历计数器中获取。 <i>注意: 如果 APB1 时钟的频率小于 RTCCLK 的 7 倍, 则 BYPS 必须设置为 1</i>
4	REFCLKEN	RTC_REFIN 参考时钟检测位(50 或 60hz)。 0: RTC_REFIN 检测禁止 1: RTC_REFIN 检测开启 <i>注意: DIVS 必须为 0x00FF</i>
3	TEDGE	时间戳事件触发沿配置位。 0: RTC_TS 输入上升沿生成一个时间戳事件 1: RTC_TS 输入下降沿生成一个时间戳事件 <i>注意: 更改 TEDGE 时必须重置 RTC_CTRL.TSEN, 以避免 RTC_INITSTS.TISF 意外置 1。</i>
2:0	WKUPSEL[2:0]	唤醒时钟选择位。 000: 选择 RTC/16 时钟 001: 选择 RTC/8 时钟 010: 选择 RTC/4 时钟 011: 选择 RTC/2 时钟 10x: 选择 ck_spre(通常 1Hz)时钟 11x: 选择 ck_spre(通常 1Hz)时钟并且唤醒定时器计数器值配置成 2 <sup>16</sup>

### 25.3.4 RTC 初始状态寄存器 (RTC\_INITSTS)

偏移地址: 0x0C

复位值: 0x0000 0007

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved								BKSRAM EF	IETSF	CAOVF	TAM8F	TAM7F	TAM6F	TAM5F	TAM4F	RECPF
								r	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
TAM3F	TAM2F	TAM1F	TISOVF	TISF	WTF	ALBF	ALAF	INITM	INITF	RSYF	INITSF	SHOPF	WTWF	ALBWF	ALAWF	
rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rw	r	rc_w0	r	r	r	r	r	



位域	名称	描述
31:25	Reserved	保留，必须保持复位值。
24	BKSRAMEF	每当 RTC_TMPCTRLx.TPNOE 位被置 0 时，备份 SRAM 会被擦除。该位指示擦除操作是否正在进行： 0: BKP_SRAM 擦除操作已完成或未触发。 1: BKP_SRAM 擦除操作正在进行中。 这是一个软件只读位，完全由硬件控制。
23	IETSF	内部事件时间戳标志 当在 RTC_ITS 输入上检测到内部时间戳事件时，硬件会设置此标志。通过软件写入 0 可以清除该标志
22	CAOVF	CALOVFF 检测标志 当启用日历溢出检测且日历日期读取为 31/12/99 且时间为 23:59:59 时，硬件会设置此标志。日历重新初始化后，通过软件写入 0 可清除该标志。
21	TAM8F	RTC_TAMP8 检测标志位。 当在 RTC_TAMP8 输入口上检测到侵入事件时，硬件将设置此标志。通过软件写 0 清除
20	TAM7F	RTC_TAMP7 检测标志位。 当在 RTC_TAMP7 输入口上检测到侵入事件时，硬件将设置此标志。通过软件写 0 清除
19	TAM6F	RTC_TAMP6 检测标志位。 当在 RTC_TAMP6 输入口上检测到侵入事件时，硬件将设置此标志。通过软件写 0 清除
18	TAM5F	RTC_TAMP5 检测标志位。 当在 RTC_TAMP5 输入口上检测到侵入事件时，硬件将设置此标志。通过软件写 0 清除
17	TAM4F	RTC_TAMP4 检测标志位。 当在 RTC_TAMP4 输入口上检测到侵入事件时，硬件将设置此标志。通过软件写 0 清除
16	RECPF	重新校准挂起标志位。 当软件写入 RTC_CALIB 寄存器时，RECPF 状态标志自动设置为 1，表示 RTC_CALIB 寄存器被阻塞。当考虑到新的校准设置时，这个位将恢复为 0。
15	TAM3F	RTC_TAMP3 检测标志位。 当在 RTC_TAMP3 输入口上检测到侵入事件时，硬件将设置此标志。通过软件写 0 清除
14	TAM2F	RTC_TAMP2 检测标志位。 当在 RTC_TAMP2 输入口上检测到侵入事件时，硬件将设置此标志。通过软件写 0 清除
13	TAM1F	RTC_TAMP1 检测标志位。 当在 RTC_TAMP1 输入口上检测到侵入事件时，硬件将设置此标志。通过软件写 0 清除

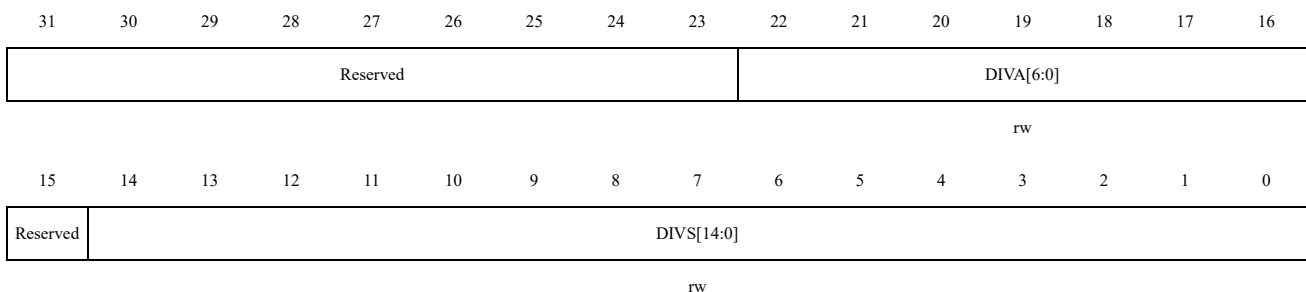
位域	名称	描述
12	TISOVF	时间戳溢出标志位。 当时间戳事件发生的同时 TISF 位已经被置 1 时，硬件将此标志置 1。建议在清除 TISF 位之后再检查并清除 TISOVF 位。否则，如果时间戳事件恰好在清除 TISF 位之前刚刚发生，则溢出事件可能会被漏掉。
11	TISF	时间戳标志位。 当发生时间戳事件时，硬件将设置此标志。此标志通过写入 0 被软件清除。
10	WTF	唤醒定时器标志位。 当唤醒自动重载计数器达到 0，硬件将设置此标志。此标志通过写入 0 被软件清除。在 WTF 再次设置为 1 之前，此标志必须由软件至少在 1.5 RTCCLK 周期内清除。
9	ALBF	闹钟 B 标志位。 当时间/日期寄存器(RTC_TSH 和 RTC_DATE)与闹钟 B 寄存器(RTC_ALARM B)匹配时，硬件将设置此标志。此标志通过写入 0 被软件清除。
8	ALAF	闹钟 A 标志位。 当时间/日期寄存器(RTC_TSH 和 RTC_DATE)与闹钟 A 寄存器(RTC_ALARM A)匹配时，硬件将设置此标志。此标志通过写入 0 被软件清除。
7	INITM	进入初始化模式 0: 自由运行模式 1: 进入初始化模式，设置日历时间值、日期值、预分频值。
6	INITF	初始化标志位。 当这个位设置为 1 时，RTC 处于初始化状态，可以更新时间、日期和预分频寄存器。 0: 日历寄存器更新禁止 1: 日历寄存器更新允许
5	RSYF	寄存器同步标志位。 当日历值被复制到影子寄存器中时，该标志由硬件设置为“1”。当处于初始化模式、移位操作挂起 (SHOPF=1) 或处于旁路影子寄存器模式 (RTC_CTRL.BYPS=1) 时，该位由硬件清零，该位也可以通过软件清零。 在初始化模式下，该位通过软件或硬件清除。 0: 日历影子寄存器尚未同步 1: 日历影子寄存器同步
4	INITSF	初始状态标志位。 当历年字段不等于 0 (备份域复位状态)时，由硬件设置此位。 0: 日历没有被初始化 1: 日历已经被初始化
3	SHOPF	平移操作挂起标志位。 当通过写入 RTC_SCTRL 寄存器启动移位操作时，硬件会将此标志置为 1。当相应的移位操作完成后，硬件会将其清除。 <i>注意写入 SHOPF 位不会有任何效果。</i>

位域	名称	描述
		0: 没有位移操作挂起 1: 有位移操作挂起
2	WTWF	唤醒定时器写标志位。 0: 唤醒时间配置更新不允许 1: 唤醒时间配置更新允许
1	ALBWF	闹钟 B 写标志。 当 RTC_CTRL.ALBEN 位设置为 0, 同时闹钟 B 值可更改时, 硬件将该位 1。 0: 闹钟 B 更新不允许 1: 闹钟 B 更新允许
0	ALAWF	闹钟 A 写标志。 当 RTC_CTRL.ALAEN 位设置为 0, 同时闹钟 A 可更改时, 硬件将该位置 1。 0: 闹钟 A 更新不允许 1: 闹钟 A 更新允许

### 25.3.5 RTC 预分频寄存器(RTC\_PRE)

偏移地址: 0x10

复位值: 0x007F 00FF

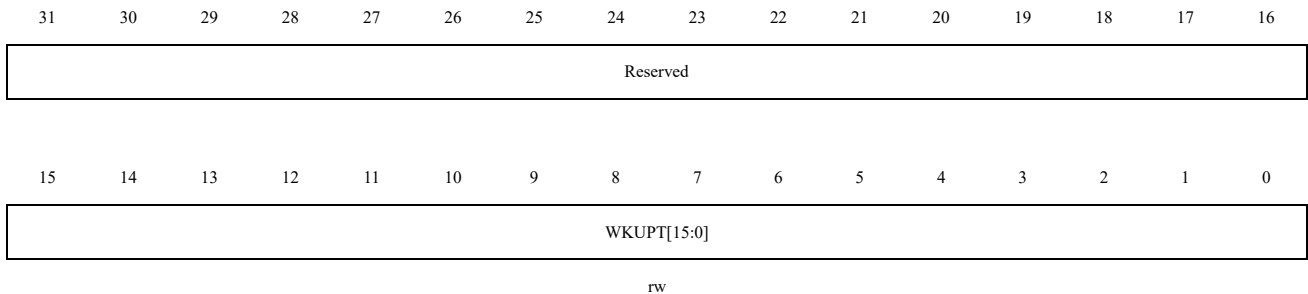


位域	名称	描述
31:23	Reserved	保留, 必须保持复位值。
22:16	DIVA[6:0]	异步分频参数位。 $f_{ck\_apre} = RTCCLK / (DIVA[6:0] + 1)$ 注意: <i>RTC_PRE.DIVA[6:0]</i> 不能配置为 0
15	Reserved	保留, 必须保持复位值。
14:0	DIVS[14:0]	同步分频位。 $f_{ck\_spre} = f_{ck\_apre} / (DIVS[14:0] + 1)$

### 25.3.6 RTC 唤醒定时器寄存器(RTC\_WKUPT)

偏移地址：0x14

复位值：0x0000 FFFF

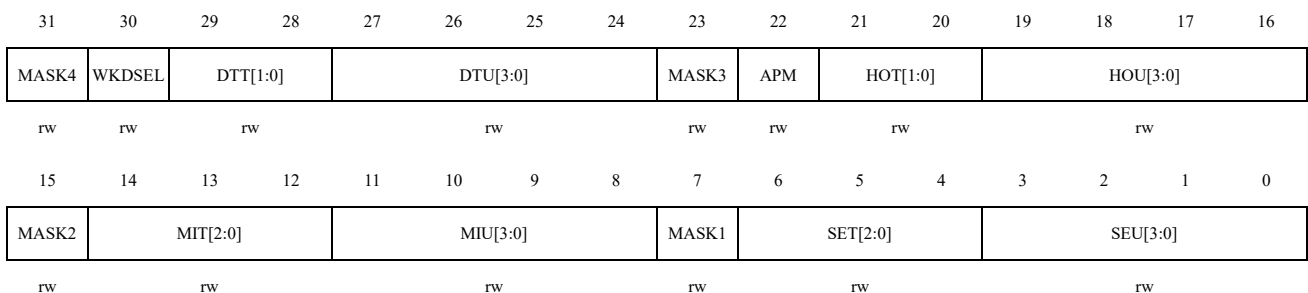


位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	WKUPT[15:0]	唤醒自动重载值位 当 RTC_CTRL.WTEN=1 时，每 (WKUPT[15:0] + 1) 个 ck_wut 周期设置 RTC_INITSTS.WTF 标志。当 RTC_CTRL.WKUPSEL[2]=1 时，唤醒定时器变为 17 位。该位不能配成 0。 注意： 这个寄存器的变化（如第二次设置或以后的设置）需要在唤醒中断中进行更改，否则更改后的设置不会立即生效，而是在下次唤醒后生效；特别是当 RTC_CTRL.WKUPSEL[2:0] 设置为 010 时，修改后的设置不会立即生效，而是在下一个周期唤醒后生效。

### 25.3.7 RTC 闹钟 A 寄存器(RTC\_ALARM\_A)

偏移地址：0x1C

复位值：0x0000 0000



位域	名称	描述
31	MASK4	闹钟日期掩码位。 0: 日期/日匹配 1: 日期/日不匹配
30	WKDSEL	星期几选择位。 0: DTU[3:0]代表日期的个位 1: DTU[3:0]代表星期几。DTT[1:0]为无关位
29:28	DTT[1:0]	日期的十位(BCD 格式)。
27:24	DTU[3:0]	日期的个位(BCD 格式)
23	MASK3	闹钟小时掩码位。 0: 小时匹配 1: 小时不匹配
22	APM	AM/PM 符号位。 0: AM 或 24 小时制 1: PM
21:20	HOT[1:0]	小时的十位(BCD 格式)。
19:16	HOU[3:0]	小时的个位(BCD 格式)。
15	MASK2	闹钟分钟掩码位。 0: 分钟匹配 1: 分钟不匹配
14:12	MIT[2:0]	分钟的十位(BCD 格式)。
11:8	MIU[3:0]	分钟的个位(BCD 格式)。
7	MASK1	闹钟秒掩码位。 0: 秒匹配 1: 秒不匹配
6:4	SET[2:0]	秒的十位(BCD 格式)。
3:0	SEU[3:0]	秒的个位(BCD 格式)。

### 25.3.8 RTC 闹钟 B 寄存器 (RTC\_ALARM B)

偏移地址: 0x20

复位值: 0x0000 0000

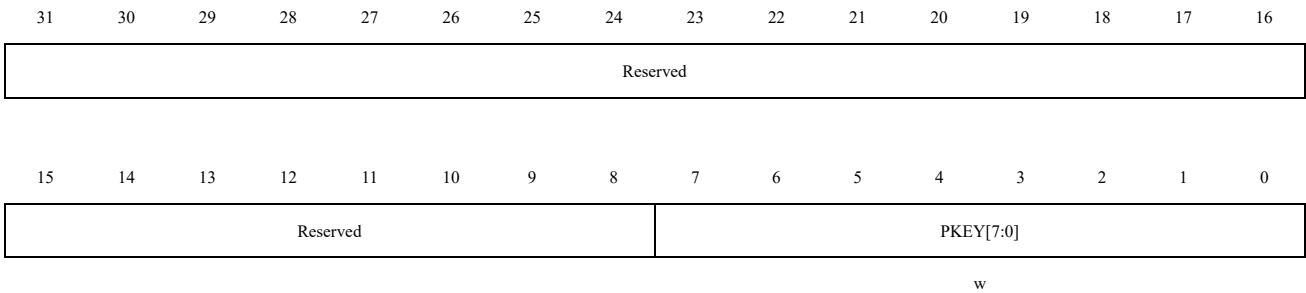
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MASK4	WKDSEL	DTT[1:0]		DTU[3:0]			MASK3	APM	HOT[1:0]		HOU[3:0]				
rw	rw	rw		rw			rw	rw	rw		rw				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MASK2	MIT[2:0]		MIU[3:0]			MASK1	SET[2:0]		SEU[3:0]						
rw	rw		rw			rw	rw		rw						

位域	名称	描述
31	MASK4	闹钟日期掩码位。 0: 日期/日匹配 1: 日期/日不匹配
30	WKDSEL	星期几选择位。 0: DTU[3:0]代表日期的个位 1: DTU[3:0]代表星期几。DTT[1:0]为无关位
29:28	DTT[1:0]	日期的十位(BCD 格式)。
27:24	DTU[3:0]	日期的个位(BCD 格式)
23	MASK3	闹钟小时掩码位。 0: 小时匹配 1: 小时不匹配
22	APM	AM/PM 符号位。 0: AM 或 24 小时制 1: PM
21:20	HOT[1:0]	小时的十位(BCD 格式)。
19:16	HOU[3:0]	小时的个位(BCD 格式)。
15	MASK2	闹钟分钟掩码位。 0: 分钟匹配 1: 分钟不匹配
14:12	MIT[2:0]	分钟的十位(BCD 格式)。
11:8	MIU[3:0]	分钟的个位(BCD 格式)。
7	MASK1	闹钟秒掩码位。 0: 秒匹配 1: 秒不匹配
6:4	SET[2:0]	秒的十位(BCD 格式)。
3:0	SEU[3:0]	秒的个位(BCD 格式)。

### 25.3.9 RTC 写保护寄存器(RTC\_WRP)

偏移地址: 0x24

复位值: 0x0000 0000

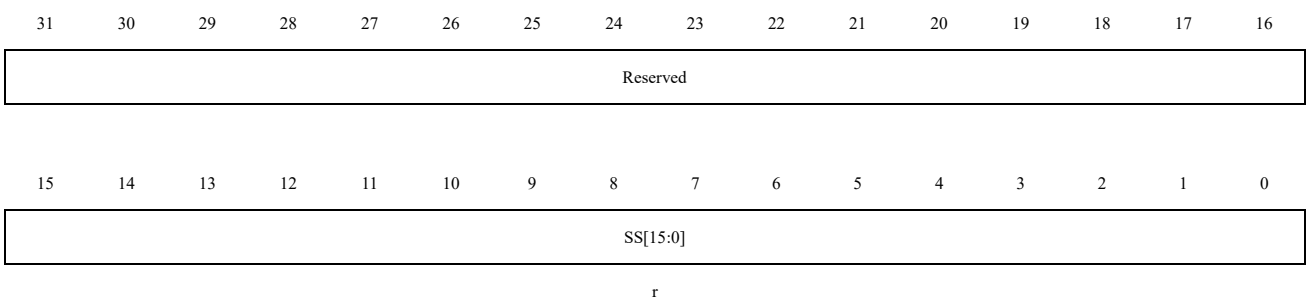


位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
7:0	PKEY[7:0]	写保护密钥 读取该字节总是返回 0x00。 有关如何解锁 RTC 寄存器写保护的详细信息，请参阅 RTC 写保护寄存器章节。

### 25.3.10 RTC 亚秒寄存器(RTC\_SUBS)

偏移地址：0x28

复位值：0x0000 0000

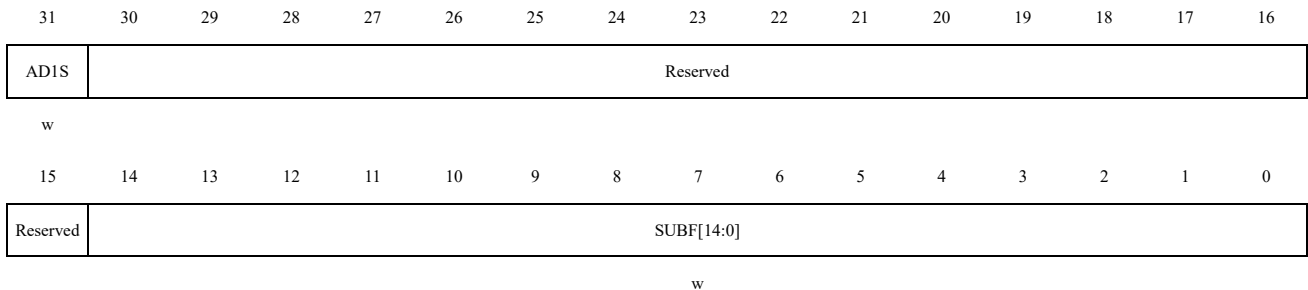


位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	SS[15:0]	亚秒值。 该值是同步预分频器计数器值。此亚秒值由以下公式计算： $\text{亚秒值} = (\text{RTC\_PRE.DIVS}[14:0] - \text{SS}) / (\text{RTC\_PRE.DIVS}[14:0] + 1)$ 注意：SS[15:0] 只有在移位操作完成后才能大于 RTC_PRE.DIVS[14:0]。在这种情况下，正确的时间/日期比 RTC_TSH/RTC_DATE 指示的时间/日期慢一秒。

### 25.3.11 RTC 平移控制寄存器(RTC\_SCTRL)

偏移地址：0x2C

复位值：0x0000 0000



位域	名称	描述
31	AD1S	加一秒 0: 不加一秒。 1: 时钟/日历增加一秒 该位只能写入且读取为零。当 RTC_INITSTS.SHOPF=1 时，写入该位没有影响。
30:15	Reserved	保留，必须保持复位值。
14:0	SUBF[14:0]	减去亚秒值位 这些位只能写入且读取为零。当 RTC_INITSTS.SHOPF=1 时，写入该位没有影响。写入 SUBF[14:0]的值被添加到同步预分频计数器，时钟将延迟： 延迟（秒）= (SUBF[14:0]+1) / (DIVS[14:0] + 1) AD1S 位可以与 SUBF[14:0] 位一起使用： 提前（秒）= (1 - ((SUBF[14:0]+1) / (DIVS[14:0] + 1)))。 <i>注意：RTC_INITSTS.RSYF 位将在写入 SUBF[14:0] 时被清除。当 RTC_INITSTS.RSYF=1 时，影子寄存器已更新为平移后的时间。</i>

### 25.3.12 RTC 时间戳时间寄存器 (RTC\_TST)

偏移地址：0x30

复位值：0x0000 0000



31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved									APM	HOT[1:0]		HOU[3:0]			
									r	r		r			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	MIT[2:0]			MIU[3:0]				Reserved	SET[2:0]		SEU[3:0]				
r			r				r		r						

位域	名称	描述
31:23	Reserved	保留，必须保持复位值。
22	APM	AM/PM 符号位。 0: AM 或 24 小时制 1: PM
21:20	HOT[1:0]	小时的十位(BCD 格式)。
19:16	HOU[3:0]	小时的个位(BCD 格式)。
15	Reserved	保留，必须保持复位值。
14:12	MIT[2:0]	分钟的十位(BCD 格式)。
11:8	MIU[3:0]	分钟的个位(BCD 格式)。
7	Reserved	保留，必须保持复位值。
6:4	SET[2:0]	秒的十位(BCD 格式)。
3:0	SEU[3:0]	秒的个位(BCD 格式)。

### 25.3.13 RTC 时间戳日期寄存器 (RTC\_TSD)

偏移地址: 0x34

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDU[2:0]		MOT	MOU[2:0]				Reserved	DAT[1:0]		DAU[3:0]					
r		r	r				r		r						

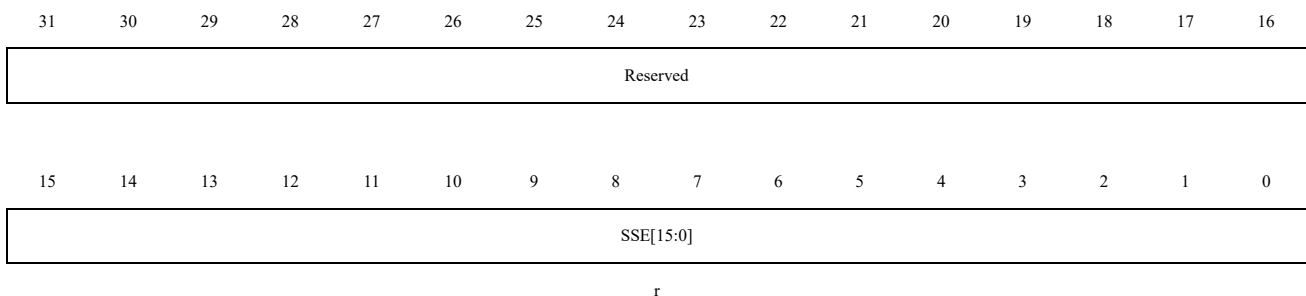
位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
14:12	WDU[2:0]	星期几

位域	名称	描述
		000: 禁止 001: 星期一 ... 111: 星期天
15	MOT	月份的十位(BCD 格式)。
11:8	MOU[3:0]	月份的个位(BCD 格式)。
7:6	Reserved	保留, 必须保持复位值。
5:4	DAT[1:0]	日期的十位(BCD 格式)。
3:0	DAU[3:0]	日期的个位(BCD 格式)。

### 25.3.14 RTC 时间戳亚秒寄存器(RTC\_TSSS)

偏移地址: 0x38

复位值: 0x0000 0000



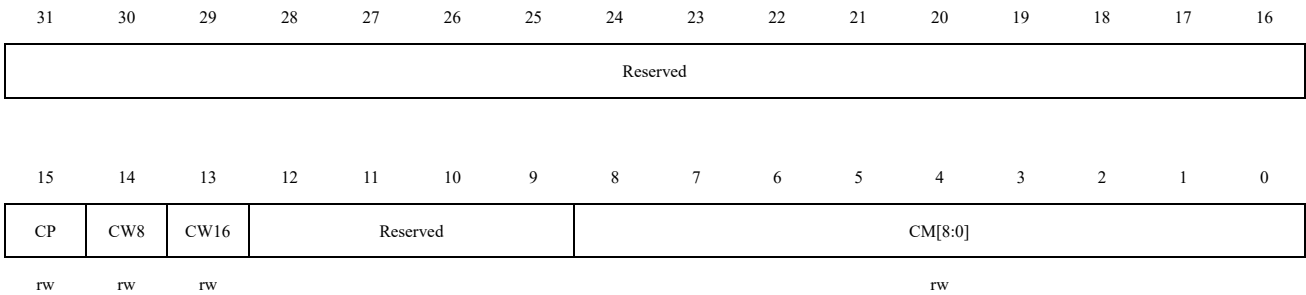
r

位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15:0	SSE[15:0]	亚秒值 SSE[15:0] 是同步预分频计数器中的值。亚秒值由以下公式提供: 亚秒值 = (RTC_PRE.DIVS[14:0] - SSE[15:0]) / (RTC_PRE.DIVS[14:0] + 1) <i>注意: SSE[15:0] 只能在移位操作后大于 RTC_PRE.DIVS[14:0]。在这种情况下, 正确的时间/日期比 RTC_TSH/RTC_DATE 指示的时间少一秒。</i>

### 25.3.15 RTC 校准寄存器(RTC\_CALIB)

偏移地址: 0x3C

复位值: 0x0000 0000

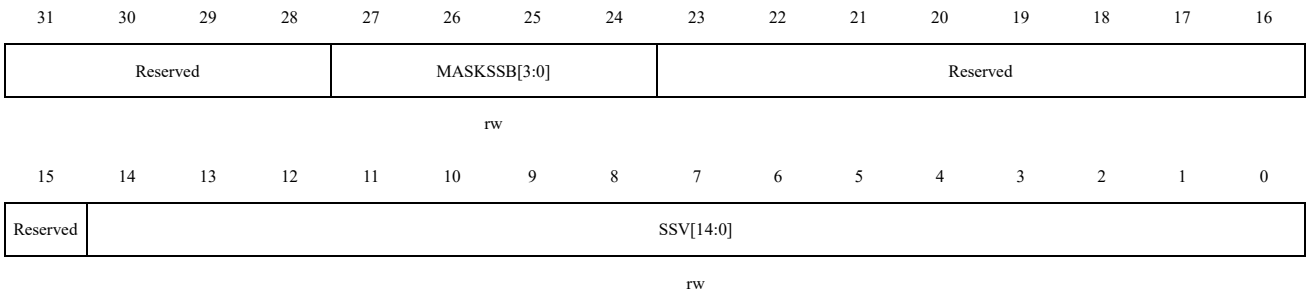


位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15	CP	将 RTC 频率提高 488.5 ppm。 此功能与 CM[8:0]一起使用。当 RTCCLK 频率为 32768 Hz 时，在 32 秒窗口期间添加的 RTCCLK 脉冲数为 $((512 * CP) - CM[8:0])$ 。 0: 不增加 RTCCLK 脉冲 1: 每 $2^{11}$ 个脉冲有效插入一个 RTCCLK 脉冲
14	CW8	使用 8 秒校准周期位。 0: 不使用 1: 选择 8 秒校准周期 <i>注意：当 CW8 = 1 时，CM[1:0] 将始终保持为 '00'</i>
13	CW16	使用 16 秒校准周期位。 0: 不使用 1: 选择 16 秒校准周期，如果 CW8 = 1，则不能将该位置 1 <i>注意：当 CW16 = 1 时，CM[0] 将始终保持为 '0'</i>
12:9	Reserved	保留，必须保持复位值。
8:0	CM[8:0]	负校准位。 $2^{20}$ 个 RTCCLK 脉冲中的屏蔽脉冲数。这有效地降低了分辨率为 0.9537 ppm 的日历频率。

### 25.3.16 RTC 闹钟 A 亚秒寄存器(RTC\_ALRMAS)

偏移地址：0x44

复位值：0x0000 0000

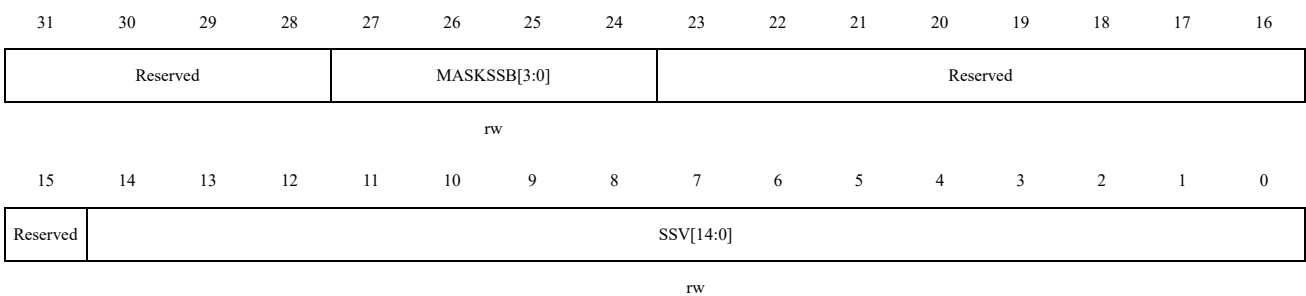


位域	名称	描述
31:28	Reserved	保留，必须保持复位值。
27:24	MASKSSB[3:0]	屏蔽此位开始的最高有效位。 0x0：闹钟的亚秒不比较。当秒单位增加时设置闹钟（假设其余字段匹配）。 0x1：只比较 SS[0]，不比较其他位。 0x2：仅比较 SS[1:0]，不比较其他位。 0x3：仅比较 SS[2:0]，不比较其他位。 ... 0xC：仅比较 SS[11:0]，不比较其他位。 0xD：仅比较 SS[12:0]，不比较其他位。 0xE：仅比较 SS[13:0]，不比较其他位。 0xF：比较 SS[14:0] 从不比较同步计数器 RTC_SUBS.SS[15]位。
23:15	Reserved	保留，必须保持复位值。
14:0	SSV[14:0]	亚秒值。 该值与同步预分频计数器 RTC_SUBS.SS[14:0]进行比较，比较的位数由 MASKSSB[3:0]控制。

### 25.3.17 RTC 闹钟 B 亚秒寄存器 (RTC\_ALRMBSS)

偏移地址：0x48

复位值：0x0000 0000



位域	名称	描述
31:28	Reserved	保留，必须保持复位值。
27:24	MASKSSB[3:0]	屏蔽此位开始的最高有效位。 0x0: 闹钟的亚秒不比较。当秒单位增加时设置闹钟（假设其余字段匹配）。 0x1: 只比较 SS[0]，不比较其他位。 0x2: 仅比较 SS[1:0]，不比较其他位。 0x3: 仅比较 SS[2:0]，不比较其他位。 ... 0xC: 仅比较 SS[11:0]，不比较其他位。 0xD: 仅比较 SS[12:0]，不比较其他位。 0xE: 仅比较 SS[13:0]，不比较其他位。 0xF: 比较 SS[14:0]。 从不比较同步计数器 RTC_SUBS.SS[15]位。
23:15	Reserved	保留，必须保持复位值。
14:0	SSV[14:0]	亚秒值 该值与同步预分频计数器 RTC_SUBS.SS[14:0]进行比较，比较的位数由 MASKSSB[3:0] 控制。

### 25.3.18 RTC 选项寄存器 (RTC\_OPT)

偏移地址: 0x4C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved								OPDC	Reserved				OUTMAP	OUTPU	PWREST	TYPE
								rw					rw	rw	rw	rw

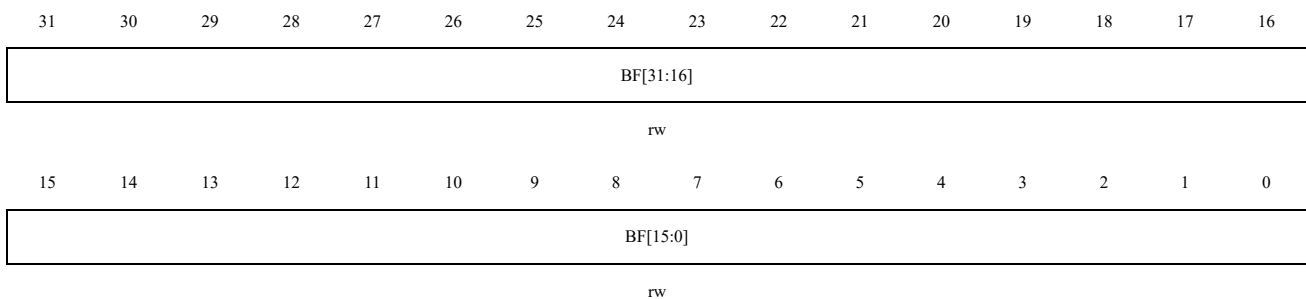
位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
7	OPDC	用于在输出选择为校准时钟输出时控制占空比 0: 校准时钟输出占空比为 50% 1: 校准时钟输出占空比为 $1/(RTC\_PRES.DIVA/DIVS)$ <i>注意: 此位必须在初始化模式下设置</i>
6:4	Reserved	保留，必须保持复位值。
3	OUTMAP	决定 RTC_OUT1 和 RTC_OUT2 之间输出的重新映射。

位域	名称	描述
		0: RTC_OUT2 没有输出。所有输出都集中在 RTC_OUT1 中。主要用于待机模式。 1: 用于将 CALIB、TAMPALARM 或 WAKEUP 路由到 RTC_OUT2, 从而释放 RTC_OUT1。
2	OUTPU	决定 RTC_OUTx 是否应有上拉电阻以支持开漏配置(x=1,2) 0: RTC_OUTx 引脚的上拉电阻未启用 1: RTC_OUTx 引脚的上拉电阻已启用
1	PWREST	选择电源事件的信号类型 0: 电源事件是一个脉冲 1: 电源事件是一个电平信号, 当负责 pwr_event 的源的状态标志被禁用时, 该电平信号也被禁用
0	TYPE	RTC_OUTx (x=1,2) 上的输出类型 0: 推挽输出 1: 开漏输出

### 25.3.19 RTC 备份寄存器 (RTC\_BKP(1~32))

偏移地址: 0x50-0xCC

复位值: 0x0000 0000



位域	名称	描述
31:0	BF[31:0]	备份数据 这些寄存器可以通过软件进行读写。 这些寄存器在 MR 关闭时由 BKR 供电, 因此当系统复位时, 这些寄存器不会复位, 并且在器件工作在低功耗模式时寄存器的内容仍然有效。 如果 RTC_TMPCFG.TPxNOE=0, 当检测到入侵事件时这些寄存器被复位。

### 25.3.20 RTC 入侵配置寄存器 (RTC\_TMPCFG)

偏移地址: 0xD4

复位值: 0x0000 0000

31      30      29      28      27      26      25      24      23      22      21      20      19      18      17      16

Reserved															
----------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

15      14      13      12      11      10      9      8      7      6      5      4      3      2      1      0

TPPUDIS	TPPRCH[1:0]	TPFLT[1:0]	TPFREQ[2:0]	TPTS	Reserved	TPINTEN	Reserved
rw	rw	rw	rw	rw		rw	

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15	TPPUDIS	RTC_TAMP <sub>x</sub> 上拉禁用位(x= 1,2,3) 0: 每次采样前启用预充电 RTC_TAMP <sub>x</sub> 引脚。 1: 禁用预充电 RTC_TAMP <sub>x</sub> 引脚
14:13	TPPRCH[1:0]	RTC_TAMP <sub>x</sub> 预充电持续时间(x= 1,2,3) 这些位确定每次采样前的预充电时间。 0x0: 1 个 RTCCLK 周期 0x1: 2 个 RTCCLK 周期 0x2: 4 个 RTCCLK 周期 0x3: 8 个 RTCCLK 周期
12:11	TPFLT[1:0]	RTC_TAMP <sub>x</sub> 过滤器计数(x= 1,2,3,4,5,6,7,8) 这些位决定在有效电平时的连续采样次数。 0x0: 在有效电平时 1 次采样后触发入侵事件 0x1: 在有效电平时连续 2 次采样后触发入侵事件 0x2: 在有效电平时连续 4 次采样后触发入侵事件 0x3: 在有效电平时连续 8 次采样后触发入侵事件
10:8	TPFREQ[2:0]	入侵采样频率。 该位决定对每个 RTC_TAMP <sub>x</sub> (x=1/2/3)输入进行采样时的频率。 0x0: 每 32768 个 RTCCLK 采样一次 (当 RTCCLK = 32.768 KHz 时为 1 Hz) 0x1: 每 16384 个 RTCCLK 采样一次 0x2: 每 8192 个 RTCCLK 采样一次 0x3: 每 4096 个 RTCCLK 采样一次 0x4: 每 2048 个 RTCCLK 采样一次 0x5: 每 1024 个 RTCCLK 采样一次 0x6: 每 512 个 RTCCLK 采样一次 0x7: 每 256 个 RTCCLK 采样一次
7	TPTS	发生入侵检测事件时激活时间戳位。 0: 发生入侵检测事件时不保存时间戳 1: 发生入侵检测事件时保存时间戳 即便 RTC_CTRL.TSEN=0, TPTS 仍有效。
6:3	Reserved	保留，必须保持复位值。

位域	名称	描述
2	TPINTEN	入侵事件中断使能。 0: 禁用入侵中断 1: 启用入侵中断 注意: 此位使能所有入侵引脚事件的中断, 无论 <code>RTC_TMPCTRL.TPINTEN</code> 的设置如何。如果此位被清除, 则可以通过设置 <code>RTC_TMPCTRLx.TPINTEN</code> 单独使能每个入侵事件中断
1:0	Reserved	保留, 必须保持复位值。

### 25.3.21 RTC 入侵控制寄存器 (RTC\_TMPCTRLx) (x=[1..8])

偏移地址:  $0xD8 + (x-1) \times 4$

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											TPMF	TPNOE	TPINTEN	TPTRG	TPEN
											rw	rw	rw	rw	rw

位域	名称	描述
31:5	Reserved	保留, 必须保持复位值。
4	TPMF	入侵掩码标志 0: 不屏蔽入侵事件。 1: 屏蔽入侵事件。 注意: 当设置 <code>TPMF</code> 时, 入侵中断不得启用
3	TPNOE	入侵不擦除位。 0: 入侵事件擦除备份寄存器 1: 入侵事件不擦除备份寄存器
2	TPINTEN	入侵事件中断使能。 0: 禁止入侵中断 1: 使能入侵中断
1	TPTRG	入侵事件触发模式。 如果 <code>TPFLT[1:0] != 00</code> , 入侵检测处于电平模式: 0: 低电平触发入侵检测事件。 1: 高电平触发入侵检测事件。 如果 <code>TPFLT[1:0] = 00</code> , 入侵检测处于边沿模式: 0: 上升沿触发入侵检测事件。 1: 下降沿触发入侵检测事件



位域	名称	描述
		<i>注意：仅用于 TAMP1、TAMP2 和 TAMP3</i>
0	TPEN	RTC_TAMP 检测启用位。 0：禁用 RTC_TAMP 输入检测 1：启用 RTC_TAMP 输入检测

## 26 模拟/数字转换（ADC）

### 26.1 简述

该器件最多集成 3 个模数转换器（ADC），可独立工作，也可组合为双 ADC 模式（ADC1/ADC2）或三 ADC 模式（ADC1/ADC2/ADC3）。每个 ADC 均为 12 位/10 位逐次逼近型（SAR）ADC，最多支持 20 个通道，各通道输入可配置为单端或差分模式。ADC 转换可启动单通道（单次模式）或多通道（扫描模式）；若启用连续模式，无需后续触发即可自动重复转换。此外，该 ADC 支持过采样模式，通过重复测量输入信号并计算平均值来提升转换精度。转换结果可经格式转换后存储至 16 位数据寄存器，或直接传输至 DSMU。支持模拟看门狗功能，可监测特定通道的输入电压是否保持在配置的电压范围内。

### 26.2 主要特征

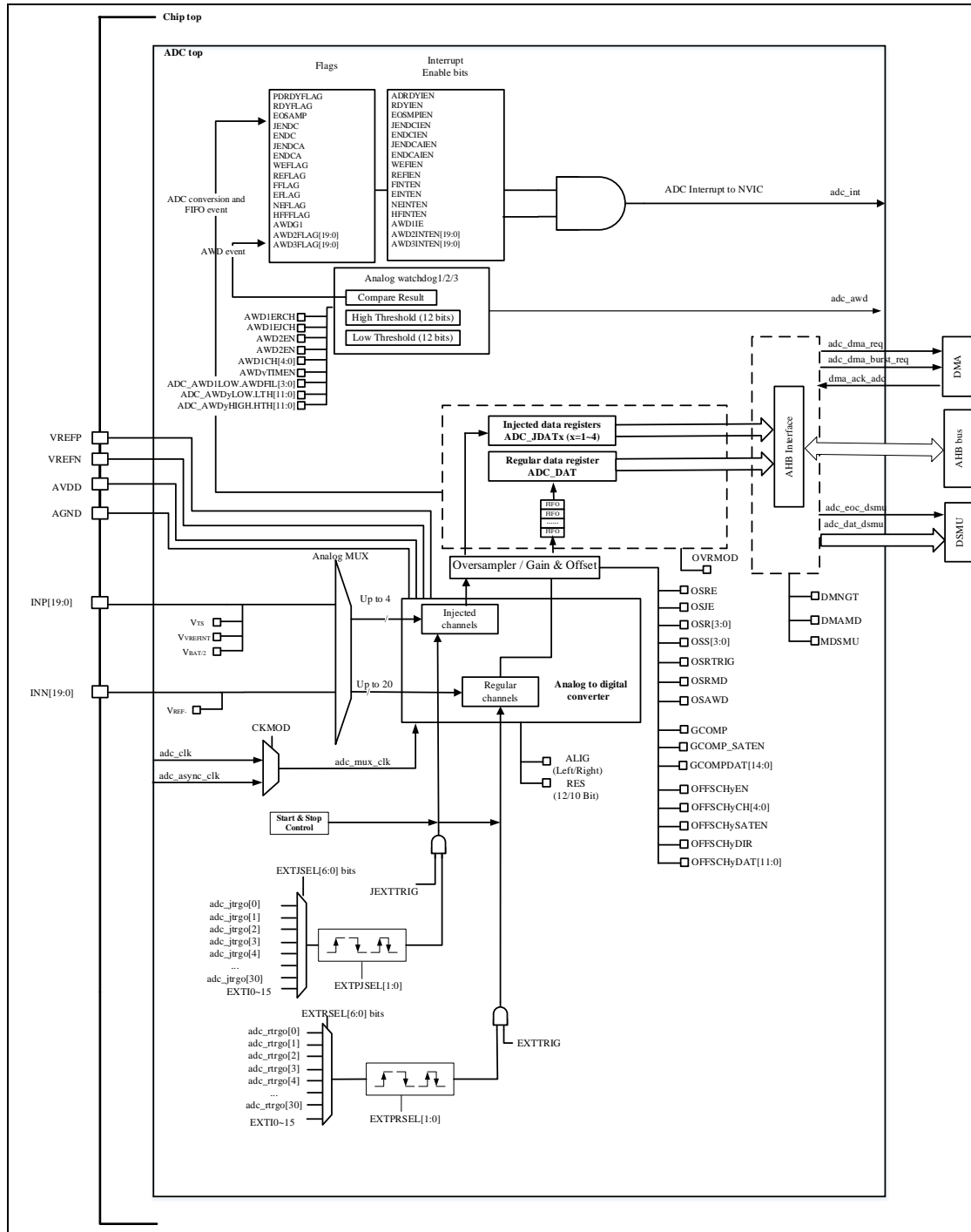
ADC 主要特性如下：

- 分辨率：12 位、10 位
- 差分模式、单端模式
- 每个 ADC 含 20 个通道（总计 60 个），每次转换可灵活配置通道
- 触发方式：软件触发、硬件触发（TIM、EXTI）
- 模拟看门狗：可检测输入电压是否高于或低于设定阈值
- 中断触发场景：ADC 就绪、采样结束、转换结束（规则通道/注入通道）、序列转换结束（规则通道/注入通道）、模拟看门狗触发
- 转换模式
  - ◆ 单次模式：每次触发仅对单个选定通道完成一次转换
  - ◆ 连续模式：对选定单或多通道进行连续转换
  - ◆ 扫描模式：每次触发对一组选定通道依次完成转换
  - ◆ 非连续模式
- 自校准功能
- 数据对齐方式：左对齐、右对齐
- 每通道采样时间可独立配置
- ADC 工作时钟源：PLL 时钟或 AHB 时钟
- 数据管理方式：DMA、DSMU
- 转换数据 FIFO
- 转换启动，停止模式
  - ◆ 软件控制：启动/停止规则通道和注入通道转换
  - ◆ 外部触发控制：通过可配置极性的外部触发信号，启动/停止规则通道和注入通道转换

- 过采样功能
  - ◆ 过采样率可调：×1、×2、×4、×8、×16、×32、×64、×128、×256、×512、×1024
  - ◆ 数据右移位数：0~10 位（可配置）
  - ◆ 转换结果存储格式：16 位无符号数据（溢出时截断处理）
- 数据预处理功能
  - ◆ 支持增益补偿
  - ◆ 支持偏移补偿
- 多 ADC 组合模式
  - ◆ 双 ADC 模式：ADC1（主）与 ADC2（从）组合
  - ◆ 三 ADC 模式：ADC1（主）与 ADC2、ADC3（从）组合
- ADC 供电要求：2.3V ~ 3.6V
- ADC 输入电压范围： $V_{REF-} \leq V_{IN} \leq V_{REF+}$

## 26.3 框图

图 26-1 框图



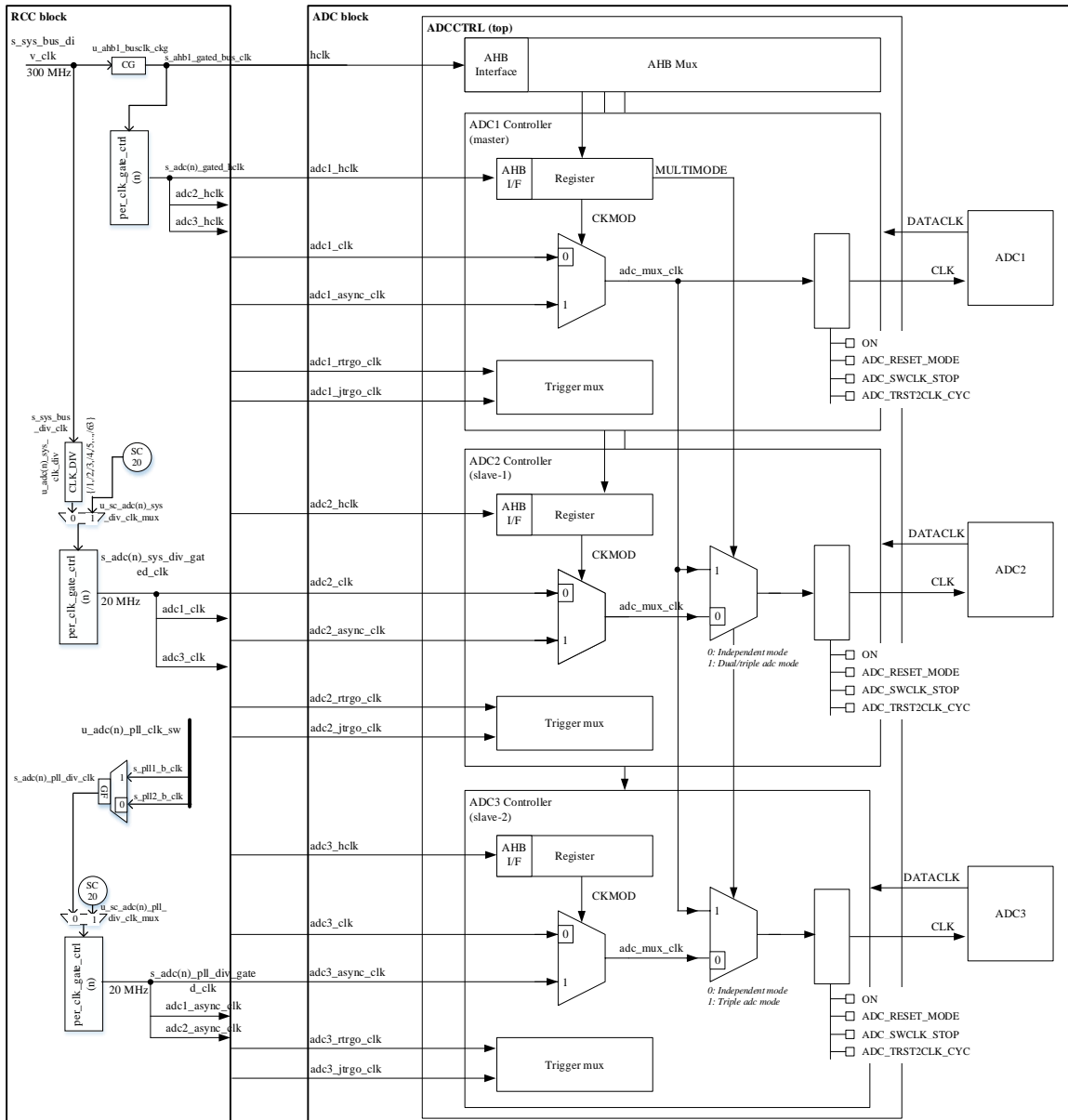
## 26.4 ADC 引脚与内部信号

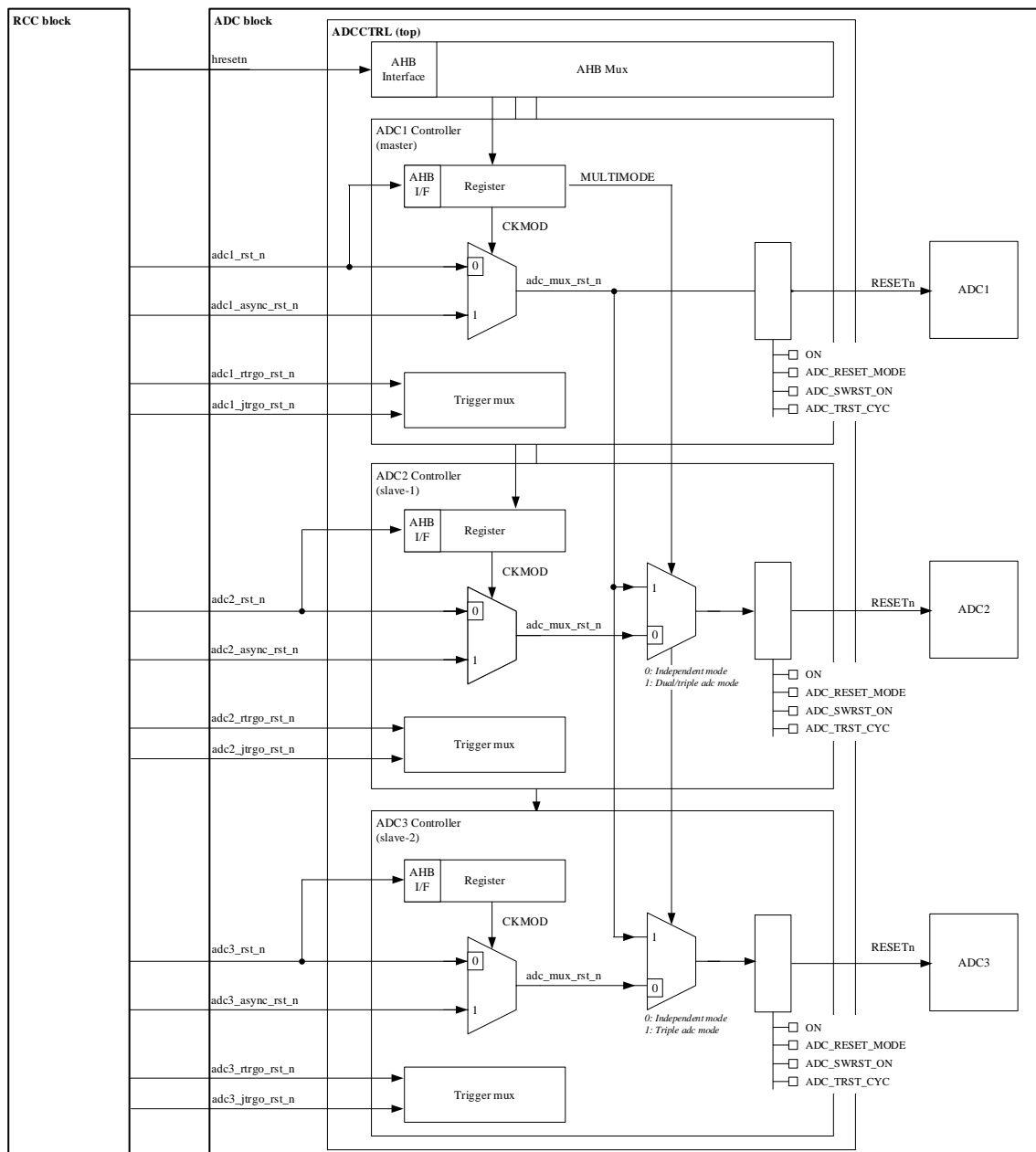
表 26-1 ADC 引脚定义

名称	信号类型	描述
VREFP	输入, 模拟参考电压正端	ADC 所用的高/正参考电压 $2.3V \leq VREFP \leq AVDD (3.6V)$
VREFN	输入, 模拟参考电压负端	ADC 所用的低/负参考电压
AVDD	输入, 模拟电源	模拟电源供电: $2.3V \leq AVDD \leq 3.6V$
AGND	输入, 模拟地	模拟地
INP[19:0]	模拟输入信号正端	最多支持 20 个外部模拟输入通道 (正端)
INN[19:0]	模拟输入信号负端	最多支持 20 个外部模拟输入通道 (负端)

## 26.5 功能描述

图 26-2 时钟方案



**图 26-3 复位方案**


ADC 模块的所有时钟和复位输入均通过 RCC 寄存器配置。ADC 控制器内部无预分频器或分频器，通过 ADC\_CTRL3.CKMOD 位选择同步时钟 AHB 或异步时钟 PLL 给 ADC 提供内核时钟。ADC 时钟与复位由 ADC\_CTRL2.ON 位和 ADC\_PUCFG 寄存器相关位控制。以下是时钟输入配置的注意事项：

**注意：**

1. *hclk*、*adc1\_hclk*、*adc2\_hclk*、*adc3\_hclk* 为同一时钟。
2. *adc1\_clk*、*adc2\_clk*、*adc3\_clk* 可为不同时钟。
3. *adc1\_async\_clk*、*adc2\_async\_clk*、*adc3\_async\_clk* 可为不同时钟，但由于 ADC 仅可配置两个 PLL 时钟 (*s\_pll1\_b\_clk*、*s\_pll2\_b\_clk*)，因此三者中至少有两个时钟相同(例如：*adc1\_async\_clk* = *adc2\_async\_clk*，*adc3\_async\_clk* 不同)。

4. *adc1\_rst\_n*、*adc2\_rst\_n*、*adc3\_rst\_n* 用于各 ADC 的寄存器配置，而非 *hresetn* 复位信号，支持每个 ADC 在 AHB 总线复位时独立进行软件复位。
5. 双 ADC 模式下，ADC1 与 ADC2 的 *ADC\_CTRL3.CKMO* 位配置必须一致，ADC3 的 *ADC\_CTRL3.CKMOD* 位配置独立。
6. 三 ADC 模式下，ADC1、ADC2 与 ADC3 的 *ADC\_CTRL3.CKMOD* 位配置必须一致。

### 26.5.1 ADC 使能-禁用控制

ADC 通过控制 *ADC\_CTRL2* 寄存器的 ON 位实现使能或禁用。

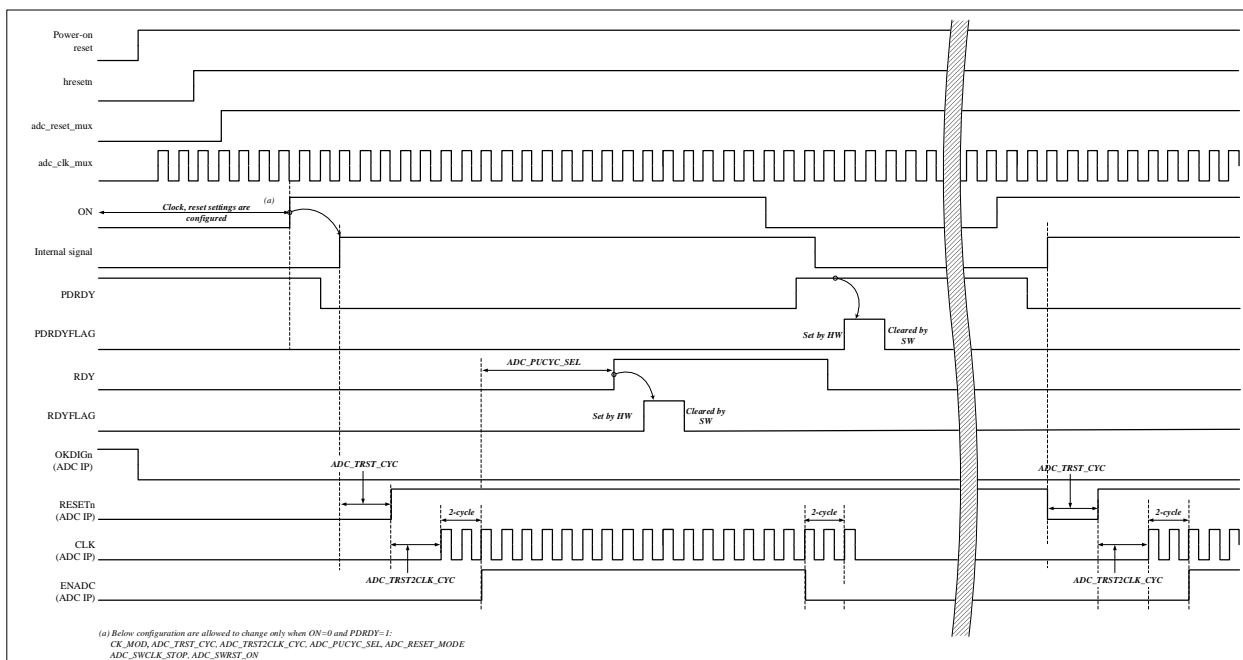
ADC 使能序列期间提供一组状态寄存器位，功能如下：

- **PDRDY**：指示 ADC 当前处于掉电状态，由硬件置 1 或清 0。软件可在 *ADC\_CTRL2.ON* 位置 1 前，通过查询该位状态配置 *ADC\_CTRL3.CKMOD* 位和 *ADC\_PUCFG* 寄存器相关位；
- **RDY**：指示 ADC 已使能且就绪，由硬件置 1 或清 0。软件可通过查询该位状态启动 ADC 操作（*ADC\_CTRL3.RSTART* 位置 1 或 *ADC\_CTRL3.JSTART* 位置 1）；
- **PDRDYFLAG**：指示 ADC 禁用流程完成，由硬件置 1、软件清 0，且关联中断功能；
- **RDYFLAG**：指示 ADC 使能流程完成，由硬件置 1、软件清 0，且关联中断功能。

ADC 使能-禁用序列期间的时钟与复位可通过硬件或软件控制：

硬件控制模式：将 *ADC\_PUCFG* 寄存器的 *RSTMD* 位置 0，并按如下要求配置 *ADC\_PUCFG.RST\_TIMESEL* 位和 *ADC\_PUCFG.RSTCLK\_TIMESEL* 位。

图 26-4 ADC 使能-失能序列 (*ADC\_PUCFG.RSTMD=0*)



软件控制模式：将 *ADC\_PUCFG* 寄存器的 *RSTMD* 位置 1，并配置 *ADC\_PUCFG.SWRSTEN* 位和 *ADC\_PUCFG.SWCLKSTOP* 位。当 *ADC\_PUCFG.SWRSTEN=1* 时，*RESETn* 信号为低电平，反之则为高电平；当 *ADC\_PUCFG.SWCLKSTOP=1* 时，ADC 外设的时钟（*CLK*）被禁用，反之则启用。



### ADC 使能软件流程:

1. 读取 PDRDY 位，确保其值为 1；
2. 配置 ADC\_CTRL3.CKMOD 位及 ADC\_PUCFG 位：  
若 ADC\_PUCFG.RSTMD=1（软件控制模式），需在 ON 位置 1 前，通过配置 ADC\_PUCFG.SWRSTEN 位和 ADC\_PUCFG.SWCLKSTOP 位控制 ADC 外设的复位信号与时钟；
3. ADC\_CTRL2.ON 位置 1
4. 等待 RDYF 位变为 1，可通过使能关联中断（RDYIEN 位置 1）实现；
5. 向 RDYF 位写入 1 以清除该标志位；
6. ADC 现已使能，可启动相关操作（ADC\_CTRL3.RSTART 位或 ADC\_CTRL3.JSTART 位置 1）。

### ADC 禁用软件流程:

1. 检查 ADC\_CTRL3.RSTART 位和 ADC\_CTRL3.JSTART 位是否均为 0，确保无转换正在进行。若存在正在进行的规则通道或注入通道转换，SWRSTOP 位和 SWJSTOP 位需要置 1 以停止转换，随后等待 ADC\_CTRL3.RSTART 位和 ADC\_CTRL3.JSTART 位均变为 0。若处于多 ADC 模式，需检查主 ADC 及关联从 ADC 的所有 ADC\_CTRL3.RSTART 位和 ADC\_CTRL3.JSTART 位。
2. 将 ADC\_CTRL2.ON 位置为 0
3. 等待 PDRDYFLAG 位变为 1，可通过使能关联中断（PDRDYIEN 位置 1）实现。
4. ADC 现已禁用。

#### 注意事项:

1. 建议仅在 ADC 完全禁用（PDRDY 位=1）后，ADC\_CTRL2.ON 位再重新置 1。
2. 仅当 ON 位=0 且 PDRDY 位=1 时，允许修改 ADC\_CTRL3.CKMOD 位及 ADC\_PUCFG 寄存器相关位。

## 26.5.2 ADC 启动和停止操作

### 26.5.2.1 ADC 启动操作

ADC 使能且 PDRDY 位=1 后，用户可通过 ADC\_CTRL3.RSTART 位（规则通道）或 ADC\_CTRL3.JSTART 位（注入通道）置 1 启动 ADC 操作。仅当 ADC 操作启动后，用户才可配置触发源以启动 ADC 通道转换。

若选择软件触发（规则通道：ADC\_CTRL2.EXTPRSEL[1:0] = 00；注入通道：ADC\_CTRL2.EXTPJSEL[1:0] = 00），需将 ADC\_CTRL2.SWSTRRCH 位置 1 启动规则通道转换，或将 ADC\_CTRL2.SWSTRJCH 位置 1 启动注入通道转换；

若选择硬件触发（规则通道：ADC\_CTRL2.EXTPRSEL[1:0] = 01、10 或 11；注入通道：ADC\_CTRL2.EXTPJSEL[1:0]= 01、10 或 11），则当对应触发信号有效时，转换将自动启动。

#### 注意:

在自动注入模式下（ADC\_CTRL1.AUTOJC 位= 1），注入通道转换会在相关规则通道转换完成后自动启动，此模式下禁止使用 ADC\_CTRL3.JSTART 位。

通过 ADC\_CTRL3.SWRSTOP 位（规则通道）或 ADC\_CTRL3.SWJSTOP 位（注入通道）置 1，停止 ADC 操作后，ADC\_CTRL3.RSTART 位或 ADC\_CTRL3.JSTART 位将被自动清除。特别说明：若处于非连续模式

(ADC\_CTRL2.CTU 位=0) 且选择软件触发, 当 ADC\_CTRL1.DREGCH 位=0 时, ADC\_CTRL3.RSTART 位或 ADC\_CTRL3.JSTART 位会在每次转换完成后自动清除; 当 ADC\_CTRL1.DREGCH 位=1(中断模式) 时, 将在转换序列子组结束后自动清除。

*Note:*

1. 处于中断模式时, 尽管 ADC\_CTRL3.RSTART 位或 ADC\_CTRL3.JSTART 位会自动清除, 但中断转换组的内部信号仍会保留。因此, 在最后一个通道(由 ADC\_RSEQ1.LEN [4:0] 位或 ADC\_JSEQ.JLEN [1:0] 位定义) 转换完成前, 用户不得修改相关配置。
2. 当选择软件触发时, 若 ADC\_STS.ENDCA 位、ADC\_STS.ENDC 位(规则通道)或 ADC\_STS.JENDCA 位、ADC\_STS.JENDC 位(注入通道) 仍为高电平, 则 ADC\_CTRL3.RSTART 位或 ADC\_CTRL3.JSTART 位不应置 1。

### 26.5.2.2 ADC 停止操作

用户可通过 ADC\_CTRL3.SWRSTOP 位(规则通道转换) 或 ADC\_CTRL3.SWJSTOP 位(注入通道转换) 置 1 终止正在进行的转换。

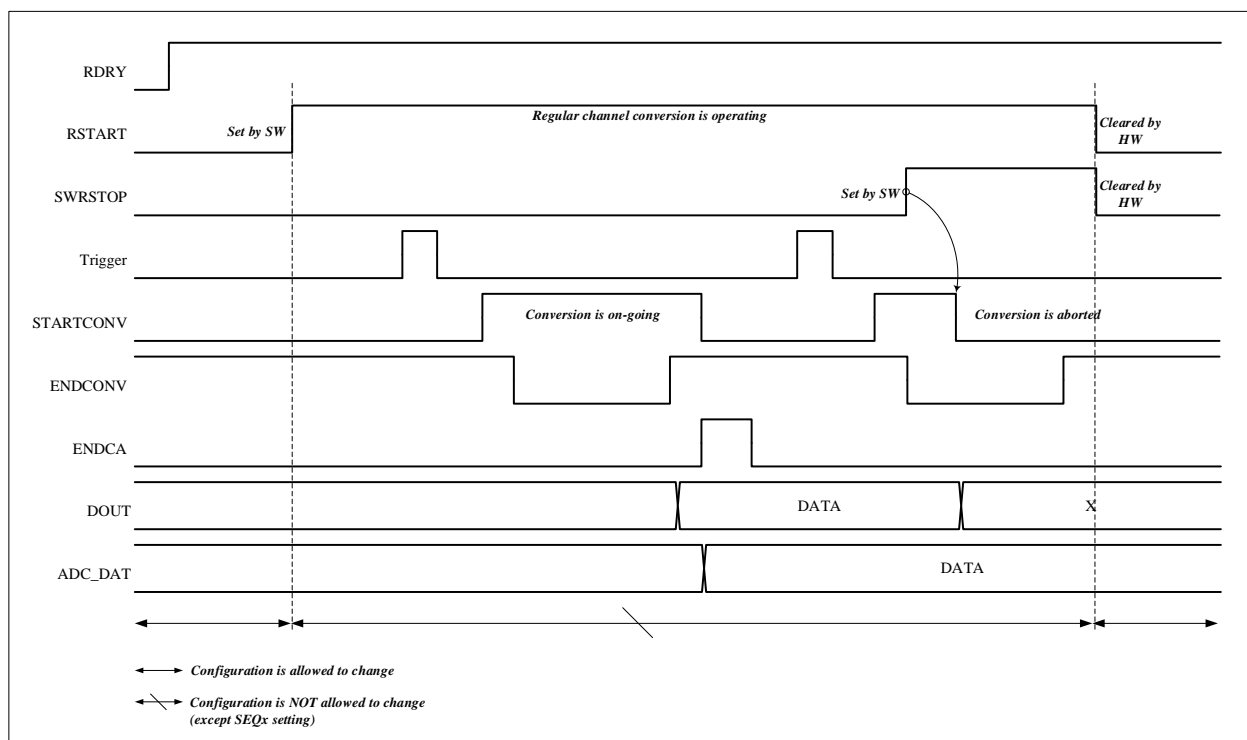
规则通道转换的终止与注入通道转换的终止相互独立, 反之亦然。即 ADC\_CTRL3.SWRSTOP 位置 1 不会影响正在进行的注入通道转换, ADC\_CTRL3.SWJSTOP 位置 1 也不会影响正在进行的规则通道转换。

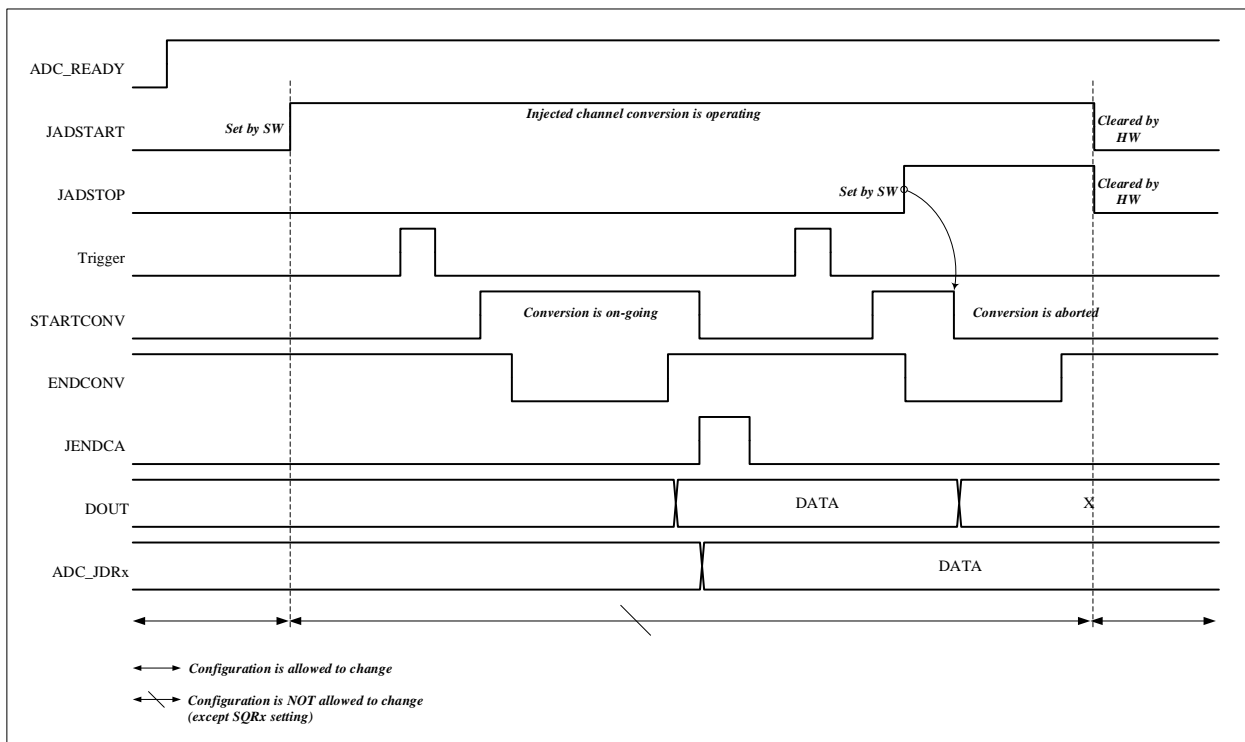
若转换在中途终止, 转换数据将被废弃且不会更新至数据寄存器。对于扫描模式、连续模式或中断模式, 转换序列也会随之终止。

*注: 在自动注入模式下 (ADC\_CTRL1.AUTOJC = 1), ADC\_CTRL3.SWRSTOP 位置 1 将同时终止规则通道转换和注入通道转换, 此模式下禁止使用 ADC\_CTRL1.SWJSTOP 位*

图 26-5 和图 26-6 分别展示了规则通道和注入通道的 ADC 操作启动与停止时序图

图 26-5 规则通道转换的启动与停止



**图 26-6 注入通道转换的启动与停止**


### 26.5.3 通道配置

每个 ADC 最多支持 20 个多路复用通道。

每个通道可配置为规则转换类型或注入转换类型。

规则序列支持配置最多 20 次连续转换，ADC\_RSEQx 系列寄存器用于指定规则通道及转换顺序，规则通道序列长度由 ADC\_RSEQ1.LEN[4:0]位定义。

注入序列支持配置最多 4 次连续转换，ADC\_JSEQ 寄存器用于指定注入通道及转换顺序，注入序列长度由 ADC\_JSEQ.JLEN[1:0]位定义。

*注：注入转换可中断规则转换序列，注入转换完成后，规则转换序列可恢复执行；但规则转换无法中断注入转换。若在注入转换序列执行过程中触发规则转换，规则转换必须等待该注入转换序列完成后才能启动。此规则同样适用于序列长度为 1 的单次转换场景。*

当 ADC\_CTRL3.RSTART 位置 1（规则转换正在进行）时，软件允许动态修改 ADC\_RSEQx 寄存器；当 ADC\_CTRL3.JSTART 位置 1（注入转换正在进行）时，软件允许动态修改 ADC\_JSEQ 寄存器。新的序列配置是否生效，取决于 SEQUPMD 位的配置：

- SEQUPMD=0（默认值）：基于当前序列
- SEQUPMD=1：基于下一个序列

详见图 26-7 和图 26-9

当 SEQUPMD=0：若新序列长度短于旧序列，且当前转换已超出新序列长度，则当前序列提前完成，以新配置启动下一个序列（图 26-8）。

图 26-7 动态修改序列长度

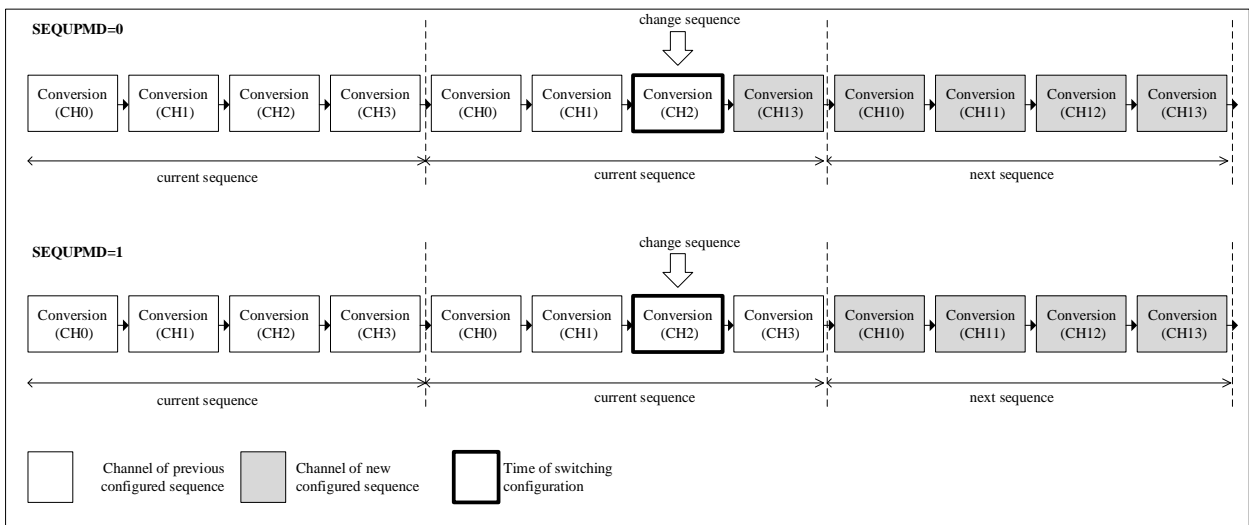


图 26-8 动态修改序列长度 (SEQUPMD=0)

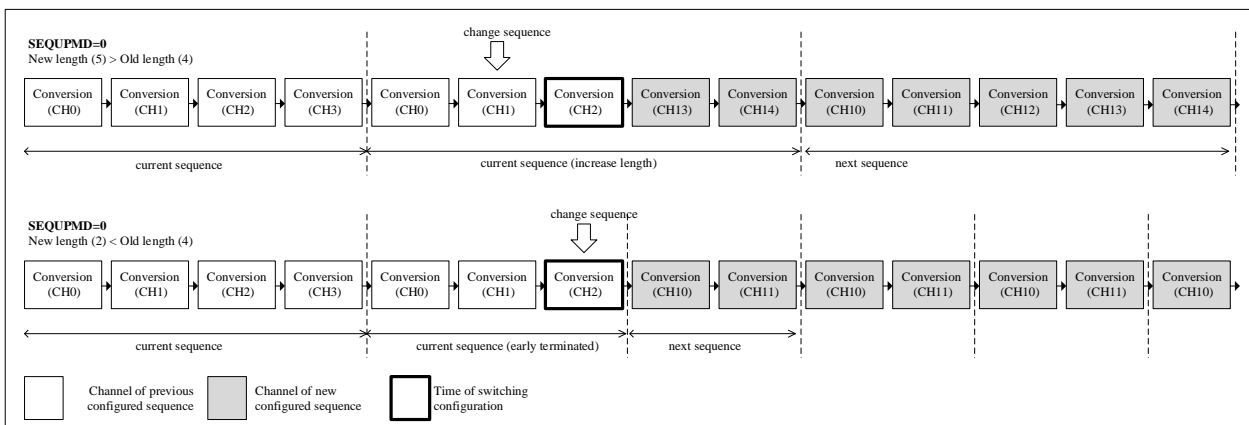
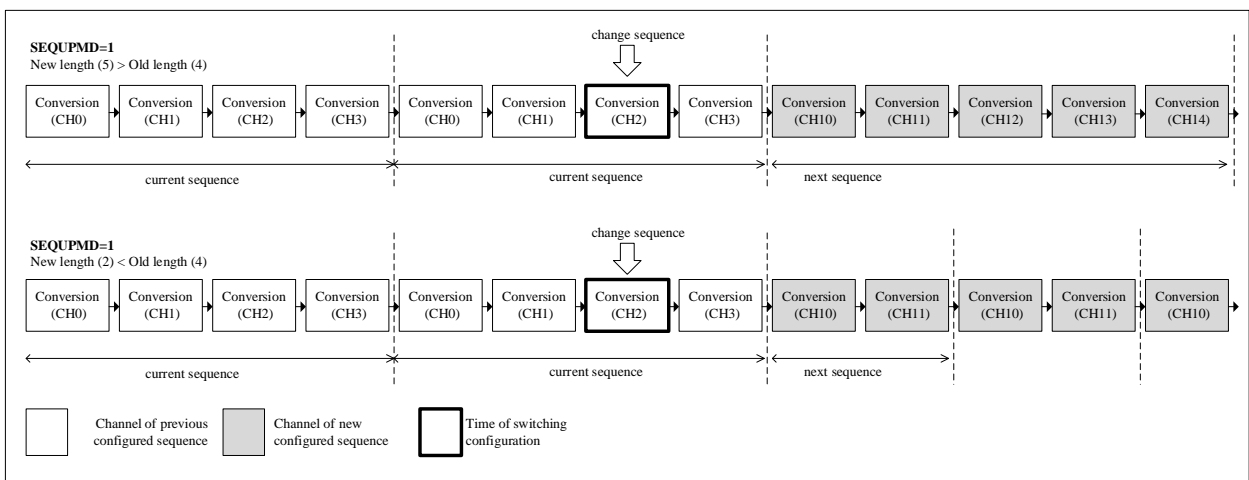


图 26-9 动态修改序列长度 (SEQUPMD=1)



注意:

1. 本文中各图所示配置切换时间为硬件生效时间，与软件设置操作之间存在一定延迟。
2. 为避免采样或转换期间通道发生变更，通道会被锁存并屏蔽，直至当前转换结束。新配置将从下一次转换开始生效。
3. 由于 ADC\_RSEQx/JSEQ 寄存器的设置需通过同步器实现 AHB 时钟与 ADC 内核时钟的同步，因此两次连续的写入配置操作之间需满足最小时间间隔要求。

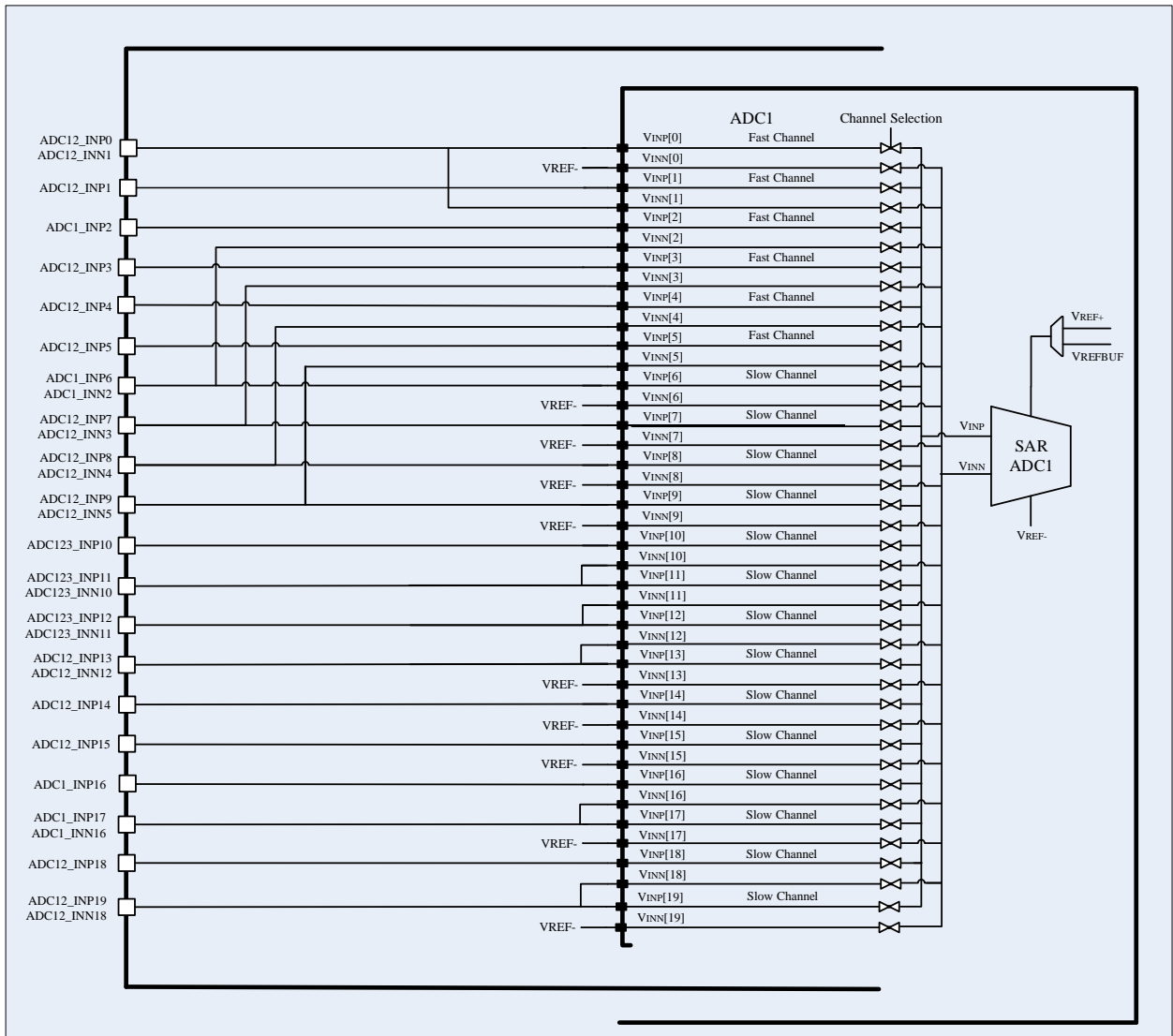
**图 26-10 ADC1 通道连接**


图 26-11 ADC2 通道连接

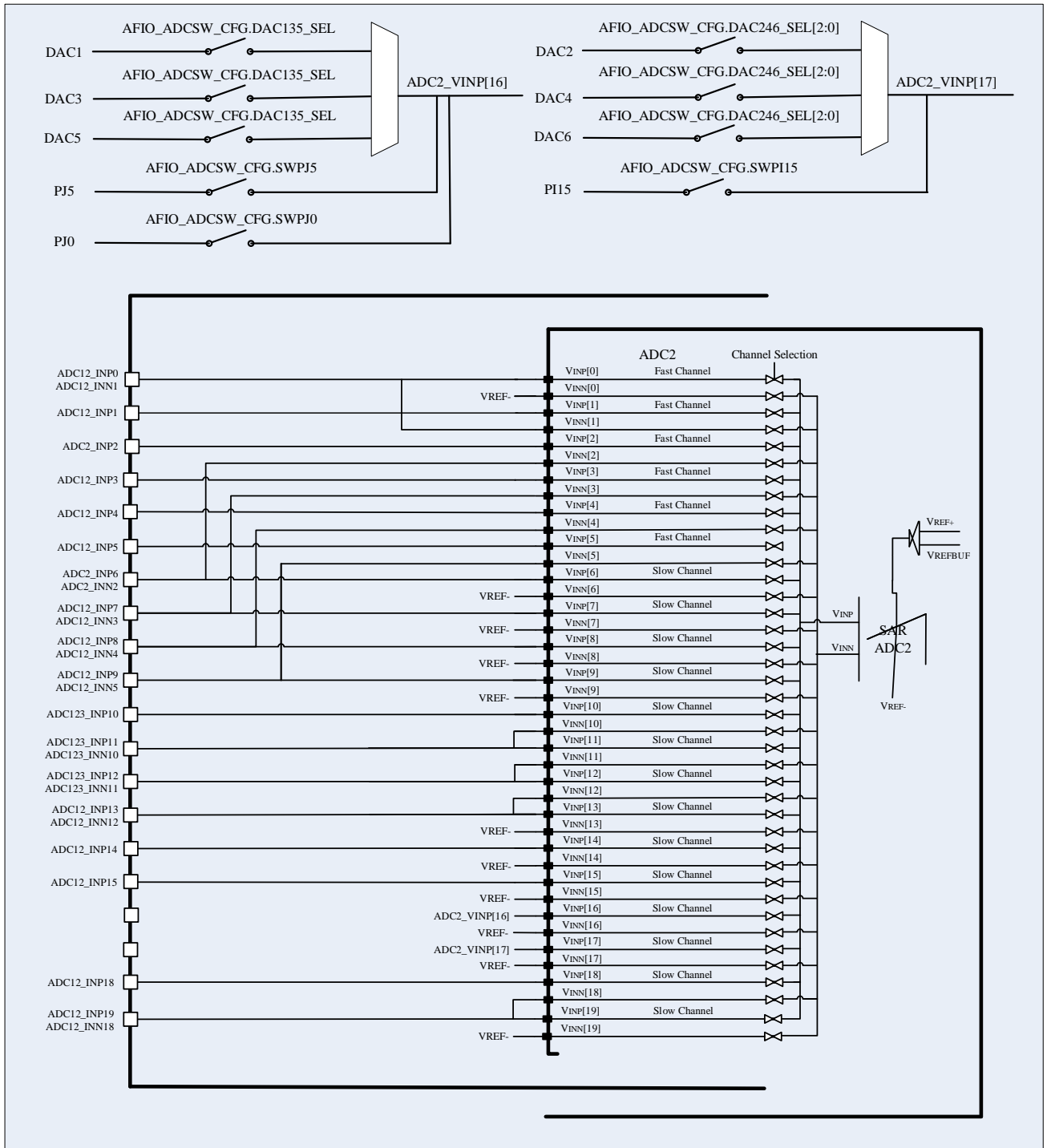
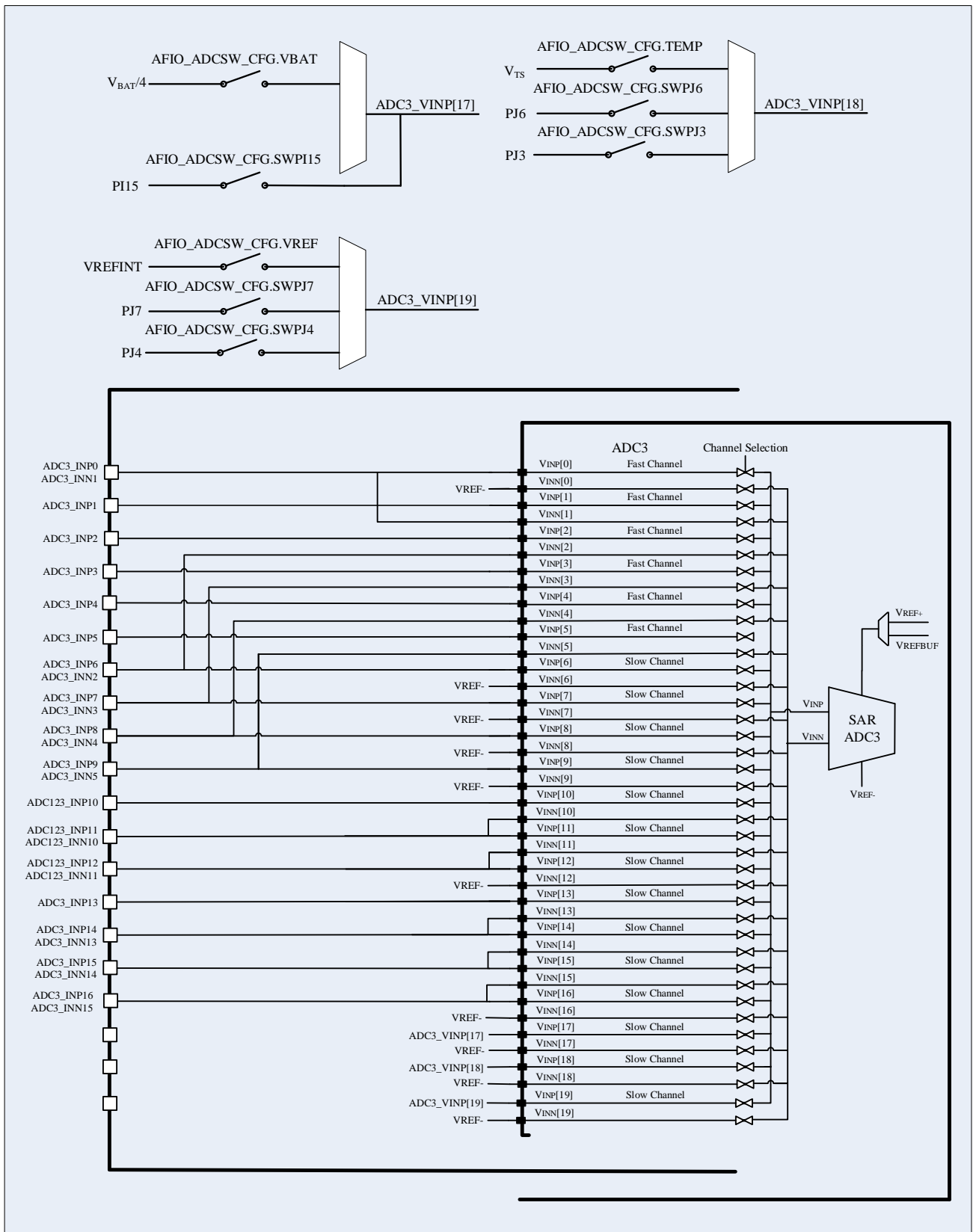


图 26-12 ADC3 通道连接



## 26.5.4 触发源

一次转换或一个转换序列可通过软件或硬件（外部事件，例如定时器捕获、输入引脚）触发。当 EXTPrSEL/EXTPjSEL=00 时，软件触发有效；当 EXTPrSEL/EXTPjSEL≠00 时，硬件触发有效；硬件触发通过 EXTRIG/JEXTRIG 使能，并由 EXTRSEL/EXTJSEL 选择（共 32 个外部硬件触发源），具体如下所示。

表 26-2 ADC 外部硬件触发选择

ADC 触发选择 EXTPrSEL[5:0]或 EXTJSEL[4:0]	ADC1/2/3	
	规则通道	注入通道
0	ATIM1_CC1	ATIM1_CC1
1	ATIM1_CC2	ATIM1_CC2
2	ATIM1_CC3	ATIM1_CC3
3	ATIM1_CC4	ATIM1_CC4
4	ATIM1_TRGO	ATIM1_TRGO
5	ATIM2_CC1	ATIM2_CC1
6	ATIM2_CC2	ATIM2_CC2
7	ATIM2_CC3	ATIM2_CC3
8	ATIM1_TRGO2	ATIM1_TRGO2
9	ATIM2_TRGO	ATIM2_TRGO
10	ATIM3_CC1	ATIM3_CC1
11	ATIM3_CC2	ATIM3_CC2
12	ATIM3_CC3	ATIM3_CC3
13	ATIM3_CC4	ATIM3_CC4
14	ATIM2_TRGO2	ATIM2_TRGO2
15	ATIM3_TRGO	ATIM3_TRGO
16	ATIM4_TRGO2	ATIM4_TRGO2
17	ATIM3_TRGO2	ATIM3_TRGO2
18	ATIM4_TRGO	ATIM4_TRGO
19	GTIMB1_TRGO	GTIMB1_TRGO
20	GTIMB2_TRGO	GTIMB2_TRGO
21	GTIMB3_TRGO	GTIMB3_TRGO
22	GTIMA1_TRGO	GTIMA1_TRGO
23	GTIMB1_CC2	GTIMB1_CC2
24	GTIMB2_CC4	GTIMB2_CC4
25	GTIMB3_CC2	GTIMB3_CC2
26	GTIMA1_CC4	GTIMA1_CC4
27	SHRTIM1_ADC_TRG1	SHRTIM1_ADC_TRG2
28	SHRTIM1_ADC_TRG3	SHRTIM1_ADC_TRG4
29	SHRTIM2_ADC_TRG1	SHRTIM2_ADC_TRG2
30	SHRTIM2_ADC_TRG3	SHRTIM2_ADC_TRG4
31	EXTI0~15线	EXTI0~15线

对于硬件触发，可配置为上升沿有效、下降沿有效或双边沿有效。

表 26-3 列出了 EXTPrSEL[1:0]和 EXTPjSEL[1:0]位的值与触发极性的对应关系。



**表 26-3 ADC 触发极性选择**

EXTPRSEL[1:0]/ EXTPJSEL[1:0]	触发极性
00	硬件触发检测失能 硬件触发检测使能
01	上升沿检测硬件触发 <sup>(*)</sup> 软件触发检测失能
10	下降沿检测硬件触发 <sup>(*)</sup> 软件触发检测失能
11	上升沿和下降沿同时检测硬件触发 <sup>(*)</sup> 软件触发检测失能

Note:

1. 硬件触发的极性不支持动态修改
2. 以下场景下的触发信号将被忽略
  - $ADC\_CTRL3.RSTART = 0$  (规则触发或当  $AUTOJC=1$  时的注入触发) 或  $ADC\_CTRL3.JSTART = 0$  (注入触发)
  - 当前规则转换正在进行时一个规则触发发生
  - 当前注入规则转换正在进行时一个注入触发发生

没有状态位可以用于通知触发信号已被忽略

### 26.5.5 内部通道

ADC 提供 3 个可配置寄存器位，分别用于启用或禁用温度传感器、VBAT（电池电压）和内部参考电压功能：

- $ADC\_CTRL2$  寄存器的  $TEMPEN$  位
- $ADC\_CTRL3$  寄存器的  $VBATMEN$  位
- $ADC\_CTRL3$  寄存器的  $VREFINTEN$  位

这些位仅在 ADC3 上可用。

### 26.5.6 ADC 基本时序

图 26-13 展示了规则通道上的基本时序

$rtrgo$ : 触发源多路选择器（含软件触发）与同步器后的实际规则触发信号

$DLYVAL$ : 当工作在独立模式 ( $MULTMODE=00000$ ) 且  $DLYSAMPEN=1$  时，该值用于插入延迟时间以启动转换序列；否则此配置无效，视为 0 延迟。

$t_{SAMPx}$ : 各通道的采样时间，由  $ADC\_SAMPTx$  寄存器配置，最小值=1 个 ADC 内核时钟周期

$t_{CONV}$ : 3 个 ADC 内核时钟周期

$t_{such}$ : 通道建立时间，最小值= 1.5 个 ADC 内核时钟周期

$t_{hch}$ : 通道保持时间, 最小值= 1.5 个 ADC 内核时钟周期

对于分辨率选择, 由 ADC\_CTRL3.RES 位配置, 且在 ADC\_CTRL3.RSTART/ADC\_CTRL3.JSTART=1 期间不可修改

对指定通道的差分模式选择, 由 ADC\_DIFSEL.DIFSEL 位配置, 且与通道相关; 因此其最小建立时间和保持时间与通道选择的要求一致。

图 26-13 ADC 规则通道转化的基本时序

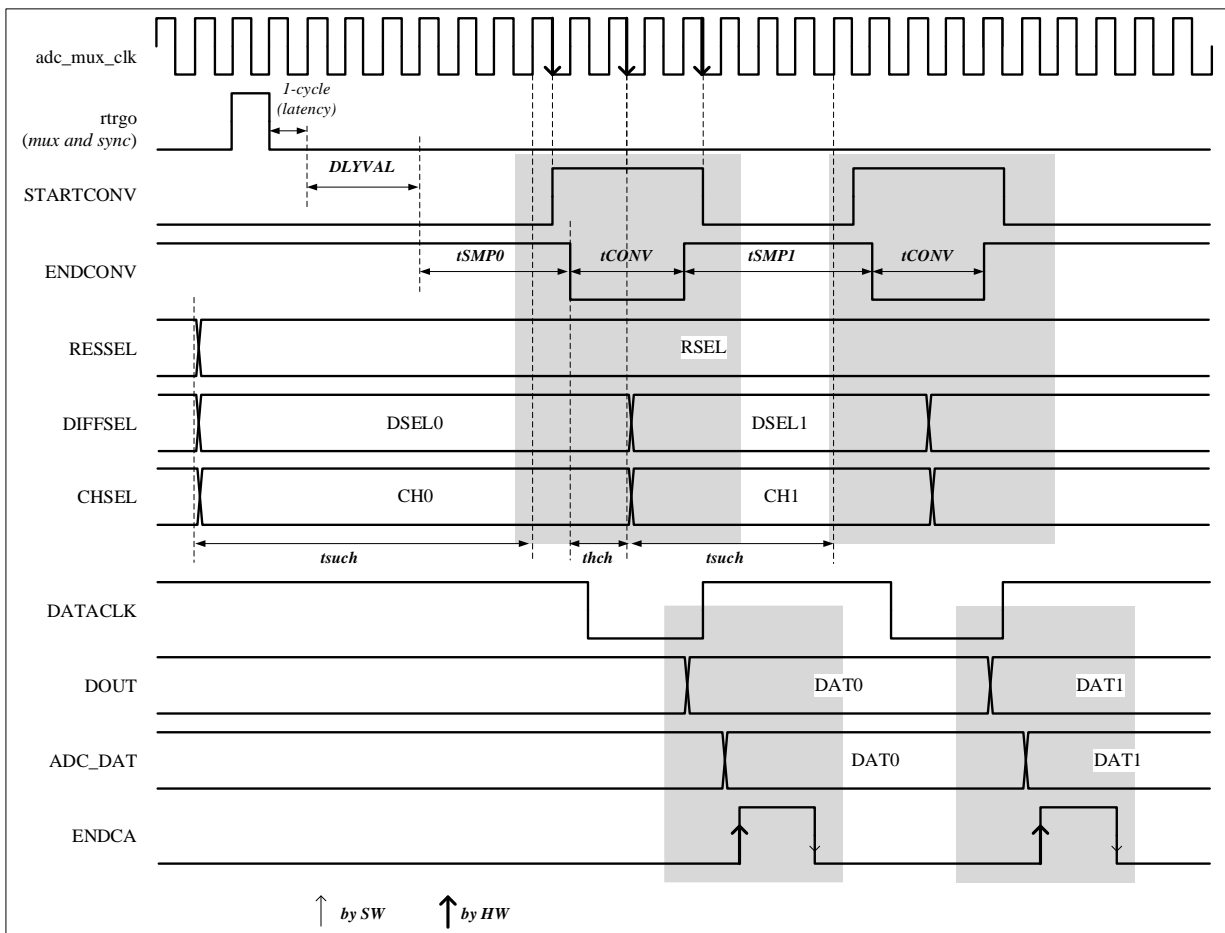
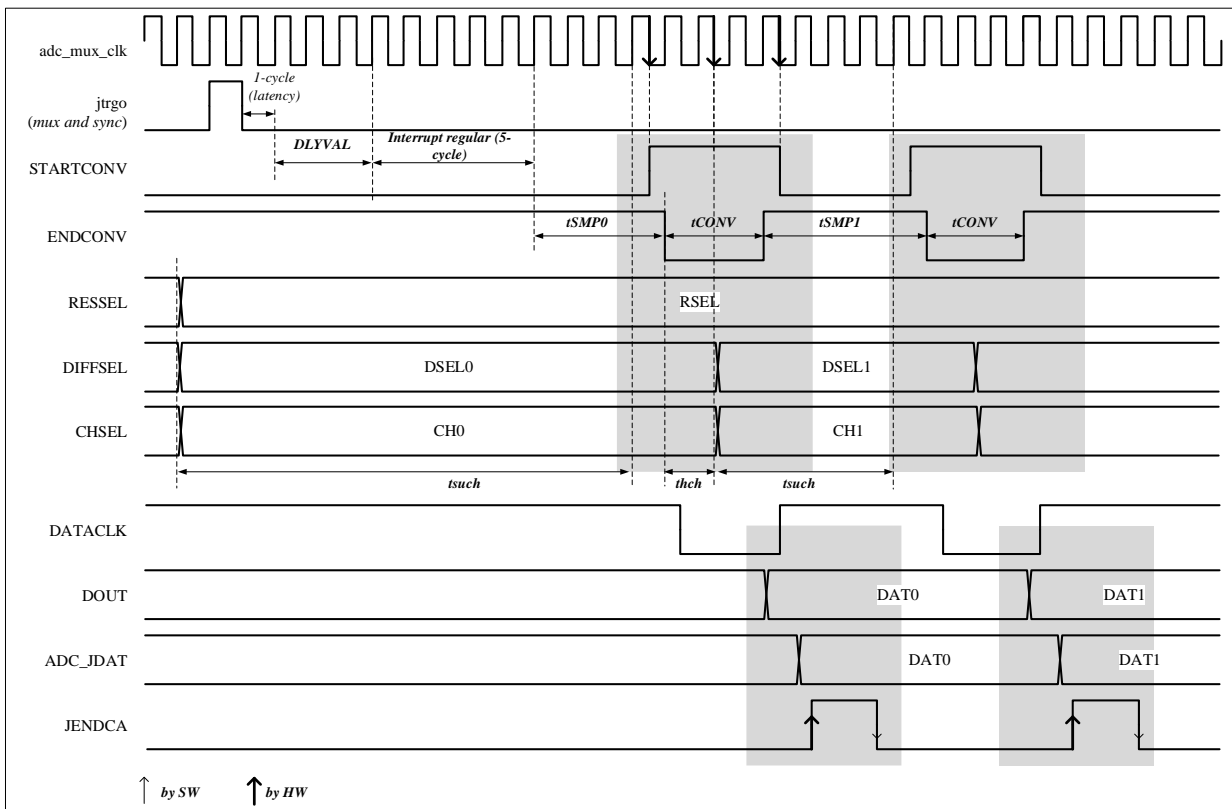


图 26-14 展示了注入通道上的基本时序

其与规则转换时序类似, 但由于一般情况下注入转换需要一定时间来中断规则转换并完成自身流程, 因此会为此插入 5 个时钟周期的延迟。

**图 26-14 ADC 注入通道的转换时序**


注意：ADC 转换速率可通过采样时间和转换时间由以下公式定义：

$$ADC \text{ 转换速率 (MSPS)} = 1 / (\text{采样时间} + \text{转换时间}) = 1 / (t_{SAMPx} + 3)$$

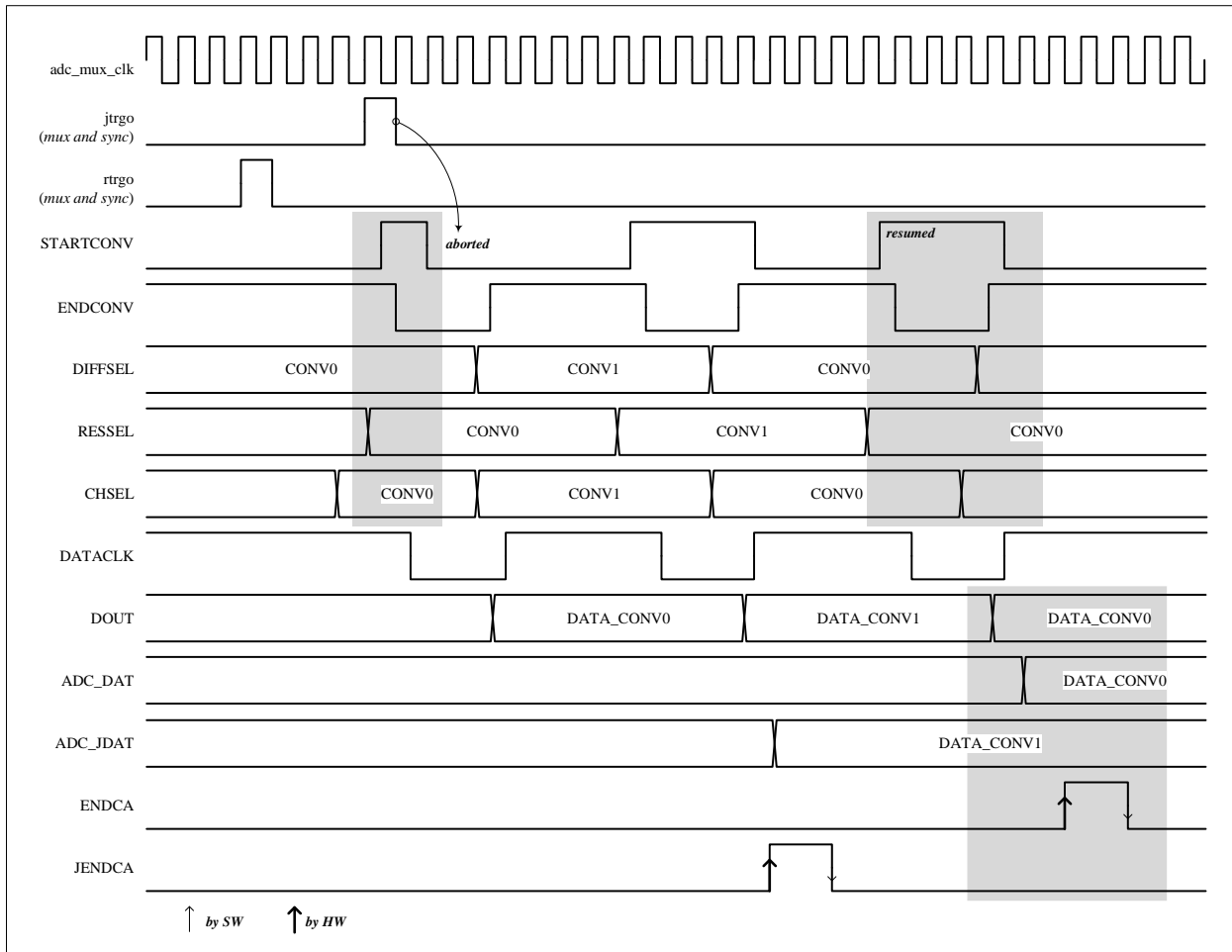
例如：ADC 内核时钟最大值 (20MHz) = 50ns,  $SAMPx=0 \Rightarrow t_{SAMPx} = 1\text{-cycle}$

$$ADC \text{ 转换速率} = 1 / [(1+3) \times 50ns] = 5MSPS$$

图 26-15 展示了规则转换序列在注入转换中断的基本时序

此场景下，被中断的规则转换会被中止：转换将执行至 ENDCONV 信号为高电平 (ENDCONV=H)，但 ADC\_DAT 寄存器不会更新，且 ENDCA 标志位不会置位。该规则转换将在注入转换完成后恢复执行。

图 26-15 注入触发中断规则转换



### 26.5.7 ADC 转换模式

表 26-4 转换模式汇总

每种模式的详细信息详见章节 26.5.7.1-26.5.9。

表 26-4 转换模式汇总

转换模式	配置	备注
单次转换	SCANMD(=0), ADC_CTRL2.CTU(=0)	ADC_CTRL2.CTU 仅对规则转换有效
扫描转换	SCANMD(=1), LEN, JLEN	-
连续转换	ADC_CTRL2.CTU(=1)	仅适用于规则转换
间断转换	DREGCH, DCTU (规则通道的间断转换) DJCH (注入通道的间断转换)	注入转换: DCTU 被视作 1
自动注入	AUTOJC	-
过采样	OSRE, OSJE, OSRMD, OSRTRIG, OSR, OSS, OSAWD	-

### 26.5.7.1 单次转换

在单次转换模式下，ADC 执行一次转换。该模式需配置 CTU=0 且 SCANMD=0，通过以下任一方式启动：

- 向 ADC\_CTRL2 寄存器的 SWSTRRCH 位写入 1（适用于规则通道）
- 向 SWSTRJCH 位写入 1（适用于注入通道）
- 外部硬件触发（适用于规则通道或注入通道）

此模式下，无论 LEN 和 JLEN 寄存器的配置值如何，均会被忽略并视为 0。

对于规则转换，通道由 ADC\_RSEQ3 寄存器的 SEQ1 位配置。对于注入转换，通道由 ADC\_JSEQ 寄存器的 JSEQ4 位配置。

所选通道的转换完成后：

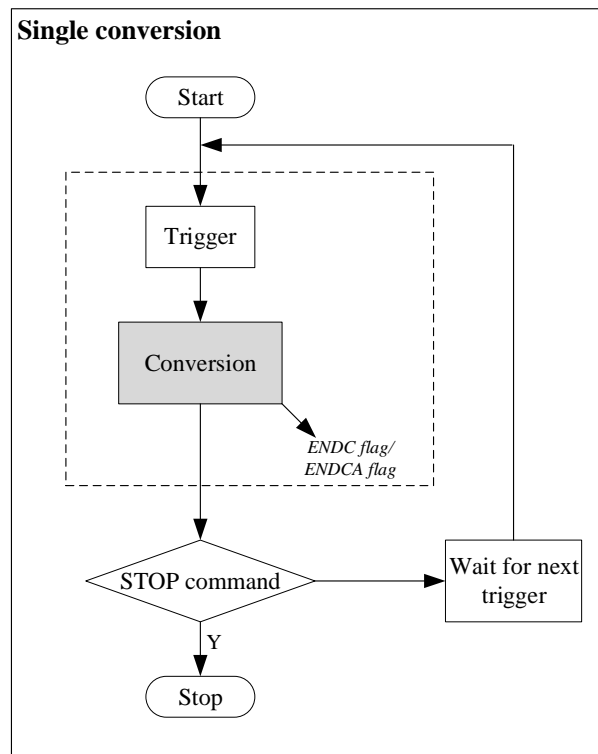
- 若转换的是规则通道：
  - 转换数据存储至 16 位 ADC\_DAT 寄存器
  - ENDCA（转换结束）标志位置位
  - 若 ENDCAIEN 位已使能，则产生中断
- 若转换的是注入通道：
  - 转换数据存储至 16 位 ADC\_JDAT1 寄存器（ADC\_JDAT2~4 不使用）
  - JENDCA（注入转换结束）标志位置位
  - 若 JENDCAIEN 位已使能，则产生中断

ADC 停止工作。

转换过程中，可通过 SWRSTOP/SWJSTOP 命令终止转换。

图 26-16 单次转换展示了规则通道的单次转换流程示例

图 26-16 单次转换



### 26.5.7.2 扫描转换

该模式用于扫描一组通道。

通过设置 ADC\_CTRL1.SCANMD 位选择扫描模式。此位设置后，ADC 将扫描 ADC\_RSEQx 寄存器（适用于规则通道）或 ADC\_JSEQ 寄存器（适用于注入通道）中选中的所有通道。通道数量通过 LEN 位（规则通道）或 JLEN 位（注入通道）配置。组内每个通道将执行一次转换，每次转换结束后，自动开始组内下一个通道的转换，直至最后一个通道完成。

每次规则通道组序列转换结束时，ADC\_STS 寄存器的 ENDC 位置位，每次注入通道组序列转换结束时，ADC\_STS 寄存器的 JENDC 位置位。

规则通道的转换数据存储至 ADC\_DAT 寄存器，注入通道的转换数据按转换顺序存储至 ADC\_JDATx 寄存器（x=1,2,3,4）。

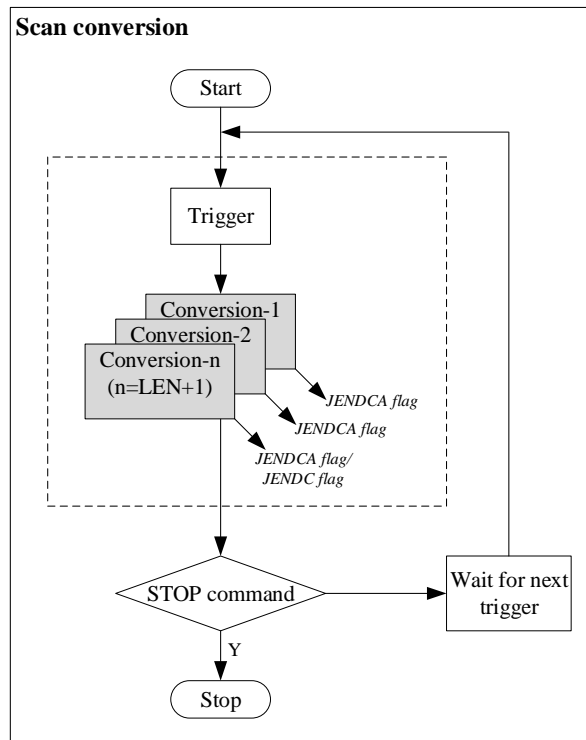
对于规则通道转换，转换顺序为：SEQ1 → SEQ2 → SEQ3 → … → SEQn（其中 n=LEN+1）。

对于注入通道转换：

- 当 JLEN[1:0]=3（序列器中包含 4 次注入转换）时，ADC 按以下顺序转换通道：JSEQ1[4:0]、JSEQ2[4:0]、JSEQ3[4:0]、JSEQ4[4:0]。
- 当 JLEN=2（序列器中包含 3 次注入转换）时，ADC 按以下顺序转换通道：JSEQ2[4:0]、JSEQ3[4:0]、JSEQ4[4:0]。
- 当 JLEN=1（序列器中包含 2 次注入转换）时，ADC 从 JSEQ3[4:0]开始转换通道，随后转换 JSEQ4[4:0]。
- 当 JLEN=0（序列器中包含 1 次注入转换）时，ADC 仅转换 JSEQ4[4:0]通道。

下图展示了规则通道的扫描转换流程示例

图 26-17 扫描转换



### 26.5.7.3 连续转换

在连续转换模式下，ADC 完成一次转换后会立即启动新的转换。当 SCANMD=1 时，ADC 不会在组内最后一个选中的通道处停止，而是从第一个选中的通道开始重复转换。该模式需将 ADC\_CTRL2.CTU 位置 1，通过外部硬件触发或设置 ADC\_CTRL2.SWSTRCH 位（仅适用于规则通道）启动。

每次转换后：

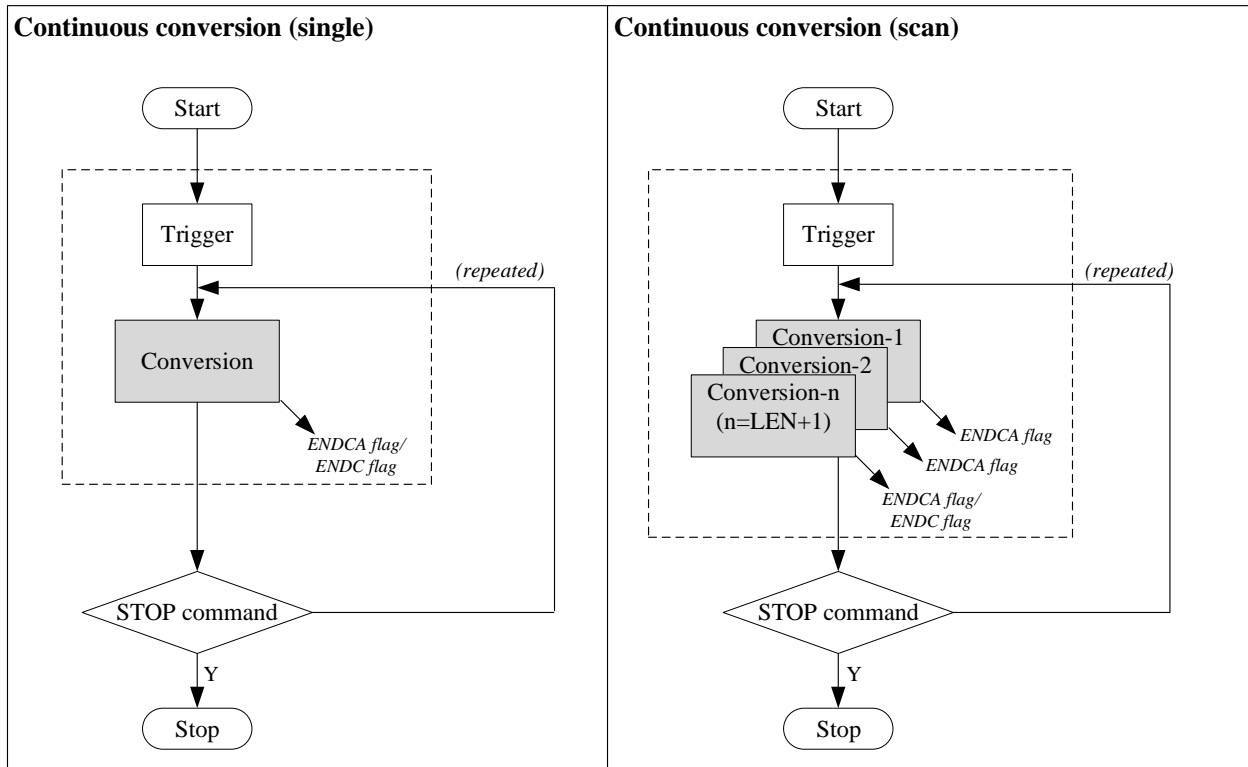
- 如果一个规则组通道被转换：
  - 最后一次转换的数据存储至 16 位 ADC\_DAT 寄存器
  - ENDC 标志位置位
  - 若 ENDC 中断使能位已置 1，则产生中断

转换过程中，可通过 SWRSTOP 命令终止转换（即使 AUTOJC=1，SWJSTOP 命令仍无效）

*注意：注入通道不支持连续转换。唯一例外情况是：在连续模式下，通过 AUTOJC 位配置注入通道在规则通道转换完成后自动转换。*

图 26-18 展示了规则通道的连续转换流程示例

图 26-18 连续转换



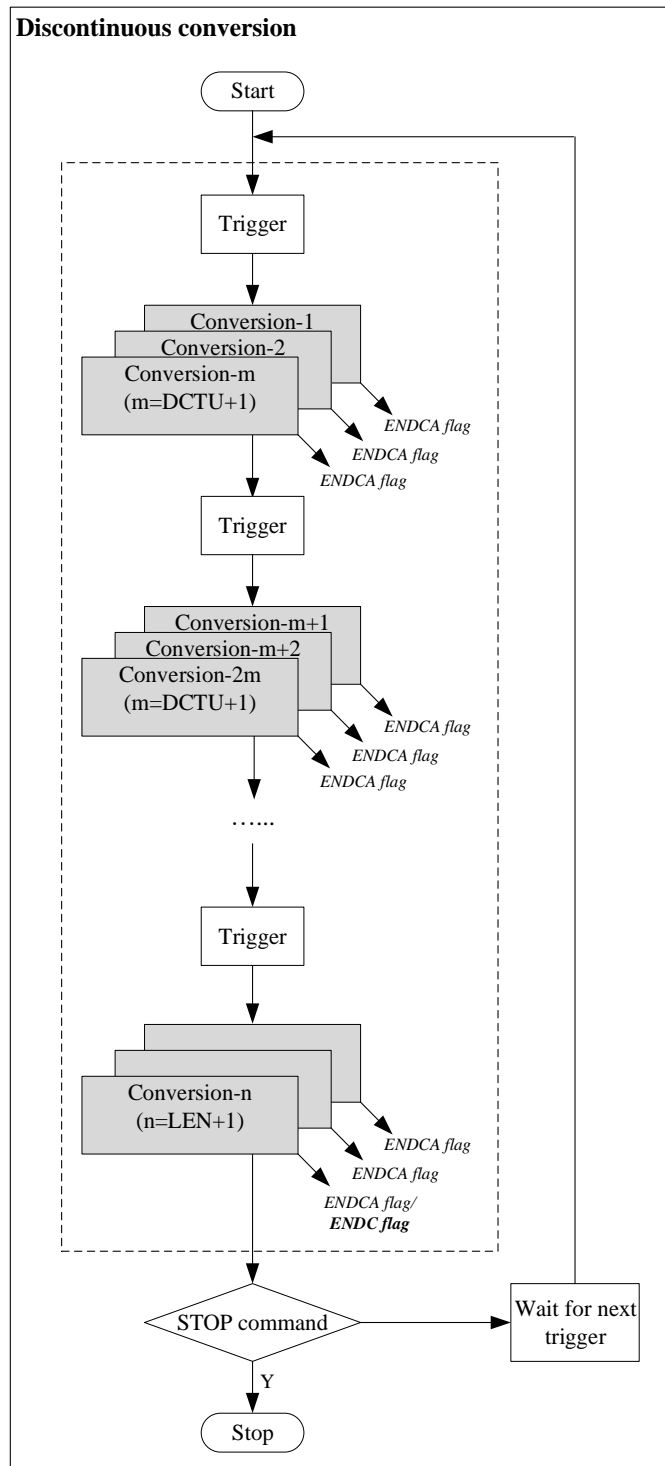
#### 26.5.7.4 间断转换

图 26-19 展示了规则通道的间断转换流程

该模式可分别为规则转换和注入转换单独配置



图 26-19 间断转换



### 26.5.7.5 规则组

通过设置 ADC\_CTRL1.DREGCH 位使能该模式。该模式用于转换 n 次转换的短序列（子组）(n ≤ 8)，该短序列是 ADC\_RSEQy 寄存器中选定的转换序列的一部分 n 的值通过向 ADC\_CTRL1.DCTU[2:0]写入数据指定。

当外部触发信号产生时，将启动 ADC\_RSEQy 寄存器中选定的后续 n 次转换，直至该序列中的所有转换完

成。总序列长度由 ADC\_RSEQ1 寄存器中的 LEN[4:0]位定义。

示例：

- DREGCH = 1, n = 3, 待转换通道 = 1、2、3、6、7、8、9、10、11
  - 第 1 次触发：转换通道为 1、2、3（每次转换均产生一个 ENDCA 事件）。
  - 第 2 次触发：转换通道为 6、7、8（每次转换均产生一个 ENDCA 事件）。
  - 第 3 次触发：转换通道为 9、10、11（每次转换均产生一个 ENDCA 事件），且在通道 11 转换完成后产生一个 ENDC 事件。
  - 第 4 次触发：转换通道为 1、2、3（每次转换均产生一个 ENDCA 事件）。
  - .....
- DREGCH = 0, 待转换通道 = 1、2、3、6、7、8、9、10、11
  - 第 1 次触发：执行完整序列转换：先转换通道 1，随后依次转换 2、3、6、7、8、9、10、11。每次转换均产生一个 ENDCA 事件，最后一次转换（通道 11）还会额外产生一个 ENDC 事件。
  - 后续所有触发事件均会重新启动完整序列转换。

*注意：当规则组以间断模式转换时，不会发生循环（序列的最后一个子组可包含少于 n 次的转换）。*

*当所有子组转换完成后，下一次触发将启动第一个子组的转换。在上述示例中，第 4 次触发会重新转换第一个子组中的通道 1、2 和 3。*

*间断模式和连续模式不能同时使能。若出现该情况（即 DREGCH=1 且 CTU=1），ADC 会按连续模式已禁用的状态运行。*

### 26.5.7.6 注入组

该模式通过设置 ADC\_CTRL1.DJCH 位使能。外部注入触发事件发生后，将按 ADC\_JSEQ 寄存器中选定的序列，逐通道执行转换。此模式等效于规则通道的间断模式，且其中的‘n’值固定为 1。

当外部触发信号产生时，将启动 ADC\_JSEQ 寄存器中选定的下一个通道转换，直至该序列中的所有转换完成。总序列长度由 ADC\_JSEQ.JLEN [1:0]位定义。

示例：

DJCH = 1, 待转换通道 = 1、2、3

- 第 1 次触发：转换通道 1（产生一个 JENDCA 事件）
- 第 2 次触发：转换通道 2（产生一个 JENDCA 事件）
- 第 3 次触发：转换通道 3（产生一个 JENDCA 事件 + 一个 JENDC 事件）
- .....

*注意：当所有注入通道转换完成后，下一次触发将启动第一个注入通道的转换。在上述示例中，第 4 次触发会重新转换第一个注入通道 1。*

*自动注入模式与间断模式不能同时使用：当 AUTOJC 位被置 1 时，软件必须确保 DREGCH 位和 DJCH 位保持清零状态。*

### 26.5.8 自动注入转换

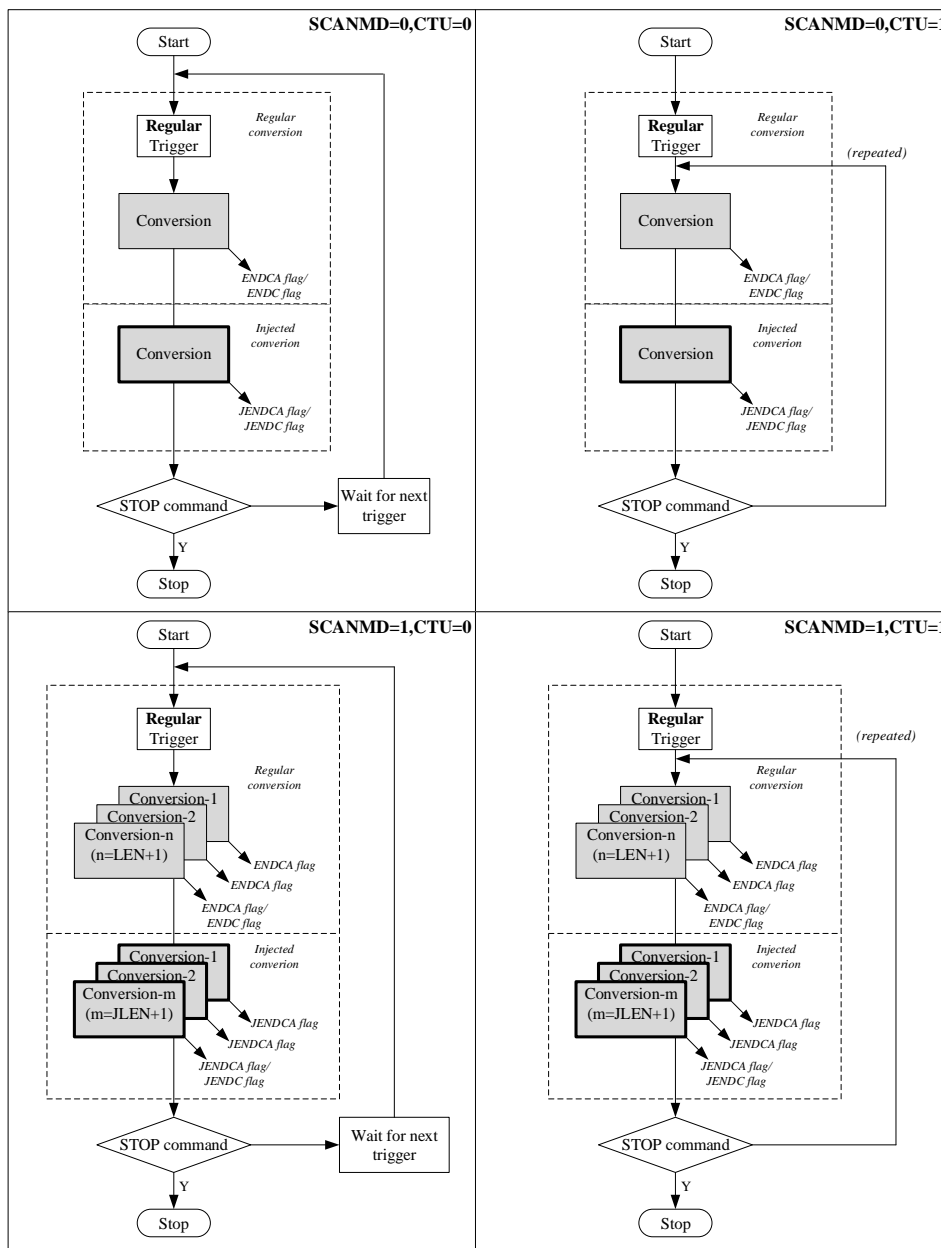
若 AUTOJC 位置 1，则注入组的通道会在规则组通道转换完成后自动执行转换。该模式可用于转换 ADC\_RSEQx 和 ADC\_JSEQ 寄存器中编程配置的最多 20 次转换序列。

在此模式下，必须禁用注入通道的外部触发功能。

若在 AUTOJC 位置 1 的基础上，同时将 ADC\_CTRL2.CTU 位置 1，则规则通道转换完成后会紧接着执行注入通道转换，并持续循环该过程。

注意：自动注入模式与间断模式不能同时使用。

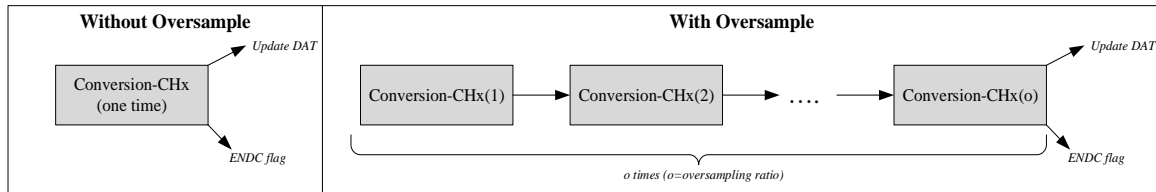
图 26-20 自动注入转换



## 26.5.9 过采样

过采样转换时，每个通道会重复转换  $o$  次 ( $o$ =过采样率)

图 26-21 过采样



每次转换都会对转换数据进行累加。最后一次转换完成后，将通过以下公式对该通道的转换数据进行求平均运算：

$$\text{结果} = \frac{1}{M} \times \sum_{n=0}^{N-1} \text{转换数据}(t_n)$$

( $N$ =过采样率，通过 OSR 位配置。 $M$ =分频系数，通过 OSS 位配置)

求和单元可产生最高 22 位的结果（1024 个 12 位结果求和），该结果首先进行右移操作；随后利用右移后保留的最低有效位（LSB）进行四舍五入取最近值处理，并截断为 16 位最低有效位，最终传输至 ADC\_DAT 和 ADC\_JDATx 数据寄存器。

此结果将存储到 ADC\_DAT/ADC\_JDATy 中，作为对应通道的转换结果。仅当最后一次过采样完成后，才会置位规则通道的 ENDCA 标志位或注入通道的 JENDCA 标志位。

注意：若右移后的中间结果超过 16 位，该结果将直接截断（不进行饱和和处理）。发生此情况时，会置位规则通道的 ROSOVF 状态位或注入通道的 JOSOVF 状态位。

过采样的核心目的是提高转换结果的精度。本控制器中集成过采样器，旨在为 CPU 分担该功能的处理压力。

所有基本转换模式均支持过采样功能：

- 单次模式
- 扫描模式
- 连续模式
- 间断模式
- 自动注入转换

过采样转换可同时应用于规则通道和注入通道，支持以下场景：

- 仅规则通道启用过采样（OSRE=1，OSJE=0）：可运行规则注入转换（非过采样模式），且该注入转换可中断规则通道的过采样过程。
- 仅注入通道启用过采样（OSRE=0，OSJE=1）：可运行规则通道转换（非过采样模式），且该规则转换可被注入通道的过采样过程中断。
- 规则通道与注入通道均启用过采样（OSRE=1，OSJE=1）：注入通道的过采样可中断规则通道的过采样。此场景下 OSRMD 位配置将被忽略，实际工作模式等同于 OSRMD=1（恢复模式）。

对于规则通道过采样，存在以下特殊控制模式：

1. 连续/恢复模式（OSRMD）：用于控制规则通道过采样被注入转换中断后的行为：
  - 连续模式（OSRMD=0）：累加过程从最后一个有效数据（因注入触发导致转换中止请求之前的数据）开始恢复。
  - 恢复模式（OSRMD=1）：累加过程从 0 重新开始（忽略之前的转换结果）。
2. 触发模式（OSRTRIG）：允许用户自定义过采样频率，而非仅依赖转换时间本身：
  - OSRTRIG=0：特定通道的下一次过采样转换会自动启动。
  - OSRTRIG=1：特定通道的下一次过采样转换需通过触发信号启动。此场景下 DREGCH 位配置将被忽略，默认按 DREGCH=1 处理；该模式的工作方式等同于 DCTU=0 的特殊中断模式。

模拟看门狗功能保持启用（通过 AWDSGL 位和 AWDEN 位控制），但存在以下差异：

- RES 位配置将被忽略，比较操作始终使用完整的 12 位数值（HTH[11:0]和 LTH[11:0]）。
- 比较对象如下：
- 若 OSAWD=0（默认值）：比较 16 位过采样结果 ADC\_DAT[15:4] 的高 12 位。
- 若 OSAWD=1：比较 16 位过采样结果 ADC\_DAT[11:0]的低 12 位。

*注意：使用过采样数据时，对齐模式不可用。ADC\_CFGR1 寄存器中的 ALIG 位配置将被忽略，数据始终以右对齐形式输出。*

过采样模式下不支持偏移校正功能。当 OSRE 和 OSJE 位同时或单独置 1 时，ADC\_OFFSETy 寄存器中的 OFFSCHyEN 位配置将被忽略（视为复位状态）。

在双 ADC 或三 ADC 配置中，若工作于注入同步模式或规则同步模式，可启用过采样功能。此场景下，两个 ADC（双 ADC 配置）或三个 ADC（三 ADC 配置）必须配置完全相同的参数（包括过采样相关设置）。

当规则通道过采样（OSRE=1）或注入通道过采样（OSJE=1）启用时，所有其他双 ADC /三 ADC 模式均不支持。

表 26-5 过采样模式汇总

规则通道 过采样使能 OSRE	注入通道 过采样使能 OSJE	规则通道 过采样模式 OSRMD	规则触发模式 OSRTRIG	描述
1	0	0	0	规则连续模式
1	0	0	1	不支持
1	0	1	0	规则恢复模式
1	0	1	1	触发式规则恢复模式
1	1	0	x	不支持
1	1	1	0	规则恢复模式和注入模式
1	1	1	1	不支持
0	1	x	x	注入通道过采样

图 26-22 过采样转换 (CTU=0)

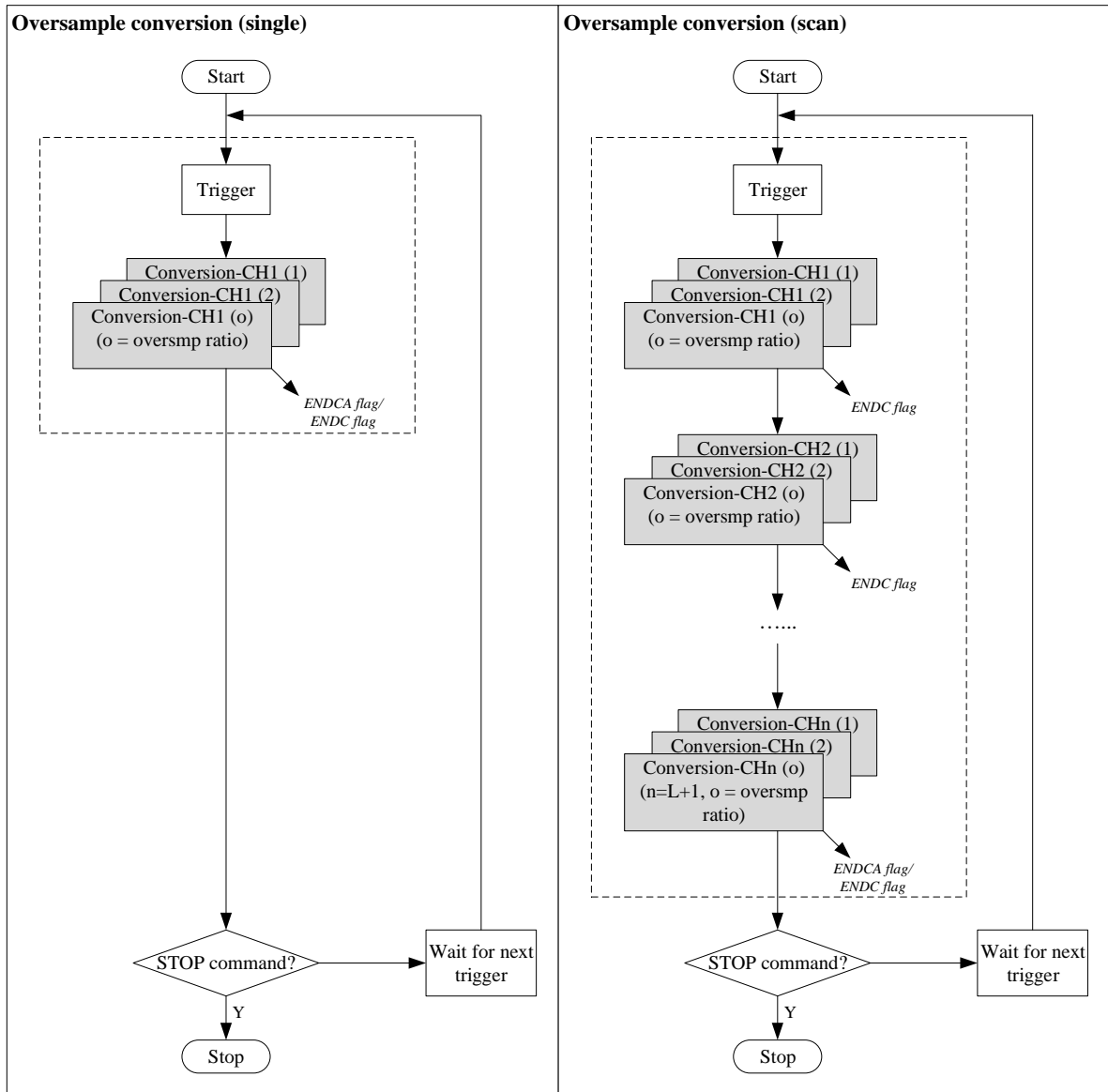


图 26-23 过采样转换 (CTU=1)

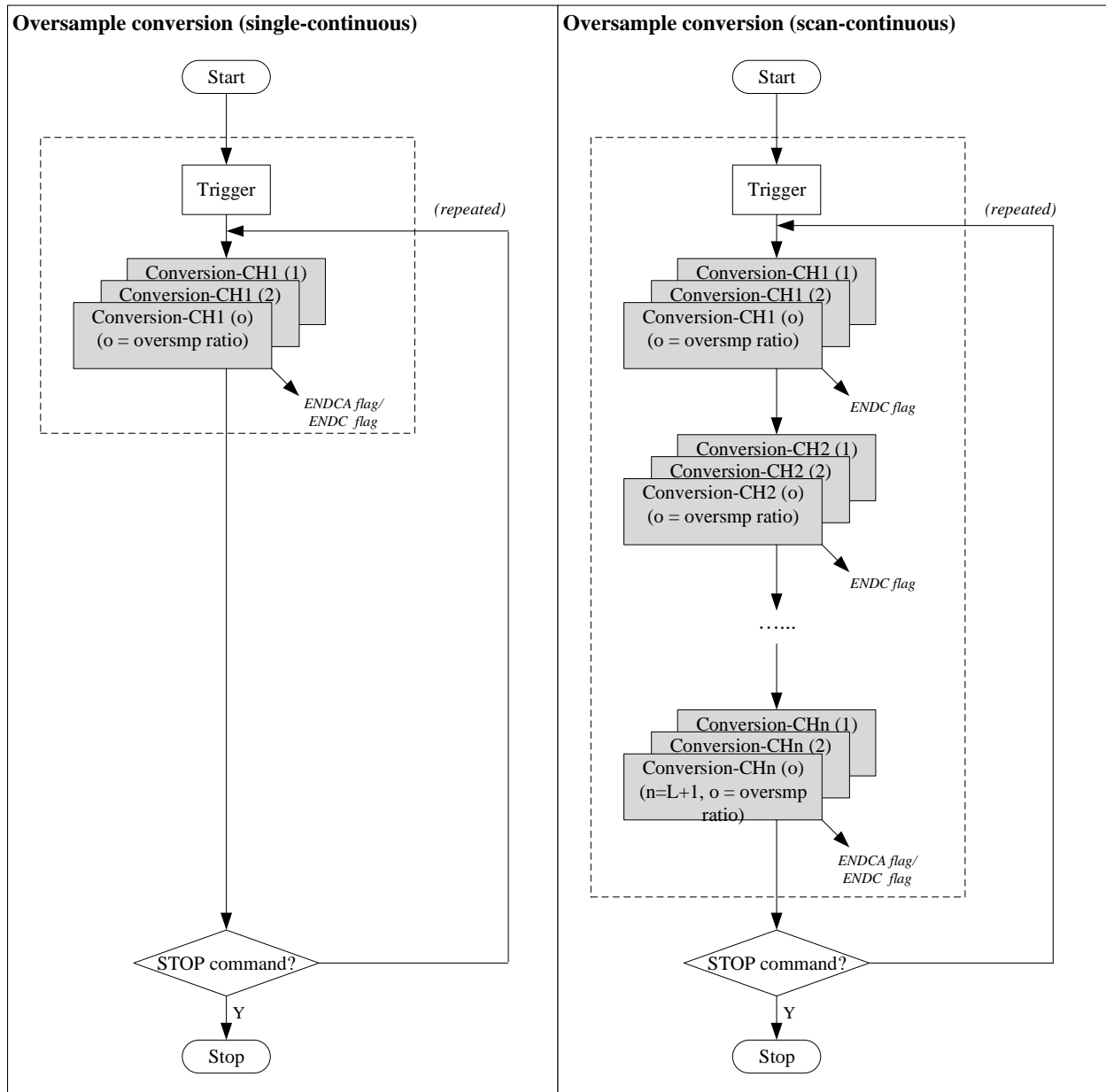
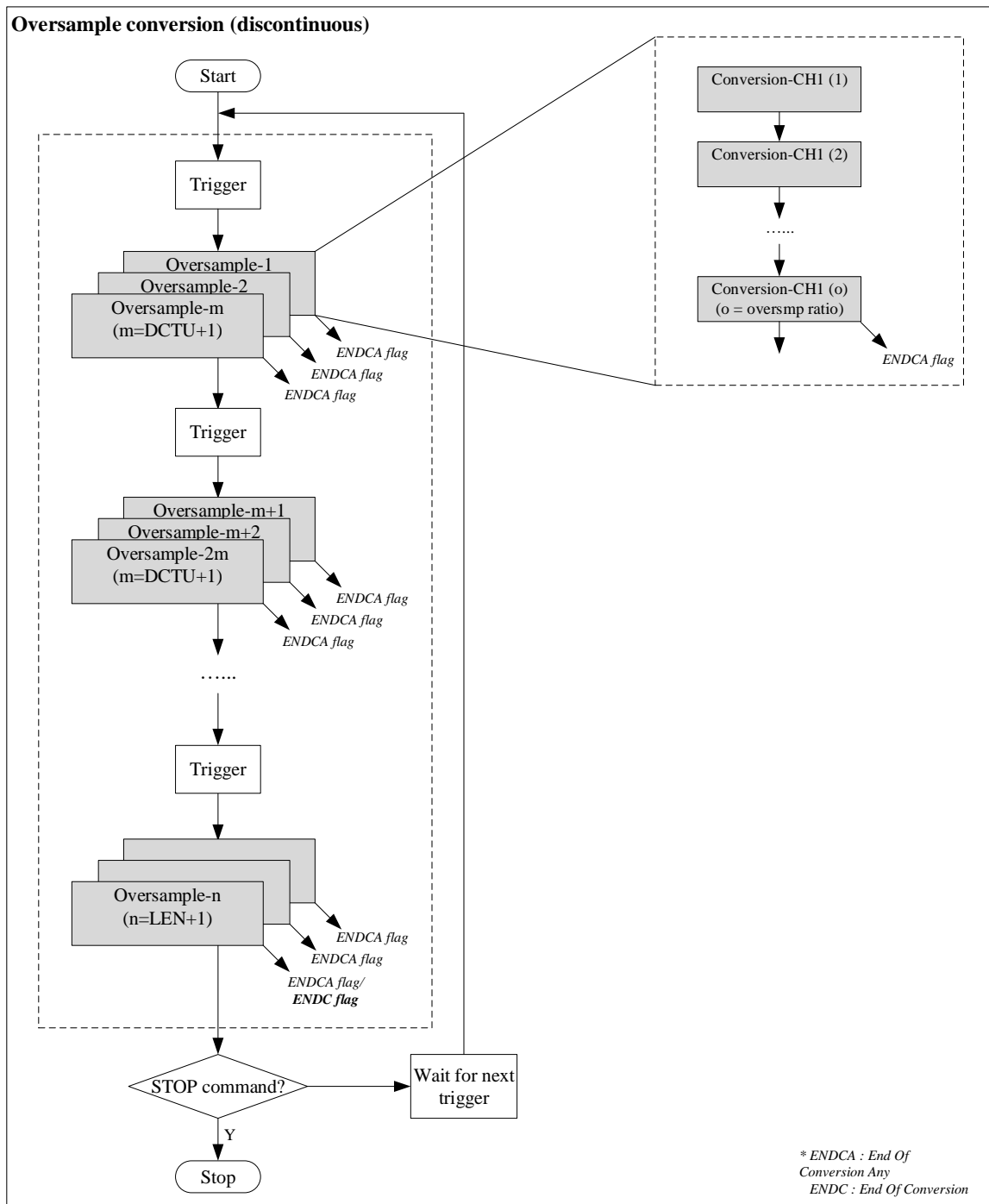


图 26-24 过采样转换 (间断)



### 26.5.10 模式组合

表 26-6 转换模式组合

	单次转换	扫描转换	连续转换	间断转换	自动注入	过采样
单次转换	-	×	○	×	×	○



扫描转换	-	-	○	○	○	○
连续转换		-	-	×	○	○
间断转换	-	-	-	-	○	○
自动注入	-	-	-	-	-	○
过采样	-	-	-	-	-	-

×: 不允许, ○: 允许

## 26.5.11 ADC 工作模式

表 26-7 ADC 工作模式

工作模式		MULTMODE	注意
独立模式		00000	ADC1,2,3 独立工作
双 ADC	规则同步 + 注入同步结合	00001	ADC1,2 共同工作 ADC3 独立工作
	规则同步+ 注入交替触发结合	00010	
	规则交叉+ 注入同步结合	00011	
	只支持注入同步	00101	
	只支持规则同步 * 允许独立注入	00110	
	只支持规则交叉 * 允许独立注入	00111	
仅支持注入交替触发		01001	
三 ADC	规则同步+ 注入同步结合	10001	ADC1,2,3 共同工作
	规则同步+ 注入交替触发结合	10010	
	规则交叉+ 注入同步结合	10011	
	仅支持注入同步	10101	
	仅支持规则同步 * 允许独立注入	10110	

	仅支持规则交叉 * 允许独立注入	10111	
	仅支持注入交替触发	11001	

注意：仅 ADC1（主设备）上的 MULTMODE 寄存器位对设置运行模式有效，ADC2、ADC3 上的 MULTMODE 寄存器位将被忽略。

### 26.5.12 独立模式

此模式通过将 MULTMODE[4:0]位编程设置为 00000 来选择

在此模式下，每个 ADC 可独立于其他 ADC 启动转换。

所有配置均可各 ADC 单独设置。

26.5.7 ADC 转换模式中所描述的所有转换模式，均适用于该 ADC

### 26.5.13 双 ADC 模式

在双 ADC 模式下，转换启动由主 ADC1 向从 ADC2 交替或同步触发，具体取决于 ADC\_CTRL1 寄存器中 MULTMODE [4:0]位所选的模式。ADC3 可工作在独立模式下。

该模式下实现了四种可能的工作模式：

- 注入同步模式
- 规则同步模式
- 交叉模式
- 交替触发模式

也可通过以下方式将这些模式组合使用：

- 注入同步模式 + 规则同步模式
- 规则同步模式 + 交替触发模式
- 注入同步模式 + 交叉模式

在双 ADC 模式下，以下位仅在主 ADC（ADC1）上设置有效：

- SCANMD
- CTU
- DREGCH、DCTU、DJCH
- AUTOJC
- EXTPRSEL、EXTPJSEL
- DMNGT
- DMAMD

- MDSMU
- EN（使能位，仅当 DMNGT=11 且 DMAMD=01 或 10 时适用）
- ADC\_CTRL3.RSTART、ADC\_CTRL3.JSTART
- SWRSTOP、SWJSTOP

从设备 ADC（ADC2）中的上述位，始终与主 ADC 对应的位保持一致。

在双 ADC 模式下启动转换时，用户只需对主 ADC 的 EXTPRSEL [1:0]、EXTRSEL、EXTPJSEL [1:0]、EXTJSEL 位进行编程，即可配置软件或硬件触发，以及规则或注入触发。**仅允许使用主设备的触发功能，禁止使用从设备的触发功能。**

在规则同步模式或交叉模式下：当用户设置主 ADC 的 ADC\_CTRL3.RSTART 位或 SWRSTOP 位时，从 ADC 对应的位也会自动设置。但从 ADC 的 ADC\_CTRL3.RSTART 位或 SWRSTOP 位，无需将与主 ADC 对应的位对应清零。

在注入同步模式或交替触发模式下：当用户设置主 ADC 的 ADC\_CTRL3.JSTART 位或 SWJSTOP 位时，从 ADC 对应的位也会自动设置。但从 ADC 的 ADC\_CTRL3.JSTART 位或 SWJSTOP 位，无需将与主 ADC 的对应的位同时清零。

在双 ADC 模式下，可通过读取 ADC1\_DAT 和 ADC1\_JDATx 寄存器，并行读取主、从设备 ADC 的转换数据。这些寄存器为 32 位结构：高 16 位用于存储 ADC2 的数据；低 16 位用于存储 ADC1 的数据。需注意，ADC2\_DAT 和 ADC2\_JDATx 寄存器仍会单独存储 ADC2 的转换数据，可对其进行单独读取。

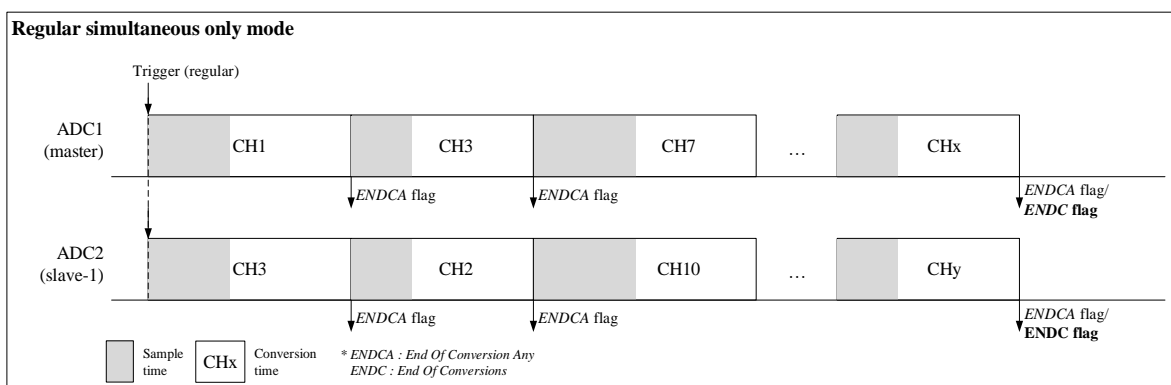
*注意：在多 ADC 模式下，若通过外部事件配置转换触发，应用程序必须仅通过主设备设置触发，并禁用从设备的触发功能，以防止产生伪触发信号，进而避免非预期的从设备转换。*

### 26.5.13.1 仅规则同步模式

此模式通过将 MULTMODE [4:0]位编程设置为 00110 来选择。

该模式作用于规则通道组，外部触发源来自主 ADC 的规则组多路复用器（由 EXTRSEL 位选择），且会向从 ADC 提供同步触发信号。

图 26-25 双 ADC 仅规则同步模式



在此模式下，支持独立的注入转换。注入请求（来自主设备或从设备均可）会中止当前的同步转换，且该同步转换会在注入转换完成后重新启动。

*注意：请勿在两个 ADC 上转换相同的通道（转换相同通道时，两个 ADC 的采样时间不得重叠）。*

在规则同步模式下，需满足以下任一条件：转换的序列长度相同；确保触发信号之间的间隔时间，大于两个序列中较长的转换时间。否则，序列较短的 ADC 可能已重新启动转换，而序列较长的 ADC 仍在完成上一次的转换。

当软件可读取数据时，会通过中断发出通知：

- 当主 ADC 的每次转换事件（ENDCA）结束时，会生成主设备 ENDCA 中断（若 ENDCAIEN 已使能），此时软件可读取主 ADC 的 ADC\_DAT 寄存器。
- 当从 ADC 的每次转换事件（ENDCA）结束时，会生成从设备 ENDCA 中断（若 ENDCAIEN 已使能），此时软件可读取从 ADC 的 ADC\_DAT 寄存器。

此模式允许主 ADC1 与从 ADC2 的序列长度互不相同。这意味着主从之间，以下配置参数可设置为不同值：

1. 触发延迟（DLYVAL）
2. 采样时间（SAMPx）
3. 通道数量（LEN）

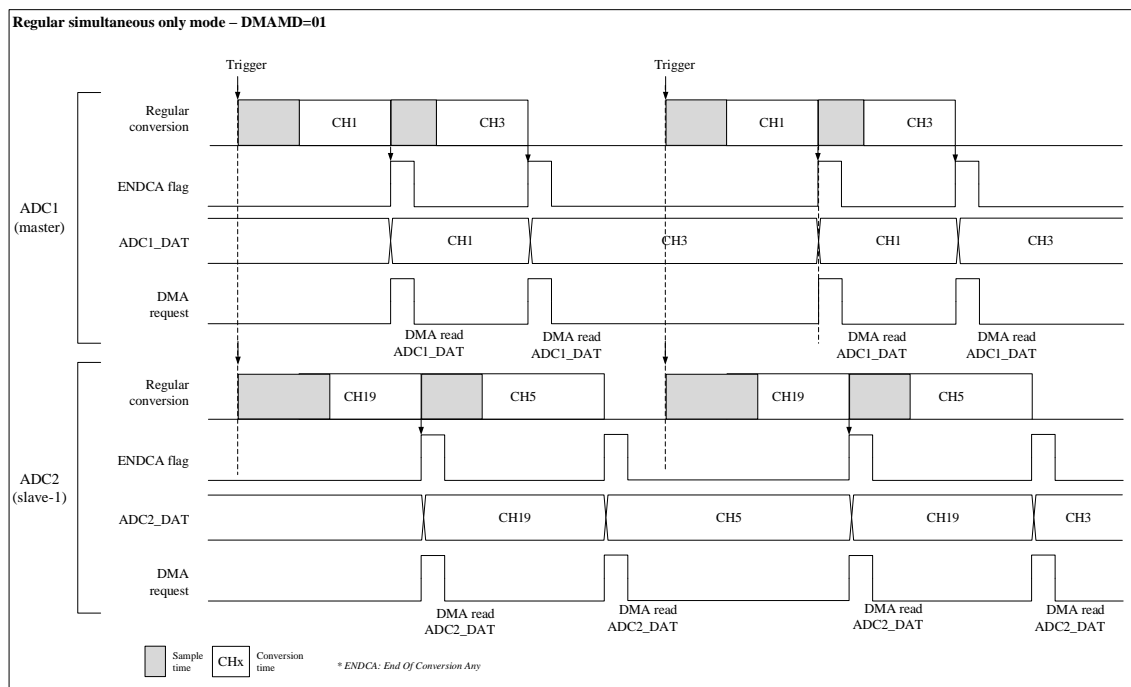
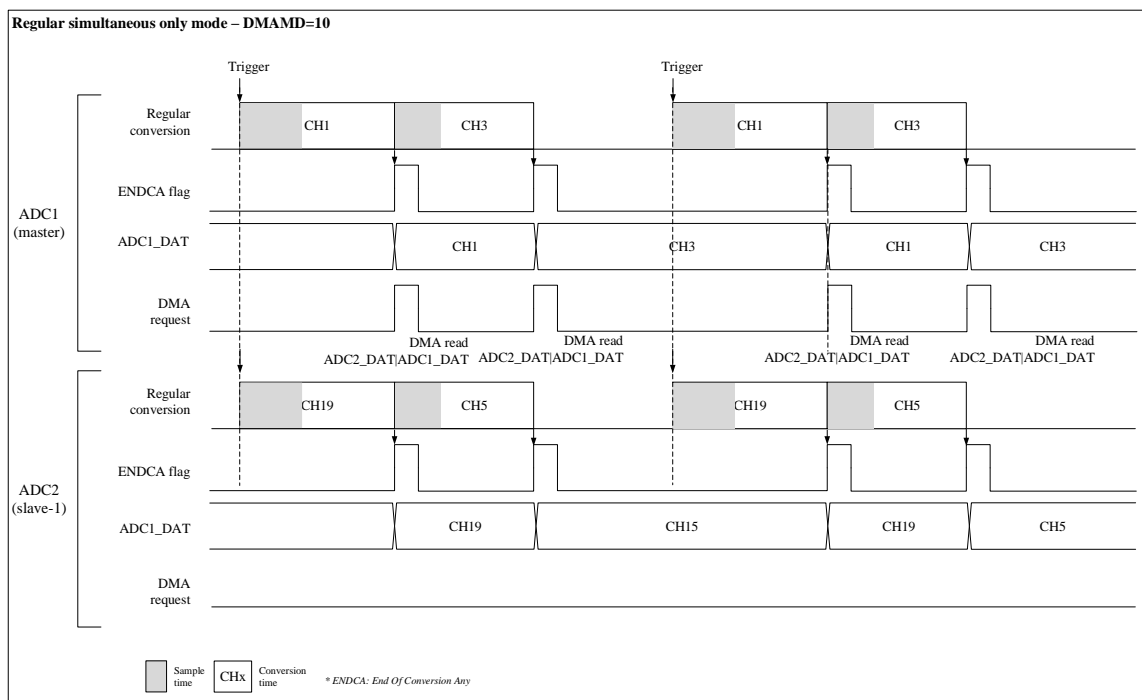
但在序列长度不同的情况下，用户必须通过计算确保满足以下两点：

- 一个 ADC 对某一输入进行采样时，另一个 ADC 不得对该输入进行转换
- 触发信号之间的间隔时间，需大于两个序列中较长的转换时间。否则，序列较短的 ADC 可能已重新启动转换，而序列较长的 ADC 仍在完成上一次的转换。

也可通过 DMA（直接存储器访问）读取规则数据，具体方式如下：

- 使用两个 DMA 通道（一个用于主设备，一个用于从设备）
  - 配置主 ADC 的 DMA 通道，用于读取主的 ADC\_DAT 寄存器。主设备 ADC 每次产生 ENDCA（转换结束）事件时，会触发 DMA 请求。
  - 配置从 ADC 的 DMA 通道，用于读取从的 ADC\_DAT 寄存器。从设备 ADC 每次产生 ENDCA 事件时，会触发 DMA 请求。要采用此方式，需在 ADC1 寄存器中设置 DMAMD=01。该方式通常用于主设备与从设备序列长度不同的场景。
- 仅在主 ADC1 上使用一个 DMA（释放从 ADC2 的 DMA 资源）
  - 配置主 ADC 的 DMA 通道，用于读取主的 ADC\_DAT 寄存器。主 ADC 每次产生 ENDCA 事件时，会触发 DMA 请求。

要采用此方式，需在 ADC1 寄存器中设置 DMAMD=10。该方式通常用于主与从设备序列长度相同的场景。若序列长度不同，则不得使用此方式，因为此时数据无法正确同步，可能导致数据丢失。

**图 26-26 双 ADC 仅规则同步模式 DMAMD=01**

**图 26-27 双 ADC 仅规则同步模式 DMAMD=10**


若  $DREGCH = 1$ ，则规则序列的每“n”次同步转换，均需触发一次规则触发事件（其中“n”由 DCTU 定义）。

### 26.5.13.2 仅规则交叉模式

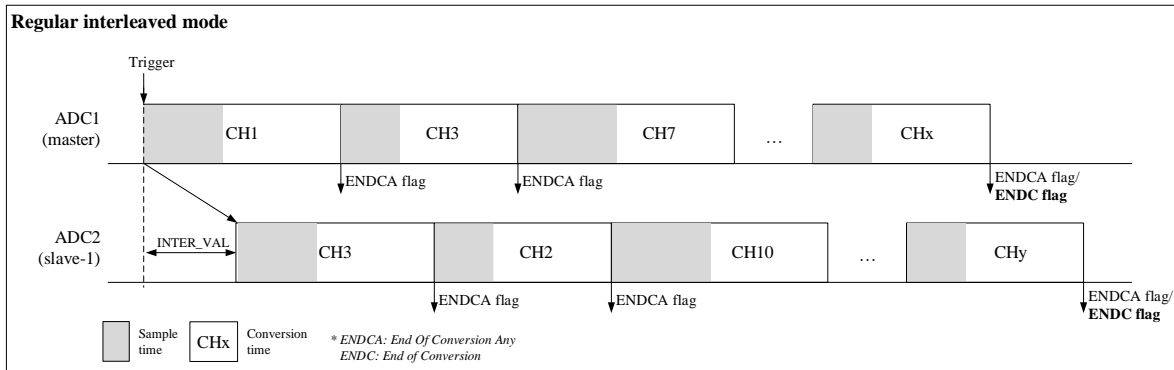
此模式通过将 MULTMODE [4:0]位编程设置为 00111 来选择。

该模式仅能在规则组（通常为单个通道）上启动，外部触发来自自主 ADC 的规则通道多路复用器。

外部触发发生后:

- 主 ADC 立即启动 (转换)。
- 从 ADC 会在主 ADC 的采样阶段完成后, 延迟若干个 AD 时钟周期再启动 (转换)。

图 26-28 双 ADC 仅规则交叉模式



在交叉模式下, 两次转换之间的最小间隔延迟通过 ADC\_DLYSMP 寄存器中的 INTLEADVAL 位进行配置。用户必须正确计算该延迟, 以确保一个 ADC 启动转换时, 另一个 ADC 不会仍在对其输入信号进行采样。

若主 ADC 和从 ADC 的 ADC\_CTRL2.CTU 位均已置 1, 则两个 ADC 中已选中的规则通道会持续进行转换。

当从 ADC 的每次转换事件 (ENDCA) 结束、软件可读取数据时, 系统会通过中断发出通知。此时会生成从设备和主设备的 ENDCA (转换结束) 中断 (若 ENDCAIEN 已使能), 软件可读取从设备或主设备 ADC 的 ADC\_DAT 寄存器 (获取转换数据)。

规则数据也可通过 DMA (直接存储器访问) 进行传输。

图 26-29 双 ADC 规则交叉模式(DMAMD=01)

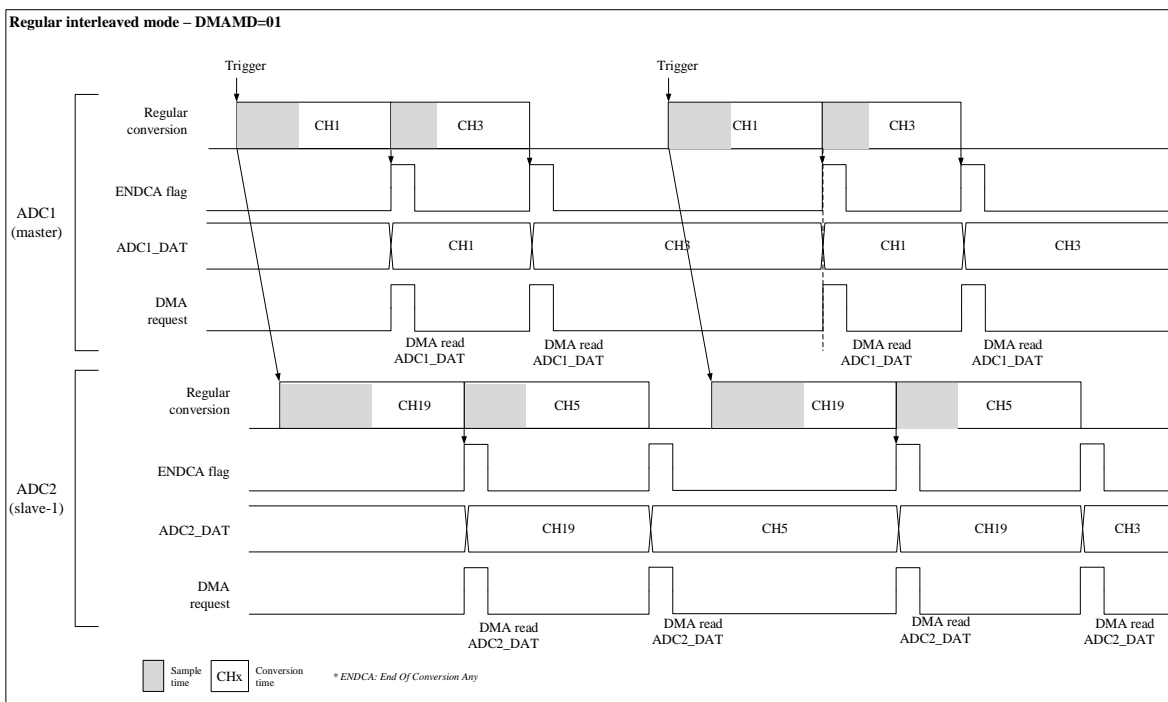
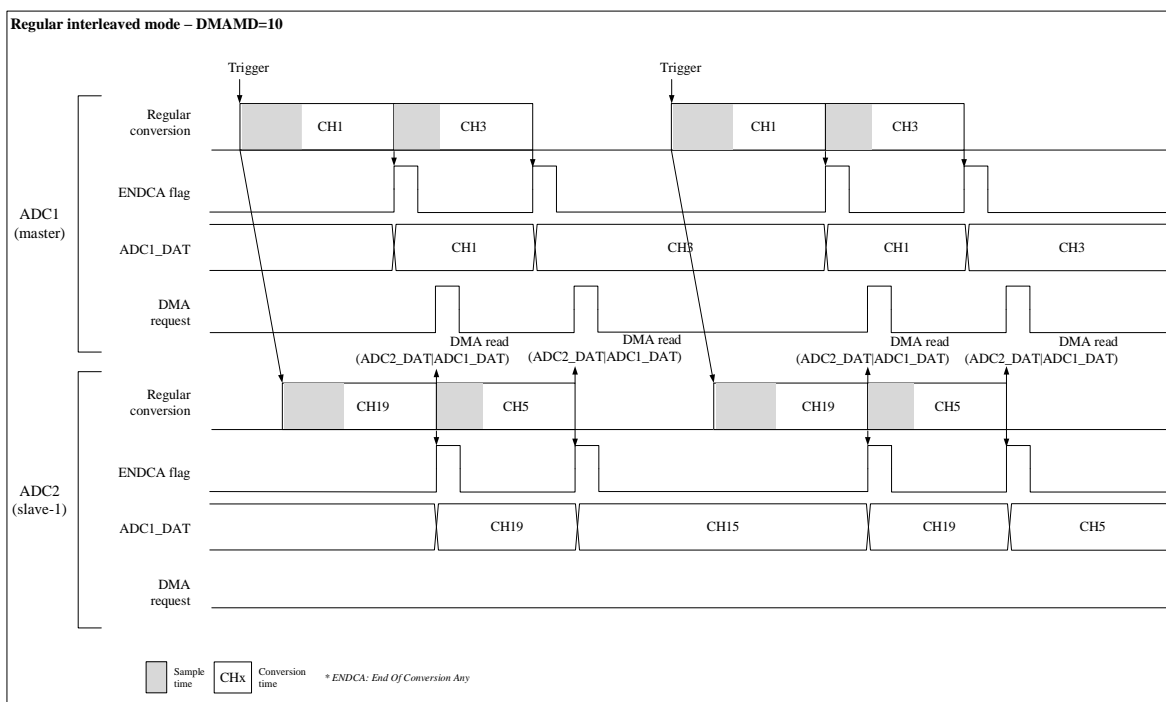


图 26-30 双 ADC 规则交叉模式(DMAMD=10)



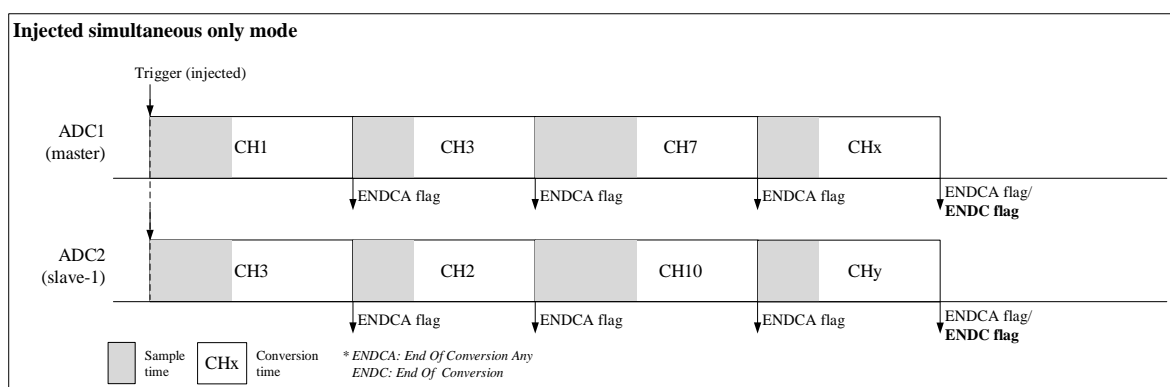
若 DREGCH = 1，则规则序列的每“n”次同步转换（“n”由 DCTU 定义），均需触发一次规则触发事件。此模式支持注入转换。当注入转换完成时（无论来自主设备还是从设备），主设备和从设备的规则转换都会被中止，且规则序列会从主设备重新启动。

### 26.5.13.3 仅注入同步模式

此模式通过将 MULTMODE [4:0]位编程设置为 00101 来选择。

该模式对注入通道组进行转换，外部触发源来自主 ADC 的注入组多路复用器（由 EXTJSEL 位选择）。

图 26-31 双 ADC 仅注入交错模式



注意：请勿在两个 ADC 上转换相同的通道（转换相同通道时，两个 ADC 的采样时间不得重叠）。

在同步模式下，需满足以下任一条件：转换的序列长度相同；确保触发信号之间的间隔时间，大于两个序列中较长序列的（转换）时长。否则，序列较短的 ADC 可能已重新启动转换，而序列较长的 ADC 仍在完成上一次的转换。

规则转换可在一个或所有 ADC 上执行。在此情况下，各 ADC 的规则转换相互独立，且会在注入事件发生

时被中断，并在注入转换组结束后恢复。

- 当主 ADC 的注入转换序列事件（JENDC）结束时，转换数据会存储到主 ADC\_JDATy 寄存器中，且会生成 JENDC 中断（若已使能）。
- 当从设备 ADC 的注入转换序列事件（JENDC）结束时，转换数据会存储到从设备的 ADC\_JDATy 寄存器中，且会生 JENDC 中断（若已使能）。
- 若主设备注入序列的时长与从设备注入序列的时长相等，软件可仅使能两个 JENDC 中断中的一个（例如：主设备 JEND 中断），并读取两路转换数据（分别来自主设备 ADC\_JDATy 寄存器和从设备 ADC\_JDATy 寄存器）。

若 DJCH = 1，则注入序列的每次同步转换都需要一个注入触发事件发生。

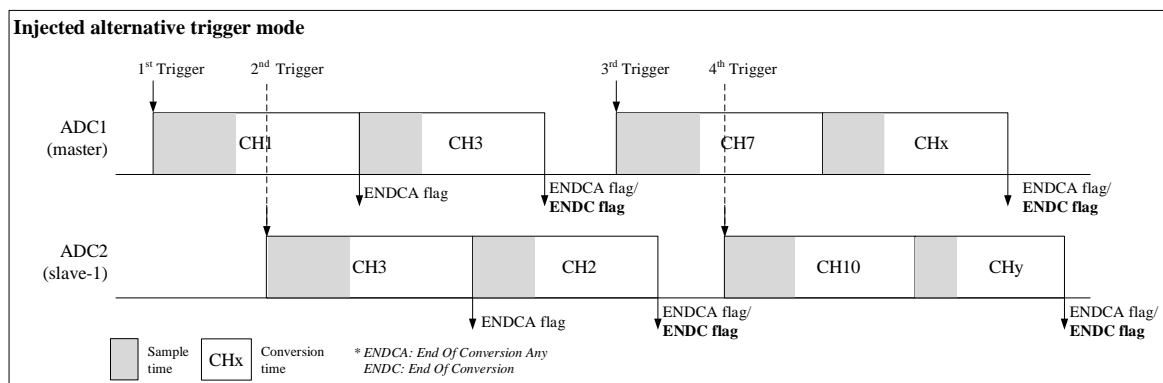
### 26.5.13.4 仅注入交替触发模式

此模式通过 MULTMODE [4:0]位编程为 01001 来选择。

此模式只能在注入组上启动，外部触发源来自主 ADC（模数转换器）的注入组多路复用器。

此模式仅在选择硬件触发时可行：EXTPJSEL [1:0]不得为 00。

图 26-32 双 ADC 仅注入交替触发



#### 间断注入模式失能（所有 ADC 的 DJCH 位均为 0）:

1. 当第一个触发信号出现时，该组中所有主 ADC 的注入通道都会进行转换。
2. 当第二个触发信号出现时，该组中所有从 ADC 的注入通道都会进行转换。
3. 后续触发信号将以此规律循环。

若已使能 JENDC 中断，则在该组主 ADC 的所有注入通道完成转换后，会产生一次 JENDC 中断。

若已使能 JENDC 中断，则在该组从 ADC 的所有注入通道完成转换后，也会产生一次 JENDC 中断。

若已使能 JENDCA 中断，则每次注入通道转换完成后，都可能产生一次 JENDCA 中断。

当该组所有注入通道均完成转换后，若再次出现外部触发信号，交替触发流程会重新开始，先对该组主 ADC 的注入通道进行转换。

*注意：可在一个或所有 ADC 上使能规则转换。在此情况下，各 ADC 的规则转换相互独立。当 ADC 需执行注入转换时，规则转换会被中断；注入转换完成后，规则转换将恢复执行。*

两个触发信号之间的时间间隔必须大于或等于 1 个 ADC 时钟周期。启动同一 ADC 转换的两个触发信号之



间的最小时间间隔，与单 ADC 模式下的最小时间间隔相同。

### 注入中断模式使能（所有 ADC 的 DJCH 均为 1）

如果主 ADC 和从 ADC 均使能了注入中断模式

1. 当第一个触发信号出现时，主 ADC 的第一个注入通道会进行转换
2. 当第二个触发信号出现时，从 ADC 的第一个注入通道会进行转换
3. 后续触发信号将以此规律进行循环

若已使能 JENDC 中断，则该组主 ADC 的所有注入通道完成转换后，会产生一次 JENDC 中断

若已使能 JENDC 中断，则该组从 ADC 的所有注入通道完成转换后，会产生一次 JENDC 中断

若已使能 JENDCA 中断，则每次注入通道转换完成后，都可产生一次 JENDCA 中断

当该组所有注入通道均转换完成后，若再次出现外部触发信号，交替触发流程会重新开始

### 26.5.13.5 规则同步和注入同步组合模式

此模式通过将 MULTMODE[4:0]位编程成 00001 来选择

可以中断规则组的同步转换，以启动注入组的同步转换

*注意：规则/注入同步模式下，需满足转换的两个序列的长度相同或者确保触发信号之间的间隔大于两个序列中较长的转换时间。否则，序列较短的 ADC 可能在序列较长的 ADC 完成前一次转换就重新启动。*

### 26.5.13.6 规则同步和注入交替触发模式

此模式通过将 MULTMODE[4:0]位编程为 00010 来选择

可以中断规则组的同步转换，以启动注入组的交替触发转换。图 26-33 展示了交替触发中断同步规则转化的工作流程。

注入时间发生后，会立即启动注入交替转换。若工作转换已在运行，为确保注入转换后能实现同步，所有（主/从）ADC 的规则转换都会暂停，并在注入转换结束时同步恢复。

*注意：在规则同步和交替触发组合模式下，需满足转换的两个序列长度相同或确保触发信号之间的间隔大于两个序列中较长的转换时间。否则，序列较短的 ADC 可能在序列较长的 ADC 完成前一此转换前就重新启动。*

若在已中断规则转换的注入转换过程中出现触发信号，则会相应该交替触发。图 26-34 展示了此场景下的工作过程（需注意，第 6 个触发信号会被忽略，因为对应的交替转换尚未完成）

图 26-33 规则同步+注入交替触发结合

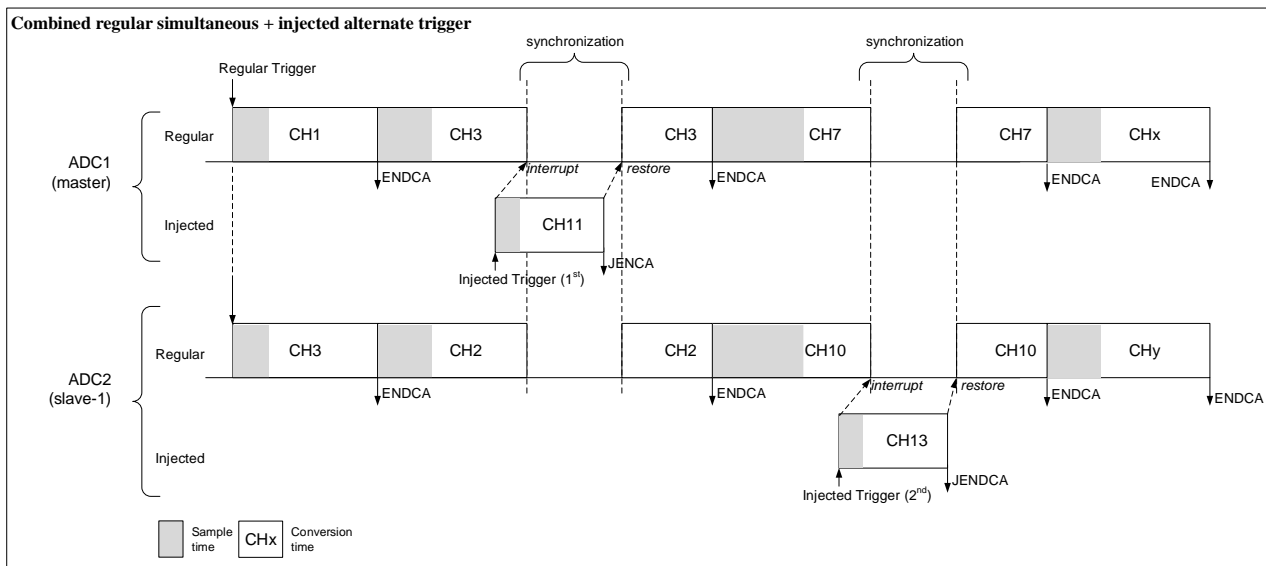
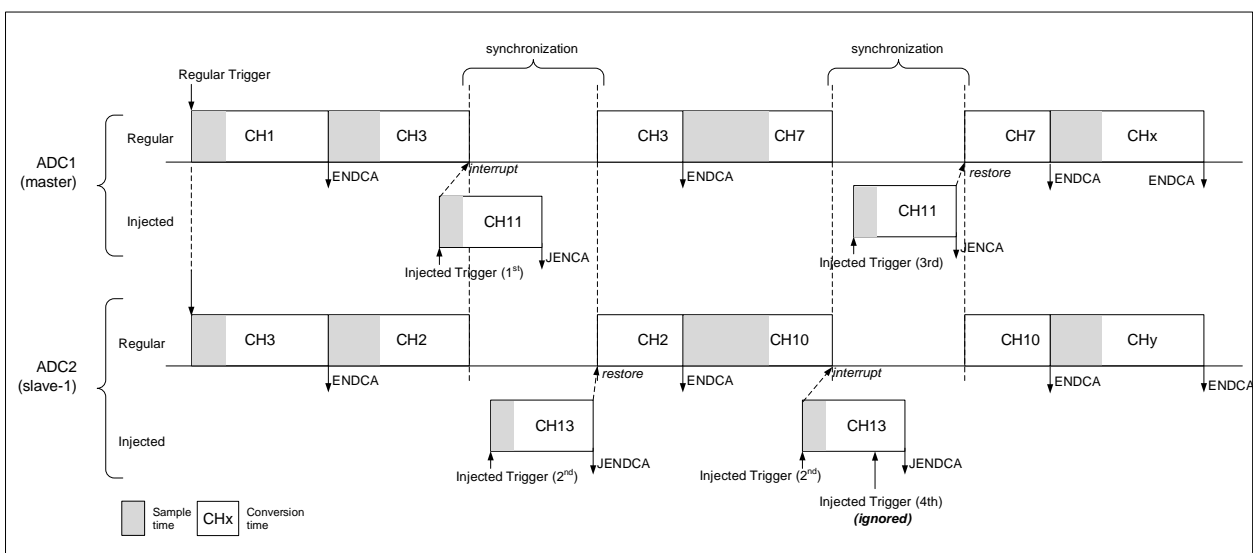


图 26-34 注入转换过程中出现触发信号的情况



### 26.5.13.7 规则交叉和注入同步结合模式

此模式通过将 MULTMODE [4:0]位编程为 00011 来选择。

可通过同步注入事件中中断交叉转换。

在此情况下，交叉转换会立即中断，同步注入转换随即启动。注入序列结束后，交叉转换将恢复。当交叉规则转换恢复时，执行的第一个规则转换始终是主 ADC（模数转换器）的转换。

### 26.5.13.8 双 ADC 模式下的转换停止

在双 ADC 模式下，用户必须设置主 ADC 的控制位 SWRSTOP/SWJSTOP，才能停止两个 ADC 的转换。从 ADC 的另一个 SWRSTOP 控制位在双 ADC 模式下无效。

一旦两个 ADC 均有效停止，主 ADC 和从 ADC 的 ADC\_CTRL3.RSTART/ADC\_CTRL3.JSTART 位将由硬件自动清零。

### 26.5.14 三 ADC 模式

在三 ADC 模式下，转换的启动由主 ADC1 交替或同步触发从 ADC2 和 ADC3，具体取决于 ADC\_CTRL1 寄存器中 MULTMODE [4:0]位所选择的模式。

共实现了四种可能的模式：

- 注入同步模式
- 规则同步模式
- 交叉模式
- 交替触发模式

还可以通过以下方式将这些模式组合使用：

- 注入同步模式 + 规则同步模式
- 规则同步模式 + 交替触发模式
- 注入同步模式 + 交叉模式

在双 ADC 模式下，以下位仅在主 ADC（ADC1）上设置有效：

- SCANMD
- CTU
- DREGCH、DCTU、DJCH
- AUTOJC
- EXTPRSEL、EXTPJSEL
- DMNGT
- DMAMD
- MDSMU
- EN
- ADC\_CTRL3.RSTART、ADC\_CTRL3.JSTART
- SWRSTOP、SWJSTOP

从 ADC（ADC2、ADC3）中的上述各位始终等于主 ADC 的对应位

在双 ADC 模式下启动转换时，用户只需对主 ADC 的 EXTPRSEL[1:0]位、EXTRSEL 位、EXTPJSEL[1:0]位、EXTJSEL 位进行编程，即可配置软件或硬件触发，以及规则或注入触发（从 ADC 的 EXTPRSEL[1:0]位和 EXTPJSEL [1:0]位无需关注）。仅允许使用主 ADC 上的触发，禁止使用从 ADC 上的触发。

在规则同步或交叉模式下：一旦用户设置主 ADC 的 ADC\_CTRL3.RSTART 位或 SWRSTOP 位，从 ADC 的对应位也会自动设置。但从 ADC 的 ADC\_CTRL3.RSTART 位或 SWRSTOP 位无需与主 ADC 的对应位同时清零。

在注入同步或交替触发模式下：一旦用户设置主 ADC 的 ADC\_CTRL3.JSTART 位或 SWJSTOP 位，从 ADC 的对应位也会自动设置。但从 ADC 的 ADC\_CTRL3.JSTART 位或 SWJSTOP 位无需与主 ADC 的对应位同时清

零。

在三 ADC 模式下，可通过读取 ADC1\_DAT 寄存器和 ADC1\_JDATy 寄存器，并行读取主 ADC 和从 ADC 的转换数据。这些寄存器为 32 位：高 16 位用于存储 ADC2 的数据，低 16 位用于存储 ADC1 的数据。需注意 ADC2\_DAT 寄存器和 ADC2\_JDATy 寄存器仍会单独存储 ADC2 的转换数据，可对其进行单独读取。

*注：在多 ADC 模式下，若通过外部事件配置转换触发，应用程序必须仅通过主 ADC 设置触发，并禁用从 ADC 的触发，以防止产生虚假触发，进而启动不必要的从 ADC 转换。*

#### 26.5.14.1 仅规则同步模式

此模式通过将 MULTMODE [4:0]位编程为 10110 来选择。

该模式在规则通道组上执行。外部触发源来自主 ADC（模数转换器）的规则组多路复用器（由 EXTRSEL 位选择），同时会向从 ADC 提供同步触发信号。

在此模式下，支持独立的注入转换。注入请求（无论来自主 ADC 还是从 ADC）会中止当前的同步转换，待注入转换完成后，同步转换将重新启动。

*[注意]：不要在三个 ADC 上转换同一通道（三个 ADC 转换同一通道时，采样时间不得重叠）。*

*在规则同步模式下，需满足转换的两个序列（规则序列）长度相同或确保触发信号之间的间隔大于两个序列中较长的转换时间。否则，序列较短的 ADC 可能在序列较长的 ADC 完成前一次转换前就重新启动。*

软件可通过中断获知何时可读取数据，具体如下：

- 当主 ADC 的每次转换事件（ENDCA）结束时，若已使能 ENDCAIEN（每次转换结束中断使能位），会产生主 ADC 的转换结束（ENDCA）中断，此时软件可读取主 ADC 的 ADC\_DAT 寄存器（转换数据寄存器）。
- 当从 ADC 的每次转换事件（ENDCA）结束时，若已使能 ENDCAIEN，会产生从 ADC 的 ENDCA 中断，此时软件可读取从 ADC 的 ADC\_DAT 寄存器。
- 也可通过 DMA（直接存储器访问）读取规则转换数据。

使用两个 DMA 通道（一个用于主 ADC，一个用于从 ADC）时，配置方式如下：

- 配置主 ADC 的 DMA 通道，用于读取主 ADC 的 ADC\_DAT 寄存器。主 ADC 每次产生 ENDCA 事件时，会触发 DMA 请求。
- 配置从 ADC 的 DMA 通道，用于读取从 ADC 的 ADC\_DAT 寄存器。从 ADC 每次产生 ENDCA 事件时，会触发 DMA 请求。

若 DREGCH（规则通道不连续模式位）=1，则规则序列的每“n”次同步转换都需要一个规则触发事件（“n”由 DCTU 位定义）。

#### 26.5.14.2 仅规则交叉模式

此模式通过将 MULTMODE [4:0]位编程为 10111 来选择。

该模式仅能在规则组（通常为单个通道）上启动，外部触发源来自主 ADC（模数转换器）的规则通道多路复用器。

当外部触发信号产生后：

- 主 ADC1 立即启动转换。

- 从 ADC2 在主 ADC1 采样阶段完成后，延迟若干个 ADC 时钟周期再启动转换。
- 从 ADC3 在从 ADC2 采样阶段完成后，延迟若干个 ADC 时钟周期再启动转换。

规则交叉模式下两次转换之间的最小延迟，通过 ADC\_DLYSMP 寄存器中的 INTLEADVAL 位进行配置。用户需正确计算该延迟，确保某个 ADC 启动转换时，不会出现其他 ADC 仍在对输入信号采样的情况。

若主 ADC 和从 ADC 的 ADC\_CTRL2.CTU 位均已置 1，则两个 ADC 中已选中的规则通道会持续进行转换。

当从 ADC 的每次转换事件(ENDCA)完成时，软件会通过中断获知可读取数据的时机：若已使能 ENDCAIEN 位（每次转换结束中断使能位），会产生从 ADC 和主 ADC 的转换结束（ENDCA）中断，此时软件可读取从 ADC/主 ADC 的 ADC\_DAT 寄存器（转换数据寄存器）。

也可通过 DMA（直接存储器访问）传输规则转换数据。

若 DREGCH 位（规则通道不连续模式位）= 1，则规则序列的每“n”次同步转换（“n”由 DCTU 位定义）都需要一个规则触发事件才能进行。

此模式支持注入转换：当注入转换完成时（无论来自主 ADC 还是从 ADC），主 ADC 和从 ADC 的规则转换都会中止，且转换序列会从主 ADC 开始重新启动。

#### 26.5.14.3 仅注入同步模式

此模式通过将 MULTMODE [4:0]位编程为 10101 来选择。

该模式对注入通道组进行转换，外部触发源来自主 ADC（模数转换器）的注入组多路复用器（由 EXTJSEL 位选择）。

*注意：不要在两个 ADC 上转换同一通道（两个 ADC 转换同一通道时，采样时间不得重叠）。*

在同步模式下，需满足转换的两个序列（注入序列）长度相同或确保触发信号之间的间隔大于两个序列中较长的转换时间二者之一。否则，序列较短的 ADC 可能在序列较长的 ADC 完成前一次转换前就重新启动。

可在一个或所有 ADC 上执行规则转换。在此情况下，各 ADC 的规则转换相互独立，且当注入事件发生时会被中断。注入通道组转换结束后，规则转换将恢复执行。

- 当主 ADC 的注入序列转换事件（JENDC，注入序列转换结束）完成时，转换数据会存储到主 ADC 的 ADC\_JDATy 寄存器（注入转换数据寄存器）中，若已使能，会产生一次 JENDC 中断。
- 当从 ADC 的注入序列转换事件（JENDC）完成时，转换数据会存储到从 ADC 的 ADC\_JDATy 寄存器中，若已使能，会产生一次 JENDC 中断。
- 若主 ADC 注入序列的转换时长与从 ADC 注入序列的转换时长相等，软件可仅使能两个 JENDC 中断中的一个（例如主 ADC 的 JENDC 中断），并读取两个 ADC 的转换数据（分别来自主 ADC 的 ADC\_JDATy 寄存器和从 ADC 的 ADC\_JDATy 寄存器）。

若 DJCH（注入通道不连续模式位）= 1，则注入序列的每次同步转换都需要一个注入触发事件才能进行。

#### 26.5.14.4 仅注入交替触发模式

此模式通过将 MULTMODE [4:0]位编程为 11001 来选择。

该模式仅能在注入组上启动，外部触发源来自主 ADC（模数转换器）的注入组多路复用器。

此模式仅在选择硬件触发时可行：EXTPJSEL [1:0]不得为 00。

**注入式中断模式失能（所有 ADC 的 DJCH 均为 0）：**

1. 当第一个触发信号出现时，该组中主 ADC1 的所有注入通道会进行转换。
2. 当第二个触发信号出现时，该组中从 ADC2 的所有注入通道会进行转换。
3. 当第三个触发信号出现时，该组中从 ADC3 的所有注入通道会进行转换。
4. 后续触发信号将以此规律循环。

若已使能 JENDC 中断，则在该组主 ADC（模数转换器）的所有注入通道完成转换后，会产生一次 JENDC 中断。

若已使能 JENDC 中断，则在该组从 ADC 的所有注入通道完成转换后，会产生一次 JENDC 中断。

若已使能 JENDCA 中断，则每次注入通道转换完成后，也可能产生一次 JENDCA 中断。

当该组所有注入通道均完成转换后，若再次出现外部触发信号，交替触发流程会重新开始，先对该组主 ADC 的注入通道进行转换。

*注：可在一个或所有 ADC（模数转换器）上启用规则转换。在此情况下，各规则转换相互独立。当 ADC 必须执行注入转换时，规则转换会被中断；注入转换完成后，规则转换将恢复。*

两次触发事件之间的时间间隔必须大于或等于 1 个 ADC 时钟周期。在同一 ADC 上启动转换的两次触发事件之间的最小时间间隔，与单 ADC 模式下的最小时间间隔相同。

#### 注入式不连续模式已启用（所有 ADC 的 DJCH=1）：

若主 ADC 和从 ADC 均已启用注入式不连续模式：

1. 当第 1 个触发信号出现时，该组中主 ADC1 的所有注入通道将执行转换。
2. 当第 2 个触发信号出现时，该组中从 ADC2 的所有注入通道将执行转换。
3. 当第 3 个触发信号出现时，该组中从 ADC3 的所有注入通道将执行转换。
4. 后续触发信号按此规律循环。

若已启用 JENDC 中断，当该组中主 ADC 的所有注入通道完成转换后，将生成此中断。

若已启用 JENDC 中断，当该组中从 ADC 的所有注入通道完成转换后，也将生成此中断。

若已启用 JENDCA 中断，每完成一次注入转换后，均可生成此中断。

当该组中所有注入通道均完成转换后，若再次出现外部触发信号，交替触发流程将重新启动。

#### 26.5.14.5 规则同步和注入同步结合

通过将 MULTMODE [4:0]位编程为 10001 来选择此模式。

可中断规则组的同步转换，以启动注入组的同步转换。

*注意：在规则/注入同步组合模式下，需满足转换长度相同的序列或确保触发信号之间的间隔大于两个序列中较长的转换时间二者之一。否则，当序列较长的 ADC 仍在完成前一次转换时，序列较短的 ADC 可能已重启。*

#### 26.5.14.6 规则同步和注入交替触发结合

通过将 MULTMODE [4:0]位编程为 10010 来选择此模式。

可中断规则组的同步转换，以启动注入组的交替触发转换。

注入事件发生后，将立即启动注入交替转换。若规则转换已在运行，为确保注入转换后能实现同步，所有

(主/从) ADC 的规则转换将停止, 并在注入转换结束时同步恢复。

*注意: 在规则同步和交替触发组合模式下, 需满足转换长度相同的序列或确保触发信号之间的间隔大于两个序列中较长的转换时间二者之一。否则, 当序列较长的 ADC 仍在完成前一次转换时, 序列较短的 ADC 可能已重启。*

若在已中断规则转换的注入转换过程中出现触发信号, 将响应该交替触发。

#### 26.5.14.7 规则交叉和注入同步结合

通过将 MULTMODE [4:0]位编程为 10011 来选择此模式。

可通过同步注入事件中断交叉转换。

在此情况下, 交叉转换会立即中断, 同步注入转换随即启动。注入序列结束后, 交叉转换将恢复。当规则交叉转换恢复时, 执行的第一个规则转换始终是主 ADC 的转换。

#### 26.5.14.8 三 ADC 模式下的停止转换

在三 ADC 模式下, 用户必须设置主 ADC 的控制位 SWRSTOP/SWJSTOP, 以停止所有 ADC 的转换。从 ADC 的其他 SWRSTOP 控制位在双 ADC 模式下无效。

一旦所有 ADC 均有效停止, 主 ADC 和从 ADC 的 ADC\_CTRL3.RSTART/ADC\_CTRL3.JSTART 位将由硬件自动清零。

## 26.6 ADC 校准

### 26.6.1 ADC 校准时序

图 26-35 展示了校准时序

$t_{CALADC}$ : 校准时间。可通过 ADC\_INTLRCFG 寄存器进行配置, 将数值写入 ADC IP 内部寄存器 (ADC\_CALWIN — 地址 0x6, 详见章节 26.6.2)。其计算公式如下:

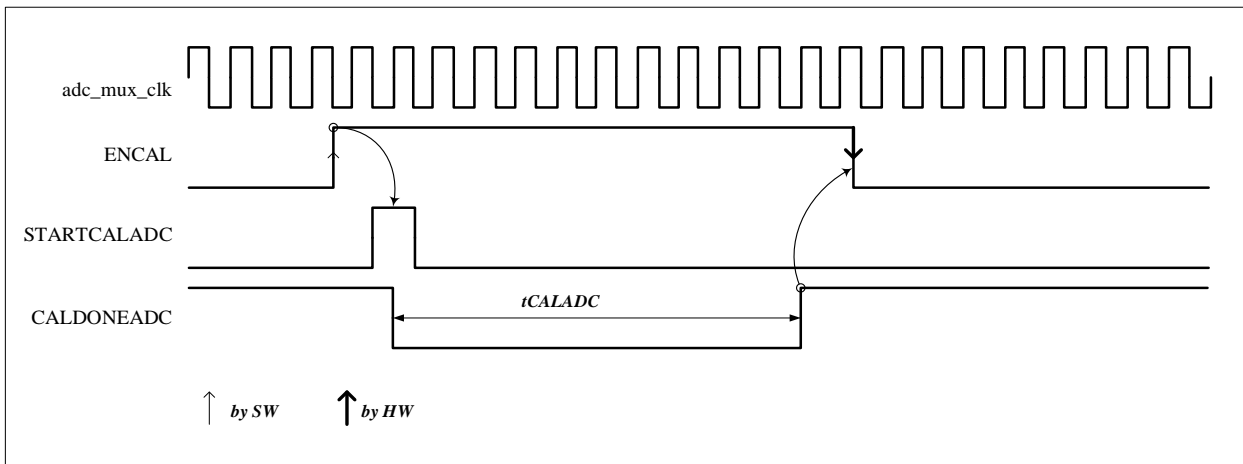
$$t_{CALADC} (\text{ADC 内核时钟周期}) = (((2 \times \text{ADC\_CALWIN}) + 2) \times 4) + 2$$

例如:

- ADC\_CALWIN=0:  $t_{CALADC} = 14$  周期
- ADC\_CALWIN=4:  $t_{CALADC} = 74$  周期, 此为复位后的默认值。

正常情况下, 用户无需修改该寄存器的值, 但如果需要在校准时间和精度之间权衡, 则可以修改该寄存器值。

图 26-35 校准时序



## 26.6.2 ADC 校准配置

ADC（模数转换器）内置校准寄存器，支持对其校准系数进行加载、读取与修改操作。

若需对 ADC 的数字电源采用电源门控策略，也可通过这些寄存器读取校准数据，并在后续需要时重新上传该数据。

表 26-8 列出了 ADC 内部寄存器的详细信息

表 26-8 用于校准的 ADC 内部寄存器

寄存器地址	寄存器名称	位数								复位值	读写属性
		7	6	5	4	3	2	1	0		
0x00	ID	ID								0xAD	R
0x01	CONFIG0	ADC_OFFSET								0x80	R/W
0x02	CONFIG1	0								0x00	R
0x03	CONFIG2	0	ADC_DCAL[14:8]							0x00	R/W
0x04	CONFIG3	ADC_DCAL[7:0]								0xFF	R/W
0x05	CONFIG4	0	ADCCAL_DONE	CALCTRL_ADC	0	CALCTRL_DCAL	0		0x40	R/W (a)	
0x06	CONFIG5	0						ADC_CALWIN		0x04	R/W
0x07	CONFIG6	0								0x00	R

(a) 第 6 和 7 位只读属性

寄存器字段名称	用途
ID	ADC 的标识符 (0xAD returned as ID)



CALCTRL_ADC	外部 ADC 偏移位选择
ADC_OFFSET	外部施加的 8 位 ADC 偏移位
CALCTRL_DCAL	外部延迟校准位的选择
ADC_DCAL[14:0]	外部施加的 15 位延迟校准位
ADC_CALWIN	ADC 平均值转换的次数
ADCCAL_DONE	ADC 校准完成标志位

这些寄存器无法直接访问，必须通过控制器的 ADC 内部寄存器配置寄存器 (ADC\_INTLRCFG) 进行操作。下文将介绍访问 ADC 内部寄存器的软件流程：

### 读取 ADC 内部寄存器的软件流程

1. 设置 ADC\_CFG\_RW\_CTRL=0 (读取)
2. 设置 ADC\_CFG\_ADDR=<内部寄存器地址>
3. 设置 ADC\_CFG\_RW\_START=1
4. 轮询 ADC\_CFG\_RW\_DONE 位，直至该位变为 1
5. 读取 ADC\_CFG\_RDATA，获取内部寄存器的内容 (仅支持 8 位数据)

### 写入 ADC 内部寄存器的软件流程

1. 虚拟读取：执行步骤 R1-R5，且 ADC\_CFG\_ADDR=<内部寄存器地址>
2. 虚拟写入：
  - a) 设置 ADC\_CFG\_RW\_CTRL=1 (写入)
  - b) 设置 ADC\_CFG\_ADDR=<内部寄存器地址>
  - c) 设置 ADC\_CFG\_WDATA=<期望值> (仅支持 8 位数据)
  - d) 设置 ADC\_CFG\_RW\_START=1
  - e) 轮询 ADC\_CFG\_RW\_DONE 位，直至该位变为 1
3. 虚拟读取：执行步骤 R1-R5，且 ADC\_CFG\_ADDR=<内部寄存器地址>
4. 主写入：重复执行步骤 2.a-2.e
5. 虚拟读取：执行步骤 R1-R5，且 ADC\_CFG\_ADDR=<内部寄存器地址>

*注意：写入流程中需执行虚拟读取和虚拟写入操作，以确保硬件时序正常。*

## 26.7 偏移补偿

通过将 ADC\_OFFSETy 寄存器中的 OFFSCHyEN 位置 1，可对某一通道施加偏移量 y (y=1,2,3,4)。偏移量所作用的通道，需通过配置 ADC\_OFFSETy 寄存器的 OFFSCHyCH[4:0]位来设定。在此情况下，转换后的值会减去用户在 OFFSCHyDAT [11:0]位中写入的自定义偏移量。由于运算结果可能为负值，读取的数据为有符号数，且 SEXT 位代表扩展符号值。

在偏移操作期间，若 ADC\_OFFSETy 寄存器中的 OFFSCHySATEN 位被置 1，数据将变为无符号数。此时所有偏移数据在 12 位模式下会饱和至 0x000；若 OFFSCHyDIR 位被置 1，偏移方向为正，数据在 12 位模式下会饱和至 0xFFF。在 10 位模式下，数据则分别饱和至 0x00 和 0x3FF。

模拟看门狗的比较操作，会在偏移与增益补偿完成后，基于无符号值执行。为确保看门狗正常工作，偏移补偿后的 data 必须为无符号格式（即 ADC\_OFFSETy 寄存器中的 OFFSCHySATEN 位置 1）。

*注意：过采样模式不支持偏移校正。当 OSRE 位和 OSJE 位有一个或同时被置 1 时，ADC\_OFFSETy 寄存器中 OFFSCHyEN 位的值将被忽略（视为复位状态）。*

表 26-9 偏移计算与数据结果对比

RES 位	原始转换数据	偏移量	结果	注意
1: 12 位	DATA[11:0]	OFFSCHyDAT[11:0]	12 位有符号数据	
0: 10 位	DATA[11:2],00	OFFSCHyDAT[11:2]	10 位有符号数据	OFFSCHyDAT[1:0] 位未使用，用户需将其配置位 00

## 26.8 增益补偿

此功能用于提升 ADC 的动态范围，即便输入范围与参考电压未对齐时也能生效。

- 施加增益系数有助于扩展信号范围，使其映射到 ADC 的完整量程。
- 该功能在过采样移位后，应用于所有转换后的数据（所有通道）。

当 ADC\_CTRL3 寄存器中的 GCOMPEN 位置 1 时，所有转换后的数据将启用增益补偿。每次转换完成后，数据将通过以下公式计算：

$$\text{DATA} = \text{转换后的数据} \times \text{GCOMP COEFF [13:0]} \div 4096$$

由于 GCOMP DAT 的可配置范围为 0 至 16383，实际增益补偿系数的范围为 0 至 3.999756。增益系数的计算公式为：增益系数 = GCOMP DAT [13:0] ÷ 4096。

由于“÷4096”等效于 12 位右移操作，在将计算结果存入 ADC\_DAT 或 ADC\_JRy 寄存器之前，需对 12 位最低有效位（LSB）的值进行判断，以实现数据四舍五入并最小化误差：若该值大于或等于 2048（即 12 进制的 12'h800），则结果加 1；否则加 0。示例如下：

1. （数据 × GCOMP DAT）= 24 进制的 24'h2F\_A5A5
  - 12 位右移后：得到 12'h2FA，剩余的 12 位为 12'h5A5（小于 12'h800）
  - 最终结果保留 12'h2FA
2. （数据 × GCOMP DAT）= 24 进制的 24'h2F\_A9A5
  - 12 位右移后：得到 12'h2FA，剩余的 12 位为 12'h9A5（大于 12'h800）
  - 最终结果加 1，即 12'h2FB

增益补偿对过采样模式同样生效。当在过采样模式下使用增益补偿时，增益计算会在累加和右移操作之后执行，以降低功耗（此时增益计算仅执行一次，而非每次转换都执行）。

*注：由于 GCOMP DAT 为 14 位，而 4096 为 12 位，增益补偿后的数据流宽最高可达 14 位。但看门狗比较仅使用其中 12 位最低有效位，因此用户需合理配置 GCOMP DAT，确保计算结果不超过 12 位，以避免错误的比较。*

## 26.9 数据对齐

ADC\_CTRL2 寄存器中的 ALIG 位用于选择转换后存储数据的对齐方式。数据可选择右对齐或左对齐，具体

方式详见 26.10.1 章节。

注意: 过采样模式不支持左对齐。当 OSRE 位和 OSJE 位有一个或同时被置 1 时, ALIG 位的值将被忽略 ADC 仅会输出右对齐数据。

## 26.10 数据管理

在每个规则转换通道结束时 (即发生 ENDCA 事件时), 转换数据的结果会存储到 32 位宽的 ADC\_DAT 数据寄存器中。CPU 或其他主机 (如 DMA) 可直接从该寄存器读取数据以进行后续处理, 也可简单地将数据存储在 RAM 中, 防止数据溢出。该寄存器还具备直接将转换数据传输至 DSMU 的接口。若使用 FIFO (即 EN 位置 1), 转换结果会存储到 FIFO 缓冲区中。当 CPU 或其他主机读取 ADC\_DAT 寄存器时, 会读取 FIFO 中第一个有效的数据。多 ADC 模式和 DMNGT 模式会影响 ADC\_DAT 中数据的排列方式, 详情请参考相关章节。

在每个注入转换通道结束时 (即发生 JENDC 事件时), 转换数据的结果会存储到对应的 32 位宽 ADC\_JDATy 数据寄存器中。CPU 或其他主机可直接读取这些寄存器获取转换数据结果, 以进行后续处理, 也可简单地将数据存储在 RAM 中, 防止数据溢出。注入转换不支持 FIFO 功能。多 ADC 模式和 DMNGT 模式不会影响 ADC\_JDATy 中数据的排列方式。

图 26-36 规则转换结果数据管理流程

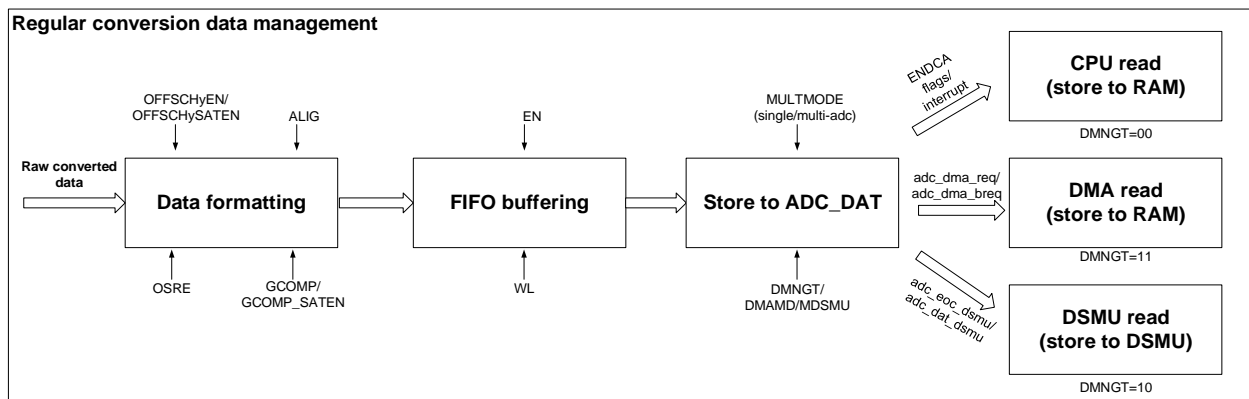
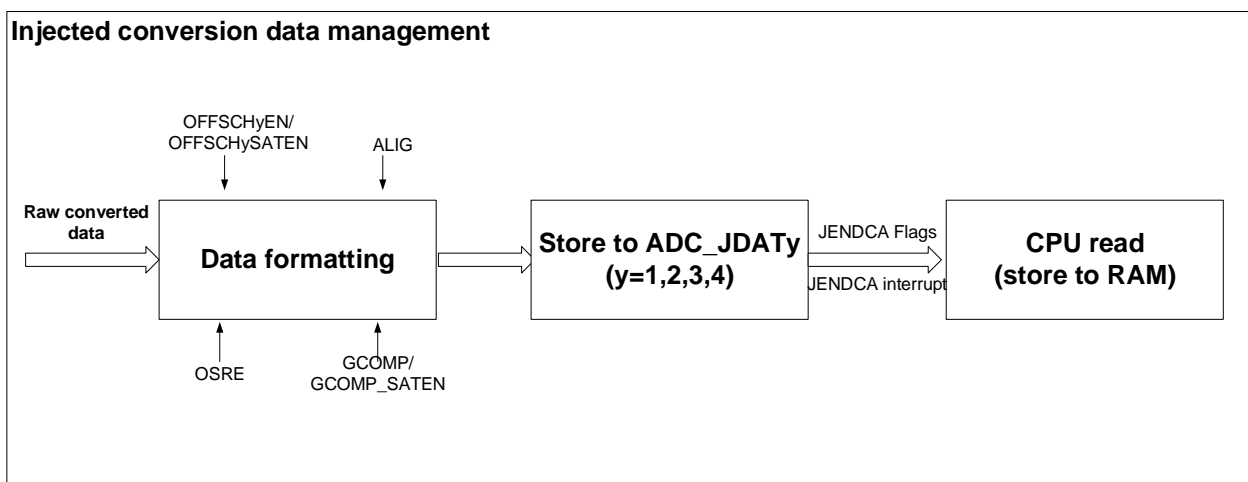


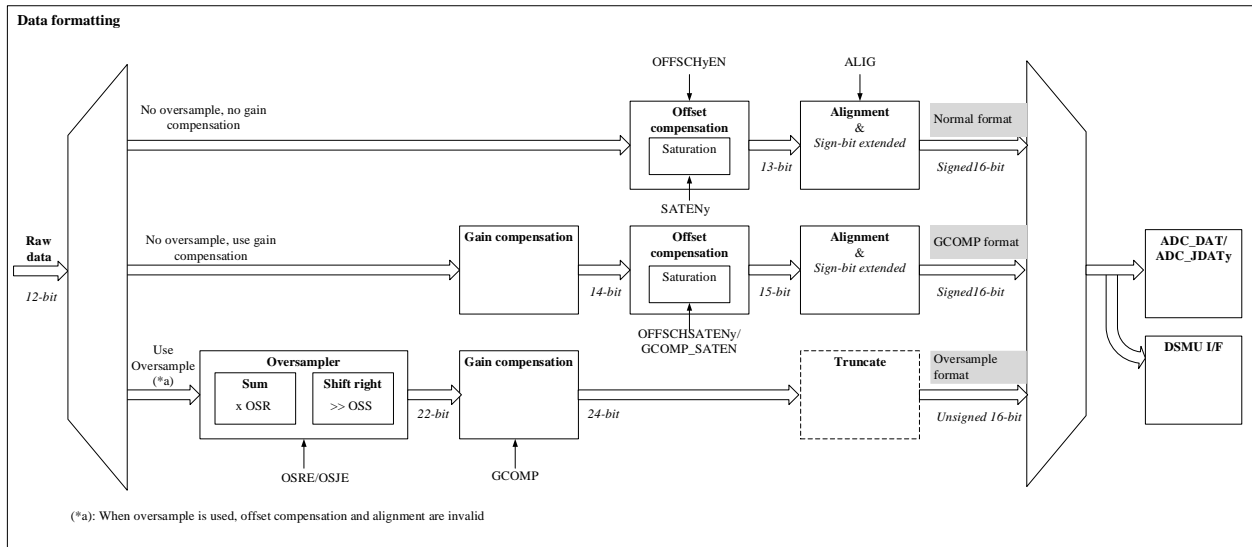
图 26-37 注入转换结果数据管理流程



### 26.10.1 数据格式

图 26-38 展示了三种可能的数据格式类型，具体取决于偏移/增益补偿和过采样配置。

图 26-38 数据格式



(\*a): When oversample is used, offset compensation and alignment are invalid

#### 26.10.1.1 常规模式

此格式适用于过采样和增益补偿均被禁用的场景（OSRE/OSJE=0 且 GCOMPEN=0）。在此场景下，可直接使用原始转换数据（最大 12 位）。经过偏移补偿后，数据可能为负值或超过 12 位（最大 13 位），取值范围为 -0xFFF 至 +0x1FFE。因此，需先将数据处理为 13 位（当分辨率为 12 位时）或 11 位（当分辨率为 10 位时），再扩展至 16 位后存入寄存器。若 OFFSCHySATEN=1，数据始终为 12 位无符号格式：当使用负偏移且转换数据小于偏移量时，数据饱和至 0x0；最大值饱和至 0xFFF。当分辨率为 10 位时，数据为 10 位无符号格式，分别饱和至 0x0 和 0x3FF。

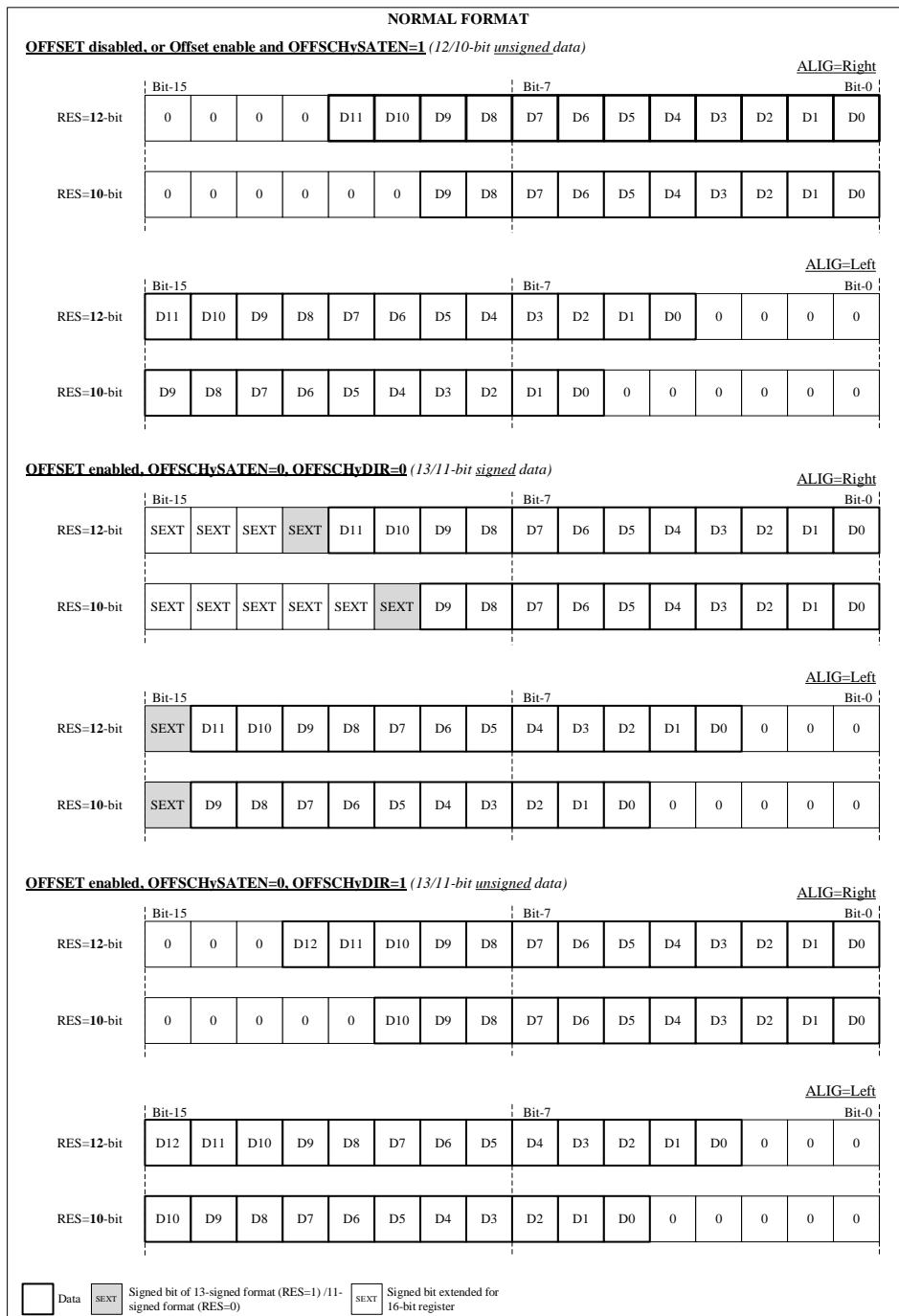
表 26-10 汇总了使用常规模式时所有可能的数据格式

图 26-39 详细展示了常规模式下数据如何存入 16 位寄存器

表 26-10 常规模式

RES 位	OFFSCHyEN	OFFSCHyDIRy	OFFSCHySATEN	数据格式	注意
1: 12 位	0	x	x	12-bit unsigned	
	1	0	0	13-bit signed	
	1	1	0	13-bit unsigned	
	1	x	1	12-bit unsigned	saturation range: 0x0-0xFFF
0: 10 位	0	x	x	10-bit unsigned	
	1	0	0	11-bit signed	
	1	1	0	11-bit unsigned	
	1	x	1	10-bit unsigned	saturation range:

			0x0-0x3FF
--	--	--	-----------

**图 26-39 常规格式**


### 26.10.1.2 增益补偿格式

此格式适用于增益补偿已启用（GCOMPEN=1）但未使用过采样的场景（OSRE/OSJE=0）。在此场景下，数据可通过以下公式计算得出：

$$\text{数据} = (\text{转换后的数据} \times \text{增益补偿数据} \div 4096) \pm \text{偏移量 } y$$

由此可知，数据可能为负值或超过 14 位（最大 15 位）。因此，需先将数据处理为 15 位有符号数据（当分辨率为 12 位时）或 13 位有符号数据（当分辨率为 10 位时），再扩展至 16 位后存入寄存器。

当偏移使能且偏移饱和使能位 (OFFSCHySATEN) =1 时:

- GCOMP\_SATEN=1: 饱和范围扩大, 12 位分辨率下为 0000-03FFF, 10 位分辨率下为 0000-0FFF; 数据分别按 14 位无符号 (12 位分辨率)、12 位无符号 (10 位分辨率) 排列。
- GCOMP\_SATEN=0: 饱和范围为 12 位分辨率下 0000-00FFF、10 位分辨率下 0000-03FF; 但数据仍分别按 14 位无符号 (12 位分辨率)、12 位无符号 (10 位分辨率) 排列。

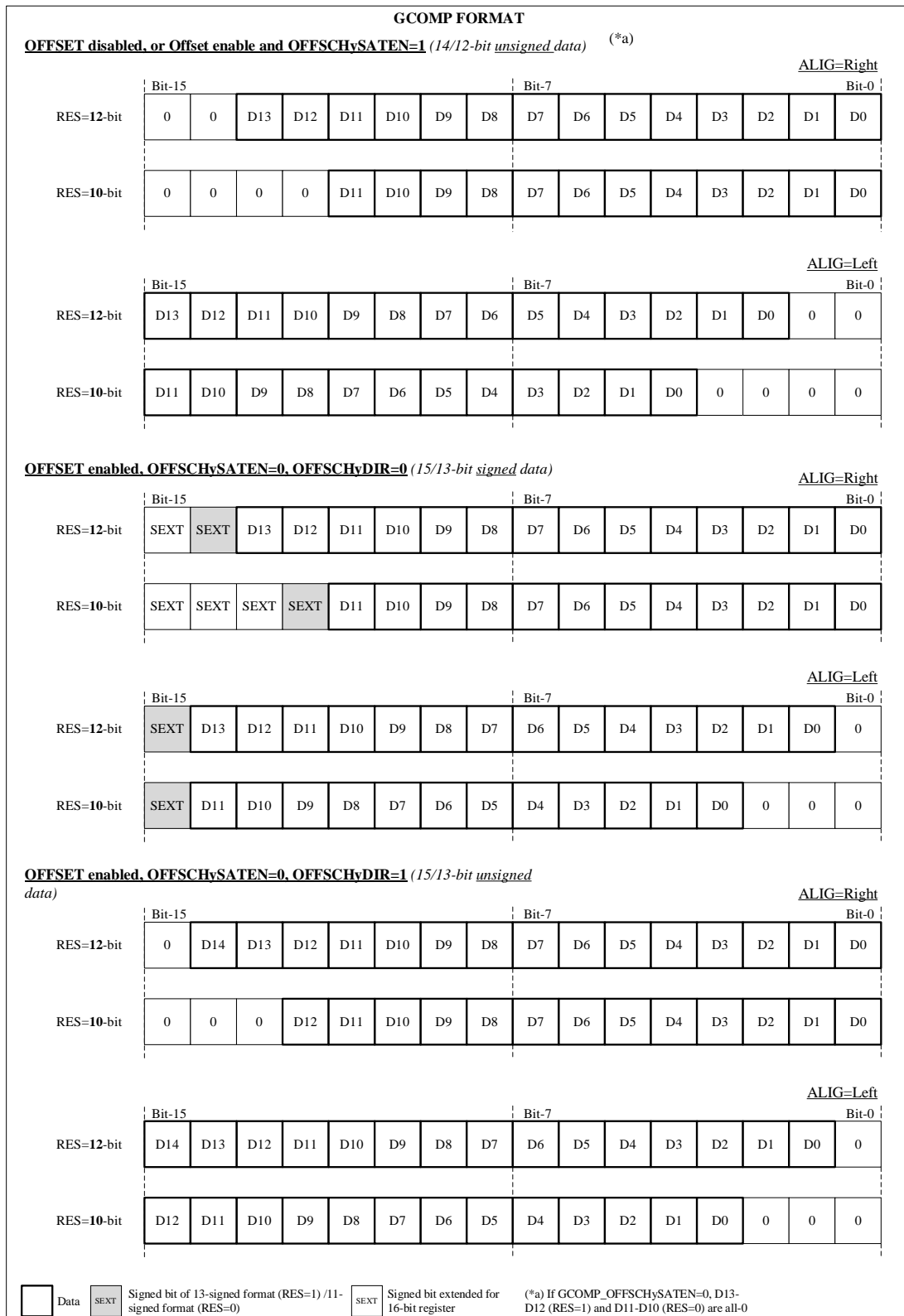
当偏移禁用或 OFFSCHySATEN=0 时, GCOMP\_SATEN 无效。

表 26-11 总结了使用 GCOMP 格式时所有可能的数据格式

图 26-40 详细展示了在 GCOMP 格式下, 数据如何存储到 16 位寄存器中

**表 26-11 GCOMP 格式**

RES bit	OFFSCHyDAT_EN	OFFSCHyDIRy	OFFSCHySATEN	GCOMP_SATEN	数据格式	注意
1: 12 位	0	x	x	x	14 位 无符号	-
	1	0	0	x	15 位无、有符号	-
	1	1	0	x	15 位无符号	-
	1	x	1	0	14 位无符号	饱和范围: 0x0-0xFFF
	1	x	1	1	14 位无符号	饱和范围: 0x0-0x3FFF
0: 10 位	0	x	x	x	12 位无符号	-
	1	0	0	x	13 位有符号	-
	1	1	0	x	13 位无符号	-
	1	x	1	0	12 位无符号	饱和范围: 0x0-0x3FF
	1	x	1	1	12 位无符号	饱和范围: 0x0-0xFFF

**图 26-40 GCOMP 格式**


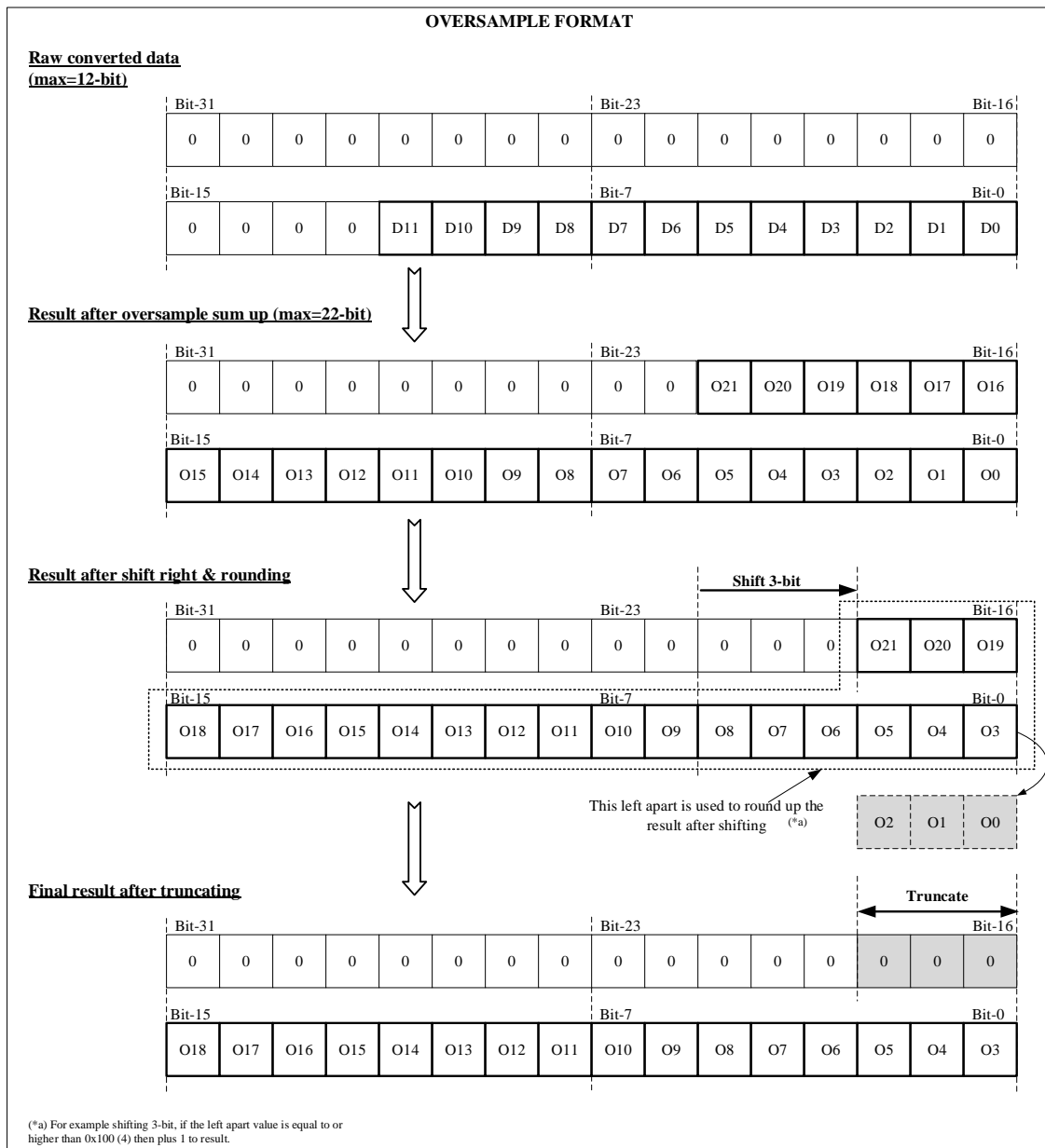
### 26.10.1.3 过采样格式

当使用过采样功能时，需采用此格式。其中，规则转换对应过采样使能位（OSRE）为 1，注入转换对应过采样连接使能位（OSJE）为 1。

在此格式下，偏移补偿与对齐功能失效，相关设置会被忽略，因此数据始终以 16 位无符号格式呈现。但由于转换结果最高可生成 22 位数据，需先通过移位操作保留部分最低有效位，再将数据四舍五入到最接近的数值，随后截断为 16 位最低有效位，最终传输至 ADC 数据寄存器（ADC\_DAT）或 ADC 注入数据寄存器（ADC\_JDATy）中。

图 26-41 详细展示了过采样格式下数据如何存储到 16 位寄存器中，当用户以过采样格式读取寄存器数据时，必须将其识别位 16 位无符号数据

图 26-41 过采样格式 (例如: OSS=移位 3 位)



若增益补偿功能已使能（增益补偿使能位 GCOMPEN=1），则该补偿操作会在数据移位与四舍五入步骤之后，对过采样数据执行。若补偿后的结果数据超过 16 位，同样需进行截断处理。

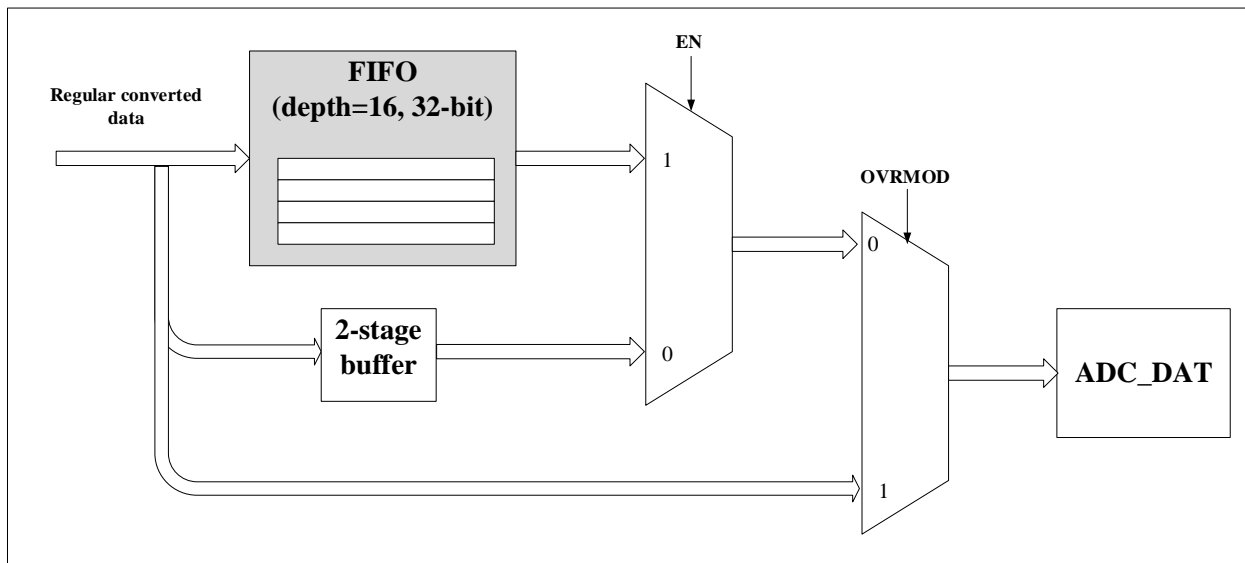
## 26.10.2 FIFO 缓冲(仅适用于规则转换)

对于规则转换数据，每个 ADC 都配备一个用于存储转换后数据的 FIFO 缓冲区，该 FIFO 的深度为 16 级，



数据宽度为 32 位，当使能位 EN=1 时，FIFO 缓冲区将被启用并可被投入使用。

图 26-42 FIFO 缓存

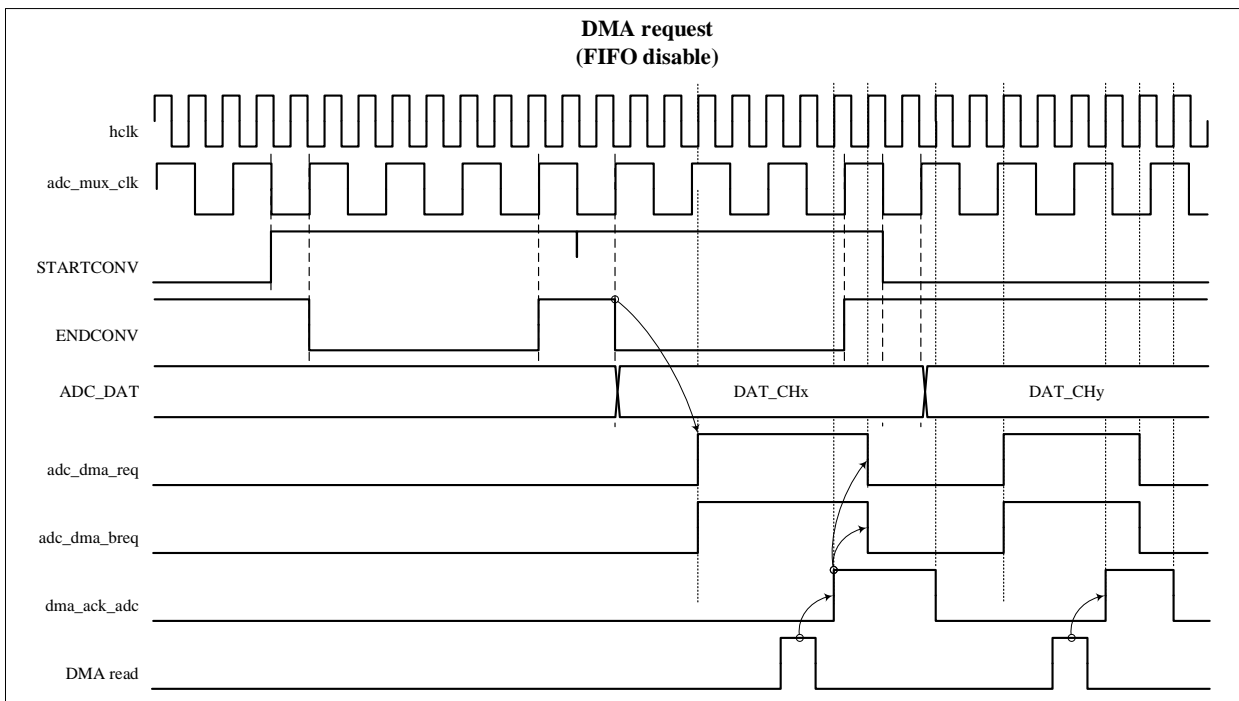
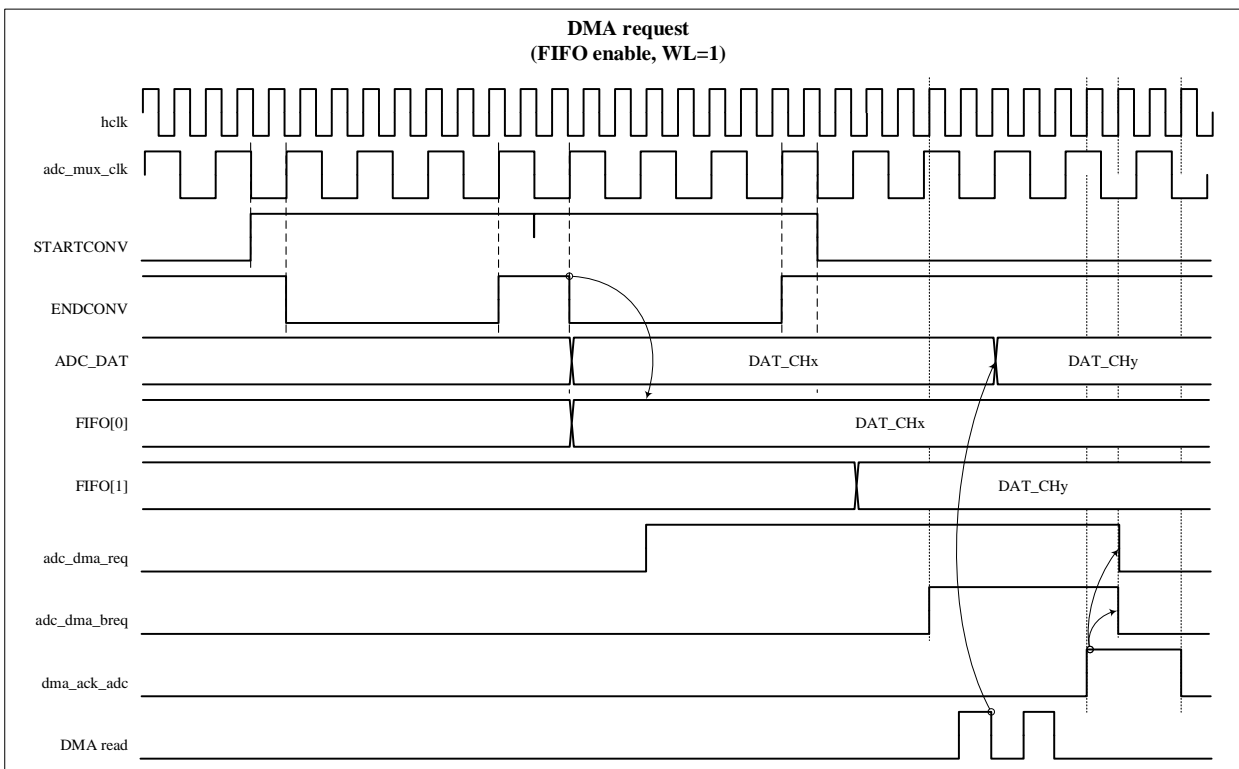


### 26.10.3 DMA 管理数据（仅适用于规则转换）

由于规则通道的转换结果值会存储到一个专用数据寄存器中，因此在对多个通道进行转换时，使用 DMA（直接内存访问）功能十分实用。这一操作可避免已存储在 ADC 数据寄存器（ADC\_DAT）中的数据丢失。

当 DMA 模式使能（DMNGT=11）时，每个通道完成转换后都会生成一个 DMA 请求。该请求可将 ADC\_DAT 寄存器中的转换数据，传输到软件选定的目标存储位置。

系统设有两个 DMA 请求信号，分别用于单次 DMA 传输（adc\_dma\_req）和突发 DMA 传输（adc\_dma\_breq）。具体工作逻辑如下：当 FIFO 禁用时，每次转换都会生成 adc\_dma\_req 和 adc\_dma\_breq 信号，但 DMA 仅使用 adc\_dma\_req 信号。当 FIFO 使能时，仅当 FIFO 中的数据量达到水位线设置（WL）后，才会生成 adc\_dma\_breq 信号，此时 adc\_dma\_req 信号会被忽略。只有在接收到 dma\_ack\_adc 后，adc\_dma\_req 和 adc\_dma\_breq 这两个信号才会被撤销。

**图 26-43 DMA 请求(FIFO 失能)**

**图 26-44 DMA 请求(FIFO 使能)**


注意:

1. 即使DMA 应答 (*dma\_ack*) 未返回, 只要 *SWRSTOP=1* 或 *ON=0*, DMA 请求信号 (*dma\_req/breq*) 仍可被终止。
2. 需通过 *DMNGT* 和 *DMAMD* (多ADC DMA 模式位) 使能并控制DMA, 具体设置如下:

- $DMNGT=11$ : 使能DMA 功能
  - $DMAMD=00$ : 每个独立的ADC 分别生成DMA 请求
  - $DMAMD=01$ : 仅在ADC1 (主ADC) 上生成DMA 请求, 且需在每组数据 (ADC1→ADC2→ADC3) 均就绪后触发
    - 此模式仅适用于以下工作模式: 双ADC 规则同步模式、三ADC 规则同步模式 ( $MULTMODE=00110$ 、 $10110$ )
  - $DMAMD=10$ : 仅在ADC1 (主ADC) 上生成DMA 请求, 且需在每两组数据 (ADC1+ADC2→ADC3+ADC1→ADC2+ADC3) 均就绪后触发
    - 此模式仅适用于以下工作模式: 双ADC 规则交叉模式、三ADC 规则交叉模式、双ADC 规则同步模式 ( $MULTMODE=00111$ 、 $10111$ 、 $00110$ )
  - 多ADC 模式:
    - $DMNGT$  仅在主ADC (ADC1) 上有效, 主ADC 的 $DMNGT$  值会应用于从ADC (从ADC 的 $DMNGT$  值无需关注)。
    - $DMAMD$  仅在ADC1 上有效 (在ADC2、ADC3 上设置 $DMAMD$  无效果)。
    - 当 $DMAMD=01$  或 $10$  时, 对于双ADC 配置, 需将ADC1、ADC2 的 $DMNGT$  均设为 $11$ ; 对于三ADC 配置, 需将ADC1、ADC2、ADC3 的 $DMNGT$  均设为 $11$ 。
    - 当 $DMAMD=01$  或 $10$  时, 若使用FIFO 模式, 仅有ADC1 的FIFO 可以使用。
    - 当 $DMAMD=01$  或 $10$  时, 用户需自行计算采样时间/交叉延迟值, 以确保DMA 有足够时间处理请求。
3. 每次通过DMA 读取ADC\_DAT 的数据后, ENDCA 会自动清零。  
在多ADC 模式下, 当ADC2 或ADC3 的对应数据被读取时, 其ENDCA 标志也会自动清零。

### 26.10.3.1 多 ADC 模式下的 DMA 请求

图 26-45 DMA 请求(DMAMD= 01)

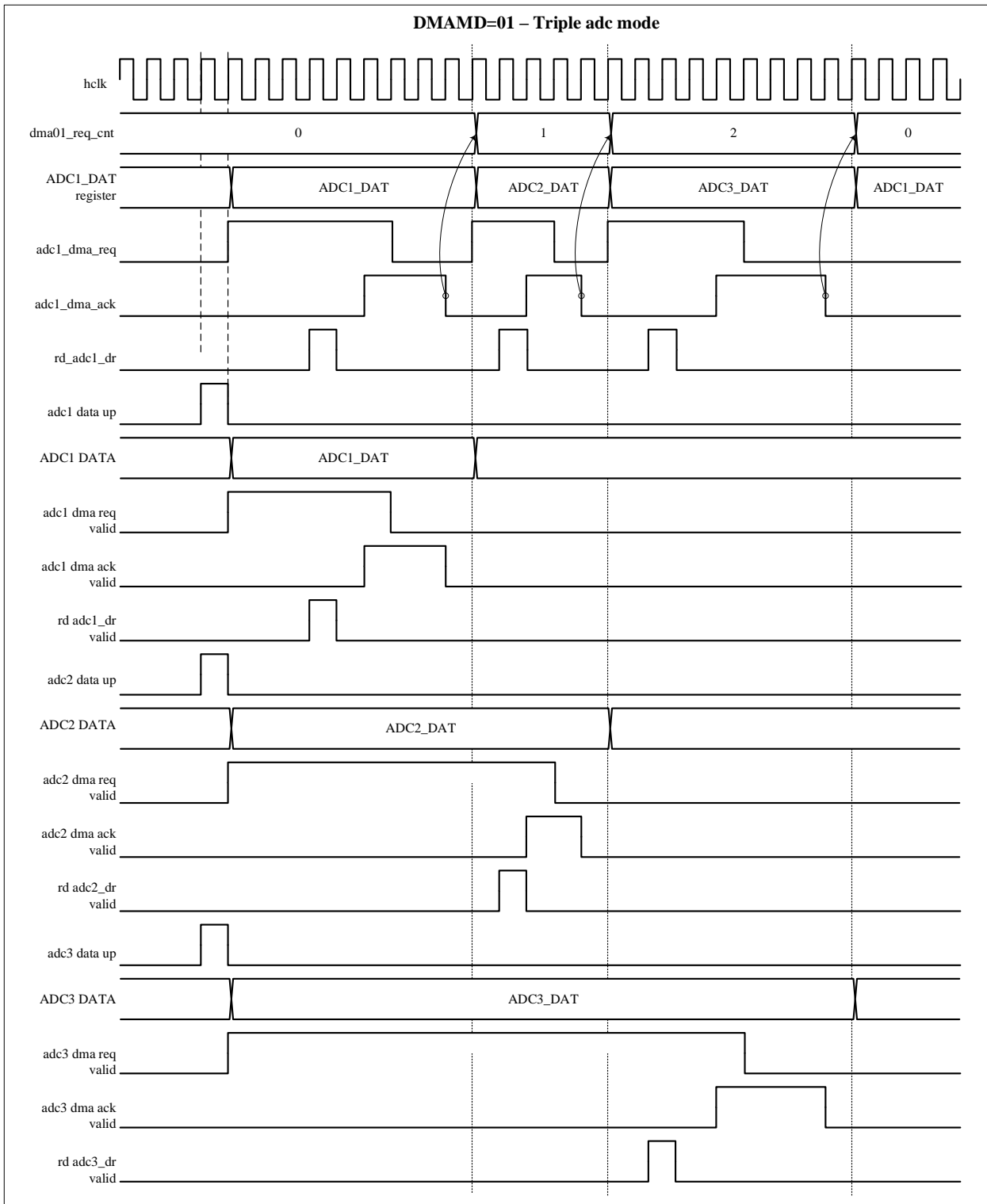
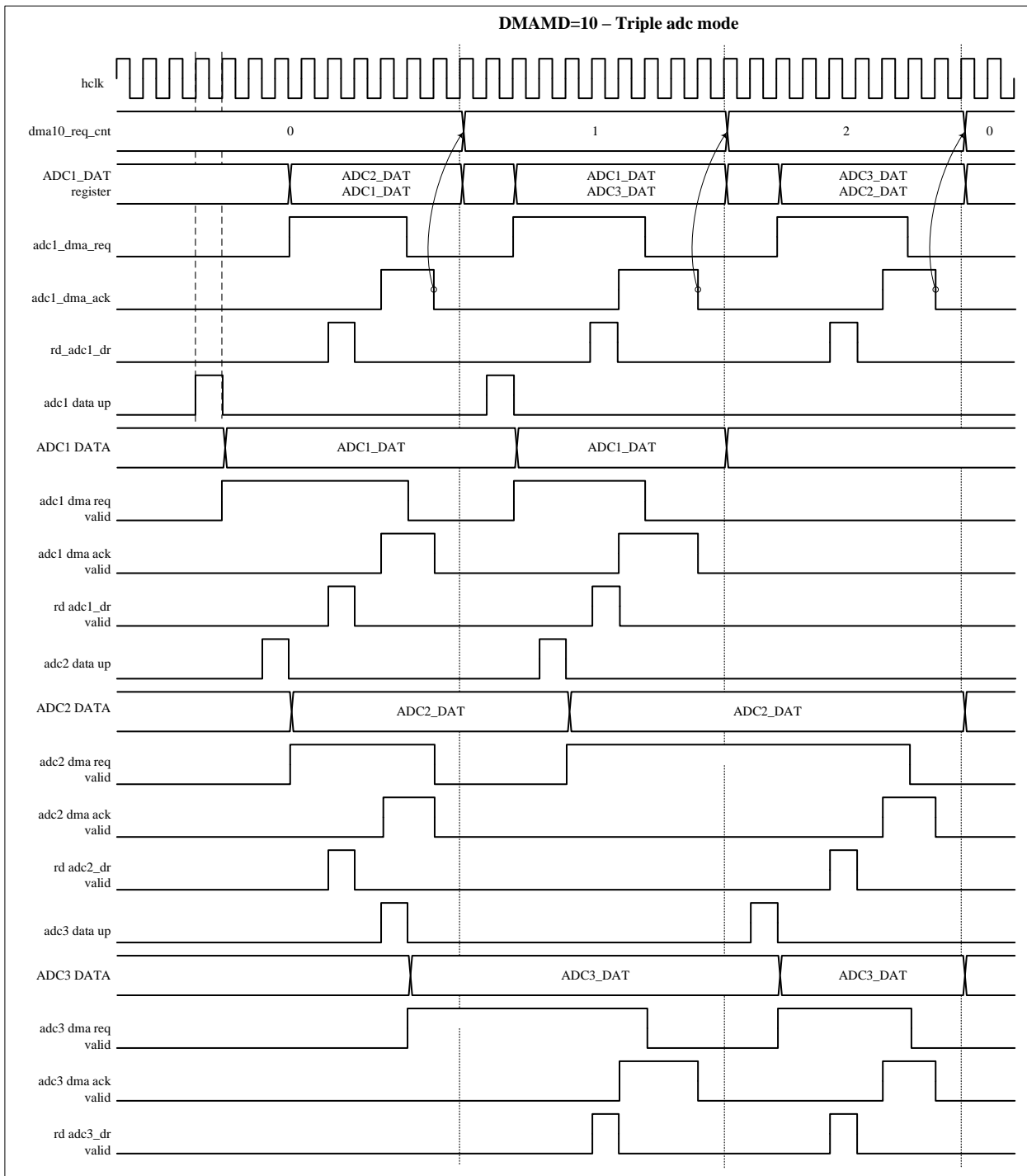
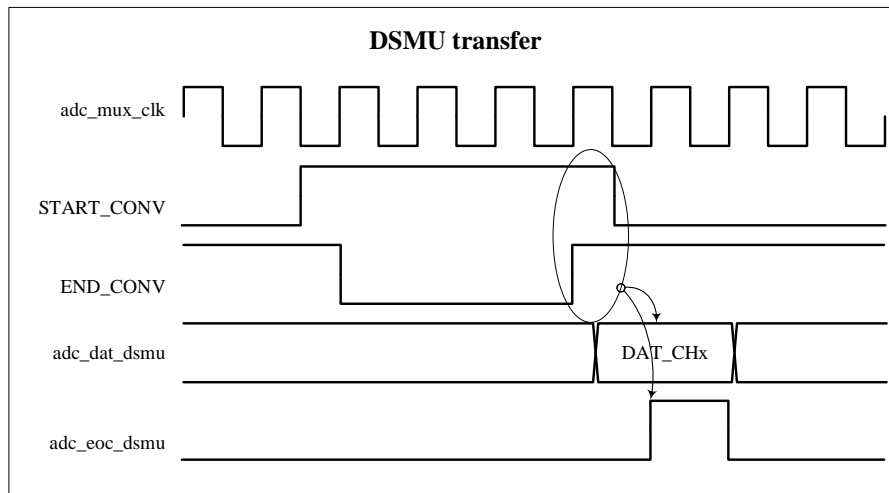


图 26-46 DMA 请求(DMAMD= 10)



### 26.10.3.2 DSMU 管理数据（仅适用于规则转换）

图 26-47 DSMU 传输



注意：

1. 使用 DMNGT 和 MDSMU（多 ADC DSMU）使能和控制 DMA：

- DMNGT=10：使能 DSMU 模式
- MDSMU=0：每个独立的 ADC 分别执行 DSMU 传输
- MDSMU=1：仅在 ADC1（主 ADC）上执行 DSMU 传输，且需在每组数据（ADC1→ADC2→ADC3）均就绪后触发

此模式仅适用于以下工作模式：双 ADC 规则交叉模式、三 ADC 规则交叉模式（MULTMODE= 00111、10111）

— 多 ADC 模式下

- DMNGT 仅在主 ADC（ADC1）上有效，主 ADC 的 DMNGT 值会应用于从 ADC，（从 ADC 的 DMNGT 值无需关注）。
- MDSMU 仅在 ADC1 上有效（在 ADC2、ADC3 上设置 DMAMD 无效果），且仅对双 ADC/三 ADC 模式生效。
- 当 MDSMU=1 时，对于双 ADC 配置，需将 ADC1、ADC2 的 DMNGT 均设为 10；对于三 ADC 配置，需将 ADC1、ADC2、ADC3 的 DMNGT 均设为 10。
- 当 MDSMU=1 时，用户需自行计算采样时间/交叉延迟值，以确保 DSMU 传输有足够时间完成处理。

2. 每次 `adc_eoc_dsmu` 脉冲产生后，ENDCA 标志会自动清零。

在多 ADC 模式下，当 ADC2 或 ADC3 的数据完成传输时，其 ENDCA 标志（转换完成确认标志）也可自动清零。

3. DSMU 模式仅用于规则数据转换，（即注入数据转换不会传输至 DSMU）。

4. DSMU 模式下不使用 FIFO（先进先出缓冲区）。

5. 若要确保提供给 DSMU 的数据格式为 16 位有符号格式，在 DSMU 模式下必须禁用过采样功能。

6. 当使用 DSMU 模式（DMNGT=10）时，数据仍会存储到 ADC\_DAT 寄存器中，但存在以下特殊规则：

— 向 ADC\_DAT 寄存器存储数据时，不处理溢出/下溢：更新 ADC\_DAT 或读取 ADC\_DAT 不会置位 WEFLAG（写标志）/REFLAG（读标志）。

- WEFLAG/UNDRUN（下溢标志）仅用于指示传输至 DSMU 的数据状态。

— Not handle to clear ENDCA flag when read ADC\_DAT

- 仅当数据传输至 DSMU (adc\_eoc\_dsmu 信号置位) 时, ENDCA 标志才会自动清零。
  - 数据寄存器会被最新的转换结果覆盖, 之前未读取的数据将丢失。
  - ADC\_DAT 内部缓冲区或 FIFO (先进先出缓冲区) 处于禁用状态。
  - 后续的所有转换仍正常执行, 且 ADC\_DAT 寄存器始终存储最新的转换结果。此行为与 OVRMOD=1 (溢出模式 = 1) 时一致。
- 即使有多 ADC 模式且 MDSMU=1 的情况下, 数据仍会分别存储到每个 ADC 的 ADC\_DAT 寄存器中。
7. 当使用 DSMU 模式 (DMNGT=10) 时, 模拟看门狗功能 (AWD) 仍保持正常工作。

### 26.10.3.3 多 ADC 模式下的 DSMU 传输

图 26-48 双 ADC 模式下的 DSMU 传输

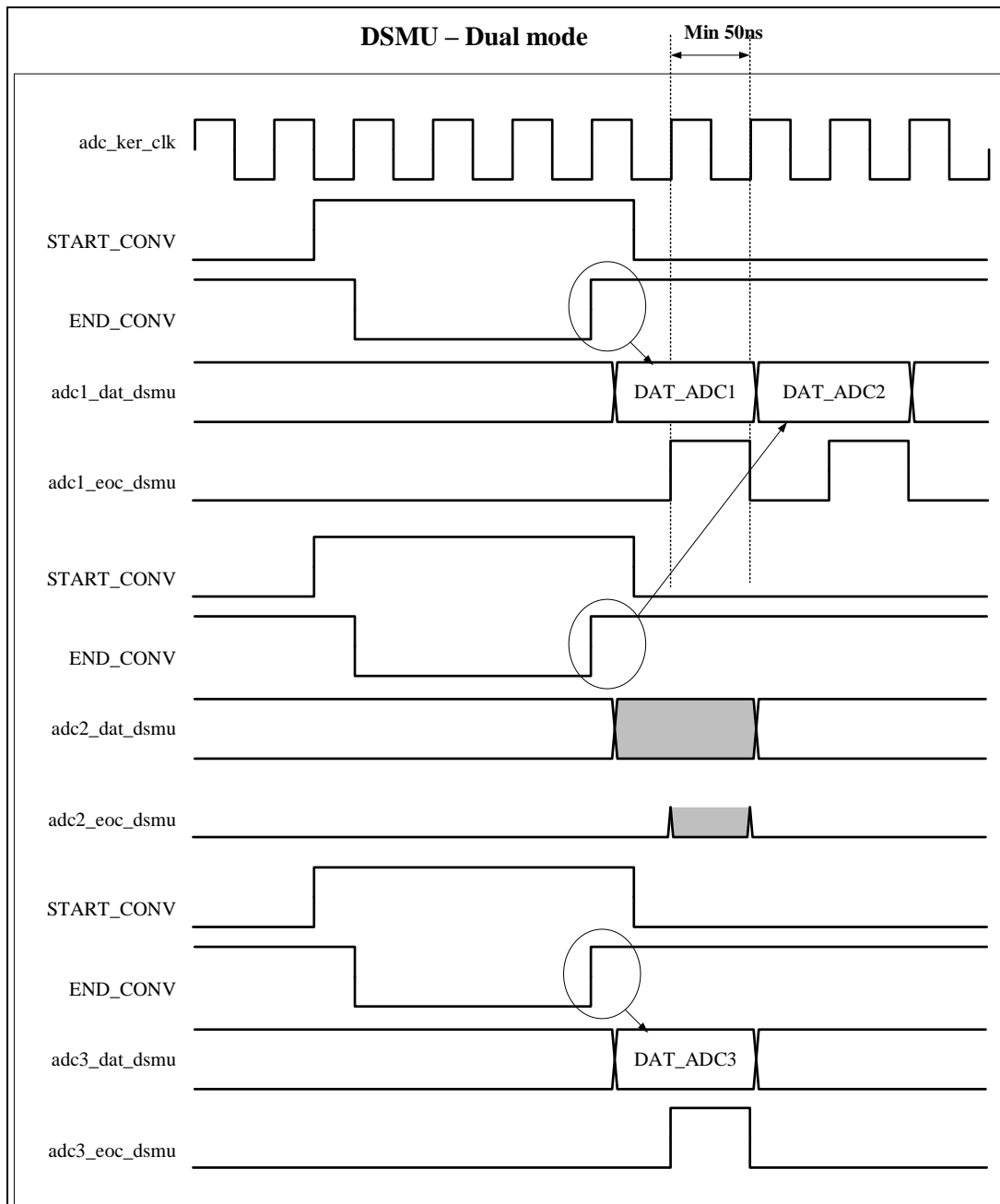
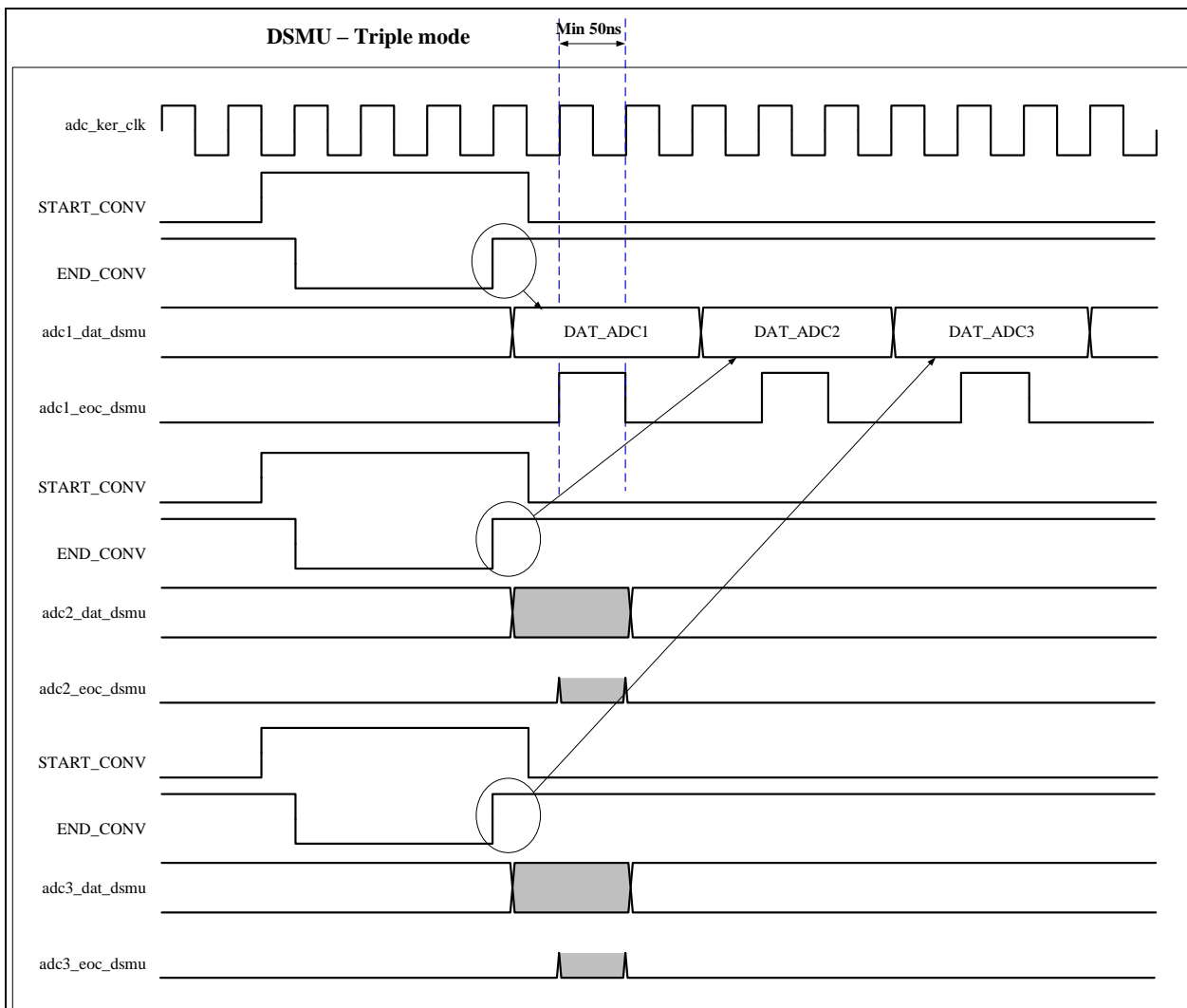


图 26-49 三 ADC 模式下的 DSMU 传输



#### 26.10.4 溢出/下溢检测（仅适用于规则转换）

溢出标志（WEFLAG）用于提示：当新的转换数据就绪前，规则转换数据尚未被（CPU、DMA 或 DSMU）读取，此时会发生缓冲区溢出事件。若出现该情况，WEFLAG 标志会被置位。若溢出中断使能位（WEIEN）设为 1，还可触发中断。

下溢标志（REFLAG）用于提示：当数据缓冲区为空时，仍执行（CPU、DMA 或 DSMU）读取操作，此时会发生下溢事件。若出现该情况，REFLAG 标志会被置位。若下溢中断使能位（REIEN）设为 1，还可触发中断。

当发生溢出情况时，ADC 仍会保持运行状态并继续执行转换，除非软件通过设置软件复位停止位为 1，决定停止并重置转换序列。

WEFLAG 和 REFLAG 标志需通过软件分别向对应位写入 1 来清零。

可通过配置溢出模式控制位，设定溢出事件发生时数据是被保留还是被覆盖，具体规则如下：

- OVRMOD = 0:



溢出事件会保护数据寄存器不被覆盖。旧数据会保留，保留数量不超过 ADC\_DAT FIFO 的深度（若 EN=1），而新的转换数据会被丢弃并丢失。若 OVR 持续为 1，后续所有转换仍会执行，但转换结果同样会被丢弃。

#### ■ OVRMOD = 1:

数据寄存器会被最新的转换结果覆盖，之前未读取的数据将丢失。在此模式下，无论 FIFO 使能位（EN）如何设置，ADC\_DAT FIFO 均处于禁用状态。若 OVR 持续为 1，后续所有转换仍正常执行，且 ADC\_DAT 寄存器始终存储最新的转换结果。

*注意：注入通道无溢出检测功能，因为四个注入通道各自配备了专用的数据寄存器。*

## 26.10.5 数据清除

转换数据会在以下任一情况下被清除：

1. 当 DMNGT=00 或 01 时，读取 ADC\_DAT 寄存器。  
*若使用缓冲区或 FIFO，会按顺序清除其中的一个数据元素。*
2. 当 DMNGT=10 时，adc\_dsmu\_eoc 信号置位（表示已发生 DSMU 传输）。  
*若使用缓冲区或 FIFO，会按顺序清除其中的一个数据元素。*
3. 向 CLR 位（清除位）写入 1。  
*会清除所有数据缓冲区或 FIFO 中的数据。*
4. 复位 ADCCTRL（若为 DSMU 模式：ADC 内核复位，若为其他模式：执行 AHB 复位）  
*两种复位均会清除所有数据缓冲区或 FIFO 中的数据。*
5. 向 ADC\_CTRL3 寄存器的 RSTART 位写入 1，以启动新的转换序列。  
*会清除所有数据缓冲区或 FIFO 中的数据。*

*注意：停止转换（自动清除或执行 SWRSTOP 命令）不会清除数据。*

## 26.11 模拟看门狗

三个模拟看门狗（AWD）用于监控部分通道的电压是否保持在配置的电压范围内。

### 26.11.1 AWD<sub>x</sub> 标志位与中断

通过设置 AWD<sub>x</sub>IE（x=1、2、3），可分别为三个模拟看门狗中的每一个使能中断功能。AWD<sub>x</sub>（x=1、2、3）标志需通过软件向对应位写入 1 来清零。ADC 转换结果会在对齐操作前，与下限阈值和上限阈值进行比较。

### 26.11.2 模拟看门狗 1

通过设置 AWD1ERCH 位，可使能模拟看门狗 1。该看门狗用于监控单个选定通道或所有使能通道（1）的电压是否保持在配置的电压范围（窗口）内。当 ADC 转换得到的模拟电压低于下限阈值或高于上限阈值时，模拟看门狗 1 的状态位会被置位。

仅在以下场景下使用模拟看门狗滤波器：AWD1ERCH/AWD1EJCH=1 且 AWD1SGLEN=1，此时用户可使用单次模式（One-shot）或（SCANMD），且 LEN/JLEN（规则通道长度/注入通道长度）可设为任意值。

使用模拟看门狗滤波器时，其仅对 AWDx 标志产生影响。ENDCA 标志（转换结束标志）、DMA 请求、ADC\_DAT 寄存器及 AWDx\_ADCy\_OUT 信号均不受该滤波器影响。

### 26.11.3 模拟看门狗 2、3

第二个和第三个模拟看门狗灵活性更高，通过对 AWDxCH [18:0] (x=2、3) 中对应的位进行编程，可实现对多个选定通道的监控。当 AWDxCH [18:0] (x=2、3) 中的任意一位被置位时，对应的模拟看门狗被使能。

### 26.11.4 ADCy\_AWDx\_OUT 信号输出生成

每个模拟看门狗都关联一个内部硬件信号 ADCy\_AWDx\_OUT (y 代表 ADC 编号，x 代表看门狗编号)，该信号直接连接至部分片上定时器的外部触发输入。

当关联的模拟看门狗使能时，ADCy\_AWDx\_OUT 信号会被激活，具体逻辑如下：

- 当受监控的转换结果超出编程设定的阈值范围时，ADCy\_AWDx\_OUT 信号会被置位。
- 当下一次受监控的转换结果处于编程设定的阈值范围内时，ADCy\_AWDx\_OUT 信号会被复位；若下一次及后续受监控的转换结果仍超出阈值范围，则该信号会保持为 1。
- 当禁用 ADC（将 ON 位设为 0）时，ADCy\_AWDx\_OUT 信号也会被复位。

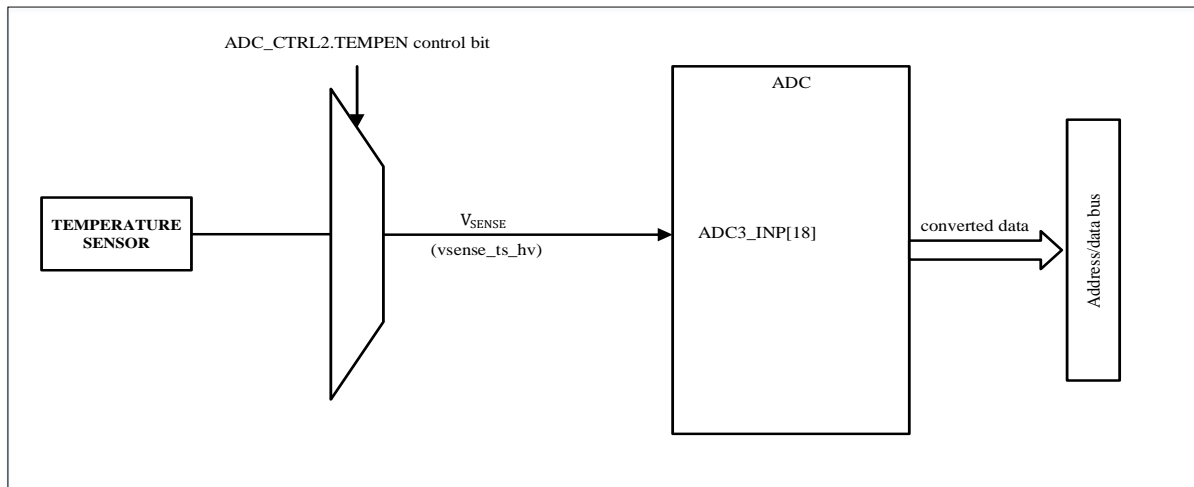
需注意，停止规则转换或注入转换（SWRSTOP 位设为 1 或 SWJSTOP 位设为 1），对 ADCy\_AWDx\_OUT 信号的生成无影响。

*注意：AWDx 标志由硬件置位、软件复位，且该标志对 ADCy\_AWDx\_OUT 信号的生成无影响。例如，若软件未清除 AWDx 标志，即使该标志保持为 1，ADCy\_AWDx\_OUT 信号仍可发生电平翻转。*

## 26.12 温度传感器

将 ADC\_CTRL2 寄存器的 TEMPEN 位设置为 1，即可使能温度传感器。该传感器可在器件工作时用于检测环境温度。温度传感器采样的输出电压会通过 ADC3\_INP [18] 通道转换为数字值。温度传感器工作时，理想采样时间为 17.1 us。温度传感器不工作时，可通过软件清零 ADC\_CTRL2 寄存器的 TEMPEN 位，以降低功耗。如图 26-50。

温度传感器的输出电压随温度呈线性变化。由于生产工艺不同，不同芯片的温度曲线会存在差异偏移。经测试发现，最大偏移量为 3°C。该特性使内部温度传感器更适合用于检测温度变化，而非测量绝对温度。若需精确测温，则应使用外部温度传感器。

**图 26-50 温度传感器通道框图**


### 26.12.1 温度值测量

1. 配置通道（ADC3 INP [18]），并将该通道的采样时间设置为 17.1 us。
2. 将 ADC\_CTRL2 寄存器的 TEMPEN 位设置为 1，使能温度传感器。
3. 将 ADC\_CTRL2 寄存器的 ON 位设置为 1，启动 ADC 转换（或通过外部触发启动）。
4. 读取 ADC 数据寄存器中的温度数据，并通过以下公式计算温度值：

$$\text{Temperature}(\text{°C}) = \{ (V_{\text{Temperature}} - V_{\text{SENSE}}) / \text{Avg\_Slope} \} + \text{Temperature} - T_{\text{Offset}}$$

其中：

$V_{\text{Temperature}}$ ：与  $V_{\text{SENSE}}$  对应的温度值

$\text{Avg\_Slope}$ ：温度与  $V_{\text{SENSE}}$  曲线的平均斜率（mV/°C 或 uV/°C）

$T_{\text{Offset}}$ ：1.25°C，为经验性温度误差补偿值（°C）

$\text{Temperature}$ ：经过校准后的基准温度值

$\text{Avg\_Slope}$ ：实际数值可参考数据手册电气特性章节。

**注意：**

1. 传感器从掉电模式恢复到输出正确  $V_{\text{SENSE}}$  值需要一段稳定时间，ADC 上电后同样存在稳定时间。因此，为缩短延迟，应同时设置 ADC\_CTRL2 寄存器的 TEMPEN 位和 ON 位。
2. 此处测量的温度为芯片结温，其数值可能与芯片所处的环境温度存在显著差异。

### 26.13 中断

每个 ADC 均可根据状态寄存器的某一位生成中断。表 26-12 列出了支持的中断类型，所有中断均为电平型。系统提供独立的中断使能位，以提升使用灵活性。

**表 26-12 中断列表**

中断描述	中断标志位	使能控制位
规则数据溢出	WEFLAG	WEIEN
规则数据下溢	REFLAG	REIEN
采样结束	EOSAMP	EOSMPIEN
ADC 掉电就绪	PDRDYFLAG	PDRDYIEN
ADC 就绪 ADC Ready	RDYFLAG	RDYIEN
模拟看门狗 1 置位	AWDG1	AWD1IE
模拟看门狗 2 置位	AWD2FLAG	AWD2INTEN
模拟看门狗 3 置位	AWD3FLAG	AWD3INTEN
注入组每次转换结束	JENDCA	JENDCAIEN
注入组转换序列结束	JENDC	JENDCIEN
规则组每次转换结束	ENDCA	ENDCAIEN
规则组转换序列结束	ENDC	ENDCIEN
FIFO 满 (仅规则组)	FFLAG	FINTEN
FIFO 半满 (仅规则组)	HFFLAG	HFINTEN
FIFO 非空 (仅规则组)	NEFLAG	NEINTEN
FIFO 空 (仅规则组)	EFLAG	EINTEN

ADC\_STS 寄存器中还存在其他一些标志位,但这些标志位不关联中断功能,具体如下:

- JSTR (注入组转换序列启动标志)
- STR (规则组转换序列启动标志)
- ROSOVFDSMU (DSMU 模式下规则采样溢出 15 位数据标志)
- ROSOVF (规则采样溢出 16 位数据标志)
- JOSOVF (注入采样溢出 16 位数据标志)

## 26.14 寄存器

### 26.14.1 ADC 状态寄存器 (ADC\_STS)

偏移地址: 0x00

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved													WEFLAG	REFLAG	
													rc_w1	rc_w1	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	ROSOVF DSMU	JOSOVF	ROSOVF	EOSAMP	Reserved	PDRDYF	RDYF	Reserved	AWDG1	STR	JENDCA	JENDC	JSTR	ENDCA	ENDC
	rc_w1	rc_w1	rc_w1	rc_w1		rc_w1	rc_w1		rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

位域	名称	描述
31:18	Reserved	保留，必须保持复位值
17	WEFLAG	FIFO 写入错误状态 该状态由硬件置 1，软件写入 1 可将其清除。 0：未发生写入错误 1：已发生写入错误
16	REFLAG	FIFO 读取错误状态 该状态由硬件置 1，软件写入 1 可将其清除。 0：未发生读取错误 1：已发生读取错误
15	Reserved	保留，必须保持复位值
14	ROSOVFSMU	DSMU 模式下 15 位规则过采样数据溢出 当满足以下条件时，此位由硬件置 1：启用规则过采样（ADC_OSCFG.OSRE = 1）、处于 DSMU 模式（ADC_CTRL3.DMNGT= 10），且计算得到的过采样数据超过 15 位。 0：未发生溢出 1：已发生溢出
13	JOSOVF	16 位注入过采样数据溢出 当启用注入过采样（ADC_OSCFG.OSJE = 1），且计算得到的过采样数据超过 16 位（超过 16 位的部分会被截断）时，此位由硬件置 1。 0：未发生溢出 1：已发生溢出
12	ROSOVF	16 位规则过采样数据溢出 当启用规则过采样（ADC_OSCFG.OSRE= 1），且计算得到的过采样数据超过 16 位（超过 16 位的部分会被截断）时，此位由硬件置 1。 0：未发生溢出 1：已发生溢出
11	EOSAMP	规则通道采样结束标志 当规则通道采样完成时，此位由硬件置 1，软件写入 1 可将其清除。 0：规则通道采样未完成 1：规则通道采样已完成
10	Reserved	保留，必须保持复位值
9	PDRDYF	掉电就绪（Power down ready） 当 ADC_CTRL2.ON 为 0 且控制器已结束当前操作后，此位由硬件置 1，可通过软件将其清除。 0：ADC 控制器处于运行状态 1：ADC 控制器处于掉电状态
8	RDYF	ADC 运行就绪标志 当 ADC_CTRL2.ON 为 1 且控制器与 ADC 均就绪后，此位由硬件置 1。用户可读取此位状态，以判断是否开始转换操作，该位可通过软件清除。 0：ADC 未准备好 1：ADC 已准备好
7	Reserved	保留，必须保持复位值

6	AWDG1	模拟看门狗 1 标志 当转换后的电压值超出 ADC_AWD1HIGH.HTH 位与 ADC_AWD1LOW.LTH 位所定义的范围时，此位由硬件置 1，软件写入 1 可将其清除。 0：未发生模拟看门狗事件 1：已发生模拟看门狗事件
5	STR	规则通道启动标志 当规则通道开始转换时，此位由硬件置 1，软件写入 1 可将其清除。 0：规则通道转换未启动 1：规则通道转换已启动
4	JENDCA	任意注入通道转换结束 当任意注入通道序列转换结束时，此位由硬件置 1，软件写入 1 可将其清除。 0：转换未完成 1：转换已完成
3	JENDC	注入通道转换结束 当注入通道序列转换结束时，此位由硬件置 1，软件写入 1 可将其清除。 0：注入通道序列转换未完成 1：注入通道序列转换已完成
2	JSTR	注入通道启动标志 当注入通道开始转换时，此位由硬件置 1，软件写入 1 可将其清除。 0：注入通道转换未启动 1：注入通道转换已启动
1	ENDCA	任意转换结束标志 当任意规则通道转换结束时，此位由硬件置 1，软件写入 1 可将其清除。 0：转换未完成 1：转换已完成
0	ENDC	转换结束 当规则通道序列转换结束时，此位由硬件置 1，软件写入 1 可将其清除。 0：转换未完成 1：转换已完成

## 26.14.2 ADC 控制寄存器 1 (ADC\_CTRL1)

偏移地址: 0x04

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	WEIEN	REIEN	EOSMP IEN	PDRDY IEN	RDYIEN	Reserved	DJCH	DREGCH	AWD1 ERCH	AWD1 EJCH	AWD1CH[4:0]				
	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MULTMODE[4:0]				DCTU[2:0]			AUTOJC	AWD1 SGLEN	AWD1IEN	JENDC IEN	JENDCA IEN	ENDC IEN	ENDCA IEN	SCANMD	
rw				rw			rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31	Reserved	保留，必须保持复位值
30	WEIEN	FIFO 写入错误中断使能 该位由软件置 1 或清 0。 0：禁用 1：使能
29	REIEN	FIFO 读取错误中断使能 该位由软件置 1 或清 0。 0：禁用 1：使能
28	EOSMPIEN	ADC 采样完成中断使能 该位由软件置 1 或清 0。 0：禁用 ADC 采样完成中断 1：使能 ADC 采样完成中断
27	PDRDYIEN	ADC 掉电就绪中断使能 该位由软件置 1 或清 0。 0：禁用 ADC 掉电就绪中断 1：使能 ADC 掉电就绪中断
26	RDYIEN	ADC 就绪中断使能 该位由软件置 1 或清 0。 0：禁用 ADC 准备好中断 1：使能 ADC 准备好中断
25	Reserved	保留，必须保持复位值
24	DJCH	注入通道不连续模式 该位由软件置 1 或清 0，用于使能或禁用注入通道组的不连续模式。 0：禁用注入通道组的不连续模式 1：启用注入通道组的不连续模式
23	DREGCH	规则通道不连续模式 该位由软件置 1 或清 0，用于使能或禁用规则通道组的不连续模式。 0：禁用规则通道组的不连续模式 1：启用规则通道组的不连续模式
22	AWD1ERCH	规则通道模拟看门狗 1 使能 该位由软件置 1 或清 0。 0：禁用规则通道的模拟看门狗 1 1：启用规则通道的模拟看门狗 1
21	AWD1EJCH	注入通道模拟看门狗 1 使能 该位由软件置 1 或清 0。 0：禁用注入通道的模拟看门狗 1 1：启用注入通道的模拟看门狗 1

20:16	AWD1CH[4:0]	模拟看门狗通道选择位 这些位由软件置 1 或清 0，用于选择受模拟看门狗 1 保护的输入通道。 00000: ADC 模拟输入通道 0 00001: ADC 模拟输入通道 1 ..... 10000: ADC 模拟输入通道 16 10001: ADC 模拟输入通道 17 10010: ADC 模拟输入通道 18 10011: ADC 模拟输入通道 19 其他: 保留
15:11	MULTIMODE[4:0]	多 ADC 模式选择 00001 - 01001: 双 ADC 工作模式 (ADC1 和 ADC2 协同, ADC3 独立) 00000: 独立模式 00001: 组合同步规则 + 同步注入模式 00010: 组合同步规则 + 交替触发模式 00011: 组合同步注入 + 交叉模式 00100: 保留 00101: 同步注入模式 00110: 同步规则模式 00111: 交叉模式 01000: 保留 01001: 交替触发模式 10001 - 11001: 三 ADC 工作模式 (ADC1、ADC2 和 ADC3 协同) 10001: 组合同步规则 + 同步注入模式 10010: 组合同步规则 + 交替触发模式 10011: 组合同步注入 + 交叉模式 10100: 保留 10101: 同步注入模式 10110: 同步规则模式 10111: 交叉模式 11000: 保留 11001: 交替触发模式 注意: 1. 在从 ADC 中, 这些位的配置应与 ADC1 保持一致; 2. 在双 ADC 或三 ADC 模式下, 修改通道配置会触发重启条件, 导致同步丢失。建议在进行了任何配置修改前, 先禁用双 ADC 或三 ADC 模式。
10:8	DCTU[2:0]	不连续模式通道数量 软件通过这些位, 定义在不连续模式下接收外部触发后, 需执行的规则通道转换次数。 000: 1 个通道 001: 2 个通道 ..... 111: 8 个通道



7	AUTOJC	自动注入组转换 该位由软件置 1 或清 0，用于在规则通道序列转换结束后，使能或禁用注入通道序列转换。 0：禁用自动注入通道序列转换 1：使能自动注入通道序列转换
6	AWD1SGLEN	扫描模式下单个通道使能看门狗 1 该位由软件置 1 或清 0，用于在 ADC_CTRL1.AWD1CH [4:0]位指定的通道上使能模拟看门狗 1 功能，或在所有通道上使能模拟看门狗 1 功能。 0：所有通道均使用模拟看门狗 1 1：单个通道使用模拟看门狗 1
5	AWD1IEN	模拟看门狗 1 中断使能 该位由软件置 1 或清 0，用于禁用或使能模拟看门狗 1 产生中断。在扫描模式下，若看门狗 1 检测到超范围值，仅当此位被置 1 时，扫描才会中止。 0：禁用模拟看门狗 1 中断 1：使能模拟看门狗 1 中断
4	JENDCIEN	JENDC 中断使能 该位由软件置 1 或清 0，用于在注入转换序列完成后，禁用或使能中断。 0：禁用 ADC_STS.JENDC 位中断 1：使能 ADC_STS.JENDC 位中断
3	JENDCAIEN	任意注入通道中断使能 该位由软件置 1 或清 0，用于禁用或使能任意注入通道的转换结束中断。 0：禁用 ADC_STS.JENDCA 位中断 1：使能 ADC_STS.JENDCA 位中断
2	ENDCIEN	ENDC 中断使能 该位由软件置 1 或清 0，用于在规则转换序列完成后，禁用或使能中断。 0：禁用 ADC_STS.ENDC 位中断 1：使能 ADC_STS.ENDC 位中断
1	ENDCAIEN	任意规则通道中断使能 该位由软件置 1 或清 0，用于禁用或使能任意规则通道的转换结束中断。 0：禁用 ADC_STS.ENDCA 位中断 1：使能 ADC_STS.ENDCA 位中断
0	SCANMD	扫描模式 该位由软件置 1 或 0，用于禁用或使能扫描模式。在扫描模式下，转换会在 ADC_RSEQx 寄存器或 ADC_JSEQ 寄存器所选的通道上执行。 0：禁用扫描模式 1：使能扫描模式  <i>注意: 若仅将 ADC_CTRL1.ENDCIEN 或 ADC_CTRL1.JENDCIEN 位置 1，则仅在最后一个通道转换完成后，才会产生 ADC_STS.ENDC 或 ADC_STS.JENDC 中断。</i>

### 26.14.3 ADC 状态寄存器 2 (ADC\_CTRL2)

偏移地址: 0x08

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EXTPRSEL[1:0]		EXTRSEL[5:0]					TEMPEN	SWSTR RCH	SWSTR JCH	Reserved			EXTJSEL[5:3]		
rw		rw					rw	rw	rw				rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTJSEL[2:0]			Reserved	ALIG	EXTPJSEL[1:0]	DMAMD[1:0]	MDSMU	DMNGT[1:0]	Reserved	ENCAL	CTU	ON			
rw				rw	rw	rw	rw	rw		rw	rw	rw			

位域	名称	描述
31:30	EXTPRSEL[1:0]	规则通道外部触发使能与极性选择 00: 禁用外部触发检测（用户仅可通过软件触发 ADC 转换） 01: 检测外部触发的上升沿，将其作为有效触发 10: 检测外部触发的下降沿，将其作为有效触发 11: 检测外部触发的上升沿与下降沿，均作为有效触发
29:24	EXTRSEL[5:0]	规则组外部事件选择 这些位用于选择触发规则序列转换的外部事件。 ADC 触发配置： 000000: ATIM1 CC1 事件 000001: ATIM1 CC2 事件 000010: ATIM1 CC3 事件 000011: ATIM1 CC4 事件 000100: ATIM1 TRGO 事件 000101: ATIM2 CC1 事件 000110: ATIM2 CC2 事件 000111: ATIM2 CC3 事件 001000: ATIM1 TRGO2 事件 001001: ATIM2 TRGO 事件 001010: ATIM3 CC1 事件 001011: ATIM3 CC2 事件 001100: ATIM3 CC3 事件 001101: ATIM3 CC4 事件 001110: ATIM2 TRGO2 事件 001111: ATIM3 TRGO 事件 010000: ATIM4 TRGO2 事件 010001: ATIM3 TRGO2 事件 010010: ATIM4 TRGO 事件 010011: GTIMB1 TRGO 事件 010100: GTIMB2 TRGO 事件 010101: GTIMB3 TRGO 事件 010110: GTIMA1 TRGO 事件 010111: GTIMB1 CC2 事件 011000: GTIMB2 CC4 事件

位域	名称	描述
		011001: GTIMB3 CC2 事件 011010: GTIMA1 CC4 事件 011011: SHRTIM1 TRG1 事件 011100: SHRTIM1 TRG3 事件 011101: SHRTIM2 TRG1 事件 011110: SHRTIM2 TRG3 事件 011111: EXTI 线 0~15 事件
23	TEMPEN	温度传感器使能 该位由软件置 1 或清 0，用于使能或禁用温度传感器通道。 此位仅在 ADC1 中有效，在 ADC2 和 ADC3 中会被忽略： 0: 禁用温度传感器通道测量 1: 使能温度传感器通道测量
22	SWSTRCH	规则通道转换启动 软件置 1 此位以启动转换，转换开始后由硬件将其清 0。该位用于启动一组规则通道的转换。 0: 复位状态 1: 启动规则通道转换
21	SWSTRJCH	注入通道转换启动 软件置 1 此位以启动转换，转换开始后可由软件立即清 0，也可由硬件清 0。该位用于启动一组注入通道的转换。 0: 复位状态 1: 启动注入通道转换
20:19	Reserved	保留，必须保持复位值
18:13	EXTJSEL[5:0]	注入组外部事件选择 这些位用于选择触发注入序列转换的外部事件。 ADC 触发配置： 000000: ATIM1 CC1 事件 000001: ATIM1 CC2 事件 000010: ATIM1 CC3 事件 000011: ATIM1 CC4 事件 000100: ATIM1 TRGO 事件 000101: ATIM2 CC1 事件 000110: ATIM2 CC2 事件 000111: ATIM2 CC3 事件 001000: ATIM1 TRGO2 事件 001001: ATIM2 TRGO 事件 001010: ATIM3 CC1 事件 001011: ATIM3 CC2 事件 001100: ATIM3 CC3 事件 001101: ATIM3 CC4 事件 001110: ATIM2 TRGO2 事件 001111: ATIM3 TRGO 事件 010000: ATIM4 TRGO2 事件

位域	名称	描述
		010001: ATIM3 TRGO2 事件 010010: ATIM4 TRGO 事件 010011: GTIMB1 TRGO 事件 010100: GTIMB2 TRGO 事件 010101: GTIMB3 TRGO 事件 010110: GTIMA1 TRGO 事件 010111: GTIMB1 CC1 事件 011000: GTIMB2 CC4 事件 011001: GTIMB3 CC1 事件 011010: GTIMA1 CC3 事件 011011: SHRTIM1 TRG2 事件 011100: SHRTIM1 TRG4 事件 011101: SHRTIM2 TRG2 事件 011110: SHRTIM2 TRG4 事件 011111: EXTI 线 0~15 事件
12	Reserved	保留, 必须保持复位值
11	ALIG	数据对齐 该位由软件置 1 或清 0。 0: 右对齐 1: 左对齐
10:9	EXTPJSEL[1:0]	注入通道外部触发使能与极性选择 00: 禁用外部触发检测 (用户仅可通过软件触发 ADC 转换) 01: 检测外部触发的上升沿, 将其作为有效触发 10: 检测外部触发的下降沿, 将其作为有效触发 11: 检测外部触发的上升沿与下降沿, 均作为有效触发
8:7	DMAMD[1:0]	DMA 模式 该位由软件置 1 或清 0, 用于配置 DMA 的工作模式。 00: DMA 模式 0, 禁用 DMA 01: DMA 模式 1 (每个 DMA 请求传输半个字。多个 ADC 的传输顺序为 ADC1、ADC2、ADC3、ADC1、ADC2……) 10: DMA 模式 2 (每个 DMA 请求传输一个字。传输顺序为 ADC2 ADC1、ADC1&ADC3、ADC3&ADC2) 11: 保留 注意: <ol style="list-style-type: none"> <li>1. 单个 ADC 仅支持 DMA 模式 0 和模式 1;</li> <li>2. 多个 ADC 支持 DMA 模式 1、模式 2 和模式 3;</li> <li>3. 仅 ADC1 可产生 DMA 请求;</li> <li>4. 该位仅在 ADC_CTRL2.DMNGT 位等于 0b11 时有效。</li> </ol>
6	MDSMU	多 ADC DSMU 模式 这些位由软件置 1 或清 0。 这些位仅在多 ADC 模式下的主 ADC1 中有效 (ADC2、ADC3 无需关注)。且仅当 ADC_CTRL2 寄存器的 DMNGT [1:0]位等于 0b10 时, 这些位才生效。 0: 禁用多 ADC DSMU 模式

位域	名称	描述
		若每个 ADC 分别设置 ADC_CTRL2.DMNGT[1:0] = 0b10, 则每个独立 ADC 可单独执行 DSMU 数据管理。 1: 使能多 ADC DSMU 模式 <b>双 ADC 模式:</b> 若 ADC1 (ADC2 无需关注) 和 ADC3 分别设置 ADC_CTRL2.DMNGT[1:0] = 0b10, 则由 ADC1 和 ADC3 执行 DSMU 数据管理。 <b>三 ADC 模式:</b> 若 ADC1 (ADC2、ADC3 无需关注) 设置 ADC_CTRL2.DMNGT[1:0] = 0b10, 则由 ADC1 执行 DSMU 数据管理。 <i>注意: 在规则交叉模式下使能多 ADC DSMU 模式时, ADC_DLYSMP 寄存器的 INTLEADVAL[3:0] 位必须设置为最小 2 个周期的延迟。</i>
5:4	DMNGT	规则转换数据的数据管理配置 该位由软件置 1 或清 0, 用于选择 ADC 接口输出数据的管理方式。 00: 规则转换数据仅存储在 ADC_DAT 寄存器中 01: 保留 10: 选择 DSMU 模式 11: 选择 DMA 模式 在多 ADC 模式下, 仅主 ADC 的 DMNGT[1:0]位有效。
3	Reserved	保留, 必须保持复位值
2	ENCAL	A/D 校准 该位由软件置 1 以启动校准, 校准完成后由硬件清 0。 0: 校准已完成 1: 启动校准
1	CTU	连续转换 该位由软件置 1 或清 0。若此位被置 1, 转换将持续进行, 直至该位被清 0。 0: 单次转换模式 1: 连续转换模式
0	ON	A/D 转换器开启/关闭 该位由软件置 1 或清 0。当此位为“0”时, 写入“1”可将 ADC 从掉电模式唤醒, 使 ADC 使能。当 RDY 信号为“1”时, 表示 ADC 已准备好进行转换。 0: 关闭 ADC 转换, 进入掉电模式 1: 启动 ADC

### 26.14.4 ADC 控制寄存器 3 (ADC\_CTRL3)

偏移地址: 0x0C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		GCOMP SATEN	GCOMP EN	SWJSTOP	SWRSTOP	JSTART	RSTART	Reserved							
		rw	rw	rs	rs	rs	rs								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						VBAT MEN	VREFINT EN	BPCAL	PDRDY	RDY	CKMOD	Reserved	RES	Reserved	

rw      rw      rw      rc\_wl      re\_wl      rw      rw

位域	名称	描述
31:30	Reserved	保留，必须保持复位值
29	GCOMPSTATEN	增益补偿饱和使能 该位由软件置 1 或清 0，用于在增益补偿使能时扩展饱和范围。此位仅在增益、偏移补偿使能且 SATEN=1 时使用： 0：饱和范围最大值为 0x0-0xFF (12 位) 1：饱和范围最大值为 0x0-0x3FFF (14 位) <i>注意：仅当 ADC_CTRL3.RSTART 位 = 0 (确保无转换正在进行) 时，软件才允许写入此位。</i>
28	GCOMPEN	增益补偿模式 该位由软件置 1 或清 0，用于使能或禁用增益补偿模式。 0：不使能增益补偿模式 1：使用增益补偿模式
27	SWJSTOP	注入通道转换停止 软件置 1 此位以停止正在进行的注入通道转换。停止后，用户可重新配置转换序列、触发源等。此位由硬件清 0。 0：复位状态 1：停止注入通道转换
26	SWRSTOP	规则通道转换停止 软件置 1 此位以停止正在进行的规则通道转换。停止后，用户可重新配置转换序列、触发源等。此位由硬件清 0。 0：复位状态 1：停止规则通道转换
25	JSTART	ADC 注入转换启动 该位由软件置 1，以启动 ADC 注入通道的转换。执行 ADC_CTRL3.SWJSTOP 命令后，此位会被硬件清 0，同时 ADC_CTRL3.SWJSTOP 位也会被硬件清 0。 0：无 ADC 注入转换正在进行 1：写入 1 以启动注入转换；读取值为 1 时，表示 ADC 正在运行，且最终会对某个注入通道进行转换 <i>注意：</i> 1. 仅当 ADC_CTRL2.ON = 1 时，软件才允许设置 ADC_CTRL3.SWJSTART 位； 2. 在自动注入模式 (ADC_CTRL2.JAUTO=1) 下，通过设置 ADC_CTRL3.RSTART 位，可启动规则转换与自动注入转换。
24	RSTART	ADC 规则转换启动 该位由软件置 1，以启动 ADC 规则通道的转换。执行 ADC_CTRL3.SWRSTOP 命令后，此位会被硬件清 0。 0：无 ADC 规则转换正在进行 1：写入 1 以启动规则转换；读取值为 1 时，表示 ADC 正在运行，且最终会对某个规则通道进行转换 <i>注意：</i> 1. 仅当 ADC_CTRL2.ON=1 时，软件才允许设置 ADC_CTRL3.SWRSTART

位域	名称	描述
		位; 2. 在自动注入模式 ( $ADC\_CTRL2.JAUTO=1$ ) 下, 通过设置 $ADC\_CTRL3.RSTART$ 位, 可启动规则转换与自动注入转换。
23:10	Reserved	保留, 必须保持复位值
9	VBATMEN	电池电压监测使能 此位仅在 ADC1 中有效, 在 ADC2 和 ADC3 中会被忽略: 0: 禁用 1: 使能
8	VREFINTEN	内部电压基准 VREFINT 使能 此位仅在 ADC1 中有效, 在 ADC2 和 ADC3 中会被忽略: 0: 禁用 VREFINT 通道测量 1: 使能 VREFINT 通道测量
7	BPCAL	校准旁路 0: 禁用 1: 使能
6	PDRDY	掉电就绪 此位由硬件置 1, 软件写入 1 可将其清除。 0: 未就绪 1: 已就绪
5	RDY	ADC 就绪 此位由硬件置 1, 软件写入 1 可将其清除。 0: 未就绪 1: 已就绪
4	CKMOD	时钟模式 0: 选择 AHB 作为同步时钟 1: 选择 PLL 作为异步时钟
3:2	Reserved	保留, 必须保持复位值
1	RES	数据分辨率 该位由软件置 1 或清 0, 用于选择转换的分辨率。 0: 10 位 1: 12 位
0	Reserved	保留, 必须保持复位值

### 26.14.5 ADC 采样时间寄存器 1 (ADC\_SAMPT1)

偏移地址: 0x10

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SAMP7[3:0]				SAMP6[3:0]				SAMP5[3:0]				SAMP4[3:0]			
rw				rw				rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

SAMP3[3:0]	SAMP2[3:0]	SAMP1[3:0]	SAMP0[3:0]
rw	rw	rw	rw

位域	名称	描述
31:0	SAMPx[3:0]	通道采样时间选择 这些位用于为每个通道独立选择采样时间。采样期间，通道选择位必须保持不变。 0000: 1 个周期 0001: 2 个周期 0010: 3 个周期 0011: 4 个周期 0100: 5 个周期 0101: 6 个周期 0110: 7 个周期 0111: 10 个周期 1000: 13 个周期 1001: 17 个周期 1010: 24 个周期 1011: 32 个周期 1100: 83 个周期 1101: 93 个周期 1110: 215 个周期 1111: 397 个周期

## 26.14.6 ADC 采样时间寄存器 2 (ADC\_SAMPT2)

偏移地址: 0x14

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SAMP15[3:0]				SAMP14[3:0]				SAMP13[3:0]				SAMP12[3:0]			
rw				rw				rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAMP11[3:0]				SAMP10[3:0]				SAMP9[3:0]				SAMP8[3:0]			
rw				rw				rw				rw			

位域	名称	描述
31:0	SAMPx[3:0]	通道采样时间选择 这些位用于独立选择每个通道的采样时间。在采样过程中，通道选择位必须保持不变。

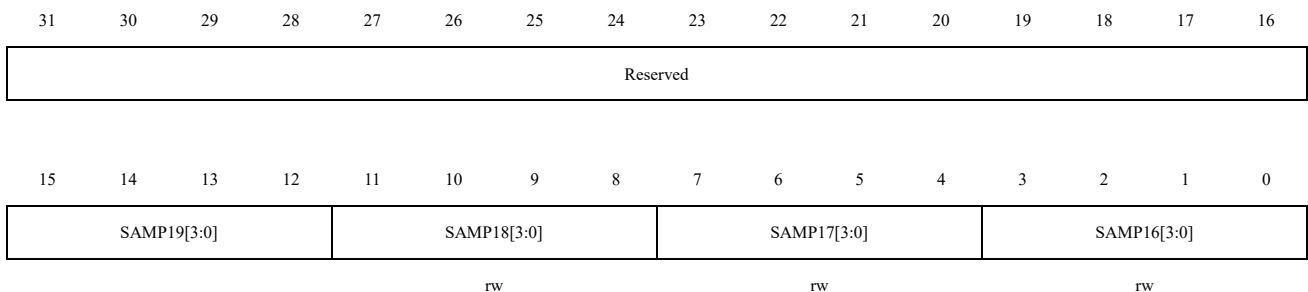


位域	名称	描述
		0000: 1 个周期 0001: 2 个周期 0010: 3 个周期 0011: 4 个周期 0100: 5 个周期 0101: 6 个周期 0110: 7 个周期 0111: 10 个周期 1000: 13 个周期 1001: 17 个周期 1010: 24 个周期 1011: 32 个周期 1100: 83 个周期 1101: 93 个周期 1110: 215 个周期 1111: 397 个周期

### 26.14.7 ADC 采样时间寄存器 3 (ADC\_SAMPT3)

偏移地址: 0x18

复位值: 0x0000 0000



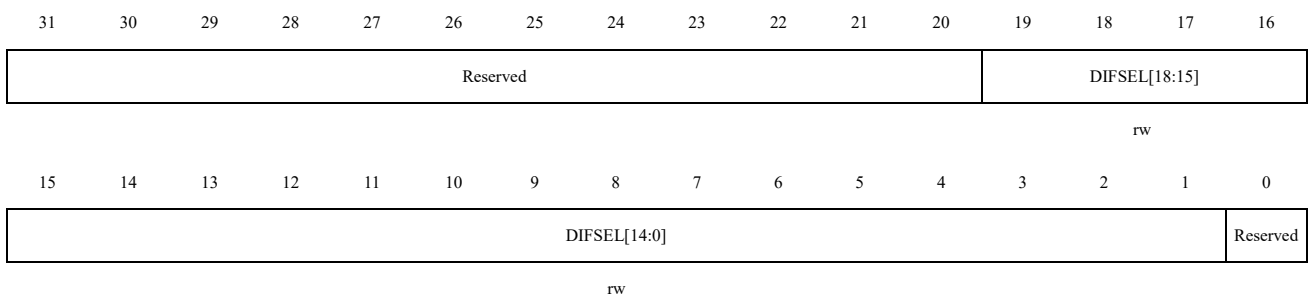
位域	名称	描述
31:15	Reserved	保留, 必须保持复位值
15:0	SAMPx[3:0]	通道采样时间选择 这些位用于独立选择每个通道的采样时间。在采样过程中, 通道选择位必须保持不变。 0000: 1 个周期 0001: 2 个周期 0010: 3 个周期 0011: 4 个周期 0100: 5 个周期 0101: 6 个周期 0110: 7 个周期

位域	名称	描述
		0111: 10 个周期 1000: 13 个周期 1001: 17 个周期 1010: 24 个周期 1011: 32 个周期 1100: 83 个周期 1101: 93 个周期 1110: 215 个周期 1111: 397 个周期

### 26.14.8 ADC 差分模式选择寄存器 (ADC\_DIFSEL)

偏移地址: 0x1C

复位值: 0x0000 0000

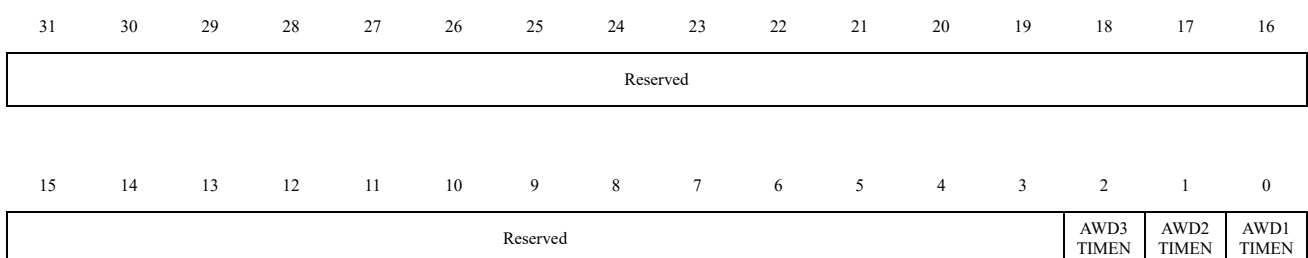


位域	名称	描述
31:20	Reserved	保留, 必须保持复位值
19:1	DIFSEL[18:0]	通道 19 至通道 1 的差分模式 DIFSEL[i] = 0: 将 ADC 通道输入 i+1 配置为单端模式; DIFSEL[i] = 1: 将 ADC 通道输入 i+1 配置为差分模式。
0	Reserved	保留, 必须保持复位值

### 26.14.9 ADC 模拟看门狗输出定时器寄存器 x (ADC\_AWDOTIM)

偏移地址: 0x20

复位值: 0x0000 0000



位域	名称	描述
31:3	Reserved	保留，必须保持复位值
2	AWD3TIMEN	使能模拟看门狗 3 事件至定时器 0：禁用模拟看门狗 3 事件至定时器的功能； 1：使能模拟看门狗 3 事件至定时器的功能；
1	AWD2TIMEN	使能模拟看门狗 2 事件至定时器 0：禁用模拟看门狗 2 事件至定时器的功能； 1：使能模拟看门狗 2 事件至定时器的功能；
0	AWD1TIMEN	使能模拟看门狗 1 事件至定时器 0：禁用模拟看门狗 1 事件至定时器的功能； 1：使能模拟看门狗 1 事件至定时器的功能；

### 26.14.10 ADC 数据偏移寄存器 x (ADC\_OFFSETx) (x=1..4)

偏移地址: 0x24-0x30

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OFFSCHx EN	OFFSCHxCH[4:0]				OFFSCHx SATEN	OFFSCHx DIR	Reserved								
rw	rw				rw	rw									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved					OFFSCHxDAT[11:0]										
rw															

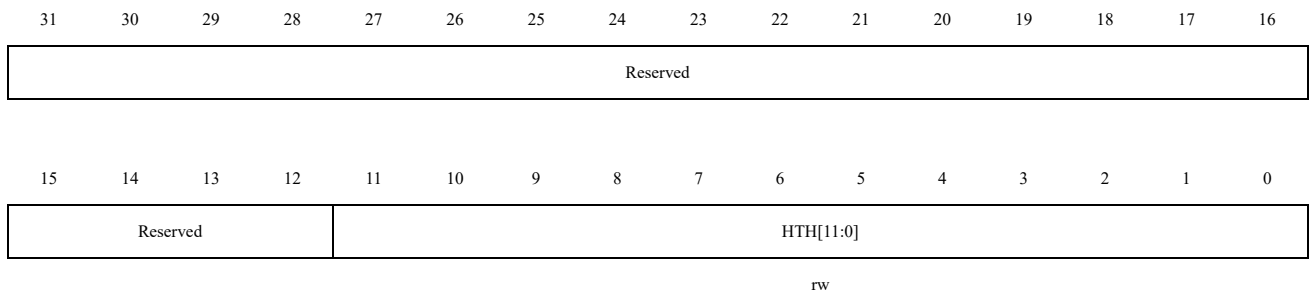
位域	名称	描述
31	OFFSCHxEN	偏移通道 x 使能 软件可写入该位以启用偏移补偿功能。 0：禁用偏移补偿功能 1：启用偏移补偿功能 <i>注意：ADC 转换期间不得操作该位</i>
30:26	OFFSCHxCH[4:0]	偏移通道 x 选择 软件可写入该位以选择需启用偏移补偿的通道。 00000：ADC 模拟输入通道 0； 00001：ADC 模拟输入通道 1； ..... 10000：ADC 模拟输入通道 16； 10001：ADC 模拟输入通道 17； 10010：ADC 模拟输入通道 18； 10011：ADC 模拟输入通道 19；

位域	名称	描述
25	OFFSCHxSATEN	偏移饱和和使能 软件可写入或清零该位，以启用向 0x0000 和 0x0FFF 的饱和控制。 0: 无饱和控制，偏移数据可能为有符号数 1: 启用饱和控制后，偏移数据为无符号数，取值范围为 0x0000-0x0FFF
24	OFFSCHxDIR	偏移方向 0: 负向偏移 1: 正向偏移
23:12	Reserved	保留，必须保持复位值
11:0	OFFSCHxDAT[11:0]	通道 x 的数据偏移量 根据 OFFSCHxDIR 位的取值，这些位定义了对通道 x（规则通道或注入通道）进行转换时，对原始转换数据进行减法或加法运算的偏移值。转换结果可在 ADC_DAT 或 ADC_JDATx 寄存器中读取。 若为同一通道配置了多个偏移通道，则偏移通道 1 的优先级最高，其次是偏移通道 2、偏移通道 3 和偏移通道 4。例如：若 OFFSCH1CH [4:0] = 8、OFFSCH2CH [4:0] = 8，则在对通道 8 进行转换时，仅会使用 OFFSCH1DAT[11:0] 的值进行运算。

### 26.14.11 ADC 看门狗 1 高阈值寄存器 (ADC\_AWD1HIGH)

偏移地址: 0x34

复位值: 0x0000 0FFF



位域	名称	描述
31:12	Reserved	保留，必须保持复位值
11:0	HTH[11:0]	ADC 看门狗 1 高阈值 这些位用于定义 ADC 看门狗 1 的高阈值范围

### 26.14.12 ADC 看门狗 1 低阈值寄存器 (ADC\_AWD1LOW)

偏移地址: 0x38

复位值: 0x0000 0000



Reserved
----------

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

Reserved	AWDFIL[2:0]	LTH[11:0]
----------	-------------	-----------

rw

rw

位域	名称	描述
31:15	Reserved	保留，必须保持复位值
14:12	AWDFIL[2:0]	ADC 看门狗 1 滤波值，仅对看门狗的单个通道生效，可通过软件写入或清除此位段。 000：不使能滤波功能。 001：连续 2 次检测结果超出阈值时，生成 AWD1 标志位或中断。 010：连续 3 次检测结果超出阈值时，生成 AWD1 标志位或中断 ... 111：连续 8 次检测结果超出阈值时，生成 AWD1 标志位或中断。
11:0	LTH[11:0]	ADC 看门狗 1 低阈值 这些位用于定义 ADC 看门狗 1 的低阈值范围。

### 26.14.13 ADC 看门狗 2 高阈值寄存器 (ADC\_AWD2HIGH)

偏移地址: 0x3C

复位值: 0x0000 0FFF

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

Reserved
----------

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

Reserved	HTH[11:0]
----------	-----------

rw

位域	名称	描述
31:12	Reserved	保留，必须保持复位值
11:0	HTH[11:0]	ADC 看门狗 2 高阈值 这些位用于定义 ADC 看门狗 2 的高阈值范围

### 26.14.14 ADC 看门狗 2 低阈值寄存器 (ADC\_AWD2LOW)

偏移地址: 0x40

复位值: 0x0000 0000

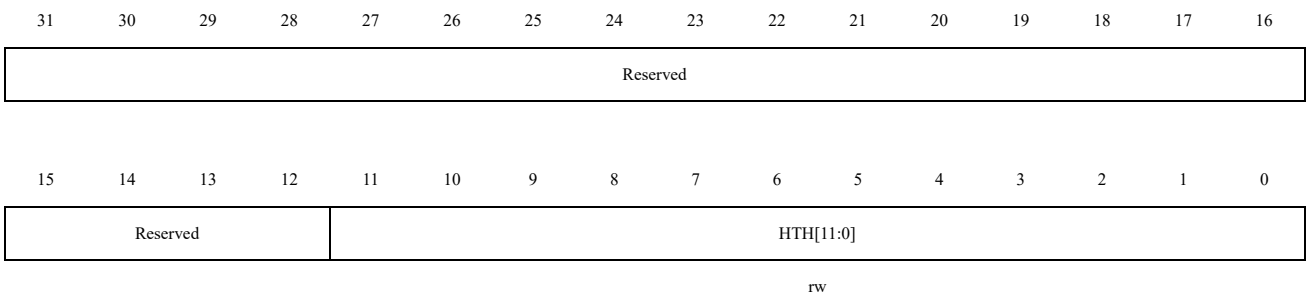


位域	名称	描述
31:12	Reserved	保留，必须保持复位值
11:0	LTH[11:0]	ADC 看门狗 2 低阈值 这些位用于定义 ADC 看门狗 2 的低阈值范围

### 26.14.15 ADC 看门狗 3 高阈值寄存器 (ADC\_AWD3HIGH)

偏移地址: 0x44

复位值: 0x0000 0FFF

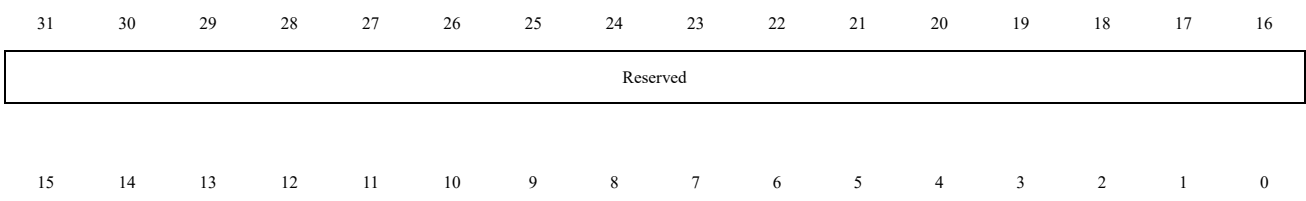


位域	名称	描述
31:12	Reserved	保留，必须保持复位值
11:0	HTH[11:0]	ADC 看门狗 3 高阈值 这些位用于定义 ADC 看门狗 3 的高阈值范围

### 26.14.16 ADC 看门狗 3 低阈值寄存器 (ADC\_AWD3LOW)

偏移地址: 0x48

复位值: 0x0000 0000



Reserved	LTH[11:0]
----------	-----------

rw

位域	名称	描述
31:12	Reserved	保留，必须保持复位值
11:0	LTH[11:0]	ADC 看门狗 3 低阈值 这些位用于定义 ADC 看门狗 3 的低阈值范围

### 26.14.17 ADC 模拟看门狗 2 配置寄存器 (ADC\_AWD2EN)

偏移地址: 0x4C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved												AWD2EN[19:16]			
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AWD2EN[15:0]															
rw															

位域	名称	描述
31:20	Reserved	保留，必须保持复位值
19:0	AWD2EN[19:0]	模拟看门狗2通道选择 这些位定义模拟看门狗2监控的通道，可通过软件写入或删除 AWD2EN[x] = 0: 模拟看门狗2不监控ADC模拟输入通道x AWD2EN[x] = 1: 模拟看门狗2监控ADC模拟输入通道x AWD2EN[19:0] = 0b000...00: 模拟看门狗2不工作

### 26.14.18 ADC 模拟看门狗 3 配置寄存器 (ADC\_AWD3EN)

偏移地址: 0x50

复位值: 0x0000 0000

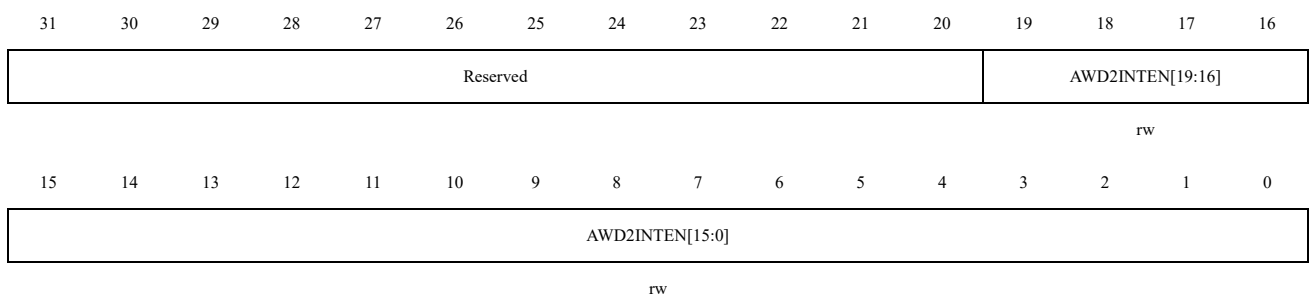
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved												AWD3EN[19:16]			
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AWD3EN[15:0]															
rw															

位域	名称	描述
31:20	Reserved	保留，必须保持复位值
19:0	AWD3EN[19:0]	模拟看门狗3通道选择 这些位定义模拟看门狗3监控的通道，可通过软件写入或清除 AWD3EN[x] = 0: 模拟看门狗3不监控ADC模拟输入通道x AWD3EN[x] = 1: 模拟看门狗3监控ADC模拟输入通道x AWD3EN[19:0] = 0b000...00: 模拟看门狗3不工作

### 26.14.19 ADC 模拟看门狗 2 中断使能寄存器 (ADC\_AWD2INTEN)

偏移地址: 0x54

复位值: 0x0000 0000

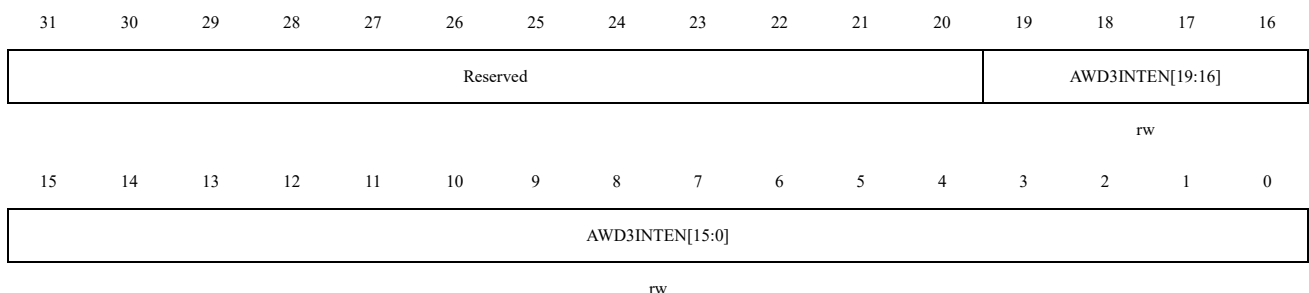


位域	名称	描述
31:20	Reserved	保留，必须保持复位值
19:0	AWD2INTEN[19:0]	模拟看门狗2中断使能 这些位定义模拟看门狗2所监控通道的中断是否使能，可通过软件写入或清除 AWD2INTEN[x] = 0: 模拟看门狗 2 监控的通道 x 中断未使能 AWD2INTEN[x] = 1: 模拟看门狗 2 监控的通道 x 中断使能

### 26.14.20 ADC 模拟看门狗 3 中断使能寄存器 (ADC\_AWD3INTEN)

偏移地址: 0x58

复位值: 0x0000 0000



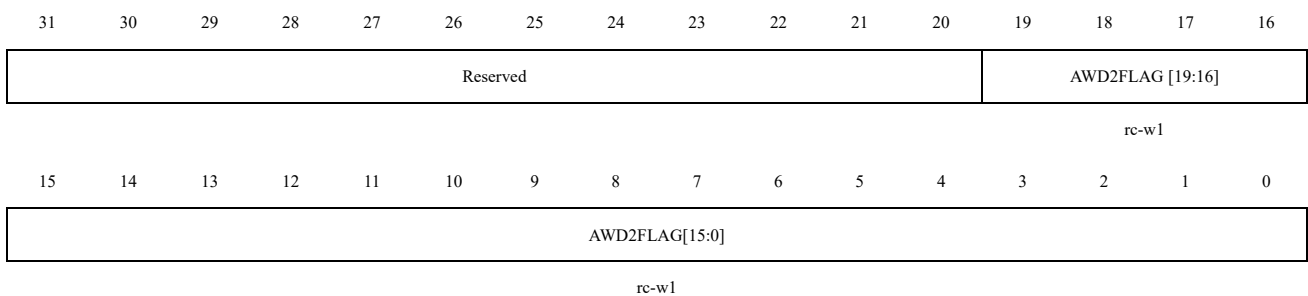


位域	名称	描述
31:20	Reserved	保留，必须保持复位值
19:0	AWD3INTEN[19:0]	模拟看门狗3中断使能 这些位定义模拟看门狗3所监控通道的中断是否使能，可通过软件写入或清除 AWD3INTEN[x] = 0: 模拟看门狗3监控的通道x中断未使能 AWD3INTEN[x] = 1: 模拟看门狗3监控的通道x中断使能

### 26.14.21 ADC 模拟看门狗 2 状态寄存器 (ADC\_AWD2STS)

偏移地址: 0x5C

复位值: 0x0000 0000



位域	名称	描述
31:20	Reserved	保留，必须保持复位值
19:0	AWD2FLAG[19:0]	模拟看门狗2状态标志 AWD2FLAG[x]= 0: 表示模拟看门狗2监控的通道x转换电压值未超出 ADC_AWD2HIGH.HTH[11:0]和ADC_AWD2LOW.LTH[11:0]所定义的范围 AWD2FLAG[x]= 1: 表示模拟看门狗2监控的通道x转换电压值超出 ADC_AWD2HIGH.HTH[11:0]和ADC_AWD2LOW.LTH[11:0]所定义的范围时，由硬件置 1，可通过软件写1清除该标志位

### 26.14.22 ADC 模拟看门狗 3 状态寄存器 (ADC\_AWD3STS)

偏移地址: 0x60

复位值: 0x0000 0000



位域	名称	描述
31:20	Reserved	保留，必须保持复位值
19:0	AWD3FLAG[19:0]	模拟看门狗3状态标志 AWD3FLAG[x]=0：表示模拟看门狗3监控的通道x转换电压值未超出ADC_AWD3HIGH.HTH[11:0]和ADC_AWD3LOW.LTH[11:0]所定义的范围AWD3FLAG[x]=1：表示模拟看门狗3监控的通道x转换电压值超出ADC_AWD3HIGH.HTH[11:0]和ADC_AWD3LOW.LTH[11:0]所定义的范围时，由硬件置1，可通过软件写1清除该标志位

### 26.14.23 ADC 规则序列寄存器 1 (ADC\_RSEQ1)

偏移地址: 0x64

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		LEN[4:0]				SEQ20[4:0]				SEQ19[4:0]					
		rw				rw				rw					

位域	名称	描述
31:15	Reserved	保留，必须保持复位值
14:10	LEN[4:0]	规则通道序列长度 由软件定义，用于指定规则序列转换中的通道数量 00000：1次转换 00001：2次转换 ... 01111：16次转换 10000：17次转换 10001：18次转换 10010：19次转换 10011：20次转换
9:5	SEQ20[4:0]	规则序列中的第20次转换
4:0	SEQ19[4:0]	规则序列中的第19次转换

### 26.14.24 ADC 规则序列寄存器 2 (ADC\_RSEQ2)

偏移地址: 0x68

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				SEQ18[4:0]				SEQ17[4:0]				SEQ16[4:1]			
rw				rw				rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REQ16[0]	SEQ15[4:0]				SEQ14[4:0]				SEQ13[4:0]						
rw	rw				rw				rw						

位域	名称	描述
31:30	Reserved	保留，必须保持复位值
29:25	SEQ18[4:0]	规则序列中的第 18 次转换 这些位由软件定义，用于指定转换序列中第 18 次转换通道的编号（0-19）。
24:20	SEQ17[4:0]	规则序列中的第 17 次转换 这些位由软件定义，用于指定转换序列中第 17 次转换通道的编号（0-19）。
19:15	SEQ16[4:0]	规则序列中的第 16 次转换 这些位由软件定义，用于指定转换序列中第 16 次转换通道的编号（0-19）。
14:10	SEQ15[4:0]	规则序列中的第 15 次转换
9:5	SEQ14[4:0]	规则序列中的第 14 次转换
4:0	SEQ13[4:0]	规则序列中的第 13 次转换

### 26.14.25 ADC 规则序列寄存器 3 (ADC\_RSEQ3)

偏移地址: 0x6C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				SEQ12[4:0]				SEQ11[4:0]				SEQ10[4:1]			
rw				rw				rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REQ10[0]	SEQ9[4:0]				SEQ8[4:0]				SEQ7[4:0]						
rw	rw				rw				rw						

位域	名称	描述
31:30	Reserved	保留，必须保持复位值
29:25	SEQ12[4:0]	规则序列中的第 12 次转换 这些位由软件定义，用于指定转换序列中第 12 次转换通道的编号（0-19）。
24:20	SEQ11[4:0]	规则序列中的第 11 次转换 这些位由软件定义，用于指定转换序列中第 11 次转换通道的编号（0-19）。
19:15	SEQ10[4:0]	规则序列中的第 10 次转换 这些位由软件定义，用于指定转换序列中第 10 次转换通道的编号（0-19）。

位域	名称	描述
14:10	SEQ9[4:0]	规则序列中的第 9 次转换
9:5	SEQ8[4:0]	规则序列中的第 8 次转换
4:0	SEQ7[4:0]	规则序列中的第 7 次转换

### 26.14.26 ADC 规则序列寄存器 4 (ADC\_RSEQ4)

偏移地址: 0x70

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				SEQ6[4:0]				SEQ5[4:0]				SEQ4[4:1]			
				rw				rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEQ4[0]		SEQ3[4:0]				SEQ2[4:0]				SEQ1[4:0]					
rw		rw				rw				rw					

位域	名称	描述
31:30	Reserved	保留，必须保持复位值
29:25	SEQ6[4:0]	规则序列中的第 6 次转换 这些位由软件定义，用于指定转换序列中第 6 次转换通道的编号（0-19）。
24:20	SEQ5[4:0]	规则序列中的第 5 次转换 这些位由软件定义，用于指定转换序列中第 5 次转换通道的编号（0-19）。
19:15	SEQ4[4:0]	规则序列中的第 4 次转换 这些位由软件定义，用于指定转换序列中第 4 次转换通道的编号（0-19）。
14:10	SEQ3[4:0]	规则序列中的第 3 次转换
9:5	SEQ2[4:0]	规则序列中的第 2 次转换
4:0	SEQ1[4:0]	规则序列中的第 1 次转换

### 26.14.27 ADC 注入序列寄存器 (ADC\_JSEQ)

偏移地址: 0x74

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved					JLEN[1:0]			Reserved					JSEQ4[4:1]		
					rw								rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
JSEQ4[0]		JSEQ3[4:0]				JSEQ2[4:0]				JSEQ1[4:0]					
rw		rw				rw				rw					

位域	名称	描述
31:27	Reserved	保留，必须保持复位值
26:25	JLEN[1:0]	注入序列长度 由软件定义，用于指定注入通道转换序列中的通道数量 00: 1次转换； 01: 2次转换； 10: 3次转换； 11: 4次转换
24:20	Reserved	保留，必须保持复位值
19:15	JSEQ4[4:0]	注入序列中的第4次转换 由软件定义，用于指定转换序列中第4次转换通道的编号（0-19） <i>注：与规则转换序列不同，若ADC_JSEQ.JLEN[1:0] 的长度小于4，转换序列从（4-JLEN）开始。例如，当ADC_JSEQ[21:0] = 10 00011 00011 00111 00010 时，扫描转换将按以下通道顺序执行：7、3、3，而非 2、7、3</i>
14:10	JSEQ3[4:0]	注入序列中的第3次转换
9:5	JSEQ2[4:0]	注入序列中的第2次转换
4:0	JSEQ1[4:0]	注入序列中的第1次转换

### 26.14.28 ADC 注入数据寄存器 x (ADC\_JDATx) (x = 1..4)

偏移地址: 0x78-0x84

复位值: 0x0000 0000



位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	JDAT[15:0]	注入数据 这些位为只读，存储注入通道的转换结果，数据格式为左对齐或右对齐

### 26.14.29 ADC 规则数据寄存器 (ADC\_DAT)

偏移地址: 0x88

复位值: 0x0000 0000

31

DAT2[15:0]
------------

r

15

DAT1[15:0]
------------

r

位域	名称	描述
31:16	DAT2[15:0]	规则转换对中的第二个数据项 — 双模式下，这些位存储来自 ADC2 的数据 — 三模式下，这些位还可存储来自 ADC1、ADC2 和 ADC3 的规则数据 这些位为只读，存储规则通道的转换结果，数据格式支持左对齐或右对齐
15:0	DAT1[15:0]	规则转换对中的第一个数据项 — 双模式下，这些位存储来自主 ADC 的规则数据 — 三模式下，这些位还可存储来自 ADC1、ADC2 和 ADC3 的规则数据 这些位为只读，存储规则通道的转换结果，数据格式支持左对齐或右对齐

### 26.14.30 ADC FIFO 配置寄存器 (ADC\_FIFOCFG)

偏移地址: 0x8C

复位值: 0x0000 0180

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

Reserved
----------

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

Reserved	NE INTEN	CLR	WL[3:0]	EN	HF INTEN	EINTEN	FINTEN	Reserved
	rw	rw	rw	rw	rw	rw	rw	

位域	名称	描述
31:12	Reserved	保留，必须保持复位值
11	NEINTEN	FIFO非空中断使能 0: 禁用 1: 使能
10	CLR	FIFO清除信号 0: 禁用 1: 使能
9:6	WL[3:0]	FIFO水位线 0000: FIFO水位线为1; 0001: FIFO水位线为2;

位域	名称	描述
		0010: FIFO水位线为3; 0011: FIFO水位线为4; 0100: FIFO水位线为5; 0101: FIFO水位线为6; 0110: FIFO水位线为7; 0111: FIFO水位线为8; 1000: FIFO水位线为9; 1001: FIFO水位线为10; 1010: FIFO水位线为11; 1011: FIFO水位线为12; 1100: FIFO水位线为13; 1101: FIFO水位线为14; 1110: FIFO水位线为15; 1111: FIFO水位线为16;
5	EN	FIFO使能 0: 禁用 1: 使能
4	HFINTEN	FIFO半满中断使能 0: 禁用 1: 使能
3	EINTEN	FIFO空中断使能 0: 禁用 1: 使能
2	FINTEN	FIFO满中断使能 0: 禁用 1: 使能
1:0	Reserved	保留, 必须保持复位值

### 26.14.31 ADC FIFO 状态寄存器 (ADC\_FIFOSTS)

偏移地址: 0x90

复位值: 0x0000 0008

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved				NE FLAG	Reserved		DATCNT[4:0]				HF FLAG	EFLAG	FFLAG	Reserved		
				rc_wl			r					rc_wl	rc_wl	rc_wl		

位域	名称	描述
31:12	Reserved	保留，必须保持复位值
11	NEFLAG	FIFO非空状态 由硬件置1，软件写1清除该标志
10	Reserved	保留，必须保持复位值
9:5	DATCNT[4:0]	FIFO有效数据计数 00000: 有效数据为0; 00001: 有效数据为1; 00010: 有效数据为2; 00011: 有效数据为3; 00100: 有效数据为4; 00101: 有效数据为5; 00110: 有效数据为6; 00111: 有效数据为7; 01000: 有效数据为8; 01001: 有效数据为9; 01010: 有效数据为10; 01011: 有效数据为11; 01100: 有效数据为12; 其他值: 保留
4	HFFLAG	FIFO半满状态 由硬件置1，软件写1清除该标志
3	EFLAG	FIFO空状态 由硬件置1，软件写1清除该标志
2	FFLAG	FIFO满状态 由硬件置1，软件写1清除该标志
1:0	Reserved	保留，必须保持复位值

### 26.14.32 ADC 延迟采样寄存器 (ADC\_DLYSMP)

偏移地址: 0x94

复位值: 0x7000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
INTLEADVAL[3:0]				DLYVAL[3:0]				DLY SAMPEN	Reserved							
rw				rw				rw	rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																



位域	名称	描述
31:28	INTLEADVAL[3:0]	延迟采样周期配置，由软件置1或清0，适用于双ADC或三ADC模式下的交叉模式 0000：延迟1个周期 0001：延迟2个周期 ... 1111：延迟16 周期 注意： 1. 该位仅适用于多 ADC交叉模式，其他场景不适用。
27:24	DLYVAL[3:0]	独立模式下的延迟采样周期配置，由软件置1或清0 0000：延迟1个周期 0001：延迟2个周期 ... 1111：延迟16个周期 注意： 1. 该位仅适用于独立模式，多ADC场景不适用。
23	DLYSAMPEN	独立模式下的延迟采样模式使能，由软件置1或清0 0：禁用延迟采样模式 1：使能延迟采样模式 注意： 1. 该位仅适用于独立模式，多ADC场景不适用。
22:0	Reserved	保留，必须保持复位值

### 26.14.33 ADC 过采样寄存器 (ADC\_OSCFG)

偏移地址: 0x98

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								OSAWD	OSRMD	OSRTRIG	OSS[3:0]			OSR[3:2]	
								rw	rw	rw	rw			rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OSR[1:0]		OSJE	OSRE	Reserved											
rw		rw	rw												

位域	名称	描述
31:25	Reserved	保留，必须保持复位值
24	OSAWD	模拟看门狗比较用的过采样数据 0：过采样结果数据 DAT[15:4] 用于与看门狗阈值比较； 1：过采样结果数据 DAT[11:0] 用于与看门狗阈值比较；

位域	名称	描述
23	OSRMD	规则通道过采样模式 0: 连续模式。当规则过采样被触发后, 过采样暂时停止; 再次触发时, 过采样恢复执行。 1: 复位模式。当规则过采样被触发后, 过采样停止; 再次触发时, 过采样重新开始执行。
22	OSRTRIG	规则通道过采样触发方式 0: 所有过采样转换仅需一次触发 1: 每次过采样转换均需单独触发
21:18	OSS[3:0]	过采样数据右移位数 0000: 右移0位 0001: 右移1位 0010: 右移2位 0011: 右移3位 0100: 右移4位 0101: 右移5位 0110: 右移6位 0111: 右移7位 1000: 右移8位 1001: 右移9位 1010: 右移10位 其他值: 右移0位
17:14	OSR[3:0]	过采样率配置 0000: 过采样次数为1次 0001: 过采样次数为2次 0010: 过采样次数为4次 0011: 过采样次数为8次 0100: 过采样次数为16次 0101: 过采样次数为32次 0110: 过采样次数为64次 0111: 过采样次数为128次 1000: 过采样次数为256次 1001: 过采样次数为512次 1010: 过采样次数为1024次 其他值: 过采样次数为1次
13	OSJE	注入通道过采样使能 0: 禁用 1: 使能
12	OSRE	规则通道过采样使能 0: 禁用 1: 使能
11:0	Reserved	保留, 必须保持复位值

### 26.14.34 ADC 内部寄存器配置寄存器 (ADC\_INTLRCFG)

偏移地址: 0x9C

复位值: 0x2000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
WEN		RWSTART	DONE	ADDR[2:0]			WDATA[7:0]					RDAT[7:0]			
rw		w	r	rw			rw					r			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RDAT[5:0]							Reserved								
r															

位域	名称	描述
31	WEN	写使能 由软件置1以启用写操作 0: 启用读操作; 1: 启用写操作;
30	RWSTART	启动内部寄存器读/写 由软件置1以启动内部寄存器的读/写操作, 读取该位时恒为0; 当该位置1时, ADC_INTLRCFG.DONE位将立即被清零
29	DONE	内部寄存器读 / 写完成标志 由硬件置1, 指示内部寄存器读/写操作已就绪 可通过置位RWSTART (原文笔误修正: 应为RWSTART) 来清零该位
28:26	ADDR[2:0]	内部寄存器地址, 范围为2'b000 - 2'b111
25:18	WDAT [7:0]	写入内部寄存器的数据
17:10	RDAT [7:0]	从内部寄存器读出的数据
9:0	Reserved	保留, 必须保持复位值

### 26.14.35 ADC 增益补偿寄存器 (ADC\_GCOMP)

偏移地址: 0xA0

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		GCOMPDAT[13:0]													
		rw													

位域	名称	描述
31:14	Reserved	保留，必须保持复位值
13:0	GCOMPDAT[13:0]	增益补偿系数 由软件置1或清0以设置增益补偿系数 00 1000 0000 0000：增益补偿系数为0.5 ... 01 0000 0000 0000：增益补偿系数为1 10 0000 0000 0000：增益补偿系数为2 11 0000 0000 0000：增益补偿系数为3 ... 该增益系数的范围为0至3.999756，计算方式为：增益系数=该参数值÷4096

### 26.14.36 ADC 上电配置寄存器 (ADC\_PUCFG)

偏移地址: 0xA4

复位值: 0x007D 2210

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				RSTCLK_TIMESEL[2:0]			Reserved		RST_TIMESEL[2:0]			Reserved	SWCLK STOP	SWRST EN	RSTMD
				rw					rw				rw	rw	

位域	名称	描述
31:11	Reserved	保留，必须保持复位值
10:8	RSTCLK_TIMESEL	ADC 复位到时钟启动的时间间隔 3'b000：1个周期 3'b001：2个周期 3'b010：4个周期 ... 3'b110：64个周期 其他值：保留 仅当 RSTMD = 0 时有效，必须在设置ON位之前配置
7	Reserved	保留，必须保持复位值
6:4	RST_TIMESEL	ADC 复位周期数 3'b000：1个周期 3'b001：2个周期 3'b010：4个周期

位域	名称	描述
		... 3'b110: 64个周期 其他值: 保留 仅当 RSTMD = 0时有效, 必须在设置ON位之前配置
3	Reserved	保留, 必须保持复位值
2	SWCLKSTOP	ADC软件时钟使能控制 0: 启用时钟 1: 停止时钟 仅当 RSTMD = 1时有效
1	SWRSTEN	ADC软件复位控制 0: 释放复位 1: 复位ADC 仅当 RSTMD = 1时有效
0	RSTMD	ADC复位模式 0: 根据ADC ON位自动复位ADC 1: 通过软件复位控制ADC

## 27 数字/模拟转换 (DAC)

### 27.1 简述

DAC (数模转换器) 是一种数字/模拟转换器件, 主要实现数字信号输入、电压信号输出功能。DAC 数据支持 8 位或 12 位精度, 并兼容 DMA (直接存储器访问) 功能。当 DAC 配置 12 位模式时, 数据可选择右对齐或左对齐格式; 配置为 8 位模式时, 数据仅支持右对齐格式。每个 DAC 均配备独立的转换核心, 可独立执行数模转换操作。在双 DAC 模式下, 两个 DAC 既可以各自独立进行转换, 也可成对同步执行转换与数据更新 (支持的配对组合为 DAC1 与 DAC2、DAC3 与 DAC4、DAC5 与 DAC6)。

VREF+引脚为 DAC 提供参考电压输入, 可提升 DAC 转换数据的精度。内置电压基准缓冲器 (VREFBUF) 也可作为 DAC 的参考电压源。有关电压基准缓冲器 (VREFBUF) 的详细信息, 请参阅 VREFBUF 章节。

当 DAC 输出端与芯片内部的其他外设连接时, DACx\_OUT 引脚可复用为通用输入/输出引脚 (GPIO)。DAC 输出缓冲器可选择性使能, 以实现高驱动输出电流。

当 DAC 输出端与芯片内部的其他外设连接时, DACx\_OUT 引脚可复用为通用输入/输出引脚 (GPIO)。DAC 输出缓冲器可选择性使能, 以实现高驱动输出电流。

#### 27.1.1 主要特征

- 支持 6 路 DAC, 每路对应独立的 DAC 转换器。
- 支持 8 位或 12 位输出精度; 12 位模式下数据支持右对齐与左对齐格式。
- 双 DAC 模式支持同步转换或独立转换。
- 每路 DAC 均支持 DMA 传输功能及 DMA 下溢错误检测。
- DMA 双数据模式可节省总线带宽。
- 支持噪声波、三角波、锯齿波生成。
- DAC 输出支持连接片上外设 (比较器 COMP)。
- 支持缓冲器偏移校准。
- 输入参考电压支持 VREF+引脚输入及内置 VREFBUF (电压基准缓冲器)。
- 支持外部事件触发转换。

### 27.2 DAC 概述

表 27-1 DAC 特征

DAC 功能	DAC1	DAC2	DAC3	DAC4	DAC5	DAC6
输出缓冲器	Support		-			
I/O 连接	PA4 引脚连接到 DAC1_OUT	PA5 引脚连接到 DAC1_OUT	-			
外部输出	支持		-			
内部输出	支持		支持			

最高采样率	1MSPS	15MSPS
-------	-------	--------

DAC 结构图及引脚说明如下

图 27-1 DAC 框图

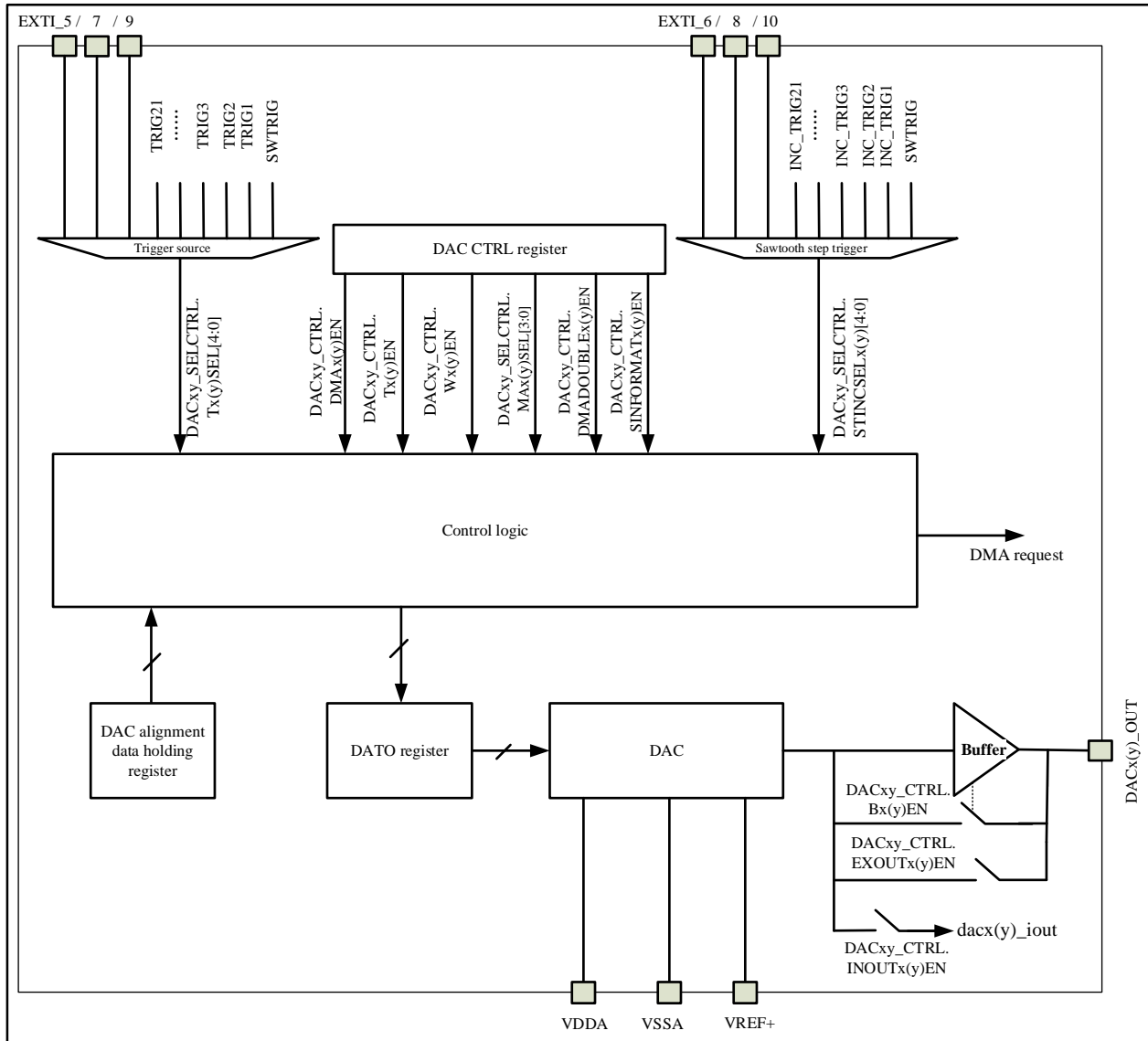


表 27-2 DAC 引脚

名称	描述	类型
V <sub>REF+</sub>	DAC使用的正参考电压， 2.3V ≤ V <sub>REF+</sub> ≤ V <sub>DDA</sub> (3.6V)	输入，正模拟参考电压
V <sub>DDA</sub>	模拟电源	输入，模拟电源
V <sub>SSA</sub>	模拟电源的地	输入，模拟电源地
DACx(y)_OUT	DACx或者DACy的模拟输出到外部IO	模拟输出信号
dacx(y)_iout	DACx或者DACy的模拟输出到内部外设	模拟输出信号

## 27.3 DAC 功能描述与操作说明

### 27.3.1 DAC 开启

给 DAC 上电可通过配置  $DAC_{xy\_CTRL}.DAC_{x(y)EN} = 1$  完成，DAC 需要一段时间  $t_{WAKEUP}$  打开。

### 27.3.2 DAC 输出缓冲器

通过配置  $DAC_{xy\_CTRL}.B_{x(y)EN}$  开启或关闭 DAC 的输出缓存，输出缓存开启，输出阻抗降低，驱动能力增强，可以在没有外部运放的情况下驱动外部负载。

表 27-3 DAC1/2/3/4 输出特性

输出类型	$DAC_{xy\_CTRL}.INOUT_{x(y)EN}$	$DAC_{xy\_CTRL}.EXOUT_{x(y)EN}$	$DAC_{xy\_CTRL}.B_{x(y)EN}$
对内输出	1	0	0
对外输出	0	1	0/1
同时对内对外输出	1	1	1

注意：当使用同时对内对外输出时，必须使能输出缓冲器 ( $DAC_{xy\_CTRL}.B_{x(y)EN} = 1$ )。

### 27.3.3 DAC 数据格式

#### 27.3.3.1 数据对齐

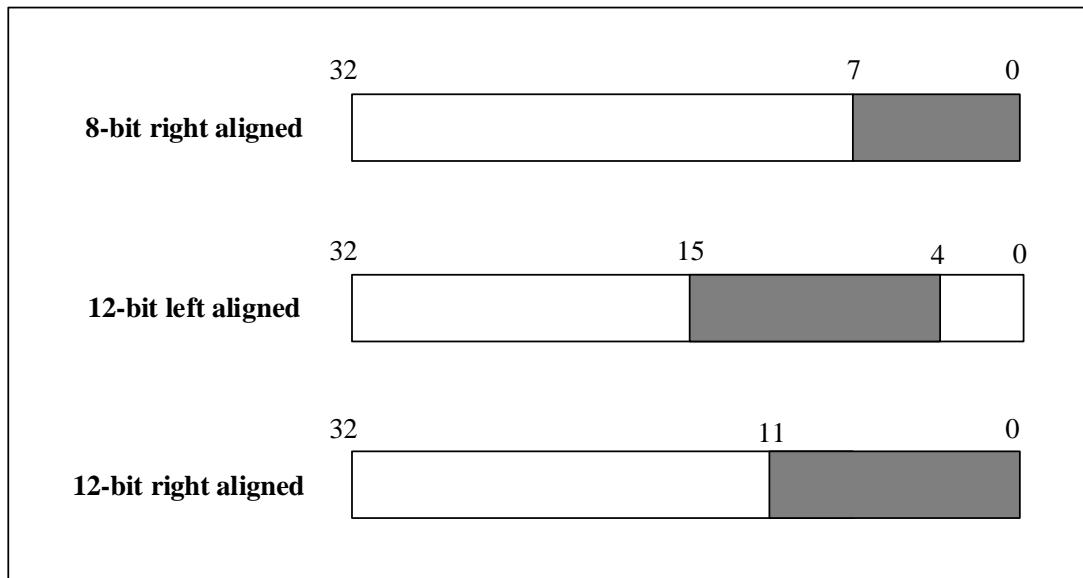
配置数据写入  $DAC_{x(y)}\_DR12$  寄存器时，数据写入  $DAC_{x(y)}\_DR12[11:0]$ ,12 位数据右对齐。（实际是存入寄存器  $DAC_{x(y)}\_DHR[11:0]$ 位， $DAC_{x(y)}\_DHR$  是内部的数据保存寄存器）

配置数据写入  $DAC_{x(y)}\_DL12$  寄存器时，数据写入  $DAC_{x(y)}\_DL12[15:4]$ ,12 位数据左对齐。（实际是存入寄存器  $DAC_{x(y)}\_DHR[11:0]$ 位， $DAC_{x(y)}\_DHR$  是内部的数据保存寄存器）

配置数据写入  $DAC_{x(y)}\_DR8$  寄存器时，数据写入  $DAC_{x(y)}\_DR8[7:0]$ ,8 位数据右对齐。（实际是存入寄存器  $DAC_{x(y)}\_DHR[11:4]$ 位， $DAC_{x(y)}\_DHR$  是内部的数据保存寄存器）



图 27-2 单 DAC 模式的数据寄存器



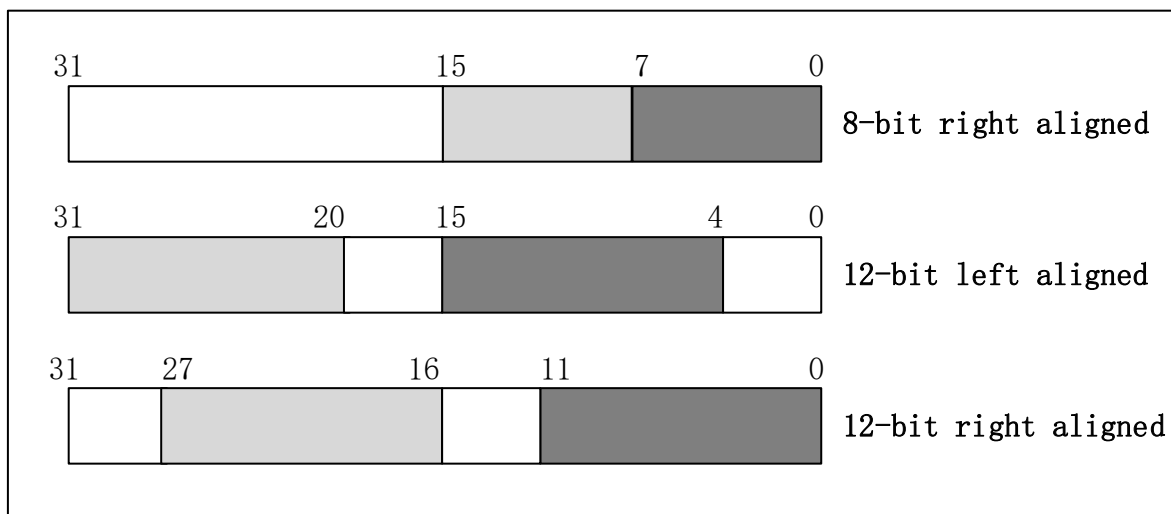
当 DAC 同步输出时，有 3 种情况：

配置数据写入 DACxy\_DR12D 寄存器时，DACx 数据写入 DACxy\_DR12D[11:0]（实际是存入寄存器 DACx\_DHR[11:0]位，DACx\_DHR 是内部的数据保存寄存器），DACy 数据写入 DACxy\_DR12D[27:16]（实际是存入寄存器 DACy\_DHR[11:0]位，DACy\_DHR 是内部的数据保存寄存器），12 位数据右对齐。

配置数据写入 DACxy\_DL12D 寄存器时，DACx 数据写入 DACxy\_DL12D[15:4]（实际是存入寄存器 DACx\_DHR[11:0]位，DACx\_DHR 是内部的数据保存寄存器），DACy 数据写入 DACxy\_DL12D[31:20]（实际是存入寄存器 DACy\_DHR[11:0]位，DACy\_DHR 是内部的数据保存寄存器），12 位数据左对齐。

配置数据写入 DACxy\_DR8D 寄存器时，DACx 数据写入 DACxy\_DR8D[7:0]（实际是存入寄存器 DACy\_DHR[11:4]位，DACx\_DHR 是内部的数据保存寄存器），DACy 数据写入 DACxy\_DR8D[15:8]（实际是存入寄存器 DACy\_DHR[11:4]位，DACy\_DHR 是内部的数据保存寄存器），8 位数据左对齐。

图 27-3 DAC 同步输出时的数据格式



### 27.3.3.2 有符号/无符号数据

DAC 的输入数据是无符号的，取值范围为 0 ~0xFFF;

DAC 还可以以 2 的补码格式处理带符号输入数据。这是通过设置 DACxy\_CTRL.SINFORMATx(y)位来实现的。当设置了 DACxy\_CTRL.SINFORMATx(y)为 1 时，写入数据保持寄存器的数据的最高有效位 (MSB 位) 在复制到数据输出 DACx(y)\_DATO 寄存器时会被反转。

表 27-4 12-bit 数据格式

SINFORMATx(y)位	DACx(y)D 寄存器值	DACx(y)_DATO 寄存器值
0	0x800	0x800
0	0x7FF	0x7FF
0	0xFFF	0xFFF
1	0x000	0x800
1	0x7FF	0xFFF
1	0x800	0x000
1	0xFFF	0x7FF

### 27.3.4 DAC 触发

配置 DACxy\_CTRL.Tx(y)EN = 1 可以使能 DAC 的外部触发，通过配置 DACxy\_SELCTRL.Tx(y)SEL[4:0]来选择一个外部触发事件作为 DAC 的外部触发电源。这些事件也可以是软件触发或者硬件触发，如下表所示：

表 27-5 DAC 外部触发

触发电源	类型	Tx(y)SEL[4:0]
ATIM1 TRGO 事件	来自片上定时器的内部信号	00001
ATIM2 TRGO 事件		00010
ATIM3 TRGO 事件		00011
ATIM4 TRGO 事件		00100
GTIMA1 TRGO 事件		00101
GTIMA2 TRGO 事件		00110
GTIMA3 TRGO 事件		00111
GTIMA4 TRGO 事件		01000
GTIMA5 TRGO 事件		01001
GTIMA6 TRGO 事件		01010
GTIMA7 TRGO 事件		01011
GTIMB1 TRGO 事件		01100
GTIMB2 TRGO 事件		01101
GTIMB3 TRGO 事件		01110
EXTI 线 5	外部引脚	01111
EXTI 线 7		10000
EXTI 线 9		10001
SHRTIM1 Reset_TRG1 事件	来自片上定时器的内部信号	10010
SHRTIM1 Reset_TRG2 事件		10011
SHRTIM1 Reset_TRG3 事件		10100

触发源	类型	Tx(y)SEL[4:0]
SHRTIM1 Reset_TRG4 事件		10101
SHRTIM1 Reset_TRG5 事件		10110
SHRTIM1 Reset_TRG6 事件		10111
SHRTIM1 TRG1/2/3 事件		11000
SHRTIM2 Reset_TRG1 事件		11001
SHRTIM2 Reset_TRG2 事件		11010
SHRTIM2 Reset_TRG3 事件		11011
SHRTIM2 Reset_TRG4 事件		11100
SHRTIM2 Reset_TRG5 事件		11101
SHRTIM2 Reset_TRG6 事件		11110
SHRTIM2 TRG1/2/3 事件		11111
SWTRIG (软件触发)		软件控制位

当 DAC 的触发源为定时器输出或者 EXTI 线的上升沿时，当触发生成，对齐数据保持寄存器的数据会被传送到 DACx(y)\_DATO 寄存器中，这个数据传输过程需要几个时钟周期，具体请参考 27.3.5 章节描述。

如果用户触发源选择了软件触发，配置 DACxy\_SOTTR.TRx(y)EN = 1，对齐数据保持寄存器的数据会被传送到 DACx(y)\_DATO 寄存器中，DACxy\_SOTTR.TRx(y)EN 位会在数据传输后硬件自动清 0。

锯齿波生成的步进触发源可以通过 DACxy\_SELCTRL.STINCSELx(y)[4:0]控制位选择。具体的触发源如下表所示：

表 27-6 DAC 锯齿波步进触发源信号

触发源	类型	STINCSELx(y)[4:0]
ATIM1 TRGO 事件	来自片上定时器的内部信号	00001
ATIM2 TRGO 事件		00010
ATIM3 TRGO 事件		00011
ATIM4 TRGO 事件		00100
GTIMA1 TRGO 事件		00101
GTIMA2 TRGO 事件		00110
GTIMA3 TRGO 事件		00111
GTIMA4 TRGO 事件		01000
GTIMA5 TRGO 事件		01001
GTIMA6 TRGO 事件		01010
GTIMA7 TRGO 事件		01011
GTIMB1 TRGO 事件		01100
GTIMB2 TRGO 事件		01101
GTIMB3 TRGO 事件		01110
EXTI 线 6		外部引脚
EXTI 线 8	10000	
EXTI 线 10	10001	
SHRTIM1 Step_TRG1 事件	来自片上定时器的内部信号	10010
SHRTIM1 Step_TRG2 事件		10011
SHRTIM1 Step_TRG3 事件		10100

触发源	类型	STINCSELx(y)[4:0]
SHRTIM1 Step_TRG4 事件		10101
SHRTIM1 Step_TRG5 事件		10110
SHRTIM1 Step_TRG6 事件		10111
保留		11000
SHRTIM2 Step_TRG1 事件		11001
SHRTIM2 Step_TRG2 事件		11010
SHRTIM2 Step_TRG3 事件		11011
SHRTIM2 Step_TRG4 事件		11100
SHRTIM2 Step_TRG5 事件		11101
SHRTIM2 Step_TRG6 事件		11110
SWTRIG (软件触发)	软件控制位	00000

注意:

1. 当 DAC 处于使能状态时, 禁止修改 DACxy\_SELCTRL 寄存器的 Tx(y)SEL[4:0] 位。
2. 使用软件触发时, 数据从对齐数据保持寄存器传输至 DACx(y)\_DATO 寄存器需占用 1 个 bus\_clk (总线时钟, 具体为 pclk 或 hclk, 取决于 DAC 所挂载的时钟总线) 时钟周期。
3. SHRTIM、ATIM、GTIM 和 DAC 的时钟域不同, 跨时钟域会导致亚稳态。如果 DAC 步进触发速率太接近 DAC 工作时钟, 则会出现亚稳态, 导致出现超频, 超频会导致超频处的 DAC 步进触发丢失。

### 27.3.5 DAC 转换

用户不能直接操作 DACx(y)\_DATO 寄存器, 写入 DHR (包括 DACx(y)\_DR8, DACx(y)\_DR12, DACx(y)\_DL12, DACxy\_DR8D, DACxy\_DR12D, DACxy\_DL12D) 才能生效。

从 DHR 到 DACx(y)\_DATO 寄存器 (简称 DATO) 需要时间, 具体如下表所示:

表 27-7 DAC1-DAC2 转换时间描述

Tx(y)EN	Wx(y)EN	Tx(y)SEL[4:0]	DHR -> DATO(bus_clk)	从 DATO 到模拟开启建立的时间 T1
0	0b'000	00000	2	HFSEL = 0:T1 为(PCS[7:0]/2-1) 个 bus_clk <sup>[1]</sup> ; HFSEL = 1:T1 为 1 个 bus_clk; HFSEL = 2:T1 为 3 个 bus_clk; HFSEL = 3:T1 为 5 个 bus_clk;
1	0b'000	00000	4	
	0b'000	非 0b'00000	4	
	非 0b'000	-	3	

表 27-8 DAC3-DAC6 转换时间描述

Tx(y)EN	Wx(y)EN	Tx(y)SEL[4:0]	DHR -> DATO(bus_clk)	从 DATO 到模拟开启建立的时间 T1
0	0b'000	00000	2	T1 固定为 5 个 bus_clk;
1	0b'000	00000	4	
	0b'000	非 0b'00000	4	
	非 0b'000	-	3	

注意:

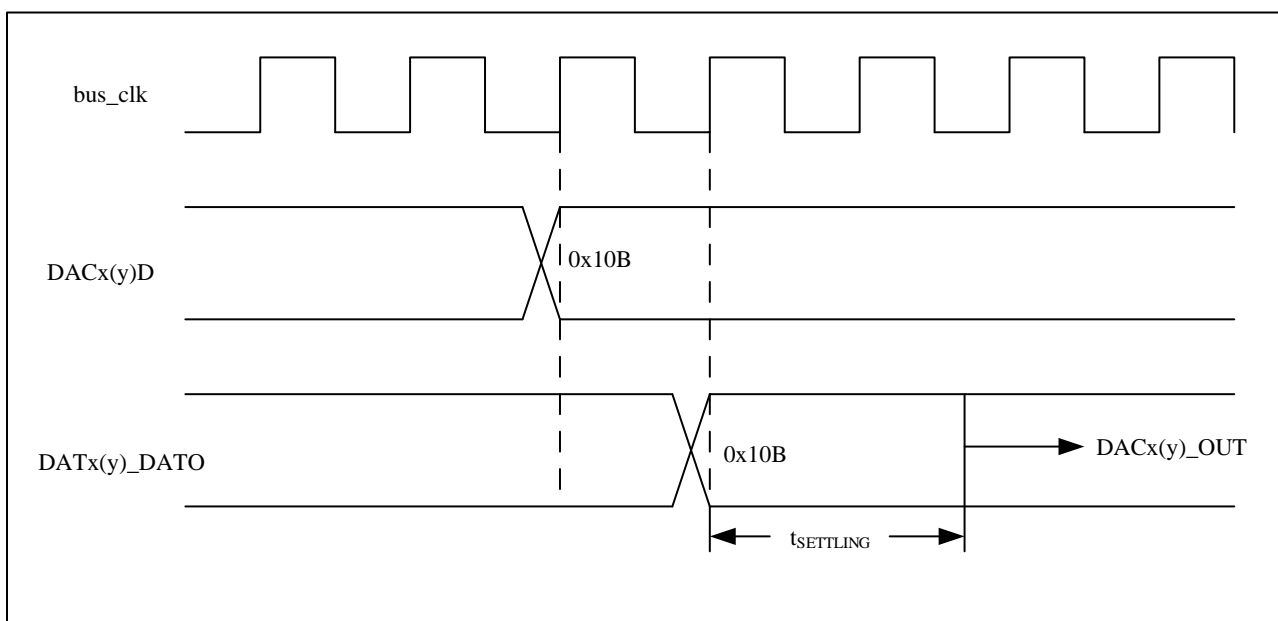
1. *bus\_clk* 为 DAC 挂载的总线时钟, DAC1/2 挂载在 APB 总线, DAC3/4/5/6 挂载在 AHB 总线;

对于 DAC1-DAC2 来说, 当 *bus\_clk* 时钟速度高于 80 MHz 时, 必须设置 DACxy\_HFSEL[1:0] 位。它会增加从 DACx(y)\_DATO 寄存器到模拟开始建立时间点的额外的延迟。

如果在不允许的时间段内更新了数据或发生了软件/硬件触发事件, 外设行为将受到影响。期间更新数据或发生软件/硬件触发事件, 外设行为将无法预测。

DAC 的有效输出需经历以下阶段。首先 DAC 从数据保持寄存器将数据传送至 DACx(y)\_DATO 寄存器, 然后 DACx(y)\_DATO 寄存器延时 T1 时间后模拟开启转换, 最后经过时间 tSETTLING 输出才有效, 这个时间 tSETTLING 与电源电压及模拟输出负载相关。

图 27-4 触发禁能时转换时序图



### 27.3.6 DAC 输出电压

数字输入通过 DAC 模块转换为模拟电压输出, 它们之间呈线性关系, 输出范围为 0 到 VREF+。以下是 DAC 的输出电压计算公式:

$$\text{DAC 输出} = V_{\text{REF}} * (\text{DATO} / 4095)。$$

### 27.3.7 DMA 请求

配置 DACxy\_CTRL.DMAx(y)EN=1 来开启 DMA 功能, 有外部触发发生时(不是软件触发), 生成一个 DMA 请求, 随后对齐数据保持寄存器的数据被传输到 DACx(y)\_DATO 寄存器。

在双 DAC 模式下, 如果设置了两个 DACxy\_CTRL.DMAx(y)EN 位, 将会产生两个 DMA 请求。如果只需要一个 DMA 请求, 则只需要设置 DMAxEN 位。通过这种方式, 应用可以通过使用一个 DMA 请求来管理两个 DAC。

由于 DMA 请求发生在数据保持寄存器加载到 DACx(y)\_DATO 寄存器之后, 所以用户必须先将数据写到数据保持寄存器中, 再去触发 DAC 转换。

### 27.3.7.1 DMA 下溢

DAC 的 DMA 请求不会排队，因此如果在收到第一个外部触发的确认（第一个请求）之前到达第二个外部触发，那么不会发出新的请求，而是会置位 DACxy\_STS.DMAUDRx(y)标志，报告错误情况。DAC 继续转换旧数据。因此，用户必须设置合适的 DAC 触发频率以减少 DMA 的工作负载。以避免产生 DMA 下溢。

当 DMA 下溢发生时，用户可以通过写入 1 来清除 DACxy\_STS.DMAUDRx(y)标志，之后关闭 DMA 使能位，并重新初始化 DMA 和 DAC，以便正确地重新启动传输。

如果用户设置了 DACxy\_CTRL.DMAUDRx(y)IEN 位，当发生 DMA 下溢事件后，会同时产生 DMA 下溢中断。

### 27.3.7.2 DMA 双数据模式

DMA 工作时，一次 DMA 请求，只能传输 8-bit 或 12-bit 的有效数据，因为 AHB 带宽是 32-bit，所以这极大的浪费了 DMA 的带宽。因此可以考虑用两个 12bit 数据同时传输，这样可以节省 DMA 的传输效率。设置 DACxy\_CTRL.DMADOUBLEx(y)为 1，即可开启 DMA 双数据模式。

当设置了 DACxy\_CTRL.DMAx(y)EN 位时，每隔两个外部触发（除了软件触发）就会生成一个 DAC DMA 请求。

1. 当检测到第一个触发事件时，DACx(y)DB 寄存器的值会被传输到 DACx(y)\_DATO 寄存器中。然后生成一个 DMA 请求，随后 DMA 将新数据写入 DACx(y) D 和 DACx(y) DB 数据寄存器中。
2. 当检测到下一个触发事件时，DACx(y)D 寄存器的值会被传输到 DACx(y)\_DATO 寄存器中。第二个触发事件不会生成任何 DMA 请求。
3. 当检测到下一个触发事件时，DACx(y)DB 寄存器的值会被传输到 DACx(y)\_DATO 寄存器中。然后生成一个 DMA 请求，随后 DMA 将新数据写入 DACx(y) D 和 DACx(y)DB 数据寄存器中。

在 DMA 双数据模式下，DAC 也支持 DMA 下溢功能。

在 DMA 双数据模式下，DMA 请求只能够处理一个 DAC。当在双 DAC 模式下，两个 DAC 同时使用 DMA 双数据，用户需要对两个独立的 DMA 通道单独配置。

要从双数据模式切换到单数据模式，或者从单数据模式切换到双数据模式，必须满足以下条件：

- DAC 必须处于关闭状态。(DACxy\_CTRL.DACx(y)EN = 0)
- DMA 使能处于关闭状态(DACxy\_CTRL.DMAx(y)EN = 0)

### 27.3.8 噪声产生

DAC 可以生成噪声，通过配置 DACxy\_CTRL.Wx(y)EN[2:0] 为 3b'001 开启噪声功能，通过配置 DACxy\_SELCTRL.MAx(y)SEL[3:0]来选择屏蔽线性反馈移位寄存器 (LFSR) 的哪些位，LFSR 寄存器的值与 DAC 对齐数据保持寄存器的值相加后写入到 DACx(y)\_DATO 寄存器中（溢出位被舍弃）。LFSR 的初始值为 0xAAA，LFSR 的值更新于触发事件发生后的 3 个 bus\_clk 时钟周期之后。

图 27-5 DAC LFSR 算法

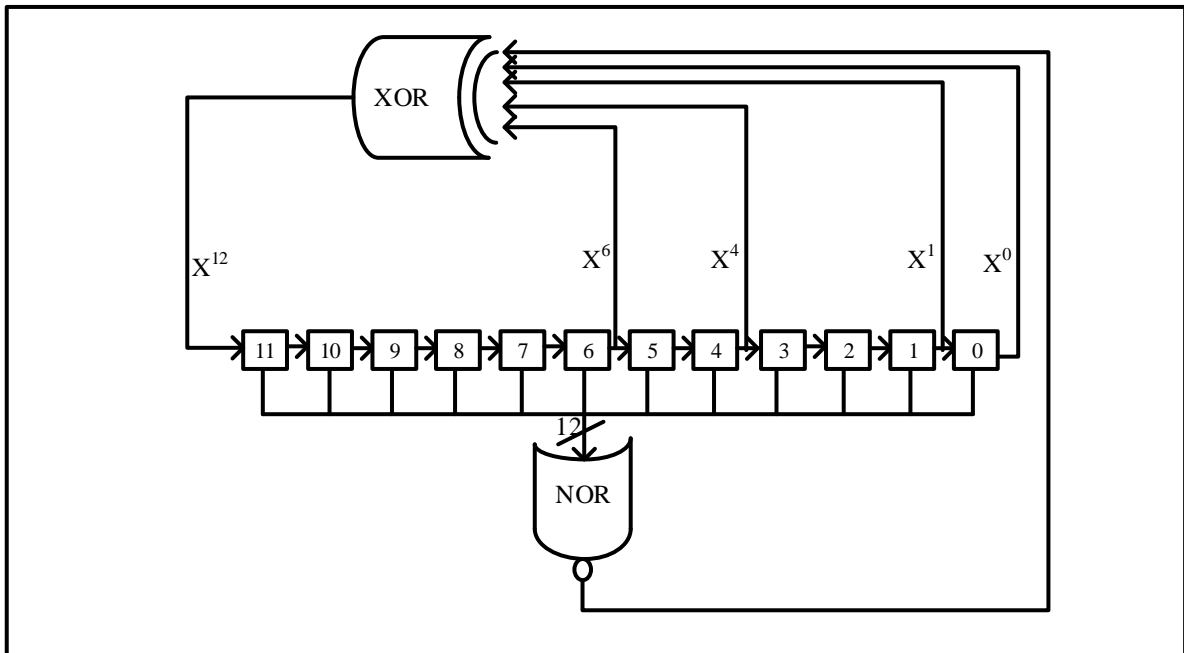
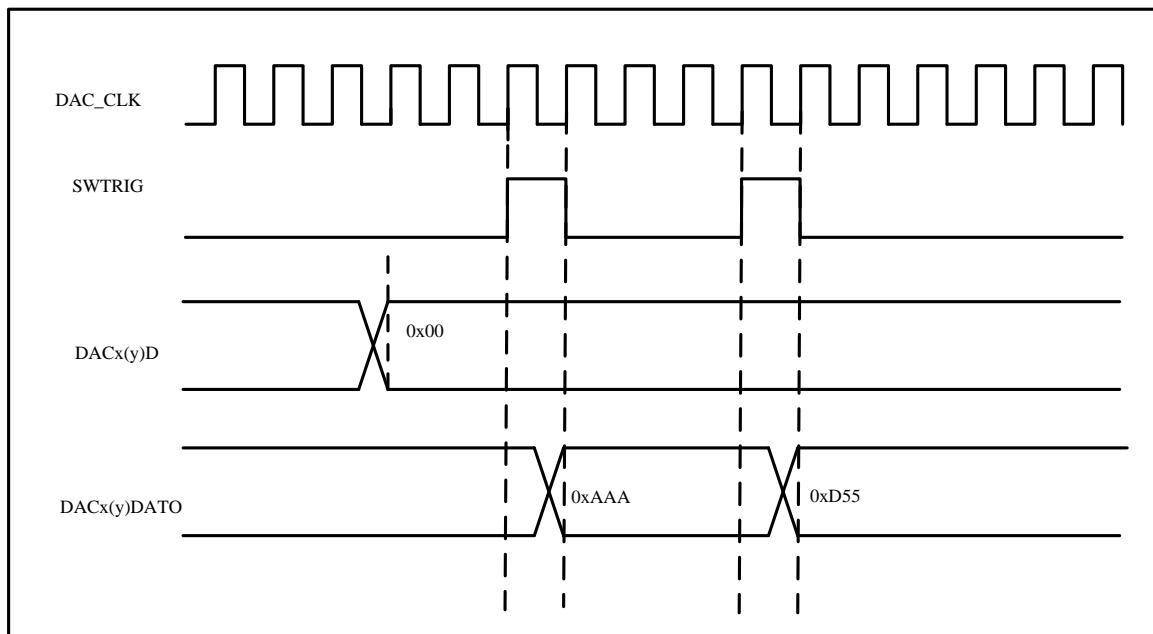


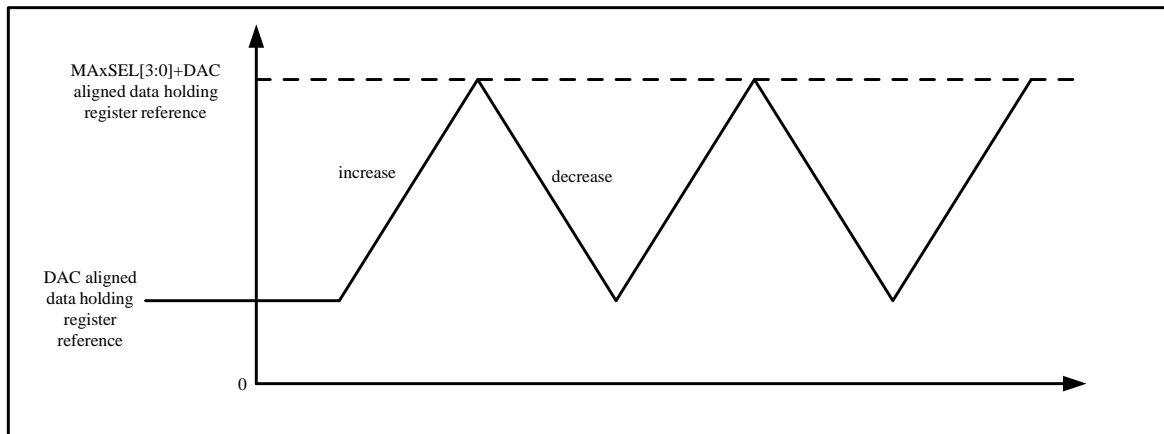
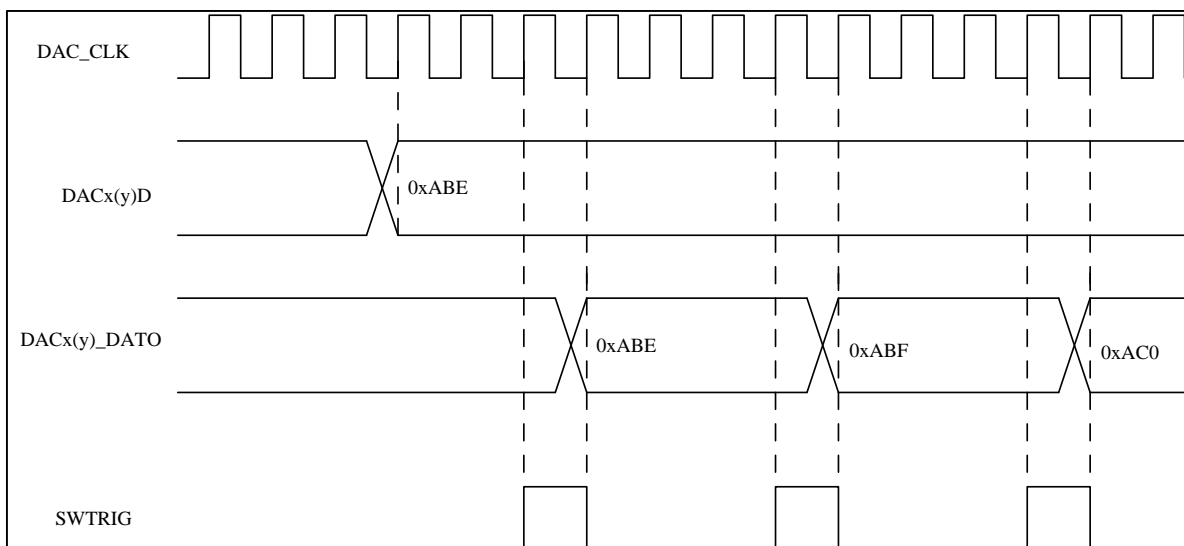
图 27-6 带 LFSR 波形生成的 DAC 转换（使能软件触发）



注意：DAC 配置为触发使能（ $DACxy\_CTRL.Tx(y)EN = 1$ ）才能产生噪声。

### 27.3.9 三角波产生

DAC 可以生成三角波，通过配置  $DACxy\_CTRL.Wx(y)EN[2:0]$  为  $3b'010$  开启三角波功能，通过配置  $DACxy\_SELCTRL.MAx(y)SEL[3:0]$  来选择三角波的幅值，内部的三角波计数器值与 DAC 对齐数据保持寄存器的值相加后写入到  $DACx(y)\_DATO$  寄存器中（溢出位被舍弃）。三角波计数器的值更新于触发事件发生后 3 个  $bus\_clk$  周期，三角波计数器会累加到设置的最大幅值，然后递减到 0，依此循环。

**图 27-7 DAC 三角波生成**

**图 27-8 带三角生成的 DAC 转换（使能软件触发，HFSEL[1:0] = 0b'01）**


注意：

1. DAC 配置为触发使能（ $DACxy\_CTRL.Tx(y)EN = 1$ ）才能产生三角波；
2. 不允许在 DAC 使能后设置  $DACxy\_SELCTRL.MAx(y)SEL[3:0]$ 。

### 27.3.10 锯齿波产生

锯齿波生成的步骤如下所示：

1. 配置  $DACxy\_CTRL.Wx(y)EN[2:0]$  为 3b'100 或者 3b'110，选择递增锯齿波或递减锯齿波；
2. 通过设置  $DACxy\_SELCTRL.Tx(y)SEL[4:0]$  以及  $DACxy\_SELCTRL.STINCSELx(y)[4:0]$  的值，来分别配置锯齿波的复位触发源以及步进触发源；
3. 通过设置  $DACxy\_STRST.STRSTDATAx(y)[11:0]$  来配置锯齿波的复位值；
4. 通过设置  $DAC\_STRST.STINCDATAx(y)[11:0]$  来配置锯齿波的步进值；

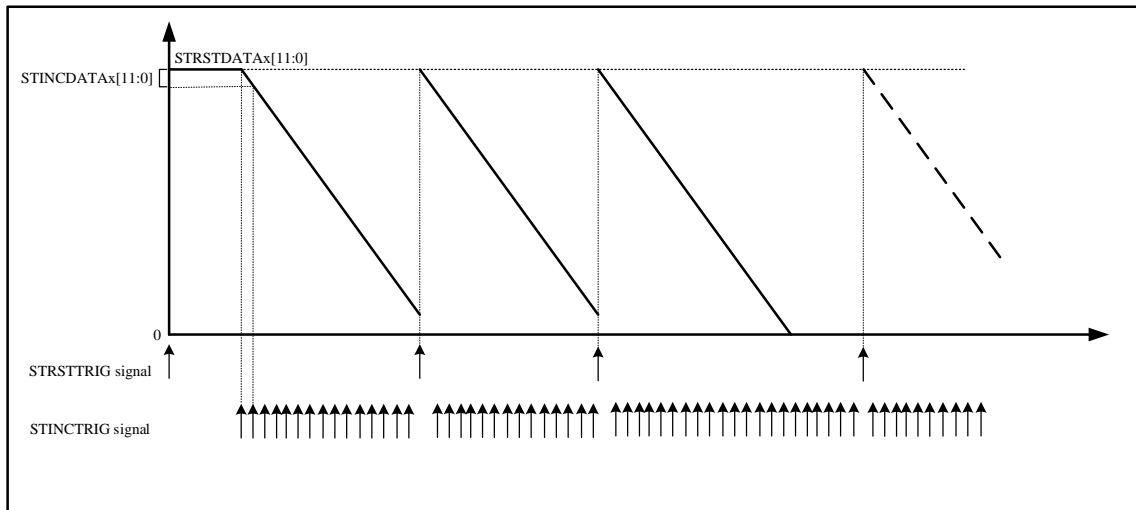
当配置为递增锯齿波的时候，锯齿波从  $DACxy\_STRST.STRSTDATAx[11:0]$  开始计数。每次步进触发，计数



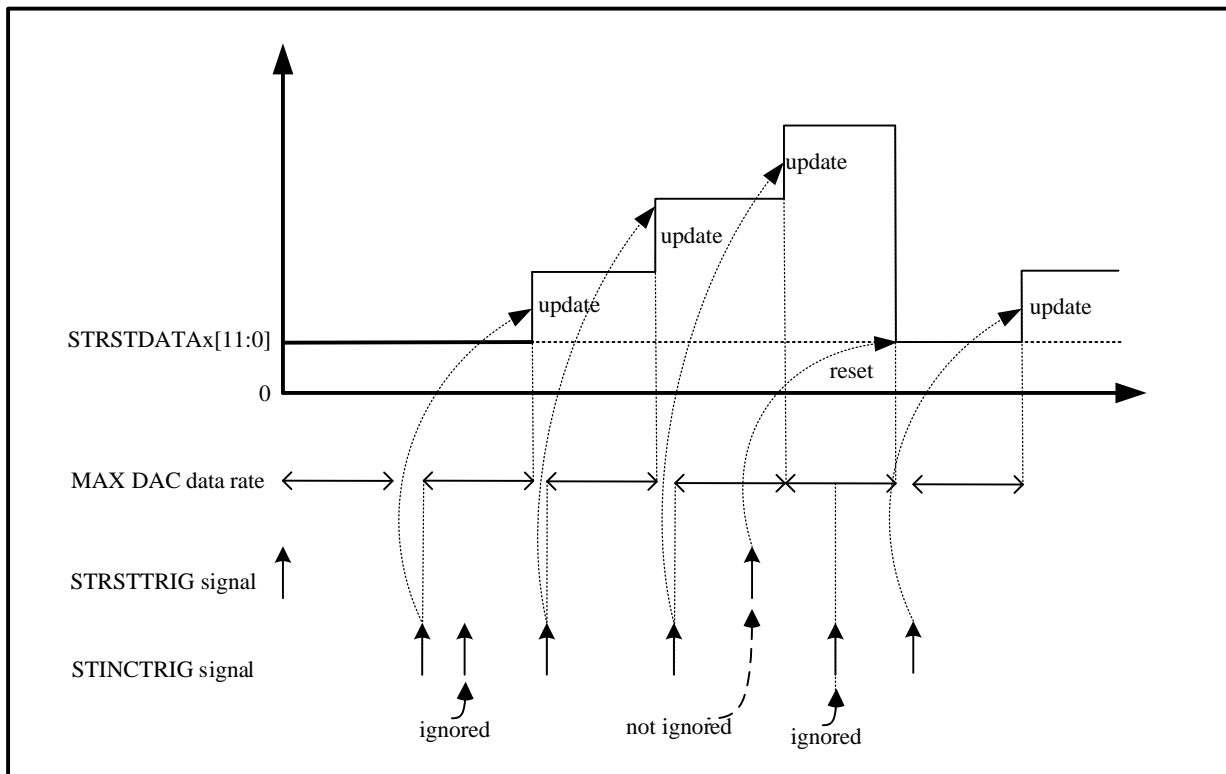
器都会增加 DACxy\_STRST.STINCDATAx(y)[11:0]，当计数器达到饱和值 0xFFF 的时候，再次步进触发，计数器会处于饱和状态。当复位触发到来时，计数器会恢复到 DACxy\_STRST.STRSTDATAx(y)[11:0]。

当配置为递减锯齿波时，锯齿波从 DACxy\_STRST.STRSTDATAx(y)[11:0]开始计数。每次步进触发，计数器都会减少 DACxy\_STRST.STINCDATAx(y)[11:0]，当计数器达到饱和值 0x000 的时候，再次步进触发，计数器会处于饱和状态。当复位触发到来时，计数器会恢复到 DACxy\_STRST.STRSTDATAx(y)[11:0]。

图 27-9 递减锯齿波生成



锯齿波的复位触发信号 STRSTTRIG 的优先级高于步进触发信号 STINCTRIG，锯齿波的外部触发的速率不得高于 DAC 的更新速率。如果步进触发信号 DACxy\_SELCTRL.STINCSELx(y)[4:0]高于 DAC 的更新速率，那么该触发信号就会被忽略。如果在响应步进触发信号 STINCTRIG 之后、突然施加了复位触发信号 STRSTTRIG 信号，则 STRSTTRIG 会被暂停。然后，在数据递增或递减之后立即响应复位触发。

**图 27-10 DAC 递增锯齿波复位信号触发与步进触发优先级**


### 27.3.11 DAC 缓冲器校准

N-bit 的 DAC 转换器的公式如下：

$$V_{OUT} = (Din/2^N) \times Gain \times V_{REF} + V_{OFFSET}$$

其中： $V_{OUT}$  为模拟电压输出， $Din$  为数字输入， $Gain$  为增益误差， $V_{REF}$  为满量程电压。 $V_{OFFSET}$  为偏移电压。对于理想的 DAC,  $Gain = 1$ ,  $V_{OFFSET} = 0$ 。

由于输出缓冲特性，不同部件之间的电压偏移可能不同，并在模拟输出上引入绝对偏移误差。为了补偿这种电压偏移 ( $V_{OFFSET}$ )，需要通过修整技术进行校准。仅当 DACx 在缓冲器启用的情况下运行 ( $BxEN = 0b'1$ ) 时，校准才有效。如果在缓冲器关闭的其他模式下应用，则无效。在校准过程中：

- 输出从外部引脚或者内部连接断开；
- 缓冲器充当比较器，感知中间编码值 0x800，并通过内部电桥将其与  $V_{REF}+2$  信号进行比较，然后根据比较结果 ( $DACxy\_STS.CALFLAGx(y)$ 位) 将其输出信号切换为 0 或 1。

有两种校准模式：工厂校准和用户校准，用户可以选择

#### 1. 工厂校准：

这个校准值在出厂就完成，在 DAC 复位的时候，会加载到  $DACxy\_CALC.OTRIMx(y)[4:0]$  寄存器中；

#### 2. 用户校准：

用户修调可以在操作条件与标称出厂修整条件不同时进行，特别是当  $V_{DDA}$  电压、温度、 $V_{REF}+$  值发生变化时，可以在应用程序的任何时点通过软件来进行。工厂的校准环境可以参考数据手册。

用户校准步骤如下所示：

- 1) 打开 DAC 校准使能 (DACxy\_CTRL.CALx(y)EN = 1)；
- 2) 打开 DAC 的 buffer 缓冲器模式 (DACxy\_CTRL.Bx(y)EN = 1)
- 3) 使能 DAC (DACxy\_CTRL.DACx(y)EN = 1)；
- 4) 应用校准算法：
  - a) 写入 00000b 到 DACxy\_CALC.OTRIMx(y)[4:0]；
  - b) 等待 100us 以上并检查状态寄存器 DACxy\_STS.CALFLAGx(y)位是否置 1？
  - c) 状态位置 1，结束校准，否则写入 00001b 到 DACxy\_CALC.OTRIMx(y)[4:0]，重复以上步骤；

软件算法可以使用连续逼近法或二分法技术来更快地计算和设置 DACxy\_CALC.OTRIMx(y)[4:0]位的内容。DACxy\_STS.CALFLAGx(y) 位的切换指示偏移已正确补偿，并且相应的修整码必须保留在 DACxy\_CALC.OTRIMx(y)[4:0]位中。

如果在设备运行过程中  $V_{DDA}$ 、 $V_{REF+}$ 和温度条件不发生变化，但它更频繁地进入 STANDBY 或 VBAT 模式，软件可以将首次用户校准中找到的 DACxy\_CALC.OTRIMx(y)[4:0]位存储在闪存或备份寄存器中。然后，在设备恢复供电时，直接加载/写入这些位，从而避免等待新的校准时间。当 DACxy\_CTRL.CALx(y)EN 位被设置时，需设置 DACxy\_CTRL.DACx(y)EN 位以开启校准功能。

## 27.4 双 DAC 转换操作

两个 DAC 即可以单独工作，也可以同时工作。该模式下，有 DACxy\_DR12D、DACxy\_DL12D 和 DACxy\_DR8D 总共 3 个寄存器可以使用，可以高效的利用总线带宽，每个寄存器都可以同时对 2 路 DAC 进行操作。

双 DAC 同时开启转换，总共有 15 种模式，在只使用一路 DAC 转换的情况下，另外一路 DAC 仍可以独立进行操作。具体请参考下面的章节描述。

### 27.4.1 不使用波形发生器的独立触发

配置流程如下：

- ◆ 配置 DACxy\_CTRL.TxEN 和 DACxy\_CTRL.TyEN 来开启 DACx 和 DACy 触发使能。
- ◆ 配置 DAC\_SELCTRL.TxSEL[4:0]和 DAC\_SELCTRL.TySEL[4:0]为不同值来选择不同触发源。
- ◆ 配置 DACxy\_CTRL.WxEN[2:0]和 DACxy\_CTRL.WyEN[2:0]为“000”来选择不使用波形发生器。
- ◆ 将所需转换的数据放入对应的对齐数据保持寄存器中。

当 DACx 触发事件产生时，对齐数据保持寄存器的值将在延迟 4 个 bus\_clk 时钟周期后传入寄存器 DACx\_DATO。当 DACy 触发事件产生时，对齐数据保持寄存器的值将在延迟 4 个 bus\_clk 时钟周期后传入寄存器 DACy\_DATO。

### 27.4.2 产生相同噪声的独立触发

配置流程如下：

- ◆ 配置 DACxy\_CTRL.TxEN 和 DACxy\_CTRL.TyEN 来开启 DACx 和 DACy 触发使能。

- ◆ 配置 DAC\_SELCTRL.TxSEL[4:0]和 DAC\_SELCTRL.TySEL[4:0]为不同值来选择不同触发源。
- ◆ 配置 DACxy\_CTRL.WxEN[2:0]和 DACxy\_CTRL.WyEN[2:0]为“001”来选择噪声生成使能。
- ◆ 配置 DAC\_SELCTRL.MAxSEL[3:0]和 DAC\_SELCTRL.MAySEL[3:0]为相同值，以得到相同的 LFSR 寄存器屏蔽位。
- ◆ 将所需转换的数据放入对应的对齐数据保持寄存器中。

当 DACx 触发事件产生时，LFSR 寄存器 1 的计数器值与对应数据保持寄存器数值相加，此相加值在延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACx\_DATO，LFSR 寄存器 1 的计数器值此时会更新。当 DACy 触发事件产生时，LFSR 寄存器 2 的计数器值与对应数据保持寄存器数值相加，此相加值在延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACy\_DATO，LFSR 寄存器 2 的计数器值此时会更新。

### 27.4.3 产生不同噪声的独立触发

配置流程如下：

- ◆ 配置 DACxy\_CTRL.TxEN 和 DACxy\_CTRL.TyEN 来开启 DACx 和 DACy 触发使能。
- ◆ 配置 DAC\_SELCTRL.TxSEL[4:0]和 DAC\_SELCTRL.TySEL[4:0]为不同值来选择不同触发源。
- ◆ 配置 DACxy\_CTRL.WxEN[2:0]和 DACxy\_CTRL.WyEN[2:0]为“001”来选择噪声生成使能。
- ◆ 配置 DACxy\_SELCTRL.MAxSEL[3:0]和 DACxy\_SELCTRL.MAySEL[3:0]为不同值，以得到不同的 LFSR 寄存器屏蔽位。
- ◆ 将所需转换的数据放入对应的对齐数据保持寄存器中。

当 DACx 触发事件产生时，LFSR 寄存器 1 的计数器值与对应数据保持寄存器数值相加，此相加值在延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACx\_DATO，LFSR 寄存器 1 的计数器值此时会更新。当 DACy 触发事件产生时，LFSR 寄存器 2 的计数器值与对应数据保持寄存器数值相加，此相加值在延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACy\_DATO，LFSR 寄存器 2 的计数器值此时会更新。

### 27.4.4 产生相同三角波的独立触发

配置流程如下：

- ◆ 配置 DACxy\_CTRL.TxEN 和 DACxy\_CTRL.TyEN 来开启 DACx 和 DACy 触发使能。
- ◆ 配置 DAC\_SELCTRL.TxSEL[4:0]和 DAC\_SELCTRL.TySEL[4:0]为不同值来选择不同触发源。
- ◆ 配置 DACxy\_CTRL.WxEN[2:0]和 DACxy\_CTRL.WyEN[2:0]为“010”来选择三角波生成使能。
- ◆ 配置 DACxy\_SELCTRL.MAxSEL[3:0]和 DACxy\_SELCTRL.MAySEL[3:0]为相同值，以得到相同的三角波幅值。
- ◆ 将所需转换的数据放入对应的对齐数据保持寄存器中。

当 DACx 触发事件产生时，三角波幅值与对应数据保持寄存器数值相加，此相加值在延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACx\_DATO，DACx 的三角波的计数器值此时会更新。当 DACy 触发事件产生时，三角波幅值与对应数据保持寄存器数值相加，此相加值在延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACy\_DATO，DACy 的三角波的计数器值此时会更新。

## 27.4.5 产生不同三角波的独立触发

配置流程如下：

- ◆ 配置 DACxy\_CTRL.TxEN 和 DACxy\_CTRL.TyEN 来开启 DACx 和 DACy 触发使能。
- ◆ 配置 DAC\_SELCTRL.TxSEL[4:0]和 DAC\_SELCTRL.TySEL[4:0]为不同值来选择不同触发源。
- ◆ 配置 DACxy\_CTRL.WxEN[2:0]和 DACxy\_CTRL.WyEN[2:0]为“010”来选择三角波生成使能。
- ◆ 配置 DACxy\_SELCTRL.MAxSEL[3:0]和 DACxy\_SELCTRL.MAySEL[3:0]为不同值，以得到不同的三角波幅值。
- ◆ 将所需转换的数据放入对应的对齐数据保持寄存器中。

当 DACx 触发事件产生时，三角波幅值与对应数据保持寄存器数值相加，此相加值在延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACx\_DATO，DACx 的三角波的计数器值此时会更新。当 DACy 触发事件产生时，三角波幅值与对应数据保持寄存器数值相加，此相加值在延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACy\_DATO，DACy 的三角波的计数器值此时会更新。

## 27.4.6 产生相同锯齿波的独立触发

配置流程如下：

- ◆ 配置 DACxy\_CTRL.TxEN 和 DACxy\_CTRL.TyEN 来开启 DACx 和 DACy 触发使能。
- ◆ 配置 DAC\_SELCTRL.TxSEL[4:0]和 DAC\_SELCTRL.TySEL[4:0]为不同值来选择不同复位触发源。
- ◆ 配置 DAC\_SELCTRL.STINCSELx[4:0]和 DAC\_SELCTRL.STINCSELy[4:0]为不同值来选择不同同步进触发源。
- ◆ 配置 DAC\_STINC.STINCDAx[11:0]和 DAC\_STINC.STINCDAy[11:0]为相同值来作为锯齿波的步进值。
- ◆ 配置 DAC\_STRST.STRSTDAx[11:0]和 DAC\_STRST.STRSTDAy[11:0]为相同值来作为锯齿波的复位值。
- ◆ 配置 DACxy\_CTRL.WxEN[2:0]和 DACxy\_CTRL.WyEN[2:0]为“100”或者“110”来选择锯齿波生成使能。
- ◆ 开启相应的外部触发。

当 DACx 复位事件触发时，锯齿波会将 DAC\_STRST.STRSTDAx[11:0]寄存器的值延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACx\_DATO，DACx 的锯齿波的计数器值此时会更新。当步进事件触发时，锯齿波的计数器会增加或减去 DAC\_STINC.STINCDAx[11:0]，将运算的结果延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACx\_DATO。当 DACy 复位事件触发时，锯齿波会将 DAC\_STRST.STRSTDAy[11:0]寄存器的值延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACy\_DATO，DACy 的锯齿波的计数器值此时会更新。当步进事件触发时，锯齿波的计数器会增加或减去 DAC\_STINC.STINCDAy[11:0]，将运算的结果延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACy\_DATO。

## 27.4.7 产生不同锯齿波的独立触发

配置流程如下：

- ◆ 配置 DACxy\_CTRL.TxEN 和 DACxy\_CTRL.TyEN 来开启 DACx 和 DACy 触发使能。
- ◆ 配置 DAC\_SELCTRL.TxSEL[4:0]和 DAC\_SELCTRL.TySEL[4:0]为不同值来选择不同复位触发源。
- ◆ 配置 DAC\_SELCTRL.STINCSELx [4:0]和 DAC\_SELCTRL.STINCSELy[4:0]为不同值来选择不同同步进触发源。
- ◆ 配置 DAC\_STINC.STINCDAx [11:0]和 DAC\_STINC.STINCDAy[11:0]为不同值来作为锯齿波的步进值。
- ◆ 配置 DAC\_STRST.STRSTDAx[11:0]和 DAC\_STRST.STRSTDAy[11:0]为不同值来作为锯齿波的复位值。
- ◆ 配置 DACxy\_CTRL.WxEN[2:0]和 DACxy\_CTRL.WyEN[2:0]为“100”或者“110”来选择锯齿波生成使能。
- ◆ 开启相应的外部触发。

当 DACx 复位事件触发时，锯齿波会将 DAC\_STRST.STRSTDAx[11:0]寄存器的值延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACx\_DATO，DACx 的锯齿波的计数器值此时会更新。当步进事件触发时，锯齿波的计数器会减去 DAC\_STINC.STINCDAx[11:0]，将运算的结果延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACx\_DATO。当 DACy 复位事件触发时，锯齿波会将 DAC\_STRST.STRSTDAy[11:0]寄存器的值延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACy\_DATO，DACy 的锯齿波的计数器值此时会更新。当步进事件触发时，锯齿波的计数器会减去 DAC\_STINC.STINCDAy[11:0]，将运算的结果延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACy\_DATO。

## 27.4.8 同时软件启动

配置流程如下：

- ◆ 配置 DAC\_SELCTRL.TxSEL[4:0]和 DAC\_SELCTRL.TySEL[4:0]为“00000”来选择软件作为触发源。
- ◆ 配置 DACxy\_CTRL.TxEN 和 DACxy\_CTRL.TyEN 来开启 DACx 和 DACy 触发使能。
- ◆ 将所需转换的数据放入对应的对齐数据保持寄存器中。
- ◆ 使能 DAC\_SOTTR.TRxEN 和 DAC\_SOTTR.TRyEN 来触发软件转换。

DACx 的对齐数据保持寄存器的值将在延迟 4 个 bus\_clk 时钟周期后传入寄存器 DACx\_DATO。

DACy 的对齐数据保持寄存器的值将在延迟 4 个 bus\_clk 时钟周期后传入寄存器 DACy\_DATO。

## 27.4.9 不使用波形发生器的同步触发

配置流程如下：

- ◆ 配置 DACxy\_CTRL.TxEN 和 DACxy\_CTRL.TyEN 来开启 DACx 和 DACy 触发使能。
- ◆ 配置 DAC\_SELCTRL.TxSEL[4:0]和 DAC\_SELCTRL.TySEL[4:0]为相同值来选择相同触发源。
- ◆ 配置 DACxy\_CTRL.WxEN[2:0]和 DACxy\_CTRL.WyEN[2:0]为“000”来选择不使用波形发生器。
- ◆ 将所需转换的数据放入对应的对齐数据保持寄存器中。

触发事件产生时，DACx 的对齐数据保持寄存器的值将在延迟 4 个 bus\_clk 时钟周期后传入寄存器 DACx\_DATO；DACy 的对齐数据保持寄存器的值将在延迟 4 个 bus\_clk 时钟周期后传入寄存器 DACy\_DATO。

## 27.4.10 产生相同噪声的同步触发

配置流程如下：

- ◆ 配置 DACxy\_CTRL.TxEN 和 DACxy\_CTRL.TyEN 来开启 DACx 和 DACy 触发使能。
- ◆ 配置 DAC\_SELCTRL.TxSEL[4:0]和 DAC\_SELCTRL.TySEL[4:0]为相同值来选择相同触发源。
- ◆ 配置 DACxy\_CTRL.WxEN[2:0]和 DACxy\_CTRL.WyEN[2:0]为“001”来选择噪声生成使能。
- ◆ 配置 DACxy\_SELCTRL.MAxSEL[3:0]和 DACxy\_SELCTRL.MAySEL[3:0]为相同值，以得到相同的 LFSR 寄存器屏蔽位。
- ◆ 将所需转换的数据放入对应的对齐数据保持寄存器中。

当触发事件产生时，LFSR 寄存器 1 的计数器值与对应数据保持寄存器数值相加，此相加值在延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACx\_DATO，LFSR 寄存器 1 的计数器值此时会更新；LFSR 寄存器 2 的计数器值与对应数据保持寄存器数值相加，此相加值在延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACy\_DATO，LFSR 寄存器 2 的计数器值此时会更新。

## 27.4.11 产生不同噪声的同步触发

配置流程如下：

- ◆ 配置 DACxy\_CTRL.TxEN 和 DACxy\_CTRL.TyEN 来开启 DACx 和 DACy 触发使能。
- ◆ 配置 DAC\_SELCTRL.TxSEL[4:0]和 DAC\_SELCTRL.TySEL[4:0]为不同值来选择相同触发源。
- ◆ 配置 DACxy\_CTRL.WxEN[2:0]和 DACxy\_CTRL.WyEN[2:0]为“001”来选择噪声生成使能。
- ◆ 配置 DACxy\_SELCTRL.MAxSEL[3:0]和 DACxy\_SELCTRL.MAySEL[3:0]为不同值，以得到相同的 LFSR 寄存器屏蔽位。
- ◆ 将所需转换的数据放入对应的对齐数据保持寄存器中。

当触发事件产生时，LFSR 寄存器 1 的计数器值与对应数据保持寄存器数值相加，此相加值在延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACx\_DATO，LFSR 寄存器 1 的计数器值此时会更新；LFSR 寄存器 2 的计数器值与对应数据保持寄存器数值相加，此相加值在延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACy\_DATO，LFSR 寄存器 2 的计数器值此时会更新。

## 27.4.12 产生相同三角波的同步触发

配置流程如下：

- ◆ 配置 DACxy\_CTRL.TxEN 和 DACxy\_CTRL.TyEN 来开启 DACx 和 DACy 触发使能。
- ◆ 配置 DAC\_SELCTRL.TxSEL[4:0]和 DAC\_SELCTRL.TySEL[4:0]为相同值来选择相同触发源。
- ◆ 配置 DACxy\_CTRL.WxEN[2:0]和 DACxy\_CTRL.WyEN[2:0]为“010”来选择三角波生成使能。
- ◆ 配置 DACxy\_SELCTRL.MAxSEL[3:0]和 DACxy\_SELCTRL.MAySEL[3:0]为相同值，以得到相同的三角波幅值。
- ◆ 将所需转换的数据放入对应的对齐数据保持寄存器中。

当触发事件产生时，DACx 的三角波幅值与对应数据保持寄存器数值相加，此相加值在延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACx\_DATO，DACx 的三角波的计数器值此时会更新；DACy 的三角波幅值与对应数据保持寄存器数值相加，此相加值在延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACy\_DATO，DACy 的三角波的计数器值此时会更新。

### 27.4.13 产生不同三角波的同步触发

配置流程如下：

- ◆ 配置 DACxy\_CTRL.TxEN 和 DACxy\_CTRL.TyEN 来开启 DACx 和 DACy 触发使能。
- ◆ 配置 DAC\_SELCTRL.TxSEL[4:0]和 DAC\_SELCTRL.TySEL[4:0]为相同值来选择相同触发源。
- ◆ 配置 DACxy\_CTRL.WxEN[2:0]和 DACxy\_CTRL.WyEN[2:0]为“010”来选择三角波生成使能。
- ◆ 配置 DACxy\_SELCTRL.MAxSEL[3:0]和 DACxy\_SELCTRL.MAySEL[3:0]为不同值，以得到不同的三角波幅值。
- ◆ 将所需转换的数据放入对应的对齐数据保持寄存器中。

当触发事件产生时，DACx 的三角波幅值与对应数据保持寄存器数值相加，此相加值在延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACx\_DATO，DACx 的三角波的计数器值此时会更新；DACy 的三角波幅值与对应数据保持寄存器数值相加，此相加值在延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACy\_DATO，DACy 的三角波的计数器值此时会更新。

### 27.4.14 产生相同锯齿波的同步触发

配置流程如下：

- ◆ 配置 DACxy\_CTRL.TxEN 和 DACxy\_CTRL.TyEN 来开启 DACx 和 DACy 触发使能。
- ◆ 配置 DAC\_SELCTRL.TxSEL[4:0]和 DAC\_SELCTRL.TySEL[4:0]为相同的值来选择相同复位触发源。
- ◆ 配置 DAC\_SELCTRL.STINCSELx[4:0]和 DAC\_SELCTRL.STINCSELy[4:0]为相同的值来选择相同的步进触发源。
- ◆ 配置 DAC\_STINC.STINCDAx[11:0]和 DAC\_STINC.STINCDAy[11:0]为相同值来作为锯齿波的步进值。
- ◆ 配置 DAC\_STRST.STRSTDAx[11:0]和 DAC\_STRST.STRSTDAy[11:0]为相同值来作为锯齿波的复位值。
- ◆ 配置 DACxy\_CTRL.WxEN[2:0]和 DACxy\_CTRL.WyEN[2:0]为“100”或者“110”来选择锯齿波生成使能。
- ◆ 开启相应的外部触发。

当 DACx 复位事件触发时，锯齿波会将 DAC\_STRST.STRSTDAx[11:0]寄存器的值延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACx\_DATO，DACx 的锯齿波的计数器值此时会更新。当步进事件触发时，锯齿波的计数器会增加或减去 DAC\_STINC.STINCDAx[11:0]，将运算的结果延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACx\_DATO。当 DACy 复位事件触发时，锯齿波会将 DAC\_STRST.STRSTDAy[11:0]寄存器的值延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACy\_DATO，DACy 的锯齿波的计数器值此时会更新。当步进事件触发时，锯齿波的计数器会增加或减去 DAC\_STINC.STINCDAy[11:0]，将运算的结果延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACy\_DATO。



## 27.4.15 产生不同锯齿波的同步触发

配置流程如下：

- ◆ 配置 DACxy\_CTRL.TxEN 和 DACxy\_CTRL.TyEN 来开启 DACx 和 DACy 触发使能。
- ◆ 配置 DAC\_SELCTRL.TxSEL[4:0]和 DAC\_SELCTRL.TySEL[4:0]为相同的值来选择相同复位触发源。
- ◆ 配置 DAC\_SELCTRL.STINCSELx[4:0]和 DAC\_SELCTRL.STINCSELy[4:0]为相同的值来选择相同的步进触发源。
- ◆ 配置 DAC\_STINC.STINCDATAx[11:0]和 DAC\_STINC.STINCDAy[11:0]为不同值来作为锯齿波的步进值。
- ◆ 配置 DAC\_STRST.STRSTDATAx[11:0]和 DAC\_STRST.STRSTDAy[11:0]为不同值来作为锯齿波的复位值。
- ◆ 配置 DACxy\_CTRL.WxEN[2:0]和 DACxy\_CTRL.WyEN[2:0]为“100”或者“110”来选择锯齿波生成使能。
- ◆ 开启相应的外部触发。

当 DACx 复位事件触发时，锯齿波会将 DAC\_STRST.STRSTDATAx[11:0]寄存器的值延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACx\_DATO，DACx 的锯齿波的计数器值此时会更新。当步进事件触发时，锯齿波的计数器会增加或减去 DAC\_STINC.STINCDATAx[11:0]，将运算的结果延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACx\_DATO。当 DACy 复位事件触发时，锯齿波会将 DAC\_STRST.STRSTDAy[11:0]寄存器的值延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACy\_DATO，DACy 的锯齿波的计数器值此时会更新。当步进事件触发时，锯齿波的计数器会增加或减去 DAC\_STINC.STINCDAy[11:0]，将运算的结果延迟 3 个 bus\_clk 时钟周期后传入寄存器 DACy\_DATO。

## 27.5 DAC 中断

如果 DAC 本次外部触发到来的时候，DMA 还没回复上一个外部触发的 DAC 请求，那么 DAC 不会发出新的请求，而是会置位 DAC\_STS.DMAUDRx(y)标志，报告错误情况。该位可以通过软件写 1 清除。

如果使能了 DACxy\_CTRL.DMAUDRx(y)IEN 位，那么此时会产生中断。该中断可以将芯片从 SLEEP 模式下唤醒。

## 27.6 DAC 寄存器

### 27.6.1 DACxy 控制寄存器 (DACxy\_CTRL) (xy = 12、34、56)

偏移地址：0x00

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	TROVCy IEN	EXOUT DACy	INOUT DACy	CALyEN	WyEN			SINFROM ATy	DMADOU BLEy	HDByEN	DMA UDRyIEN	TyEN	ByEN	DMAyEN	DACyEN
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Reserved	TROVCx IEN	EXOUT DACx	INOUT DACx	CALxEN	WxEN	SINFROM ATx	DMADOU BLEx	HDBxEN	DMA UDRxIEN	TxEN	BxEN	DMAxEN	DACxEN
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31	Reserved	保留，必须保持复位值。
30	TROVCyIEN	DACy 触发源超频中断使能 该位由硬件置位清除。 0: DACy 触发源超频中断禁能； 1: DACy 触发源超频中断使能；
29	EXOUTyEN	DACy 对外输出使能 该位由软件置位和清除，从而使能或者禁能 DACy 外部输出通道 0: DACy 对外部通道输出禁能； 1: DACy 对外部通道输出使能； <i>注意：该位仅在 DAC1、DAC2 可配置，在 DAC3、DAC4、DAC5、DAC6 上保留为 0。</i>
28	INOUTyEN	DACy 对内输出通道使能 该位由软件置位和清除，从而使能或者禁能 DACy 内部输出通道 0: DACy 对内部通道输出禁能； 1: DACy 对内部通道输出使能； <i>注意：该位仅在 DAC1、DAC2 可配置，在 DAC3、DAC4、DAC5、DAC6 上保留为 0。</i>
27	CALyEN	DACy 校准使能 该位由软件置位和清除，从而使能或者禁能 DACy 校准。 0: DACy 在标准工作模式 1: DACy 在校准模式 <i>注意：该位仅在 DAC1、DAC2 可配置，在 DAC3、DAC4、DAC5、DAC6 上保留为 0。</i>
26:24	WyEN[2:0]	DACy 噪声波/三角波/锯齿波功能选择。 这些位由软件置 1 和清零。 000: 波形生成禁能 001: 伪噪声波生成使能 010: 三角波生成使能 100: 递增锯齿波生成使能 110: 递减锯齿波生成使能 <i>注意：只有在 TyEN = 1 时才能使用。(DACy 触发使能)</i>
23	SINFORMATy	DACy 有符号格式使能。 这些位由软件置 1 和清零。 0: DACy 的输入数据使用无符号格式 1: DACy 的输入数据使用有符号格式，最高有效位 (MSB) 表示符号位
22	DMADOUBLEy	DACy DMA 双数据模式使能。 这些位由软件置 1 和清零。 0: DACy 使用普通 DMA 模式

位域	名称	描述
		1: DACy 使用 DMA 双数据模式
21	HDByEN	DACy 输出 Buffer 高驱动能力使能。 这些位由软件置 1 和清零。 0: DACy 输出 buffer 正常驱动能力 1: DACy 输出 buffer 高驱动能力 注意: 1. 该位仅在 DAC1、DAC2 可配置, 在 DAC3、DAC4、DAC5、DAC6 上保留为 0; 2. 使能该功能, 能基于 ByEN = 1 的基础上, 进一步提高 DAC 带载能力。当 ByEN = 0 时, 使能该 bit 无效。
20	DMAUDRyIEN	DACy 的 DMA 下溢中断开启 该位由软件置 1 和清零, 用来开启/禁用 DACy 的 DMA 下溢中断。 0: DACy 的 DMA 下溢中断禁能 1: DACy 的 DMA 下溢中断使能
19	TyEN	DACy 触发开启 该位由软件置 1 和清零, 用来开启/禁用 DACy 的触发。 0: 禁用 DACy 触发; 1: 开启 DACy 触发。
18	ByEN	开启 DACy 输出缓存。 该位由软件置 1 和清零, 用来开启/禁用 DACy 的输出缓存。 0: 禁用 DACy 输出缓存; 1: 开启 DACy 输出缓存。 注意: 该位仅在 DAC1、DAC2 可配置, 在 DAC3、DAC4、DAC5、DAC6 上保留为 0。
17	DMAyEN	DACy 的 DMA 功能开启 该位由软件置 1 和清零。 0: 禁用 DACy 的 DMA 功能 1: 开启 DACy 的 DMA 功能
16	DACyEN	DACy 使能。 该位由软件置 1 和清零, 用来开启/禁用 DACy。 0: 禁用 DACy 1: 开启 DACy
15	Reserved	保留, 必须保持复位值。
14	TROVCxIEN	DACx 触发源超频中断使能 该位由软件置位和清除。 0: DACx 触发源超频中断禁能; 1: DACx 触发源超频中断使能;
13	EXOUTxEN	DACx 对外输出通道使能 该位由软件置位和清除, 从而使能或者禁能 DACx 外部输出通道 0: DACx 对外部通道输出禁能; 1: DACx 对外部通道输出使能; 注意: 该位仅在 DAC1、DAC2 可配置, 在 DAC3、DAC4、DAC5、DAC6 上保

位域	名称	描述
		留为0。
12	INOUTxEN	DACx 对内输出通道使能 该位由软件置位和清除，从而使能或者禁能 DACx 内部输出通道 0: DACx 对内部通道输出禁能； 1: DACx 对内部通道输出使能； <i>注意：该位仅在 DAC1、DAC2 可配置，在 DAC3、DAC4、DAC5、DAC6 上保留为0。</i>
11	CALxEN	DACx 校准使能 该位由软件置位和清除，从而使能或者禁能 DACx 校准。 0: DACx 在标准工作模式 1: DACx 在校准模式 <i>注意：该位仅在 DAC1、DAC2 可配置，在 DAC3、DAC4、DAC5、DAC6 上保留为0。</i>
10:8	WxEN[2:0]	DACx 噪声波/三角波/锯齿波功能选择。 这些位由软件置1和清零。 000: 波形生成禁能 001: 伪噪声波生成使能 010: 三角波生成使能 100: 递增锯齿波生成使能 110: 递减锯齿波生成使能 <i>注意：只有在 TxEN = 1 时才能使用，(DACx 触发使能)</i>
7	SINFORMATx	DACx 有符号格式使能。 这些位由软件置1和清零。 0: DACx 的输入数据使用无符号格式 1: DACx 的输入数据使用有符号格式
6	DMADOUBLEx	DACx DMA 双数据模式使能。 这些位由软件置1和清零。 0: DACx 使用普通 DMA 模式 1: DACx 使用 DMA 双数据模式
5	HDBxEN	DACx 输出 Buffer 高驱动能力使能。 这些位由软件置1和清零。 0: DACx 输出 buffer 正常驱动能力 1: DACx 输出 buffer 高驱动能力 <i>注意：</i> <i>1. 该位仅在 DAC1、DAC2 可配置，在 DAC3、DAC4、DAC5、DAC6 上保留为0。</i> <i>2. 使能该功能，能基于 BxEN = 1 的基础上，进一步提高 DAC 带载能力。当 BxEN = 0 时，使能该 bit 无效。</i>
4	DMAUDRxIEN	DACx 的 DMA 下溢中断开启 该位由软件置1和清零，用来开启/禁用 DACx 的 DMA 下溢中断。 0: DACx 的 DMA 下溢中断禁能 1: DACx 的 DMA 下溢中断使能
3	TxEN	DACx 触发开启

位域	名称	描述
		该位由软件置 1 和清零，用来开启/禁用 DACx 的触发。 0: 禁用 DACx 触发; 1: 开启 DACx 触发。
2	BxEN	开启 DACx 输出缓冲。 该位由软件置 1 和清零，用来开启/禁用 DACx 的输出缓冲。 0: 禁用 DACx 输出缓冲; 1: 开启 DACx 输出缓冲。 <i>注意: 该位仅在 DAC1、DAC2 可配置, 在 DAC3、DAC4、DAC5、DAC6 上保留为 0.</i>
1	DMAxEN	DACx 的 DMA 功能开启 该位由软件置 1 和清零。 0: 禁用 DACx 的 DMA 功能 1: 开启 DACx 的 DMA 功能
0	DACxEN	DACx 使能。 该位由软件置 1 和清零，用来开启/禁用 DACx。 0: 禁用 DACx 1: 开启 DACx

## 27.6.2 DACxy 软件触发寄存器 (DACxy\_SOTTR)

偏移地址: 0x04

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved													TRBy EN	TRBx EN	
													w	w	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													TRyE N	TRxE N	
													w	w	

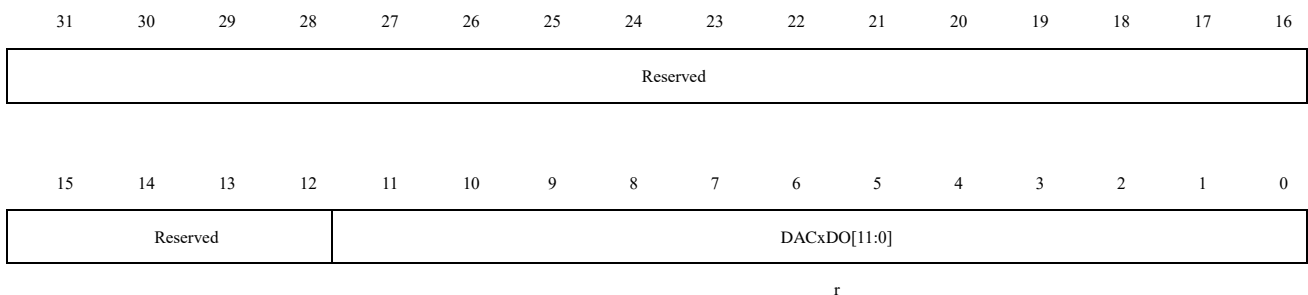
位域	名称	描述
31:18	Reserved	保留，必须保持复位值。
17	TRByEN	DACy 的锯齿波步进触发开启。 该位由软件置 1，用来开启/禁用软件触发。此信号仅用于锯齿波的步进触发信号。 0: 禁用 DACy 锯齿波步进软件触发; 1: 开启 DACy 锯齿波步进软件触发。
16	TRBxEN	DACx 的锯齿波步进触发开启。 该位由软件置 1，用来开启/禁用软件触发。此信号仅用于锯齿波的步进触发信号。 0: 禁用 DACx 锯齿波步进软件触发;

位域	名称	描述
		1: 开启 DACx 锯齿波步进软件触发。
15:2	Reserved	保留, 必须保持复位值。
1	TRyEN	DAC 软件触发开启。 该位由软件置 1, 用来开启/禁用软件触发。此信号可用于三角波/噪声波的触发信号, 也可作为锯齿波的复位触发信号。 0: 禁用 DACy 软件触发; 1: 开启 DACy 软件触发。
0	TRxEN	DACx 软件触发开启。 该位由软件置 1, 用来开启/禁用软件触发。此信号可用于三角波/噪声波的触发信号, 也可作为锯齿波的复位触发信号。 0: 禁用 DACx 软件触发; 1: 开启 DACx 软件触发。

### 27.6.3 DACx 数据输出寄存器 (DACx\_DATO)

偏移地址: 0x08

复位值: 0x0000 0000

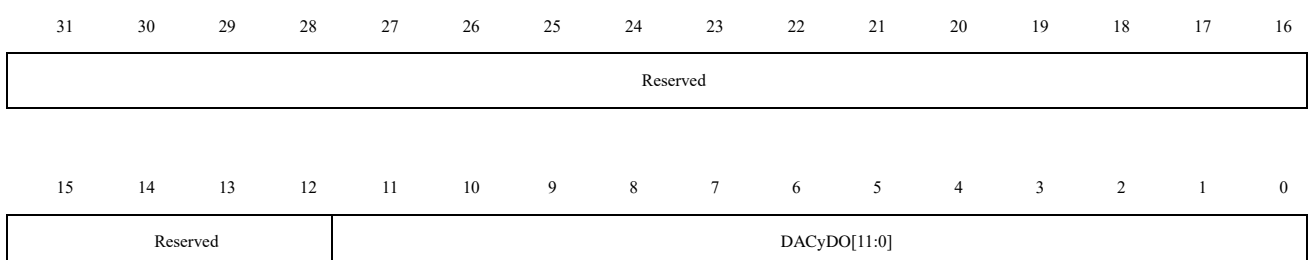


位域	名称	描述
31:12	Reserved	保留, 必须保持复位值。
11:0	DACxDO[11:0]	DACx 数据输出。 这些位为只读, 表示 DACx 的输出数据

### 27.6.4 DACy 数据输出寄存器 (DACy\_DATO)

偏移地址: 0x0C

复位值: 0x0000 0000



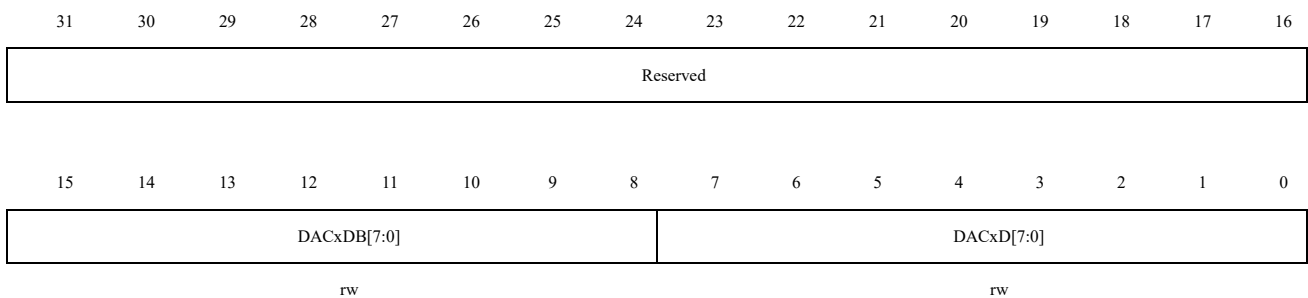
r

位域	名称	描述
31:12	Reserved	保留，必须保持复位值。
11:0	DACyDO[11:0]	DACy 数据输出。 这些位为只读，表示 DACy 的输出数据

### 27.6.5 DACx 的 8 位右对齐数据保持寄存器 (DACx\_DR8)

偏移地址：0x10

复位值：0x0000 0000

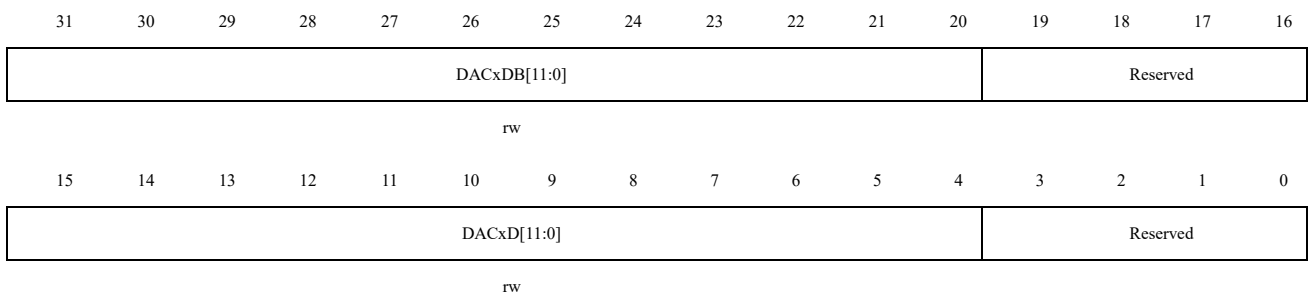


位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:8	DACxDB[7:0]	DACx，8 位右对齐数据 这些位由软件配置，DACx 转换这些数据，该为仅工作在双数据模式下。
7:0	DACxD[7:0]	DACx，8 位右对齐数据 这些位由软件配置，DACx 转换这些数据。

### 27.6.6 DACx 的 12 位左对齐数据保持寄存器 (DACx\_DL12)

偏移地址：0x14

复位值：0x0000 0000



位域	名称	描述
31:20	DACxDB[11:0]	DACx, 12 位左对齐数据 这些位由软件配置, DACx 转换这些数据, 该为仅工作在双数据模式下。
19:16	Reserved	保留, 必须保持复位值。
15:4	DACxD[11:0]	DACx, 12 位左对齐数据 这些位由软件配置, DACx 转换这些数据。
3:0	Reserved	保留, 必须保持复位值。

### 27.6.7 DACx 的 12 位右对齐数据保持寄存器 (DACx\_DR12)

偏移地址: 0x18

复位值: 0x0000 0000

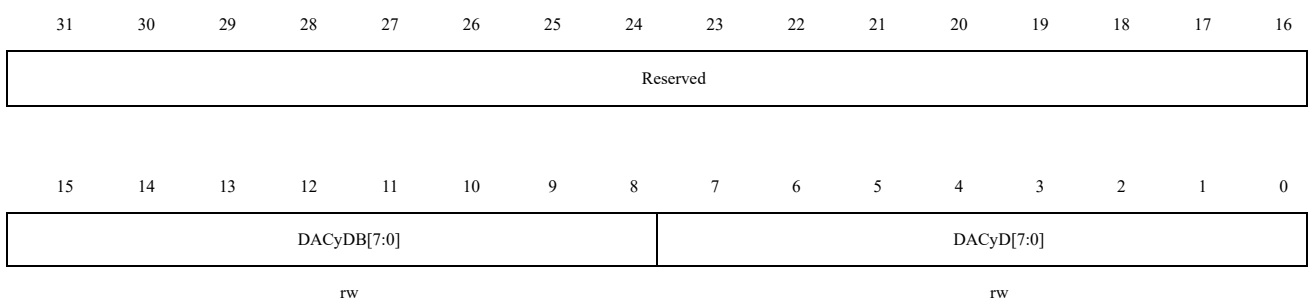


位域	名称	描述
31:28	Reserved	保留, 必须保持复位值。
27: 16	DACxDB[11:0]	DACx, 12 位右对齐数据 这些位由软件配置, DACx 转换这些数据, 该为仅工作在双数据模式下。
15:12	Reserved	保留, 必须保持复位值。
11:0	DACxD[11:0]	DACx, 12 位右对齐数据 这些位由软件配置, DACx 转换这些数据。

### 27.6.8 DACy 的 8 位右对齐数据保持寄存器 (DACy\_DR8)

偏移地址: 0x1C

复位值: 0x0000 0000





位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:8	DACyDB[7:0]	DACy，8 位右对齐数据 这些位由软件配置，DACy 转换这些数据，该为仅工作在双数据模式下。
7:0	DACyD[7:0]	DACy，8 位右对齐数据 这些位由软件配置，DACy 转换这些数据。

### 27.6.9 DACy 的 12 位左对齐数据保持寄存器 (DACy\_DL12)

偏移地址：0x20

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DACyDB[11:0]												Reserved			
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DACyD[11:0]												Reserved			
rw															

位域	名称	描述
31:20	DACyDB[11:0]	DACy，12 位左对齐数据 这些位由软件配置，DACy 转换这些数据，该为仅工作在双数据模式下。
19:16	Reserved	保留，必须保持复位值。
15:4	DACyD[11:0]	DACy，12 位左对齐数据 这些位由软件配置，DACy 转换这些数据。
3:0	Reserved	保留，必须保持复位值。

### 27.6.10 DACy 的 12 位右对齐数据保持寄存器 (DACy\_DR12)

偏移地址：0x24

复位值：0x0000 0000

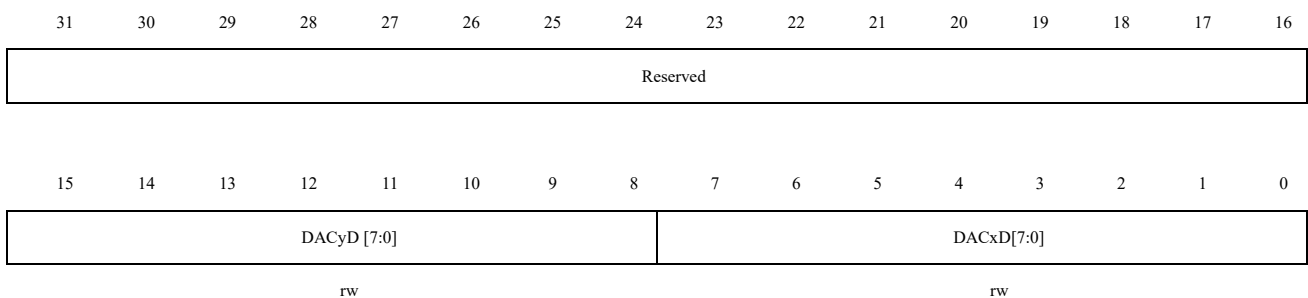
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				DACyDB[11:0]											
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				DACyD[11:0]											
rw															

位域	名称	描述
31:28	Reserved	保留，必须保持复位值。
27:16	DACyDB[11:0]	DACy，12 位右对齐数据 这些位由软件配置，DACy 转换这些数据，该为仅工作在双数据模式下。
15:12	Reserved	保留，必须保持复位值。
11:0	DACyD[11:0]	DACy，12 位右对齐数据 这些位由软件配置，DACy 转换这些数据。

### 27.6.11 双 DACxy 的 8 位右对齐数据保持寄存器 (DACxy\_DR8D)

偏移地址：0x28

复位值：0x0000 0000

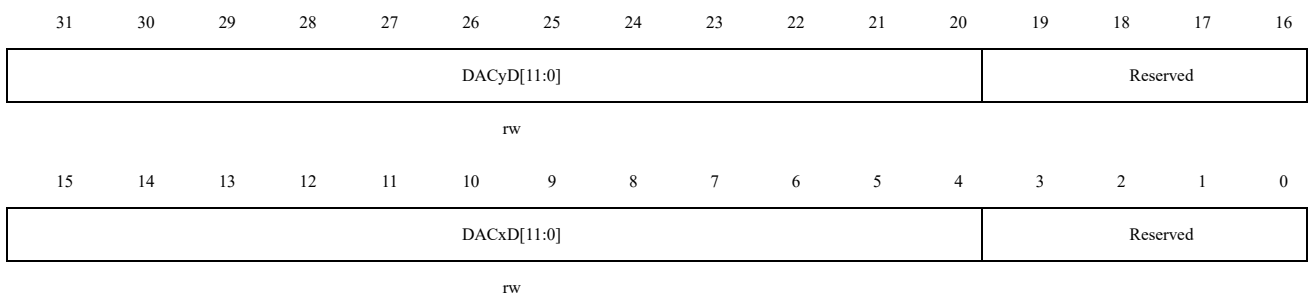


位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:8	DACyD[7:0]	DACy，8 位右对齐数据 这些位由软件配置，DACy 转换这些数据。
7:0	DACxD[7:0]	DACx，8 位右对齐数据 这些位由软件配置，DACx 转换这些数据。

### 27.6.12 双 DACxy 的 12 位左对齐数据保持寄存器 (DACxy\_DL12D)

偏移地址：0x2C

复位值：0x0000 0000



位域	名称	描述
31:20	DACyD[11:0]	DACy, 12 位左对齐数据 这些位由软件配置, DACy 转换这些数据。
19:16	Reserved	保留, 必须保持复位值。
15:4	DACxD[11:0]	DACx, 12 位左对齐数据 这些位由软件配置, DACx 转换这些数据。
3:0	Reserved	保留, 必须保持复位值。

### 27.6.13 双 DACxy 的 12 位右对齐数据保持寄存器 (DACxy\_DR12D)

偏移地址: 0x30

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				DACyD[11:0]											
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				DACxD[11:0]											
rw															

位域	名称	描述
31:28	Reserved	保留, 必须保持复位值。
27:16	DACyD[11:0]	DACy, 12 位右对齐数据 这些位由软件配置, DACy 转换这些数据。
15:12	Reserved	保留, 必须保持复位值。
11:0	DACxD[11:0]	DACx, 12 位右对齐数据 这些位由软件配置, DACx 转换这些数据。

### 27.6.14 DACxy 选择控制寄存器 (DACxy\_SELCTRL)

偏移地址: 0x38

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TySEL[4:0]				Reserved	MAySEL[3:0]			STINCSELy[4:0]				Reserved			
rw					rw			rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TxSEL[4:0]				Reserved	MAxSEL[3:0]			STINCSELx[4:0]				Reserved			
rw					rw			rw							

位域	名称	描述
31:27	TySEL[4:0]	<p>DACy 触发选择。</p> <p>这些位用于 DACy 外部触发的选择。此位可以作为噪声波与三角波的触发源选择，同时可以作为锯齿波的复位触发源选择。</p> <p>00000：软件触发事件</p> <p>00001：atim1_trgo 事件</p> <p>00010：atim2_trgo 事件</p> <p>00011：atim3_trgo 事件</p> <p>00100：atim4_trgo 事件</p> <p>00101：gtima1_trgo 事件</p> <p>00110：gtima2_trgo 事件</p> <p>00111：gtima3_trgo 事件</p> <p>01000：gtima4_trgo 事件</p> <p>01001：gtima5_trgo 事件</p> <p>01010：gtima6_trgo 事件</p> <p>01011：gtima7_trgo 事件</p> <p>01100：gtimb1_trgo 事件</p> <p>01101：gtimb2_trgo 事件</p> <p>01110：gtimb3_trgo 事件</p> <p>01111：外部中断线 5</p> <p>10000：外部中断线 7</p> <p>10001：外部中断线 9</p> <p>10010：shrtim1_dac_reset_trg1 事件</p> <p>10011：shrtim1_dac_reset_trg2 事件</p> <p>10100：shrtim1_dac_reset_trg3 事件</p> <p>10101：shrtim1_dac_reset_trg4 事件</p> <p>10110：shrtim1_dac_reset_trg5 事件</p> <p>10111：shrtim1_dac_reset_trg6 事件</p> <p>11000：shrtim1_dac_trg1/2/3 事件</p> <p>11001：shrtim2_dac_reset_trg1 事件</p> <p>11010：shrtim2_dac_reset_trg2 事件</p> <p>11011：shrtim2_dac_reset_trg3 事件</p> <p>11100：shrtim2_dac_reset_trg4 事件</p> <p>11101：shrtim2_dac_reset_trg5 事件</p> <p>11110：shrtim2_dac_reset_trg6 事件</p> <p>11111：shrtim2_dac_trg1/2/3 事件</p> <p><i>注意：</i></p> <p><i>仅当 TxEN 位 = 1 (DACx 触发使能) 时使用；</i></p> <p><i>当选择 0b11111 或 0b11000 时，对应关系如下：DAC1/2 对应 shrtimx_dac_trg1；DAC3/4 对应 shrtimx_dac_trg2；DAC5/6 对应 shrtimx_dac_trg3。</i></p>
26	Reserved	保留，必须保持复位值。
25:22	MAySEL[3:0]	<p>DACy 屏蔽/幅值选择器。</p> <p>这些位由软件配置，可以设置噪声功能的 LFSR 屏蔽位和三角波的幅值。</p>

位域	名称	描述
		0000: 不屏蔽 LFSR 位 0 / 三角波幅值等于 1; 0001: 不屏蔽 LFSR 位[1:0] / 三角波幅值等于 3; 0010: 不屏蔽 LFSR 位[2:0] / 三角波幅值等于 7; 0011: 不屏蔽 LFSR 位[3:0] / 三角波幅值等于 15; 0100: 不屏蔽 LFSR 位[4:0] / 三角波幅值等于 31; 0101: 不屏蔽 LFSR 位[5:0] / 三角波幅值等于 63; 0110: 不屏蔽 LFSR 位[6:0] / 三角波幅值等于 127; 0111: 不屏蔽 LFSR 位[7:0] / 三角波幅值等于 255; 1000: 不屏蔽 LFSR 位[8:0] / 三角波幅值等于 511; 1001: 不屏蔽 LFSR 位[9:0] / 三角波幅值等于 1023; 1010: 不屏蔽 LFSR 位[10:0] / 三角波幅值等于 2047; ≥1011: 不屏蔽 LFSR 位[11:0] / 三角波幅值等于 4095。
21:17	STINCSELY[4:0]	DACy 的锯齿波步进触发源选择 00000: 软件触发 00001: atim1_trgo 事件 00010: atim2_trgo 事件 00011: atim3_trgo 事件 00100: 保留 00101: gtima1_trgo 事件 00110: gtima2_trgo 事件 00111: gtima3_trgo 事件 01000: gtima4_trgo 事件 01001: gtima5_trgo 事件 01010: gtima6_trgo 事件 01011: gtima7_trgo 事件 01100: gtimb1_trgo 事件 01101: gtimb2_trgo 事件 01110: gtimb3_trgo 事件 01111: 外部中断线 6 10000: 外部中断线 8 10001: 外部中断线 10 10010: shrtim1_step_trg1 事件 10011: shrtim1_step_trg2 事件 10100: shrtim1_step_trg3 事件 10101: shrtim1_step_trg4 事件 10110: shrtim1_step_trg5 事件 10111: shrtim1_step_trg6 事件 11000: reserved 11001: shrtim2_step_trg1 事件 11010: shrtim2_step_trg2 事件 11011: shrtim2_step_trg3 事件 11100: shrtim2_step_trg4 事件 11101: shrtim2_step_trg5 事件

位域	名称	描述
		11110: shrtim2_step_trg6 事件 11111: reserved 这些位仅在双 DAC 中可用。
16	Reserved	保留，必须保持复位值。
15:11	TxSEL[4:0]	DACx 线性反馈移位寄存器 (LFSR) /三角波/锯齿波复位的触发源选择 这些位用于选择触发 DACx 的外部事件 00000 : software_trgo 事件 00001 : atim1_trgo 事件 00010 : atim2_trgo 事件 00011 : atim3_trgo 事件 00100 : atim4_trgo 事件 00101: gtima1_trgo 事件 00110: gtima2_trgo 事件 00111: gtima3_trgo 事件 01000: gtima4_trgo 事件 01001: gtima5_trgo 事件 01010: gtima6_trgo 事件 01011: gtima7_trgo 事件 01100: gtimb1_trgo 事件 01101: gtimb2_trgo 事件 01110: gtimb3_trgo 事件 01111 : 外部中断线 5 10000 : 外部中断线 7 10001 : 外部中断线 9 10010 : shrtim1_dac_reset_trg1 事件 10011 : shrtim1_dac_reset_trg2 事件 10100 : shrtim1_dac_reset_trg3 事件 10101 : shrtim1_dac_reset_trg4 事件 10110 : shrtim1_dac_reset_trg5 事件 10111 : shrtim1_dac_reset_trg6 事件 11000 : shrtim1_dac_trg1/2/3 事件 11001 : shrtim2_dac_reset_trg1 事件 11010 : shrtim2_dac_reset_trg2 事件 11011 : shrtim2_dac_reset_trg3 事件 11100 : shrtim2_dac_reset_trg4 事件 11101 : shrtim2_dac_reset_trg5 事件 11110 : shrtim2_dac_reset_trg6 事件 11111 : shrtim2_dac_trg1/2/3 事件 注意: 仅当 TxEN 位 = 1 (DACx 触发使能) 时使用; 当选择 0b11111 或 0b11000 时, 对应关系如下: DAC1/2 对应 shrtimx_dac_trg1; DAC3/4 对应 shrtimx_dac_trg2; DAC5/6 对应 shrtimx_dac_trg3。

位域	名称	描述
10	Reserved	保留，必须保持复位值。
9:6	MAxSEL[3:0]	DACx 屏蔽/幅值选择器。 这些位由软件配置，可以设置噪声功能的 LFSR 屏蔽位和三角波的幅值。 0000: 不屏蔽 LFSR 位 0 / 三角波幅值等于 1; 0001: 不屏蔽 LFSR 位[1:0] / 三角波幅值等于 3; 0010: 不屏蔽 LFSR 位[2:0] / 三角波幅值等于 7; 0011: 不屏蔽 LFSR 位[3:0] / 三角波幅值等于 15; 0100: 不屏蔽 LFSR 位[4:0] / 三角波幅值等于 31; 0101: 不屏蔽 LFSR 位[5:0] / 三角波幅值等于 63; 0110: 不屏蔽 LFSR 位[6:0] / 三角波幅值等于 127; 0111: 不屏蔽 LFSR 位[7:0] / 三角波幅值等于 255; 1000: 不屏蔽 LFSR 位[8:0] / 三角波幅值等于 511; 1001: 不屏蔽 LFSR 位[9:0] / 三角波幅值等于 1023; 1010: 不屏蔽 LFSR 位[10:0] / 三角波幅值等于 2047; ≥1011: 不屏蔽 LFSR 位[11:0] / 三角波幅值等于 4095。
5:1	STINCSELx[4:0]	DACx 的锯齿波步进触发源选择 00000: 软件触发 00001: atim1_trgo 事件 00010: atim2_trgo 事件 00011: atim3_trgo 事件 00100: reserved 00101: gtima1_trgo 事件 00110: gtima2_trgo 事件 00111: gtima3_trgo 事件 01000: gtima4_trgo 事件 01001: gtima5_trgo 事件 01010: gtima6_trgo 事件 01011: gtima7_trgo 事件 01100: gtimb1_trgo 事件 01101: gtimb2_trgo 事件 01110: gtimb3_trgo 事件 01111: 外部中断线 6 10000: 外部中断线 8 10001: 外部中断线 10 10010: shrtim1_step_trg1 事件 10011: shrtim1_step_trg2 事件 10100: shrtim1_step_trg3 事件 10101: shrtim1_step_trg4 事件 10110: shrtim1_step_trg5 事件 10111: shrtim1_step_trg6 事件 11000: reserved 11001: shrtim2_step_trg1 事件 11010: shrtim2_step_trg2 事件

位域	名称	描述
		11011: shrtim2_step_trg3 事件 11100: shrtim2_step_trg4 事件 11101: shrtim2_step_trg5 事件 11110: shrtim2_step_trg6 事件 11111: reserved 这些位仅在双 DAC 中可用。
0	Reserved	保留，必须保持复位值。

### 27.6.15 DACxy 状态寄存器 (DACxy\_STS)

偏移地址: 0x3C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved											VFLAGx COMP	TROVC FLAGy	DOR STATy	CAL FLAGy	DMA UDRy
											r	rc_w1	r	r	rc_w1
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											VFLAGx COMP	TROVC FLAGx	DOR STATx	CAL FLAGx	DMA UDRx
											r	rc_w1	r	r	rc_w1

位域	名称	描述
31:21	Reserved	保留，必须保持复位值。
20	VFLAGyCOMP	DACy 给比较器的信号稳定标志 0: DACy 给到比较器的信号未经过处理，可能是不稳定的信号； 1: DACy 给到比较器的信号经过处理，为稳定的信号； <i>注意：该位仅在 DAC3、DAC4、DAC5、DAC6 可配置，在 DAC1、DAC2 上保留为 0。</i>
19	TROVCFLAGy	DACy 的触发源超频中断标志 该位由硬件置位，软件清除（通过写 1 清除） 0: DACy 没有出现触发源超频的情况； 1: DACy 出现触发源超频的情况：选择的触发源驱动 DACy 转换的频率比数据更新的速度快；
18	DORSTATy	DACy 数据输出寄存器状态位 该位由硬件置位和清除，当 DACy 工作在双数据模式时可用。 0: DACyD 正在用于 DACy 输出数据 1: DACyDB 正在用于 DACy 输出数据
17	CALFLAGy	DACy 校准偏移状态 该位由硬件置位和清除 0: 校准修调值小于偏移校准值 1: 校准修调值大于等于偏移校准值



位域	名称	描述
16	DMAUDRy	DACy 的 DMA 下溢中断标志 该位由硬件置位，软件清除（通过写 1 清除） 0: DACy 没有出现 DMA 下溢错误的情况； 1: DACy 出现 DMA 下溢错误的情况（选择的触发驱动 DACy 转换的频率比 DMA 能够提供的速率快）。
15:5	Reserved	保留，必须保持复位值。
4	VFLAGxCOMP	VFLAGxCOMP DACx 信号稳定性指示位 0: DACx 输出至比较器的信号未经过处理，可能处于不稳定状态；1: DACx 输出至比较器的信号已经过处理，状态稳定。 <i>注意：该位仅对 DAC3、DAC4、DAC5、DAC6 可配置；对于 DAC1 和 DAC2，此位为保留位，默认值为 0。</i>
3	TROVCFLAGx	DACx 的触发源超频标志 该位由硬件置位，软件清除（通过写 1 清除） 0: DACx 没有出现触发源超频的情况； 1: DACx 出现触发源超频的情况：选择的触发源驱动 DACx 转换的频率比数据更新的速度快；
2	DORSTATx	DACx 数据输出寄存器状态位 该位由硬件置位和清除，当 DACx 工作在双数据模式时可用。 0: DACxD 正在用于 DACx 输出数据 1: DACxDB 正在用于 DACx 输出数据
1	CALFLAGx	DACx 校准偏移状态 该位由硬件置位和清除 0: 校准修调值小于偏移校准值 1: 校准修调值大于等于偏移校准值
0	DMAUDRx	DACx 的 DMA 下溢标志 该位由硬件置位，软件清除（通过写 1 清除） 0: DACx 没有出现 DMA 下溢错误的情况； 1: DACx 出现 DMA 下溢错误的情况（选择的触发源驱动 DACx 转换的频率比 DMA 能够提供的速率快）。

### 27.6.16 DACxy 通用控制寄存器 (DACxy\_GCTRL)

偏移地址：0x40

复位值：0x0077 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								PCS[7:0]							
r								rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												HFSEL[1:0]	Reserved		
r												rw			

位域	名称	描述
31:24	Reserved	保留，必须保持复位值。
23:16	PCS[7:0]	DACx 时钟分频系数 当工作的 DACx 为 DAC1~DAC2 时： 此时 DACx 的工作频率范围是 4MHz ~ APB1_CLK <sub>max</sub> ，配置对应的分频系数得到最大 1M 的 DACxy_PCS[7:0] (x = 1、2)。例如 DAC1~2 工作频率为 150MHz,对应的分频系数为 10010101。 当工作的 DACx 为 DAC3~DAC6 时：PCS[7:5]保留为 0； 此时 DACx 的工作频率范围是 60MHz ~ AHB2_CLK <sub>max</sub> ，配置对应的分频系数得到最大 15M 的 DACxy_PCS[4:0] (x = 3、4、5、6)。例如 DAC3~6 工作频率为 300MHz,对应的分频系数为 10011。 0: 不分频 1: 2 分频 2: 3 分频 ...: (PCS[7:0] + 1)分频 注意：如果需要配置 DAC 工作频率超过 1MHz (DAC1,DAC2) 或者 15MHz (DAC3,DAC4,DAC5,DAC6)，必须注意 DAC 的上限工作频率。
15:3	Reserved	保留，必须保持复位值。
2:1	HFSEL[1:0]	DACx 和 DACy 响应速度选择 00: DAC_DATO 更新速率为 (PCS[7:0]/2-1) 个 bus_clk；该选择为默认值。 01: DAC_DATO 更新速率为 1 个 bus_clk；(F <sub>bus_clk</sub> < 80MHz) 10: DAC_DATO 更新速率为 3 个 bus_clk；(80MHz < F <sub>bus_clk</sub> < 160MHz) 11: DAC_DATO 更新速率为 5 个 bus_clk；(160MHz < F <sub>bus_clk</sub> )。 注意：该位仅在 DAC1、DAC2 可配置，在 DAC3,DAC4,DAC5,DAC6 上保留为 0。
0	Reserved	保留，必须保持复位值。

### 27.6.17 DACxy 锯齿波步进寄存器 (DACxy\_STINC)

偏移地址：0x44

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved					STINCDATAy[11:0]										
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved					STINCDATAx[11:0]										
rw															

位域	名称	描述
31:28	Reserved	保留，必须保持复位值。
27:16	STINCDATAy[11:0]	DACy 锯齿波步进值。范围 0~0xFFF。
15:12	Reserved	保留，必须保持复位值。
11:0	STINCDATAx[11:0]	DACx 锯齿波步进值，范围 0~0xFFF。

### 27.6.18 DACxy 锯齿波复位寄存器 (DACxy\_STRST)

偏移地址：0x48

复位值：0x0000 0000



位域	名称	描述
31:28	Reserved	保留，必须保持复位值。
27:16	STRSTDATAy[11:0]	DACy 锯齿波复位值。范围 0~0xfff。
15:12	Reserved	保留，必须保持复位值。
11:0	STRSTDATAx[11:0]	DACx 锯齿波复位值。范围 0~0xfff。

### 27.6.19 DACxy 校准控制寄存器 (DACxy\_CALC)

偏移地址：0x5C

复位值：0x0000 0000



位域	名称	描述
31:21	Reserved	保留，必须保持复位值。
20:16	OTRIMy[4:0]	DACy 的偏移校准值。 <i>注意：</i> 1. 只有在 ByEN=1 的时候才能使用。

		2. 该位仅在DAC1、DAC2可配置，在DAC3、DAC4、DAC5、DAC6上保留为0。
15:5	Reserved	保留，必须保持复位值。
4:0	OTRIMx[4:0]	DACx 偏移校准值。 1. 只有在BxEN=1的时候才能使用。 2. 该位仅在DAC1、DAC2可配置，在DAC3、DAC4、DAC5、DAC6上保留为0。

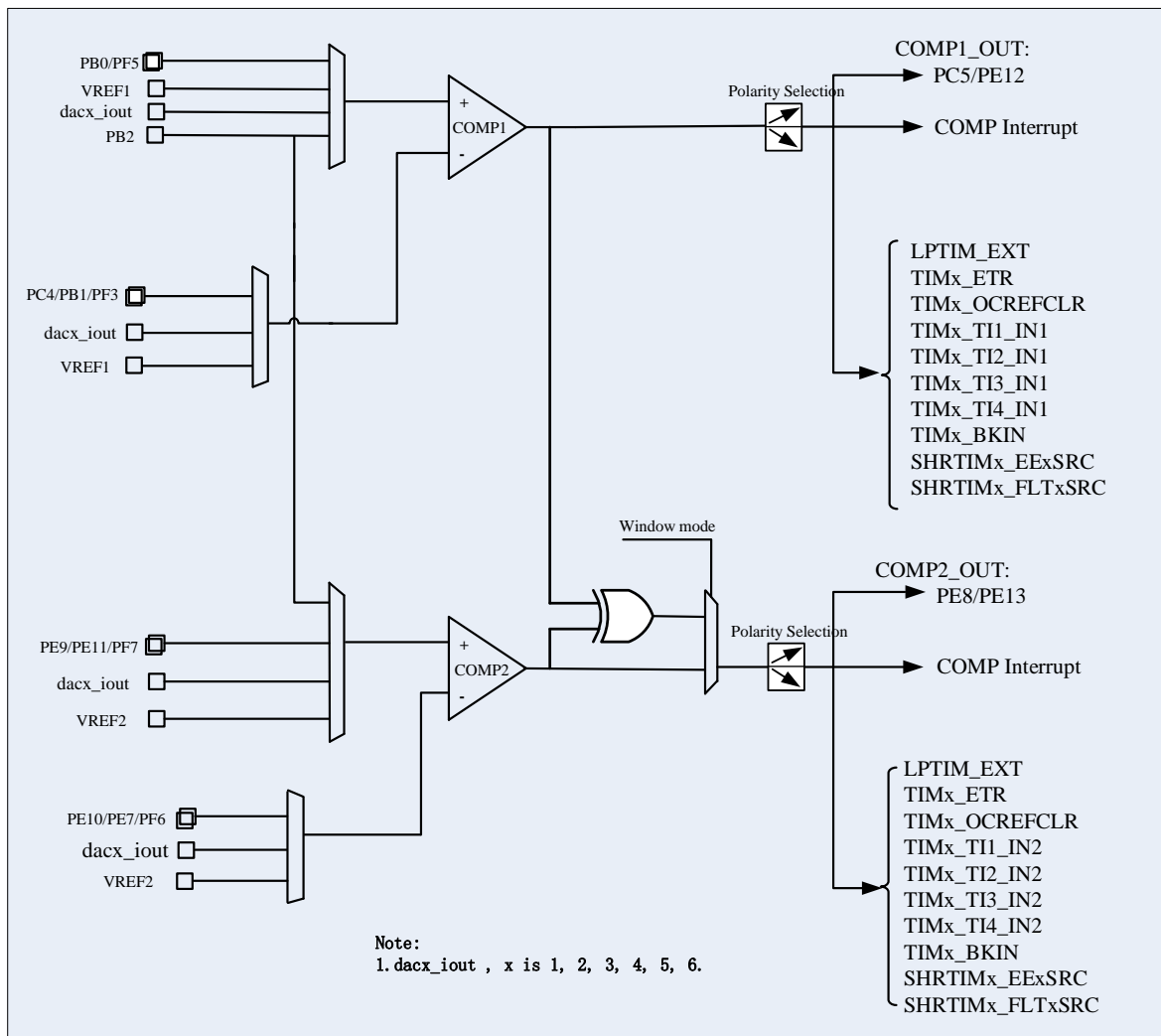
## 28 比较器 (COMP)

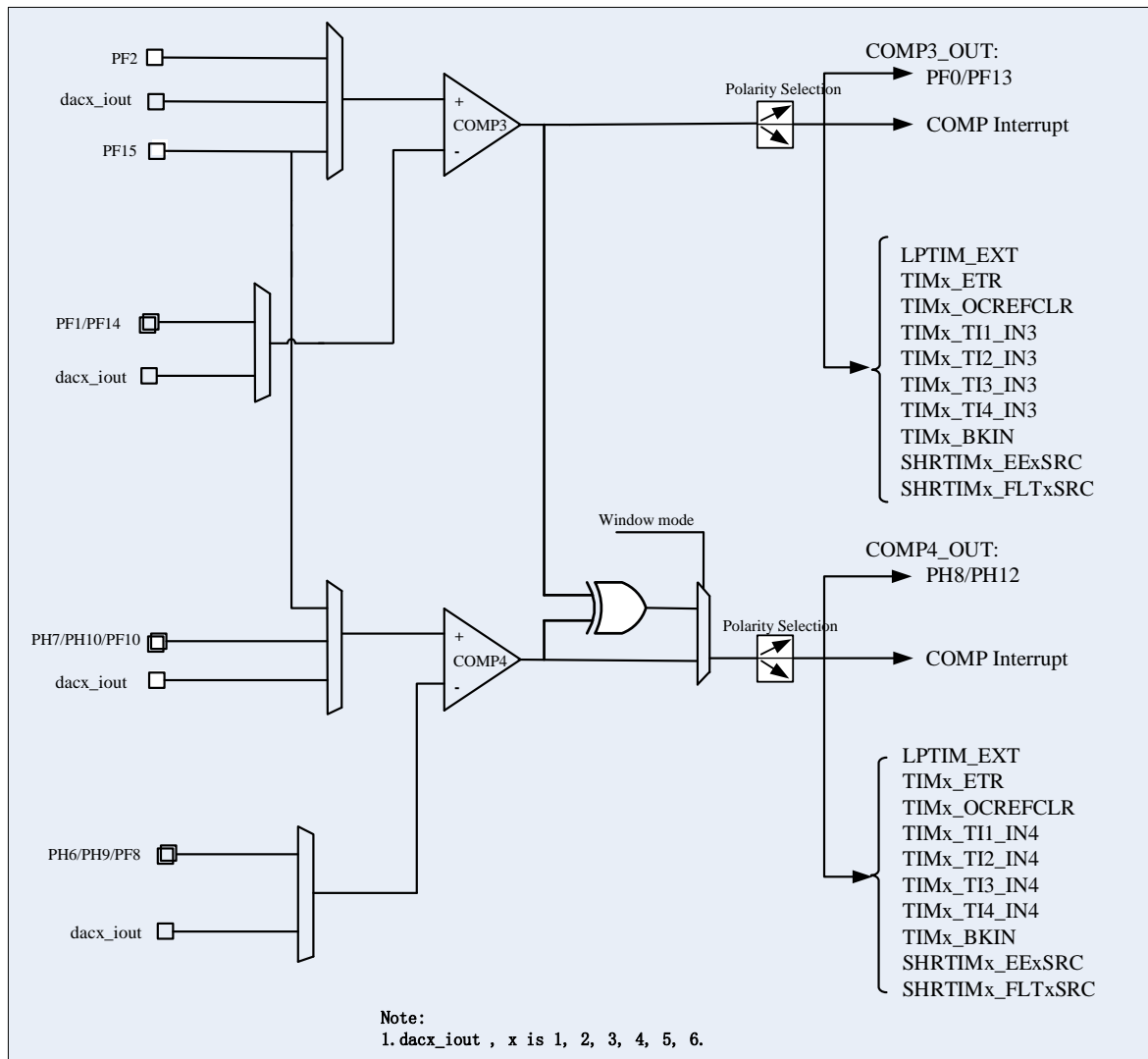
COMP 模块用于比较两个输入模拟电压的大小, 并根据比较结果输出高/低电平。当“INP”输入端电压高于“INM”输入端电压时, 比较器输出为高电平, 当“INP”输入端电压低于“INM”输入端电压时, 比较器输出为低电平。

### 28.1 COMP 系统连接框图

COMP 模块支持 4 个独立比较器, 挂接在 APB5 总线上。

图 28-1 比较器 1 和 2 连接图



**图 28-2 比较器 3 和 4 连接图**


## 28.2 COMP 特性

- 4 个独立的比较器
- 内置 2 个 64 级可编程的比较电压参考源 VREF1, VREF2
- 支持滤波时钟, 滤波复位
- 输出极性可配置高、低
- 支持 4 个可编程的迟滞等级
- 比较结果可输出到 I/O 端口或触发定时器, 用于捕获事件、OCREF\_CLR 事件、刹车事件、产生中断
- 输入通道可复选 I/O 端口、VREF1、VREF2、通用的 12bit DAC
- 可配只读或读写, 在锁定的情况下需要复位才能解锁
- 支持消隐 (Blanking), 可配置产生 Blanking 的消隐源

- COMP1/COMP2、COMP3/COMP4 可以组成窗口比较器
- 可通过产生中断的方式将系统从 Cx\_SLEEP 模式唤醒
- 可配置滤波窗口大小
- 可配置滤波阈值大小
- 可配置用于滤波的采样频率

## 28.3 COMP 配置流程

完整的配置项包括如下所示，某些项目如果采用系统默认配置，跳过相应的配置项。

- 可配置的迟滞等级 COMPx\_CTRL.HYST[2:0]。
- 配置输出极性 COMPx\_CTRL.POL。
- 配置输入选择，比较器正端 COMPx\_CTRL.INPSEL[3:0]，负端 COMPx\_CTRL.INMSEL[2:0]。
- 配置输出选择使能 COMPx\_OTIMEN。
- 配置消隐源 COMPx\_CTRL.BLKINGEN 和 COMPx\_CTRL.BLKING[3:0]。
- 配置滤波器采样窗口 COMPx\_FILC.SAMPW[4:0]。
- 配置阈值 COMPx\_FILC.THRESH[4:0]（阈值应当大于 COMPx\_FILC.SAMPW[4:0]/2）。
- 配置滤波器采样频率（对于计时器应用，采样频率应当大于 5MHz。）
- 打开滤波器使能 COMPx\_FILC.FILEN。
- 打开比较器使能 COMPx\_CTRL.EN。

注: 对于以上步骤，需先打开滤波器使能，再打开比较器使能，比较器使能需要在滤波（若启用）配置、使能完成后启用，此外在比较器控制寄存器锁定 LOCK 的情况下，只有通过复位才能取消锁定。

## 28.4 COMP 工作模式

### 28.4.1 窗口比较器

比较器可以组合成 2 个窗口比较器，如下：

- 比较器 1 和比较器 2 共享 PB2 形成窗口比较器
- 比较器 3 和比较器 4 共享 PF15 形成窗口比较器

### 28.4.2 独立比较器

4 个比较器可独立配置，完成比较器功能。比较器的输出可以输出到 IO 端口，每一个比较器都有不同的重映射端口，通过配置 COMPx\_OTIMEN 相应的位来使能比较器是否输出到定时器 TIM 的端口。

比较器输出，支持触发事件，比如可以配置成定时器 x 的刹车功能，定时器 x 的 OCREFCLEAR 功能。

注：具体配置参考比较器互联关系

## 28.5 比较器互联关系

比较器输出端口的互联，可以参考 GPIO 的复用功能章节，定义了比较器 OUT 重映射的值。

比较器 OUT 引脚如下：

COMP1	COMP2	COMP3	COMP4
PC5	PE8	PF0	PH8
PE12	PE13	PF13	PH12

比较器 INP 引脚有如下配置：

INPSEL	COMP1	COMP2	COMP3	COMP4
0000	PB0	PE9	PF2	PH10
0001	PB2	PE11	PF15	PH7
0010	DAC1_iout	DAC1_iout	DAC1_iout	DAC1_iout
0011	DAC2_iout	DAC2_iout	DAC2_iout	DAC2_iout
0100	DAC3_iout	DAC3_iout	DAC3_iout	DAC3_iout
0101	DAC4_iout	DAC4_iout	DAC4_iout	DAC4_iout
0110	DAC5_iout	DAC5_iout	DAC5_iout	DAC5_iout
0111	DAC6_iout	DAC6_iout	DAC6_iout	DAC6_iout
1000	VREF_VC1	VREF_VC2	-	PF15
1001	PF5	PB2	-	PF10
1010	-	PF7	-	-

比较器 INM 引脚有如下配置：

INPSEL	COMP1	COMP2	COMP3	COMP4
0000	PB1	PE7	PF1	PH9
0001	PC4	PE10	PF14	PH6
0010	DAC1_iout	DAC1_iout	DAC1_iout	DAC1_iout
0011	DAC2_iout	DAC2_iout	DAC2_iout	DAC2_iout
0100	DAC3_iout	DAC3_iout	DAC3_iout	DAC3_iout
0101	DAC4_iout	DAC4_iout	DAC4_iout	DAC4_iout
0110	DAC5_iout	DAC5_iout	DAC5_iout	DAC5_iout
0111	DAC6_iout	DAC6_iout	DAC6_iout	DAC6_iout
1000	VREF_VC1	VREF_VC2	-	PF8
1001	PF3	PF6	-	-

## 28.6 中断

COMP 支持中断响应，COMP1, COMP2 共享 1 个中断入口，COMP3, COMP4 共享 1 个中断入口，中断产生有如下 2 种情况。

- COMP<sub>x</sub>\_CTRL.POL 极性不反转，中断使能，当 INPSEL > INMSEL 时，COMP<sub>x</sub>\_CTRL.OUT 由硬件置为 1 时即产生比较器中断。
- COMP<sub>x</sub>\_CTRL.POL 极性反转，中断使能，当 INPSEL < INMSEL 时，COMP<sub>x</sub>\_CTRL.OUT 由硬件置为



1 时即产生比较器中断。

注意：COMP 中断使用需先配置 EXTI line，参考 NVIC 章节。

## 28.7 寄存器

### 28.7.1 COMP1 控制寄存器 (COMP1\_CTRL)

Address offset: 0x10

Reset value: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			VV1TRM[5:0]					VV1EN	OUT	BLKING EN	BLKING[3:0]				
rw					rw			r	rw	rw					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HYST[1:0]		POL	Reserved			INPSEL[3:0]			INMSEL[3:0]			EN			
rw		rw				rw			rw			rw			

位域	名称	描述
31:29	Reserved	保留，必须保持复位值。
28:23	VV1TRM[5:0]	内部比较器 1 参考输入电压比较的 VREF 档位选择 0~0b'111111 对应输出电压范围为 0~VREF+，共 64 个档位。例如，数值 7 对应 $(7) \times VREF+ / 63 = 1/9 \times VREF+$
22	VV1EN	内部比较器 1 参考输入电压比较使能（该位由软件置 1 或清 0）： 0: 失能； 1: 使能。
21	OUT	指示比较器输出的状态 0: 输出低 1: 输出高
20	BLKINGEN	该位由软件置 1 或清 0，用于控制 COMP1 输出消隐功能的使能： 0: 禁能； 1: 使能。
19:16	BLKING[3:0]	这些位选择哪个定时器输出控制比较器 1 输出消隐 0000: 选择 ATIM1 OC5 作为消隐源 0001: 选择 GTIMB1 OC5 作为消隐源 0010: 选择 GTIMB2 OC5 作为消隐源 0011: 选择 ATIM2 OC5 作为消隐源 0100: 选择 ATIM3 OC5 作为消隐源 0101: 选择 ATIM4 OC1 作为消隐源 0110: 选择 GTIMB3 OC5 作为消隐源 0111: 选择 GTIMA4 OC5 作为消隐源 1000: 选择 GTIMA2 OC3 作为消隐源

位域	名称	描述
		1001: 选择 GTIMA1 OC3 作为消隐源 1010: 选择 GTIMA3 OC3 作为消隐源 1011: 选择 GTIMA5 OC3 作为消隐源 1100: 选择 GTIMA6 OC3 作为消隐源 1101: 选择 GTIMA7 OC3 作为消隐源 其他: 保留.
15:14	HYST[1:0]	这些位选择比较器的迟滞等级。 00: 无迟滞; 01: 低迟滞; 10: 中等迟滞; 11: 高迟滞;
13	POL	该位用于反转比较器的输出 0: 输出未反转; 1: 输出反转。
12:9	Reserved	保留, 必须保持复位值。
8:5	INPSEL[3:0]	比较器正端输入选择位: 0000: PB0 0001: PB2 0010: dac1_iout 0011: dac2_iout 0100: dac3_iout 0101: dac4_iout 0110: dac5_iout 0111: dac6_iout 1000: VREF_VC1 1001: PF5 其他: 保留
4:1	INMSEL[3:0]	比较器负端输入选择位: 0000: PB1 0001: PC4 0010: dac1_iout 0011: dac2_iout 0100: dac3_iout 0101: dac4_iout 0110: dac5_iout 0111: dac6_iout 1000: VREF_VC1 1001: PF3 Other: 保留
0	EN	该位打开/关闭 COMP 0: 比较器禁用; 1: 比较器启用。

## 28.7.2 COMP1 滤波控制寄存器 (COMP1\_FILC)

偏移地址:0x14

复位值:0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			VFPEN	VFNEN	SAMPW[4:0]				THRESH[4:0]				FILEN		
			rw	rw	rw				rw				rw		

位域	名称	描述
31:13	Reserved	保留，必须保持复位值。
12	VFNEN	COMP1 负端 VFLAG 使能； 0：禁用。不使用 DAC 通道数据对应的 COMP1 负端有效标志位（VFLAG），该标志位用于控制滤波器采样； 1：使能。使用 DAC 通道数据对应的 COMP1 负端有效标志位（VFLAG），该标志位用于控制滤波器采样。 <i>注意：当 COMP1_FILC 寄存器的 FILEN 位被置 1，且选择 12 位 DAC 通道作为 COMP1 负端输入时，此位生效。</i>
11	VFPEN	COMP1 正端 VFLAG 使能； 0：禁用。不使用 DAC 通道数据对应的 COMP1 正端有效标志位（VFLAG），该标志位用于控制滤波器采样； 1：使能。使用 DAC 通道数据对应的 COMP1 正端有效标志位（VFLAG），该标志位用于控制滤波器采样。 <i>注意：当 COMP1_FILC 寄存器的 FILEN 位被置 1，且选择 12 位 DAC 通道作为 COMP1 正端输入时，此位生效。</i>
10:6	SAMPW[4:0]	低通滤波器采样窗口大小，采样窗口 = SAMPW + 1。
5:1	THRESH[4:0]	低通滤波器门限置，样本窗口中至少出现相反状态的采样阈值，才能改变输出状态，此值要求大于 SAMPW/2。
0	FILEN	滤波器使能位 0：关闭； 1：使能。

## 28.7.3 COMP1 滤波时钟寄存器 (COMP1\_FILP)

偏移地址:0x18

复位值:0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----

Reserved															
----------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

15      14      13      12      11      10      9      8      7      6      5      4      3      2      1      0

CLKPSC[15:0]															
--------------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	CLKPSC[15:0]	低通滤波采样时钟预分频，系统时钟分频数 = CLKPSC + 1。 0：每 1 个时钟； 1：每 2 个时钟； 2：每 3 个时钟； ... 65535：每 65536 个时钟；

## 28.7.4 COMP2 控制寄存器 (COMP2\_CTRL)

偏移地址:0x20

复位值:0x0000 0000

31      30      29      28      27      26      25      24      23      22      21      20      19      18      17      16

Reserved						VV2TRM[5:0]			VV2EN	OUT	BLKING EN			BLKING[3:0]
----------	--	--	--	--	--	-------------	--	--	-------	-----	-----------	--	--	-------------

rw

rw

r

rw

rw

15      14      13      12      11      10      9      8      7      6      5      4      3      2      1      0

HYST[1:0]	POL	Reserved				INPSEL[3:0]					INMSEL[3:0]			EN
-----------	-----	----------	--	--	--	-------------	--	--	--	--	-------------	--	--	----

rw

rw

rw

rw

rw

位域	名称	描述
31:29	Reserved	保留，必须保持复位值。
28:23	VV2TRM[5:0]	内部比较器 2 参考输入电压比较的 VREF 档位选择 0~0b'111111 对应输出电压范围为 0~VREF+, 共 64 个档位。例如，数值 7 对应 $(7) \times VREF+ / 63 = 1/9 \times VREF+$
22	VV2EN	内部比较器 2 参考输入电压比较使能： 0：禁能； 1：使能。
21	OUT	指示比较器输出的状态 0：输出低 1：输出高
20	BLKINGEN	该位由软件置 1 或清 0，用于控制比较器 2、输出消隐功能的使能：

位域	名称	描述
		0: 禁用; 1: 使能。
19:16	BLKING[3:0]	这些位选择哪个定时器输出控制比较器 2 输出消隐。 0000: 选择 ATIM1 OC5 作为消隐源; 0001: 选择 GTIMB1 OC5 消隐源; 0010: 选择 GTIMB2 OC5 消隐源 0011: 选择 ATIM2 OC5 消隐源 0100: 选择 ATIM3 OC5 消隐源 0101: 选择 ATIM4 OC1 消隐源 0110: 选择 GTIMB3 OC5 消隐源 0111: 选择 GTIMA4 OC5 消隐源 1000: 选择 GTIMA2 OC3 消隐源 1001: 选择 GTIMA1 OC3 消隐源 1010: 选择 GTIMA3 OC3 消隐源 1011: 选择 GTIMA5 OC3 消隐源 1100: 选择 GTIMA6 OC3 消隐源 1101: 选择 GTIMA7 OC3 消隐源 其他: 保留。
15:14	HYST[1:0]	这些位选择比较器的迟滞等级。 00: 无迟滞; 01: 低迟滞; 10: 中等迟滞; 11: 高迟滞;
13	POL	该位用于反转比较器的输出 0: 输出未反转; 1: 输出反转。
12:9	Reserved	保留, 必须保持复位值。
8:5	INPSEL[3:0]	比较器正端输入选择位 0000: PE9 0001: PE11 0010: dac1_iout 0011: dac2_iout 0100: dac3_iout 0101: dac4_iout 0110: dac5_iout 0111: dac6_iout 1000: VREF_VC2 1001: PB2(与 COMP1 组成窗口模式) 1010: PF7 其他: 保留
4:1	INMSEL[3:0]	比较器负端输入选择位 0000: PE7 0001: PE10

位域	名称	描述
		0010: dac1_iout 0011: dac2_iout 0100: dac3_iout 0101: dac4_iout 0110: dac5_iout 0111: dac6_iout 1000: VREF_VC2 1001: PF6 其他: 保留
0	EN	该位打开/关闭 COMP 0: 比较器禁用; 1: 比较器启用。

### 28.7.5 COMP2 滤波控制寄存器 (COMP2\_FILC)

偏移地址:0x24

复位值:0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			VFPEN	VFNEN	SAMPW[4:0]				THRESH[4:0]				FILEN		
			rw	rw	rw				rw				rw		

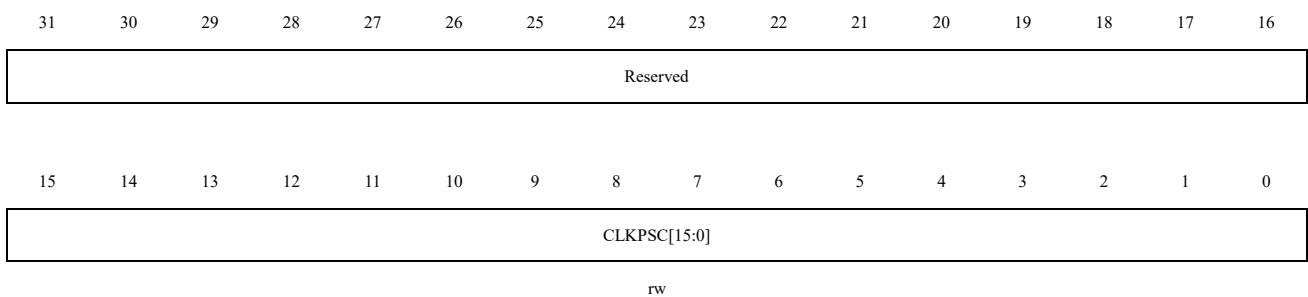
位域	名称	描述
31:13	Reserved	保留, 必须保持复位值。
12	VFNEN	COMP2 负端 VFLAG 使能; 0: 禁用。不使用 DAC 通道数据对应的 COMP2 负端有效标志位 (VFLAG), 该标志位用于控制滤波器采样; 1: 使能。使用 DAC 通道数据对应的 COMP2 负端有效标志位 (VFLAG), 该标志位用于控制滤波器采样。 <i>注意: 当 COMP2_FILC 寄存器的 FILEN 位被置 1, 且选择 12 位 DAC 通道作为 COMP2 负端输入时, 此位生效。</i>
11	VFPEN	COMP2 正端 VFLAG 使能; 0: 禁用。不使用 DAC 通道数据对应的 COMP2 正端有效标志位 (VFLAG), 该标志位用于控制滤波器采样; 1: 使能。使用 DAC 通道数据对应的 COMP2 正端有效标志位 (VFLAG), 该标志位用于控制滤波器采样。 <i>注意: 当 COMP2_FILC 寄存器的 FILEN 位被置 1, 且选择 12 位 DAC 通道作为 COMP2 正端输入时, 此位生效。</i>

位域	名称	描述
10:6	SAMPW[4:0]	低通滤波器采样窗口大小，采样窗口 = SAMPW + 1。
5:1	THRESH[4:0]	低通滤波器门限置，样本窗口中至少出现相反状态的采样阈值，才能改变输出状态，此值要求大于 SAMPW / 2。
0	FILEN	滤波器使能位 0: 关闭; 1: 使能。

### 28.7.6 COMP2 滤波时钟寄存器 (COMP2\_FILP)

偏移地址:0x28

复位值:0x0000 0000

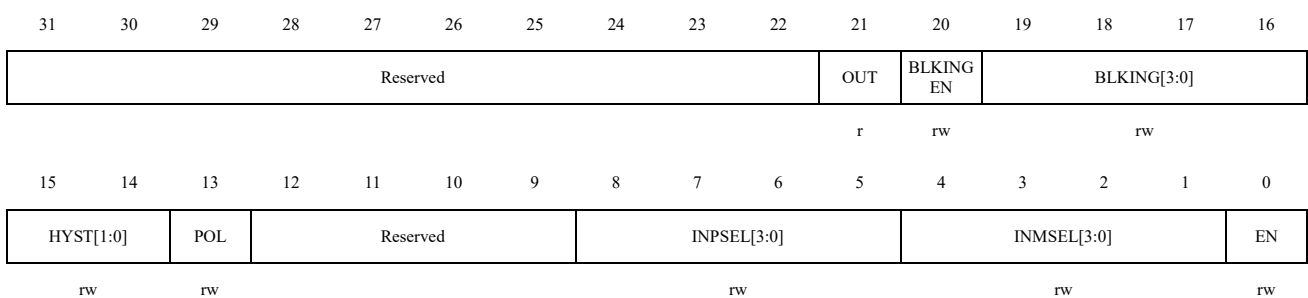


位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	CLKPSC[15:0]	低通滤波采样时钟预分频，系统时钟分频数 = CLKPSC + 1。 0: 每 1 个时钟; 1: 每 2 个时钟; 2: 每 3 个时钟; ... 65535: 每 65536 个时钟;

### 28.7.7 COMP3 控制寄存器 (COMP3\_CTRL)

偏移地址:0x30

复位值:0x0000 0000



位域	名称	描述
31:22	Reserved	保留，必须保持复位值。
21	OUT	指示比较器输出的状态 0: 输出低 1: 输出高
20	BLKINGEN	该位由软件置 1 或清 0，用于控制比较器 3 输出消隐功能的使能： 0: 禁用； 1: 使能。
19:16	BLKING[3:0]	这些位选择哪个定时器输出控制比较器 3 输出消隐。 0000: 选择 ATIM1 OC5 作为消隐源 0001: 选择 GTIMB1 OC5 作为消隐源 0010: 选择 GTIMB2 OC5 作为消隐源 0011: 选择 ATIM2 OC5 作为消隐源 0100: 选择 ATIM3 OC5 作为消隐源 0101: 选择 ATIM4 OC1 作为消隐源 0110: 选择 GTIMB3 OC5 作为消隐源 0111: 选择 GTIMA4 OC5 作为消隐源 1000: 选择 GTIMA2 OC3 作为消隐源 1001: 选择 GTIMA1 OC3 作为消隐源 1010: 选择 GTIMA3 OC3 作为消隐源 1011: 选择 GTIMA5 OC3 作为消隐源 1100: 选择 GTIMA6 OC3 作为消隐源 1101: 选择 GTIMA7 OC3 作为消隐源 其他: 保留。
15:14	HYST[1:0]	这些位选择比较器的迟滞等级。 00: 无迟滞； 01: 低迟滞； 10: 中等迟滞； 11: 高迟滞；
13	POL	该位用于反转比较器的输出 0: 输出未反转； 1: 输出反转。
12:9	Reserved	保留，必须保持复位值。
8:5	INPSEL[3:0]	比较器正端输入选择位 0000: PF2 0001: PF15 0010: dac1_iout 0011: dac2_iout 0100: dac3_iout 0101: dac4_iout 0110: dac5_iout 0111: dac6_iout



位域	名称	描述
		其他: 保留
4:1	INMSEL[3:0]	比较器负端输入选择位 0000: PF1 0001: PF14 0010: dac1_iout 0011: dac2_iout 0100: dac3_iout 0101: dac4_iout 0110: dac5_iout 0111: dac6_iout 其他: 保留
0	EN	该位打开/关闭 COMP 0: 比较器禁用; 1: 比较器启用。

### 28.7.8 COMP3 滤波控制寄存器 (COMP3\_FILC)

偏移地址:0x34

复位值:0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			VFPEN	VFNEN	SAMPW[4:0]				THRESH[4:0]				FILEN		
			rw	rw	rw				rw				rw		

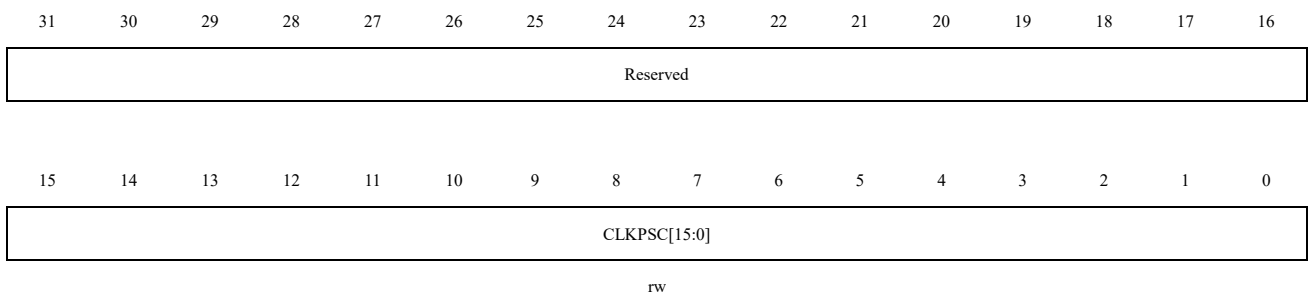
位域	名称	描述
31:13	Reserved	保留, 必须保持复位值。
12	VFNEN	COMP3 负端 VFLAG 使能; 0: 禁用。不使用 DAC 通道数据对应的 COMP3 负端有效标志位 (VFLAG), 该标志位用于控制滤波器采样; 1: 使能。使用 DAC 通道数据对应的 COMP3 负端有效标志位 (VFLAG), 该标志位用于控制滤波器采样。 <i>注意: 当 COMP3_FILC 寄存器的 FILEN 位被置 1, 且选择 12 位 DAC 通道作为 COMP3 负端输入时, 此位生效。</i>
11	VFPEN	COMP3 正端 VFLAG 使能; 0: 禁用。不使用 DAC 通道数据对应的 COMP3 正端有效标志位 (VFLAG), 该标志位用于控制滤波器采样; 1: 使能。使用 DAC 通道数据对应的 COMP3 正端有效标志位 (VFLAG), 该标志位用于控制滤波器采样。

位域	名称	描述
		注意：当 COMP3_FILC 寄存器的 FILEN 位被置 1，且选择 12 位 DAC 通道作为 COMP3 正端输入时，此位生效。
10:6	SAMPW[4:0]	低通滤波器采样窗口大小，采样窗口 = SAMPW + 1。
5:1	THRESH[4:0]	低通滤波器门限置，样本窗口中至少出现相反状态的采样阈值，才能改变输出状态，此值要求大于 SAMPW/2。
0	FILEN	滤波器使能位 0：关闭； 1：使能。

### 28.7.9 COMP3 滤波时钟寄存器 (COMP3\_FILP)

偏移地址:0x38

复位值:0x0000 0000

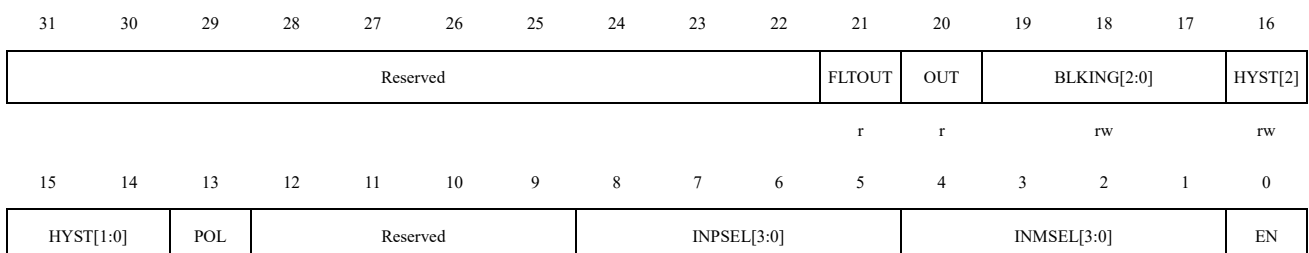


位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	CLKPSC[15:0]	低通滤波采样时钟预分频，系统时钟分频数 = CLKPSC + 1。 0：每 1 个时钟； 1：每 2 个时钟； 2：每 3 个时钟； ... 65535：每 65536 个时钟；

### 28.7.10 COMP4 控制寄存器 (COMP4\_CTRL)

偏移地址:0x40

复位值:0x0000 0000



rw

rw

rw

rw

rw

位域	名称	描述
31:22	Reserved	保留，必须保持复位值。
21	OUT	指示比较器输出的状态 0: 输出低 1: 输出高
20	BLKINGEN	该位由软件置 1 或清 0，用于控制比较器 4 输出消隐功能的使能： 0: 禁用； 1: 使能。
19:16	BLKING[3:0]	这些位选择哪个定时器输出控制比较器 4 输出消隐。 0000: 选择 ATIM1 OC5 作为消隐源 0001: 选择 GTIMB1 OC5 作为消隐源 0010: 选择 GTIMB2 OC5 作为消隐源 0011: 选择 ATIM2 OC5 作为消隐源 0100: 选择 ATIM3 OC5 作为消隐源 0101: 选择 ATIM4 OC1 作为消隐源 0110: 选择 GTIMB3 OC5 作为消隐源 0111: 选择 GTIMA4 OC5 作为消隐源 1000: 选择 GTIMA2 OC3 作为消隐源 1001: 选择 GTIMA1 OC3 作为消隐源 1010: 选择 GTIMA3 OC3 作为消隐源 1011: 选择 GTIMA5 OC3 作为消隐源 1100: 选择 GTIMA6 OC3 作为消隐源 1101: 选择 GTIMA7 OC3 作为消隐源 其他: 保留。
15:14	HYST[1:0]	这些位选择比较器的迟滞等级。 00: 无迟滞； 01: 低迟滞； 10: 中等迟滞； 11: 高迟滞；
13	POL	该位用于反转比较器的输出 0: 输出未反转； 1: 输出反转。
12:9	Reserved	保留，必须保持复位值。
8:5	INPSEL[3:0]	比较器正端输入选择位 0000: PH10 0001: PH7 0010: dac1_iout 0011: dac2_iout 0100: dac3_iout 0101: dac4_iout 0110: dac5_iout

位域	名称	描述
		0111: dac6_iout 1000: PF15(与 COMP3 组成窗口模式) 1001: PF10 其他: 保留
4:1	INMSEL[3:0]	比较器负端输入选择位 0000: PH9 0001: PH6 0010: dac1_iout 0011: dac2_iout 0100: dac3_iout 0101: dac4_iout 0110: dac5_iout 0111: dac6_iout 1000: PF8 其他: 保留
0	EN	该位打开/关闭 COMP 0: 比较器禁用; 1: 比较器启用。

### 28.7.11 COMP4 滤波控制寄存器 (COMP4\_FILC)

偏移地址:0x44

复位值:0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			VFPEN	VFNEN	SAMPW[4:0]				THRESH[4:0]				FILEN		
			rw	rw	rw				rw				rw		

位域	名称	描述
31:13	Reserved	保留, 必须保持复位值。
12	VFNEN	COMP4 负端 VFLAG 使能; 0: 禁用。不使用 DAC 通道数据对应的 COMP4 负端有效标志位 (VFLAG), 该标志位用于控制滤波器采样; 1: 使能。使用 DAC 通道数据对应的 COMP4 负端有效标志位 (VFLAG), 该标志位用于控制滤波器采样。 <i>注意: 当 COMP4_FILC 寄存器的 FILEN 位被置 1, 且选择 12 位 DAC 通道作为 COMP4 负端输入时, 此位生效。</i>
11	VFPEN	COMP4 正端 VFLAG 使能;

位域	名称	描述
		0: 禁用。不使用 DAC 通道数据对应的 COMP4 正端有效标志位 (VFLAG)，该标志位用于控制滤波器采样； 1: 使能。使用 DAC 通道数据对应的 COMP4 正端有效标志位 (VFLAG)，该标志位用于控制滤波器采样。 <i>注意：当 COMP4_FILC 寄存器的 FILEN 位被置 1，且选择 12 位 DAC 通道作为 COMP4 正端输入时，此位生效。</i>
10:6	SAMPW[4:0]	低通滤波器采样窗口大小，采样窗口 = SAMPW + 1。
5:1	THRESH[4:0]	低通滤波器门限置，样本窗口中至少出现相反状态的采样阈值，才能改变输出状态，此值要求大于 SAMPW/2。
0	FILEN	滤波器使能位 0: 关闭； 1: 使能。

### 28.7.12 COMP4 滤波时钟寄存器 (COMP4\_FILP)

偏移地址:0x48

复位值:0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved
----------

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

CLKPSC[15:0]
--------------

rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	CLKPSC[15:0]	低通滤波采样时钟预分频，系统时钟分频数 = CLKPSC + 1。 0: 每 1 个时钟； 1: 每 2 个时钟； 2: 每 3 个时钟； ... 65535: 每 65536 个时钟；

### 28.7.13 比较器低功耗模式寄存器 (COMP\_LPMODE)

偏移地址: 0x50

复位值: 0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved
----------

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	LPEN
----------	------

rw

位域	名称	描述
31:1	Reserved	保留，必须保持复位值。
0	LPEN	该位由软件置 1 或清 0，用于使能低功耗模式 0：正常运行模式（数字滤波器时钟源自系统时钟） 1：低功耗模式（数字滤波器时钟源自 LSE 或 LSI）

### 28.7.14 COMP 窗口比较寄存器（COMP\_WINMODE）

偏移地址:0x54

复位值:0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved
----------

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	CMP34 MD	CMP12 MD
----------	----------	----------

rw rw

位域	名称	描述
31:2	Reserved	保留，必须保持复位值。
1	CMP34MD	该位选择窗口模式：比较器的两个非反向输入端共享 PF15 输入 0：比较器 3 和 4 不在窗口模式，端口输出 COMP4 的结果； 1：比较器 3 和 4 用于窗口模式，端口输出 COMP3 和 COMP4 的异或结果。
0	CMP12MD	该位选择窗口模式：比较器的两个非反向输入端共享 PB2 输入 0：比较器 1 和 2 不在窗口模式，端口输出 COMP2 的结果； 1：比较器 1 和 2 用于窗口模式，端口输出 COMP1 和 COMP2 的异或结果。

### 28.7.15 COMP 锁寄存器（COMP\_LOCK）

偏移地址:0x5C

复位值:0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved															
----------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

Reserved												CMP4LK	CMP3LK	CMP2LK	CMP1LK
												rw	rw	rw	rw

位域	名称	描述
31:4	Reserved	保留，必须保持复位值。
3	CMP4LK	仅写一次，是由软件控制的，只能通过系统重置来清除 设置此位可以将 COMP4_CTRL, COMP4_FILC, COMP4_FILP 设置为只读 0: COMP4_CTRL, COMP4_FILC, COMP4_FILP 是可读写的 1: COMP4_CTRL, COMP4_FILC, COMP4_FILP 是只读的
2	CMP3LK	仅写一次，是由软件控制的，只能通过系统重置来清除 设置此位可以将 COMP3_CTRL, COMP3_FILC, COMP3_FILP 设置为只读 0: COMP3_CTRL, COMP3_FILC, COMP3_FILP 是可读写的 1: COMP3_CTRL, COMP3_FILC, COMP3_FILP 是只读的
1	CMP2LK	仅写一次，是由软件控制的，只能通过系统重置来清除 设置此位可以将 COMP2_CTRL, COMP2_FILC, COMP2_FILP 设置为只读 0: COMP2_CTRL, COMP2_FILC, COMP2_FILP 是可读写的 1: COMP2_CTRL, COMP2_FILC, COMP2_FILP 是只读的
0	CMP1LK	仅写一次，是由软件控制的，只能通过系统重置来清除 设置此位可以将 COMP1_CTRL, COMP1_FILC, COMP1_FILP 设置为只读 0: COMP1_CTRL, COMP1_FILC, COMP1_FILP 是可读写的 1: COMP1_CTRL, COMP1_FILC, COMP1_FILP 是只读的

### 28.7.16 COMP 中断使能寄存器 (COMP\_INTEN)

偏移地址:0x60

复位值:0x0000 0000

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

Reserved															
----------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

Reserved												CMP4IEN	CMP3IEN	CMP2IEN	CMP1IEN
												rw	rw	rw	rw

位域	名称	描述
31:4	Reserved	保留，必须保持复位值。

位域	名称	描述
3	CMP4IEN	该位控制 COMP4 的中断启用 0: 禁能 1: 使能
2	CMP3IEN	该位控制 COMP3 的中断启用 0: 禁能 1: 使能
1	CMP2IEN	该位控制 COMP2 的中断启用 0: 禁能 1: 使能
0	CMP1IEN	该位控制 COMP1 的中断启用 0: 禁能 1: 使能

### 28.7.17 COMP 中断状态寄存器 (COMP\_INTSTS)

偏移地址:0x64

复位值:0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												CMP4IS	CMP3IS	CMP2IS	CMP1IS
												rc_w0	rc_w0	rc_w0	rc_w0

位域	名称	描述
31:4	Reserved	保留，必须保持复位值。
3	CMP4IS	COMP4 中断状态位，写 0 清除
2	CMP3IS	COMP3 中断状态位，写 0 清除
1	CMP2IS	COMP2 中断状态位，写 0 清除
0	CMP1IS	COMP1 中断状态位，写 0 清除

### 28.7.18 COMP 输出到定时器使能寄存器 (COMP\_OTIMEN)

偏移地址:0x68

复位值:0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															



15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

Reserved	CMP4 OEN	CMP3 OEN	CMP2 OEN	CMP1 OEN
	rw	rw	rw	rw

位域	名称	描述
31:4	Reserved	保留，必须保持复位值。
3	CMP4OEN	该位控制 COMP4 输出到定时器功能启用 0：禁能 1：使能
2	CMP3OEN	该位控制 COMP3 输出到定时器功能启用 0：禁能 1：使能
1	CMP2OEN	该位控制 COMP2 输出到定时器功能启用 0：禁能 1：使能
0	CMP1OEN	该位控制 COMP1 输出到定时器功能启用 0：禁能 1：使能

## 29 电压参考缓冲器 (VREFBUF)

### 29.1 简介

该芯片内置了电压参考缓冲器，可用作 ADC、12bit-DAC、COMP 内部 6bit-DAC 的电压参考，也可通过 VREF+引脚用作外部组件的电压参考。当在封装中将 VREF+引脚与 VDDA 引脚连接到一起时（具体可以参考数据手册的封装引脚描述），电压参考缓冲器不可用，必须保持禁用(VREFBUF\_CTRL1.EN = 0)，且需要将 RCC\_VREFCTRL.HIM 位置 1。

注：VREFBUF 严禁在内部输出模式的同时开启外部输入。输出模式与外部输入模式只能二选一。

### 29.2 功能描述

#### 29.2.1 电压参考缓冲器挡位选择

内置的电压参考缓冲器支持四种电压档位，分别是 2.5V、2.048V、1.8V、1.5V。档位可以通过配置 VREFBUF\_CTRL2.VLSEL[1:0]寄存器位来选择；

表 29-1 电压参考缓冲器挡位选择

VLSEL[1:0]	电压参考缓冲器档位选择（单位 V）
00	2.5V
01	2.048V
10	1.8V
11	1.5V

#### 29.2.2 电压参考缓冲器模式选择

内部电压参考可以根据 EN 和 HIM 位的配置以四种不同模式进行设置。这些模式列在下表中：

表 29-2 电压参考缓冲器模式

VREFBUF_CTRL1.EN	VREFBUF_CTRL1.HIM	电压参考缓冲器配置
0	0	VREFBUF 输出关闭，V <sub>REF+</sub> 引脚被下拉到 VSSA
0	1	VREFBUF 输出处于高阻值态，V <sub>REF+</sub> 引脚为外部输入模式
1	0	VREFBUF 输出使能，V <sub>REF+</sub> 引脚连接 VREFBUF 输出
1	1	VREFBUF 输出处于高阻值态，V <sub>REF+</sub> 引脚电压借助外部电容得以保持

用户可以先通过设置 RCC\_VREFCTRL.HIM 位为 0、然后设置 RCC\_VREFCTRL.EN 位为 1 来使能 VREFBUF 工作，此时用户必须等待 RCC\_VREFCTRL.RDY 位被设置，表示电压参考输出已达到预期值的 90%。

注：

1. 当 VREFBUF 工作时, VREF-默认连接 VSSA;
2. VREF+ 的输入电压不能超过 VDDA;
3. VREFBUF 使能后, VREF+ 管脚不能外接电压;
4. 使用 VREFBUF 输出的时候, 需要先配置 VREFBUF\_CTRL1.HIM = 0;
5. 100nF 的滤波电容很重要, 在 PCB 设计上需要和 VREF+ 管脚尽量靠近。
6. <sup>(1)</sup>在 VREFBUF\_STS 寄存器的 RDY 位上升沿额外增加 250 微秒以上延迟, 确保 VREFBUF 输出达到 100% 稳定状态。

### 29.2.3 VREFBUF 修调

VREFBUF 的输出电压在芯片出厂时已完成校准。当重启 VREFBUF 或每次更改 VREFBUF 的电压电平时 (VREFBUF\_CTRL.VLSEL[1:0]), 校准数据会自动加载到微调寄存器中。VREFBUF\_CTRL2.VLSEL [1:0] 位还会对应选择以下独立微调位寄存器:

当 VREFBUF\_CTRL2.VLSEL[1:0] = 00 时, 选择 VREFBUF\_TRIM1.TRIM0 [5:0]

当 VREFBUF\_CTRL2.VLSEL[1:0] = 01 时, 选择 VREFBUF\_TRIM1.TRIM1 [5:0]

当 VREFBUF\_CTRL2.VLSEL[1:0] = 10 时, 选择 VREFBUF\_TRIM2.TRIM2 [5:0]

当 VREFBUF\_CTRL2.VLSEL[1:0] = 11 时, 选择 VREFBUF\_TRIM2.TRIM3 [5:0]

用户可通过直接修改微调寄存器的位值对输出电压进行微调。该微调操作不会影响就绪信号 VREFBUF\_STS.RDY。

## 29.3 寄存器

### 29.3.1 VREFBUF 修调寄存器

偏移地址: 0x28

复位值: 0x0820 00A8

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				TRIM1[5:0]						TRIM0[5:0]					
				rw						rw					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															

位域	名称	描述
31:28	Reserved	保留, 必须保持复位值
27:22	TRIM1[5:0]	VREFBUF 校准 当 VLSEL[1:0] = 01 (VREFBUF 输出 2.048V) 时, 调节步长为 1mV

位域	名称	描述
21:16	TRIM0[5:0]	VREFBUF 校准 当 VLSEL[1:0] = 00 (VREFBUF 输出 2.5V) 时, 调节步长为 1.25mV
15:0	Reserved	保留, 必须保持复位值

### 29.3.2 VREFBUF 状态寄存器(VREFBUF\_STS)

偏移地址: 0x34

复位值: 0x0000 0030

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		RDY	Reserved												
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															

位域	名称	描述
31:30	Reserved	保留, 必须保持复位值
29	RDY	VREFBUF 就绪标志 0: VREFBUF 输出未稳定完成 1: VREFBUF 输出就绪
28:0	Reserved	保留, 必须保持复位值

### 29.3.3 VREFBUF 控制寄存器 1 (VREFBUF\_CTRL1)

Address offset: 0x48

Reset value: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						HIM	Reserved	EN	Reserved						
rw								rw							

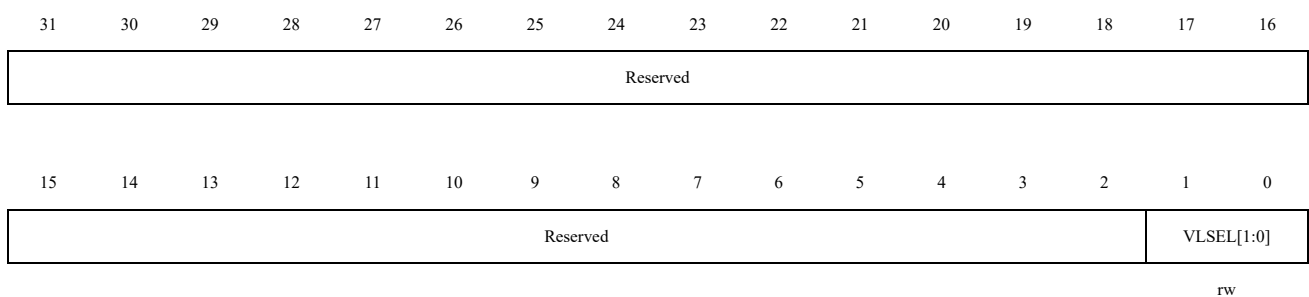
位域	名称	描述
31:10	Reserved	保留, 必须保持复位值
9	HIM	高阻抗模式使能 0: REF+引脚内部下拉至 VSSA

位域	名称	描述
		1: REF+引脚处于高阻抗状态
8	Reserved	保留, 必须保持复位值
7	EN	VREFBUF 使能 0: 禁用 1: 使能
6:0	Reserved	保留, 必须保持复位值

### 29.3.4 VREFBUF 控制寄存器 2 (VREFBUF\_CTRL2)

Address offset: 0xDC

Reset value: 0x0000 0000

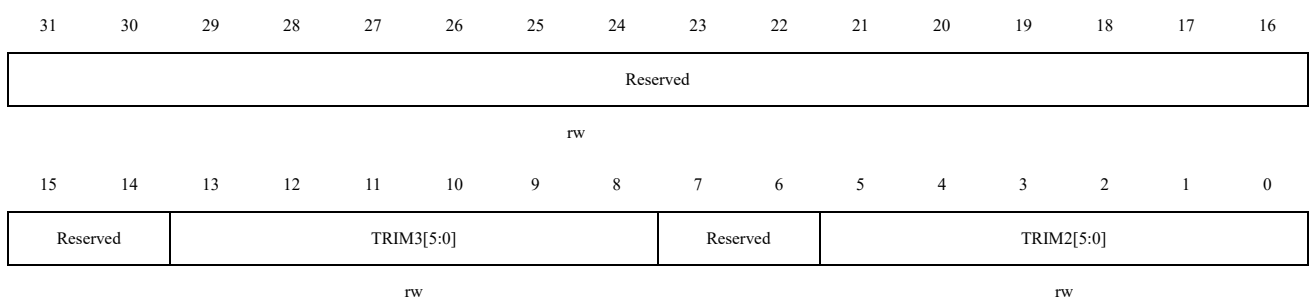


位域	名称	描述
31:2	Reserved	保留, 必须保持复位值
1:0	VLSEL[1:0]	VREFBUF 量程选择 00: VREFBUF 输出 2.5V 01: VREFBUF 输出 2.048V 10: VREFBUF 输出 1.8 V 11: VREFBUF 输出 1.5V

### 29.3.5 VREFBUF 修调寄存器 2 (VREFBUF\_TRIM2)

Address offset: 0xE8

Reset value: 0x0010 2020



位域	名称	描述
31:14	Reserved	保留，必须保持复位值
13:8	TRIM3[5:0]	VREFBUF 校准 VLSEL[1:0] = 11 (VREFBUF 输出 1.5V): 调节步长为 0.75mV
7:6	Reserved	保留，必须保持复位值
5:0	TRIM2[5:0]	VREFBUF 校准 VLSEL[1:0] = 10 (VREFBUF 输出 1.8V): 调节步长为 0.9mV

## 30 滤波算法加速器 (FMAC)

### 30.1 FMAC 简介

滤波器数学加速单元对矢量进行算术运算，它包括一个乘法器、累加器以及地址生成逻辑，使其能够对本地存储器中的矢量元素进行索引。该单元支持输入和输出循环缓冲区，以便于实现包括有限冲激响应 (FIR) 滤波器和无限冲激响应 (IIR) 滤波器的数字滤波器。

该单元可使处理器免于频繁或冗长的滤波操作，从而释放处理器执行其他任务。在许多情况下，与软件实现相比，它可以加快此类计算的速度，从而加快关键时间任务的处理速度。

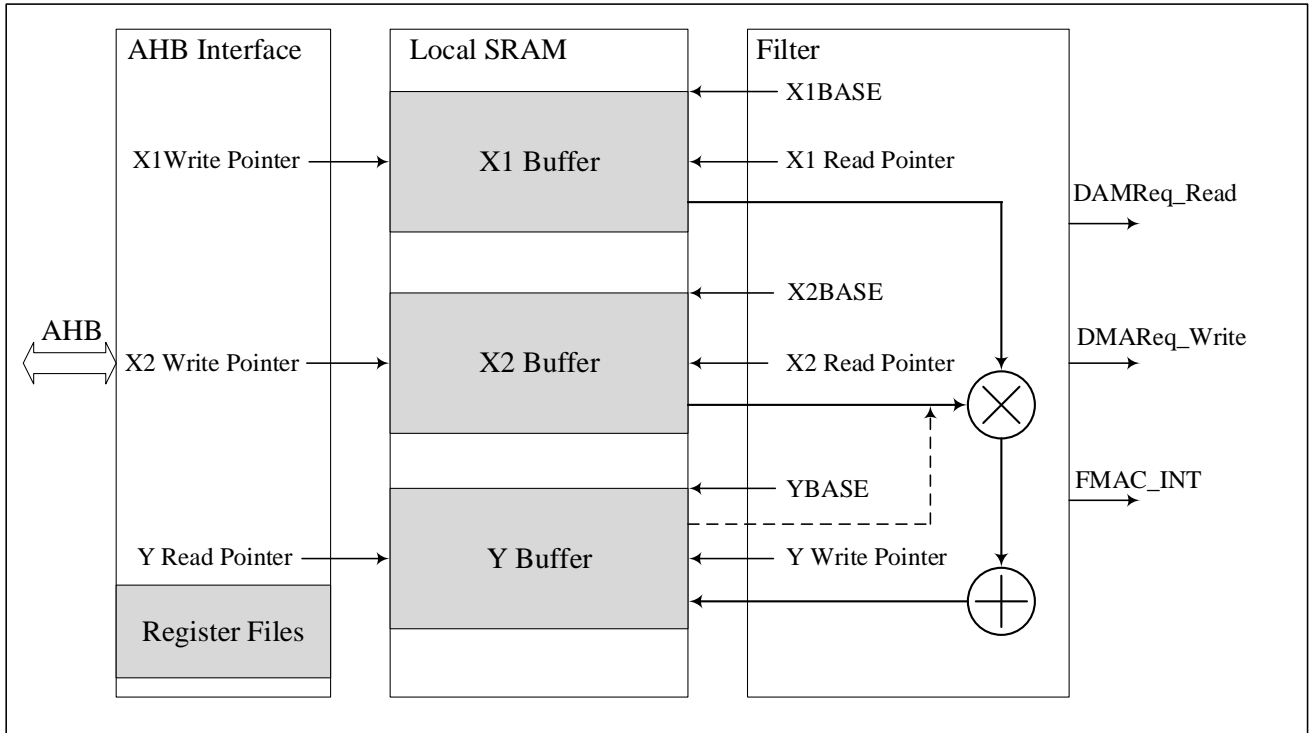
### 30.2 FMAC 主要特性

- 16 x 16 位乘法器
- 24 + 2 位累加器，带加法和减法功能
- 16 位定点输入和输出数据
- 256 x 16 位数据缓冲区
- 内存中最多可定义三个数据缓冲区（两个输入，一个输出）、由可编程基地址指针和相关大小寄存器定义
- 输入和输出缓冲区可循环使用
- 滤波器功能：FIR、IIR（直接形式 1）
- 矢量函数：点积、卷积、相关性
- 支持 DMA 读写数据

### 30.3 FMAC 功能描述

#### 30.3.1 通用描述

图 30-1 FMAC 框图



该单元由一个定点乘法器、累加器和缓冲区组成。

乘法器的两路矢量输入数据由内核或 DMA 从缓冲区中加载，然后被乘法器进行点乘运算。

累加器将乘法器的输出结果累加，计算完成之后，累加器中的输出结果保存到缓冲区，供内核或 DMA 读取。

该模块缓冲区可以分为输入数据缓冲器（X1）、系数缓冲器（X2）以及输出数据缓冲器（Y）。系数缓冲区存放 FIR、IIR 滤波器的前馈滤波系数和反馈滤波系数，输入数据缓冲器存放输入的矢量数据，输出数据缓冲区存放 FIR、IIR 滤波器计算的结果以及 IIR 滤波器预存放的滤波输出数据。

有限冲激响应（FIR）滤波器的输出结果是输入的矢量数据和前馈滤波系数的点乘。其中输入的矢量数据是不断更新的，即丢弃最早的采样数据，增加一个最新的采样数据，组成新的矢量数据。

无限冲激响应（IIR）滤波器的输出结果是反馈滤波系数和先前的滤波输出数据之间的乘积与 FIR 卷积的累加。

#### 30.3.2 缓冲区

该单元包含 256 x 16 位读写存储区：输入值保存在缓冲区 X1 和缓冲区 X2，输出值保存在缓冲区 Y。

缓冲区的地址和大小具体描述如下：

- X1BASE: X1 缓冲区基地址；



- X2BASE: X2 缓冲区基地址;
- YBASE: Y 缓冲区基地址;

缓冲区的长度为:

- X1BUFSIZE: X1 缓冲区所分配的 16 位字的数目;
- X2BUFSIZE: X2 缓冲区所分配的 16 位字的数目;
- YBUFSIZE: Y 缓冲区所分配的 16 位字的数目;

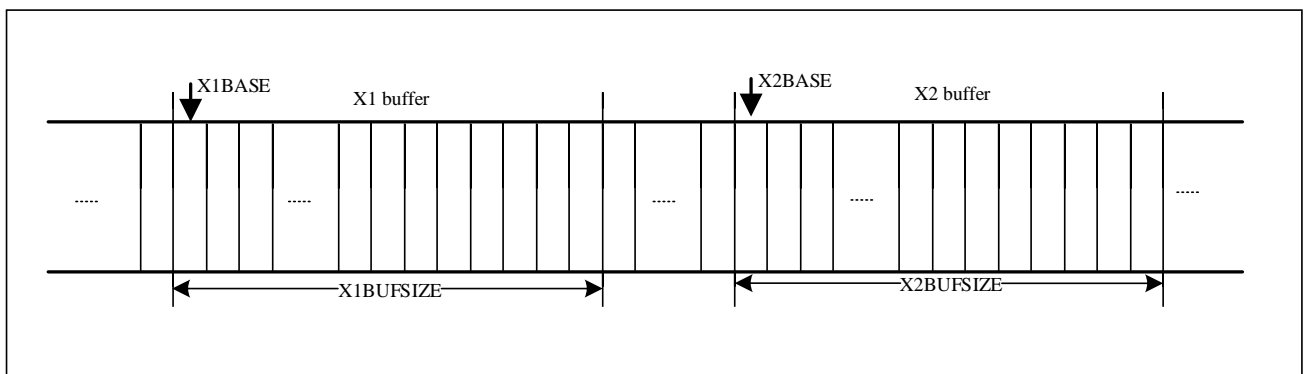
以上参数在 FMAC 模块启动之前需要配置到与之相对应的 FMAC\_X1BUFCFG, FMAC\_X2BUFCFG, FMAC\_YBUFCFG 寄存器中。三个缓冲区基地址可以在 0x00- 0xFF 范围内随意配置, 同时三个缓冲区总长度必须小于 256。缓冲区的位置和大小缺少限制, 有可能造成三个缓冲区位置重叠的情况, 为了避免异常运行, 配置缓冲区基地址和长度的时候不建议缓冲区重叠。

在 FMAC 模块开启转换之前, 缓冲区中可以提前加载对应的数据。X1 缓冲区提前加载输入的矢量数据, X2 缓冲区提前加载滤波系数, Y 缓冲区提前加载先前的滤波输出数据 (仅 IIR 滤波器需要)。通过向 FMAC\_WDAT 寄存器中写入数据来完成写指针所指示的目标缓冲区的数据加载, 完成一次写操作之后, 写指针递增。如果指针达到所分配的缓冲区空间的终点, 写指针返回基地址。

如果需要循环使用缓冲区, 则可在缓冲区添加一个可选的预留区域 d。此外, 为了调节 CPU 或 DMA 的运行, 还需要设置水印区阈值大小。为了满足应用性能需求, d 和水印的数值需要合理配置。通常, 为了更高的数据吞吐量, 输入缓冲区不应为空, 所以 d 应该比水印略微大些, 从而能接受任意中断或 DMA 延迟。另一方面, 如果输入数据的速度小于数据处理的速度, 输入缓冲区可以为空, 并等待下一个数据被写入。此时, d 和水印可以相等, 从而保证输入缓冲区不会出现上溢。

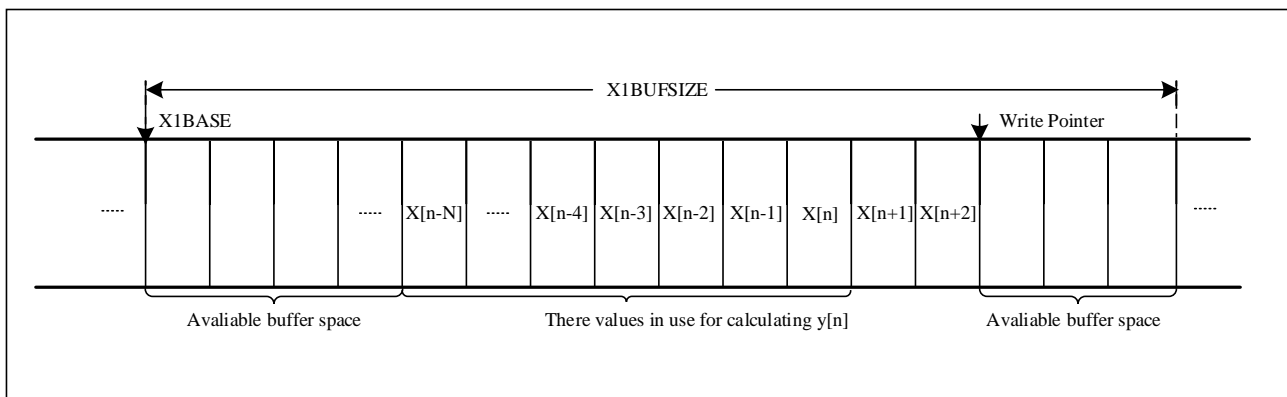
### 30.3.3 输入缓冲区

图 30-2 输入缓冲区示意图



如图 30-2 所示, X1 缓冲区和 X2 缓冲区用来保存输入到 FMAC 模块乘法器中的数据。乘法器每次乘法操作从 X1 缓冲区、X2 缓冲区各提取一个数据, 并将二者相乘。每完成一次乘法操作, 控制单元根据当前函数产生读指针地址偏移, 该地址偏移是相对于缓冲区基地址。读指针地址偏移由硬件控制, 自动完成。

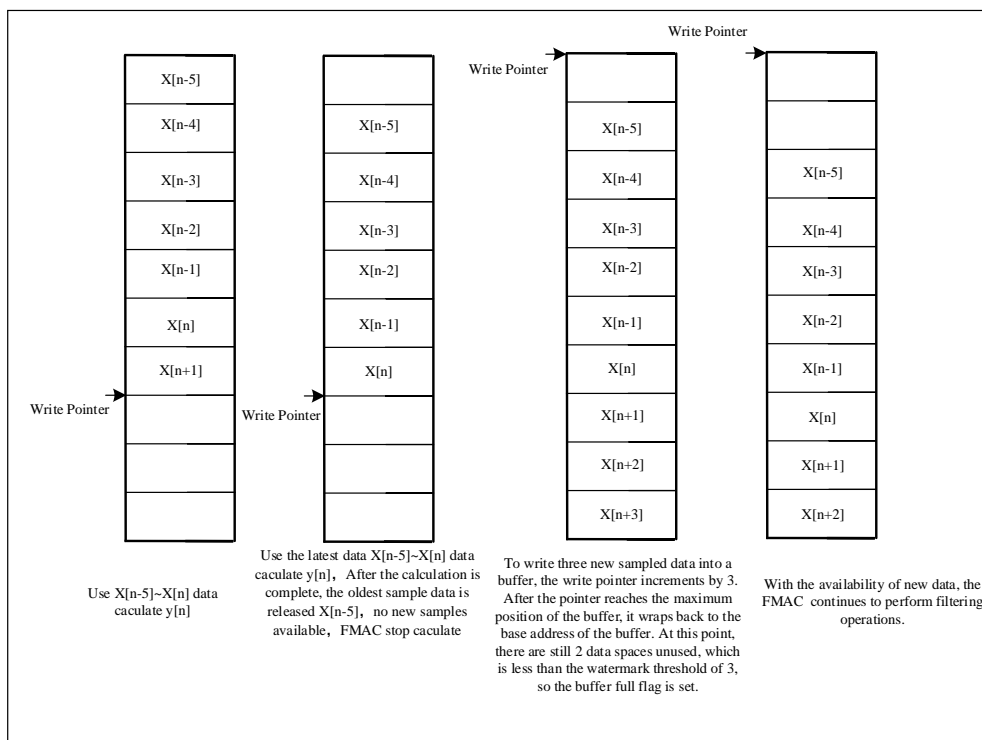
图 30-3 循环输入缓冲区示意图



X1 缓冲区可以工作在循环模式，如图 30-3 所示。在有空间可用的情况下，新数据不停地传输到输入缓冲区。对数字滤波器而言，预加载缓冲区是可选的。当滤波操作开始后，如果输入采样值没有被写入到 X1 缓冲区，缓冲区标识为‘空’。FMAC 模块向 DMA 或 CPU 会产生加载新的采样数据请求，该请求直到有足够的采样数据进行滤波计算（FIR/IIR）才会停止。

X2 缓冲区仅工作在非循环模式下，其用来存储滤波器系数，通常需要预加载。

图 30-4 循环输入缓冲区运行示意图



缓冲区工作在循环模式时，其空间（X1BUFSIZE）应该比使当前计算函数用的元素数量要大，使缓冲区中有可用的新值进行计算。循环输入缓冲区滤波操作时的缓冲区示意图如图 30-4 所示。当计算输出 y[n]时，FMAC 调用 N+1 个输入采样，从 x[n-N]到 x[n]。y[n]计算结束后，调用输入采样序列 x[n-N+1]到 x[n+1]，开始计算 y[n+1]。最早的输入采样(x[n-N])数据丢弃，增加新的采样值(x[n+1])。

开始计算 y[n+1]时，CPU 或 DMA 要保证缓冲区空间中新采样的数据 x[n+1]是可用的。如果 x[n+1]不可用，FMAC 模块中硬件自动将缓冲区标识为‘空’，阻塞当前 y[n+1]的计算，直到缓冲区写进新的采样值。X1 缓

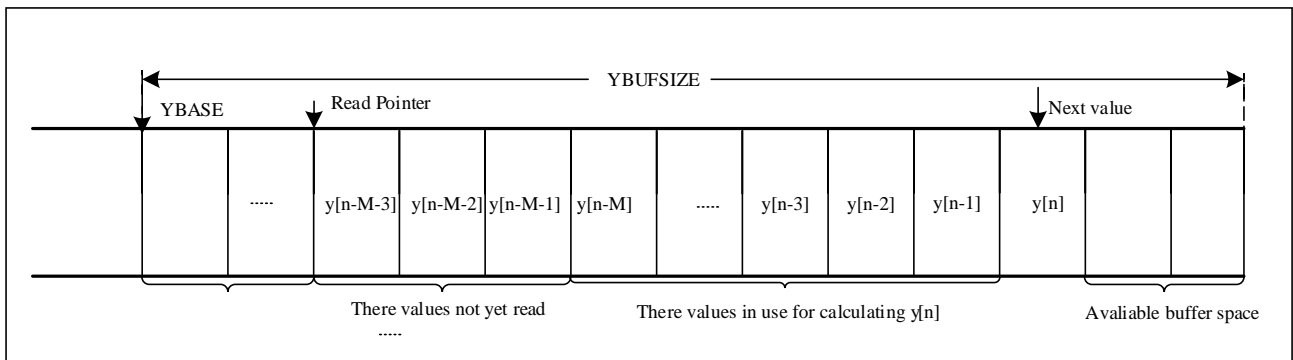
缓冲区不会产生下溢信号。如果输入数据由定时器或其他外设控制采样，一般采样数据输入速度比滤波器处理速度慢，所以缓冲区通常工作在‘空’状态（没有数据参与计算）。

FMAC\_X1BUF\_CFG.X1BUFWM[1:0]位配置水印阈值，如果缓冲区中可用的空闲空间数量（空闲空间指没有存放数据或者使用过的数据的空间）少于水印阈值，缓冲区被视为‘满’状态。当 FMAC 中断或 DMA 写使能时，如果 FMAC\_STS.X1BUFFF 位没有被置位，将生成中断或者 DMA 写数据请求。不考虑上溢的风险，发生中断或者 DMA 写数据请求时可以传输若干数据到缓冲区。然而，如果出现上溢的情况，FMAC\_STS.OVF 标志位被置位，忽略所写的的数据，并且写指针不会递增。图 30-4 展示了长度为 8 的 FIR 滤波器运行时，X1 缓冲区的改变过程，水印区设置为 4。

### 30.3.4 输出缓冲区

Y 缓冲区是输出缓冲区，用于存储累加的结果。处理器或 DMA 控制器可以读取输出值，然后缓冲区空间将被释放。每次读取数据寄存器时，都会从读取指针指示的地址获取数据。并且读指针递增，当指针到达分配的 Y 缓冲区空间的末端时，就会返回基地址。

图 30-5 循环输出缓冲区示意图

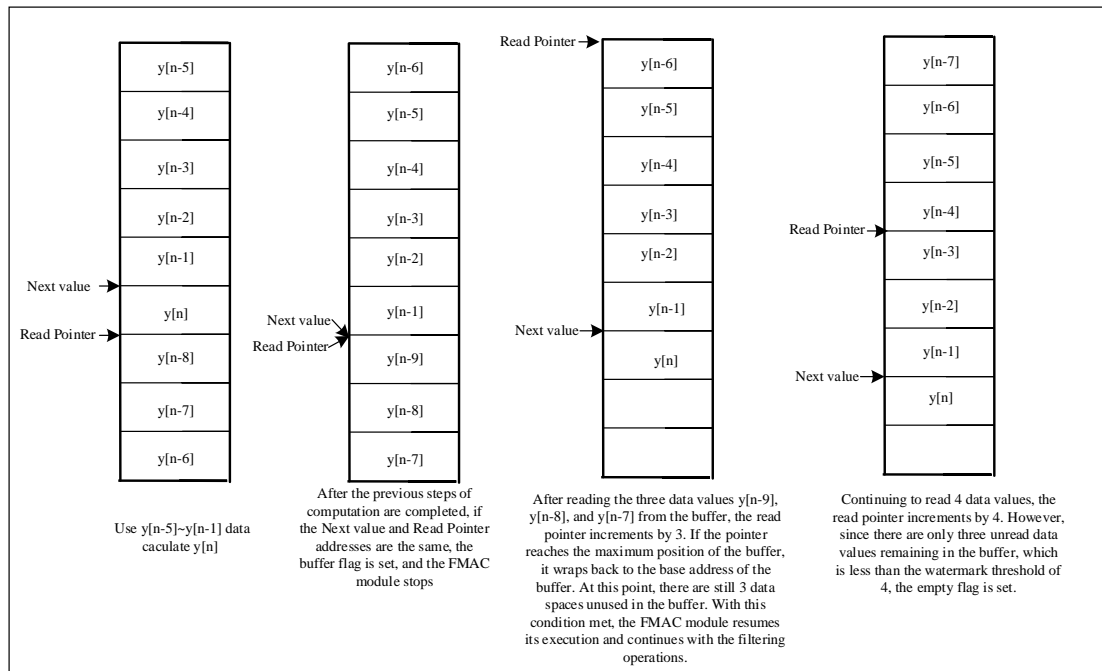


Y 缓冲区也可以作为循环缓冲区运行。如果下一个输出值的地址与读指针指示的地址相同（未读取数据），则缓冲区标记为已满，滤波被中止，直至输出值被读取。

在 IIR 滤波器中，M 个先前输出样本值(y[n-M]至 y[n-1])，用于计算下一个输出样本 y[n]。每次有新输出样本值产生时，最早输出的样本值 y[n-M]就会被丢弃。

如果缓冲区中未读数据的数量少于在 FMAC\_YBUF\_CFG.YBUFWM[1:0]位字段中编程的水印阈值，缓冲区将被标记为空。若空标志未被置 1（表明现在输出缓冲区未空，即未读数据的数量大于水印阈值），就会产生中断或 DMA 请求（如果启用），请求从缓冲区读取数据。因为有水印区的存在，所以允许在一个中断下传输多个数据，而不会出现数据不足的情况。如果发生数据下溢，则 FMAC\_STS.UNF 标志将被置 1。在这种情况下，读指针不会递增，而读取操作将返回读指针所指地址处的内容。

如图 30-5 展示了滤波器运行时，Y 缓冲区的动态过程。其中滤波器为长度为 7 的 IIR 滤波器，水印区设置为 4。

**图 30-6 循环输出缓冲区运行示意图**


### 30.3.5 初始化函数

在 FMAC\_PARAMCFG 寄存器的 FUNC 字段中写入相应的值，并设置 START 位，即可启动相应函数的计算。P 位字段和 Q 位字段还必须包含每个函数功能的相应参数值，不使用 R 字段。功能完成后，START 位将被自动复位。

初始化期间，建议禁用 DMA 请求和中断。向 FMAC 存储器传输数据可以通过软件或 DMA 控制器传输完成。

### 加载 X1 缓冲区

该函数从 X1BASE 中的地址开始，为 X1 缓冲区预加载 N 个值。连续写入 FMAC\_WDAT 寄存器可将写入数据加载到 X1 缓冲区，并写指针递增。函数完成时，写指针指向地址 X1BASE + N。参数 P 为 N 个被加载到 X1 缓冲区数据的数量，同时 Q 和 R 未被使用，当 N 次对 FMAC\_WDAT 寄存器的写操作完成时，X1 缓冲区加载操作完成。

### 加载 X2 缓冲区

该函数从 X2BASE 中的地址开始，为 X2 缓冲区预加载  $N + 1 + M$  个值。X2BASE 中的地址开始，连续写入 FMAC\_WDAT 寄存器可将写入数据加载到 X2 缓冲区，并写指针递增。

在 IIR 滤波器中， $N + 1$  个前馈系数和  $M$  个后馈系数连接在一起加载到 X2 缓冲区。系数总数等于  $N + 1 + M$ 。对于 FIR 滤波器，没有反馈系数，因此  $M = 0$ 。

参数 P 包含  $N + 1$  个前馈滤波系数、参数 Q 包含  $M$  个反馈滤波系数，P 的起始地址是 X2BASE、Q 的起始地址是 X2BASE +  $N + 1$ ，R 未被使用。当  $N + 1 + M$  次对 FMAC\_WDAT 寄存器的写操作完成时，X2 缓冲区加载操作完成。

## 加载 Y 缓冲区

该函数从 YBASE 中的地址开始，M 个写入数据从 FMAC\_WDAT 寄存器加载到 Y 缓冲区，写指针递增，函数完成时，读指针指向 YBASE + M 地址。

该函数可用于预加载 IIR 滤波器的反馈存储参数，P 中包含 M 个反馈存储参数，Q 和 R 未被使用，当 M 次对 FMAC\_WDAT 寄存器的写操作完成时，Y 缓冲区加载操作完成。

### 30.3.6 滤波器函数

在 FMAC\_PARAMCFG 寄存器的 FUNC 字段中写入相应的值，并设置 START 位，即可触发对应函数功能，同时 P、Q 和 R 位字段还必须包含相应的参数值。配置完成之后滤波功能将持续运行，直到 START 位被软件复位。

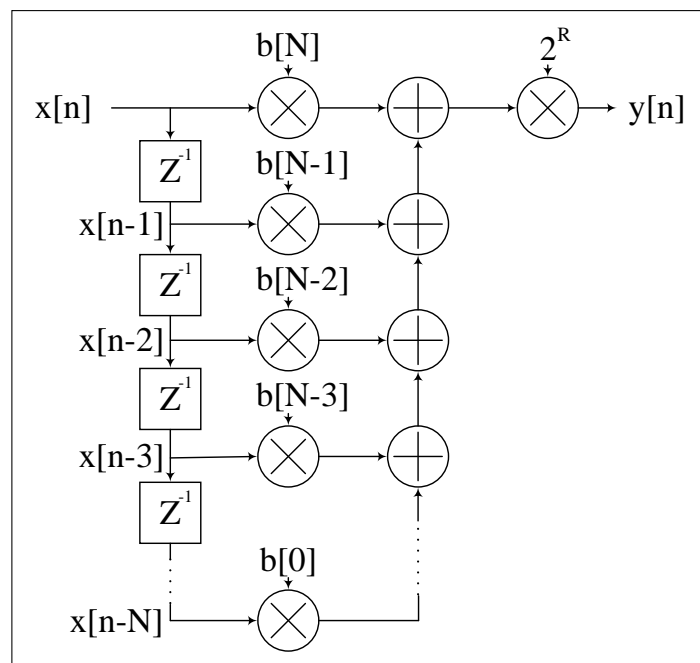
#### FIR filter: $Y = B \cdot X$

$$y[n] = 2^R \cdot \sum_{j=0}^N b[n-j] \cdot x[n-j]$$

此函数用来实现有限冲激响应(FIR)滤波器，向量 B 为 FIR 滤波器的系数，长度为 N+1。X 为无限长的输入采样矢量数据。Y 的元素按照点乘  $y_n = B \cdot X_n$  计算得到， $X_n = [x_{n-N}, \dots, x_n]$ 。

FIR 滤波器结构如图 30-7 所示。

图 30-7 FIR 滤波器结构图



FIR 滤波器的输入：

X1 缓冲区包含向量 X 的元素，是一个长度为  $N + 1 + d$  的循环缓冲区。

X2 缓冲区包含向量 B 的元素，是一个长度为  $N + 1$  的非循环缓冲区。

FIR 滤波器的输出:

Y 缓冲区包含输出值  $y_n$ ，是一个长度为  $d$  的循环缓冲区。

FIR 滤波器的参数:

参数  $P$  为系数向量  $B$  的长度  $N+1$ ，范围为[2:127]。

参数  $R$  是应用于累加器输出的增益。累加器的值乘以  $2^R$  输出到  $Y$  缓冲区，其中  $R$  的取值范围为[0:7]。参数  $Q$  不使用。

当  $FMAC\_PARAMCFG.START$  位被软件复位时，功能结束。

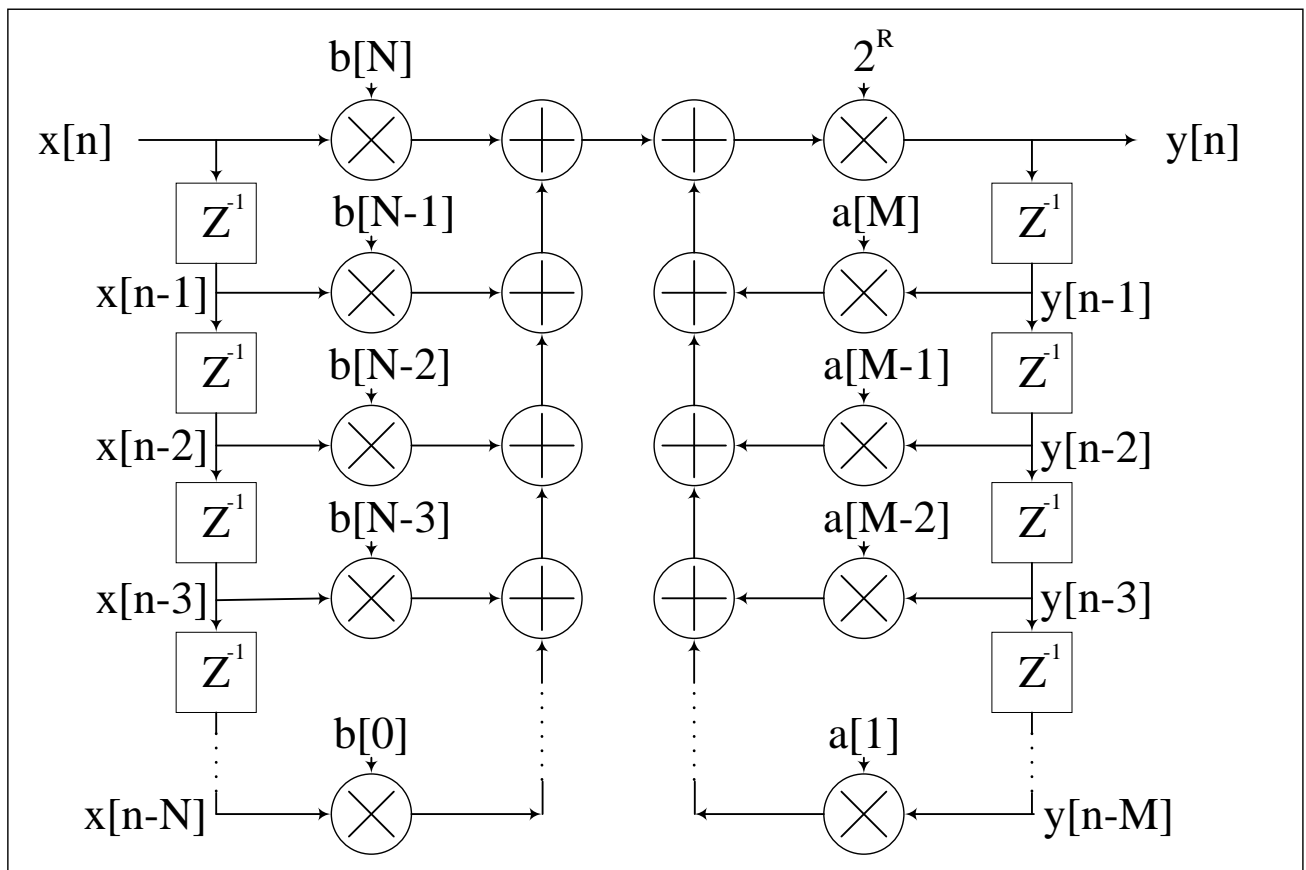
### IIR filter: $Y = B \cdot X + A \cdot Y$

$$y[n] = 2^R \cdot \left( \sum_{j=0}^N b[n-j] \cdot x[n-j] + \sum_{j=1}^M a[n-j] y[n-j] \right)$$

此函数用来实现无限脉冲响应 (IIR) 滤波器，其输出向量  $Y$  是系数向量  $B$  (长度为  $N+1$ ) 和无限长度的向量  $X$  的卷积与向量  $Y$  (先前输出序列) 和向量  $A$  (反馈滤波系数) 的卷积相加。输出向量  $Y$  的元素  $y_n = B \cdot X_n + A \cdot Y_{n-1}$ ，其中  $X_n = [x_{n-N}, \dots, x_n]$ ， $Y_{n-1} = [y_{n-M}, \dots, y_{n-1}]$ 。

IIR 滤波器结构如图 30-8 所示。

图 30-8 IIR 滤波器结构图



IIR 滤波器的输入: X1 缓冲区包含向量 X 的元素, 是一个长度为  $N + 1 + d$  的循环缓冲区。 X2 缓冲区包含系数向量 B 和 A 连接的元素 ( $b_0$ 、 $b_1$ 、 $b_2$ .....、 $b_N$ 、 $a_M$ 、.....、 $a_2$ 、 $a_1$ )。这是一个长度为  $M+N+1$  的非循环缓冲区。

IIR 滤波器的输出: Y 缓冲区包含输出值  $y_n$ 。它是一个长度为  $M+d$  的循环缓冲区。

IIR 滤波器的参数: 参数 P 为系数向量 B 的长度  $N + 1$ , 范围为[2:64]。参数 Q 为系数向量 A 的长度 M, 范围为[1:63]。参数 R 是应用于累加器输出的增益, 累加器的值乘以  $2^R$  输出到 Y 缓冲区, 其中 R 的取值范围为[0:7]。

当 FMAC\_PARAMCFG.START 位被软件复位时, 功能结束。

### 30.3.7 定点数据格式

FMAC 以有符号定点格式运行, 输入和输出值均为 q1.15。在 q1.15 格式中, 数字由一个符号位和 15 个小数位 (二进制小数位) 组成, 其数值范围从 -1 (0x8000) 到  $1 - 2^{-15}$  (0x7FFF)。累加器有 26 位, 其中 22 位为小数位, 4 位为整数/符号位 (q4.22), 支持累加结果的范围为 -8 (0x2000000) 到 +7.99999976 (0x1FFFFFF)。

在累加器的输出端可以使用 0dB 至 42dB 的可编程增益, 步长为 6dB。请注意。如果超过数值范围, 其数值大于 +7.99999976 或小于 -8, 累加器内容绕回, 所触发的绕回是无害的, 因为随后的累加操作会取消绕回。若发生了绕回, FMAC\_STS.SATF 位会被置位, 如果 FMAC\_CTRL.SATINTEN 位被置位, 则会产生中断。这有助于调试滤波器。

通过设 FMAC\_CTRL.LIMITEN 位, 应用可编程增益后, 可以使累加器输出的数据在可选饱和。如果 LIMITEN 设置为 1, 则任何超出 q1.15 输出数值范围的值都将被设置为  $1 - 2^{-15}$  或 -1。如果 LIMITEN 设置为 0, 应用增益后未使用的累加器位将被简单截断。

### 30.3.8 FIR 滤波器

FMAC 可以配置为长度为 N 的 FIR 滤波器, N 是抽头或滤波系数数量。长度为 N 的 FIR 滤波器所需的最小缓冲区为  $2N + 1$ , 其中 N 个采样数据、1 个输出采样和 N 个滤波系数。因为缓冲区大小是 256, 所以 N 的最大值 127。如果需要最大吞吐量, 需要为输入和输出采样缓冲区分别分配少量额外的空间 ( $d_1$  和  $d_2$ ), 以确保滤波器在等待新的输入样本或读取输出样本时不会停滞。在这种情况下, 缓冲区需求为  $2N + d_1 + d_2$ 。

FIR 滤波器缓冲区可以参考如下配置: X1BUFSIZE 等于  $N + d_1$ , X2BUFSIZE 等于 N, YBUFSIZE 等于  $d_2$ 。如果输出缓冲区不需要额外空间, YBUFSIZE 可为 1。

缓冲区的基地址可以任意分配, 但 X2 缓冲区不得与其他缓冲区重叠, 否则系数将被覆盖。配置示例如下: X2BASE 等于 N, X1BASE 等于 0, YBASE 等于  $2N + d_1$ 。如果存储空间是有限的, X1 缓冲区和 Y 缓冲区可以重叠的, 但是要保证 X1BASE 等于 0, X2BASE 等于 N, YBASE 等于 N, 此时最新的输出采样代替旧的输入采样, 因此缓冲区依然保持在同步状态。

注意: X1 缓冲区配置寄存器的 X1BUFWM 位域必须配置为小于或等于  $\log_2(d_1)$ 。否则在 N 个输入参数未被完全写入前 (比如写入  $N-2$  时候), 缓存区就会被标记为已满, 表明缓存区空间已满, 并且不会再请求更多输入采样。同样, Y 缓冲区配置寄存器的 YBUFWM 位字段必须小于或等于  $\log_2(d_2)$ , 否则输出缓存区就会

被标记为已空。

X2 缓冲区必须预先加载 FIR 滤波器系数，X1 缓冲区可选择预加载任意数量的采样数据，最多不超过 N。由 FIR 滤波器结构可知，预加载 Y 缓冲区没有意义。

FMAC 存储区读写数据有三种方式：轮询、中断和 DMA。

轮询：没有生成 DMA 请求或中断请求。写入 WDAT 前，软件需要确认 X1BUFFF 标志位为 0（表明缓冲区未空），读取 RDAT 之前，软件需要确认 YBUFEF 标志位为 0（表明缓冲区未空）。

中断：X1BUFFF 标志为低时，产生写中断请求；读取时，当 YBUFEF 标志为低时，产生读中断请求。

DMA：当 X1BUFFF 标志为低时，产生 DMA 写请求；当 YBUFEF 标志为低时，产生 DMA 读请求

读取和写入可以使用不同的方法。但不建议在同一操作中同时使用中断和 DMA 请求，如果同时启用中断和 DMA 请求，则只有 DMA 才能执行传输。

向 FMAC\_PARAMCFG 寄存器写入以下位域值，即可启动滤波器：FUNC = 8 (FIR 滤波器); P = N (滤波系数数量); Q = “任意值”; R = 增益; START = 1。

如果 X1 缓冲区中预载的值小于  $N + d1 - 2^{X1BUFWM}$ ，则 X1BUFFF 标志保持 0。此时如果 FMAC\_CTRL.WINTEN 位被设置，那么立刻产生写中断请求，要求处理器将  $2^{X1BUFWM}$  额外采样值写入缓冲器。在 FMAC\_STS.X1BUFFF 标志置位之前，中断请求一直保持请求状态。

在中断服务函数中应该写入每  $2^{X1BUFWM}$  数据之后检查 X1BUFFF 标志，直到 X1BUFFF 标志置位。

同样，如果 FMAC\_CTRL.DMAWEN 位被置 1，将会持续产生 DMA 写通道请求，直到 X1BUFFF 标志置位。

当至少有 N 个采样（包括任何预加载的采样）写入 X1 缓冲区时，滤波器才会计算第一个输出采样。

当  $2^{X1BUFWM}$  输出采样已写入 Y 缓冲区时，FMAC\_STS.YBUFEF 标志变为 0。

此时如果 FMAC\_CTRL.RINTEN 位被置位，那么立刻产生读中断请求，要求处理器从缓冲器中读取  $2^{YBUFEF}$  样本，在 FMAC\_STS.YBUFEF 标志置位之前，中断请求一直保持请求状态。

在中断服务函数中应该每读  $2^{YBUFEF}$  数据之后检查 FMAC\_STS.YBUFEF 标志，直到 FMAC\_STS.YBUFEF 标志置位。

同样，如果 FMAC\_CTRL.DMAREN 位被设置，将会持续产生 DMA 读通道请求，直到 FMAC\_STS.YBUFEF 标志置位。

滤波器继续以这种方式运行，直到软件复位 FMAC\_PARAMCFG.START 位，滤波器停止运行。

### 30.3.9 IIR 滤波器

FMAC 可以配置长度为 N+1 和 M 的 IIR 滤波器，其中 N+1 是前馈抽头或系数的数量，M 为反馈滤波系数的数量，其数值的取值范围为从 1 到 N。

IIR 滤波器所需的最小缓冲区为  $2N + 2M$ ，其中 N 个前馈滤波系数、M 个反馈滤波系数，N 个输入采样数据和 M 个输出数据采样值。因为缓冲区大小是 256，如果  $M = N - 1$ ，

IIR 滤波器长度最大为  $N = 64$ 。



如果需要最大吞吐量，需要为输入和输出采样缓冲区分别分配少量额外的空间 ( $d1$  和  $d2$ )，在这种情况下，缓冲区需求为  $2N + d1 + d2$ 。

IIR 滤波器缓冲区可以参考如下配置： $X1BUFSIZ$  等于  $N + d1$ ， $X2BUFSIZE$  等于  $N+M$ (系数个数)， $YBUFSIZE$  等于  $M + d2$ 。

缓冲区的基地址可以任意分配，但缓冲区不得重叠。配置示例如下： $X2BASE$  等于 0， $X1BASE$  等于  $N+M$ ， $YBASE$  等于  $2N+M+d1$ 。

注意： $X1$  缓冲区配置寄存器的  $X1BUFWM$  位域必须配置为小于或等于  $\log_2(d1)$ 。否则在  $N$  个输入参数未被完全写入前（比如写入  $N-2$  时候），缓存区就会被标记为已满，表明缓存区空间已满，并且不会再请求更多输入采样。同样， $Y$  缓冲区配置寄存器的  $YBUFEF$  位字段必须小于或等于  $\log_2(d2)$ ，否则输出缓存区就会被标记为空。

$X2$  缓冲区必须预先加载 IIR 滤波器系数 ( $N$  个前馈，然后是  $M$  个反馈)， $X1$  缓冲区可选择预加载任意数量的采样数据，最多不超过  $N$ 。 $Y$  缓冲区可选择预加载任意数量的值，最大值不超过  $M$ 。

向  $FMAC\_PARAMCFG$  寄存器写入以下位域值，即可启动 IIR 滤波器： $FUNC = 9$  (IIR 滤波器)； $P = N$  (前馈滤波系数数量)； $Q = M$  (反馈滤波系数数量)； $R = \text{增益}$ ； $START = 1$ 。

如果  $X1$  缓冲区中预载的值小于  $N + d1 - 2^{X1BUFWM}$ ，则  $X1BUFFF$  标志保持 0。此时如果  $FMAC\_CTRL.WINTEN$  位被设置，那么立刻产生写中断请求，要求处理器将  $2^{X1BUFWM}$  额外采样值写入缓冲器。在  $FMAC\_STS.X1BUFFF$  标志置位之前，中断请求一直保持请求状态。

在中断服务函数中应该写入每  $2^{X1BUFWM}$  数据之后检查  $X1BUFFF$  标志，直到  $X1BUFFF$  标志置位。

同样，如果  $FMAC\_CTRL.DMAWEN$  位被设置，将会持续产生 DMA 写通道请求，直到  $X1BUFFF$  标志置位。

当至少有  $N$  个采样（包括任何预加载的采样）写入  $X1$  缓冲区时，滤波器才会计算第一个输出采样。第一个输出值的计算使用  $X1$  缓冲区前  $N$  个样本和  $Y$  缓冲区中的前  $M$  个样本（无论是否预加载）来计算第一个输出样本。第一个输出采样被写入  $YBASE + M$  处的  $Y$  缓冲区。

当  $2^{YBUFWM}$  输出采样已写入  $Y$  缓冲区时， $FMAC\_STS.YBUFEF$  标志变为 0。

此时如果  $FMAC\_CTRL.RINTEN$  位被置位，那么立刻产生写中断请求，要求处理器从缓冲器中读取  $2^{YBUFWM}$  样本，在  $FMAC\_STS.YBUFEF$  标志置位之前，中断请求一直保持请求状态。

在中断服务函数中应该每读  $2^{YBUFWM}$  数据之后检查  $FMAC\_STS.YBUFEF$  标志，直到  $YBUFEF$  标志置位。

同样，如果  $FMAC\_CTRL.DMAREN$  位被设置，将会持续产生 DMA 读通道请求，直到  $YBUFEF$  标志置位。

滤波器继续以这种方式运行，直到软件复位  $FMAC\_PARAMCFG.START$  位，滤波器停止运行。

## 30.4 FMAC 寄存器

### 30.4.1 FMAC 寄存器总览

表 30-1 FMAC 寄存器总览

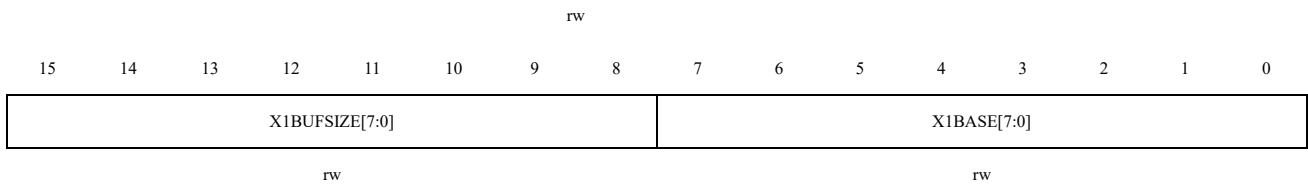
Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
000h	FMAC_X1BUFCFG	Reserved						X1BUFWM [1:0]		Reserved								X1BUFSIZE[7:0]							X1BASE[7:0]														
	Reset Value							0 0										0 0 0 0 0 0 0 0 0 0							0 0 0 0 0 0 0 0 0 0														
004h	FMAC_X2BUFCFG	Reserved															X2BUFSIZE[7:0]							X2BASE[7:0]															
	Reset Value																0 0 0 0 0 0 0 0 0 0							0 0 0 0 0 0 0 0 0 0															
008h	FMAC_YBUFCFG	Reserved						YBUFWM [1:0]		Reserved								YBUFSIZE[7:0]							YBASE[7:0]														
	Reset Value							0 0										0 0 0 0 0 0 0 0 0 0							0 0 0 0 0 0 0 0 0 0														
00Ch	FMAC_PARAMCFG	START	FUNC[6:0]						R[7:0]								Q7:0]							P[7:0]															
	Reset Value	0	0 0 0 0 0 0 0 0 0 0						0 0 0 0 0 0 0 0 0 0								0 0 0 0 0 0 0 0 0 0							0 0 0 0 0 0 0 0 0 0															
010h	FMAC_CTRL	Reserved															RESET	LIMITEN	Reserved							DMAWEN	DMAREN	Reserved							SATINTEN	UNINTEN	OVINTEN	WINTEN	RINTEN
	Reset Value																0	0								0	0								0	0	0	0	0
014h	FMAC_STS	Reserved															SATF	UNF	OVF	Reserved												X1BUFFF	YBUFEF						
	Reset Value																0	0	0													0	0						
018h	FMAC_WDAT	Reserved															WDAT[15:0]																						
	Reset Value																0 0																						
01Ch	FMAC_RDAT	Reserved															RDAT[15:0]																						
	Reset Value																0 0																						

### 30.4.2 FMAC X1 缓冲区配置寄存器 (FMAC\_X1BUFCFG)

地址偏移: 0x00

复位值: 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved						X1BUFWM [1:0]		Reserved							

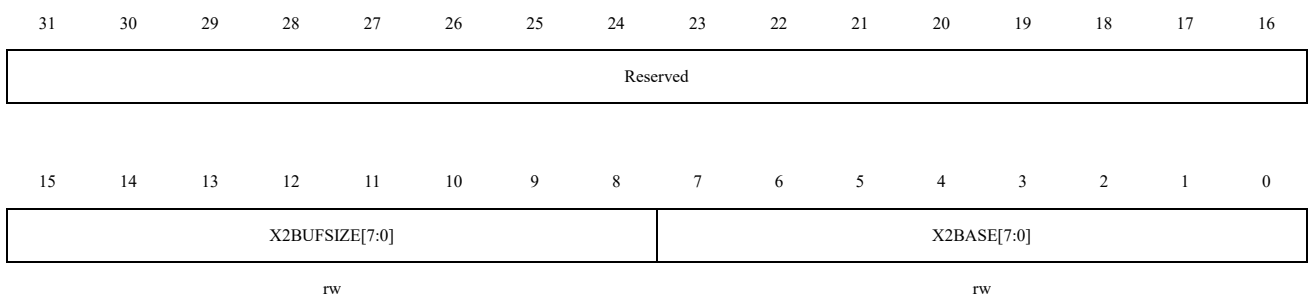


位域	名称	描述
31:26	Reserved	保留，必须保持复位值
25:24	X1BUFWM [1:0]	缓冲区水印区大小 定义在循环模式下设置 X1 缓冲区满标志的阈值。如果缓冲区中的空闲空间数小于 $2^{X1BUFWM}$ ，则会设置相对应的标志位。 00: 阈值为 1 01: 阈值为 2 10: 阈值为 4 11: 阈值为 8 设置大于 1 的阈值可在一次中断中将多个数据传输到缓冲区。 如果启用了 DMA 写入请求 (FMAC_CTRL.DMAWEN = 1)，阈值应设为 1。
23:16	Reserved	保留，必须保持复位值
15:8	X1BUFSIZE[7:0]	X1 缓冲区大小。 以 16 位字为单位的 X1 缓冲区大小，最小缓冲区大小为滤波器中的前馈滤波系数数 (+水印阈值 - 1)。
7:0	X1BASE[7:0]	X1 缓冲区基地址

### 30.4.3 FMAC X2 缓冲区配置寄存器 (FMAC\_X2BUFCFG)

地址偏移: 0x04

复位值: 0x0000



位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:8	X2BUFSIZE[7:0]	以 16 位字为单位的 X2 缓冲区大小 当函数正在执行时 (START = 1)，该位字段不可修改。
7:0	X2BASE[7:0]	X2 缓冲区基地址 在 START=1 时，可以修改 X2 缓冲区基地址，例如更改系数值时候。

位域	名称	描述
		由于在计算过程中更改系数会影响计算结果，因此在执行此操作时，滤波器应处于停止状态。

### 30.4.4 FMAC Y 缓冲区配置寄存器 (FMAC\_YBUFCFG)

地址偏移: 0x08

复位值: 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved						YBUFWM [1:0]		Reserved							
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
YBUFSIZE[7:0]								YBASE[7:0]							
rw								rw							

位域	名称	描述
31:26	Reserved	保留，必须保持复位值
25:24	YBUFWM [1:0]	输出区水印区大小 定义在循环模式下运行时设置 Y 缓冲区空标志的阈值。 如果缓冲区中未读取的数值小于 2 <sup>YBUFWM</sup> ，则设置相对应的标志。 00: 阈值为 1 01: 阈值为 2 10: 阈值为 4 11: 阈值为 8 设置大于 1 的阈值可在一次中断中读取多个数据。 如果 DMA 读数据指令被使能，阈值应设置为 1。
23:16	Reserved	保留，必须保持复位值
15:8	YBUFSIZE[7:0]	Y 缓冲区大小
7:0	YBASE[7:0]	Y 缓冲区基地址

### 30.4.5 FMAC 参数配置寄存器 (FMAC\_PARAMCFG)

地址偏移: 0xC

复位值: 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
START	FUNC[6:0]						R[7:0]								
rw	rw						rw								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Q[7:0]	P[7:0]
rw	rw

位域	名称	描述
31	START	启用执行 0:停止执行 1:开始执行 设置该位将触发执行在 FUNC 位字段中选择的功能 通过软件复位该位可停止任何正在执行的功能。对于初始化功能，该位由硬件复位。
30:24	FUNC[6:0]	功能 0: 保留 1: 加载 X1 缓冲区 2: 加载 X2 缓冲区 3: 加载 Y 缓冲区 4 至 7: 保留 8: FIR 滤波器 9: IIR 滤波器（直接形式 1） 10 至 127: 保留 当函数正在执行（START = 1）时，该位字段不可修改
23:16	R[7:0]	输入参数 R 该参数的值取决于函数。 当函数正在执行（START = 1）时，不能修改该位字段。
15:8	Q[7:0]	输入参数 Q 该参数的值取决于函数。 当函数正在执行（START = 1）时，不能修改该位字段。
7:0	P[7:0]	输入参数 P 该参数的值取决于函数。 当函数正在执行（START = 1）时，不能修改该位字段。

### 30.4.6 FMAC 控制寄存器（FMAC\_CTRL）

地址偏移：0x10

复位值：0x0000

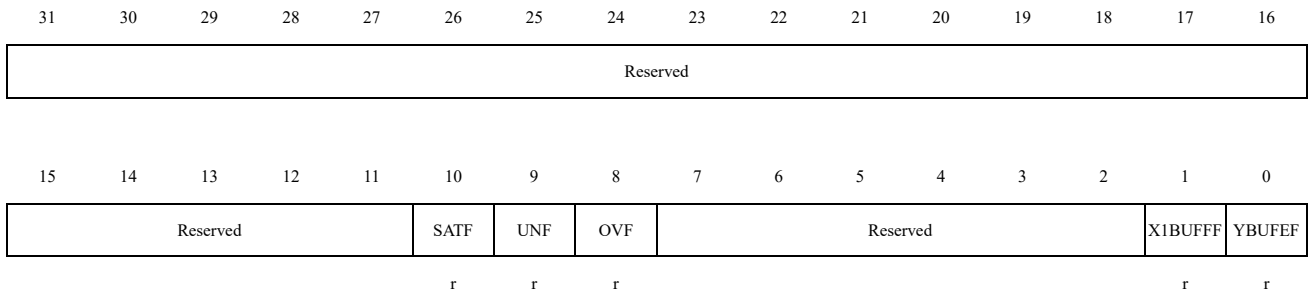
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved														RESET	
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LIMITEN	Reserved					DMAWEN	DMAREN	Reserved			SATINT EN	UNINTEN	OVINTEN	WINTEN	RINTEN
rw						rw	rw				rw	rw	rw	rw	rw

位域	名称	描述
31:17	Reserved	保留，必须保持复位值
16	RESET	复位 FMAC 这将重置写入和读取指针、内部控制逻辑、FMAC_STS 寄存器和 FMAC_PARAMCFG 寄存器（如果激活），包括 START 位。其他寄存器设置不受影响。该位由硬件复位。 0：不使能复位 1：使能复位
15	LIMITEN	限幅使能 0：限幅不使能，累加器超出范围的值被截断。 1：限幅使能，累加器超出范围的值被限幅到最大正值或最小负值（+1 或-1）
14:10	Reserved	保留，必须保持复位值
9	DMAWEN	启用 DMA 写通道请求 0：禁用。不产生 DMA 请求 1：启用。当 X1 缓冲器未滿时，将产生 DMA 写请求。 只有当 FMAC_PARAM 寄存器中的 START=0 时，才能修改该位。
8	DMAREN	启用 DMA 读通道请求 0：禁用。不产生 DMA 请求 1：启用。当 Y 缓冲器未滿时，将产生 DMA 读请求。 只有当 FMAC_PARAM 寄存器中的 START=0 时，才能修改该位。
7:5	Reserved	保留，必须保持复位值
4	SATINTEN	饱和错误中断使能 0：禁用。检测到饱和时不会产生中断。 1：启用。如果 SAT 标志置位，则会产生中断请求。 该位由软件设置和清除。读取时会返回该位的当前状态。
3	UNINTEN	下溢错误中断使能 0：禁用。检测到下溢时不产生中断。 1：启用。如果 UNFL 标志置位，则会产生中断请求。 该位由软件设置和清除。读取时会返回该位的当前状态
2	OVINTEN	溢出错误中断使能 0：禁用。检测到溢出时不产生中断。 1：启用。如果 OVFL 标志置位，则会产生中断请求。 该位由软件设置和清除。读取时会返回该位的当前状态
1	WINTEN	写入中断使能 0：禁用。不产生写入中断请求。 1：启用。当 X1 缓冲器 FULL 标志未置位时，将产生中断请求。 该位由软件设置和清除。读取时会返回该位的当前状态。
0	RINTEN	读取中断使能 0：禁用。不产生读取中断请求。 1：启用。当 Y 缓冲器 EMPTY 标志未置位，将产生中断请求。 该位由软件设置和清除。读取时会返回该位的当前状态。

### 30.4.7 FMAC 状态寄存器 (FMAC\_STS)

地址偏移: 0x14

复位值: 0x0000



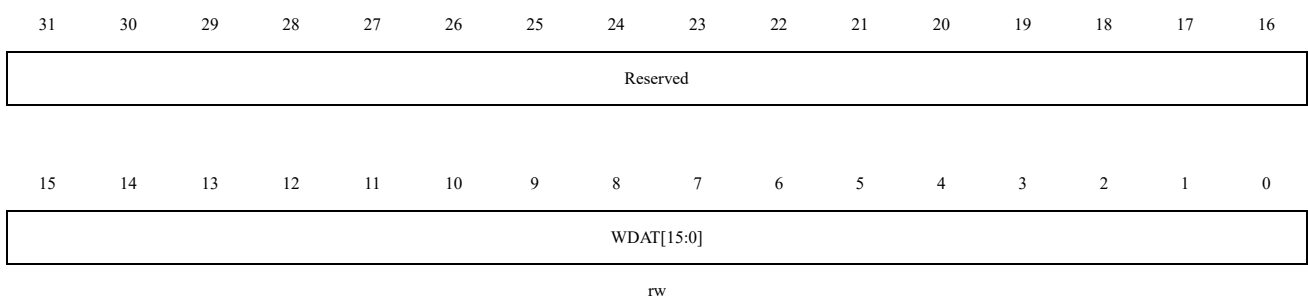
位域	名称	描述
31:11	Reserved	保留, 必须保持复位值
10	SATF	饱和错误标志 当累加结果超过累加器的数值范围时, 就会出现饱和。 0: 未检测到饱和 1: 检测到饱和。如果 SATINTEN 位被置位, 则会产生中断。 重置设备后, 该标志将被清除。
9	UNF	下溢错误标志 从 FMAC_RDAT 读取数据时, 如果 Y 缓冲区中没有有效数据, 就会发生下溢错误。 0: 未检测到下溢 1: 检测到下溢。如果 UNINTEN 位被置位, 则会产生中断。 重置设备后, 该标志将被清除。
8	OVF	溢出错误标志 当写入 FMAC_WDAT 时, X1 缓冲区中没有可用空间, 此时会发生溢出。 0: 未检测到溢出 1: 检测到溢出。如果 OVINTEN 位被置位, 则会产生中断。 重置设备后, 该标志将被清除。
7:2	Reserved	保留, 必须保持复位值
1	X1BUFFF	X1 缓冲区满标志 如果可用空间数小于 X1BUFWM 阈值时, 缓冲区将被标记为满。可用空间数是写入指针与当前使用的最新样本之间的差值。 0: X1 缓冲器未满。如果 WINTEN 位被设置, 产生中断请求, 直到标志被置位。如果设置了 DMAWEN, 则会产生 DMA 写入通道请求, 直到该标志被置位。 1: X1 缓冲器已满。 该标志由硬件或复位设置和清除。 注意: 在 X1 缓冲区的最后一个可用空间被填满后, 会有 3 个时钟周期的延迟, 然后 X1BUFFF 标志才会被清除。为避免任何溢出风险, 建议在读取 FMAC_STS 之前写入 X1 缓冲区后, 插入一个软件延迟。 另外, 也可以使用 X1BUFWM=2 配置阈值。

位域	名称	描述
0	YBUFEF	<p>Y 缓冲区空标志</p> <p>如果未读数据数小于 YBUFWM 阈值时，缓冲区将被标记为空。未读数据数是读取指针与当前输出目标地址之差。</p> <p>0：Y 缓冲器不为空。如果 RINTEN 位被设置，产生中断请求，直到标志被置位。如果 DMAREN 位被设置，则会产生 DMA 读取通道请求，直至该标志被置位。</p> <p>1：Y 缓冲区为空。</p> <p>该标志由硬件或复位设置和清除。</p> <p>注意：从 Y 缓冲区读取最后一个采样后，在 YBUFEF 标志置位之前会有 3 个时钟周期的延迟。</p> <p>为避免出现任何下溢风险，建议在从 Y 缓冲区读取数据后插入一个软件延迟，再读取 FMAC_STS。</p> <p>另外，也可以使用 YBUFWM=2 配置阈值。</p>

### 30.4.8 FMAC 写数据寄存器 (FMAC\_WDAT)

地址偏移：0x18

复位值：0x0000

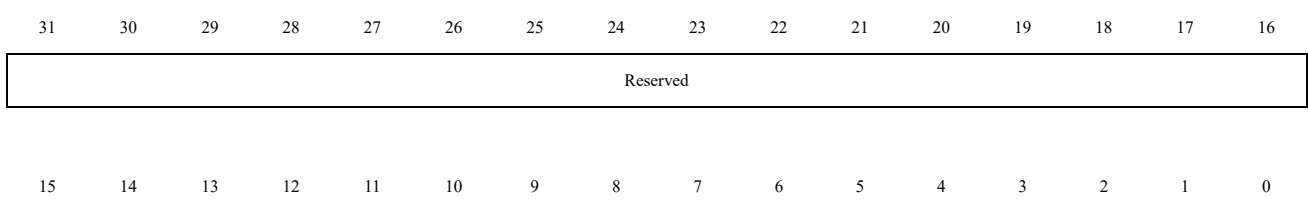


位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	WDAT[15:0]	<p>写入数据</p> <p>当对该寄存器进行写入访问时，写入数据将被传输到写入指针所指示的地址偏移量。每次写入后，指针地址都会自动递增。</p>

### 30.4.9 FMAC 读数据寄存器 (FMAC\_RDAT)

地址偏移：0x1C

复位值：0x0000





RDAT[15:0]

rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	RDAT[15:0]	读取数据 当对该寄存器进行读取访问时，读取的数据是 Y 输出缓冲器中的内容。 每次读取后，指针地址都会自动递增。

## 31 CORDIC 处理器（CORDIC）

### 31.1 简介

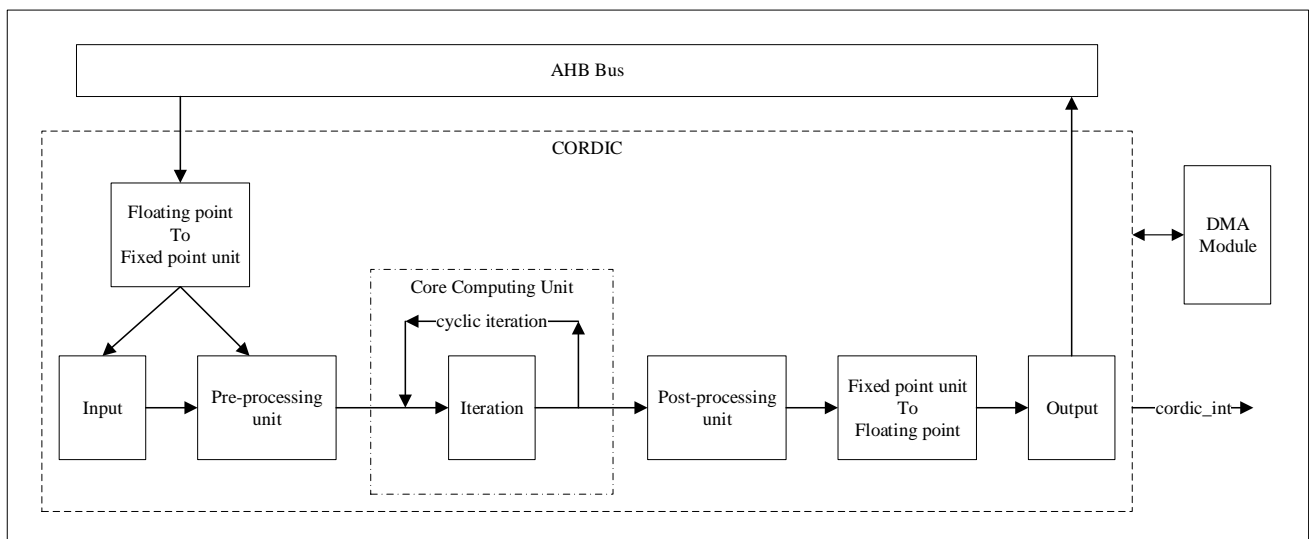
CORDIC 硬件计算单元可对数学函数（主要是三角函数）进行硬件加速。常用于电机控制、计量、信号处理和许多其他应用中常用的数学函数运算。

### 31.2 主要特性

- 支持旋转和向量计算模式。
- 支持圆坐标系和双曲线坐标系系统。
- 一旦计算开始，任何读取结果寄存器的操作都会插入总线等待状态，直到计算完成，因此计算结果可以在完成的时候被读走，不需要通过查询或者中断。
- 计算 10 种函数：sin, cosine, sinh, cosh, atan, atan2, atanh, modulus, square root, natural logarithm。
- 支持定点和浮点输入输出方式。
- 支持中断、查询以及 DMA 请求读写模式。
- 迭代精度可编程。

### 31.3 功能框图

图 31-1 CORDIC 框图



CORDIC 硬件计算单元结构框图如上，其主要核心计算单元、数据预处理单元、数据后处理单元浮点转定点单元以及定点转浮点单元。

**浮点转定点单元：**浮点转定点单元将浮点数据或半浮点数据转换为对应的 q1.31 或 q1.15 格式存放到 CORDIC\_WDAT 寄存器中。其由 CORDIC\_CTRLSTS 寄存器的 FLOATIN 位来配置。默认为定点输入，若配置 FLOATIN 位等于 1，则为浮点输入。

**数据前处理单元：**其将 CORDIC\_WDAT 寄存器中的数据预处理，然后送到 CORDIC 的核心计算单元。

核心计算单元：将输入处理后的数据进行迭代计算得到计算值，运算精度由迭代次数决定，并可配置。支持圆周系统和双曲线系统，每种系统支持旋转模式和向量模式。

数据后处理单元：将 CORDIC 的核心计算单元的计算值进行处理，得到 q1.31 或 q1.15 格式的数据。

定点转浮点单元：将 q1.31 或 q1.15 格式转换为相对应的单精度浮点数据或半精度浮点数据。

## 31.4 功能描述

### 31.4.1 CORDIC 函数

Cordic 支持的函数功能如下表所示。

表 31-1 CORDIC 函数总览

函数	主参数	次参数	主结果	次结果
Cosine	Angle $\theta$	Modulus m	$m * \cos \theta$	$m * \sin \theta$
Sine	Angle $\theta$	Modulus m	$m * \sin \theta$	$m * \cos \theta$
Phase	x	y	$\text{atan2}(y,x)$	$\sqrt{x^2 + y^2}$
Modulus	x	y	$\sqrt{x^2 + y^2}$	$\text{atan2}(y,x)$
Arctangent	x	none	$\tan^{-1}x$	none
Hyperbolic cosine	x	none	$\cosh x$	$\sinh x$
Hyperbolic sine	x	none	$\sinh x$	$\cosh x$
Hyperbolic actangent	x	none	$\tanh^{-1}x$	none
Natural logarithm	x	none	$\ln x$	none
Square root	x	none	$\sqrt{x}$	none

通过以上 10 中函数可以间接获得更多的其它函数。比如， $e^x = \sinh(x) + \cosh(x)$ 。

#### Cosine 函数

表 31-2 Cosine 参数

参数	范围	描述
第一个输入参数( $\theta$ )	$[-1, 1)$	其为角度值 $\theta$ ，单位为弧度 (rad)，范围 $\theta \in [-\pi, \pi)$ 。使用时首先将目标角度 $\theta$ 除以 $\pi$ ，转换为 $[-1, 1)$ 范围内，再按照有符号定点 (q1.31 和 q1.15 格式) 或浮点数据 (单精度和半精度) 写入 CORDIC_WDATA 寄存器。
第二个输入参数 (m)	$[0, 1]$	其表示函数的模长，当 $m \geq 1$ 时，软件缩小 m 到 $[0, 1]$ 范围内，按照有符号定点 (q1.31 和 q1.15 格式) 或浮点数据 (单精度和半精度) 写入 CORDIC_WDATA 寄存器。
第一个输出结果 $m * \cos(\theta)$	$[-1, 1)$	如果之前软件缩小过 m，需要对该输出数据进行相应比例的放大，以获得真实结果。
第二个输出结果 $m * \sin(\theta)$	$[-1, 1)$	如果之前软件缩小过 m，需要对该输出数据进行相应比例的放大，以获得真实结果。
缩放因子		不可用 (保持复位值 3'b0)

SCALE[10:8]		
-------------	--	--

注意：

1. 当模长  $m > 1$  时，软件缩小比可自行选择。

### Sine 函数

表 31-3 Sine 参数

参数	范围	描述
第一个输入参数( $\theta$ )	$[-1, 1]$	其为角度值 $\theta$ ，单位为弧度 (rad)，范围 $\theta \in [-\pi, \pi]$ 。使用时首先将目标角度 $\theta$ 除以 $\pi$ ，转换为 $[-1, 1]$ 范围内，再按照有符号定点 (q1.31 和 q1.15 格式) 或浮点数据 (单精度和半精度) 写入 CORDIC_WDATA 寄存器。
第二个输入参数 (m)	$[0, 1]$	其表示函数的模长，当 $m \geq 1$ 时，软件缩小 $m$ 到 $[0, 1]$ 范围内，按照有符号定点 (q1.31 和 q1.15 格式) 或浮点数据 (单精度和半精度) 写入 CORDIC_WDATA 寄存器。
第一个输出结果 $m * \sin(\theta)$	$[-1, 1]$	如果之前软件缩小过 $m$ ，需要对该输出数据进行相应比例的放大，以获得真实结果。
第二个输出结果 $m * \cos(\theta)$	$[-1, 1]$	如果之前软件缩小过 $m$ ，需要对该输出数据进行相应比例的放大，以获得真实结果。
缩放因子 SCALE[10:8]	不可用	(保持复位值 3'b0)

注意：

1. 当模长  $m > 1$  时，缩放比例是自行选择的。

### Phase(atan2(y, x))函数

表 31-4 Phase 参数

参数	范围	描述
第一个输入参数 (x)	$[-1, 1]$	x 为笛卡尔坐标系中横坐标值。如果 $x \geq 1$ 或者 $x < -1$ ，则需要进行软件缩放至 q1.31 范围。
第二个输入参数 (y)	$[-1, 1]$	y 其为笛卡尔坐标系中纵坐标值。如果 $y \geq 1$ 或者 $y < -1$ ，则需要进行软件缩放至 q1.31 范围。
第一个输出结果 ( $\theta$ )	$[-1, 1]$	坐标位置 (x, y) 对应的角度， $[-1, 1]$ 对应 $[-\pi, \pi]$ 。该输出数据乘以 $\pi$ 得到真实角度值。注意，由于相位角的特性，接近 $\pi$ 的值有时可能算成 $-\pi$ 。
第二个输出结果 m	$[0, 1]$	$m = \sqrt{x^2 + y^2}$ 。如果之前对 x 和 y 进行了缩放，该模长需要进行等比例放大。
缩放因子 SCALE[10:8]	不可用	(保持复位值 3'b0)

注意：

1. x 和 y 只要有一个超出范围  $[-1, 1]$ ，需要同时对 x 和 y 进行同比例缩放，不能只缩放一个。这样可以保证缩放前后坐标对应的角度不变。
2.  $\sqrt{x^2 + y^2} \geq 1$  当时，模长 m 都只能饱和到定点格式的最大值 ( $1-2^{-15}$  或者  $1-2^{-31}$ )。对 x 和 y 进行同比例

缩放前，要考虑缩放因子的大小，避免出现模长饱和的情况。

### Modulus( $\sqrt{x^2 + y^2}$ )函数

表 31-5 Modulus 参数

参数	范围	描述
第一个输入参数 (x)	[-1, 1)	x 为笛卡尔坐标系中横坐标值。如果所求 x 不在范围，则需要缩放至[-1, 1)范围。
第二个输入参数 (y)	[-1, 1)	y 为笛卡尔坐标系中横坐标值。如果所求 y 在范围，则需要缩放至[-1, 1)范围。
第一个输出结果模长 m	[0, 1)	$m = \sqrt{x^2 + y^2}$ 。输入数据若 x, y 有缩放则要进行等比例放大。
第二个输出结果角度 ( $\theta$ )	[-1, 1)	坐标位置 (x, y) 对应的角度，[-1, 1)对应[- $\pi$ , $\pi$ )。该输出数据乘以 $\pi$ 得到真实角度值。注意，由于相位角的特性，接近 $\pi$ 的值有时可能算成 $-\pi$ 。
缩放因子 SCALE[10:8]	不可用	(保持复位值 3'b0)

注意：

1. x 和 y 只要有一个超出范围[-1,1)，需要同时对 x 和 y 进行同比例缩放，不能只缩放一个。这样可以保证缩放前后坐标对应的角度不变。
2. 当 $\sqrt{x^2 + y^2} \geq 1$ 时，模长 m 都只能饱和到定点格式的最大值（ $1-2^{-15}$  或者  $1-2^{-31}$ ）。对 x 和 y 进行同比例缩放前，要考虑缩放因子的大小，避免出现模长饱和的情况。

### Arctangent( $\tan^{-1}(x)$ )函数

该模式用来计算  $\tan^{-1}(x)$ 函数。有一个输入和一个输出

表 31-6 Arctangent 参数

参数	范围	描述
输入参数 (x)	[-1, 1)	如果 $ x  > 1$ ，则软件必须以 $2^{-n}$ 的缩放因子对其缩小，使 x 在[-1, 1)范围中。缩小因子 n 写在 SCALE[10:8]位域中。
输出参数 ( $\theta$ )	[-1, 1)	[-1, 1)对应[- $\pi$ , $\pi$ )，所以输出结果乘以 $\pi$ 和 $2^n$ 之后才是真实角度值。
缩放因子 SCALE[10:8]	[0, 7]	SCALE[10:8]位域配置

### Hyperbolic cosine (cosh (x))函数

该模式用来计算 cosh (x)函数。有一个输入和两个输出

表 31-7 Hyperbolic cosine 参数

参数	范围	描述
输入参数 (x)	[-0.559, 0.559]	仅支持[-1.118, +1.118]范围内的 x 值。软件将 x 除以 $2^{-n}$ 的缩放因子对其缩小。n = 1 只能为 1，并写进 SCALE[10:8]位域中。
第一个输出结果 cosh (x) / 2	[-0.5, 0.846]	双曲余弦值 cosh x。第一个输出结果必须乘以 2 才能获得正确的结果。
第二个输出结果 sinh	[-0.683, 0.683]	双曲正弦值 sinh x。第二个输出结果同样乘以 2 才能获得正确的结果。

参数	范围	描述
$(x)/2$		
缩放因子 SCALE[10:8]	1	只能配置为 3'b001。

### Hyperbolic sine (sinh(x))函数

该模式用来计算  $\sinh(x)$  函数。有一个输入和两个输出

表 31-8 Hyperbolic sine 参数

参数	范围	描述
输入参数 (x)	[-0.559, 0.559]	仅支持[-1.118, +1.118]范围内的 x 值。软件将 x 除以 $2^{-n}$ 的缩放因子对其缩小。n = 1 只能为 1，并写进 SCALE[10:8]位阈中。
第一个输出结果 $\sinh(x)/2$	[-0.683, 0.683]	双曲余弦值 $\sinh x$ 。第一个输出结果必须乘以 2 才能获得正确的结果。
第二个输出结果 $\cosh(x)/2$	[-0.5, 0.846]	双曲余弦值 $\cosh x$ 。第二个输出结果必须乘以 2 才能获得正确的结果。
缩放因子 SCALE[10:8]	1	只能配置为 3'b001。

### Hyperbolic arctangent ( $\tanh^{-1}(x)$ )函数

该模式用来计算  $\tanh^{-1}(x)$  函数。有一个输入和一个输出

表 31-9 Hyperbolic arctangent 参数

参数	范围	描述
输入参数 (x)	[-0.403, 0.403]	仅支持[-0.806, 0.806]范围内的 x 值。软件将 x 除以 $2^{-n}$ 的缩放因子对其缩小。n = 1 只能为 1，并写进 SCALE[10:8]位阈中。
第一个输出结果 $\tanh^{-1}(x)/2$	[-0.559, 0.559]	输出数据乘以 2 得到反双曲正切 $\tanh^{-1}(x)$ 。
缩放因子 SCALE[10:8]	1	只能配置为 3'b001。

### Natural logarithm (ln(x))函数

该模式用来计算  $\ln(x)$  函数。有一个输入和一个输出

表 31-10 Natural logarithm 参数

参数	范围	描述
输入参数 $(\frac{x}{2^n})$	[0.054, 0.875]	$x \in [0.107, 9.35]$ ，不在范围需要软件将 x 除以 $2^{-n}$ 的缩放因子对其缩小到 [0.054, 0.875]。并将 n 写进 SCALE[10:8]位阈中。
第一个输出结果 $\frac{\ln(x)}{2^{n+1}}$	[-0.279, 0.137]	输出数据乘以 $2^{(n+1)}$ 得到自然对数 $\ln(x)$ 。
缩放因子	[1, 4]	SCALE[10:8]配置为 n。

参数	范围	描述
SCALE[10:8]		

为保证计算精度，对于不同输入推荐使用下表中中的缩放因子：

n	x 范围	输入参数范围
1	$0.107 \leq x < 1$	$0.0535 \leq \frac{x}{2^n} < 0.5$
2	$1 \leq x < 3$	$0.25 \leq \frac{x}{2^n} < 0.75$
3	$3 \leq x < 7$	$0.375 \leq \frac{x}{2^n} < 0.875$
4	$7 \leq x \leq 9.35$	$0.4375 \leq \frac{x}{2^n} < 0.584$

### Square root ( $\sqrt{x}$ )函数

此函数计算输入参数 x 的平方根，有一个输入和一个输出。

表 31-11 Square root 参数

参数	范围	描述
输入参数 ( $\frac{x}{2}$ )	[0.027, 0.875]	$x \in [0.027, 2.34]$ ，不在范围需要软件将 x 除以 $2^{-n}$ 的缩放因子对其缩小到[0.054, 0.875]。并将 n 写进 SCALE[10:8]位阈中。
第一个输出结果 $\frac{\ln(x)}{2^{n+1}}$	[0.04, 1]	输出数据乘以 $2^n$ 得到 $\sqrt{x}$ 。
缩放因子 SCALE[10:8]	[0, 2]	SCALE[10:8]配置为 n

为保证计算精度，对于不同输入推荐使用下表中中的缩放因子。

n	x 范围	输入参数范围
0	$0.027 \leq x < 0.75$	$0.027 \leq \left(\frac{x}{2}\right) < 0.75$
1	$0.75 \leq x < 1.75$	$0.375 \leq \left(\frac{x}{2}\right) < 0.875$
2	$1.75 \leq x \leq 2.341$	$0.4375 \leq \left(\frac{x}{2}\right) \leq 0.585$

### 31.4.2 数据格式

CORDIC 模块的输入数据和输出数据支持有符号整型定点格式 (q1.31 和 q1.15) 和浮点数据 (单精度和半精度)。浮点数据需要根据 IEEE 754 中规定进行转换，然后写到数据寄存器中。

CORDIC\_CTRLSTS 寄存器的 FLOATIN 位配置数据输入格式，默认定点格式输入。配置 FLOATIN 位等于

1，则为浮点输入。

CORDIC\_CTRLSTS 寄存器的 FLOATOUT 位配置数据输出格式，默认定点格式输出。配置 FLOATOUT 位等于 1，则为浮点输出。

CORDIC\_CTRLSTS 寄存器的 INSIZE 位用来配置输入数据的宽度，默认为 32 位宽。

如果配置为 32-bit，则输入数据应该为 q1.31 定点格式或者单精度浮点，也即是 CORDIC\_WDAT 寄存器写入的输入数据为 q1.31 定点格式 (FLOATIN = 0) 或者单精度浮点 (FLOATIN = 1) 格式。

如果配置为 16-bit，则输入数据应该为 q1.15 定点格式或者半精度浮点，也即是 CORDIC\_WDAT 寄存器写入的输入数据为 q1.15 定点格式 (FLOATIN = 0) 或者半精度浮点 (FLOATIN = 1) 格式。

CORDIC\_CTRLSTS 寄存器的 NUMWRITE 位用来配置输入数据的个数，默认为输入一个数据参数 (NUMWRITE = 0)。

如果配置 NUMWRITE = 0，若配置数据输入宽度为 32-bit (INSIZE = 0)，则可以输入一个 q1.31 定点格式或者单精度浮点数据；若配置数据输入宽度为 16-bit (INSIZE = 1)，则可以输入二个 q1.15 定点格式或者半精度浮点数据，其中第一个参数放在低 16 位，第二个参数放在高 16 位。

如果配置 NUMWRITE = 1，则只能输入两个 q1.31 定点格式或者单精度浮点数据。

输出数据格式同上。

### 31.4.3 比例因子

前面列出的几个函数指定了一个比例因子 SCALE。这让扩展函数输入范围涵盖 CORDIC 支持的所有值范围，而不会使输入、输出或内部寄存器饱和。如果需要比例因子，则必须在软件中计算并编程到 CORDIC\_CTRLSTS 寄存器的 SCALE 字段中。在对 CORDIC\_WDAT 寄存器中的值缩小并对比例因子 SCALE 进行编程时，输入参数也必须相应地缩小。最后还必须对 CORDIC\_RDAT 寄存器读取的结果撤消缩小，即乘以  $2^n$  获得正确的值。

注意：缩放因子会因缩放值的截断而导致精度损失。

### 31.4.4 精度

CORDIC 每个时钟周期可进行四次迭代。表 31-12 列出了每个函数每迭代四次后的最大误差，以及达到该精度所需的时钟周期数。根据该表，可以确定所需的周期数，并在 CORDIC\_CTRLSTS 寄存器的精度字段中进行编程。一旦完成编程的循环次数，CORDIC 处理器立即停止，并可立即读取结果。

表 31-12 CORDIC 精度

迭代周期	最大剩余误差 ( $2^{-n}$ )			
	正常	16 位定点输出	16 位浮点输出	16 位浮点输入
COS, SIN				
1	3	3	2	2
2	7	6	6	6
3	10	10	9	10
4	14	13	10	12



迭代周期	最大剩余误差 (2 <sup>-n</sup> )			
	正常	16 位定点输出	16 位浮点输出	16 位浮点输入
5	18	14	10	12
6	18	14	10	12
PHASE, MODULUS				
1	3	3	3	3
2	7	7	7	7
3	12	12	9	12
4	13	13	9	13
5	13	13	9	13
6	13	13	9	13
ARCTAN				
1	3	3	3	3
2	7	7	7	7
3	12	12	10	12
4	15	14	10	16
5	18	14	10	16
6	19	14	10	16
HB_COS, HB_SIN, HB_ARCT, LN				
1	3	3	3	3
2	7	7	7	7
3	11	11	9	11
4	14	13	10	14
5	17	14	10	14
6	18	14	10	14
SQRT				
1	7	7	7	7
2	14	13	10	14
3	18	13	10	14
4	18	13	10	14
5	18	13	10	14
6	18	13	10	14

注：其他所有情况（32 位定点输入、32 位定点输出、32 位浮点输入、32 位浮点输出、16 位定点输入）均归入正常模式。在表 31-12 中，如果符合使用模式的情况不止一种，则取最大误差。

注：在 PHASE 和 MODULUS 模式下，结果角度的精度受输入 y 和 x 比例精度的限制。x 和 y 应采用同步刻度。为确保精度达到 10<sup>-4</sup>，输入数据 x 和 y 的其中之一应大于 0.005（16 位输入时为 0.125）。表 31-12 中的

精度数据是在  $x$  和  $y$  的其中之一大于 0.005 (0.125) 的情况下计算得出的。如果需要高精度, 当  $x$  和  $y$  的其中之一接近 1 时可以达到最佳精度。当  $x$  和  $y$  的其中之一大于 0.1 时, 迭代周期数等于 5 或 6 (32 位模式), 精度可达  $10^{-5}$ 。表 31-13 列出了当  $x$  和  $y$  比例较大时 PHASE 和 MODULUS 的精度。

表 31-13 PHASE 和 MODULUS 精度补充表

迭代周期	最大剩余误差 ( $2^{-n}$ )			
	32 位输入		16 位输入	
	$\max(x,y) > 0.005$ (能达到 $10^{-4}$ 精度)	$\max(x,y) > 0.05$ (最佳精度)	$\max(x,y) > 0.125$ (能达到 $10^{-4}$ 精度)	$\max(x,y) > 0.5$ (最佳精度)
1	3	3	3	3
2	7	7	7	7
3	12	12	12	12
4	13	15	13	14
5	13	18	13	14
6	13	18	13	14

### 31.4.5 工作模式

CORDIC 的工作模式零开销模式、轮询模式、中断模式以及 DMA 模式。

#### 31.4.5.1 零开销模式

使用协处理器的最快方法是对 CORDIC\_CTRLSTS 寄存器进行预编程, 其中包括执行的功能 (FUNC)、所需的时钟周期数 (PRECISION)、输入和输出值的位数 (INSIZE、OUTSIZE), 输入参数 (NUMWRITE) 和结果 (NUMREAD) 的数量, 以及比例因子 (SCALE) (如果适用)。

随后, 通过将输入参数写入 CORDIC\_WDAT 寄存器来触发计算。一旦写入正确数量的输入参数 (并且任何正在进行的计算已完成), 就会使用这些输入参数和当前 CORDIC\_CTRLSTS 设置启动新计算。如果没有变化, 则无需重新编程 CORDIC\_CTRLSTS 寄存器。

如果需要双 32 位输入参数 (INSIZE = 0, NUMWRITE = 1), 则必须首先写入第一个输入参数, 然后写入第二个输入参数。如果第二个参数在一系列计算中保持不变, 则可以通过将参数数量重新编程为一个 (INSIZE = 0), 在第一次计算开始后避免第二次写入。

如果使用两个 16 位参数 (INSIZE = 1), 它们必须打包成一个 32 位字, 主参数在最低有效半字中, 次参数在最高有效半字中。然后将打包的 32 位字写入 CORDIC\_WDAT 寄存器。在这种情况下 (NUMWRITE = 0) 只需要一次写入。

对于仅采用一个输入参数的函数, 建议设置 NUMWRITE = 0。如果 NUMWRITE = 1, 则必须执行第二次写入 CORDIC\_WDAT 以触发计算。在这种情况下不使用第二个输入的数据。

一旦计算开始, 任何读取 CORDIC\_RDAT 寄存器的尝试都会插入总线等待状态, 直到计算完成, 然后返回结果。因此, 软件可以写入输入并立即读取结果, 而无需轮询以查看其是否有效。或者, 处理器可以在读取结果之前等待适当数量的时钟周期。如果需要, 该时间可用于为下一次计算编程 CORDIC\_CTRLSTS 寄存器并准备下一个输入数据。CORDIC\_CTRLSTS 寄存器可以在计算进行时重新编程, 而不会影响正在进行的计算的结果。以同样的方式, 一旦之前的参数开始计算, 就可以使用下一个参数更新 CORDIC\_WDAT 寄存器。下一个参数和设置保持挂起, 直到前一个计算完成。

计算完成后,可以从 CORDIC\_RDAT 寄存器读取结果。如果需要两个 32 位结果 (OUTSIZE = 1, NUMWRITE = 0), 则首先读出第一个结果, 然后读出第二个结果。如果只需要一个 32 位结果 (NUMWRITE = 0, OUTSIZE = 0), 则在第一次读取时输出第一个结果。

如果需要 16 位结果 (OUTSIZE = 1), 则对 CORDIC\_RDAT 的单个读取会将两个结果都打包到一个 32 位字中。第一个结果在下半字中, 第二个结果在上半字中。在这种情况下, 建议编程 NUMWRITE = 0。如果 NUMWRITE = 1, 则必须执行 CORDIC\_RDAT 的第二次读取, 以便为下一个操作释放 CORDIC。必须丢弃第二次读取的数据。

下一个计算在读取了预期数量的结果时开始, 前提是已写入预期数量的参数。这意味着在任何时候, 都可能有一个正在进行的计算或等待读取结果, 以及一个待处理的操作。在操作挂起时对 CORDIC\_WDAT 的任何进一步访问都会取消挂起的操作并覆盖数据。

### 31.4.5.2 轮询模式

当 CORDIC\_RDAT 寄存器中有新结果可用时, 在 CORDIC\_CTRLSTS 寄存器中置位 RRF 标志。可以通过读取寄存器来查询该标志, 读取 CORDIC\_RDAT 寄存器一次或两次 (取决于 CORDIC\_CTRLSTS 寄存器的 NUMWRITE 字段) 将复位 RRF 标志。

轮询 RRF 标志比直接读取 CORDIC\_RDAT 寄存器花费的时间稍长, 因为结果不会在可用时立即读取。然而, 程序和总线接口在读取 CORDIC\_CTRLSTS 寄存器时不会停止, 因此如果程序停止不可接受的 (例如, 必须处理低延迟中断), 这种模式可能是不错的选择。

### 31.4.5.3 中断模式

通过设置 CORDIC\_CTRLSTS 寄存器中的中断使能 (INTEN) 位, 只要置位了 RRF 标志, 就会产生中断。RRF 标志复位时中断被清除。这种模式允许在中断服务程序下读取计算结果, 因此相对于其他任务具有一个优先级。然而, 由于中断处理的延时, 它比直接读取结果或轮询标志要慢。

### 31.4.5.4 DMA 模式

如果在 CORDIC\_CTRLSTS 寄存器中设置了 DMA 写使能 (DMAWEN) 位, 并且没有操作悬置, 则会发出 DMA 写通道请求。DMA 控制器可以将第一个输入参数从内存传输到 CORDIC\_WDAT 寄存器。如果 CORDIC\_CTRLSTS 寄存器中的 NUMWRITE = 1, 则会发出第二个 DMA 写通道请求以将第二个输入参数传输到 CORDIC\_WDAT 寄存器。当所有输入参数都已写入, 并且任何正在进行的计算都已完成 (通过读取结果) 后, 新一轮计算将启动并生成另一个 DMA 写入通道请求。

如果在 CORDIC\_CTRLSTS 寄存器中设置了 DMA 读取使能 (DMAREN) 位, 则 RRF 标志有效会发出 DMA 读取通道请求。然后 DMA 控制器可以将第一个结果从 CORDIC\_RDAT 寄存器传输到存储器。如果 CORDIC\_CTRLSTS 寄存器中的 NUMWRITE = 1, 则会生成第二个 DMA 请求以读取第二个结果。读取所有结果后, RRF 标志无效。

DMA 读和写通道可以单独启用。如果两个通道都启用, CORDIC 可以在没有处理器干预的情况下自主地对数据缓冲区执行重复计算。这允许程序执行其他任务。DMA 控制器在写入通道的内存到外设模式下运行, 而读取通道则在外设到内存模式下运行。请注意, 该时序由程序设置 DMAWEN 标志的开始。此后, DMA 读写请求的生成速度可以达到 CORDIC 处理数据的速度一样快。

在某些情况下, 输入数据可能会存储在内存中, 并且输出会定期传输到另一个外围设备, 例如数模转换器。在这种情况下, 目标外设每次需要新数据时, 都会生成一个 DMA 请求。DMA 控制器可以直接从 CORDIC\_RDAT 寄存器中获取下一个样本 (在这种情况下, DMA 控制器在内存到外设模式下运行, 即使源是外设寄存器)。读取结果的行为允许 CORDIC 开始新的计算, 进而生成 DMA 写通道请求, DMA 控制器

将下一个输入值传输到 CORDIC\_WDAT 寄存器。此时，DMA 写通道使能 (DMAWEN=1)，但读通道不能使能。

以上述类似的方式，来自另一个外设（例如 ADC）的数据可以直接传输到 CORDIC\_WDAT 寄存器（在外设到存储器模式下）。同样不能使能 DMA 写通道。如果 DMAREN=1，则 CORDIC 处理输入数据并在完成时生成 DMA 读取请求。然后 DMA 控制器将结果从 CORDIC\_RDAT 寄存器传输到存储器（外设到存储器模式）。

注意：不会生成 DMA 请求来编程 CORDIC\_CTRLSTS 寄存器。因此，只有在使用相同设置重复执行相同功能时，DMA 模式才有用。还要注意，在一系列 DMA 传输期间不能更改比例因子。

注意：每个 DMA 请求被响应 DMA 都要发出响应信号，进而 DMA 才能执行对 CORDIC\_WDAT 或 CORDIC\_RDAT 寄存器的访问。如果在 DMA 发出响应信号之前发生对相关寄存器进行无关访问，可能阻塞 DMA 通道。因此，当 DMA 读通道使能时，必须避免 CPU 访问 CORDIC\_RDAT 寄存器。同样，当 DMA 写通道使能时，程序必须避免访问 CORDIC\_WDAT 寄存器。

## 31.5 CORDIC 寄存器

### 31.5.1 CORDIC 寄存器总览

表 31-14 Cordic 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
0000h	CORDIC_CTLSTS	RRF	INOVF	Reserved				INOVINTEN	CODINLIMIT	PHASELIMIT	FLOATOUT	FLOATIN	INSIZE	OUTSIZE	NUMWRITE	NUMREAD	DMAWEN	DMAREN	INTEN	Reserved										SCALE[2:0]			PRECISION[3:0]			FUNC[3:0]		
	Reset Value	0	0				0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0				
0004h	CORDIC_WDAT	WDAT[31:0]																																				
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0008h	CORDIC_RDAT	RDAT[31:0]																																				
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				

### 31.5.2 CORDIC 控制状态寄存器 (CORDIC\_CTRLSTS)

地址偏移: 0x00

复位值: 0x0050

每次向控制状态寄存器写入数据时, 都会丢弃已存储但尚未计算的数据, 以防止以前的数据使用当前的控制配置进行计算。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RRF	INOVF	Reserved		INOVINTEN	CODINLIMIT	PHASELIMIT	FLOATOUT	FLOATIN	INSIZE	OUTSIZE	NUMWRITE	NUMREAD	DMAWEN	DMAREN	INTEN
r	rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				SCALE				PRECISION				FUNC			
				rw				rw				rw			

位域	名称	描述
31	RRF	结果就绪标志 0: CORDIC_RDAT 寄存器中没有新数据 1: CORDIC_RDAT 寄存器中有新数据 当 CORDIC 操作完成时, 该位由硬件置位。当读取 CORDIC_RDAT 寄存器 (NUMREAD + 1) 次时, 该位被硬件复位。 该位被置位时, 如果 INTEN 位也被置位, 则 CORDIC 产生读中断。如果 DMAREN 位也被置位, 则会产生 DMA 读通道请求。当该位被置位时, 不会启动新的计算。
30	INOVF	输入参数溢出标志 0: 没有发生输入参数溢出事件或输入参数溢出中断控制没有开启 1: 发生输入参数溢出事件 注意: 该位写 1 清 0, 写 0 无效。
29:28	Reserved	保留, 必须保持复位值。
27	INOVINTEN	输入参数溢出中断控制位 0: 不使能 1: 使能 输入参数溢出发生时候, 置 INOVF 为 1。
26	CODINLIMIT	坐标输出限制控制 0: 不限制坐标输出结果 1: 限制坐标输出结果, 使其不溢出 在某些情况下, 接近 1 的输出可能会溢出到 -1, 或者相反。如果 CODINLIMIT = 1 时, 当发生溢出时, 将正输出限制为 1, 负输出限制为 -1。
25	PHASELIMIT	相位输出限制控制 0: 不限制相位输出 1: 限制相位输出 如果 PHASELIMIT = 1, 当发生溢出时, 将正相位限制为 $\pi$ , 负相位限制为 $-\pi$ 。

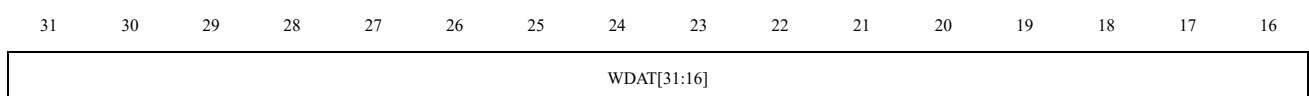
位域	名称	描述
24	FLOATOUT	浮点定点输出控制 0: 定点输出 1: 浮点输出
23	FLOATIN	浮点定点输入控制 0: 定点输入 1: 浮点输入
22	INSIZE	输入数据宽度 0: 32bit 1: 16bit 如果配置为 32-bit, 则写入 CORDIC_WDAT 寄存器数据为 q1.31 定点格式或单精度浮点。 如果配置为 16-bit, 则写入 CORDIC_WDAT 寄存器数据为 q1.15 定点格式或半精度浮点。
21	OUTSIZE	输出数据宽度 0: 32bit 1: 16bit 如果配置为 32-bit, 则 CORDIC_RDAT 寄存器输出数据为 q1.31 定点格式或单精度浮点。 如果配置为 16-bit, 则 CORDIC_RDAT 寄存器输出数据为 q1.15 定点格式或半精度浮点。
20	NUMWRITE	CORDIC_WDAT 寄存器参数个数 0: 下一次计算只需要写入一个 32 位值 (或两个 16 位值, 如果 INSIZE = 1) 1: 必须向 CORDIC_WDAT 寄存器写入两个 32 位值, 才能触发下一次计算 读取会返回位的当前状态。
19	NUMREAD	可在 CORDIC_RDAT 寄存器中读取的结果个数 0: 下一次计算完成时, 只有一个 32 位值 (或两个 16 位值, 如果 OUTSIZE = 1) 被传送到 CORDIC_RDAT 寄存器 1: 两个 32 位值被传送到 CORDIC_RDAT 寄存器 下一次计算完成时, 两个 32 位值被传送到 CORDIC_RDAT 寄存器。需要两次读取 CORDIC_RDAT 才能重置 RRF 标志。 某些函数 (如 PHASE) 有两个结果输出, 如果不需要第二个结果, 则允许设置 NUMREAD = 0。
18	DMAWEN	DMA 写请求使能 0: 禁用。不产生 DMA 写请求 1: 启用。只要 Cordic 没有计算进行时, 就会产生 DMA 写请求 该位由软件设置和清除。读取时会返回该位的当前状态。
17	DMAREN	DMA 读请求使能 0: 禁用。不产生 DMA 读取请求 1: 启用。只要 RRF 置位, 就会产生 DMA 读取请求 该位由软件设置和清除。读取时会返回该位的当前状态。
16	INTEN	中断使能 0: 禁用。不产生中断请求

位域	名称	描述
		1: 启用。只要 RRF 标志置位, 就会产生中断请求 该位由软件设置和清除。读取时会返回该位的当前状态。
15:11	Reserved	保留, 必须保持复位值。
10:8	SCALE[2:0]	缩放因子: $2^{\text{SCALE}[2:0]}$ 000: $2^0$ 001: $2^1$ 010: $2^2$ ... 110: $2^6$ 111: $2^7$ 当实际输入参数超过规定的输入数据范围[-1,1), 实际输入参数需要除以 $2^{\text{SCALE}[2:0]}$ , 并且输出数据需要乘以 $2^{\text{SCALE}[2:0]}$ 以得到实际输出结果。举例如下: CORDIC_WDAT = 实际输入参数 / $2^{\text{SCALE}[2:0]}$ 实际输出结果 = CORDIC_RDAT * $2^{\text{SCALE}[2:0]}$
7:4	PRECISION	迭代次数 0: 保留 1~15: 迭代次数/4 确定特定精度所需的迭代次数。 对于大多数功能, 该字段的建议范围是 3~6 次。 注意: 迭代次数越高, 精度越高。
3:0	FUNC	函数 4'b0: COS 4'b1: SIN 4'b2: PHASE 4'b3: MODULUS 4'b4: ARCTANT 4'b5: HB_COS: 双曲余弦 4'b6: HB_SIN: 双曲正弦 4'b7: HB_ARCT: 双曲反正切 4'b8: NATL: 自然对数 4'b9: SQRT: 平方根 4'b10~4'b15: 保留

### 31.5.3 CORDIC 写数据寄存器 (CORDIC\_WDAT)

地址偏移: 0x04

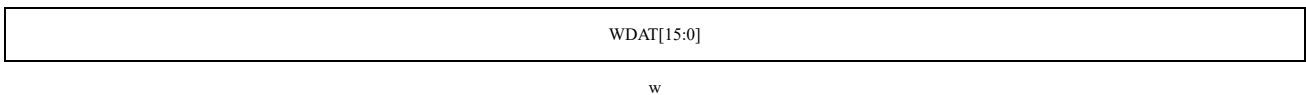
复位值: 0x0000



w



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



w

位域	名称	描述
31:0	WDAT[31:0]	<p>写入数据</p> <p>当对该寄存器进行写入访问时，写入数据将被传输到写入指针所指示的地址偏移量。每次写入后，指针地址都会自动递增。</p> <p>该寄存器根据在 CORDIC_CTRLSTS 寄存器 FUNC 字段所选功能的输入参数进行编程。</p> <p>如果选择 32 位格式 (INSIZE = 0)，并且需要两个输入参数 (NUMWRITE = 1)，则需要向该寄存器连续写入两次。第一次写入主参数，第二次写入次参数。</p> <p>如果选择 32 位格式，且只需要一个输入参数 (NUMWRITE = 0)，则只需向该寄存器写入一次，其中包含主参数。</p> <p>如果选择的是 16 位格式 (INSIZE = 1)，则只需向该寄存器写入一次，即可包含两个参数。主参数位于 WDAT[15:0]，次参数位于 WDAT[31:16]。在这种情况下，NUMWRITE 必须设置为 0。</p> <p>有关每个函数所需的参数及其允许范围，请参见 31.4.1 章节</p> <p>写入所需的参数数后，如果之前的计算已经完成，CORDIC 将使用所提供的输入参数对 FUNC 字段指定的函数进行评估。</p> <p>如果计算正在进行，则主参数和次参数值保持待定，直至计算完成并读取结果。在此期间对寄存器的写入将取消待处理操作并覆盖参数数据。</p>

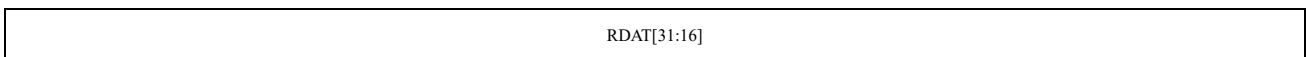
### 31.5.4 CORDIC 读数据寄存器 (CORDIC\_RDAT)

地址偏移: 0x08

复位值: 0x0000

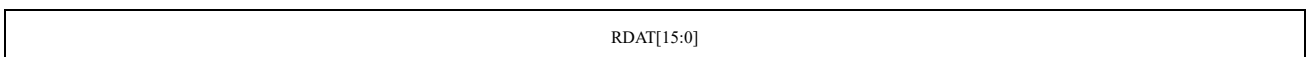
该寄存器只能按字 (32 位) 访问。

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



r

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



r

位域	名称	描述
31:0	RDAT[31:0]	<p>输出数据</p> <p>如果选择 32 位格式 (OUTSIZE = 0)，并且预期有两个输出值 (NUMREAD = 1)，则</p>

位域	名称	描述
		<p>在设置 RRF 标志时必须读取该寄存器两次。第一次读取主结果（第一个输出结果）。第二次读取次结果（第二个输出结果）并复位 RRF。</p> <p>如果选择 16 位格式（OUTSIZE = 1），该寄存器的下半部分 RDAT[15:0]包含主结果（第一个输出结果），上半部分 RDAT[31:16]包含次结果（第二个输出结果）。在这种情况下，必须将 NUMREAD 设置为 0，并且只进行一次读取。从该寄存器读数据将重置 CORDIC_CTRLSTS 寄存器中的 RRF 标志。</p>

## 32 适用于 $\Sigma\Delta$ 调制器的数字滤波器(DSMU)

### 32.1 简介

DSMU 模块主要用于连接外部  $\Sigma\Delta$  调制器，支持高达 8 个外部数字串行接口（通道），并包含 4 个数字滤波器，提供灵活的  $\Sigma\Delta$  流数字处理功能，实现高达 24 位分辨率的 ADC 输出。此外，DSMU 还可以选择接收来自内部 ADC 外设或存储器的并行数据流。

### 32.2 主要特性

- 支持高达 8 个复用的数字串行输入通道：
  - ◆ 支持可配置的 SPI 接口，用于连接各种外部  $\Sigma\Delta$  调制器
  - ◆ 支持可配置的曼彻斯特编码单线接口
  - ◆ 支持输出时钟信号，用于连接外部  $\Sigma\Delta$  调制器
- 支持高达 8 个内部数字并行通道：
  - ◆ 最高 16 位分辨率
  - ◆ 内部数据源来自 ADC 数据或 CPU/DMA 写入(存储器)数据
- 可配置的数字信号处理：
  - ◆  $\text{sinc}^x$  滤波器：阶数（1 到 5）和过采样率（1 到 1024）可独立配置
  - ◆ 积分器：过采样率（1 到 256）可配置
- 支持高达 24 位分辨率输出数据分辨率：
  - ◆ 支持对最终数据进行右移处理（0 到 31 位）
  - ◆ 有符号整数输出
- 自动数据偏移校正（偏移量可配置）
- 支持连续或单次转换
- 支持多种转换启动方式：
  - ◆ 软件触发
  - ◆ 内部定时器触发
  - ◆ 外部事件触发
  - ◆ 与第一个 DSMU 滤波器 (DSMU\_FLT0)同步转换
- 模拟看门狗：
  - ◆ 高、低阈值可配置
  - ◆ 支持独立可配置  $\text{Sinc}^x$  数字滤波器（阶数=1 到 3，过采样率=1 到 32）
  - ◆ 输入数据源可来自滤波器输出数据寄存器或外部串行通道（1 到 8）

- ◆ 支持连续监控，独立于数据转换
- 短路检测器用于检测饱和的模拟输入值（上限和下限值）：
  - ◆ 8 位计数器用于检测输入数据流中 1 到 256 个连续 0 或 1
  - ◆ 连续监控每个通道（8 个串行通道收发器输出）
- 模拟看门狗或短路检测器可输出刹车信号
- 极值检测器：
  - ◆ 存储最小和最大输出数据值
  - ◆ 通过软件读取刷新
- 转换结果支持 DMA 读取
- 中断：转换结束、转换结果溢出、模拟看门狗、短路事件、通道时钟缺失
- 两种类型的转换：
  - ◆ 规则转换：仅由优先级较低的软件触发，可在任何时间进行，也支持连续模式，且不影响注入转换的实时性
  - ◆ 注入转换：优先级高于规则转换，支持多个触发源，实时转换。

### 32.3 功能资源

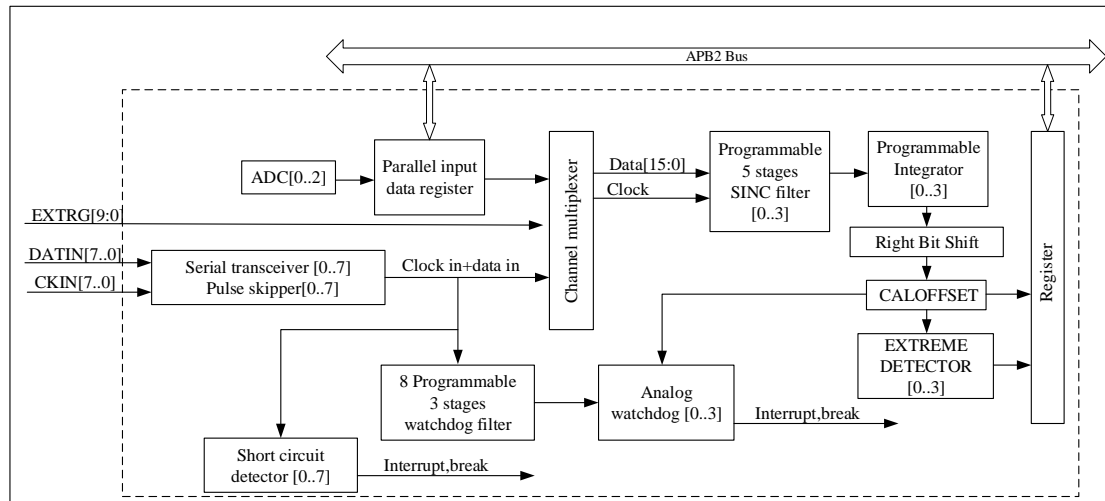
表 32-1 DSMU 功能资源列表

DSMU 功能	数量
输入通道	8
主滤波器	4
内部 ADC 通道	3
外部触发源	32
模拟看门狗	4
模拟看门狗滤波器	8

## 32.4 DSMU 功能描述

### 32.4.1 DSMU 框图

图 32-1 DSMU 功能框图



注意：

- APB2 时钟频率应小于或等于 DSMU 时钟。
- 音频时钟应选择特定的时钟频率，经过 2-256 分频后，生成的时钟频率可用于音频频率，例如 44.1 kHz 或 48.0 kHz。
- 对于串行收发器，DSMU 时钟需要至少是 SPI 时钟的 4 倍，或者至少是曼彻斯特数据速率的 6 倍。
- 对于并行收发器，DSMU 时钟需要至少是输入数据速率的 2(在交错模式下为 4)倍。
- ADC 支持交错模式，即 ADC1、ADC2 数据到达 ADC1 总线。它还支持三模式，即 ADC1、ADC2 和 ADC3 数据到达 ADC1 总线。
- 如果用户想使用交错模式 (ADC1 ADC2) 或三模式 (ADC1 ADC2 ADC3)，APB 时钟和 DSMU 时钟都需要至少是 ADC 数据速率的 4 倍。
- 如果使用曼彻斯特编码，用户还需要配置 CLKOUTDIV 值用于恢复曼彻斯特编码数据。

## 32.4.2 DSMU 信号

### 32.4.2.1 外部信号连接

表 32-2 DSMU 外部信号

名称	信号类型	描述
CKIN[7:0]	时钟输入	外部 $\Sigma\Delta$ 调制器输出的串行时钟
DATIN[7:0]	数据输入	外部 $\Sigma\Delta$ 调制器输出的数据
CKOUT	时钟输出	DSMU 输出给外部 $\Sigma\Delta$ 调制器的参考时钟
EXTRG[9:0]	外部触发信号	由 EXTI 输入的外部触发信号，用于启动注入转换 (来自 GPIOs: EXTI6~15).

### 32.4.2.2 外部触发信号

注入转换的触发信号可以通过 DSMU\_FLTxCtrl1 寄存器中的 JEXTSEL[4 :0]位进行配置。

触发信号源详见下表。

表 32-3 DSMU 外部触发信号

Signals	Trigger signal sources
dsmu_jtrg0	ATIM1_TRGO
dsmu_jtrg1	ATIM2_TRGO
dsmu_jtrg2	ATM3_TRGO
dsmu_jtrg3	ATIM4_TRGO
dsmu_jtrg4	GTIMB1_TRGO
dsmu_jtrg5	GTIMB2_TRGO
dsmu_jtrg6	GTIMB3_TRGO
dsmu_jtrg7	GTIMA1_TRGO
dsmu_jtrg8	GTIMA2_TRGO
dsmu_jtrg9	GTIMA3_TRGO
dsmu_jtrg10	GTIMA4_TRGO
dsmu_jtrg11	GTIMA5_TRGO
dsmu_jtrg12	ATIM1_TRGO2
dsmu_jtrg13	ATIM3_TRGO2
dsmu_jtrg14	SHRTIM1_ADC_TRG1
dsmu_jtrg15	SHRTIM1_ADC_TRG2
dsmu_jtrg16	SHRTIM1_ADC_TRG3
dsmu_jtrg17	SHRTIM1_ADC_TRG4
dsmu_jtrg18	SHRTIM2_ADC_TRG1
dsmu_jtrg19	SHRTIM2_ADC_TRG2
dsmu_jtrg20	SHRTIM2_ADC_TRG3
dsmu_jtrg21	SHRTIM2_ADC_TRG4
dsmu_jtrg22	EXTI6
dsmu_jtrg23	EXTI7
dsmu_jtrg24	EXTI8

Signals	Trigger signal sources
dsmu_jtrg25	EXTI9
dsmu_jtrg26	EXTI10
dsmu_jtrg27	EXTI11
dsmu_jtrg28	EXTI12
dsmu_jtrg29	EXTI13
dsmu_jtrg30	EXTI14
dsmu_jtrg31	EXTI15

注意：外部触发信号宽度应至少为 1 个 DSMU 时钟周期。

### 32.4.2.3 刹车信号连接

DSMU 可输出 4 个刹车信号，信号连接如下表所示。

表 32-4 DSMU 刹车信号

Signals	Connection
dsmu_brk0	ATIM1/ATIM2/ATIM3/GTIMB1 brkin5 SHRTIMx_FLT1/5
dsmu_brk1	ATIM1/ATIM2/ATIM3 brk2in6 GTIMB2 brkin6 SHRTIMx_FLT2/6
dsmu_brk2	ATIM1/ATIM3/ATIM4/GTIMB3 brkin7 SHRTIMx_FLT3
dsmu_brk3	ATIM1/ATIM3/ATIM4 brk2in8 SHRTIMx_FLT4

## 32.4.3 DSMU 复位和时钟

### DSMU 使能控制

DSMU 全局使能位 DSMUEN 在 DSMU\_CH0CFG1 寄存器中。当 DSMUEN=1 时，所有通道使能位被置 1 的通道，以及滤波器使能位被置 1 的数字滤波器都将开始工作：

- 通道使能位：DSMU\_CHyCFG1 寄存器中的 CHEN 位。
- 滤波器使能位：DSMU\_FLTxCTRL1 寄存器中的 DFLTEN 位。

当 DFLTEN 置 1 时，Sinc<sup>x</sup> 滤波器单元和积分器单元都会被重新初始化。

如果 DFLTEN 清零，所有进行中的数据转换都会立即停止，滤波器进入停止模式。除了滤波器状态寄存器被复位（即 DSMU\_FLTxAWDSTS 和 DSMU\_FLTxSTS）之外，其他寄存器值保持不变。

当 CHEN 置 1 后，对应通道开始从外部  $\Sigma\Delta$  调制器接收串行数据或并行内部数据（来自存储器的 ADC 或 CPU/DMA）。

在停止系统时钟以进入 STOP 模式之前，DSMU 必须全局禁用（即 DSMUEN=0）。

### 32.4.3.1 DSMU 时钟

DSMU 具有如下时钟域。

1. PCLK2 域：用于 APB2 总线下的配置/状态/数据寄存器。
2. DSMU\_CLK 域：用于所有 DSMU 内部模块，包括通道收发器、数字处理（数字滤波器、积分器）、附加模块（模拟看门狗、短路检测器、极值检测器、转换控制和通道复用器）。

DSMU\_CLK 可以从 PCLK2(默认)、PLL1、PLL2、PLL3、SYSCLK 中选择。用户需要确保 DSMU\_CLK  $\geq$  PCLK2 频率，因为 DSMU 滤波器处理一个采样数据至少需要两个 DSMU\_CLK 周期。

对于串行通道收发器，DSMU\_CLK 至少要为外部串行时钟的 4 倍，如果使用曼彻斯特接口，则至少要为 6 倍。

DSMU 可以通过 CKOUT 引脚输出时钟信号，用作外部  $\Sigma \Delta$  调制器的参考时钟。时钟信号必须在设备数据手册规定的范围内。它是由 DSMU 时钟或音频时钟（由 DSMU\_CH0CFG1 寄存器中的 CLKOUTSRC 位决定）生成的，并可以使用可编程分频器（DSMU\_CH0CFG1 寄存器中的 CLKOUTDIV）进行调整，范围为 2 到 256。

3. ACLK 域：音频时钟源来自 RCC。通过适当配置时钟源和除法因子，DSMU 可以产生准确的音频时钟频率。

### 32.4.3.2 时钟配置序列

使能时钟输出

1. 在 DSMU\_CH0CFG1 寄存器中配置 CLKOUTSRC 和 CLKOUTDIV。
2. 在 DSMU\_CH0CFG1 寄存器中设置 DSMUEN = 1。
3. 在 RCC 模块中配置 ACLK 和 DSMU\_CLK 时钟源。

禁用时钟输出

1. 关闭 DSMUEN。
2. 如果 DSMU\_CLK 已启用，需要等待 2 个 DSMU\_CLK 周期。如果 ACLK 已启用，则需要等待 3 个 ACLK 周期。

## 32.4.4 串行通道收发器

每个滤波器、模拟看门狗或短路检测器支持 8 个复用的串行数据通道，用于接收来自外部  $\Sigma \Delta$  调制器的数据流。数据流可采用 SPI 格式或曼彻斯特编码格式传输，通过 DSMU\_CHyCFG1 寄存器中的 SITP[1:0]位配置。

如果要启用一个通道，需要在 DSMU\_CHyCFG1 寄存器中设置 CHEN=1。

### 32.4.4.1 通道输入选择

数据和时钟信号的串行输入引脚可以从特定通道引脚重定向，通过 DSMU\_CHyCFG1 寄存器中的 CHINSEL 位配置。通道重定向用于从 PDM（脉冲密度调制）立体声音频麦克风收集音频数据。一个 PDM 立体声音频麦克风根据输入参考时钟输出一个数据信号，其中包含左声道和右声道的数据信息（左声道数据在参考时钟上升沿有效，右声道数据在参考时钟下降沿有效）。

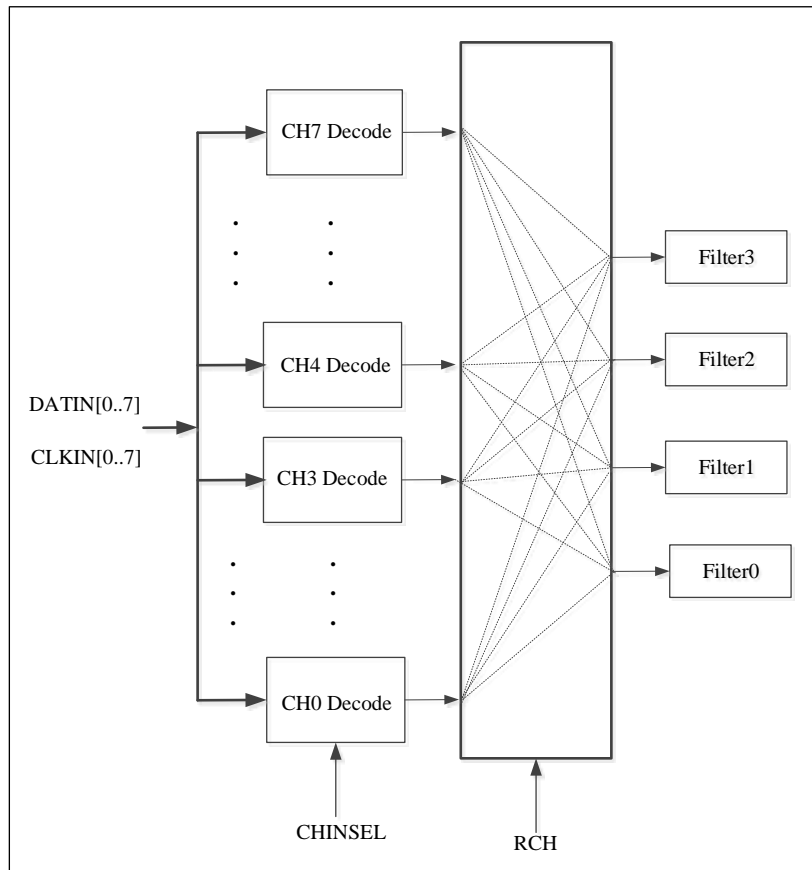
例如，PDM 麦克风输入串行通道配置：

1. DSMU 输入串行通道 y 和 CLKOUT 分别连接到 PDM 麦克风数据和时钟。
2. 对于通道 y：将 CHINSEL 设置为 0，使用引脚 DSMU\_DATIN[ y]和 DSMU\_CKIN[ y]。



3. 对于通道 (y-1) (模 8): 将 CHINSEL 设置为 1, 使用引脚 DSMU\_DATIN[y]和 DSMU\_CKIN[ y]。
4. 对于通道 y: 将 SITP[1:0]设置为 0, 在上升沿采样数据, 对应左声道。
5. 对于通道 (y-1): 将 SITP[1:0]设置为 1, 在下降沿采样数据, 对应右声道。
6. 将两个 DSMU 滤波器分别分配给通道 y 和通道(y-1), 以便独立处理来自 PDM 麦克风的左声道和右声道数据。

图 32-2 DSMU channel mux



### 32.4.4.2 输出时钟配置

CKOUT 引脚可输出时钟作为外部  $\Sigma\Delta$  调制器时钟。输出时钟源来自 DSMU 时钟或音频时钟, 再由预分配器进行分频后输出 (通过 DSMU\_CH0CFG1 寄存器中的 CLKOUTDIV 配置)。

如果输出时钟禁用, 则 CKOUT 信号变为低电平。用户可通过将 DSMU\_CH0CFG1 寄存器中的 CLKOUTDIV 或 DSMUEN 设置为 0 来禁用时钟输出。

在更改输出时钟源 (CLKOUTSRC) 之前, 请确保 CKOUT 信号已停止, 以避免出现故障。输出时钟频率应在 0 到 20 MHz 之间。

### 32.4.4.3 SPI 数据输入格式操作

SPI 格式数据需要同时使用数据和时钟信号。数据信号始终由 DSMU\_DATIN[ y]引脚输入。参考时钟信号可以来自 DSMU\_CKIN[ y]引脚 (外部), 或者从内部 CKOUT 时钟产生。

如果使用外部时钟 (SPICLKCFG[1:0]=0), DSMU\_DATIN[y]引脚上的数据可在 DSMU\_CKIN[y] 引脚输入的参考时钟的上升或下降沿采样, 通过 DSMU\_CHyCFG1 寄存器中的 SITP[1 :0]位配置。

内部时钟仅在外部  $\Sigma\Delta$  调制器需要 CKOUT 作为参考时钟输入时作为参考时钟。使用内部时钟可以节省引脚，以便用于其他用途。

SPI 格式时钟信号频率必须在 0 到 20 MHz 之间，并且小于  $f_{\text{DSMU\_CLK}}/4$ 。

#### 32.4.4.4 曼彻斯特编码数据输入格式操作

曼彻斯特数据流通过 DSMU\_DATIN[ y] 引脚串行输入。曼彻斯特解码后，从该数据流中恢复解码后的数据和时钟信号。曼彻斯特编码时钟沿可配置（由 DSMU\_CHyCFG1 寄存器中的 SITP[1:0] 位配置）：

- Rising edge = logic 0; Falling edge = logic 1
- Rising edge = logic 1; Falling edge = logic 0

曼彻斯特编码的恢复时钟信号频率必须在 0 到 10 MHz 之间，并且小于  $f_{\text{DSMU\_CLK}}/6$ 。

为了正确接收曼彻斯特编码数据，必须根据期望的曼彻斯特数据速率适当配置 CLKOUTDIV 分频器（在 DSMU\_CH0CFG1 寄存器中）：

$$((\text{CLKOUTDIV} + 1) * T_{\text{DSMU\_CLK}}) < T_{\text{Manchester clock}} < (2 * \text{CLKOUTDIV} * T_{\text{DSMU\_CLK}})$$

#### 32.4.4.5 时钟缺失检测

时钟缺失检测用于监控串行通道的时钟输入，以检查时钟是否存在或缺失，确保正确的数据传输并及时提供错误提示。用户可通过 DSMU\_CHyCFG1 寄存器中的 CLKABEN 位为每个输入通道单独启用或禁用时钟缺失检测。启用后，时钟缺失检测将在选定的通道上持续运行。

如果检测到时钟缺失，CLKABF[y] 标志将被设置为 1。如果 CLKABIEN 已被设置为 1，则可触发中断。用户可在 DSMU\_FLT0STS 寄存器中找到时钟缺失标志，并在 DSMU\_CHyCFG1 寄存器中启用时钟缺失检测。在 DSMU\_FLT0INTCLR 寄存器中，将 CLRCLKABF 对应位置 1 可清除时钟缺失标志。

当通道被禁用时 (CHEN[ y] = 0)，硬件也会将对应的 CLKABF[y] 标志设置为 1。

当发生时钟缺失事件时，数据转换、模拟看门狗和短路检测可能无法提供正确的数据。用户应及时处理此事件并丢弃受影响的数据。

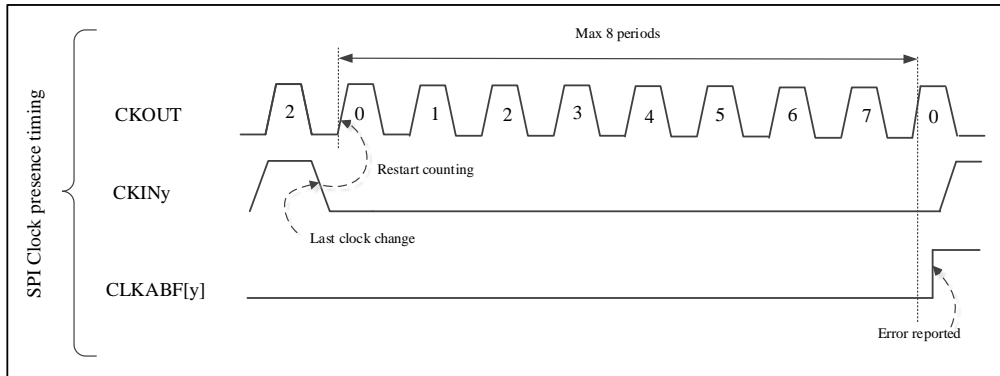
时钟缺失检测仅在系统时钟用于 CKOUT 信号源 (DSMU\_CH0CFG1 寄存器中的 CLKOUTSRC = 0) 时可用。

如果串行通道收发器未正确同步，也会设置时钟缺失标志，并且无法使用 DSMU\_FLT0INTCLR 寄存器中的 CLRCLKABF[y] 位清除该标志。时钟缺失检测的软件配置方法：

- 将 CHEN 设置为 1 来启用通道
- 将 CLRCLKABF 设置为 1 来清除时钟缺失标志，并重复此操作直到标志被清除 (CLKABF = 0)。此时表明收发器已正确同步并准备好接收数据。
- 将 CLKABEN 设置为 1 来启用时钟缺失功能，并根据需要将 CLKABIEN 设置为 1 来启用时钟缺失中断。此时将开始检测 SPI 时钟是否丢失或曼彻斯特数据边沿是否缺失。

SPI 时钟缺失检测将外部输入时钟与输出时钟 (CKOUT 信号) 进行比较。外部输入时钟必须在每 8 个 CKOUT 信号周期内至少改变一次，该周期由 DSMU\_CH0CFG1 寄存器中的 CLKOUTDIV 域控制。

图 32-3 SPI 格式时钟缺失检测时序图



曼彻斯特时钟缺失意味着无法从曼彻斯特编码信号恢复时钟。为了正确恢复时钟，数据必须首先从 1 转换到 0 或从 0 转换到 1。初始同步后，时钟缺失检测将编码的串行数据输入信号的变化与输出时钟 (CKOUT 信号) 进行比较。

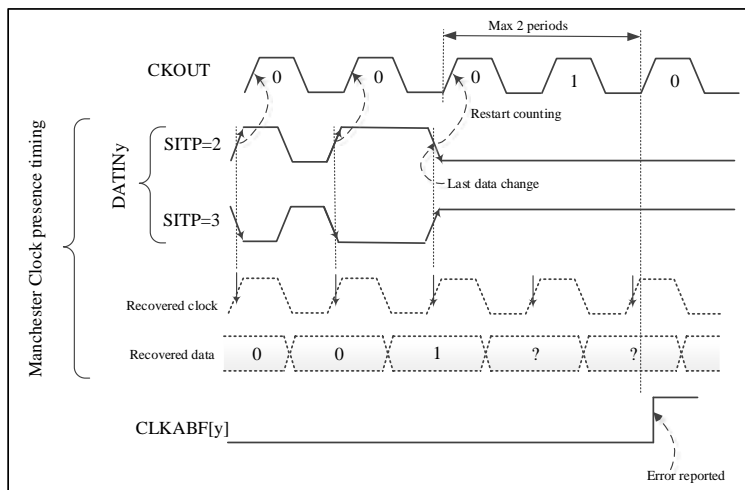
在由 DSMU\_CH0CFG1 寄存器中的 CLKOUTDIV 位控制的 CKOUT 信号的 2 个周期内，必须在 DSMU\_DATIN[ y] 引脚上出现电平变化。此条件决定了正确恢复曼彻斯特编码数据和时钟信号所需的最小数据速率。曼彻斯特编码数据的最大数据速率必须小于 CKOUT 信号。

为了正确接收曼彻斯特编码数据，CLKOUTDIV 分频器必须根据适当的公式设置：

$$((CLKOUTDIV + 1) * T_{DSMU\_CLK}) < T_{Manchester\ clock} < (2 * CLKOUTDIV * T_{DSMU\_CLK})$$

如果发生输入时钟恢复错误，将设置时钟缺失标志 (CLKABF[ y] = 1)，如果 CLKABIEN 设置为 1，则可以触发中断。用户可在 DSMU\_FLT0STS 寄存器中找到时钟缺失标志，在 DSMU\_CHyCFG1 寄存器中启用检测，并可使用 DSMU\_FLT0INTCLR 寄存器中的 CLRCLKABF 位清除时钟缺失标志。

图 32-4 曼彻斯特编码时钟缺失检测时序图



### 32.4.4.6 曼彻斯特/SPI 格式数据同步

在启用通道(DSMU\_CHyCFG1.CHEN=1)后,为了正确同步曼彻斯特编码流，请参照以下操作流程：

1. 初始同步：数据流必须首先检测到数据从 0 到 1 或 1 到 0 的变化。
2. 检查同步：轮询 CLKABF[ y] 标志。如果已置 1，则通过在 DSMU\_FLT0INTCLR 寄存器中设置

CLRCLKABF[y]位来清除。

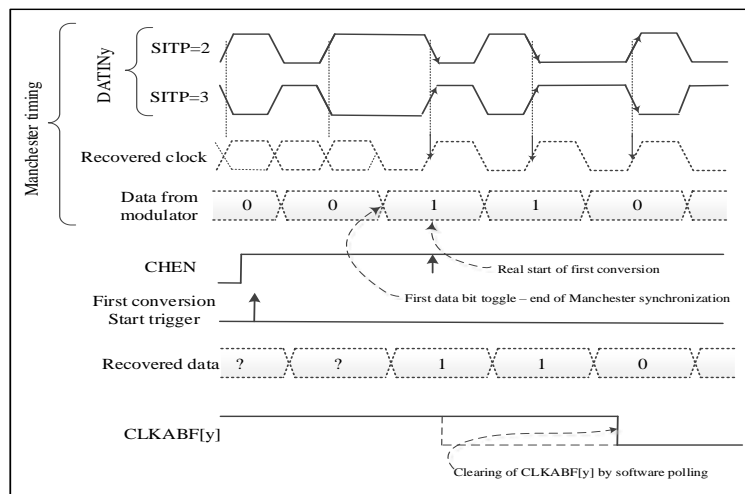
3. 重复清除标志：如果通道尚未正确同步，硬件将立即再次设置 CLKABF[y]标志。此时应继续清除标志并轮询，直到 CLKABF[y]标志位保持清除状态，表明已正确同步。
4. 设置 CLKOUTDIV：确保 DSMU\_CH0CFG1 寄存器中的 CLKOUTDIV 分频器已根据预期的曼彻斯特数据速率正确配置。

$$((CLKOUTDIV + 1) * T_{DSMU\_CLK}) < T_{Manchester\ clock} < (2 * CLKOUTDIV * T_{DSMU\_CLK})$$

SPI 编码的数据流在检测到时钟输入信号的第一个有效上升沿或下降沿后同步。

如果收发器尚未同步，时钟缺失标志将被设置，并且无法使用 DSMU\_FLT0INTCLR 寄存器中的 CLRCLKABF[y]位清除。

图 32-5 曼彻斯特编码首次解码 (曼彻斯特同步)



### 32.4.4.7 外部串行时钟频率测量

测量通道的串行时钟输入频率可用于确认来自外部  $\Sigma\Delta$  调制器的实际数据速率，对于应用至关重要。DSMU 通过一个计数器测量这个频率，在一次转换周期内计数 DSMU 时钟周期 ( $f_{DSMU\_CLK}$ )。计数从转换触发（常规或注入）后的第一个输入数据时钟开始，并在转换结束时（当转换结束标志被设置时）结束，即最后一个输入数据时钟之前。

每个转换持续时间（首个和末尾串行样本之间的时间）在转换完成后（JEOCF=1 或 REOCF=1）记录在 DSMU\_FLTxCOVTIM 寄存器的 COVCNT[27:0]计数器中。用户可以根据数字滤波器设置（FORD, FOSR, IOSR, FAST）计算数据速率。外部串行频率测量仅在滤波器被旁路时停止（FOSR=0，此时仅积分器活动，DSMU\_FLTxCOVTIMR 寄存器中 COVCNT[27:0]=0）。

对于并行数据输入，测得的频率是单个转换期间的平均输入数据速率。

如果转换被中断（例如，通过禁用/启用所选通道），中断时间也会计入 COVCNT[27:0]。因此，为了获得准确的转换持续时间结果，建议不要中断转换。

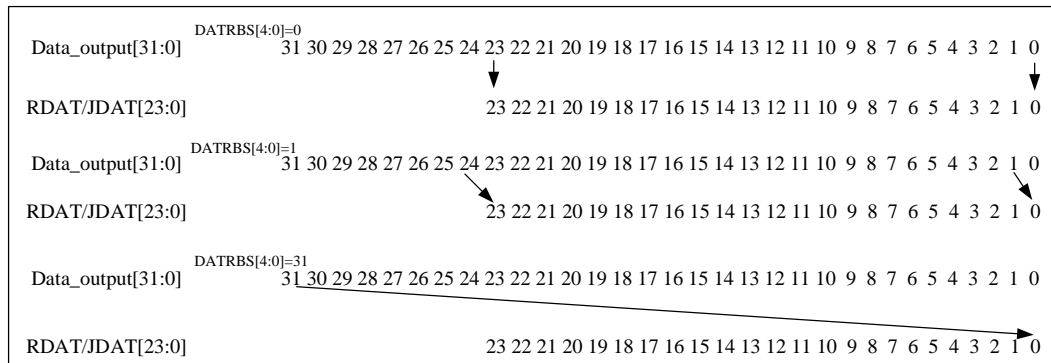
### 32.4.4.8 通道偏移校准设置

每个通道都有自己的偏移校准设置，用于从该通道的每个转换结果（注入或常规）中自动减去校准值。偏移校准发生在数据右移后。校准值以 24 位有符号整数的形式存储在 DSMU\_CHyCFG2 寄存器中的 CALOFFSET[23:0] 位域中。

### 32.4.4.9 数据右移

为了将结果对齐到 24 位整数，每个通道应指定要应用于每个转换结果（注入的或常规的）右移的位数。这个位移数存储在 DSMU\_CHyCFG2 寄存器中的 DATRBS[4:0]位中。右移位数将结果四舍五入到最接近的整数，同时保持符号，确保结果为有效的 24 位有符号整数。

图 32-6 数据右移示例



### 32.4.4.10 配置输入串行接口

要配置输入串行接口，需要配置以下参数：

- 输出时钟预分频器：通过 DSMU\_CH0CFG1 寄存器中的 CLKOUTDIV[7 :0]位域配置可编程预分频器（范围：2-256），用于从 DSMU\_CLK 时钟生成输出时钟。
- 串行接口类型和输入时钟相位：配置 DSMU\_CHyCFG1 寄存器中的 SITP[1:0]位域，选择 SPI 或曼彻斯特编码以及时钟采样边沿。
- 输入时钟源：配置 DSMU\_CHyCFG1 寄存器中的 SPICLKCFG[1:0]位域，选择采样时钟源：DSMU\_CKIN[ y]引脚输入的外部时钟、或 CKOUT 引脚的内部时钟。
- 最终数据右移：配置 DSMU\_CHyCFG2 寄存器中的 DATRBS[4:0]位域，设置正确的右移位数来确保结果为 24 位有符号整数。
- 通道偏移校准：配置 DSMU\_CHyCFG2 寄存器中的 CALOFFSET[23:0]位域，设置每个串行通道（连接外部  $\Sigma\Delta$  调制器)的偏移校准值。
- 短路检测器和时钟缺失监控：在 DSMU\_CHyCFG1 寄存器中，根据需要为每个串行输入通道分别启用或禁用短路检测器 (SCDETEN 位)和时钟缺失监控 (CLKABEN 位)。
- 模拟看门狗滤波器和短路检测器阈值：在 DSMU\_CHyAWDSCDET 寄存器中，配置模拟看门狗滤波器参数(AWDFORD[1:0]与 AWDFOSR[4:0]位域)和短路检测阈值（SCDETH[7:0]位域）。

## 32.4.5 并行通道收发器

除了串行数据输入，每个通道都有一个输入数据寄存器(DSMU\_CHyDATIN 寄存器)，用于 16 位并行数据输入。并行输入数据只能来自内部数据源：

- 内部 ADC 转换结果
- 通过 CPU 或 DMA 直接写入输入数据寄存器

每个通道可分别通过 DSMU\_CHyCFG1 寄存器中的 DATMUX[1:0]位域选择串行或并行数据输入、以及并

行数据源：内部 ADC 或 CPU/DMA。数据采用 16 位有符号格式，可作为数字滤波器的输入。

如果选择串行数据输入 (DATMUX[1:0]=0)，则 DSMU\_CHyDATIN 寄存器处于写保护状态。

### 32.4.5.1 从内部 ADC 输入

MCU 内部有三个 ADC，分别与 DSMU 的固定通道连接：

ADC1 – 通道 0，ADC2 – 通道 1，ADC3 – 通道 2。

ADC1 和 ADC2 支持交错模式：ADC1 和 ADC2 的数据都在 ADC1 数据总线上传输。

ADC1、ADC2、ADC3 支持 3ADC 模式，所有数据仅在 ADC1 数据总线上传输。

使用 ADC 数据并行输入 (DATMUX[1:0]=1) 时，来自 ADC[y+1] 的转换结果被分配到对应的 DSMU 通道 y。当 ADC[y+1] 转换结束事件发生后，转换结果从 ADC[y+1] 写入到 DSMU\_CHyDATIN 寄存器 (INDATA0[15:0] 位域)，并作为下一个样本发送到数字滤波器。

数据组合模式的配置 (DSMU\_CHyCFG1.DATPACK[1:0]) 不影响 ADC 数据输入。

如果内部 ADC 配置为交错模式，比如 ADC1 与 ADC2，则来自 ADC1 或 ADC2 的每个结果都将发送到 DSMU 通道 0。这将导致 DSMU 通道 0 的数据输入速率加倍，因为来自 ADC1 和 ADC2 的数据由其各自的转换结束事件指示，与 ADC2 关联的 DSMU 通道 1 被闲置。

### 32.4.5.2 从存储器输入(通过 CPU/DMA 直接写入)

当使用 CPU 或 DMA 直接将数据写入 DSMU\_CHyDATIN 寄存器 (DATMUX[1:0]=2) 时，用户可以处理来自存储器或其他外设的数字数据流。数据写入方法：

#### 1. CPU 写入：

CPU 直接将输入数据写入 DSMU\_CHyDATIN 寄存器。

#### 2. DMA 写入：

配置 DMA 为内存到内存传输模式（无需请求），将数据从存储器传输到 DSMU\_CHyDATIN 寄存器。DMA 目标地址即为 DSMU\_CHyDATIN 寄存器地址，数据以 DMA 速度从存储器传输到 DSMU 并行输入通道。此 DMA 与读取 DSMU 转换结果的 DMA 不同，两个 DMA 可同时工作：一个 DMA（配置为内存到内存传输）写入输入数据，而另一个 DMA（配置为外设到内存传输）读取转换结果

对 DSMU\_CHyDATIN 寄存器的访问可以是 16 位或 32 位宽，允许用户在一次写操作中加载一个或两个样本。32 位输入数据寄存器 (DSMU\_CHyDATIN) 可以容纳一个或两个 16 位数据样本，具体取决于 DSMU\_CHyCFG1 寄存器中 DATPACK[1:0] 位域设置的数据组合模式：

#### 1. 标准模式 (DATPACK[1:0]=0):

仅将一个样本存储在 DSMU\_CHyDATIN 寄存器的 INDATA0[15:0] 位域中，用作通道 y 的输入数据。高 16 位 (INDATA1[15:0]) 被忽略并处于写保护状态。在 CPU/DMA 填充数据寄存器后，数字滤波器必须从 INDATA0[15:0] 读取输入数据以清空数据寄存器。此模式下，CPU/DMA 每次对 DSMU\_CHyDATIN 寄存器写入 16 位数据，加载一个样本，DSMU 时钟 (DSMU\_CLK) 必须至少为写入速率的两倍。

#### 2. 交错模式 (DATPACK[1:0]=1):

DSMU\_CHyDATIN 寄存器也可同时用作两个样本的缓冲区。第一个样本存储在 INDATA0[15:0]，第二个样本存储在 INDATA1[15:0]。数字滤波器必须从通道 y 执行两次读操作以清空 DSMU\_CHyDATIN

寄存器。此模式与 32 位 CPU/DMA 访问 DSMU\_CHyDATIN 寄存器配合使用，每次写操作加载两个样本。DSMU 时钟 (DSMU\_CLK) 必须至少为写入速率的 4 倍。

### 3. 双重模式 (DATPACK[1:0]=2):

两个样本 (INDATA0[15 :0] 用于通道 y 和 INDATA1[15 :0] 用于通道 y+1 ) 被写入 DSMU\_CHyDATIN 寄存器。INDATA1[15 :0] 中的数据会自动复制到下一个通道的数据寄存器 (DSMU\_CH[y+1]DATIN) 的 INDATA0[15 :0] 位域。数字滤波器需要执行两次读操作以清空 DSMU\_CHyDATIN 寄存器：一次来自通道 y，另一次来自通道 y+1。

双重模式 (DATPACK[1 :0]=2) 仅适用于偶数通道号 (例如, 0、2、4、6)。如果将奇数通道 (例如, 1、3、5、7) 设置为双模式, 则该通道的 INDATA0[15 :0] 和 INDATA1[15 :0] 将处于写保护状态。如果将偶数通道设置为双模式, 则后续奇数通道必须设置为标准模式 (DATPACK[1 :0]=0) 才能与偶数通道正确配合运行。

表 32-5 DSMU\_CHyDATIN 数据组合模式

标准模式		交错模式		双重模式		y
bit[31:16]	bit[15:0]	bit[31:16]	bit[15:0]	bit[31:16]	bit[15:0]	
未使用	CH0(样本 0)	CH0(样本 1)	CH0(样本 0)	CH1(样本 0)	CH0(样本 0)	0
未使用	CH1(样本 0)	CH1(样本 1)	CH1(样本 0)	未使用	CH1(样本 0)	1
未使用	CH2(样本 0)	CH2(样本 1)	CH2(样本 0)	CH3(样本 0)	CH2(样本 0)	2
未使用	CH3(样本 0)	CH3(样本 1)	CH3(样本 0)	未使用	CH3(样本 0)	3
未使用	CH4(样本 0)	CH4(样本 1)	CH4(样本 0)	CH5(样本 0)	CH4(样本 0)	4
未使用	CH5(样本 0)	CH5(样本 1)	CH5(样本 0)	未使用	CH5(样本 0)	5
未使用	CH6(样本 0)	CH6(样本 1)	CH6(样本 0)	CH7(样本 0)	CH6(样本 0)	6
未使用	CH7(样本 0)	CH7(样本 1)	CH7(样本 0)	未使用	CH7(样本 0)	7

将一个或两个样本写入 DSMU\_CHyDATIN 寄存器必须在启用选定的输入通道(通道 y) 进行数据采集(启动通道 y 的转换) 后进行。否则, 写入的数据将丢失。

例如, 在单次转换和交错模式下, 不要在开始单次转换之前将数据样本对写入 DSMU\_CHyDATIN。在开始转换之前, DSMU\_CHyDATIN 中所有数据都将被丢弃。

## 32.4.6 通道选择

有 8 个通道可用于转换, 可采用注入通道组或规则通道的形式进行选择。

### 注入通道组:

用户可以选择任何或所有 8 个通道, 组成注入通道组。注入通道组通过 DSMU\_FLTxJCHG[7:0] 寄存器进行选择, 其中 JCHG[y]=1 表示选择了对应通道 y。注入转换可以在以下模式下运行:

- **扫描模式(JSCAN=1):** 转换所有选定的通道, 从编号最小的通道开始依次转换。
- **单次模式(JSCAN=0):** 每次转换一个选定的通道。对 DSMU\_FLTxJCHG[7:0] 的写操作将重置当前待转换通道为注入通道组中编号最小的通道。

这些转换可以由软件或触发源启动, 并且不会被规则转换打断。

### 规则通道:

- 只能在 8 个通道中选择一个。
- 所选通道由 DSMU\_FLTxCTRL1 寄存器中的 RCH[2 :0]位域指示。
- 规则转换只能由软件启动，并会被注入转换暂时中断。
- 如果在禁用的通道（CHEN=0）上执行转换，它将永远不会结束，因为没有输入数据。此时可通过启用通道（CHEN=1）或在 DSMU\_FLTxCTRL1 寄存器中设置 DFLTEN=0 来停止转换。

### 32.4.7 数字滤波器配置

DSMU 通过 Sinc<sup>x</sup> 数字滤波器处理输入的数据，可提高分辨率，但同时也会降低输出数据速率（降频）。Sinc<sup>x</sup> 滤波器可由用户配置，以满足所需的输出数据速率和分辨率。滤波器可配置的参数如下：

- 滤波器阶数：（DSMU\_FLTxCTRL 寄存器中的 FORD[2 :0]位域）：
  - FastSinc
  - Sinc<sup>1</sup>
  - Sinc<sup>2</sup>
  - Sinc<sup>3</sup>
  - Sinc<sup>4</sup>
  - Sinc<sup>5</sup>
- 滤波器过采样率（DSMU\_FLTxCTRL 寄存器中的 FOSR[9:0]位域）：
  - FOSR = 1 to 1024: 适用于 FastSinc 滤波器和 Sinc<sup>x</sup>(x=1,2,3)滤波器（FORD=1~3）。
  - FOSR = 1 to 215: 适用于 Sinc<sup>4</sup> 滤波器（FORD=4）。
  - FOSR = 1 to 73: 适用于 Sinc<sup>5</sup> 滤波器（FORD=5）。

滤波器的传递函数（H 域中的脉冲响应）如下：

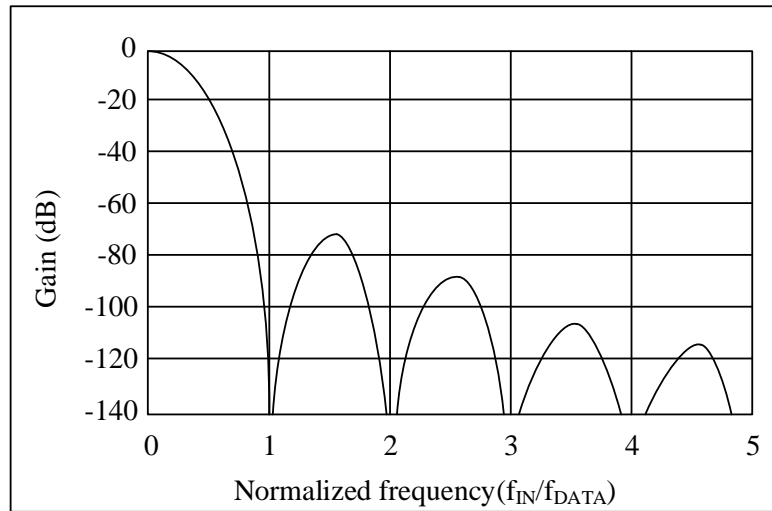
Sinc<sup>x</sup> 滤波：

$$H(z) = \left[ \frac{1-z^{-FOSR}}{1-z^{-1}} \right]^X$$

FastSinc 滤波：

$$H(z) = \left[ \frac{1-z^{-FOSR}}{1-z^{-1}} \right]^2 * (1 + z^{-(2*FOSR)})$$



**图 32-7 Sinc3 滤波频率响应示例图**

**表 32-6 不同 FOSR 配置下滤波器最大输出分辨率示例**

FOSR	Sinc <sup>1</sup>	Sinc <sup>2</sup>	FastSinc	Sinc <sup>3</sup>	Sinc <sup>4</sup>	Sinc <sup>5</sup>
x	+/- x	+/- x <sup>2</sup>	+/- 2x <sup>2</sup>	+/- x <sup>3</sup>	+/- x <sup>4</sup>	+/- x <sup>5</sup>
4	+/- 4	+/- 16	+/- 32	+/- 64	+/- 256	+/- 1024
8	+/- 8	+/- 64	+/- 128	+/- 512	+/- 4096	-
32	+/- 32	+/- 1024	+/- 2048	+/- 32768	+/- 1048576	+/- 33554432
64	+/- 64	+/- 4096	+/- 8192	+/- 262144	+/- 16777216	+/- 1073741824
128	+/- 128	+/- 16384	+/- 32768	+/- 2097152	+/- 268435456	Result can overflow on full scale input (> 32-bit signed integer)
256	+/- 256	+/- 65536	+/- 131072	+/- 16777216		
1024	+/- 1024	+/- 1048576	+/- 2097152	+/-1073741824		

### 32.4.8 积分器单元

积分器通过对指定数量的滤波器输出数据进行累加，进一步增加最终输出数据分辨率，同时也会降低数据输出速率。积分器过采样率 (IOSR) 定义为需要累加的滤波器输出数据数量，可在 1 到 256 之间配置，详见 DSMU\_FLTxCTRL 寄存器中的 IOSR[7:0]位域描述。

**表 32-7 不同 IOSR 配置下的积分器最大分辨率 (Sinc3 滤波, FOSR=256)**

IOSR	Sinc <sup>1</sup>	Sinc <sup>2</sup>	FastSinc	Sinc <sup>3</sup>	Sinc <sup>4</sup>	Sinc <sup>5</sup>
x	+/-FOSR*x	+/-FOSR <sup>2</sup> *x	+/-2FOSR <sup>2</sup> *x	+/-FOSR <sup>3</sup> *x	+/-FOSR <sup>4</sup> *x	+/-FOSR <sup>5</sup> *x
4	-	-	-	+/-67 108 864	-	-
32	-	-	-	+/-536 870 912	-	-
128	-	-	-	+/- 2 147 493 648	-	-
256	-	-	-	+/-2 <sup>31</sup>	-	-

## 32.4.9 模拟看门狗

模拟看门狗用于在模拟信号幅值超出指定的最大阈值或最小值阈值时触发相关事件，可配置产生中断或输出刹车信号。

模拟看门狗数据源通过 `DSMU_FLTxCTRL1` 寄存器中的 `AWDFSEL` 位配置，可监控串行通道输入数据（经看门狗滤波器滤波后）或主滤波器数据输出寄存器（当前注入或规则转换结果）。需要监控的通道通过 `DSMU_FLTxCTRL2` 寄存器中的 `AWDCH[7:0]` 位域选择。

模拟看门狗滤波器独立于主滤波器运行，每个输入串行通道使用各自的滤波器配置，在当前通道上持续运行，即使主滤波器（注入或规则转换）被暂停（`DSMU_FLTxSTS` 寄存器中的 `RCIP = 0` 或 `JCIP = 0`）。

用于对比的高阈值和低阈值分别在 `DSMU_FLTxAWDHT` 寄存器中的 `AWDHT[23:0]` 位域和 `DSMU_FLTxAWDLT` 寄存器中的 `AWDLT[23:0]` 位域中配置。

关于两种数据源分别描述如下：

- 从最终数据输出寄存器 (`AWDFSEL=0`) 获取待监控的数据：
  - 最高 24 位数据分辨率。
  - 响应时间长，不适用于过流检测等需要快速响应的应用。
  - 最终用于比较的数据在位移和偏移校正后可用。
  - 最终数据在常规或注入转换完成后可用。
  - 适用于并行输入数据源 (`DSMU_CHyCFG1` 寄存器中 `DATMUX[1:0] ≠ 0`)。
- 从任意串行通道输入数据中 (`AWDFSEL=1`) 获取待监控的数据：
  - 串行通道数据经专用模拟看门狗  $\text{Sinc}^x$  滤波器（过采样率 1~32，滤波除数 1~3）处理后输出到模拟看门狗。模拟看门狗滤波器在 `DSMU_CHyAWDSCDET` 寄存器中的 `AWDFOSR[4:0]` 和 `AWDFORD[1:0]` 位域配置。
  - 16 位较低分辨率。
  - 响应时间短，适用于过流或过压检测等应用。
  - 数据连续提供，与主滤波器常规/注入转换无关。

当用于监测输入通道 (`AWDFSEL=1`) 时，待比较的数据来自 `DSMU_FLTxCTRL2` 寄存器中由 `AWDCH[7:0]` 位域选择的通道。将每个选定通道的滤波器结果与阈值对 (`AWDHT[23:0]`/`AWDLT[23:0]`) 进行比较。在此场景中，仅使用高 16 位 (`AWDHT[23:8]`/`AWDLT[23:8]`) 来定义与模拟看门狗滤波器输出比较的 16 位阈值，低 8 位 (`AWDHT[7:0]`/`AWDLT[7:0]`) 被忽略。

每个输入通道的模拟看门狗滤波器配置参数在 `DSMU_CHyAWDSCDET` 寄存器中设置，包括滤波器阶数 (`AWDFORD[1:0]`) 和滤波器过采样率 (`AWDFOSR[4:0]`)。

每个输入通道都有自己的比较器，将模拟看门狗数据（来自模拟看门狗滤波器）与阈值（`AWDHT/AWDLT`）进行比较。当多个通道被选中（使用 `DSMU_FLTxCTRL2` 寄存器中的 `AWDCH[7:0]` 位域）时，可能会同时发生多个比较请求。此时，比较器首先处理编号最小的通道，然后继续处理编号更大的通道。每个通道的比较结果可分别记录在单独的标志（`DSMU_FLTxAWDSTS` 寄存器中的 `AWDHTF[7:0]` 和 `AWDLTF[7:0]`）中。

每个通道请求的执行需要 8 个 DSMU 时钟周期，因此每个通道的带宽限制为 8 个 DSMU 时钟周期（如果  $AWDCH[7:0]=0xFF$ ）。由于最大输入通道采样时钟频率是 DSMU 时钟频率的 1/4，因此模拟看门狗无法在此输入速度下使用配置  $AWDFOSR = 0$ （旁路模拟看门狗滤波器）。因此，用户必须根据输入采样时钟速度和 DSMU 频率正确配置需要监控的通道数和模拟看门狗滤波器参数。

对于给定的通道  $y$ ，软件可以通过  $DSMU\_CHyAWDDAT$  寄存器中  $AWDDAT[15:0]$  位域读取模拟看门狗滤波器数据。如果  $DSMU\_CHyCFG1$  寄存器中的  $CHEN=1$  设置，则该数据根据模拟看门狗滤波器配置和通道输入时钟频率确定的速率连续转换。

模拟看门狗滤波器的转换操作类似于规则转换的快速模式，但没有积分器。模拟看门狗滤波器输出（在通道输入时钟频率  $f_{CKIN}$ ）所需的样本数由滤波器设置确定。

首次转换：

对于  $Sinc^x$  滤波器 ( $x=1\sim3$ ): 样本数量 =  $[FOSR * FORD + 2]$

对于 FastSinc 滤波器: 样本数量 =  $[FOSR * 4 + 2]$

后续转换：

对于  $Sinc^x$  和 FastSinc 滤波器: 样本数 =  $[FOSR]$

其中：

FOSR: 滤波器过采样率:  $FOSR = AWDFOSR[4:0] + 1$ （详见  $DSMU\_CHyAWDSCDET$  寄存器）

FORD: 滤波器阶数:  $FORD = AWDFORD[1:0]$ （详见  $DSMU\_CHyAWDSCDET$  寄存器）

当监控输出数据寄存器 ( $AWDFSEL=0$ ) 时，看门狗对经过右移和偏移校正后的最终数据进行比较（参考  $DSMU\_CHyCFG2$  寄存器中的  $CALOFFSET[23:0]$  和  $DATRBS[4:0]$  位域）。此比较发生在  $AWDCH[7:0]$  位域（ $DSMU\_FLTCTRL2$  寄存器）选定的通道所进行的注入或规则转换结束之后。

模拟看门狗事件的状态指示在  $DSMU\_FLTxAWDSTS$  寄存器中，事件发生后被锁存。  $AWDHTF[y]=1$  指示通道  $y$  上数据超出  $AWDHT[23:0]$  定义的高阈值。  $AWDLTF[y]=1$  指示通道  $y$  上的数据超出  $AWDLT[23:0]$  定义的低阈值。  $DSMU\_FLTxAWDSTS$  寄存器中的锁存事件通过向相应的清除位（ $DSMU\_FLTxAWDCLR$  寄存器中的  $CLRAWDHTF[y]$  或  $CLRAWDLTF[y]$ ）写‘1’来清除。

模拟看门狗的全局状态由  $DSMU\_FLTxSTS$  寄存器中的  $AWDF$  标志位指示，用于快速确认中断源。  $AWDF=1$  指示至少发生了一个看门狗事件（至少有 1 个通道  $y$ ，  $AWDHTF[y]=1$  或  $AWDLTF[y]=1$ ）。当所有  $AWDHTF[7:0]$  和  $AWDLTF[7:0]$  标志都被清除时，  $AWDF$  位自动清 0。

模拟看门狗事件可配置输出刹车信号。 DSMU 最多支持输出 4 个刹车信号 ( $dsmu\_break[3:0]$ )，触发源可分别设置为模拟看门狗超出高、低阈值事件，通过  $DSMU\_FLTxAWDHT$  寄存器中的  $BKAWDHT[3:0]$  位域和  $DSMU\_FLTxAWDLT$  寄存器中的  $BKAWDLT[3:0]$  位域配置。

模拟看门狗存在一定的局限性：由于没有触发标志，为了避免丢失数据，CPU 必须以比硬件更新更快地速度读取模拟看门狗滤波数据（ $DSMU\_CHyAWDDAT$  寄存器中  $AWDDAT[15:0]$  位域）。注意，CPU 读取模拟看门狗滤波数据仅用于调试。

## 32.4.10 短路检测器

如果模拟信号达到并保持在饱和值（超出满量程范围），短路检测器会快速发出信号，指示串行输入通道发生了短路或开路错误（例如，过流或过压），并可触发中断、事件或输出刹车信号。

短路检测器输入数据来自输入串行通道接收器。每个通道都有一个计数器，用于统计串行数据接收器输出的连续 0 或 1。如果数据从 1 变为 0 或从 0 变为 1，则计数器会重置。

如果计数器达到短路阈值（通过 DSMU\_CHyAWDSCDET 寄存器中的 SCDETH[7:0]位域配置），则触发短路事件。每个输入通道都有独立的短路检测器，可在 DSMU\_CHyCFG1 寄存器中设置 SCDETEN 位来启用，以便持续监控当前通道。

每个通道都有独立的短路检测器配置（阈值位域 SCDETH[7:0]，状态标志位域 SCDETF[7:0]，和清除状态标志位域 CLRSCDETF[7:0]）。状态标志 SCDETF[y] 也会在相应的通道 y 被禁用时（CHEN[y]=0）由硬件清 0。

每个通道上的短路检测器事件可分别输出刹车信号，通过 DSMU\_CHyAWDSCDET 寄存器中的 BKSCDET[3:0] 位域配置。刹车信号（dsmu\_break[3:0]）输出与模拟看门狗共享。

如果启用并行输入数据通道选择，则无法使用短路检测器（DSMU\_CHyCFG1 寄存器中的 DATMUX[1:0] ≠ 0）。

### 32.4.11 极值检测器

极端值检测器记录最终输出数据的最小值和最大值（峰峰值）。

如果输出数据高于极值检测器中的最大值(DSMU\_FLTxEXDETMAX 寄存器中的 EXDETMAX[23:0]位域)，则 EXDETMAX[23:0]位域更新为新值，并在 EXDETMAXCH[2:0] 中记录对应的通道编号。

如果输出数据字低于极值检测器中的最小值 (DSMU\_DFxEXDETMIN 寄存器中的 EXDETMIN[23:0]位域)，则 EXDETMIN[23:0]位域更新为新值，并在 EXDETMINCH[2:0] 中记录对应通道编号。

可通过读取 DSMU\_FLTxEXDETMAX 或 DSMU\_DFxEXDETMIN 寄存器来刷新最小和最大寄存器值，使其恢复默认值。刷新后，最小值寄存器 (DSMU\_DFxEXDETMIN) 设置为 0x7FFFFFFF（最大正值），最大值寄存器 (DSMU\_FLTxEXDETMAX) 设置为 0x800000（最小负值）。

极值检测在右移和数据偏移校正后进行比较。

极值检测器监控的通道由 DSMU\_FLTxCTRL2 寄存器中的 EXDETH[7:0]位域配置。

### 32.4.12 数据输出单元

数据输出单元是数据处理路径的最终阶段：

外部  $\Sigma\Delta$  调制器 → 串行数据接收器 → Sinc 滤波器 → 积分器 → 数据输出单元。

输出数据速率取决于串行数据流速率，以及滤波器和积分器设置。

当 IOSR > 0 时，最大输出数据速率可按照下面的公式计算：

- 规则转换，使用 Sinc<sup>x</sup> 滤波（FORD = 1~5）且禁用快速模式（DSMU\_FLTxCTRL1.FAST=0）

$$\text{Datarate}[\text{samples/s}] = f_{\text{DATAIN\_RATE}} / (\text{FOSR} * (\text{IOSR} + \text{FORD}) + 1)$$

- 规则转换，使用 FastSinc 滤波（FORD = 0）且禁用快速模式（DSMU\_FLTxCTRL1.FAST=0）

$$\text{Datarate}[\text{samples/s}] = f_{\text{DATAIN\_RATE}} / (\text{FOSR} * (\text{IOSR} + 4) + 1)$$

- 规则转换并启用快速模式（DSMU\_FLTxCTRL1.FAST=1）

$$\text{Datarate}[\text{samples/s}] = f_{\text{DATAIN\_RATE}} / (\text{FOSR} * \text{IOSR})$$

当 IOSR = 0 时，最大输出数据速率按照下面的公式计算：

- 规则转换，使用 Sinc<sup>x</sup> 滤波（FORD = 1~5）且禁用快速模式（DSMU\_FLTxCTRL1.FAST=0）

$$\text{Datarate}[\text{samples/s}] = f_{\text{DATAIN\_RATE}} / (\text{FOSR} * \text{FORD} + 1)$$

- 规则转换，使用 FastSinc 滤波（FORD = 0）且禁用快速模式（DSMU\_FLTxCTRL1.FAST=0）

$$\text{Datarate}[\text{samples/s}] = f_{\text{DATAIN\_RATE}} / (\text{FOSR} * 4 + 1)$$

- 规则转换并启用快速模式（DSMU\_FLTxCTRL1.FAST=1）

$$\text{Datarate}[\text{samples/s}] = f_{\text{DATAIN\_RATE}} / \text{FOSR}$$

其中  $f_{\text{DATAIN\_RATE}}$  是来自外部  $\Sigma\Delta$  调制器、内部 ADC 或 CPU/DMA 的输入数据速率。注入转换的最大输出数据速率与禁用快速模式的规则转换相同。

由于最终数据分辨率为 24 位，而来自数据处理路径中上一阶段的数据可达 32 位，最终数据在此模块中进行右移处理。右移位数可在每个选定的输入通道分别配置为 0~31 位（详见 DSMU\_CHyCFG2 寄存器中的 DATRBS[4:0]位域）。右移结果舍入到最接近的整数，并保持符号，以确保结果为有效的 24 位有符号格式。

数据在右移处理后，还会进行偏移校正，从每个通道的输出数据中减去偏移校正（DSMU\_CHyCFG2 寄存器中的 CALOFFSET[23:0]位域）。校正通过软件设置。

由于所有数字处理操作都在 32 位有符号寄存器上执行，因此滤波器配置必须满足以下条件以避免发生数据溢出：

- 对于 Sinc<sup>x</sup> 滤波器(x = 1~5)： $\text{FOSR}^{\text{FORD}} * \text{IOSR} \leq 2^{31}$

- 对于 FastSinc 滤波器： $2 * \text{FOSR}^2 * \text{IOSR} \leq 2^{31}$

输入数据速率 ( $f_{\text{DATAIN\_RATE}}$ ) 也必须正确配置，以确保所有输出数据都可以读取，例如：如果同时旁路积分器和滤波器（IOSR[7:0]=0 且 FOSR[9:0]=0）， $f_{\text{DATAIN\_RATE}} \leq f_{\text{CLK2}}$ 。

### 32.4.13 有符号数据格式

所有数据以有符号格式存储在寄存器中，用于最终输出数据、模拟看门狗、极值检测器和偏移校正。输出数据字的最高有效位 (MSB) 为符号位（采用补码格式）。

每个 DSMU 输入串行通道可以连接到一个外部  $\Sigma\Delta$  调制器。该调制器具有两个差分输入（正极和负极），用于测量差分或单端信号。来自  $\Sigma\Delta$  调制器的输出始终为有符号格式，以 1 位串行数据流的形式连续输出，其中数据 0 和 1 分别代表 -1 和 +1。

### 32.4.14 启动转换

#### 32.4.14.1 注入转换 (Injected conversion)

可通过以下触发方式启动注入转换（详见 DSMU\_FLTxCTRL1 寄存器）：

1. 软件触发：通过向 JSWSTART 位写‘1’启动转换。
2. 外部触发：配置 JEXTSEL[4:0]位域选择触发信号，配置 JEXTEN 位激活触发并选择有效触发边沿，当有效外部事件发生时自动启动转换。
3. 同步触发：仅适用于后 3 个滤波器 DSMU\_FLTx (x=1~3)。当 JSYNC 位置为 1 时，如果第 1 个滤波器

DSMU\_FLT0 通过软件触发启动注入转换，当前滤波器自动同步启动注入转换，转换流程同时遵循其注入转换配置，如 JSCAN 位、DSMU\_FLTxJCHG 寄存器等。

当使能扫描模式(JSCAN=1)时：每次触发注入转换时，注入组中所有选定的通道 (DSMU\_FLTxJCHG 寄存器中的 JCHG[7:0]位域) 从编号最小的通道开始依次转换，。

当禁用扫描模式(JSCAN=0)时：每次触发注入转换时，仅转换注入组中的一个选定通道，然后待转换通道自动置为到注入组中的下一个通道。此时，对 JCHG[7:0]位域进行写操作会重置待转换通道为注入组中编号最小的通道。

同一时间只能发生一个注入转换。如果有一个注入转换正在进行，则任何新的注入转换请求都将被忽略。

#### 32.4.14.2 规则转换 (Regular conversions)

可通过以下触发方式启动规则转换 (详见 DSMU\_FLTxCTRL1 寄存器)：

1. 软件触发：通过向 RSWSTART 位写‘1’启动转换。
2. 同步触发：仅适用于后 3 个滤波器 DSMU\_FLTx (x=1~3)。当 RSYNC 位置为 1 时，如果第 1 个滤波器 DSMU\_FLT0 通过软件触发启动规则转换，当前滤波器自动同步启动规则转换，转换流程同时遵循其规则转换配置，如 RCONT 位、RCH[2:0]位域。

在任何时刻，只能有一个规则转换处于等待状态或正在进行中。如果有一个规则转换仍在 等待或进行中时，新的规则转换请求将被忽略。

如果被注入转换中断或在注入转换进行时开始，则规则转换会延迟进行。待所有注入转换完成后，等待中的规则转换将继续进行。可通过 DSMU\_FLTxRDAT 寄存器中的 RPEND 位查看延迟状态。

如果规则转换正在进行时启动注入转换，则当前规则转换被中断，数据及结果都被丢弃。待注入转换结束后，将使用新的输入数据重新启动规则转换。

#### 32.4.15 连续和快速模式

在 DSMU\_FLTxCTRL1 寄存器中，将 RCONT 位设置为 1，可以启用 DSMU 规则转换的连续模式。此时，向 RSWSTART 位写‘1’后，由 RCH[2:0]位域选择的通道将被重复转换。可通过向 RCONT 位写‘0’停止连续模式，以便立即停止连续转换。

通过将 DSMU\_FLTxCTRL1 寄存器中的 FAST 位置 1，可启用快速模式以提高数据输出速率。此时允许滤波器在每次转换时重复使用部分先前采样的数据，从而加快了处理速度。速度的提高取决于滤波器的阶数。快速模式下的第一次转换需要与正常模式相同的时长，但后续转换会更快。

当连续转换 (RCONT=1) 正在进行时，如果用户对 DSMU\_FLTxCTRL1 寄存器进行写操作请求连续转换，即使寄存器值没有改变，也将在下一个周期重新开始连续转换。

通过在 RCONT=1 时将 RCONT 写 1 进行快速重启的操作，仅在用户没有同时写入 RSWSTART 或 JSWSTART 时有效。如果 DFLTEN 位为 0，则设置 RCONT 位无效。

注入转换不支持连续模式，但可通过定时器触发启动注入转换，以模拟具有精确定时的连续模式。

#### 32.4.16 请求优先级

注入转换的优先级高于常规转换。如果正在进行常规转换，并且请求注入转换，则常规转换将立即中断，并在注入转换完成后重新开始。

如果另一个注入转换正在等待或进行中，则无法启动注入转换。当 DSMU\_FLTxSTS 寄存器中的 JCIP 位为‘1’时，任何新的注入转换请求都将被忽略。

与注入转换类似，规则转换也不能在另一个规则转换正在等待或进行时开始。当 DSMU\_FLTxSTS 寄存器中的 RCIP 位为‘1’时，任何新的规则转换请求都将被忽略。

如果在规则转换进行时请求注入转换，则停止常规转换并立即开始注入转换。常规转换将在注入转换完成后重新启动，可通过 RPEND 位查询规则转换是否被延迟。

注入转换可以中断一系列连续的规则转换。注入转换完成后，如果 RCONT 仍然设置，则连续的规则转换将继续进行。延迟的规则转换是否重启可通过 RPEND 位查询。

优先级也适用于同时启动或等待的多个动作。例如，如果注入转换正在进行（JCIP=1）请求规则转换（RSWSTART=1），则规则转换将在注入转换完成后开始，通过 RPEND 位指示规则转换开始进入延迟等待状态。

为了快速重启，在 RCONT=1 时再次将 RCONT 位写 1，仅在 RSWSTART 或 JSWSTART 未同时写入时有效。

重置 RCONT 在 DFLTEN 为 0 时不会生效。

### 32.4.17 DSMU 中断

为了提升 CPU 性能，DSMU 支持以下中断事件：

- 注入转换结束中断：
  - 通过在 DSMU\_FLTxCTRL2 寄存器中设置 JEOCIEN 位来启用。
  - 中断标志由 DSMU\_FLTxSTS 寄存器中的 JEOCF 位指示。
  - 通过读取 DSMU\_FLTxJDAT 寄存器（包含注入转换结果）清除中断。
  - 转换结果对应的通道由 DSMU\_FLTxJDAT 寄存器中的 JDATCH[2:0]位域指示。
- 规则转换结束中断：
  - 通过在 DSMU\_FLTxCTRL2 寄存器中设置 REOCIEN 位来启用。
  - 中断标志由 DSMU\_FLTxSTS 寄存器中的 REOCF 位指示。
  - 通过读取 DSMU\_FLTxRDAT 寄存器（包含规则转换结果）清除中断标志。
  - 转换结果对应的通道由 DSMU\_FLTxRDAT 寄存器中的 RDATCH[2:0]位域指示。
- 注入转换结果溢出中断：
  - 当 DSMU\_FLTxJDAT 寄存器中的注入转换结果未被 CPU 或 DMA 读取，并被新的注入转换结果覆盖时，可产生注入转换结果溢出中断。
  - 通过在 DSMU\_FLTxCTRL2 寄存器中设置 JOVRIEN 位来启用。
  - 中断标志由 DSMU\_FLTxSTS 寄存器中的 JOVRF 位指示。
  - 在 DSMU\_FLTxINTCLR 寄存器中，向 CLRJOVRF 位写‘1’可清除中断标志。
- 规则转换结果溢出中断：

- 当 DSMU\_FLTxRDAT 寄存器中的规则转换结果未被 CPU 或 DMA 读取，并被新的规则转换结果覆盖时，可产生规则转换结果溢出中断。
- 通过在 DSMU\_FLTxCTRL2 寄存器中设置 ROVRIEN 位来启用。
- 中断标志由 DSMU\_FLTxSTS 寄存器中的 ROVRF 位指示。
- 在 DSMU\_FLTxINTCLR 寄存器中，向 CLRROVRF 位写‘1’可清除中断标志。

■ 模拟看门狗中断:

- 当模拟看门狗输入数据（主滤波器或模拟看门狗滤波器输出的数据）超过 DSMU\_FLTxAWDHT 或 DSMU\_FLTxAWDLT 寄存器中设置的高、低阈值时，可产生模拟看门狗中断。
- 通过设置 DSMU\_FLTxCTRL2 寄存器中的 AWDIEN 位，在 AWDCH[7:0]位域选定通道上启用模拟看门狗中断。
- 中断标志由 DSMU\_FLTxSTS 寄存器中的 AWDF 位指示。
- DSMU\_FLTxAWDSTS 寄存器中的 AWDHTF[7:0]和 AWTHLF[7:0]位域分别提供了超出模拟看门狗高、低阈值的错误标志。
- 在 DSMU\_FLTxAWDCLR 寄存器中，向 CLRAWDHTF[7:0]/CLRAWDHLF[7:0]位域的相应位写‘1’，可清除对应通道的错误标志。

■ 短路检测中断:

- 当串行数据中连续的数据‘1’或‘0’数量超过 DSMU\_CHyAWDSCDET 寄存器中设置的阈值时，可产生短路检测中断。
- 通过在 DSMU\_FLTxCTRL2 寄存器中设置 SCDETIEN 位启用(必须确保已在 DSMU\_CHyCFG1 中设置 SCDETEN 位启用当前通道的短路检测功能)。
- 中断标志由 DSMU\_FLTxSTS 寄存器中的 SCDETF[7:0]位指示，同时还指示了短路检测事件对应的通道。
- 在 DSMU\_FLTxINTCLR 寄存器中，向 CLRSCDETF[7:0]位域的相应位写‘1’可清除中断标志。

■ 通道时钟缺失中断:

- 当 CKINy 引脚上没有时钟信号时（请参阅时钟缺失检测章节），可产生时钟缺失中断。
- 通过在 DSMU\_FLTxCTRL2 寄存器中设置 CLKABIEN 位启用，适用于已通过设置 DSMU\_CHyCFG1 寄存器中的 CLKABEN 位启用时钟缺失检测功能的通道。
- 中断标志由 DSMU\_FLTxSTS 寄存器中的 CLKABF[y]位指示。
- 在 DSMU\_FLTxINTCLR 寄存器中，向 CLRCLKABF[y]位域的相应位写‘1’，可清除中断标志。

表 32-8 DSMU 中断请求

中断事件	中断标志	清除中断标志	中断使能
注入结束转换	JEOCF	读 DSMU_FLTxJDAT	JEOCIEN
常规结束转换	REOCF	读 DSMU_FLTxRDAT	REOCIEN



注入转换结果溢出	JOVRF	CLRJOVRF 位写‘1’	JOVRIEN
规则转换结果溢出	ROVRF	CLRROVRF 位写‘1’	ROVRIEN
模拟看门狗	AWDF AWDHTF[7:0] AWTHLF[7:0]	CLRAWDHTF[7:0]相应位写‘1’ CLRAWDHLF[7:0] 相应位写‘1’	AWDIEN(AWDCH[7:0])
短路检测	SCDETF[7:0]	CLRSCDETF[7:0] 相应位写‘1’	SCDETIEN(SCDETEN)
时钟缺失	CLKABF[7:0]	CLRCLKABF[7:0] 相应位写‘1’	CLKABIEN(CLKABEN)

### 32.4.18 DSMU DMA 传输

为了减轻 CPU 负载，DSMU 可启用 DMA 传输：

- 注入转换：在 DSMU\_FLT<sub>x</sub>CTRL1 寄存器中设置 JDMAEN=1 启用 DMA 。
- 规则转换：在 DSMU\_FLT<sub>x</sub>CTRL1 寄存器中设置 RDMAEN=1 启用 DMA 。
- 使用 DMA 传输时，转换结束标志（对于注入转换是 JEOCF，对于常规转换是 REOCF）会在 DMA 读取 DSMU\_FLT<sub>x</sub>JDAT 或 DSMU\_FLT<sub>x</sub>RDAT 寄存器时自动清除。

## 32.5 DSMU 寄存器

### 32.5.1 DSMU 寄存器总览

DSMU 寄存器基地址： 0x400DA000

表 32-9 DSMU 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0											
0x00	DSMU_CH0 CFG1	DSMUEN	CLKOUTSRC	Reserved							CLKOUTDIV[7:0]							DATPACK[1:0]		DATMUX[1:0]		Reserved			CHINSEL	CHEN	CLKABEN	SCDETEN	Reserved	SPCLKSEL[1:0]		SITP[1:0]												
	Reset Value	0	0								0 0																																	
0x04	DSMU_CH0 CFG2	CALOFFSET[23:0]																							DATRBS[4:0]				Reserved															
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0										
0x08	DSMU_CH0 AWDSCDET	Reserved							AWDFORD[1:0]		Reserved	AWDFOSR[4:0]				BKSCDET[3:0]			Reserved			SCDETH[7:0]																						
	Reset Value								0	0	0 0 0 0 0 0 0 0				0 0 0 0 0 0						0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																							
0x0C	DSMU_CH0 AWDDAT	Reserved															AWDDAT[15:0]																											
	Reset Value																0 0																											
0x10	DSMU_CH0 DATIN	INDAT1[15:0]															INDAT0[15:0]																											
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0										
0x20	DSMU_CH1CFG1	Reserved															DATPACK[1:0]		DATMUX[1:0]		Reserved			CHINSEL	CHEN	CLKABEN	SCDETEN	Reserved	SPCLKSEL[1:0]		SITP[1:0]													
	Reset Value																0 0 0 0 0 0		0 0 0 0 0 0					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x24	DSMU_CH1CFG2	CALOFFSET[23:0]																							DATRBS[4:0]				Reserved															
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0									
0x28	DSMU_CH1 AWDSCDET	Reserved							AWDFORD[1:0]		Reserved	AWDFOSR[4:0]				BKSCDET[3:0]			Reserved			SCDETH[7:0]																						
	Reset Value								0	0	0 0 0 0 0 0 0 0				0 0 0 0 0 0						0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																							
0x2C	DSMU_CH1 AWDDAT	Reserved															AWDDAT[15:0]																											
	Reset Value																0 0																											
0x30	DSMU_CH1 DATIN	INDAT1[15:0]															INDAT0[15:0]																											
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0									
0x40	DSMU_CH2CFG1	Reserved															DATPACK[1:0]		DATMUX[1:0]		Reserved			CHINSEL	CHEN	CLKABEN	SCDETEN	Reserved	SPCLKSEL[1:0]		SITP[1:0]													
	Reset Value																0 0 0 0 0 0		0 0 0 0 0 0					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	DSMU_CH2CFG2	CALOFFSET[23:0]																							DATRBS[4:0]				Reserved															
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0									
0x48	DSMU_CH2 AWDSCDET	Reserved							AWDFORD[1:0]		Reserved	AWDFOSR[4:0]				BKSCDET[3:0]			Reserved			SCDETH[7:0]																						
	Reset Value								0	0	0 0 0 0 0 0 0 0				0 0 0 0 0 0						0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																							
0x4C	DSMU_CH2 AWDDAT	Reserved															AWDDAT[15:0]																											

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0													
	Reset Value	0																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0										
0x50	DSMU_CH2 DATIN	INDAT1[15:0]															INDAT0[15:0]																													
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0													
0x60	DSMU_CH3CFG1	Reserved															DATPACK[1:0]		DATMUX[1:0]		Reserved			CHINSEL	CHEN	CLKABEN	SCDETEN	Reserved	SPCLKSEL[1:0]	SITP[1:0]																
	Reset Value	0															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0									
0x64	DSMU_CH3CFG2	CALOFFSET[23:0]															DATRBS[4:0]				Reserved																									
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
0x68	DSMU_CH3 AWDSCEDET	Reserved										AWDFORD[1:0]		Reserved	AWDFOSR[4:0]				BKSCDET[3:0]			Reserved			SCDETH[7:0]																					
	Reset Value	0										0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0									
0x6C	DSMU_CH3 AWDDAT	Reserved															AWDDAT[15:0]																													
	Reset Value	0															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x70	DSMU_CH3 DATIN	INDAT1[15:0]															INDAT0[15:0]																													
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0													
0x80	DSMU_CH4CFG1	Reserved															DATPACK[1:0]		DATMUX[1:0]		Reserved			CHINSEL	CHEN	CLKABEN	SCDETEN	Reserved	SPCLKSEL[1:0]	SITP[1:0]																
	Reset Value	0															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x84	DSMU_CH4CFG2	CALOFFSET[23:0]															DATRBS[4:0]				Reserved																									
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0													
0x88	DSMU_CH4 AWDSCEDET	Reserved										AWDFORD[1:0]		Reserved	AWDFOSR[4:0]				BKSCDET[3:0]			Reserved			SCDETH[7:0]																					
	Reset Value	0										0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0									
0x8C	DSMU_CH4 AWDDAT	Reserved															AWDDAT[15:0]																													
	Reset Value	0															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x90	DSMU_CH4 DATIN	INDAT1[15:0]															INDAT0[15:0]																													
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0													
0xA0	DSMU_CH5CFG1	Reserved															DATPACK[1:0]		DATMUX[1:0]		Reserved			CHINSEL	CHEN	CLKABEN	SCDETEN	Reserved	SPCLKSEL[1:0]	SITP[1:0]																
	Reset Value	0															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xA4	DSMU_CH5CFG2	CALOFFSET[23:0]															DATRBS[4:0]				Reserved																									
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0													
0xA8	DSMU_CH5 AWDSCEDET	Reserved										AWDFORD[1:0]		Reserved	AWDFOSR[4:0]				BKSCDET[3:0]			Reserved			SCDETH[7:0]																					
	Reset Value	0										0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0								
0xAC	DSMU_CH5 AWDDAT	Reserved															AWDDAT[15:0]																													
	Reset Value	0															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xB0	DSMU_CH5 DATIN	INDAT1[15:0]															INDAT0[15:0]																													
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0													
0xC0	DSMU_CH6CFG1	Reserved															DATPACK[1:0]		DATMUX[1:0]		Reserved			CHINSEL	CHEN	CLKABEN	SCDETEN	Reserved	SPCLKSEL[1:0]	SITP[1:0]																
	Reset Value	0															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0											
0xC4	DSMU_CH6CFG2	CALOFFSET[23:0]																							DATRBS[4:0]				Reserved															
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			0	0	0	0										
0xC8	DSMU_CH6 AWDSCDET	Reserved										AWDFORD[1:0]		Reserved	AWDFOSR[4:0]				BKSCDET[3:0]			Reserved		SCDETH[7:0]																				
	Reset Value	0										0	0	0				0	0	0	0	0		0																				
0xCC	DSMU_CH6 AWDDAT	Reserved															AWDDAT[15:0]																											
	Reset Value	0															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xD0	DSMU_CH6 DATIN	INDAT1[15:0]															INDAT0[15:0]																											
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0											
0xE0	DSMU_CH7CFG1	Reserved															DATPACK[1:0]		DATMUX[1:0]		Reserved			CHINSEL	CHEN	CLKABEN		SCDETEN	Reserved	SPCLKSEL[1:0]		SITP[1:0]												
	Reset Value	0															0	0	0	0	0			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0xE4	DSMU_CH7CFG2	CALOFFSET[23:0]																							DATRBS[4:0]				Reserved															
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			0	0	0	0										
0xE8	DSMU_CH7 AWDSCDET	Reserved										AWDFORD[1:0]		Reserved	AWDFOSR[4:0]				BKSCDET[3:0]			Reserved		SCDETH[7:0]																				
	Reset Value	0										0	0	0				0	0	0	0	0		0																				
0xEC	DSMU_CH7 AWDDAT	Reserved															AWDDAT[15:0]																											
	Reset Value	0															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xF0	DSMU_CH7 DATIN	INDAT1[15:0]															INDAT0[15:0]																											
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0											
0x100	DSMU_FLT0 CTRL1	Reserved	AWDFSEL		FAST	Reserved			RCH[2:0]		Reserved	RDMAEN	Reserved	RSYNC	RCONT	RSWSTART		Reserved	JEXTEN[1:0]			JEXTSEL[4:0]				Reserved		JDMAEN	JSCAN	JSYNC	Reserved	JSWSTART	DELTEN											
	Reset Value	0	0	0	0			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0												
0x104	DSMU_FLT0 CTRL2	Reserved										AWDCH[7:0]							EXDETECH[7:0]							Reserved	CLKABIEN	SCDETIEN	AWDIEN	ROVRIEN	JOVRIEN	REOCIEEN	JEOCIEEN											
	Reset Value	0										0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0						
0x108	DSMU_FLT0STS	SCDETF[7:0]							CLKABF[7:0]							Reserved	RCIP	JCIP	Reserved							AWDF	ROVRF	JOVRF	REOCF	JEOCF														
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0											
0x10C	DSMU_FLT0 INTCLR	CLRSCDETF[7:0]										CLRCLKABF[7:0]							Reserved							CLRROVRF	CLRJOVRF	Reserved																
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0												
0x110	DSMU_FLT0 JCHG	Reserved															JCHG[7:0]																											
	Reset Value	0															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0													
0x114	DSMU_FLT0 FCTRL	FORD[2:0]			Reserved					FOSR[9:0]							Reserved							IOSR[7:0]																				
	Reset Value	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0										
0x118	DSMU_FLT0 JDAT	JDAT[23:0]																							Reserved				JDATCH[2:0]															
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0												
0x11C	DSMU_FLT0 RDAT	RDAT[23:0]																							Reserved		RPEND	Reserved	RDATCH[2:0]															
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0												
0x120	DSMU_FLT0 AWDHT	AWDHT[23:0]																							Reserved				BKAWDHT[3:0]															
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0												
0x124	DSMU_FLT0 AWDLT	AWDLT[23:0]																							Reserved				BKAWDLT[3:0]															
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0												

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0x128	DSMU_FLT0 AWDSTS	Reserved														AWDHTF[7:0]							AWDLTF[7:0]											
	Reset Value	0														0							0											
0x12C	DSMU_FLT0 AWDCLR	Reserved														CLRAWHTF[7:0]							CLRAWDLTF[7:0]											
	Reset Value	0														0							0											
0x130	DSMU_FLT0 EXDETMAX	EXDETMAX[23:0]																							Reserved				EXDET MAXCH[2:0]					
	Reset Value	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x134	DSMU_FLT0 EXDETMIN	EXDETMIN[23:0]																							Reserved				EXDET MINCH[2:0]					
	Reset Value	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0
0x138	DSMU_FLT0 COVTIM	COVCNT[27:0]																							Reserved									
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x180	DSMU_FLT1 CTRL1	Reserved	AWDFSEL	FAST	Reserved	RCH[2:0]		Reserved	RDMAEN	Reserved	RSYNC	RCONT	RSWSTART	Reserved	JEXTEN[1:0]	JEXTSEL[4:0]				Reserved	JDMAEN	JSCAN	JSYNC	Reserved	JSWSTART	DELTEN								
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x184	DSMU_FLT1 CTRL2	Reserved						AWDCH[7:0]						EXDETECH[7:0]						Reserved														
	Reset Value	0						0						0						0														
0x188	DSMU_FLT1STS	Reserved														RCIP	JCIP	Reserved				AWDF	ROVRF	JOVRF	REOCF	JEOCF								
	Reset Value	0														0	0	0				0	0	0	0	0								
0x18C	DSMU_FLT1 INTCLR	Reserved																				CLRROVRF	CLRJOVRF	Reserved										
	Reset Value	0																				0	0	0										
0x190	DSMU_FLT1 JCHG	Reserved														JCHG[7:0]																		
	Reset Value	0														0																		
0x194	DSMU_FLT1 FCTRL	FORD[2:0]		Reserved		FOSR[9:0]						Reserved				IOSR[7:0]																		
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x198	DSMU_FLT1 JDAT	JDAT[23:0]																							Reserved				JDATCH[2:0]					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x19C	DSMU_FLT1 RDAT	RDAT[23:0]																							Reserved		RPEND	Reserved	RDATCH[2:0]					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1A0	DSMU_FLT1 AWDHT	AWDHT[23:0]																							Reserved				BKAWDHT[3:0]					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x1A4	DSMU_FLT1 AWDLT	AWDLT[23:0]																							Reserved				BKAWDLT[3:0]					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x1A8	DSMU_FLT1 AWDSTS	Reserved														AWDHTF[7:0]							AWDLTF[7:0]											
	Reset Value	0														0							0											
0x1AC	DSMU_FLT1 AWDCLR	Reserved														CLRAWHTF[7:0]							CLRAWDLTF[7:0]											
	Reset Value	0														0							0											
0x1B0	DSMU_FLT1 EXDETMAX	EXDETMAX[23:0]																							Reserved				EXDET MAXCH[2:0]					
	Reset Value	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x1B4	DSMU_FLT1 EXDETMIN	EXDETMIN[23:0]																							Reserved				EXDET MINCH[2:0]					
	Reset Value	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0
0x1B8	DSMU_FLT1 COVTIM	COVCNT[27:0]																							Reserved									
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x200	DSMU_FLT2 CTRL1	Reserved	AWDFSEL	FAST	Reserved	RCH[2:0]		Reserved	RDMAEN	Reserved	RSYNC	RCONT	RSWSTART	Reserved	JEXTEN[1:0]	JEXTSEL[4:0]				Reserved	JDMAEN	JSCAN	JSYNC	Reserved	JSWSTART	DELTEN								
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
0x204	DSMU_FLT2_CTRL2	Reserved								AWDCH[7:0]							EXDETECH[7:0]							Reserved			AWDIEN	ROVRIEN	JOVRIEN	REOCIEEN	JEOCIEEN						
	Reset Value									0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x208	DSMU_FLT2STS	Reserved													RCIP	JCIP	Reserved										AWDF	ROVRF	JOVRF	REOCF	JEOCF						
	Reset Value														0	0											0	0	0	0	0						
0x20C	DSMU_FLT2_INTCLR	Reserved																								CLRROVRF	CLRJOVRF	Reserved									
	Reset Value																									0	0										
0x210	DSMU_FLT2_JCHG	Reserved																	JCHG[7:0]																		
	Reset Value																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x214	DSMU_FLT2_FCTRL	FORD[2:0]		Reserved			FOSR[9:0]							Reserved										IOSR[7:0]													
	Reset Value	0	0	0				0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
0x218	DSMU_FLT2_JDAT	JDAT[23:0]																							Reserved			JDATCH[2:0]									
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
0x21C	DSMU_FLT2_RDAT	RDAT[23:0]																							Reserved		RPEND	Reserved	RDATCH[2:0]								
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
0x220	DSMU_FLT2_AWDHT	AWDHT[23:0]																							Reserved			BKAWDHT[3:0]									
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
0x224	DSMU_FLT2_AWDLT	AWDLT[23:0]																							Reserved			BKAWDLT[3:0]									
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
0x228	DSMU_FLT2_AWDSTS	Reserved													AWDHTF[7:0]				AWDLTF[7:0]																		
	Reset Value														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0							
0x22C	DSMU_FLT2_AWDCLR	Reserved													CLRAWDHTF[7:0]				CLRAWDLTF[7:0]																		
	Reset Value														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0							
0x230	DSMU_FLT2_EXDETMAX	EXDETMAX[23:0]																							Reserved			EXDETMAXCH[2:0]									
	Reset Value	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0						
0x234	DSMU_FLT2_EXDETMIN	EXDETMIN[23:0]																							Reserved			EXDETMINCH[2:0]									
	Reset Value	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1						
0x238	DSMU_FLT2_COVTIM	COVCNT[27:0]																							Reserved												
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0						
0x280	DSMU_FLT3_CTRL1	Reserved	AWDFSEL	FAST	Reserved			RCH[2:0]		Reserved			RDMAEN	Reserved	RSYNC	RCON	RSWSTART	Reserved			JEXTEN[1:0]	JEXTSEL[4:0]				Reserved			JDMAEN	JSCAN	JSYNC	Reserved	JSWSTART	DFLTEN			
	Reset Value		0	0				0	0	0				0		0	0	0				0	0	0	0	0	0	0	0	0	0	0					
0x284	DSMU_FLT3_CTRL2	Reserved								AWDCH[7:0]							EXDETECH[7:0]							Reserved			AWDIEN	ROVRIEN	JOVRIEN	REOCIEEN	JEOCIEEN						
	Reset Value									0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x288	DSMU_FLT3STS	Reserved													RCIP	JCIP	Reserved										AWDF	ROVRF	JOVRF	REOCF	JEOCF						
	Reset Value														0	0											0	0	0	0	0						
0x28C	DSMU_FLT3_INTCLR	Reserved																								CLRROVRF	CLRJOVRF	Reserved									
	Reset Value																									0	0										
0x290	DSMU_FLT3_JCHG	Reserved																	JCHG[7:0]																		
	Reset Value																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x294	DSMU_FLT3_FCTRL	FORD[2:0]		Reserved			FOSR[9:0]							Reserved										IOSR[7:0]													
	Reset Value	0	0	0				0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
0x298	DSMU_FLT3_JDAT	JDAT[23:0]																							Reserved			JDATCH[2:0]									
	Reset Value																											0	0								

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x29C	DSMU_FLT3 RDAT	RDAT[23:0]																								Reserved			RPEND	Reserved	RDATCH[2:0]		
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x2A0	DSMU_FLT3 AWDHT	AWDHT[23:0]																								Reserved			BKAWDHT[3:0]				
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x2A4	DSMU_FLT3 AWDLT	AWDLT[23:0]																								Reserved			BKAWDLT[3:0]				
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x2A8	DSMU_FLT3 AWDSTS	Reserved												AWDHTF[7:0]						AWDLTF[7:0]													
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x2AC	DSMU_FLT3 AWDCLR	Reserved												CLRAWHTF[7:0]						CLRAWDLTF[7:0]													
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x2B0	DSMU_FLT3 EXDETMAX	EXDETMAX[23:0]																								Reserved			EXDET MAXCH[2:0]				
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x2B4	DSMU_FLT3 EXDETMIN	EXDETMIN[23:0]																								Reserved			EXDET MINCH[2:0]				
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x2B8	DSMU_FLT3 COVTIM	COVNT[27:0]																								Reserved							
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

### 32.5.2 DSMU 通道 y 配置寄存器 1 (DSMU\_CHyCFG1)

地址偏移:  $0x00 + 0x20 * y$  ( $y = 0$  to  $7$ )

复位值:  $0x0000\ 0000$

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
DSMU EN		CLK OUT SRC		Reserved							CLKOUTDIV[7:0]						
rw		rw									rw						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
DATPACK [1:0]		DATMUX [1:0]		Reserved			CHIN SEL	CH EN	CLKA BEN	SCDE TEN	Reserved	SPICLK SEL[1:0]		SITP[1:0]			
rw		rw					rw	rw	rw	rw		rw		rw			

位域	名称	描述
31	DSMUEN	DSMU 模块使能控制 0: 禁用 DSMU 模块 1: 使能 DSMU 模块 当 DSMU 模块使能后, 可通过启用通道 y (在 DSMU_CHyCFG1 寄存器中将 CHEN 位置 1) 和滤波器 x (在 DSMU_FLTxCTRL1 寄存器中将 DFLTEN 位置 1) 开始数据转换。 当 DSMUEN 位清 0 后, DSMU 模块被禁用, DSMU_FLTxSTS 与 DSMU_FLTxAWDSTS 寄存器被重置为复位值, 其他寄存器值保持不变。 <i>注意: DSMUEN 位仅存在于通道 0 的配置寄存器 1 (DSMU_CH0CFG1) 中。</i>
30	CLKOUTSRC	输出时钟源选择 0: 输出时钟源来自系统时钟 1: 输出时钟源来自音频时钟 当前位只能在 DSMUEN=0 时修改。 <i>注意: CLKOUTSRC 位仅存在于通道 0 的配置寄存器 1 (DSMU_CH0CFG1) 中。</i>
29:24	Reserved	保留, 必须保持复位值。
23:16	CLKOUTDIV[7:0]	输出时钟预分频 0: 禁用时钟输出(CKOUT 信号保持低电平) 1- 255: 输出时钟源经 2~256 分频后生成 CKOUT 信号输出给外部器件, 分频系数=CLKOUTDIV+1。 CKOUT 信号也用于时钟缺失检测, 当输入串行通道使用曼彻斯特编码格式时, 必须正确配置 CLKOUTDIV 以满足以下时序要求: $((CLKOUTDIV + 1) \times T_{SYSCLK}) < T_{Manchester\ clock} < (2 \times CLKOUTDIV \times T_{SYSCLK})$ 此位域只能在 DSMUEN=0 时修改。当 DSMUEN=0 时, CKOUT 信号被置为低电平。 <i>注意: CLKOUTDIV 位域仅存在于通道 0 的配置寄存器 1 (DSMU_CH0CFG1) 中。</i>
15:14	DATPACK[1:0]	输入数据寄存器 DSMU_CHyDATIN 中的数据组合模式配置



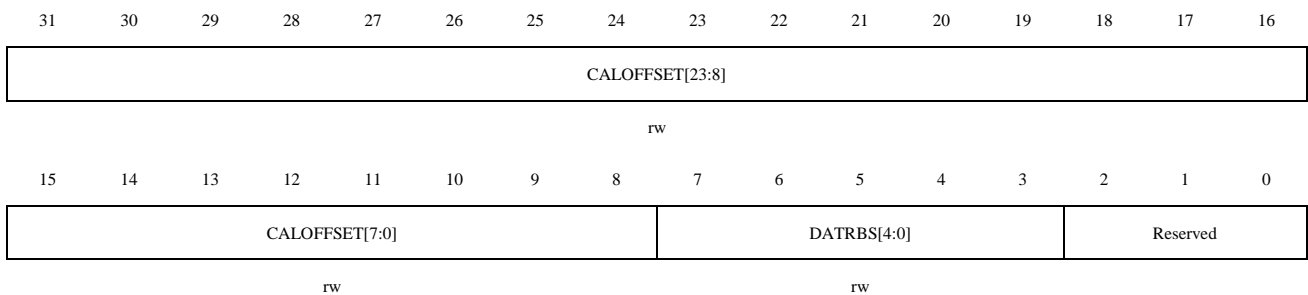
		<p>0: 标准模式, DSMU_CHyDATIN 寄存器中仅存储 1 个当前通道的并行数据。滤波器可从寄存器低 16 位 INDAT0[15:0]获取 1 个有效数据。</p> <p>1: 交错模式, DSMU_CHyDATIN 寄存器中可同时存储当前通道的 2 个并行数据。第 1 个数据位于低 16 位 INDAT0[15:0], 第 2 个数据位于高 16 位 INDAT1[15:0]。滤波器可依次从 INDAT0[15:0]、INDAT1[15:0]获取 2 个当前通道的有效数据。</p> <p>2: 双重模式: DSMU_CHyDATIN 寄存器中同时存储 2 个不同通道的并行数据。当前通道数据位于低 16 位 INDAT0[15:0], 下一通道数据位于高 16 位 INDAT1[15:0]。滤波器可从 INDAT0[15:0]、INDAT1[15:0]获取 2 个不同通道的有效数据。双重模式仅在编号为偶数的通道有效(y = 0, 2, 4, 6)。编号为奇数(y = 1, 3, 5, 7)的通道设置为双重模式后, DSMU_CHyDATIN 寄存器写保护。如果当前偶数编号通道被设置为双重模式, 下一个奇数编号通道必须设置为标准模式才能保证 2 个通道正确协同运行。</p> <p>3: 保留 此位域只能在 CHEN=0 (DSMU_CHyCFG1 寄存器) 时修改。</p>
13:12	DATMUX[1:0]	<p>通道 y 输入数据源选择</p> <p>0: 通道 y 数据来自外部 CKDATy 引脚输入的 1 位数据流。DSMU_CHyDATIN 寄存器写保护。</p> <p>1: 通道 y 数据来自内部 ADC[y+1]。ADC[y+1]数据寄存器中的 16 位有效数据被写入 DSMU_CHyDATIN 寄存器低 16 位 INDAT0[15:0]。</p> <p>2: 通道 y 数据来自 DSMU_CHyDATIN 寄存器。寄存器中数据由 CPU/DMA 按照 DATPACK[1:0]配置的格式写入。</p> <p>3: 保留 此位域只能在 CHEN=0 (DSMU_CHyCFG1 寄存器) 时修改。</p>
11:9	Reserved	保留, 必须保持复位值。
8	CHINSEL	<p>外部串行数据源选择</p> <p>0: 数据来自当前通道对应的外部引脚 CHyDATIN。</p> <p>1: 数据来自下一个通道对应的外部引脚 CH(y+1)DATIN。</p> <p>此位只能在 CHEN=0 (DSMU_CHyCFG1 寄存器) 时修改。</p>
7	CHEN	<p>通道 y 使能</p> <p>0: 禁用当前通道 y。</p> <p>1: 使能当前通道 y。</p> <p>如果输入数据来自外部 CKDATy 引脚, 通道 y 使能后立即开始接收串行数据。</p>
6	CLKABEN	<p>串行通道 y 时钟缺失检测使能</p> <p>0: 在通道 y 上禁用时钟缺失检测。</p> <p>1: 在通道 y 上使能时钟缺失检测。</p>
5	SCDETEN	<p>串行通道 y 短路检测使能</p> <p>0: 在通道 y 上禁用短路检测。</p> <p>1: 在通道 y 上使能短路检测。</p>
4	Reserved	保留, 必须保持复位值。
3:2	SPICLKSEL[1:0]	<p>串行通道 y 的 SPI 接口采样时钟配置</p> <p>0: SPI 采样时钟来自外部 CKINy 引脚输入时钟, 有效采样边沿由 SITP[1:0]位域配置</p>

		<p>1: SPI 采样时钟来自内部 CKOUT 信号, 有效采样边沿由 SITP[1:0]位域配置</p> <p>2: SPI 采样时钟来自内部 CKOUT 信号, 数据在每两个时钟下降沿中的第 2 个下降沿采样。当连接到 DSMU 的外部 <math>\Sigma\Delta</math> 调制器采用 CKOUT 信号作为输入参考时钟, 2 分频后作为输出数据时钟, 且数据时钟电平在参考时钟的上升沿时变化, 当前配置适用。</p> <p>3: SPI 采样时钟来自内部 CKOUT 信号, 数据在每两个时钟上升沿中的第 2 个上升沿采样。当连接到 DSMU 的外部 <math>\Sigma\Delta</math> 调制器采用 CKOUT 信号作为输入参考时钟, 2 分频后作为输出数据时钟, 且数据时钟电平在参考时钟的下降沿时变化时, 当前配置适用。</p> <p>此位域只能在 CHEN=0 (DSMU_CHyCFG1 寄存器) 时修改。</p>
1:0	SITP[1:0]	<p>串行通道 y 数据格式选择</p> <p>0: 通道 y 采用 SPI 格式, 数据在时钟上升沿采样。</p> <p>1: 通道 y 采用 SPI 格式, 数据在时钟下降沿采样。</p> <p>2: 通道 y 采用曼彻斯特编码格式, 数据由 DATINy 引脚单线输入, 上升沿表示逻辑 0, 下降沿表示逻辑 1。</p> <p>3: 通道 y 采用曼彻斯特编码格式, 数据由 DATINy 引脚单线输入, 上升沿表示逻辑 1, 下降沿表示逻辑 0。</p> <p>此位域只能在 CHEN=0 (DSMU_CHyCFG1 寄存器) 时修改。</p>

### 32.5.3 DSMU 通道 y 配置寄存器 2 (DSMU\_CHyCFG2)

地址偏移:  $0x04 + 0x20 * y$  ( $y = 0$  to 7)

复位值: 0x0000 0000



位域	名称	描述
31:8	CALOFFSET[23:0]	通道 y 转换结果的 24 位偏移校正值 对于通道 y, 校正值作用于当前通道的转换结果 (右移操作之后), 校正后可得到最终转换结果。 此位域通过软件配置。
7:3	DATRBS[4:0]	通道 y 转换结果的右移位数 0-31: 积分器输出需要进行右移操作的位数。右移操作在偏移校正之前执行, 将积分器输出数据四舍五入为最接近的有符号整数, 并保留符号, 以确保最终结果为有效的 24 位有符号整数。

		此位域只能在 CHEN=0 (DSMU_CHyCFG1 寄存器) 时修改。
2:0	Reserved	保留, 必须保持复位值。

### 32.5.4 DSMU 通道 y 短路检测与模拟看门狗寄存器(DSMU\_CHyAWDSCDET)

地址偏移:  $0x08 + 0x20 * y$  ( $y = 0$  to  $7$ )

复位值: 0x0000 0000

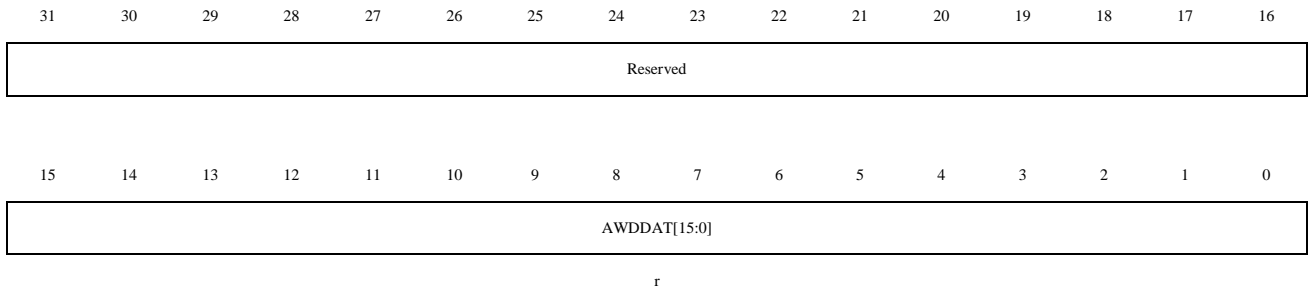
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved								AWDFORD [1:0]	Reserved	AWDFOSR[4:0]						
								rw		rw						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
BKSCDET[3:0]				Reserved				SCDETH[7:0]								
rw								rw								

位域	名称	描述
31:24	Reserved	保留, 必须保持复位值。
23:22	AWDFORD[1:0]	串行通道 y 模拟看门狗滤波 Sinc 滤波器阶数 0: FastSinc 滤波 1: Sinc <sup>1</sup> 滤波 2: Sinc <sup>2</sup> 滤波 3: Sinc <sup>3</sup> 滤波 Sinc <sup>x</sup> 滤波传递函数: $H(z) = \left[ \frac{1-z^{-FOSR}}{1-z^{-1}} \right]^x$ FastSinc 滤波传递函数: $H(z) = \left[ \frac{1-z^{-FOSR}}{1-z^{-1}} \right]^2 * (1 + z^{-(2*FOSR)})$ 此位域只能在 CHEN=0 (DSMU_CHyCFG1 寄存器) 时修改。
21	Reserved	保留, 必须保持复位值。
20:16	AWDFOSR[4:0]	串行通道 y 模拟看门狗滤波器过采样率 0-31: Sinc 滤波器长度, 范围为 1~32 (AWDFOSR + 1), 即滤波器过采样率。 此位域只能在 CHEN=0 (DSMU_CHyCFG1 寄存器) 时修改。 <i>注意: 如果 AWDFOSR = 0, 滤波器无作用 (滤波器旁路)。</i>
15:12	BKSCDET[3:0]	串行通道 y 短路检测事件刹车信号输出配置 BKSCDET[i] = 0: 通道 y 短路检测事件不输出刹车信号 dsmu_brki。 BKSCDET[i] = 1: 通道 y 短路检测事件输出刹车信号 dsmu_brki。
11:8	Reserved	保留, 必须保持复位值。
7:0	SCDETH[7:0]	串行通道 y 短路检测阈值 此位域通过软件配置, 表示 DATINy 引脚上检测到的连续的 '1' 或 '0' 的最大个数。如果超过此阈值, 当前通道产生短路检测事件。

### 32.5.5 DSMU 通道 y 看门狗滤波结果寄存器(DSMU\_CHyAWDDAT)

地址偏移:  $0x0C + 0x20 * y$  ( $y = 0$  to  $7$ )

复位值:  $0x0000\ 0000$

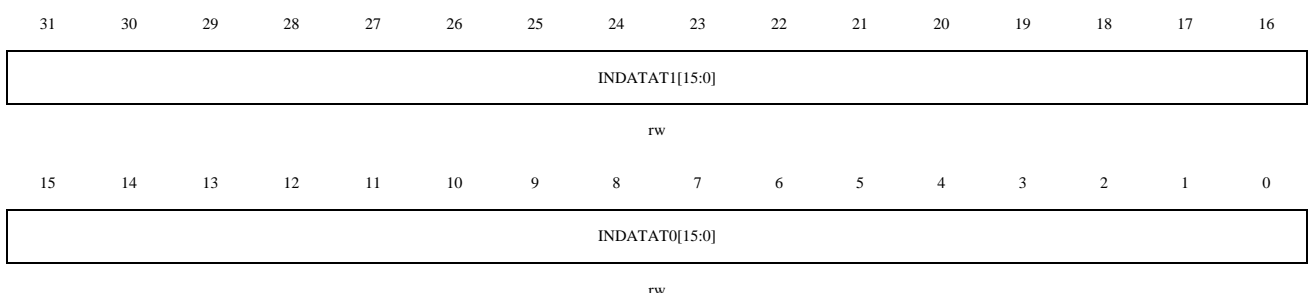


位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15:0	AWDDAT[15:0]	通道 y 看门狗滤波结果 串行通道 y 输入数据经模拟看门狗滤波后的结果, 用于模拟看门狗阈值比较。模拟看门狗滤波器不需要触发, 在通道使能后立即持续运行, 转换速率由配置 (AWDFORD[1:0], AWDFOSR[4:0]) 决定。 看门狗滤波器没有标志位, 如果用户需要读取看门狗滤波结果, 必须保证读取速度高于看门狗滤波器转换速率以避免数据丢失。此位域仅用于调试, 实际应用中可不用关注。

### 32.5.6 DSMU 通道 y 输入数据寄存器(DSMU\_CHyDATIN)

地址偏移:  $0x10 + 0x20 * y$  ( $y = 0$  to  $7$ )

复位值:  $0x0000\ 0000$



位域	名称	描述
----	----	----

31:16	INDATAT1[15:0]	<p>当前通道 y 或一下通道 y+1 输入数据</p> <p>当 DATMUX[1:0]=1 或 2 时, 存储滤波器输入的并行数据。数据可通过 CPU/DMA (DATMUX[1:0]=2) 直接写入, 或来自内部 ADC (DATMUX[1:0]=2)。</p> <p>如果 DATPACK[1:0]=0 (标准模式): 此位域写保护, 不存储任何数据。</p> <p>如果 DATPACK[1:0]=1 (交错模式): 此位域存储当前通道 y 的第 2 个数据, 第 1 个数据存储在 INDATA0[15:0]。DSMU_FLTx 滤波器将依次读取这两个通道 y 数据用作滤波样本。</p> <p>如果 DATPACK[1:0]=2 (双重模式): 当通道编号 y 为偶数时, 下一通道 y+1 中 INDATA0[15:0]数据将自动复制到此位域。当通道编号 y 为奇数时, 此位域写保护。</p> <p>INDAT1[15:0]采用 16 位有符号数据格式。</p>
15:0	INDATAT0[15:0]	<p>当前通道 y 输入数据</p> <p>当 DATMUX[1:0]=1 或 2 时, 存储滤波器输入的并行数据。数据可通过 CPU/DMA (DATMUX[1:0]=2) 直接写入, 或来自内部 ADC (DATMUX[1:0]=2)。</p> <p>如果 DATPACK[1:0]=0 (标准模式): 存储 1 个当前通道 y 数据。</p> <p>如果 DATPACK[1:0]=1 (交错模式): 此位域存储当前通道 y 的第 1 个数据, 第 2 个数据存储在 INDAT1[15:0]。DSMU_FLTx 滤波器将依次读取这两个通道 y 数据用作滤波样本。</p> <p>如果 DATPACK[1:0]=2 (双重模式): 当通道编号 y 为偶数时, 存储 1 个当前通道 y 数据。通道编号 y 为奇数时, 此位域写保护。</p> <p>INDATAT0[15:0] 采用 16 位有符号数据格式。</p>

### 32.5.7 DSMU 滤波器 x 控制寄存器 1 (DSMU\_FLTxCTRL1)

地址偏移:  $0x100 + 0x80 * x$  ( $x = 0$  to  $3$ )

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	AWDFSEL	FAST	Reserved	RCH[2:0]			Reserved	RDMAEN	Reserved	RSYNC	RCON T	RSWSTART	Reserved		
	rw	rw		rw				rw		rw	rw	rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	JEXTEN[1:0]		JEXTSEL[4:0]				Reserved	JDMAEN	JSCAN	JSYNC	Reserved	JSWSTART	DFLTEN		
	rw		rw					rw	rw	rw		rw	rw		

位域	名称	描述
31	Reserved	保留, 必须保持复位值。
30	AWDFSEL	滤波器 x 模拟看门狗输入数据选择

		0: 来自滤波器转换结果, 结果经右移和偏移校正后输出到看门狗。 1: 来自串行输入通道 (经模拟看门狗滤波器处理后)。
29	FAST	滤波器 x 规则转换的快速转换模式选择 0: 禁用快速转换模式。 1: 启用快速转换模式。 当规则转换处于连续转换模式时, 启用快速转换可获得比标准模式更快的转换速率。对于非连续规则转换, 此位无作用。 此位只能在 DFLTEN=0 (DSMU_FLTxCTRL1 寄存器) 时修改。 如果 FAST=0, 或是 FAST=1 时的第一次转换, 单次转换时间 t 可参照下面的公式计算: 对于 Sinc <sup>x</sup> 滤波: $t = [FOSR * (IOSR-1 + FORD) + FORD] / f_{CKIN}$ 对于 FastSinc 滤波: $t = [FOSR * (IOSR-1 + 4) + 2] / f_{CKIN}$ 如果连续转换模式下 FAST=1, 除了第一次转换, 其他单次转换时间 t 可参照下面的公式计算: $t = [FOSR * IOSR] / f_{CKIN}$ 此时如果 $FOSR = FOSR[9:0] + 1 = 1$ (滤波器旁路, 仅积分器有效): $t = IOSR / f_{CKIN}$ (此时 COVCNT=0)。 备注: $f_{CKIN}$ 为 CKIN <sub>y</sub> 引脚输入时钟频率 (串行通道) 或数据输入频率 (并行通道)。
28:27	Reserved	保留, 必须保持复位值。
26:24	RCH[2:0]	滤波器 x 规则转换通道选择 0: 通道 0 用作当前滤波器规则转换通道。 1: 通道 1 用作当前滤波器规则转换通道。 ... 7: 通道 7 用作当前滤波器规则转换通道。 当 RCIP=1 时修改此位域, 将在下一次规则转换时生效。在连续转换模式下尤其有用。修改此位域还会影响处于延迟状态待处理的规则转换 (被注入转换打断)。
23:22	Reserved	保留, 必须保持复位值。
21	RDMAEN	滤波器 x 规则转换结果 DAM 读取使能 0: 滤波器 x 不使用 DAM 读取转换结果。 1: 滤波器 x 启用 DAM 读取转换结果。 此位只能在 DFLTEN=0 (DSMU_FLTxCTRL1 寄存器) 时修改。
20	Reserved	保留, 必须保持复位值。
19	RSYNC	滤波器 x (1~3) 规则转换同步触发使能 0: 禁用同步触发。 1: 使能同步触发, 当 DSMU_FLT0 滤波器启动规则转换时, 当前滤波器 x (1~3) 同步启动规则转换。 此位只能在 DFLTEN=0 (DSMU_FLTxCTRL1 寄存器) 时修改。
18	RCONT	滤波器 x 规则转换连续模式使能 0: 禁用连续模式, 每次收到转换请求仅进行一次转换。 1: 使能连续模式, 收到任意转换请求后将连续重复转换。 当连续转换进行时, 向此位写 '0' 可立即停止连续转换。
17	RSWSTART	滤波器 x 规则转换软件触发 0: 向此位写 '0' 无作用。 1: 向此位写 '1' 将产生一个规则转换请求, 并使 RCIP 置 '1'。如果 RCIP 已为 1, 向

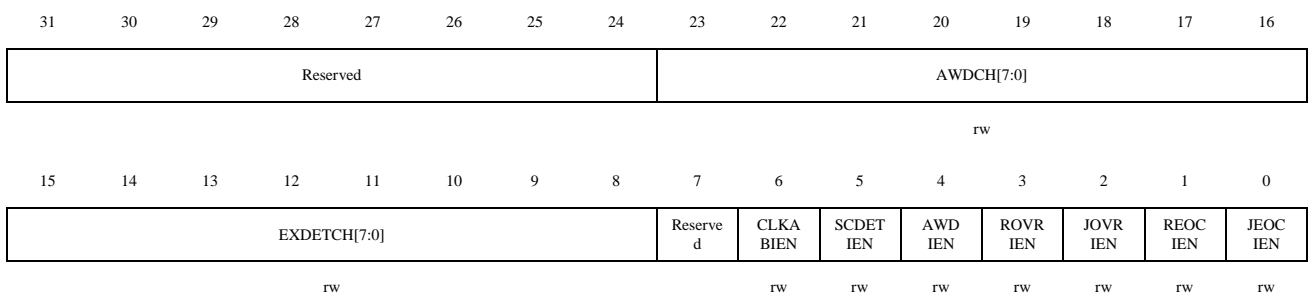
		此位写‘1’无任何作用。当 RSYNC=1 时向此位写‘1’也无作用。 读此位时始终为‘0’。
16:15	Reserved	保留，必须保持复位值。
14:13	JEXTEN[1:0]	滤波器 x 注入转换外部触发使能及触发信号边沿选择 00：禁用外部触发。 01：仅外部触发信号上升沿可启动注入转换。 10：仅外部触发信号下降沿可启动注入转换。 11：外部触发信号上升沿和下降沿都可启动注入转换。 此位域只能在 DFLTEN=0（DSMU_FLTxCTRL1 寄存器）时修改。
12:8	JEXTSEL[4:0]	滤波器 x 注入转换外部触发源选择 0x0-0x1F：选择 DSMU_jtrg0~31 作为外部触发源，触发信号定义详见外部触发信号列表： 0x00 DSMU_jtrg0 0x01 DSMU_jtrg1 ... 0x1E DSMU_jtrg30 0x1F DSMU_jtrg31 此位域只能在 DFLTEN=0（DSMU_FLTxCTRL1 寄存器）时修改。 <i>注意：同步触发需要到少 1 个 DSMU_CLK 时钟周期的延迟，异步触发需要 2-3 个 DSMU_CLK 时钟周期。</i>
7:6	Reserved	保留，必须保持复位值。
5	JDMAEN	滤波器 x 注入转换结果 DAM 读取使能 0：滤波器 x 不使用 DAM 读取转换结果。 1：滤波器 x 启用 DAM 读取转换结果。 此位只能在 DFLTEN=0（DSMU_FLTxCTRL1 寄存器）时修改。
4	JSCAN	滤波器 x 注入转换扫描模式使能 0：每次请求仅转换注入转换组中的一个通道，然后选择下一个通道并等待转换。 1：每次请求将对注入转换组中所有通道进行一次转换，根据通道编号由小到大依次进行。 此位只能在 DFLTEN=0（DSMU_FLTxCTRL1 寄存器）时修改。 如果 JSCAN=0 时修改注入组寄存器 DSMU_FLTxJCHG，将重置待转换通道为注入转换组中编号最小的通道。
3	JSYNC	滤波器 x（1~3）注入转换同步触发使能 0：禁用同步触发。 1：使能同步触发，当 DSMU_FLT0 滤波器通过软件启动注入转换时，当前滤波器 x（1~3）同步启动注入转换。 此位只能在 DFLTEN=0（DSMU_FLTxCTRL1 寄存器）时修改。
2	Reserved	保留，必须保持复位值。

1	JSWSTART	滤波器 x 注入转换软件触发 0: 向此位写‘0’无作用。 1: 向此位写 ‘1’ 将产生一个注入转换请求, 并将 JCIP 置‘1’。如果 JCIP 已为 1, 向此位写‘1’无任何作用。当 JSYNC=1 时, 向此位写‘1’也无作用。 读此位时始终为 ‘0’。
0	DFLTEN	滤波器 DSMU_FLTx 使能 0: 禁用滤波器 DSMU_FLTx。当前滤波器所有进行中的转换将立刻停止, 同时所有其他附加功能也停止运行。 1: 使能滤波器 DSMU_FLTx。使能后, 当前滤波器按照相关配置立刻开始运行。 当 DFLTEN 清 0 时, DSMU_FLTxSTS 与 DSMU_FLTxAWDSTS 寄存器被重置为复位值。

### 32.5.8 DSMU 滤波器 x 控制寄存器 2 (DSMU\_FLTxCTRL2)

地址偏移:  $0x104 + 0x80 * x$  ( $x = 0$  to  $3$ )

复位值: 0x0000 0000



位域	名称	描述
31:24	Reserved	保留, 必须保持复位值。
23:16	AWDCH[7:0]	滤波器 x 模拟看门狗监控通道选择 此位域用于选择当前看门狗需要监控的通道。 AWDCH[y] = 0: 通道 y 禁用模拟看门狗。 AWDCH[y] = 1: 通道 y 使能模拟看门狗, 当前看门狗将对通道 y 上的数据持续监控。
15:8	EXDETCH[7:0]	滤波器 x 极值检测通道选择 此位域用于选择当前极值检测器需要监控的通道。 EXDETCH[y] = 0: 通道 y 禁用极值检测。 EXDETCH[y] = 1: 通道 y 使能极值检测, 当前极值检测器将从通道 y 上持续获取数据用于极值统计。
7	Reserved	保留, 必须保持复位值。



6	CLKABIEN	串行通道时钟缺失中断使能 0: 发生时钟缺失事件时不产生中断。 1: 发生时钟缺失事件时产生中断。 详见 DSMU_FLT0STS 寄存器中时钟缺失事件标志 CLKABF[7:0]描述。 <i>注意: CLKABIEN 仅存在于 DSMU_FLT0CTRL2 (x=0)。</i>
5	SCDETIEN	串行通道短路检测中断使能 0: 发生短路检测事件时不产生中断。 1: 发生短路检测事件时产生中断。 详见 DSMU_FLT0STS 寄存器中短路检测事件标志 SCDETF [7:0]描述。 <i>注意: SCDETIEN 仅存在于 DSMU_FLT0CTRL2 (x=0)。</i>
4	AWDIEN	滤波器 x 模拟看门狗中断使能 0: 发生模拟看门狗事件时不产生中断。 1: 发生模拟看门狗事件时产生中断。 详见 DSMU_FLTxSTS 寄存器中模拟看门狗事件标志 AWDF 描述。
3	ROVRIEN	滤波器 x 规则转换结果溢出中断使能 0: 发生规则转换结果溢出时不产生中断。 1: 发生规则转换结果溢出时产生中断。 详见 DSMU_FLTxSTS 寄存器中规则转换结果溢出标志 ROVRF 描述。
2	JOVRIEN	滤波器 x 注入转换结果溢出中断使能 0: 发生注入转换结果溢出时不产生中断。 1: 发生注入转换结果溢出时产生中断。 详见 DSMU_FLTxSTS 寄存器中注入转换结果溢出标志 JOVRF 描述。
1	REOCIEN	滤波器 x 规则转换完成中断使能 0: 规则转换完成时不产生中断。 1: 规则转换完成时产生中断。 详见 DSMU_FLTxSTS 寄存器中规则转换完成标志 REOCF 描述。
0	JEOCIEN	Injected conversion end interrupt enable 滤波器 x 注入转换完成中断使能 0: 注入转换完成时不产生中断。 1: 注入转换完成时产生中断。 详见 DSMU_FLTxSTS 寄存器中注入转换完成标志 JEOCF 描述。

### 32.5.9 DSMU 滤波器 x 状态寄存器 (DSMU\_FLTxSTS)

地址偏移:  $0x108 + 0x80 * x$  ( $x = 0$  to 3)

复位值:  $0x00FF\ 0000$  ( $x=0$ ),  $0x0000\ 0000$  ( $x=1, 2, 3$ )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SCDETF[7:0]								CLKABF[7:0]							
r								r							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Reserved	RCIP	JCIP	Reserved	AWDF	ROVRF	JOVRF	REOCF	JEOCF
r	r	r		r	r	r	r	r

相关中断使能后，此寄存器中每个状态标志位置 1 时都可产生中断。中断发生后，用户必须在中断服务程序中清除对应的状态标志位。

当 DFLTEN=0 时，此寄存器中所有标志位重置为复位值。

位域	名称	描述
31:24	SCDETF[7:0]	短路检测事件标志 SCDETF[y]=0: 串行通道 y 上未发生短路检测事件。 SCDETF[y]=1: 串行通道 y 上发生了短路检测事件，短路检测计数器值达到了 DSMU_CHyAWDSCDET 寄存器中定义的阈值。 短路检测事件标志由硬件置 1，可通过软件清 0：向 DSMU_FLTxINTCLR 寄存器中的 CLRSCDETF[y] 位写 1。通道 y 禁用后，对应通道的标志位 SCDETF[y] 硬件清 0。 <i>注意：SCDETF[7:0] 标志仅存在于 DSMU_FLT0STS 寄存器 (x=0)。</i>
23:16	CLKABF[7:0]	时钟缺失事件标志 CLKABF [y]=0: 串行通道 y 上未发生时钟缺失事件。 CLKABF [y]=1: 串行通道 y 上发生了时钟缺失事件。 当通道 y 上检测到了时钟缺失事件，对应标志位 CLKABF [y] 由硬件置 1。通道 y 禁用 (DSMU_CHyCFG1 寄存器中 CHEN=0)，或其串行收发器未正确同步时，硬件将其对应标志位保持在 CLKABF[y]=1 状态。 此标志位可通过软件清 0：向 DSMU_FLTxINTCLR 寄存器中的 CLRCLKABF [y] 位写 1。 <i>注意：CLKABF [7:0] 标志仅存在于 DSMU_FLT0STS 寄存器 (x=0)。</i>
15	Reserved	保留，必须保持复位值。
14	RCIP	规则转换运行状态标志 0: 滤波器 x 未收到规则转换请求。 1: 滤波器 x 正在进行规则转换或已收到规则转换请求。 当 RCIP=1 时，新的规则转换请求将被忽略。
13	JCIP	注入转换运行状态标志 0: 滤波器 x 未收到注入转换请求。 1: 滤波器 x 正在进行注入转换或已收到注入转换请求。转换请求可来自软件触发 (JSWSTART 位写 '1') 或外部外部触发。 当 JCIP=1 时，新的注入转换请求将被忽略。
12:5	Reserved	保留，必须保持复位值。
4	AWDF	模拟看门狗事件标志 0: 滤波器 x 未发生模拟看门狗事件。 1: 滤波器 x 发生了模拟看门狗事件。模拟看门狗模块检测到数据超出高阈值寄存器 DSMU_FLTxAWDLT 或低阈值寄存器 DSMU_FLTxAWDHT 中设置的阈值。 此标志位由硬件置 1。在 DSMU_FLTxAWDSTS 寄存器中的 AWDHTF[7:0] 和 AWDLTF[7:0] 由软件全部清 0 (在 DSMU_FLTxAWDCLR 寄存器中的对应位写 '1') 后自动清除。

3	ROVRF	规则转换结果溢出标志 0: 滤波器 x 规则转换结果未溢出。 1: 滤波器 x 规则转换结果发生溢出。当规则转换完成标志 REOCF 仍为 1 时, 后续规则转换完成, 导致上一次转换结果被覆盖, 当前标志位被硬件置 1。此时转换结果寄存器 DSMU_FLTxRDAT 中数据有效, 不受溢出影响。 此标志位可通道软件清除: 向 DSMU_FLTxINTCLR 寄存器中的 CLRROVRF 位写 ‘1’。
2	JOVRF	注入转换结果溢出标志 0: 滤波器 x 注入转换结果未溢出。 1: 滤波器 x 注入转换结果发生溢出。当注入转换完成标志 JEOCF 仍为 1 时, 后续注入转换完成, 导致上一次转换结果被覆盖, 当前标志位被硬件置 1。此时转换结果寄存器 DSMU_FLTxJDAT 中数据有效, 不受溢出影响。 此标志位可通道软件清除: 向 DSMU_FLTxINTCLR 寄存器中的 CLRJOVRF 位写 ‘1’。
1	REOCF	规则转换完成标志 0: 滤波器 x 未完成规则转换。 1: 滤波器 x 已完成一次规则转换, 转换结果 DSMU_FLTxRDAT 有效。 此位在规则转换完成后由硬件置 1, 在软件或 DMA 读取转换结果后清 0。 <i>注意: 使用 DMA 读取转换结果时, 外设地址应设置为 DSMU_FLTxRDAT 寄存器地址。</i>
0	JEOCF	注入转换完成标志 0: 滤波器 x 未完成注入转换。 1: 滤波器 x 已完成一次注入转换, 转换结果 DSMU_FLTxRDAT 有效。 此位在注入转换完成后由硬件置 1, 在软件或 DMA 读取转换结果后清 0。 <i>注意: 使用 DMA 读取转换结果时, 外设地址应设置为 DSMU_FLTxJDAT 寄存器地址。</i>

### 32.5.10 DSMU 滤波器中断标志清除寄存器 (DSMU\_FLTxINTCLR)

地址偏移:  $0x10C + 0x80 * x$  ( $x = 0$  to  $3$ )

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CLRSCDEF[7:0]								CLRCLKABF[7:0]							
w								w							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											CLRROVRF	CLRJOVRF	Reserved		
											w	w			

此寄存器中所有标志位读取时数值为‘0’。

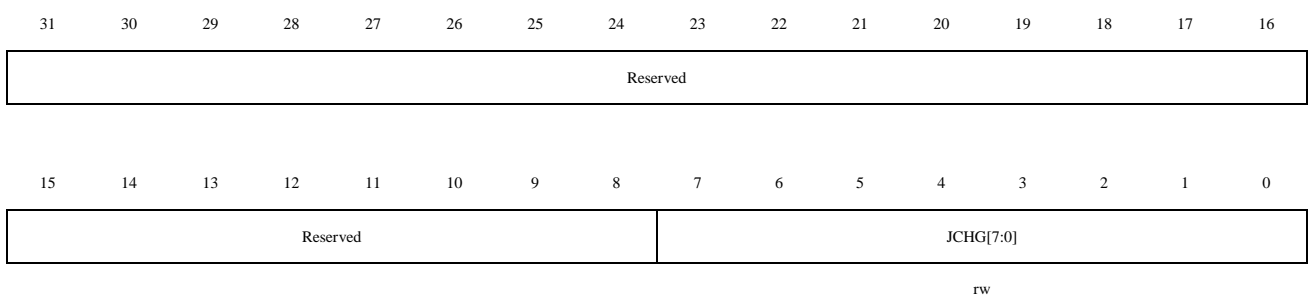
位域	名称	描述
----	----	----

31:24	CLRSCDETF[7:0]	清除短路事件标志 CLRSCDETF[y]=0: 写‘0’无作用。 CLRSCDETF[y]=1: 写‘1’清除 DSMU_FLT <sub>x</sub> STS 寄存器中对应的短路事件标志位 SCDETF[x]。 <i>注意: CLRSCDETF[7:0] 位域仅存在于 DSMU_FLT0INTCLR 寄存器。</i>
23:16	CLRCLKABF[7:0]	清除时钟缺失事件标志 CLRCLKABF[y]=0: 写‘0’无作用。 CLRCLKABF[y]=1: 写‘1’清除 DSMU_FLT <sub>x</sub> STS 寄存器中对应的时钟缺失事件标志位 CLKABF [x]。如果通道 y 串行收发器未正确同步, 对应时钟缺失标志置位且无法清除。 <i>注意: CLRCLKABF [7:0] 位域仅存在于 DSMU_FLT0INTCLR 寄存器。</i>
15:4	Reserved	保留, 必须保持复位值。
3	CLRROVRF	清除规则转换溢出标志 0: 写‘0’无作用。 1: 写‘1’清除 DSMU_FLT <sub>x</sub> STS 寄存器中的 ROVRF 标志位。
2	CLRJOVRF	清除注入转换溢出标志 0: 写‘0’无作用。 1: 写‘1’清除 DSMU_FLT <sub>x</sub> STS 寄存器中的 JOVRF 标志位。
1:0	Reserved	保留, 必须保持复位值。

### 32.5.11 DSMU 滤波器 x 注入通道组寄存器(DSMU\_FLT<sub>x</sub>JCHG)

地址偏移:  $0x110 + 0x80 * x$  ( $x = 0$  to 3)

复位值: 0x0000 0001



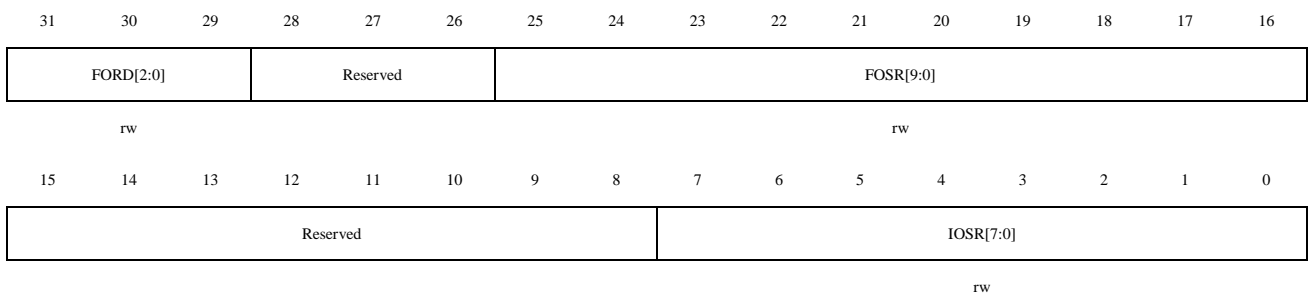
位域	名称	描述
31:8	Reserved	保留, 必须保持复位值。

7:0	JCHG[7:0]	注入通道组选择 JCHG[y]=0: 通道 y 未被选择, 不属于注入通道组。 JCHG[y]=1: 通道 y 已被选择, 属于注入通道组。 如果 JSCAN=1, 每次请求发生时, 将对注入通道组中的所有通道逐一进行转换。编号最小的通道 (比如通道 0 且已被选择) 先进行转换, 然后按照编号从小到大依次进行, 直到编号最大的通道转换完成。 如果 JSCAN=0, 每次请求发生时, 仅对注入通道组中的一个等待通道进行转换, 然后等待通道切换到下一个通道并等待下一次转换请求。在在 JSCAN=0 时, 对当前寄存器的写操作将重置等待通道为第一个通道 (注入组中编号最小的通道)。 注入通道组中至少要有有一个通道, 对当前位域写 0 的操作将被忽略。
-----	-----------	--

### 32.5.12 DSMU 滤波器 x 配置寄存器 (DSMU\_FLTxFCTRL)

地址偏移:  $0x114 + 0x80 * x$  ( $x = 0$  to  $3$ )

复位值: 0x0000 0000



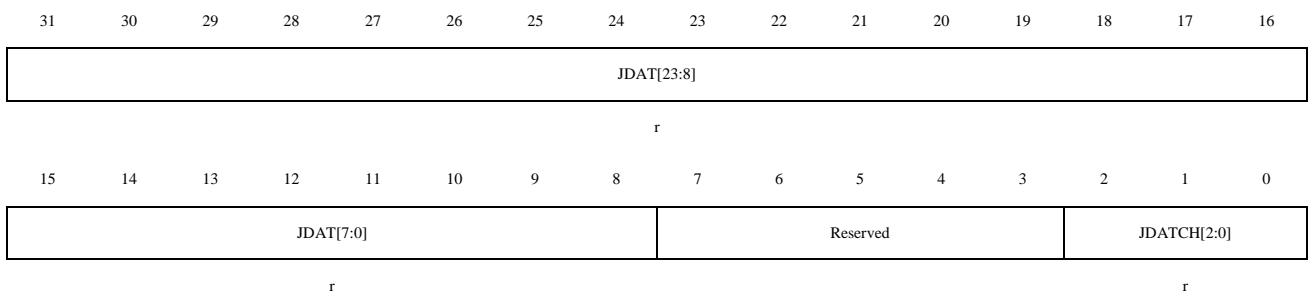
位域	名称	描述
31:29	FORD[2:0]	滤波器 x 滤波阶数 0: FastSinc 滤波 1: Sinc <sup>1</sup> 滤波 2: Sinc <sup>2</sup> 滤波 3: Sinc <sup>3</sup> 滤波 4: Sinc <sup>4</sup> 滤波 5: Sinc <sup>5</sup> 滤波 6-7: 保留 Sinc <sup>x</sup> 滤波传递函数: $H(z) = \left[ \frac{1-z^{-FOSR}}{1-z^{-1}} \right]^X$ FastSinc 滤波传递函数: $H(z) = \left[ \frac{1-z^{-FOSR}}{1-z^{-1}} \right]^2 * (1 + z^{-(2*FOSR)})$ 此位域只能在 DFLTEN=0 (DSMU_FLTxFCTRL1 寄存器) 时修改。
28:26	Reserved	保留, 必须保持复位值。
25:16	FOSR[9:0]	滤波器 x 过采样率 0 - 1023: Sinc 滤波器长度为 1 - 1024 (FOSR = FOSR[9:0] + 1), 即滤波器过采样率。

位域	名称	描述
		此位域只能在 DFLTEN=0 (DSMU_FLTxCTRL1 寄存器) 时修改。 <i>注意: 如果 FOSR = 0, 滤波器将无作用 (滤波器旁路)。</i>
15:8	Reserved	保留, 必须保持复位值。
7:0	IOSR[7:0]	积分器过采样率 0- 255: 积分器长度为 1 - 256 (IOSR =IOSR[9:0] +1), 即积分器过采样率。此位域表示需要进行累加的 Sinc 滤波结果, 累加后输出一个最终转换结果。 此位域只能在 DFLTEN=0 (DSMU_FLTxCTRL1 寄存器) 时修改。 <i>注意: 如果 IOSR = 0, 积分器将无作用 (积分器旁路)。</i>

### 32.5.13 DSMU 滤波器 x 注入转换结果寄存器 (DSMU\_FLTxJDAT)

地址偏移:  $0x118 + 0x80 * x$  ( $x = 0$  to 3)

复位值: 0x0000 0000



支持通过 DMA 读取当前寄存器的转换结果。可采用半字的形式读取转换结果的高 16 位。

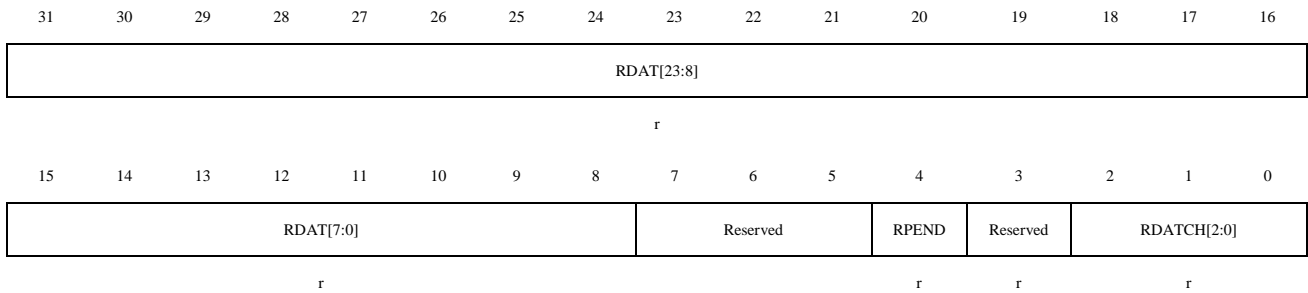
对此寄存器的读操作将清除 DSMU\_FLTxSTS 寄存器中的 JEOCF 标志。因此, 当采用 DMA 读取转换结果时, 禁止使用软件读当前寄存器。

位域	名称	描述
31:8	JDAT[23:0]	滤波器 x 注入通道组转换结果 当注入通道组中的任意一个通道完成注入转换后, 转换结果存储在当前位域。此时 JEOCF=1, 表示结果有效。
7:3	Reserved	保留, 必须保持复位值。
2:0	JDATCH[2:0]	最近一次注入转换结果对应的通道编号 当注入通道组中的任意一个通道完成注入转换后, JDATCH[2:0] 记录刚完成转换的通道编号, 此通道的转换结果同时存储在 JDAT[23:0]。

### 32.5.14 DSMU 滤波器 x 规则转换结果寄存器 (DSMU\_FLTxRDAT)

地址偏移:  $0x11C + 0x80 * x$  ( $x = 0$  to 3)

复位值: 0x0000 0000



支持通过 DMA 读取当前寄存器的转换结果。可采用半字的形式读取转换结果的高 16 位。

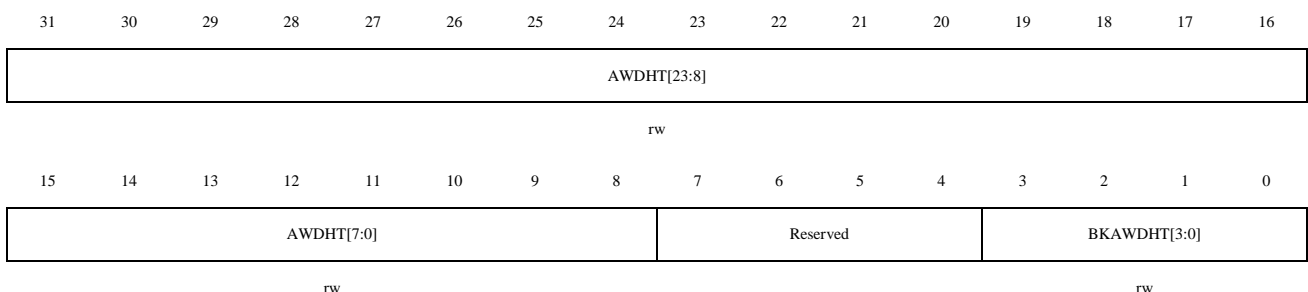
对此寄存器的读操作将清除 DSMU\_FLTxSTS 寄存器中的 REOCF 标志。因此，当采用 DMA 读取转换结果时，禁止使用软件读当前寄存器。

位域	名称	描述
31:8	RDAT[23:0]	滤波器 x 规则转换结果 当滤波器 x 完成一次规则转换后，转换结果存储在当前位域，此时 REOCF=1，表示结果有效。
7:5	Reserved	保留，必须保持复位值。
4	RPEND	滤波器 x 规则转换挂起标志 此位为 1 时，表示规则转换被注入转换中断，规则转换延迟，转换结果无效。
3	Reserved	保留，必须保持复位值。
2:0	RDATCH[2:0]	最近一次规则转换结果对应的通道编号 当任意一次规则转换完成后，RDATCH[2:0] 记录刚完成转换的通道编号（规则通道可通过 DSMU_FLTxCTRL1 寄存器中的 RDATCH[2:0]位域随时修改），此通道对应的转换结果同时存储在 RDAT[23:0]位域。

### 32.5.15 DSMU 滤波器 x 模拟看门狗高阈值寄存器(DSMU\_FLTxAWDHT)

地址偏移：0x120 + 0x80 \* x (x = 0 to 3)

复位值：0x0000 0000



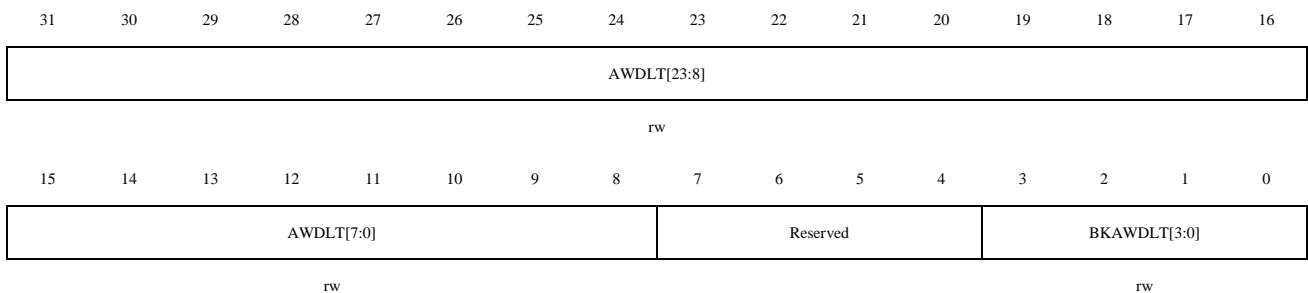
位域	名称	描述
----	----	----

31:8	AWDHT[23:0]	模拟看门狗高阈值 此位域通过软件设置，表示模拟看门狗用于数据比较的高阈值。 <i>注意：如果看门狗数据来自转换串行通道输入 (AWDFSEL=1)，因模拟看门狗滤波器输出为16位，此位域仅高16位 (AWDHT[23:8]) 用于数据比较，低8位 AWDHT[7:0] 被忽略。</i>
7:4	Reserved	保留，必须保持复位值。
3:0	BKAWDHT[3:0]	模拟看门狗高阈值事件刹车信号输出配置 BKAWDHT[i] = 0：发生高阈值事件后不输出刹车信号 dsmu_brki。BKAWDHT[i] = 1：发生高阈值事件后输出刹车信号 dsmu_brki。

### 32.5.16 DSMU 滤波器 x 模拟看门狗低阈值寄存器 (DSMU\_FLTxAWDLT)

地址偏移：0x124 + 0x80 \* x (x = 0 to 3)

Reset value: 0x0000 0000



位域	名称	描述
[31:8]	AWDLT[23:0]	模拟看门狗低阈值 此位域通过软件设置，表示模拟看门狗用于数据比较的低阈值。 <i>注意：如果看门狗数据来自转换串行通道输入 (AWDFSEL=1)，因模拟看门狗滤波器输出为16位，此位域仅高16位 (AWDLT[23:8]) 用于数据比较，低8位 AWDLT[7:0] 被忽略。</i>
[7:4]	Reserved	保留，必须保持复位值。
[3:0]	BKAWDLT[3:0]	模拟看门狗低阈值事件刹车信号输出配置 BKAWDHT[i] = 0：发生低阈值事件后不输出刹车信号 dsmu_brki。BKAWDHT[i] = 1：发生低阈值事件后输出刹车信号 dsmu_brki。

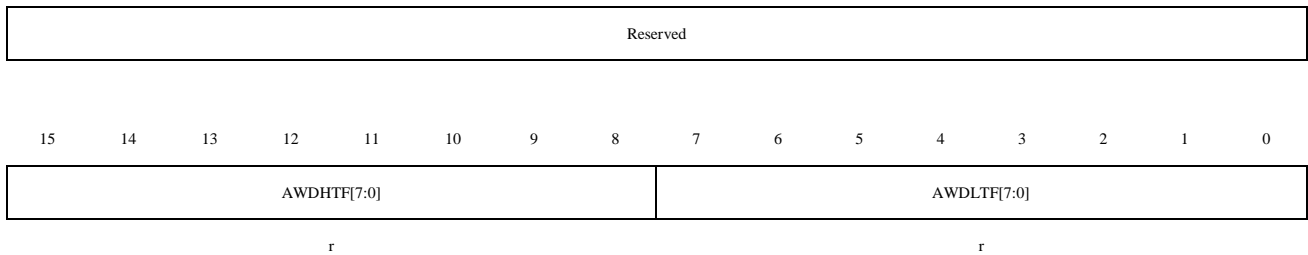
### 32.5.17 DSMU 滤波器 x 模拟看门狗状态寄存器(DSMU\_FLTxAWDSTS)

地址偏移：0x128 + 0x80 \* x (x = 0 to 3)

Reset value: 0x0000 0000







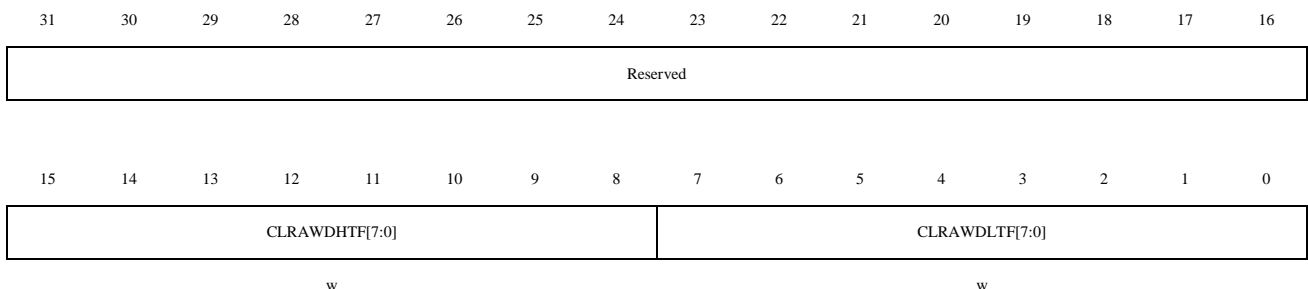
当 DFLTEN=0 时，此寄存器中所有标志位重置为复位值。

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:8	AWDHTF[7:0]	模拟看门狗高阈值标志 AWDHTF[y]=1：当通道 y 上发生了高阈值错误时，对应位由硬件置 ‘1’，可通过 DSMU_FLTxAWDCLR 寄存器中的 CLRAWDHTF[y]位软件清除。
7:0	AWDLTF[7:0]	模拟看门狗低阈值标志 AWDLTF[y]=1：当通道 y 上发生了低阈值错误时，对应位由硬件置 ‘1’，可通过 DSMU_FLTxAWDCLR 寄存器中的 CLRAWDLTF[y]位软件清除。

### 32.5.18 DSMU 滤波器 x 模拟看门狗清除标志寄存器 (DSMU\_FLTxAWDCLR)

地址偏移：0x12C + 0x80 \* x (x = 0 to 3)

复位值：0x0000 0000



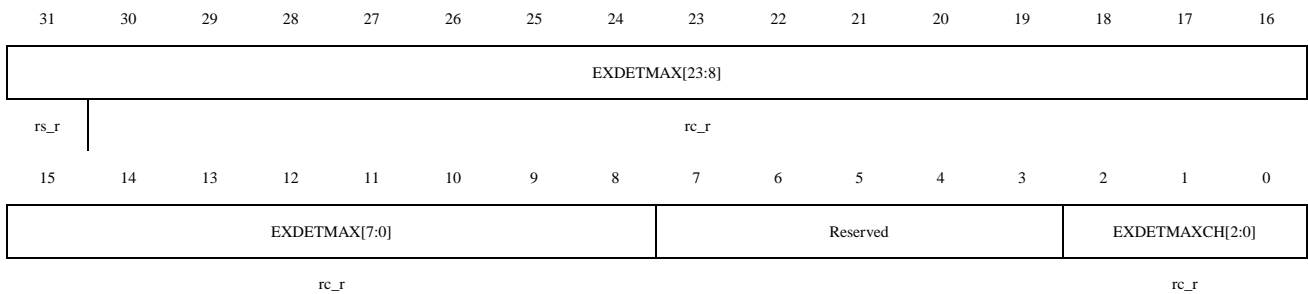
位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:8	CLRAWDHTF[7:0]	清除模拟看门狗高阈值事件标志 CLRAWDHTF[y]=0：写‘0’无作用。 CLRAWDHTF[y]=1：写‘1’清除 DSMU_FLTxAWDSTS 寄存器中对应的标志位 AWDHTF[y]。
7:0	CLRAWDLTF[7:0]	Clear the analog watchdog threshold low flag CLRAWDLTF[y]=0：写‘0’无作用。 CLRAWDLTF[y]=1：写‘1’清除 DSMU_FLTxAWDSTS 寄存器中对应的标志位 AWDLTF [y]。

### 32.5.19 DSMU 滤波器 x 极值检测器最大值寄存器

#### (DSMU\_FLT<sub>x</sub>EXDETMAX)

地址偏移:  $0x130 + 0x80 * x$  ( $x = 0$  to  $3$ )

复位值:  $0x8000\ 0000$

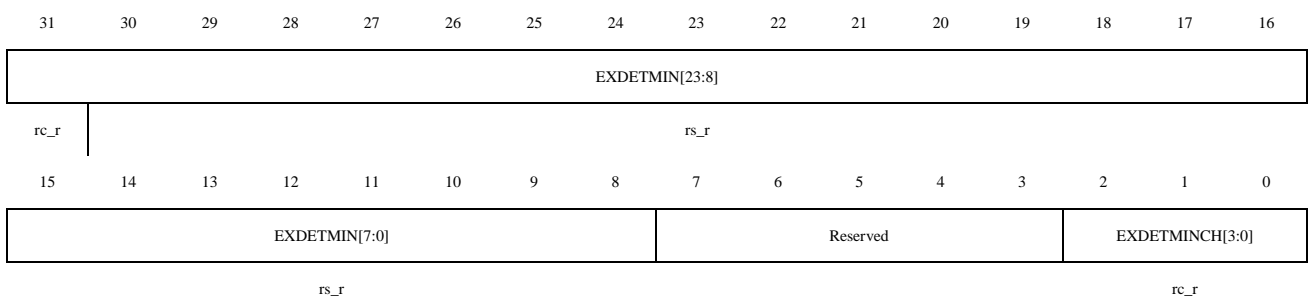


位域	名称	描述
31:8	EXDETMAX[23:0]	极值检测器最大值 此位域由硬件设置，记录滤波器 DSMU_FLT <sub>x</sub> 转换结果中的最大值。 对当前寄存器的读操作将重置 EXDETMAX[23:0]位域为复位值（0x800000）。
7:3	Reserved	保留，必须保持复位值。
2:0	EXDETMACH[2:0]	极值检测器最大值对应的通道编号 此位域记录 EXDETMAX[23:0]中所存储的最大值对应的通道编号。 对当前寄存器的读操作会将此位域清 0（复位值）。

### 32.5.20 DSMU 滤波器 x 极值检测器最小值寄存器 (DSMU\_FLT<sub>x</sub>EXDETMIN)

地址偏移:  $0x134 + 0x80 * x$  ( $x = 0$  to  $3$ )

复位值:  $0x7FFF\ FF00$



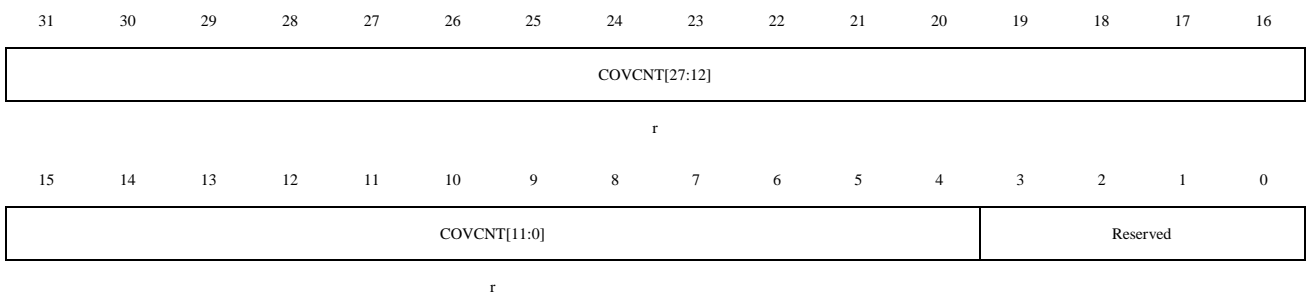
位域	名称	描述
31:8	EXDETMIN[23:0]	极值检测器最小值 此位域由硬件设置，记录滤波器 DSMU_FLT <sub>x</sub> 转换结果中的最小值。 对当前寄存器的读操作将重置 EXDETMIN [23:0]位域为复位值

		(0x 7FFFFFFF)。
7:3	Reserved	保留，必须保持复位值。
2:0	EXDETMINCH[2:0]	极值检测器最小值对应的通道编号 此位域记录 EXDETMIN [23:0]中所存储的最小值对应的通道编号。 对当前寄存器的读操作会将此位域清 0（复位值）。

### 32.5.21 DSMU 滤波器 x 转换时间寄存器 (DSMU\_FLTxCOVTIM)

地址偏移：0x138 + 0x80 \* x (x = 0 to 3)

复位值：0x0000 0000



位域	名称	描述
31:4	COVCNT[27:0]	此位域共 28 位，记录最近一次转换时间 t： $t = \text{COVCNT}[27:0] / f_{\text{DSMUCLK}}$ 转换时间计时器以 DSMU_CLK 为时钟，从启动转换时开始计时，直到转换结束时停止计时（即第一个样本和最后一个样本之前的时间间隔）。当滤波器旁路（FOSR[9:0] = 0）时，转换时间为 0。 转换时间可按照下面的公式计算： 如果规则转换快速模式被禁用（FAST=0），或启用快速模式（FAST=1）时的第一次转换： 对于 Sinc <sup>x</sup> 滤波： $t = [\text{FOSR} * (\text{IOSR}-1 + \text{FORD}) + \text{FORD}] / f_{\text{CKIN}}$ 。 对于 FastSinc 滤波： $t = [\text{FOSR} * (\text{IOSR}-1 + 4) + 2] / f_{\text{CKIN}}$ 。 如果在连续规则转换时启用快速模式（FAST=1），除了第一次转换外，转换时间 $t = [\text{FOSR} * \text{IOSR}] / f_{\text{CKIN}}$ 。 如果 FOSR=1（滤波器旁路），此位域为 0（转换时间计时器不运行），实际转换时间 $t = \text{IOSR} / f_{\text{CKIN}}$ 。 备注：f <sub>CKIN</sub> 为通过 CKIN <sub>y</sub> 引脚输入的串行时钟频率或并行数据输入频率（来自内部 ADC 或 CPU/DMA）。 注意：当转换被中断时，比如通道被禁用时，转换时间计时器在通道禁用时停止计时。
3:0	Reserved	保留，必须保持复位值。

## 33 通用同步异步收发器(USART)

### 33.1 概述

通用同步异步收发器（USART）是一种全双工串行数据交换接口，支持同步或异步通信。可灵活配置，以便于与多种外部设备进行全双工数据交换。

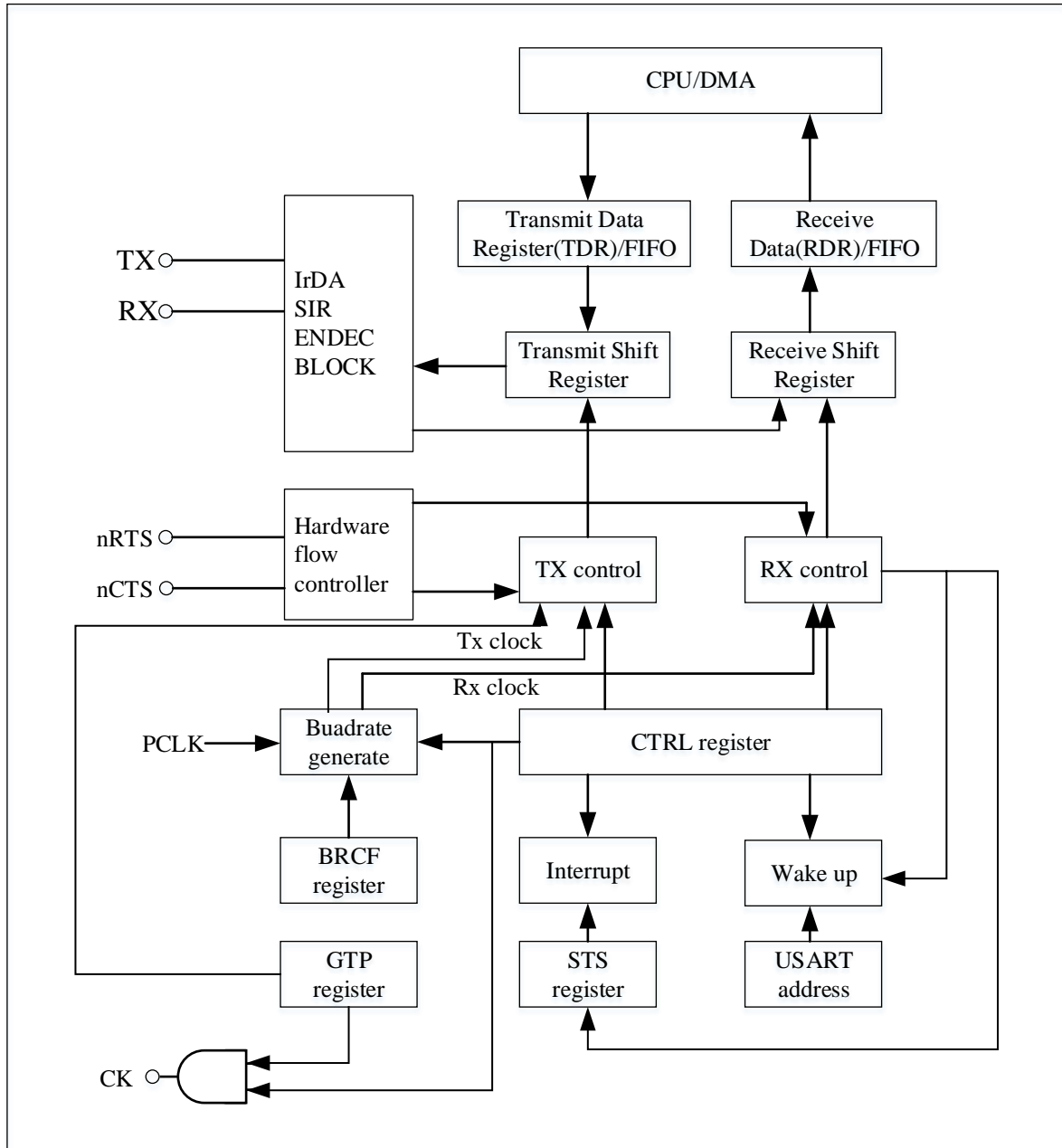
USART 接口发送与接收波特率可配置，也支持通过 DMA 进行连续通信。USART 还支持多处理器通信、LIN 模式、同步模式、单线半双工通信、智能卡异步协议、IrDA SIR ENDEC 功能、以及硬件流控制功能。

### 33.2 主要特性

- 支持全双工,异步通信
- 支持单线半双工通信
- 波特率可配置，USART1/2 最高波特率可达 37.5Mbit/s，其他串口最高波特率可达 18.75Mbit/s
- 支持 8 倍或 16 倍过采样
- 支持 8bit 或 9bit 数据帧
- 支持两个用于收发数据的内部 FIFO
- 支持 1bit 或 2bit 停止位，智能卡模式支持 0.5 或 1.5 停止位
- 支持硬件生成校验位及校验位检查
- 支持硬件流控: RTS、CTS
- 支持 RS-485
- 支持 DMA 收发
- 支持多处理器通信：如果地址不匹配，则进入静默模式，可通过空闲总线检测或地址标识唤醒
- 支持同步模式，允许用户在主模式下控制双向同步串行通信
- 支持智能卡异步协议，符合 ISO7816-3 标准
- 支持串行红外协议（IrDA SIR）编码与解码，提供正常与低功耗两种运行模式
- 支持 LIN 模式
- 支持多钟错误检测：数据溢出错误、帧错误、噪声错误、检验错误
- 支持多个中断请求：发送数据寄存器为空、CTS 标志、发送完成、数据已接收、数据溢出、总线空闲、检验错误、LIN 模式断开帧检测、以及多缓冲区通信（DMA）中的噪声标志/溢出错误/帧错误

### 33.3 功能框图

图 33-1 USART 框图



### 33.4 功能描述

如图 33-1 所示, USART 的双向通信都需要使用 RX 和 TX 引脚与外部器件连接。其中 TX 为数据发送引脚(输出), 当发送功能使能但没有发送数据时, TX 引脚输出高电平, 当发送功能被禁用时, TX 引脚为普通 IO 端口, 状态由应 IO 配置决定。RX 为数据接收引脚(输入), 接收数据时采用了过采样技术。

当设备作为发送端时, 通过 TX 引脚发送数据, 作为接收端时则通过 RX 引脚接收数据。当没有数据收发时, 总线处于空闲状态。数据帧格式为: 1 个起始位+ 8 或 9 位数据 (最低有效位在前)+ 1 个检验位 (可选)

+ 0.5, 1, 1.5 或 2 个停止位。

使用分数波特率发生器来配置发送与接收波特率。

从功能框图上可以看出，使用硬件流控功能时，需要 nRTS 输出引脚和 nCTS 输入引脚。当 USART 作为接收端时，如果已准备好接收数据，nRTS 输出低电平。当 USART 作为发送端时，nCTS 有效 (低电平) 才发送下一个数据，nCTS 无效 (高电平) 则不发送数据。

当使用同步模式时需要用到 CK 引脚，用于同步传输时钟输出，时钟极性与相位可软件配置。但在发送起始位与停止位时，CK 引脚不输出同步时钟。在智能卡模式下也需要 CK 引脚提供时钟。

### 33.4.1 USART 帧格式

起始位：1 位，低电平有效

数据位：可通过 USART\_CTRL1.WL 配置为 8 或 9 位，最低有效位在前。

停止位：高电平有效。

空闲帧：全部由‘1’组成的一个完整的数据帧，包括起始位。后跟包含数据的数据帧的起始位。

断开帧：全部由‘0’组成的一个完整的数据帧，包括停止位。在断开帧结束后，发送端再插入 1 或 2 或 0.5 或 1.5 个停止位来应答起始位。

图 33-2 字长=8 设置

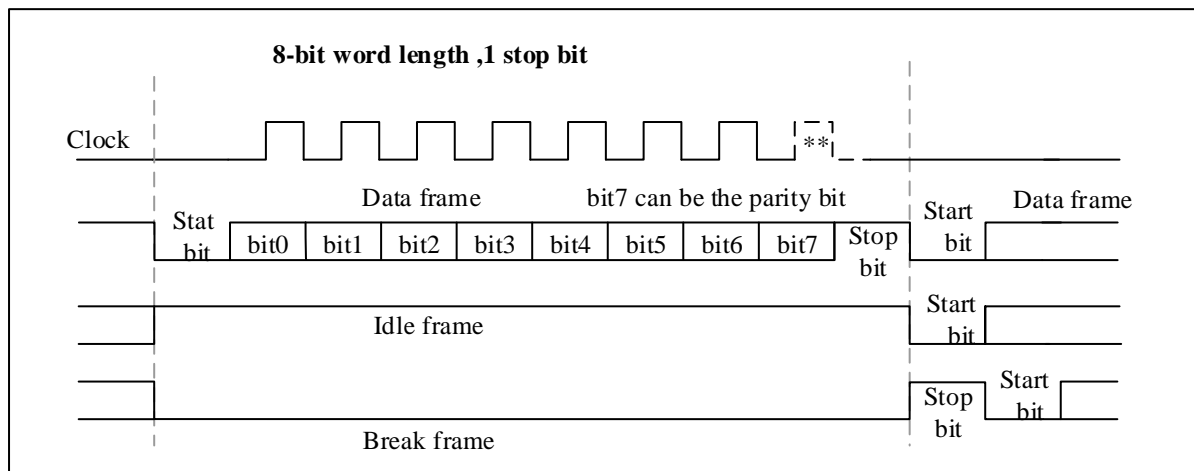
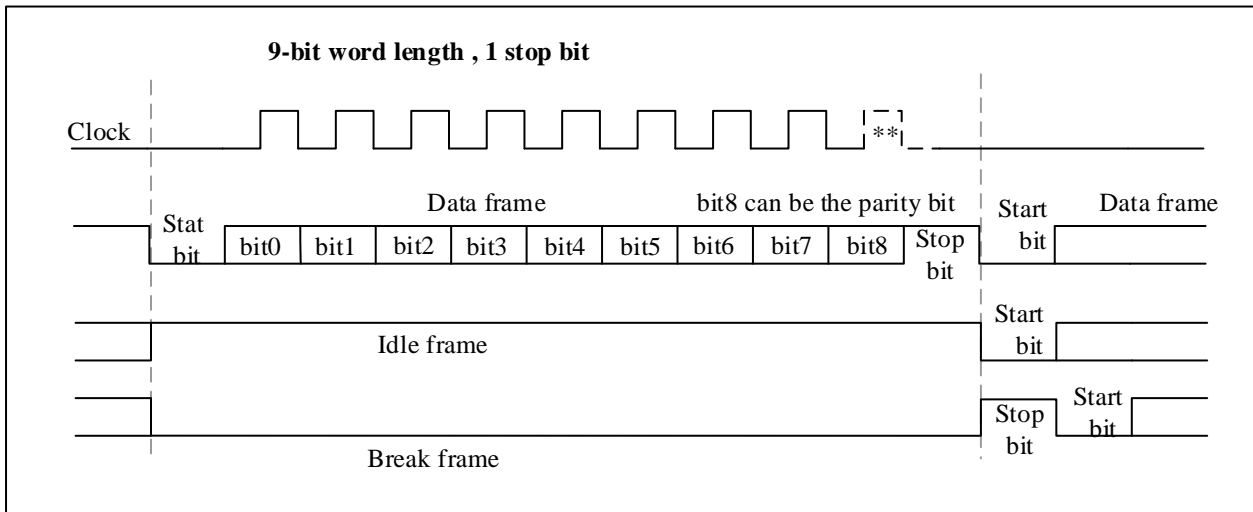


图 33-3 字长=9 设置



### 33.4.2 USART FIFO 和 阈值

USART 可工作在 FIFO 模式下。

USART 具有一个发送 FIFO (TXFIFO) 和一个接收 FIFO (RXFIFO)。可通过将 USART\_FIFO.EN 置 1 使能 FIFO 模式。

最大数据字长度为 9 位，因此 TXFIFO 为 9 位宽。不过，RXFIFO 的默认宽度为 12 位。这是因为接收器不仅在 FIFO 中存储数据，而且还存储与每个字符相关的错误标志(奇偶校验错误、噪声错误和帧错误标志)。

*注：接收的数据与相应的标志一起存储在 RXFIFO 中，但读取 USART\_DAT 时仅读取数据。*

状态标志位于 USART\_STS 寄存器中。

可以配置触发 TX 和 RX 中断的 TXFIFO 和 RXFIFO 阈值。这些阈值通过 USART\_FIFO 控制寄存器中的 RXFTCFG 和 TXFTCFG 位域进行编程。

在这种情况下：

当 RXFIFO 中接收到的数据量达到 RXFTCFG 位域中编程的阈值时，会生成 Rx 中断。此时，USART\_STS 寄存器中的 RXFT 标志置 1。这表示已接收到 RXFTCFG 数据：USART\_DAT 中有 1 个数据，RXFIFO 中有(RXFTCFG-1)个数据。例如，如果将 RXFTCFG 编程为“101”，则在接收到对应于 FIFO 大小的数据量，(RXFIFO 中有(FIFO 大小-1)个数据，USART\_DAT 中有 1 个数据)时，RXFT 标志将置 1。因 RX FIFO 未满，下一个接收到的数据不会将上溢标志置 1。

当 TXFIFO 中的空位置数达到在 TXFTCFG 位域中编程的阈值时，会生成 Tx 中断。

内部存在寄存器可查看 TXFIFO/RXFIFO 内数据个数。

USART RX/TX FIFO 推荐配置流程：

1. 使用时可以先使能 USART\_FIFO.CLR 清除 TX/RX FIFO 的数据,或者当想清除 FIFO 数据时可操作 USART\_FIFO.CLR 位;

2. 配置中断使能:TX 中断/RX 中断;
3. 配置 FIFO 的水线阈值: USART\_FIFO.RXFTCFG/ USART\_FIFO.RXFTCFG(不要配置为 2'b00);
4. 打开 USART\_FIFO.EN 使能 FIFO 模块。

### 33.4.3 发送器

当发送功能使能后, 进入移位寄存器中的数据通过 TX 引脚输出。

#### 33.4.3.1 空闲帧

USART\_CTRL1.TXEN 置 1 后, USART 会在发送数据之前发送一个空闲帧。

#### 33.4.3.2 字符发送

在空闲帧结束后, 字符可正常发送。在每个字符发送前, 先发送一个起始位(低电平)。发送器根据数据长度配置发送 8 位或 9 位数据, 其中最低有效位先发送。如果在数据传输时 USART\_CTRL1.TXEN 被清零, 将导致波特率计数器停止计数, 从而破坏正在传输的数据。

#### 33.4.3.3 停止位

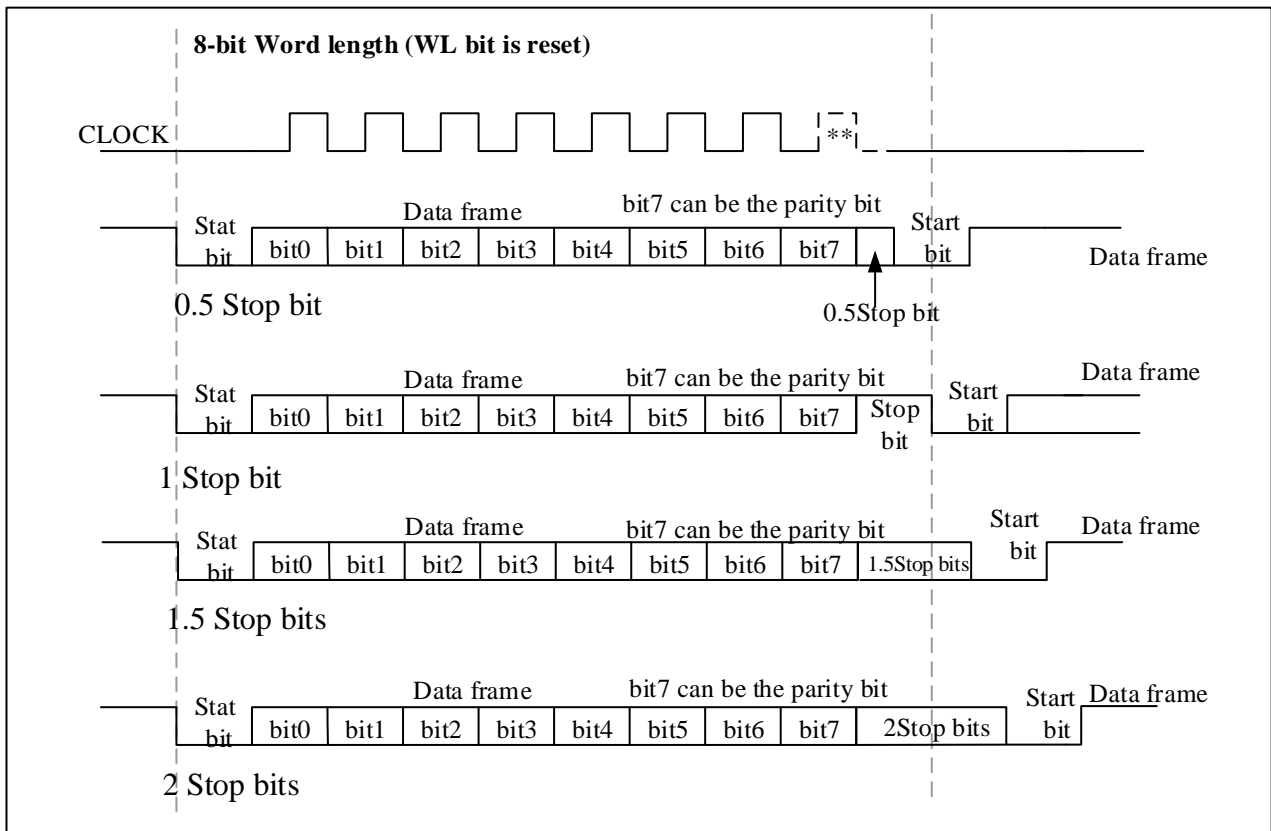
字符发送完成后, 发送器自动发送停止位。停止位位数可通过 USART\_CTRL2.STPB[1:0]配置。

表 33-1 停止位配置

USART_CTRL2.STPB[1:0]	停止位长度 (位)	功能描述
00	1	默认
01	0.5	用于智能卡模式下数据接收
10	2	用于常规 USART 模式、单线模式以及调制解调器模式。
11	1.5	用于智能卡模式下数据发送和接收



图 33-4 停止位配置



#### 33.4.3.4 断开帧

可通过置位 USART\_CTRL1.SDBRK 来发送 1 个断开帧。当数据长度为 8 位时，断开帧由 10 位低电平组成，当数据长度为 9 位时，断开帧由 11 位低电平组成。断开帧结束后将插入一位停止位（高电平）。

断开帧发送完成后，USART\_CTRL1.SDBRK 被硬件清零，同时自动发送停止位。因此，如果要连续发送断开帧，必须在前一个断开帧与停止位发送完成后再次置位 USART\_CTRL1.SDBRK。

如果在断开帧开始发送前软件清零 USART\_CTRL1.SDBRK，当前断开帧不会发送。

#### 33.4.3.5 发送流程

1. 置位 USART\_CTRL1.UEN 来使能 USART；
2. 配置波特率、数据长度、校验位、停止位长度、以及根据需要配置相关 DMA；
3. 使能发送功能 (USART\_CTRL1.TXEN)；
4. 通过 CPU 或 DMA 将要发送的数据依次写入数据寄存器 USART\_DAT，当数据写入数据寄存器时将清零 USART\_STS.TXDE；
5. 当所有数据已写入到数据寄存器 USART\_DAT 后，等待发送完成标志位 USART\_STS.TXC 置 1，数据发送完成。

#### 33.4.3.6 单字节通信

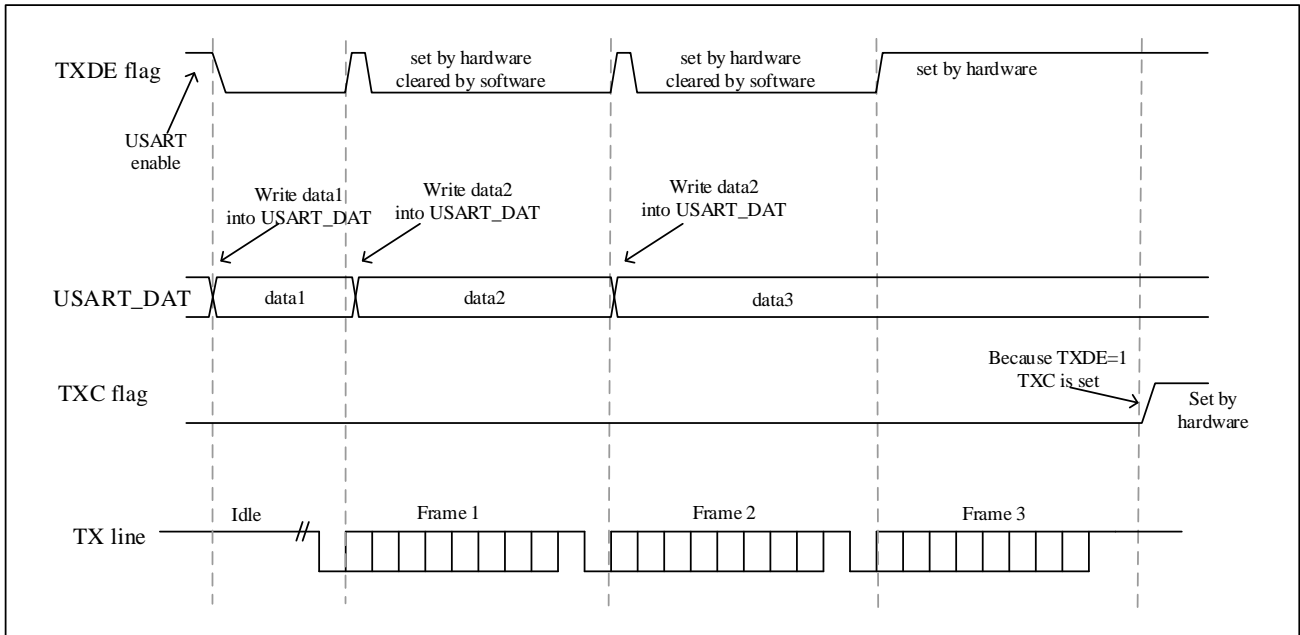
对数据寄存器 USART\_DAT 的写操作将清零标志位 USART\_STS.TXDE。

当数据已从发送数据寄存器送到移位寄存器时，USART\_STS.TXDE 位由硬件置 1，表示数据开始发送。如果 USART\_CTRL1.TXDEIEN 已置 1，将产生一个中断。此时，可将下一个数据写入数据寄存器 USART\_DAT。

对数据寄存器 USART\_DAT 进行写操作时：

- 如果移位寄存器空闲，数据将直接送到移位寄存器，同时 USART\_STS.TXDE 硬件置 1
  - 如果移位寄存器正在发送数据，数据保存在数据寄存器，待上一个数据发送完成后，再送到移位寄存器
- 当一帧数据发送完成后并且 USART\_STS.TXDE 置 1，USART\_STS.TXC 被硬件置 1。如果 USART\_CTRL1.TXCIEN 已置 1，将产生一个中断。USART\_STS.TXC 通过以下软件操作清零：先读一次 USART\_STS 寄存器，再写一次 USART\_DAT 寄存器。

图 33-5 发送时 TXC/TXDE 的变化情况



### 33.4.4 接收器

#### 33.4.4.1 起始位检测

在 USART 中，如果识别到一个特殊的采样序列 1 1 1 0 X 0 X 0 X 0 0 0 0，就认为检测到一个起始位。

在第 3、5、7 位的采样，以及在第 8、9、10 位的采样都为‘0’（也即 6 个‘0’），则确认收到起始位，并将 USART\_STS.RXDNE 置 1，但不会置位 NEF 噪声标志。如果 USART\_CTRL1.RXDNEIEN 已置 1，则产生一个中断。

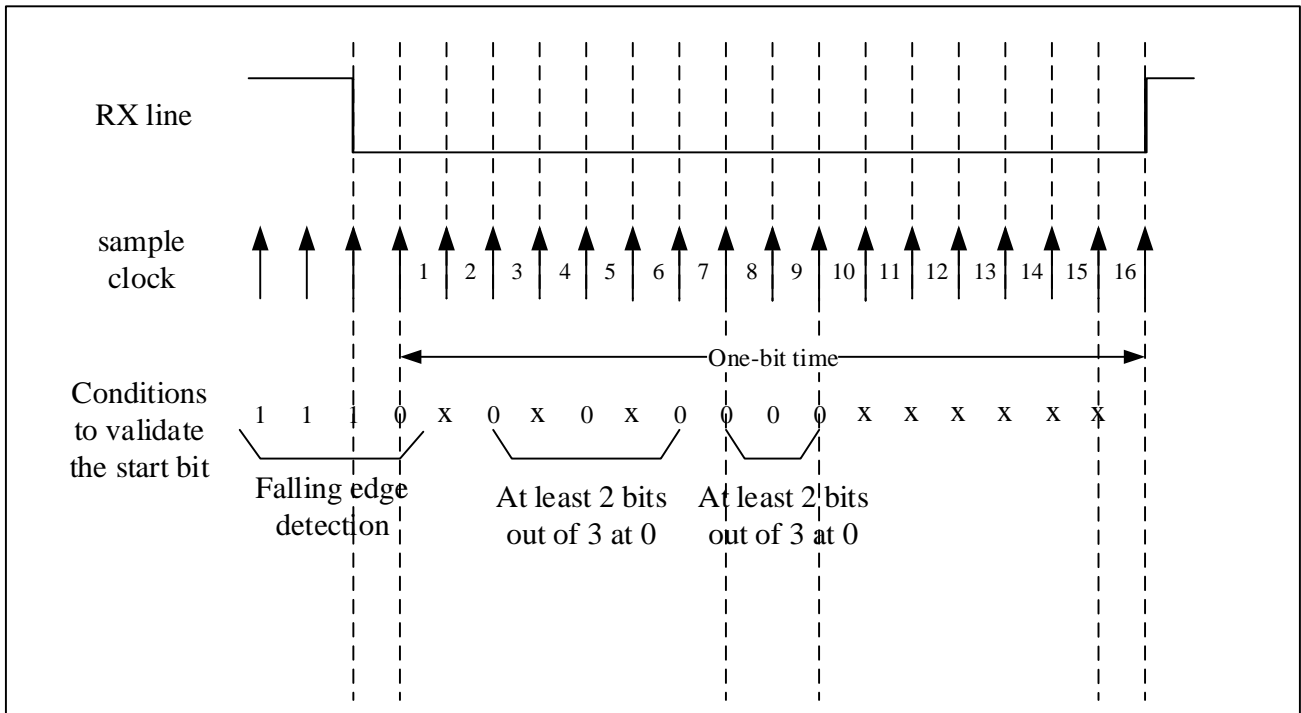
第 3、5、7 位的采样有两个‘0’，与此同时，第 8、9、10 位的采样有两个‘0’点，也确认收到起始位，但是会置位 NEF 噪声标志位。

第 3、5、7 位的采样有三个‘0’，与此同时，第 8、9、10 位的采样有两个‘0’点，也确认收到起始位，并置位 NEF 噪声标志位。

第 3、5、7 位的采样有两个‘0’，与此同时，第 8、9、10 位的采样有三个‘0’点，也确认收到起始位，并置位 NEF 噪声标志位。

如果在第 3、5、7、8、9、10 位的采样值满足不了上面四种要求，USART 接收器认为没有接受到正确的起始位，将退出起始位侦测并回到空闲状态等待下降沿。

图 33-6 起始位检测



### 33.4.4.2 停止位

停止位长度可通过 `USART_CTRL2.STPB[1:0]` 配置。常规模式下，可配置为 1 位或 2 位。智能卡模式下，可配置为 0.5 位或 1.5 位。

- 0.5 位停止位（智能卡模式中的数据接收）：不对停止位进行采样。因此，此时不能检测帧错误和断开帧。
- 1 个停止位：默认情况下通过三个点对 1 个停止位的采样，选择第 8，第 9 和第 10 采样位上进行。
- 1.5 个停止位（智能卡模式）：智能卡模式下发送数据时，器件必须检查数据是否被正确的发送出去。所以接收器功能块必须被激活（`USART_CTRL2.RXEN=1`），并且在停止位的发送期间采样数据线上的信号。如果出现校验错误智能卡会在发送方采样 NACK 信号时拉低数据线，表示出现了帧错误。`USART_STS.FEF` 与 `USART_STS.RXDNE` 在停止位结束后被置 1。对 1.5 个停止位的采样是在第 16，第 17 和第 18 采样点进行的，可分成两个部分：0.5 个数据位周期，接收器不做任何处理；然后是 1 个数据位周期，接收器对其进行采样。参照图 33.4.17 智能卡模式。
- 2 个停止位：对 2 个停止位的采样是在第一停止位的第 8，第 9 和第 10 个采样点完成的。如果第一个停止位期间检测到一个帧错误，帧错误标志将被置起。在第一个停止位结束时 `USART_STS.RXDNE` 标志将被设置。第二个停止位将不会检测帧错误。

### 33.4.4.3 接收流程

- 将 `USART_CTRL1.UEN` 置 1 来使能 USART；
- 配置波特率、数据长度、校验位、停止位长度、以及根据需要配置相关 DMA；
- 使能接收器（`USART_CTRL1.RXEN`），开始起始位检测；
- 接收 8 位或 9 位数据，通过 RX 引脚送往接收移位寄存器，最低有效位在前；
- 当数据由接收移位寄存器送到 `USART_DAT` 寄存器，`USART_STS.RXDNE` 被置 1，表示数据可以被读出。如果 `USART_CTRL2.RXNEIEN` 已置 1，将产生一个中断；

6. 当接收过程中检测到帧错误、噪音或溢出错误，这样错误标志将被置 1。如果在数据传输过程中 USART\_CTRL1.RXEN 被清零，当前接收数据丢失；
7. USART\_STS.RXDNE 通过对 USART\_DAT 寄存器进行读操作清零：
  - 在多缓冲器通信模式, USART\_STS.RXDNE 通过 DMA 对数据寄存器的读操作清零。
  - 在单缓冲器通信模式, USART\_STS.RXDNE 通过软件对数据寄存器的读操作清零。

#### 33.4.4.4 空闲帧检测

当一空闲帧被检测到时，USART\_STS.IDLEF 置 1。此时如果 USART\_CTRL1.IDLEIEN 已置 1，将产生一个中断。USART\_STS.IDLEF 可通过以下软件操作清零：先读 USART\_STS 寄存器，再读 USART\_DAT 寄存器。

#### 33.4.4.5 断开帧检测

当一断开帧被检测到时，帧错误标志 USART\_STS.FEF 被硬件置 1，可通过以下软件操作清零：先读 USART\_STS 寄存器，再读 USART\_DAT 寄存器。

#### 33.4.4.6 帧错误

如果在预期的时间内没有接收和识别到停止位，产生一个帧错误，标志位 USART\_STS.FEF 置 1，同时无效数据将从移位寄存器送到 USART\_DAT 寄存器。在单字节通信时，没有帧错误中断产生，因为此时 USART\_STS.RXDNE 位同时置 1，后者将产生中断。在多缓冲器通信情况下，如果 USART\_CTRL3.ERRIEN 已置 1，将产生一个中断。

#### 33.4.4.7 溢出错误

在 FIFO 模式不使能情况下：

如果 USART\_STS.RXDNE 已被置 1，而接收移位寄存器又有数据需要送入数据寄存器，则发生溢出错误，同时标志位 USART\_STS.OREF 硬件置 1。

在 FIFO 模式使能情况下：

如果 RX FIFO 满，而接收移位寄存器又有数据需要送入数据寄存器，则发生溢出错误，同时标志位 USART\_STS.OREF 硬件置 1；此时数据寄存器中的数据不会丢失，但移位寄存器中的数据将被覆盖。

USART\_STS.OREF 可通过以下软件操作清零：先读 USART\_STS 寄存器，再读 USART\_DAT 寄存器。

当产生溢出错误时，若 USART\_CTRL1.RXDNEIEN 已置 1，将产生一个接收中断。多缓冲器通信模式(DMA)下，如果 USART\_CTRL3.ERRIEN 已置 1，将产生一个错误中断。

#### 33.4.4.8 噪声错误

当接收器检测到噪声错误时，USART\_STS.NEF 被置 1，可通过以下软件操作清零：先读 USART\_STS 寄存器，再读 USART\_DAT 寄存器。在单字节通信模式下不会产生噪声中断，因为此时 USART\_STS.RXDNE 也被置 1 并产生接收中断。在多缓冲器通信模式 (DMA)，如果 USART\_CTRL3.ERRIEN 已置 1，将产生一个错误中断。

表 33-2 噪声检测的数据采样

采样值	NE 状态	接收的位	数据有效性
000	0	0	有效
001	1	0	无效

010	1	0	无效
011	1	1	无效
100	1	0	无效
101	1	1	无效
110	1	1	无效
111	0	1	有效

### 33.4.5 分数波特率计算

波特率通过 USART\_BRCF 寄存器配置，分频系数由整数部分和小数部分组成，同时适用于发送器与接收器。在写入 USART\_BRCF 之后，波特率计数器会被波特率寄存器的新值替换。因此，不要在通信过程中改变波特率寄存器的数值。

过采样设置为 8:

$$\text{TX / RX 波特率} = f_{\text{PCLK}} / (8 * \text{USARTDIV})$$

过采样设置为 16:

$$\text{TX / RX 波特率} = f_{\text{PCLK}} / (16 * \text{USARTDIV})$$

其中  $f_{\text{PCLK}}$  为 USART 外设时钟:

- HCLK 用于 USART1~USART2, 最高 300MHz
- PCLK1 用于 USART3~USART4, UART9~UART12, 最高 150MHz
- PCLK2 用于 USART5~USART8, UART13~UART15, 最高 150MHz.

USARTDIV 为无符号分频系数

#### 33.4.5.1 分频系数 USARTDIV 与 USART\_BRCF 寄存器配置

过采样设置为 16:

示例 1:

如果 USARTDIV = 27.75, 则:

$$\text{DIV\_Decimal} = 16 * 0.75 = 12 = 0x0C$$

$$\text{DIV\_Integer} = 27 = 0x1B$$

因此 USART\_BRCF = 0x1BC

示例 2:

如果 USARTDIV = 20.98, 则:

$$\text{DIV\_Decimal} = 16 * 0.98 = 15.68$$

取最接近的整数  $\text{DIV\_Decimal} = 16 = 0x10$ , 超出可配置范围, 因此需要向整数位进位

$$\text{从而 } \text{DIV\_Integer} = 20 + 1 = 21 = 0x15$$

$$\text{DIV\_Decimal} = 0x0$$

因此  $USART\_BRCF = 0x150$

示例 3:

如果  $USART\_BRCF = 0x19B$ :

$DIV\_Integer = 0x19 = 25$

$DIV\_Decimal = 0x0B = 11$

$USARTDIV = 25 + 11/16 = 25.6875$

**过采样设置为 8:**

示例 1:

如果  $USARTDIV = 27.75$ , 则:

$DIV\_Decimal = 8 * 0.75 = 6 = 0x06$

$DIV\_Integer = 27 = 0x1B$

因此  $USART\_BRCF = 0x1B6$

示例 2:

如果  $USARTDIV = 20.98$ , 则:

$DIV\_Decimal = 8 * 0.98 = 7.84$

取最接近的整数  $DIV\_Decimal = 8 = 0x08$ , 超出可配置范围, 因此需要向整数位进位

从而  $DIV\_Integer = 20 + 1 = 21 = 0x15$

$DIV\_Decimal = 0x0$

因此  $USART\_BRCF = 0x150$

示例 3:

如果  $USART\_BRCF = 0x196$ :

$DIV\_Integer = 0x19 = 25$

$DIV\_Decimal = 0x06 = 6$

$USARTDIV = 25 + 6/8 = 25.75$

**表 33-3 设置波特率时的误差计算**

16 倍过采样时 (USART_CTRL1.OSPM = 0)									
波特率		f <sub>PCLK</sub> =150MHz				f <sub>PCLK</sub> =300MHz			
序号	Kbps	实际	过采样值	寄存器设置值	误差%	实际	过采样值	寄存器设置值	误差%
1	2.4	2.4	16	3906.25	0%	2.4	16	7812.5	0%
2	9.6	9.6	16	976.5625	0%	9.6	16	1953.125	0%

3	19.2	19.19	16	488.3125	0.05%	19.2	16	976.5625	0%
4	57.6	57.6	16	162.75	0%	57.603	16	325.5	0%
5	115.2	115.2	16	81.375	0%	115.207	16	162.75	0%
6	230.4	230.41	16	40.6875	0%	230.414	16	81.375	0.06%
7	460.8	460.12	16	20.375	1.6%	460.82	16	40.6875	0.04%
8	921.6	920.2	16	10.1875	0.15%	920.24	16	20.375	0.15%
9	7500	7500	16	1.25	0%	7500	16	2.5	0%
10	15000	不可能	16	不可能	不可能	15000	16	1.25	0%
11	30000	不可能	16	不可能	不可能	30000	16	不可能	不可能

表 33-4 设置波特率时的误差计算

8 倍过采样时 (USART_CTRL1.OSPM = 1)									
波特率		f <sub>PCLK</sub> =150MHz				f <sub>PCLK</sub> =300MHz			
序号	Kbps	实际	过采样值	寄存器设置值	误差%	实际	过采样值	寄存器设置值	误差%
1	2.4	2.4	8	impossible	impossible	2.4	8	impossible	impossible
2	9.6	9.6	8	1953.125	0%	9.6	8	3906.25	0%
3	19.2	19.198	8	976.625	0.1%	19.2	8	1953.125	0%
4	57.6	57.603	8	325.5	0.005%	57.598	8	651.0625	0.03%
5	115.2	115.207	8	162.75	0.006%	115.207	8	325.5	0.006%
6	230.4	230.414	8	81.375	0.006%	230.414	8	162.75	0.006%
7	460.8	460.122	8	40.75	0.14%	460.122	8	81.5	0.14%
8	921.6	920.24	8	20.375	0.14%	923.076	8	40.625	0.16%
9	7500	7500	8	2.5	0%	7500	8	5	0%
10	15000	15000	8	1.25	0%	15000	8	2.5	0%

11	30000	15000	8	不可能	不可能	30000	8	1.25	0%
----	-------	-------	---	-----	-----	-------	---	------	----

注意: CPU 的时钟频率越低, 则某一特定波特率的误差也越低。

### 33.4.6 USART 接收器容忍时钟的变化

应用中可能会出现发送误差(包括发射端时钟的变化)、接收端波特率误差及振荡器变化、传输线变化(通常由数据上升沿和下降沿时序不一致引起)。这些因素都会影响整个时钟系统的变化。只有当上述四个变化之和小于 USART 接收机的容差时, USART 异步接收机才能正常工作。

正常接收数据时, USART 接收器的容忍度为最大能容忍的变化, 取决于数据位长度的选择, 以及是否使用分数波特率分频系数。

表 33-5 当 DIV\_Decimal =0 时, USART 接收器的容忍度

WL 位	OSPM 位	认为 NEF 是错误	不认为 NEF 是错误
0	0	3.75%	4.375%
1	0	3.41%	3.97%
0	1	2.5%	3.75%
1	1	2.27%	3.41%

表 33-6 当 DIV\_Decimal !=0 时, USART 接收器的容忍度

WL 位	OSPM 位	认为 NEF 是错误	不认为 NEF 是错误
0	0	3.33%	4.0%
1	0	3.03%	3.63%
0	1	1.25%	2.5%
1	1	1.13%	2.27%

### 33.4.7 校验控制

通过设置 USART\_CTRL1.PCEN 来使能奇偶校验功能。

使能后, 在发送数据时自动生成并发送校验位, 接收数据时对校验位进行检查。

表 33-7 帧格式

WL 位	PCEN 位	USART 帧
0	0	起始位   8 位数据   停止位
0	1	起始位   7 位数据   奇偶校验位   停止位
1	0	起始位   9 位数据   停止位
1	1	起始位   8 位数据   奇偶校验位   停止位



## 偶校验

USART\_CTRL1.PSEL 设置为 0，使能偶校验

偶校验表示一帧数据（包括校验位）中‘1’的个数为偶数。例如：数据=11000101，有 4 个‘1’，则发送端偶校验位为‘0’（总共 4 个‘1’）。接收端对数据中‘1’个数进行确认：如果是偶数，校验通过；如果是奇数，表示产生了校验错误，USART\_STS.PEF 标志位置 1，此时如果 USART\_CTRL1.PEIEEN 已置 1，产生一个中断。

## 奇校验

USART\_CTRL1.PSEL 设置为 1，使能奇校验

奇校验表示一帧数据（包括校验位）中‘1’的个数为奇数。例如：数据=11000101，有 4 个‘1’，则发送端奇校验位为‘1’（总共 5 个‘1’）。接收端对数据中‘1’个数进行确认：如果是奇数，校验通过；如果是偶数，表示产生了校验错误，USART\_STS.PEF 标志位置 1，此时如果 USART\_CTRL1.PEIEEN 已置 1，产生一个中断。

## 33.4.8 DMA 通信

USART 支持 DMA 通信，此时采用多缓冲模式(DMA)可达到较高的通信效率。

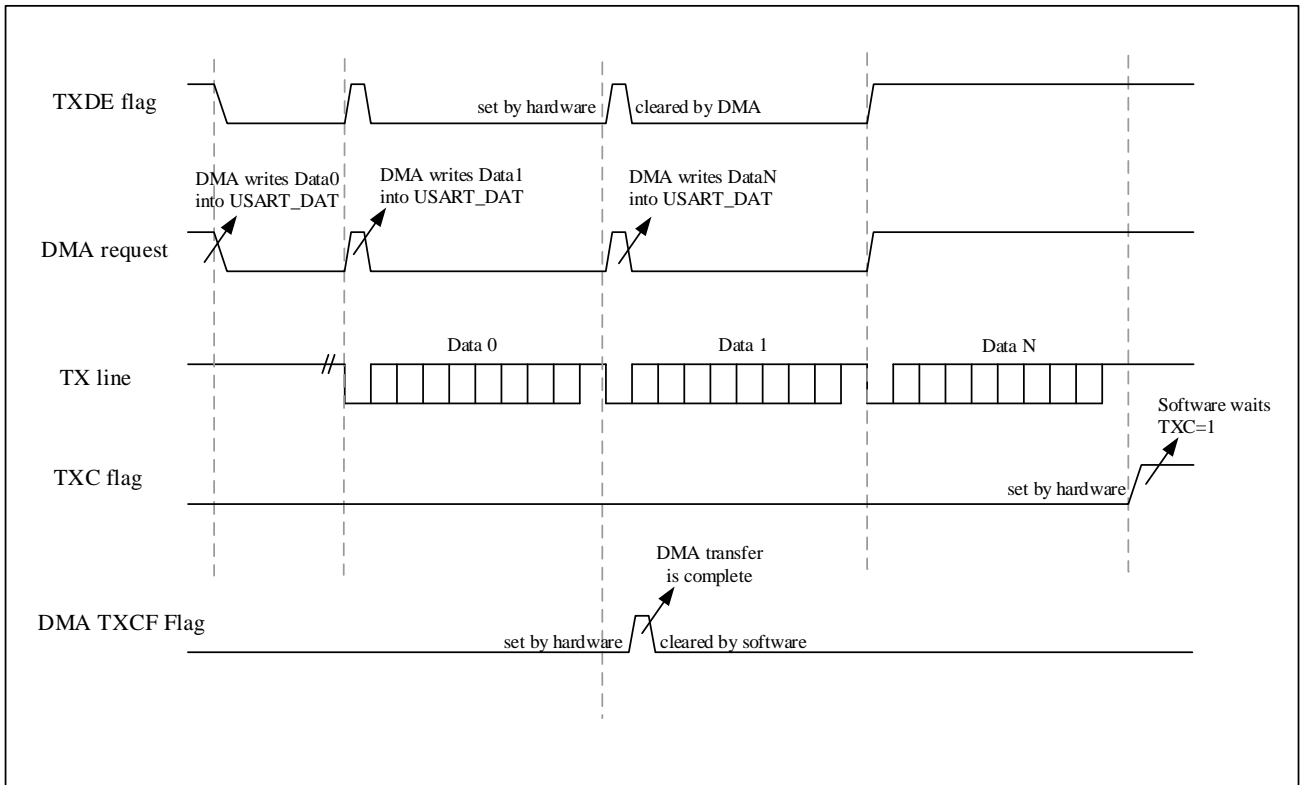
### 33.4.8.1 DMA 发送

发送器通过将 USART\_CTRL3.DMATXEN 置 1 来使能 DMA 发送。当发送移位寄存器为空时 (USART\_STS.TXDE=1)，DMA 将数据由 SRAM 送到数据寄存器 USART\_DAT。

使用 DMA 发送功能时，按照以下流程对 DMA 进行配置：

1. 设置 DMA 传输的源地址，DMA 传输时从此地址读取要发送的数据
2. 设置 DMA 传输的目的地地址为 USART\_DAT 寄存器地址
3. 设置要传输的总的字节数。
4. 设置 DMA 通道优先级、循环模式、地址增加模式、传输数据宽度、中断（传输完成一半还是全部完成时）
5. 激活当前 DMA 通道
6. 传输完成后，标志位 DMA\_TCINTSTS.CHn 被置 1

图 33-7 DMA 发送



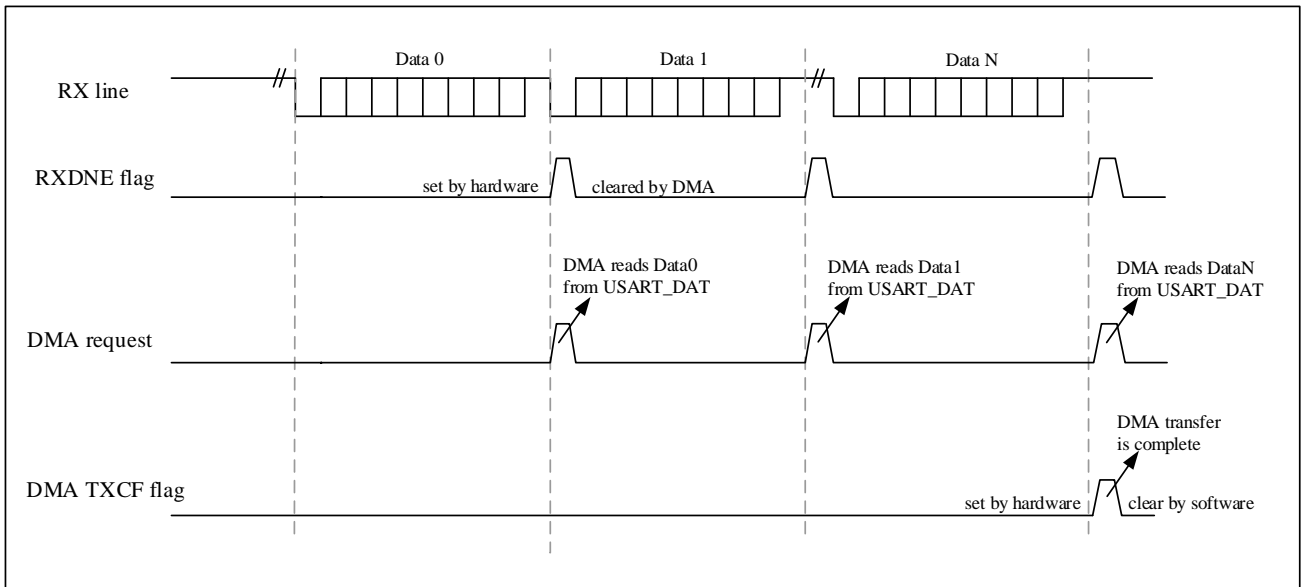
### 33.4.8.2 DMA 接收

接收器通过将 USART\_CTRL3.DMATXEN 置 1 来使能 DMA 接收。当收到 1 字节数据时 (USART\_STS.RXDNE=1)，DMA 将数据从数据寄存器 USART\_DAT 读出数据，送到 SRAM。

使用 DMA 接收功能时，按照以下流程对 DMA 进行配置：

1. 设置 DMA 传输的源地址为 USART\_DAT 寄存器地址，DMA 传输时从此地址读取要发送的数据
2. 设置 DMA 传输的目的地地址，DMA 传输时将数据送到此地址。
3. 设置要传输的总的字节数。
4. 设置 DMA 通道优先级、循环模式、地址增加模式、传输数据宽度、中断（传输完成一半还是全部完成时）
5. 激活当前 DMA 通道

图 33-8 DMA 接收

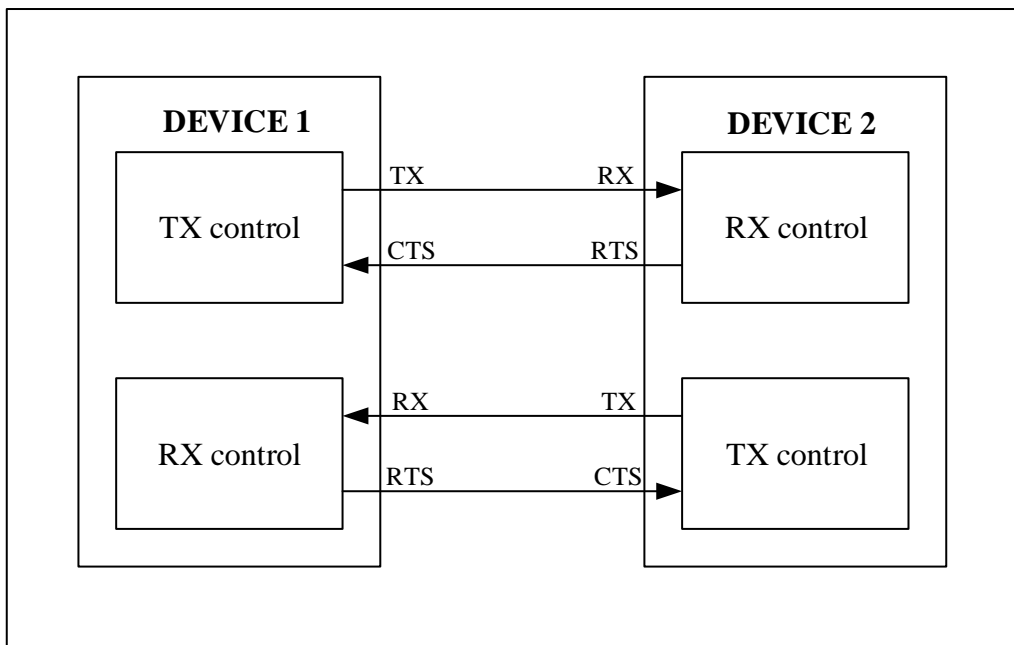


在多缓冲器通信模式，当检测到帧错误、溢出错误、噪声错误时，相应标志位置 1。如果此时 USART\_CTRL3.ERRIEN 已置 1，产生一个错误中断。

### 33.4.9 硬件流控

USART 支持硬件流控，用于协调发送端与接收端时序，避免数据丢失。连接方式见下图。

图 33-9 两个 USART 间的硬件流控制

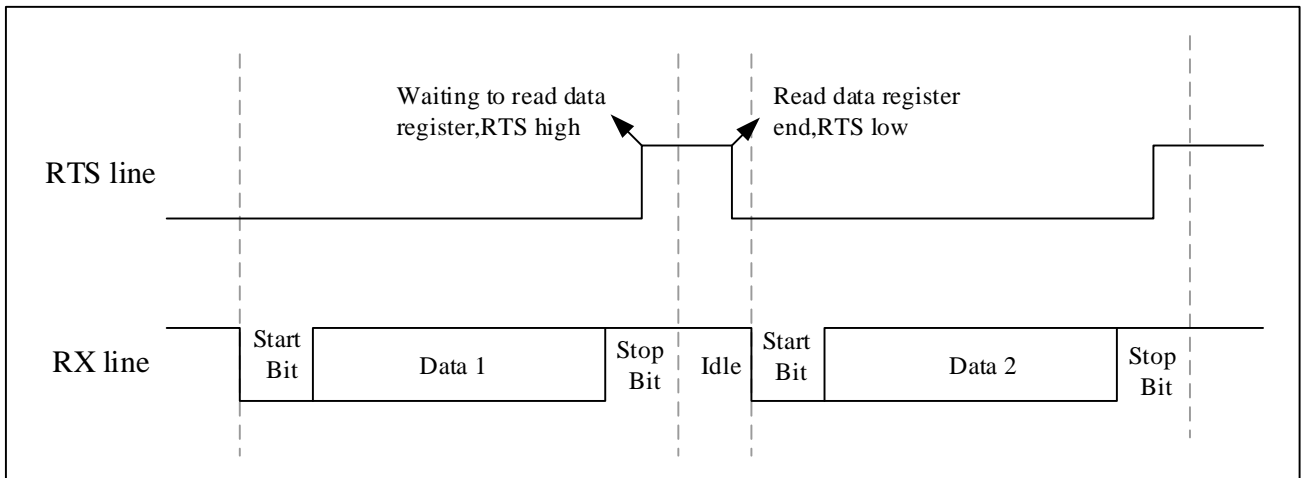


#### 33.4.9.1 RTS 流控制

将 USART\_CTRL3.RTSSEN 置 1，RTS 流控制使能。通过 nRTS 引脚输出低电平表示当前 USART 的接收器已准备好接收数据。当接收器收到数据后，nRTS 输出高电平，提示发送端暂停发送下一帧数据。如果接收

器准备后接收下一帧数据，再次通过 nRTS 输出低电平。

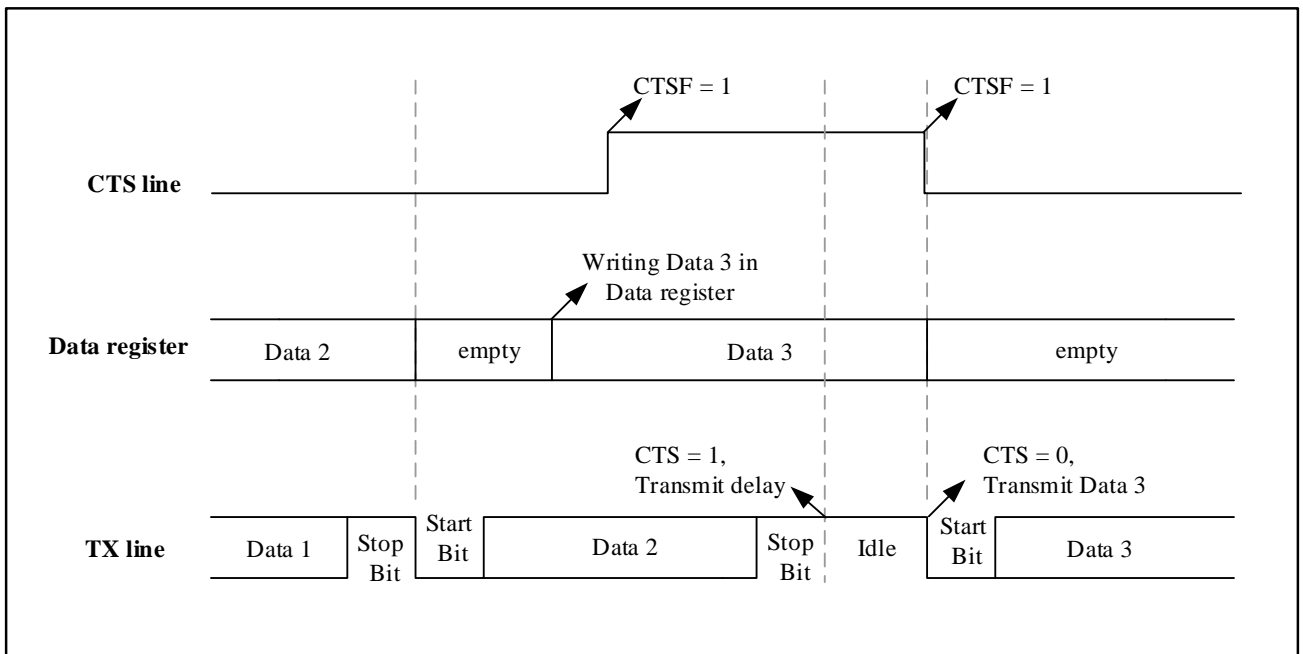
图 33-10 RTS 流控制



### 33.4.9.2 CTS 流控制

将 USART\_CTRL3.CTSEN 置 1，CTS 流控制使能。nCTS 为输入引脚，用于判断是否能发送数据给其他设备。nCTS 检测到低电平时，表示可以发送数据给其他设备。如果在数据传输时 nCTS 被拉高（失效），在当前数据传输完成后停止发送。如果在 nCTS 无效时写数据到数据寄存器，数据保持，直到 nCTS 有效后开始发送。当 nCTS 输入信号状态发生变化时，USART\_STS.CTSF 置 1。此时如果 USART\_CTRL3.CTSIEN 已置 1，将产生一个中断。

图 33-11 CTS 流控制



### 33.4.10 多处理器通信

USART 支持多处理器通信：多个设备同时连接到 USART 进行通信，因此必须判定哪一个设备作为主设备，其他设备自动做为从设备。主机 TX 引脚直接连接到其他从设备的 RX 引脚，所有从设备的 TX 引脚通过

逻辑与的方式合并，再连接到主设备的 RX 引脚。

在多处理器通信模式下，从设备处于静默模式，主设备在需要时通过通过指定方式唤醒某一个从设备，从而从设备可以和主设备进行正常通信。

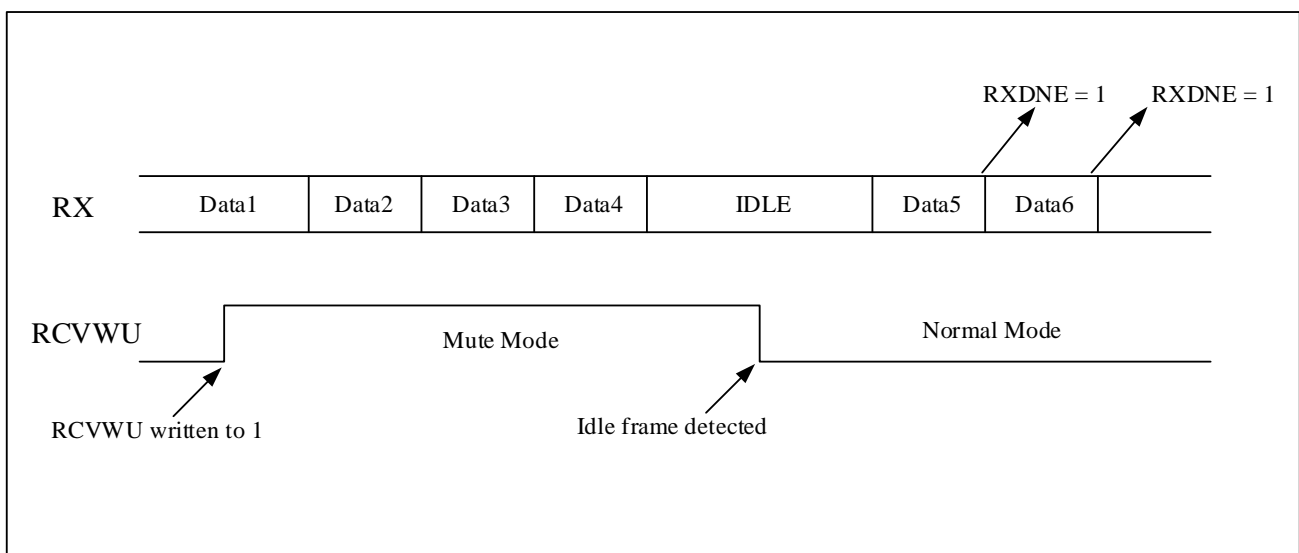
USART 可通过空闲总线检测或地址标识检测的方式从静默模式唤醒。

### 33.4.10.1 空闲总线检测

空闲总线检测流程如下：

1. 清零 USART\_CTRL1.WUM 位，USART 启用空闲总线检测功能。
2. 当 USART\_CTRL1.RCVWU 已置 1(可通过硬件自动控制或由在特定条件下由软件配置)，USART 进入静默模式，此时接收状态标志位不会置位，同时接收中断被禁用。
3. 如图 33-12 所示，当检测到空闲帧时，USART 被唤醒,同时 USART\_CTRL1.RCVWU 被硬件清零,此时 USART\_STS.IDLEF 标志位不会被置 1。

图 33-12 静默模式下的空闲总线检测



### 33.4.10.2 地址标识检测

当 USART\_CTRL1.WUM 置 1 时，USART 启用地址标识检测功能。标识地址通过 USART\_CTRL2.ADDR[3:0] 来配置。如果接收的数据最高有效位（MSB）为 1，当前数据为地址，低 4 位有效；如果 MSB = 0，则当前数据为普通数据。

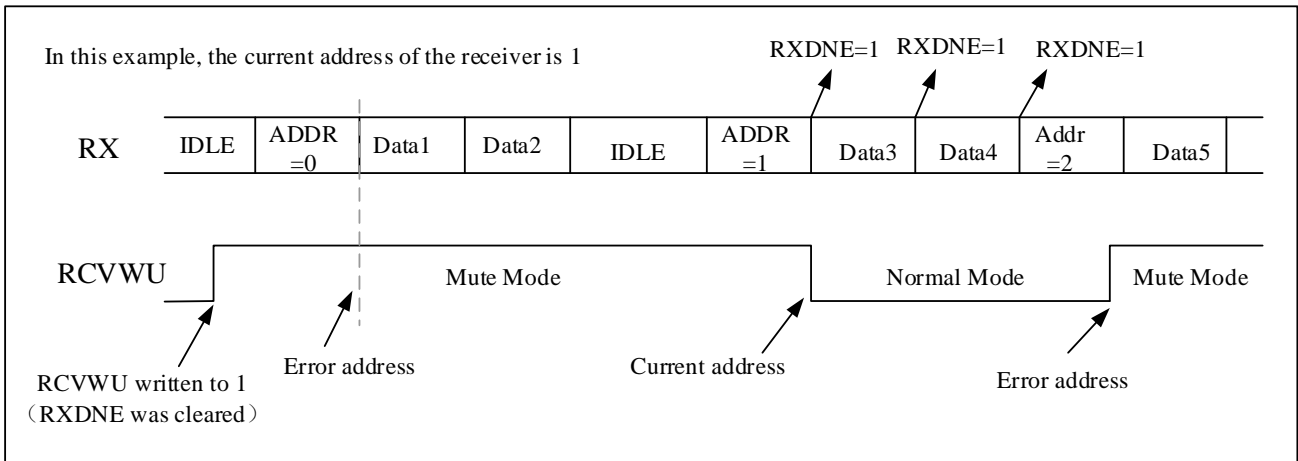
此模式下，USART 可通过以下方式进入静默模式：

- 当接收器没有数据处理时，可通过软件将 USART\_CTRL1.RCVWU 置 1，使 USART 进入静默模式。  
*注意：当接收数据寄存器为空时，(USART\_SR.RXNE=0)，USART\_CTRL1.RCVWU 位可通过软件写 0 或写 1。否则，对 USART\_CTRL1.RCVWU 的写操作被忽略。*
- 当接收器收到的地址与预设的地址标识不匹配时，USART\_CTRL1.RCVWU 由硬件置 1。

静默模式下，所有接收状态标志位不会置位，同时所有接收中断被禁用。

当接收器收到的地址与预设的地址标识相同时，USART 从静默模式唤醒， USART\_CTRL1.RCVWU 被硬件清零，同时 USART\_STS.RXDNE 位置 1， 此时可进行正常的数据传输。

图 33-13 静默模式下的地址标识检测



### 33.4.11 同步模式

USART 支持同步串行通信模式。同步模式下，USART 只能做为主设备，无法通过外部输入的时钟进行数据收发。通过将 USART\_CTRL2.CLKEN 位置 1 来启用同步模式。

注意：要启用同步模式，必须将以下控制位全部清零：USART\_CTRL2.LINMEN、USART\_CTRL3.SCMEN、USART\_CTRL3.HDMEN、USART\_CTRL3.IRDAMEN。

#### 33.4.11.1 同步时钟

CK 引脚为同步时钟输出引脚。在总线空闲时、实际数据发送之前、以及发送断开标识时，同步时钟不输出。同步时钟相位与极性可软件配置，且只能在发送器与接收器都被禁用时配置。

当时钟极性配置为 0 (USART\_CTRL2.CLKPOL=0) 时，空闲时 CK 引脚输出低电平；当时钟极性配置为 1 (USART\_CTRL2.CLKPOL=1) 时，空闲时 CK 引脚输出高电平。

当相位配置为 0 (USART\_CTRL2.CLKPHA=0) 时，数据在第一个时钟沿采样；当相位配置为 1 (USART\_CTRL2.CLKPHA=1) 时，数据在第二个时钟沿采样。

在发送起始位或停止位时，CK 引脚保持空闲状态，无时钟不输出。

未发送数据时无法接收同步数据。因为时钟仅在发送器被激活且数据写入 USART\_DAT 寄存器时可用。

USART\_CTRL2.LBCLK 位控制数据字节的最高有效位 (MSB) 是否有时钟脉冲。此位只能在发送器与接收器都被禁用时配置。当 USART\_CTRL2.LBCLK = 1 时，则最后一位数据的时钟脉冲将从 CK 输出；当 USART\_CTRL2.LBCLK = 0 时，则最后一位数据的时钟脉冲不从 CK 输出。

#### 33.4.11.2 同步发送

同步模式下的数据发送与异步模式相同，数据从 TX 引脚输出，同时从 CK 引脚输出对应的时钟脉冲。

#### 33.4.11.3 同步接收

同步模式下的数据接收与异步模式不同。数据在 CK 引脚输出的有效时钟沿采样，而不使用过采样。但必须考虑数据建立时间与保持时间 (1/16 数据位周期，具体时间依赖于波特率)。

图 33-14 USART 同步传输示例

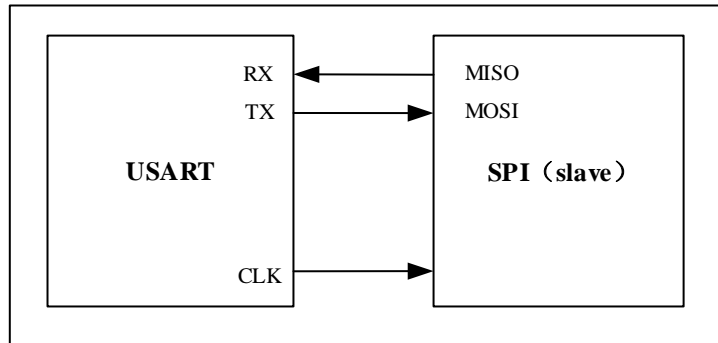


图 33-15 USART 数据时钟时序示例 (WL=0)

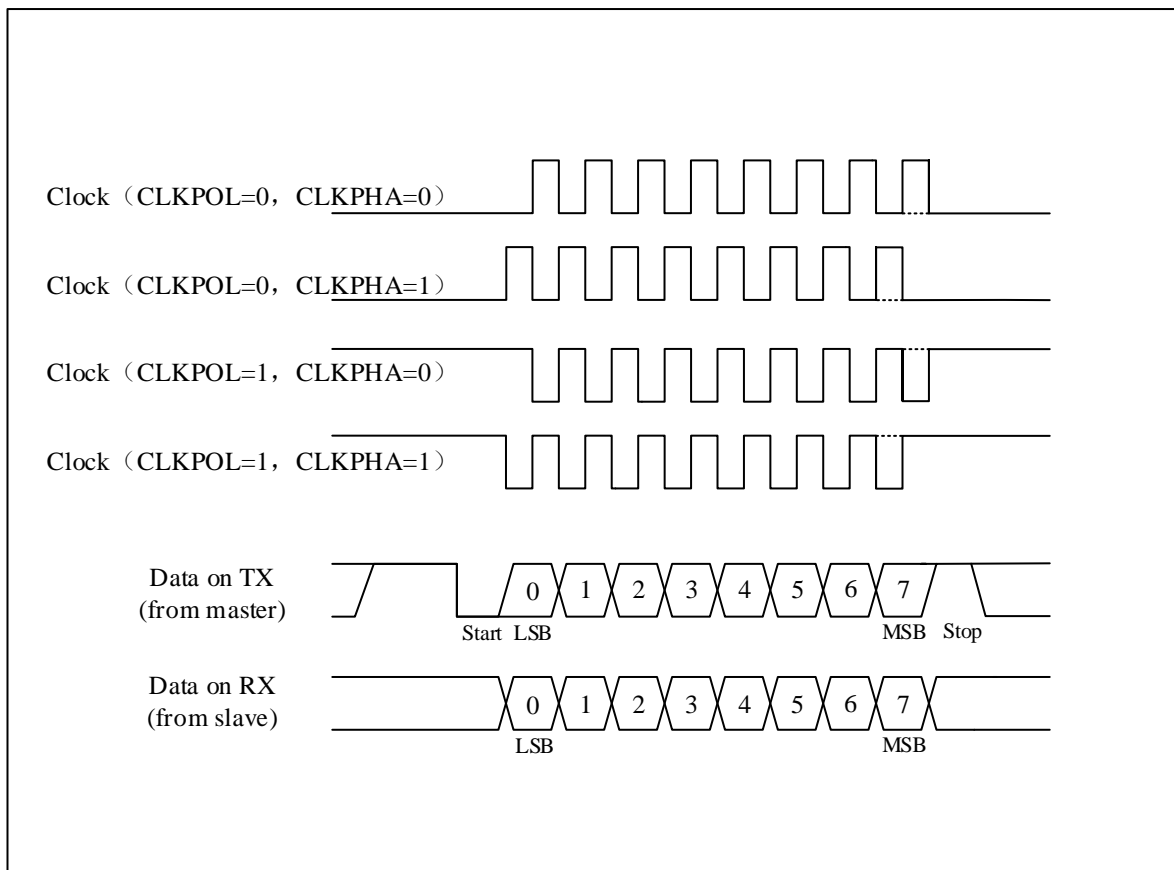


图 33-16 USART 数据时钟时序示例 (WL=1)

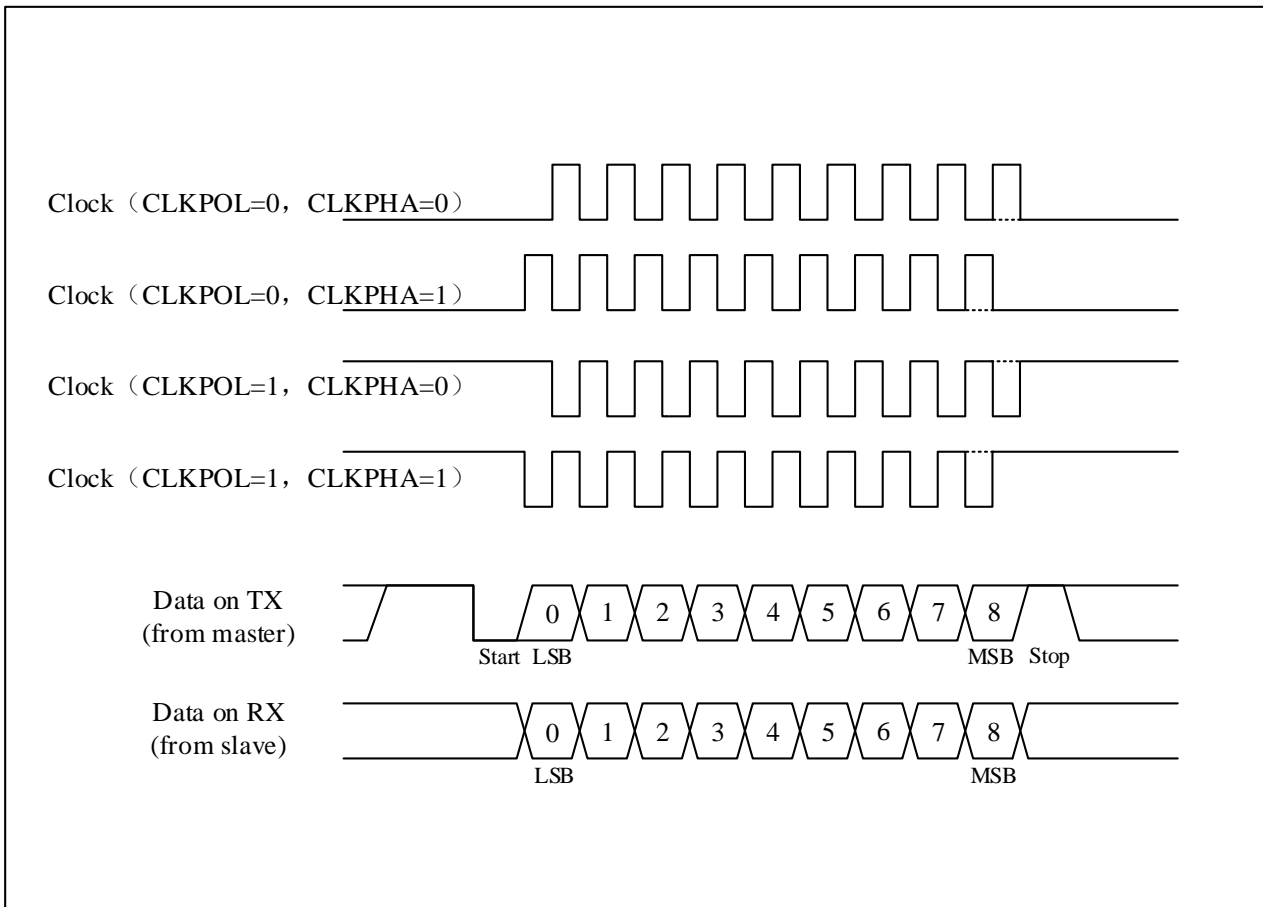
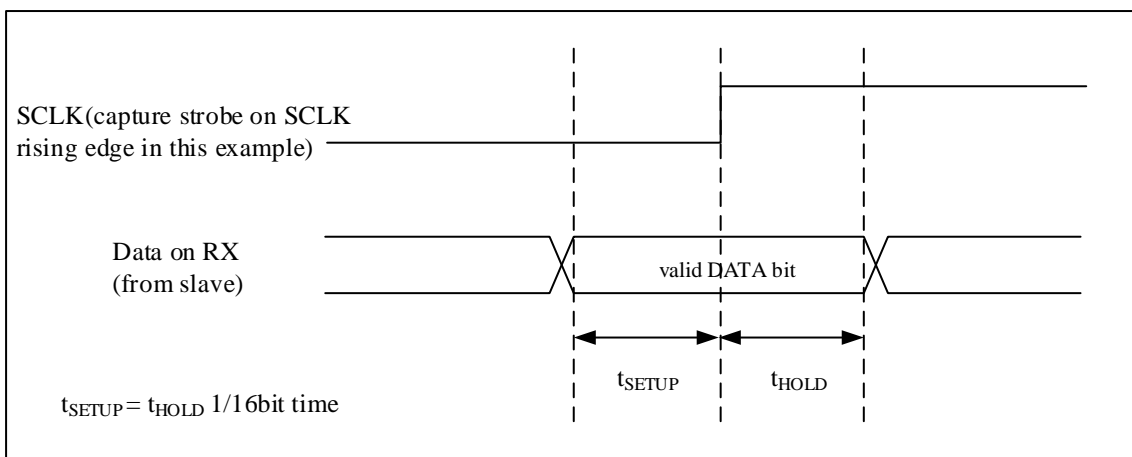


图 33-17 RX 数据采样/保持时间



注意：在智能卡模式下，CK 引脚功能与同步模式不同，有关细节请参考智能卡模式部分。

### 33.4.12 单线半双工模式

USART 支持单线半双工通信模式，允许数据双向收发，但同一时间只能单向接收数据或发送数据，数据通信的冲突由软件控制。



通过设置 USART\_CTRL3.HDMEN 位来选择单线半双工模式，此时以下控制位必须全部清零：USART\_CTRL2.CLKEN、USART\_CTRL2.LINMEN、USART\_CTRL3.SCMEN、USART\_CTRL3.IRDAMEN。

启用单线半双工通信模式后，TX 引脚与 RX 引脚在芯片内部相连，外部 RX 引脚不再使用。当没有数据发送时，TX 引脚被释放。因此，TX 引脚未被 USART 使用时，必须配置为浮空输入或开漏输出高电平。

### 33.4.13 接收器超时

接收器超时功能可通过将 USART\_CTRL2.RTOEN 位置 1 来使能。

超时间隔通过 USART\_RTO.TIME 位域进行编程。

接收器超时计数器遵循以下规则开始计数：从停止位接收结束时开始计数。

经过超时间隔后，USART\_STS.RTOF 标志置 1。如果 USART\_CTRL1.RTOIE 位置 1，则会产生超时中断。

*注：接收超时后，需要清除超时标志 USART\_STS.RTOF，否则不会重新开始超时计数；清除标志后，直到接收到下一个数据后，才开始接收超时计数。*

### 33.4.14 数据错误丢弃功能

USART 上对于数据检查的错误有奇偶校验(PEF),数据错误(FEF),噪声错误(NEF),在 USART 上可以配置 USART\_CTRL2.PEFLOSE/FEFLOSE/NEFLOSE 来对写入接收 FIFO 的数据进行数据错误检查，FIFO 下若接收数据发生其中一种错误，此时数据不会写入 FIFO，相当于数据直接丢弃并通过 USART\_STS.PELOSEF/FELOSEF/NELOSEF 三个状态位来指示此前数据发生相应的错误。此功能使用条件为:FIFO 模式下的接收数据；

指示错误标志位:

置位:当发生数据错误时指示发生的错误类型；

清除:向 USART\_STS.PELOSEF/FELOSEF/NELOSEF 写 1 清除。

### 33.4.15 串行 IrDA 红外编解码模式

USART 支持 IrDA (Infrared Data Association ) SIR ENDEC 规范。

通过设置 USART\_CTRL3.IRDAMEN 位来选择是否使用 IrDA 模式。当启用 IrDA 模式时，以下配置位必须全部清零：USART\_CTRL2.CLKEN、USART\_CTRL2.STPBP[1:0]、USART\_CTRL2.LINMEN、USART\_CTRL3.HDMEN、USART\_CTRL3.SCMEN。

通过设置 USART\_CTRL3.IRDALP 位，可选择 IrDA 的正常工作模式或低功耗模式。

#### 33.4.15.1 IrDA 正常模式

当 USART\_CTRL3.IRDALP=0，IrDA 工作在正常模式。

IrDA 是一个半双工通信接口，因此在发送和接收之间最小要有 10ms 的延时。数据采用反相归零(RZI)调制，即采用红外光源脉冲表示逻辑 0。脉冲宽度规定为一个位周期的 3/16，如图 33-19 IrDA 数据调制 (3/16)-正常模式所示。最大波特率为 115200bps。

USART 将数据送到 SIR 编码器进行调制后输出。调制后的数据流输出给外部红外发送器进行发送。接收时，

先通过外部红外接收器接收数据并解调后，发送到 SIR 解码器，解码后再将数据送给 USART。

发送编码器与解码器输入极性相反。空闲时，编码器输出为低电平，而解码器输入为高电平。编码器输出高脉冲表示逻辑 0，输出低电平作为逻辑 1。解码器输入则与之相反。

当 USART 正在发送数据给 IrDA 编码器时，解码器将忽略数据线上的所有数据。当 USART 正在从解码器接收数据时，发送到编码器的数据也被忽略，不进行编码操作。

脉冲宽度可软件配置。IrDA 规范要求脉冲宽度大于 1.41us。如果脉冲宽度小于 2 个 PSCV 周期，数据被过滤而丢失，PSCV 是在 USART\_GTP 寄存器配置的预分频值。

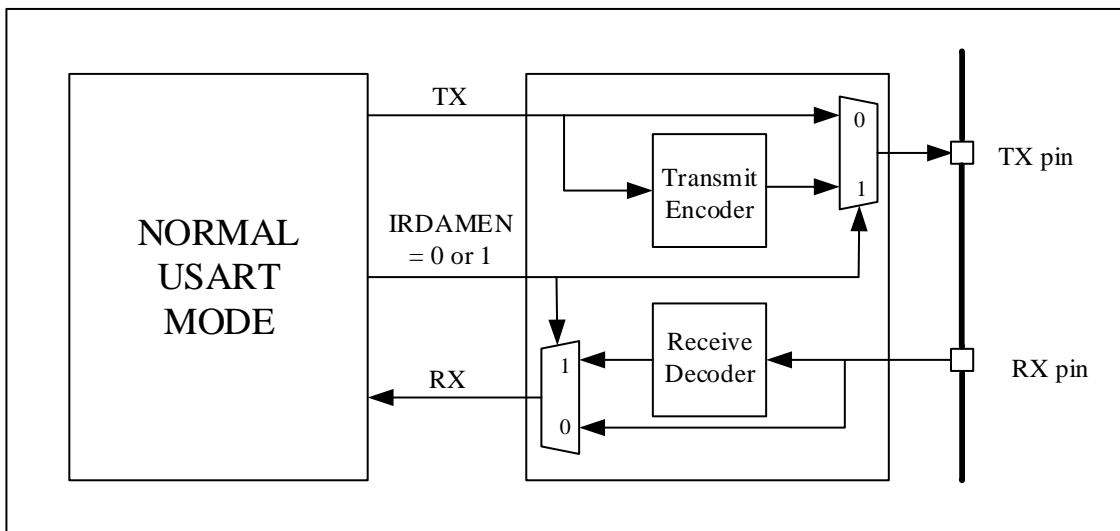
### 33.4.15.2 IrDA 低功耗模式

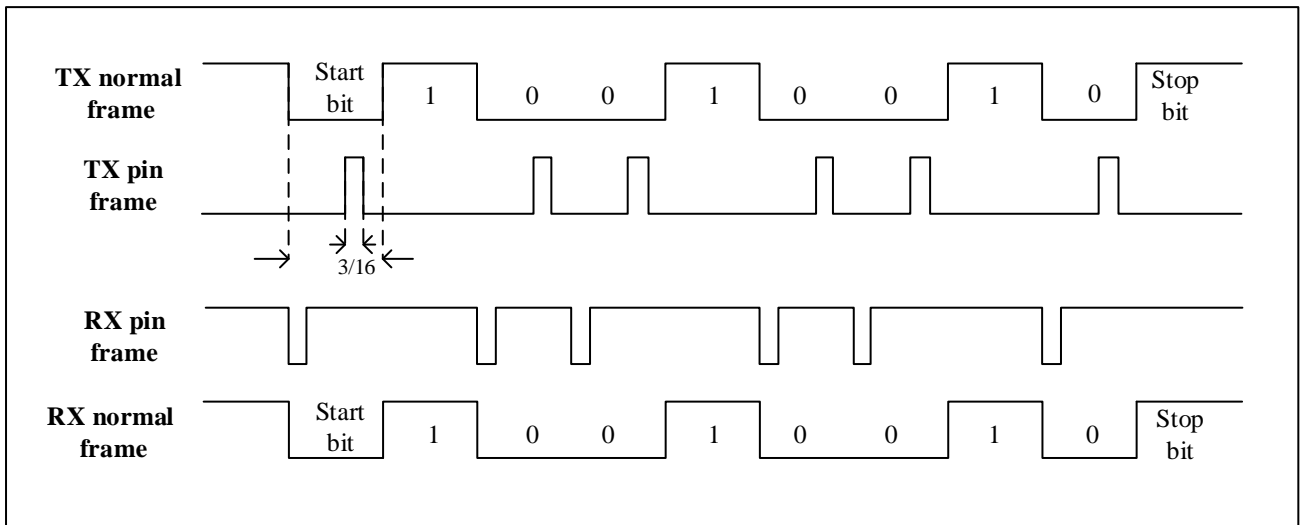
当 USART\_CTRL3.IRDALP=1，IrDA 工作在低功耗模式。

在低功耗模式下发送数据时，发送脉冲宽度为 3 倍 PSCV 周期。经 PSCV 分频后的时钟频率最小值为 1.42MHz，典型值为 1.8432MHz，(1.42 MHz < 时钟频率 < 2.12 MHz)。

接收数据时，有效低电平信号宽度必须大于 2 个 PSCV 周期。

图 33-18 IrDA SIR ENDEC-框图



**图 33-19 IrDA 数据调制 (3/16)-正常模式**


### 33.4.16 LIN 模式

USART 支持 LIN (Local interconnection Network) 模式，支持作为主机时发送同步断开帧，也支持作为从机检测断开帧。通过设置 USART\_CTRL2.LINMEN 位来使能 LIN 模式。

*注意，当使用 LIN 模式时，以下配置位必须全部被清零：USART\_CTRL2.STPB[1:0]、USART\_CTRL2.CLKEN、USART\_CTRL3.SCMEN、USART\_CTRL3.HDMEN、USART\_CTRL3.IRDAMEN。*

#### 33.4.16.1 LIN 发送

在 LIN 模式下发送数据时，数据长度只能配置为 8 位。将 USART\_CTRL1.SDBRK 置 1 将发送一个 13 位“0”断开帧，并插入一个停止位。

#### 33.4.16.2 LIN 接收

当总线空闲或数据传输过程中均可检测断开帧。断开帧检测机制独立于 USART 接收器。

通过配置 USART\_CTRL2.LINBDL 位，断开帧检测有效低电平位可选择 10 位或 11 位。

当接收器检测到一个起始位，采样电路在每个位的第 8, 9, 10 个过采样时钟点进行过采样。如果 10 个或 11 个位都是 '0'，并且又跟着一个定界符，表示检测到一个断开帧，USART\_STS.LINBDF 位置 1。在确认为断开帧前，必须检测定界符，意味着 RX 线已经回归空闲状态(高电平)。此时如果 USART\_CTRL2.LINBDIEN 已置 1，将产生一个中断。

如果在 10 个或 11 个位前收到了 '1'，当前断开帧检测被取消，并重新寻找起始位。

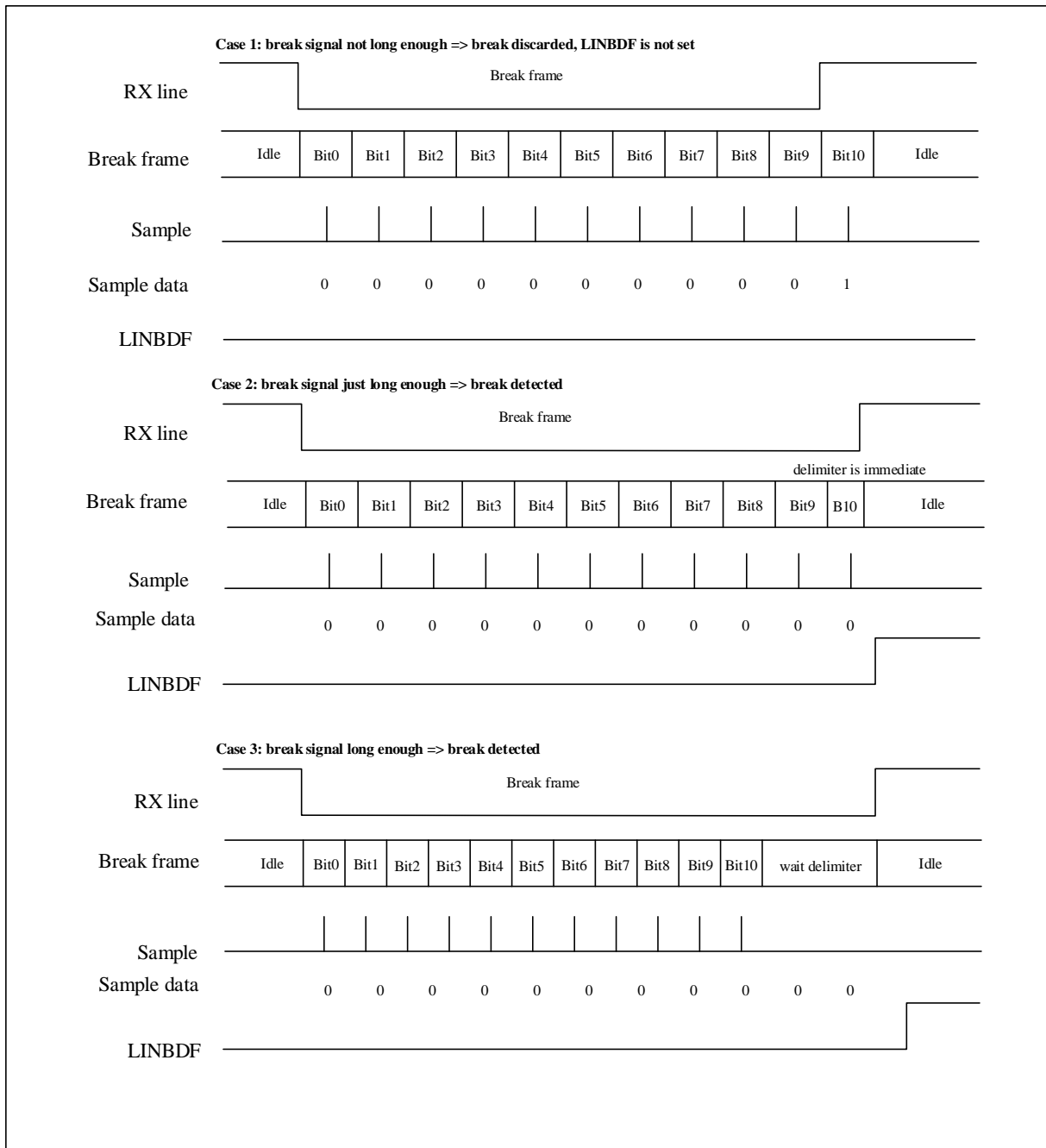
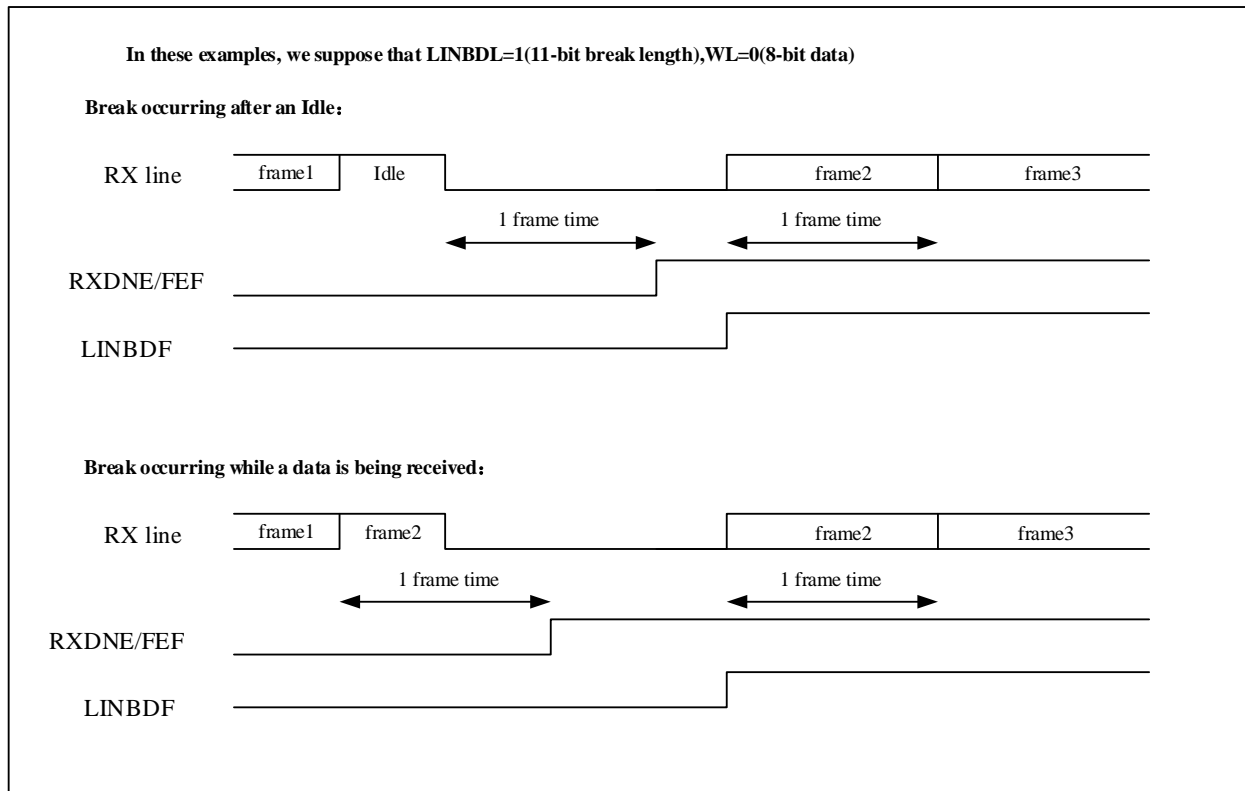
**图 33-20 LIN 模式下的断开检测（11 位断开帧长度-设置了 LINBDL 位）**


图 33-21 LIN 模式下的断开检测与帧错误的检测



### 33.4.17 智能卡模式 (ISO7816)

USART 支持智能卡规范，支持 ISO7816-3 标准中定义的智能卡协议。

通过配置 USART\_CTRL3.SCMEN 位来选择是否启用智能卡模式。使用智能卡模式时，以下配置位必须全部清零：USART\_CTRL2.LINMEN、USART\_CTRL3.HDMEN、USART\_CTRL3.IRDAMEN。

智能卡模式中，USART 通过 CK 引脚提供时钟，时钟频率通过预分频寄存器配置，配置范围为  $f_{CK}/2$  至  $f_{CK}/62$ ，其中  $f_{CK}$  为当前 USART 输入外设时钟。

智能卡模式下，接收数据时可采用 0.5 位或 1.5 位停止位，但发送数据时停止位长度只能配置为 1.5 位。因此建议在发送和接收时均使用 1.5 个停止位，以避免在 2 种停止位长度配置间频繁切换。

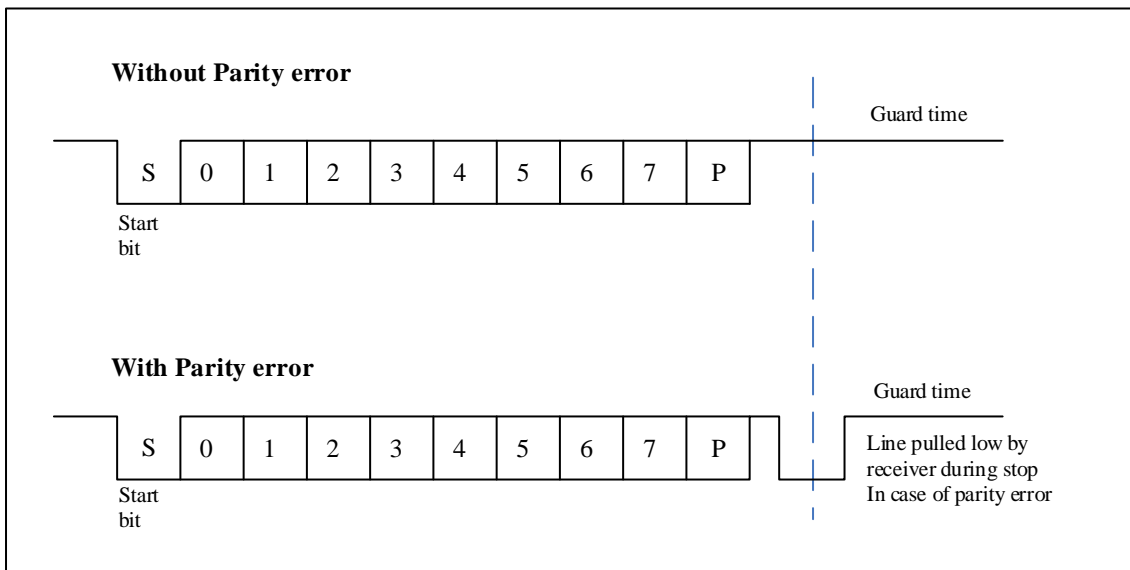
智能卡模式下，数据长度必须配置为 8 位，且校验位需要配置。

当接收器检测到一个校验错误时，在停止位后将数据发送线拉低一个波特时钟作为 NACK 信号（USART\_CTRL3.SCNAK 位置 1 时），同时在发送端产生一个帧错误（发送端停止位为 1.5 位）。

当发送器接收到来自接收器的 NACK 信号（帧错误）时，它不会将 NACK 作为起始位（根据 ISO 协议，接收到的 NACK 的持续时间可以是 1 或 2 个波特时钟周期）。

下图为有无校验错误时的两种时序示例。

图 33-22 ISO7816-3 异步协议



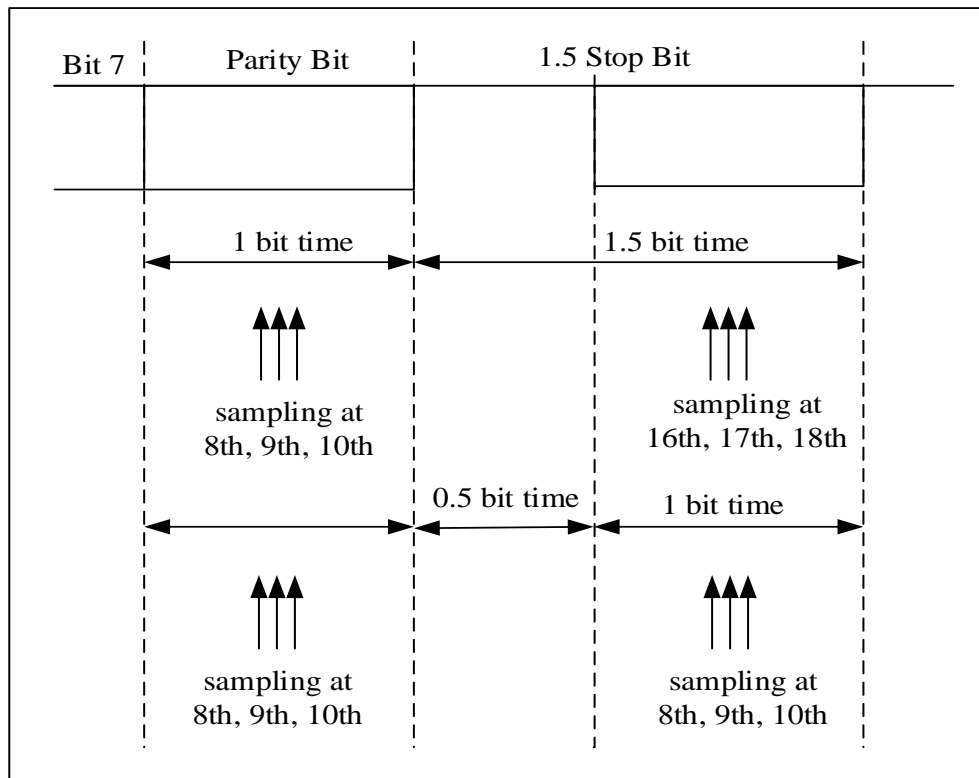
在智能卡模式下，不支持断开帧。如果接收到断开帧，视为一个带帧错误的 00h 数据帧处理。

在普通模式下，数据在下一个波特时钟从发送移位寄存器移出，而在智能卡模式下，数据发送比起普通模式至少延迟 1/2 个波特时钟。

普通模式下，当数据帧发送完并且 `USART_STS.TXDE=1` 时 `USART_STS.TXC` 置 1。在智能卡模式下，数据发送完且保护时间达到预设值（`USART_GTP.GTV[7:0]`）时，`USART_STS.TXC` 位才被置 1，且 `USART_STS.TXC` 标志的清零不受智能卡模式影响。

下图为 USART 采样 NACK 信号示意图。

图 33-23 使用 1.5 停止位检测奇偶检验错误



### 33.5 中断请求

USART 的各种中断事件是逻辑或的关系。如果某个事件对应的中断使能位已置 1，将产生一个相应的中断。但同一个时间只产生一个中断请求。

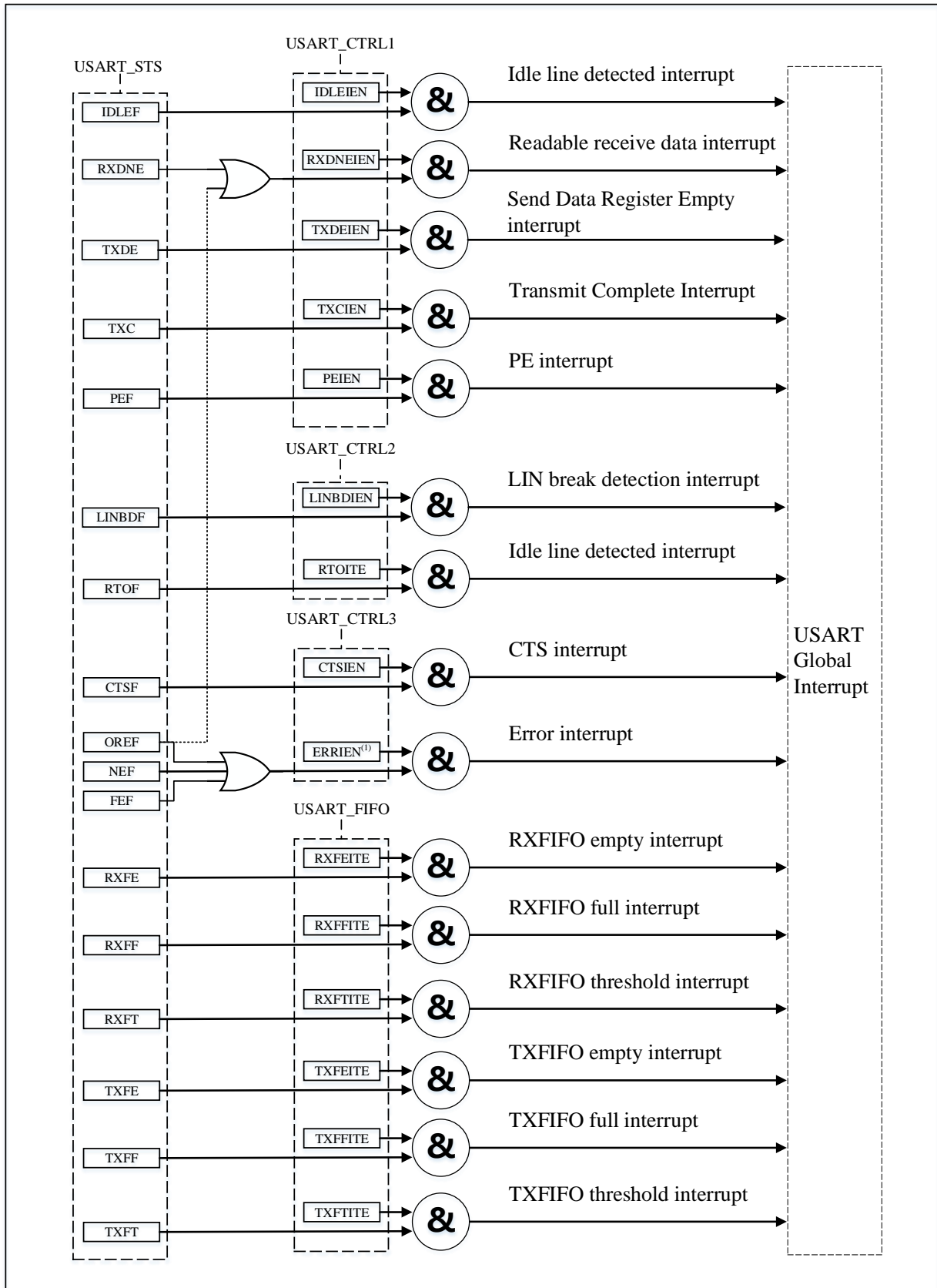
表 33-8 USART 中断请求

中断函数	中断事件	事件标志	使能
USART 全局中断	发送数据寄存器空	TXDE	TXDEIEN
	CTS 标志	CTSIF	CTSIEN
	发送完成	TXC	TXCIEN
	接收数据就绪可读	RXDNE	RXDNEIEN
	检测到数据溢出	OREF	
	检测到空闲线路	IDLEF	IDLEIEN
	奇偶检验错	PEF	PEIEN
	断开标志	LINBDF	LINBDIEN
	噪声标志/多缓冲通信 (DMA) 中的溢出错误/帧错误 <sup>(1)</sup>	NEF/OREF/FEF	ERRIEN <sup>(1)</sup>

	接收器超时	RTOF	RTOIEN
	RXFIFO 接收 FIFO 中断	RXFE	RXFEIEN
		RXFF	RXFFIEN
		RXFT	RXFTIEN
	TXFIFO 发送 FIFO 中断	TXFE	TXFEIEN
		TXFF	TXFFIEN
		TXFT	TXFTIEN



图 33-24 USART 中断请求



(1) 仅当使用 DMA 接收数据(USART\_CTRL3.DMARXEN=1)时，这些标志位才会导致错误中断产生。

## 33.6 模式配置

 表 33-9 USART 模式设置<sup>(1)</sup>

通信模式	USART1~USART8	UART9~UART15
异步模式	Y	Y
多处理器	Y	Y
LIN	Y	Y
同步模式	Y	N
单线模式（半双工）	Y	Y
智能卡模式	Y	N
IrDA 红外模式	Y	Y
DMA 通讯模式	Y	Y
硬件流控模式	Y	Y

(1) Y = 支持该模式, N = 不支持该模式

## 33.7 USART 寄存器

### 33.7.1 USART 控制寄存器 1(USART\_CTRL1)

偏移地址: 0x00

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			IFCEN	SWAP	OSPM	DEAT					DEDT				
			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEP	DEM	SDBRK	PEIEN	TXC IEN	TXDE IEN	RXDNE IEN	IDLE IEN	WUM	RVCWU	WL	PCEN	PSEL	TXEN	RXEN	UEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:29	Reserved	保留, 必需保持复位值。
28	IFCEN	空闲帧可控使能(Idle frame controllable enable) 0: 禁止空闲帧可调, 空闲帧长度跟数据位数一致; 1: 使能空闲帧可调, 空闲帧长度由 USART_IFW 控制。 只有在禁止 USART (UEN="0") 时才能写入该位。
27	SWAP	SWAP: 交换 TX/RX 引脚 (Swap TX/RX pins) 此位由软件置 1 和清零。 0: 按标准引脚排列定义使用 TX/RX 引脚 1: 交换 TX 和 RX 引脚功能。允许在与另一个 USART 的交叉连接时工作 只有在禁止 USART (UEN="0") 时才能写入此位域。

位域	名称	描述
26	OSPM	过采样模式 (Oversampling mode) 0: 16 倍过采样 1: 8 倍过采样 只有在禁止 USART (UEN="0") 时才能写入该位。 <i>注: 在 LIN、IrDA 和智能卡模式下, 此位必须保持清零。</i>
25:21	DEAT	驱动器使能起始时间 (Driver Enable assertion time) 该 5 位值用于定义激活 DE (启动器使能) 信号与起始位开始间的时间。此时间以采样时间单位表示 (1/8 或 1/16 位时间, 具体取决于过采样速率)。 只有在禁止 USART (UEN="0") 时才能写入此位域。 <i>注: USART_CTRL1.DEM 使能后, 此位不能配置为 0 (最小配置为 1)</i>
20:16	DEDT	驱动器使能禁止时间 (Driver Enable deassertion time) 该 5 位值用于定义发送的消息中最后一个停止位结束与取消激活 DE (驱动器使能) 信号间的时间。此时间以采样时间单位表示 (1/8 或 1/16 位时间, 具体取决于过采样速率)。 如果在 DEDT 时间内对 USART_TDR 寄存器执行写操作, 则新数据仅在经过 DEDT 和 DEAT 时间后才会发送。 只有在禁止 USART (UEN="0") 时才能写入此位域。
15	DEP	驱动器使能极性选择 (Driver enable polarity selection) 0: DE 信号高电平有效。 1: DE 信号低电平有效。 只有在禁止 USART (UEN="0") 时才能写入该位。
14	DEM	驱动器使能模式 (Driver enable mode) 此位用于通过 DE 信号 (DE 信号在 RTS 引脚上输出) 激活外部收发器控制。 0: 禁止 DE 功能。 1: 使能 DE 功能。 只有在禁止 USART (UEN="0") 时才能写入该位。
13	SDBRK	发送断开帧 (Send break)。 软件通过将该位置 1 发送断开帧。 断开帧传输结束由硬件清 0 该位。 0: 没有发送断开帧。 1: 发送断开帧。
12	PEIEN	校验错误中断使能 (PE interrupt enable)。 如果该位置 1, USART_STS.PEF 被置位时产生中断。 0: 校验错误中断禁用。 1: 校验错误中断使能。
11	TXCIEN	发送完成中断使能 (Transmission complete interrupt enable)。 如果该位置 1, USART_STS.TXC 被置位时产生中断。 0: 发送完成中断禁用。 1: 发送完成中断使能。
10	TXDEIEN	发送缓冲区空中断使能 (TXDE interrupt enable)。 如果该位置 1, USART_STS.TXDE 被置位时产生中断。 0: 发送缓冲区空中断禁止。 1: 发送缓冲区空中断使能。

位域	名称	描述
9	RXDNEIEN	读数据缓冲区非空中断和过载错误中断使能 (RXDNE interrupt enable)。 如果该位置 1, USART_STS.RXDNE 或 USART_STS.OREF 被置位时产生中断。 0: 读数据缓冲区非空中断和过载错误中断禁用。 1: 读数据缓冲区非空中断和过载错误中断使能。
8	IDLEIEN	IDLE 线检测中断使能 (IDLE interrupt enable)。 如果该位置 1, USART_STS.IDLEF 被置位时产生中断。 0: IDLE 线检测中断禁用。 1: IDLE 线检测中断使能。
7	WUM	从静默模式唤醒方法 (Wake up mode)。 0: 空闲帧唤醒。 1: 地址标识唤醒。
6	RCVWU	接收器从静默模式中唤醒 (Receiver wakeup) 软件可以通过将该位置 1 使得 USART 进入静默模式, 将该位清 0 唤醒 USART。 空闲帧唤醒模式下 (USART_CTRL1.WUM=0), 当检测到空闲帧时, 该位由硬件清 0。地址标识唤醒模式下 (USART_CTRL1.WUM=1), 当接收到一个地址匹配帧时, 该位由硬件清 0; 或接收到一个地址非匹配帧时, 由硬件置 1。 0: 接收器处于普通工作模式。 1: 接收器处于静默模式。
5	WL	字长 (Word length)。 0: 8 数据位。 1: 9 数据位。 <i>注意: 在数据传输过程中 (发送或者接收时), 不能修改这个位。</i>
4	PCEN	校验控制使能 (Parity control enable)。 0: 校验控制禁用。 1: 校验控制被使能。
3	PSEL	校验模式 (Parity selection)。 0: 偶校验。 1: 奇校验。
2	TXEN	发送器使能 (Transmitter enable)。 0: 发送器禁用。 1: 发送器使能。
1	RXEN	接收器使能 (Receiver enable)。 0: 接收器禁用。 1: 接收器使能。
0	UEN	USART 使能 (USART enable)。 当该位被清零, 在当前字节传输完成后 USART 的分频器和输出停止工作, 以减少功耗。该位由软件设置和清零。 0: USART 禁用。 1: USART 使能。

### 33.7.2 USART 控制寄存器 2(USART\_CTRL2)

偏移地址: 0x04

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved											FEFLOSE	NEFLOSE	PEFLOSE	RTOIEN	RTOCF
											rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTOEN	LINBDL	LINBDI EN	LINMEN	LBCLK	CLKPHA	CLKPOL	CLKEN	Reserved	STPB	Reserved	ADDR				
rw	rw	rw	rw	rw	rw	rw	rw		rw	rw		rw	rw	rw	rw

位域	名称	描述
31:21	Reserved	保留, 必需保持复位值。
20	FEFLOSE	FEF 数据丢弃使能位(FEF Data Discard Enable Bit): 使能此位在 FIFO 下接收数据产生 FE 错误时, 此时数据不会写入 FIFO, 不会有 FEF 标志位产生 1: 使能 0: 禁用
19	NEFLOSE	NEF 数据丢弃使能位(NEF Data Discard Enable Bit): 使能此位在 FIFO 下接收数据产生 NE 错误时, 此时数据不会写入 FIFO, 不会有 NEF 标志位产生 1: 使能 0: 禁用
18	PEFLOSE	PEF 数据丢弃使能位(PEF Data Discard Enable Bit): 使能此位在 FIFO 下接收数据产生 FE 错误时, 此时数据不会写入 FIFO, 不会有 PEF 标志位产生 1: 使能 0: 禁用
17	RTOIEN	接收器超时中断使能 (Receiver timeout interrupt enable) 此位由软件置 1 和清零。 0: 禁止中断 1: USART_STS 寄存器中的 RTOF 位置 1 时生成 USART 中断。
16	RTOCF	接收器超时清零标志 (Receiver timeout clear flag) 向此位写入“1”时, USART_STS 寄存器中的 RTOF 标志将清零。
15	RTOEN	接收器超时使能 (Receiver timeout enable) 此位由软件置 1 和清零。 0: 禁止接收器超时功能。 1: 使能接收器超时功能。 使能此功能后, 如果 RX 线路在 RTOR (接收器超时寄存器) 中编程的持续时间内处于空闲状态 (无接收), 则 USART_ISR 寄存器中的 RTOF 标志置

位域	名称	描述
		1。
14	LINBDL	LIN 断开帧检测长度 (LIN break detection length)。 该位用来设定在断开帧长度。 0: 10 位 1: 11 位 <i>注意: LINBDL 可用于 LIN 模式及其他模式下的断开帧的检测长度控制, 且检测长度和 LIN 模式相同。</i>
13	LINBDIEN	LIN 断开帧检测中断使能 (LIN break detection interrupt enable)。 如果该位置 1, 当 USART_STS.LINBDF 被置位时将产生中断。 0: 断开信号检测中断禁用 1: 断开信号检测中断使能
12	LINMEN	LIN 模式使能 (LIN mode enable) 0: LIN 模式禁用 1: LIN 模式使能
11	LBCLK	最后一位时钟脉冲 (Last bit clock pulse)。 该位用来设定在同步模式下是否在 CK 引脚上输出最后发送的那个数据字节 (MSB) 对应的时钟脉冲。 0: 最后一位数据的时钟脉冲不从 CK 输出。 1: 最后一位数据的时钟脉冲会从 CK 输出。 <i>注: 该位对于 UART9~15 无效</i>
10	CLKPHA	时钟相位 (Clock phase)。 该位用来设定在同步模式下 CK 引脚的相位。 0: 在首个时钟边沿采样第一个数据。 1: 在第二个时钟边沿采样第一个数据。 <i>注: 该位对于 UART9~15 无效</i>
9	CLKPOL	时钟极性 (Clock polarity)。 该位用来设定在同步模式下 CK 引脚的极性。 0: CK 引脚不对外发送时保持为低电平。 1: CK 引脚不对外发送时保持为高电平。 <i>注: 该位对于 UART9~15 无效</i>
8	CLKEN	时钟使能 (Clock enable) 0: CK 引脚禁用 1: CK 引脚使能 <i>注: 该位对于 UART9~15 无效</i>
7	Reserved	保留, 必需保持复位值。
6:5	STPB[1:0]	停止位长 (STOP bits)。 00: 1 停止位。 01: 0.5 停止位。 10: 2 停止位。 11: 1.5 停止位。 <i>注: 对于 UART9~15, 只有 1 位停止位和 2 位停止位是有效的。</i>
4	Reserved	保留, 必需保持复位值。

位域	名称	描述
3:0	ADDR[3:0]	USART 地址。 在多处理器通信下的静默模式中使用的，使用地址标识来唤醒某个 USART 设备。 地址标识唤醒模式下（USART_CTRL1.WUM=1），如果接收到的数据帧低四位与 ADDR[3:0]值不相等，USART 就会进入静默模式；如果接收到的数据帧低四位与 ADDR[3:0]值相等，USART 就会被唤醒。

### 33.7.3 USART 控制寄存器 3(USART\_CTRL3)

偏移地址：0x08

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved					SCNACK	SCMEN	IRDALP	IRDAMEN	ERRIEN	DMA RXEN	DMA TXEN	HDMEN	RTSEN	CTSIEN	CTSEN
					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:11	Reserved	保留，必需保持复位值。
10	SCNACK	在智能卡模式 NACK 使能（Smart card NACK enable）。 该位用于智能卡模式在奇偶校验错误发生时使能发送 NACK。 0：当出现校验错误时不发送 NACK。 1：当出现校验错误时发送 NACK。 <i>注：对于 UART9~15，此位强制为 0</i>
9	SCMEN	智能卡模式使能（Smart card mode enable）。 该位用于使能智能卡模式。 0：智能卡模式禁用。 1：智能卡模式使能。 <i>注：对于 UART9~15，此位强制为 0</i>
8	IRDALP	IrDA 低功耗模式（IrDA low-power）。 该位用于为 IrDA 模式选择低功耗模式。 0：正常模式。 1：低功耗模式。
7	IRDAMEN	IrDA 模式使能（IrDA mode enable）。 0：IrDA 禁用。 1：IrDA 使能。
6	ERRIEN	错误中断使能（Error interrupt enable）。 当 DMA 接收模式（USART_CTRL3.DMARXEN=1）使能时，如果该位被置 1，USART_STS.FEF、USART_STS.OREF、USART_STS.NEF 被置位将产生中

位域	名称	描述
		断。 0: 错误中断禁用。 1: 错误中断使能。
5	DMARXEN	DMA 接收使能 (DMA receiver enable)。 0: DMA 接收模式禁用。 1: DMA 接收模式使能。
4	DMATXEN	DMA 发送使能 (DMA transmitter enable)。 0: DMA 发送模式禁用。 1: DMA 发送模式使能。
3	HDMEN	半双工模式使能 (Half-duplex mode enable)。 该位用于使能半双工模式。 0: 半双工模式禁用。 1: 半双工模式使能。
2	RTSEN	RTS 使能 (RTS enable)。 该位用于使能 RTS 硬件流控制功能。 0: RTS 硬件流控制禁用。 1: RTS 硬件流控制使能。
1	CTSIEN	CTS 中断使能 (CTS interrupt enable)。 如果该位置 1, 当 USART_STS.CTSF 被置位时将产生中断。 0: CTS 中断禁用。 1: CTS 中断使能。
0	CTSEN	CTS 使能 (CTS enable)。 该位用于使能 CTS 硬件流控制功能。 0: CTS 硬件流控制禁用。 1: CTS 硬件流控制使能。

### 33.7.4 USART 状态寄存器 (USART\_STS)

偏移地址: 0x0C

复位值: 0x0000 0180

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved												FELOSEF	NELOSEF	PELOSEF	RTOF
												rc_w1	rc_w1	rc_w1	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FEF	NEF	OREF	PEF	LINBDF	CTSF	RXDNE	TXC	TXDE	IDLEF	TXFT	RXFT	RXFE	TXFE	RXFF	TXFF
r	r	r	r	rc_w0	rc_w0	rc_w0	rc_w0	r	r	r	r	r	r	r	r

位域	名称	描述
31:20	Reserved	保留, 必需保持复位值。
19	FELOSEF	接收到数据 FE 错误丢弃标志位(Received Data FE Error Discard Flag):



位域	名称	描述
		在 FIFO 下,当接收到 FE 错误时, 指示有错误数据丢弃, 数据不会写入 FIFO 向此位写 1 清除, 不在 FIFO 下此位为 0 1: 数据 FE 错误丢弃 0: 无数据 FE 错误
18	NELOSEF	接收到数据 NE 错误丢弃标志位(Received Data NE Error Discard Flag): 在 FIFO 下,当接收到 NE 错误时, 指示有错误数据丢弃, 数据不会写入 FIFO 向此位写 1 清除, 不在 FIFO 下此位为 0 1: 数据 NE 错误丢弃 0: 无数据 NE 错误
17	PELOSEF	接收到数据 PE 错误丢弃标志位(Received Data PE Error Discard Flag Bit): 在 FIFO 下,当接收到 PE 错误时, 指示有错误数据丢弃, 数据不会写入 FIFO 向此位写 1 清除, 不在 FIFO 下此位为 0 1: 数据 PE 错误丢弃 0: 无数据 PE 错误
16	RTOF	接收超时 (receiving timeout) 已经超过在 RTO 寄存器中编程的超时值后, 如果无任何通信, 此位由硬件置 1。此位由软件清零, 方法是向 USART_CTRL2.RTOCF 位写入“1”。 如果 USART_CTRL2 寄存器中的 RTOIEN =“1”, 则会生成中断。 0: 未达到超值 1: 已达到超值, 未接收到任何数据
15	FEF	帧错误 (Framing error)。 当检测到同步错位、过多的噪声或者检测到断开符 (即没有检测到预期的停止位), 该位被硬件置位。由软件序列将其清零 (先读 USART_STS, 再读 USART_DAT)。 0: 未检测到帧错误。 1: 检测到帧错误或者断开帧 (break frame)。 <i>注意: 该位不会产生中断, 因为它和 USART_STS.RXDNE 一起出现, 硬件会在设置 USART_STS.RXDNE 标志时产生中断。如果当前传输的数据既产生了帧错误, 又产生了过载错误, 硬件还是会继续该数据的传输, 并且只设置 OREF 标志位。</i> <i>在多缓冲区通信模式 (DMA) 下, 如果设置了 USART_CTRL3.ERRIEN 位, 则设置 FEF 标志时会产生中断。</i>
14	NEF	噪声错误标志 (Noise error flag)。 在接收到的帧检测到噪音时, 由硬件对该位置位。由软件序列对其清零 (先读 USART_STS, 再读 USART_DAT)。 0: 没检测到噪声错误。 1: 检测到噪声错误。 <i>注意: 该位不会产生中断, 因为它和 USART_STS.RXDNE 一起出现, 硬件会在设置 USART_STS.RXDNE 标志时产生中断。在多缓冲区通信模式 (DMA) 下, 如果设置了 USART_CTRL3.ERRIEN 位, 则设置 NEF 标志时会产生中断。</i>
13	OREF	溢出错误 (Overrun error)。 RXDNE 置 1, USART_DAT 寄存器从移位寄存器接收数据, OREF 会置 1。当 USART_CTRL3.ERRIEN 置 1, 将产生中断。

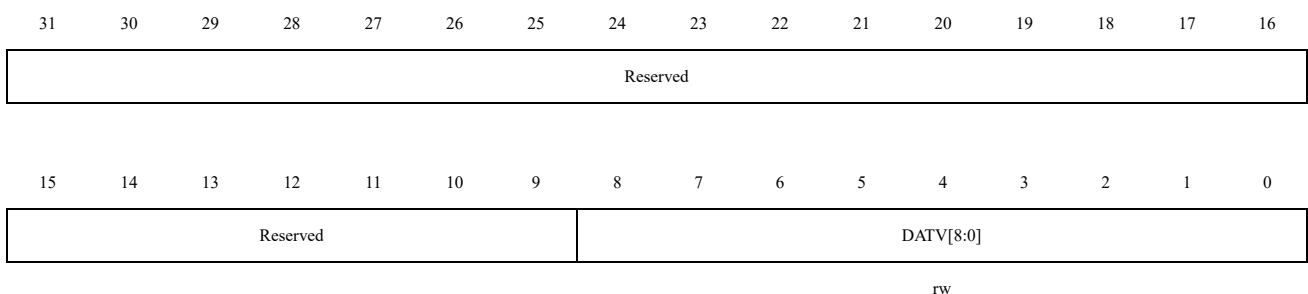
位域	名称	描述
		软件先读 USART_STS，再读 USART_DAT 可清除该位。 0：没有检测到溢出错误 1：检测到溢出错误。 <i>注意：当 OREF 置位后，UART_DAT 不会再更新数据；如果此时 RXDNE 为 0，因为数据不再更新，故 RXDNE 不会重新置 1。</i>
12	PEF	校验错误（Parity error）。 当接收到的数据帧校验位与预期校验值不同时，该位置位。 软件先读 USART_STS，再读 USART_DAT 可清除该位。 0：没检测到校验错误。 1：检测到校验错误。
11	LINBDF	LIN 断开检测标志（LIN break detection flag）。 如果设置了 USART_CTRL2.LINMEN 位，当检测到 LIN 断开，该位由硬件置位。如果 USART_CTRL2.LINBDIEN 被置位时，将产生中断。 该位由软件清 0。 0：没有检测到 LIN 断开字符。 1：检测到 LIN 断开字符。
10	CTSF	CTS 标志（CTS flag）。 如果设置了 USART_CTRL3.CTSSEN 位，当 nCTS 输入变化时，该位由硬件置位。如果设置了 USART_CTRL3.CTSIEN 位，将产生中断。 该位由软件清 0。 0：nCTS 状态线没有变化。 1：nCTS 状态线发生变化。
9	RXDNE	读数据缓冲区非空（Read data register not empty）。 当读数据缓冲区接收到来自移位寄存器的数据时，该位置 1。当寄存器 USART_CTRL1.RXDNEIEN 位被置位，将会有中断产生。 软件可以通过对该位写 0 或读 USART_DAT 寄存器来将该位清 0。 0：读数据缓冲区为空。 1：读数据缓冲区不为空。
8	TXC	发送完成（Transmission complete）。 上电复位后，该位被置 1。如果 USART_STS.TXDE 置位，在当前数据发送完成时该位置 1。 USART_CTRL1.TXCIEN 被置位将产生中断。 该位由软件清 0。 0：发送没有完成。 1：发送完成。
7	TXDE	发送数据缓冲区空（Transmit data register empty）。 上电复位或待发送数据已发送至移位寄存器后，该位置 1。 USART_CTRL1.TXDEIEN 被置位将产生中断。 该位在软件将待发送数据写入 USART_DAT 时被清 0。 0：发送数据缓冲区不为空。 1：发送数据缓冲区空。
6	IDLEF	空闲线检测标志（IDLE line detected）。 在一个帧时间内，在 RX 引脚检测到空闲状态，该位置 1。当寄存器

位域	名称	描述
		USART_CTRL1.IDLEIEN 位被置位，将会有中断产生。 软件先读 USART_STS，再读 USART_DAT 可清除该位。 0：未检测到空闲帧。 1：检测到空闲帧。 注意：IDLEF 位不会再次被置高直到 RXDNE 位被置起（即又检测到一次空闲总线）。
5	TXFT	发送 FIFO 阈值 (TX FIFO threshold) 0：发送 FIFO 数据个数未达到阈值。 1：发送 FIFO 数据个数达到阈值。
4	RXFT	接收 FIFO 阈值 (RX FIFO threshold) 0：接收 FIFO 数据个数未达到阈值。 1：接收 FIFO 数据个数达到阈值。
3	RXFE	接收 FIFO 空(Receive FIFO empty) 0：接收 FIFO 数据非空。 1：接收 FIFO 数据空。
2	TXFE	发送 FIFO 空(Send FIFO empty) 0：发送 FIFO 数据非空。 1：发送 FIFO 数据空。
1	RXFF	接收 FIFO 满(Receive FIFO full) 0：接收 FIFO 数据非满。 1：接收 FIFO 数据满。
0	TXFF	发送 FIFO 满(Send FIFO full) 0：发送 FIFO 数据非满。 1：发送 FIFO 数据满。

### 33.7.5 USART 数据寄存器(USART\_DAT)

偏移地址：0x10

复位值：未定义（不确定值）



rw

位域	名称	描述
31:9	Reserved	保留，必需保持复位值。 Reserved, must be kept at reset value.

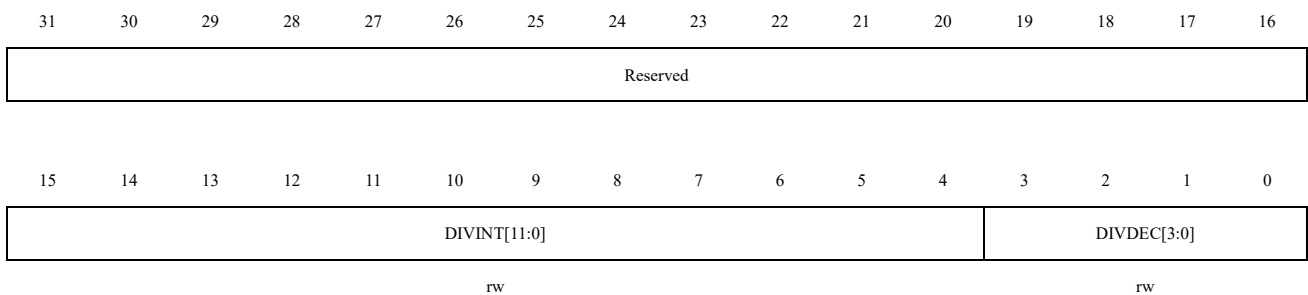
位域	名称	描述
8:0	DATV[8:0]	数据值 (Data value) 包含了发送或接收的数据；软件可以通过写这些位来改变发送数据，或读这些位的值来获取接收数据。 如果使能了奇偶校验，当发送数据被写入寄存器，数据的最高位（第7位或第8位取决于 USART_CTRL1.WL 位）将被校验位取代。

### 33.7.6 USART 波特率配置寄存器 (USART\_BRCF)

偏移地址： 0x14

复位值： 0x0000 0000

*注意：USART\_CTRL1.UEN=1 时，不能写该寄存器；如果 USART\_CTRL1.TXNE 或 USART\_CTRL1.RXNE 被分别禁止，波特计数器停止计数。*

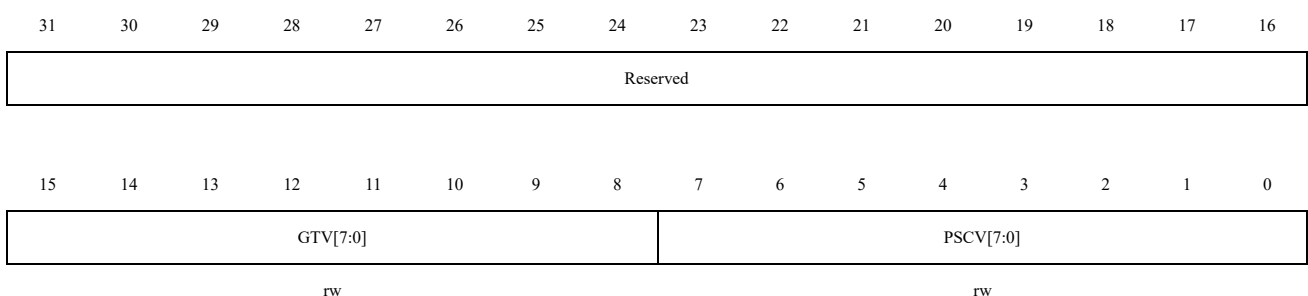


位域	名称	描述
31:16	Reserved	保留，必需保持复位值。
15:4	DIVINT [11:0]	波特率分频器的整数部分。
3:0	DIVDEC[3:0]	波特率分频器的小数部分。 <i>注：8 倍过采样下，DIVDEC[3:0] 只有低三位有效</i>

### 33.7.7 USART 保护时间和预分频寄存器(USART\_GTP)

偏移地址： 0x18

复位值： 0x0000 0000



位域	名称	描述
31:16	Reserved	保留，必需保持复位值。
15:8	GTV[7:0]	智能卡模式下的保护时间值（Guard time value）。 该位域规定了以波特时钟为单位的保护时间。在智能卡模式下，需要这个功能。 USART_STS.TXC 标志置位时间延时 GTV[7:0]个波特时钟周期。 <i>注：该位对于 UART9~15 无效</i>
7:0	PSCV[7:0]	预分频器值（Prescaler value）。 在 IrDA 低功耗模式下，这些位用来设定将外设时钟（PCLK1/PCLK2）分频产生低功耗频率的分频系数。 00000000：保留 – 不要写入该值 00000001：对源时钟 1 分频 ... 11111111：对源时钟 255 分频 在 IrDA 正常模式下，PSCV 只能设置成 00000001。 在智能卡模式下，PSCV[4:0]用于设定外设时钟（APB1/APB2）生成智能卡时钟的分频系数。实际的分频系数为 PSCV[4:0]设定值的两倍。 00000：保留 – 不要写入该值 00001：对源时钟 2 分频 00010：对源时钟 4 分频 ... 11111：对源时钟 62 分频 在智能卡模式下，PSCV[7:5] 被保留。

### 33.7.8 USART FIFO 寄存器(USART\_FIFO)

偏移地址：0x1C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved										TXCNT			RXCNT		
										r			r		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXCNT		TXFTIEN	RXFTIEN	RXFEIEN	TXFEIEN	RXFFIEN	TXFFIEN	RXFTCFG			TXFTCFG		CLR	EN	
r		rw	rw	rw	rw	rw	rw	rw			rw		rw	rw	

位域	名称	描述
31:22	Reserved	保留，必需保持复位值。
21:18	TXCNT	TX FIFO 有效数据个数（number of TXFIFO valid data）。
17:14	RXCNT	RX FIFO 有效数据个数（number of RXFIFO valid data）。
13	TXFTIEN	TXFIFO 阈值中断使能（TXFIFO threshold interrupt enable）。 如果该位置 1，USART_STS.TXFT 被置位时产生中断。 0：TXFT 中断禁止。

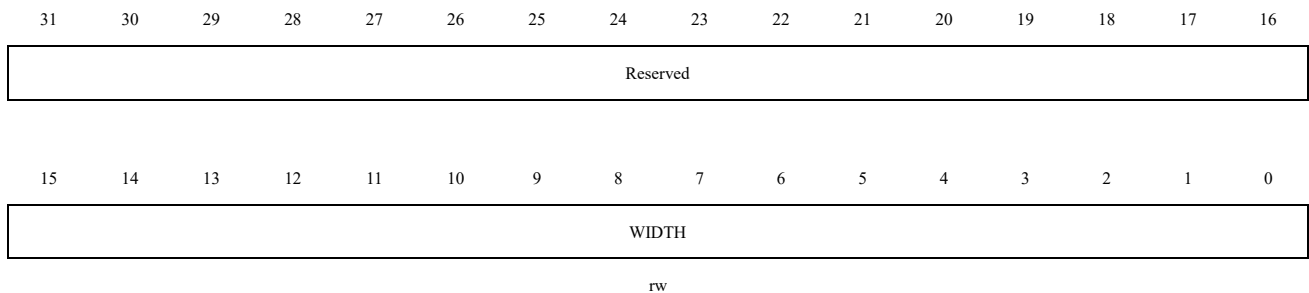
位域	名称	描述
		1: TXFT 中断使能。
12	RXFTIEN	RXFIFO 阈值中断使能 (RXFIFO threshold interrupt enable)。 如果该位置 1, USART_STS.RXFT 被置位时产生中断。 0: RXFT 中断禁止。 1: RXFT 中断使能。
11	RXFEIEN	RXFIFO 空中断使能 (RXFIFO empty interrupt enable)。 如果该位置 1, USART_STS.RXFE 被置位时产生中断。 0: RXFE 中断禁止。 1: RXFE 中断使能。
10	TXFEIEN	TXFIFO 空中断使能 (TXFIFO empty interrupt enable)。 如果该位置 1, USART_STS.TXFE 被置位时产生中断。 0: TXFE 中断禁止。 1: TXFE 中断使能。
9	RXFFIEN	RXFIFO 满中断使能 (RXFIFO full interrupt enable)。 如果该位置 1, USART_STS.TXFF 被置位时产生中断。 0: RXFF 中断禁止。 1: RXFF 中断使能。
8	TXFFIEN	TXFIFO 满中断使能 (TXFIFO full interrupt enable)。 如果该位置 1, USART_STS.TXFF 被置位时产生中断。 0: TXFF 中断禁止。 1: TXFF 中断使能。
7:5	RXFIFCFG	RXFIFO 阈值配置 (RXFIFO threshold configuration)。 000: 接收 FIFO 达到其深度的 1/8 001: 接收 FIFO 达到其深度的 1/4 2/8 010: 接收 FIFO 达到其深度的 1/2 4/8 011: 接收 FIFO 达到其深度的 3/4 6/8 100: 接收 FIFO 达到其深度的 7/8 7/8 101: 接收 FIFO 已满 8/8 其余组合: 保留
4:2	TXFIFCFG	TXFIFO 阈值配置 (TXFIFO threshold configuration)。 000: TXFIFO 达到其深度的 1/8 001: TXFIFO 达到其深度的 1/4 010: TXFIFO 达到其深度的 1/2 011: TXFIFO 达到其深度的 3/4 100: TXFIFO 达到其深度的 7/8 101: TXFIFO 变空 其余组合: 保留
1	CLR	FIFO 中的数据和指针清零 (FIFO clear)。 该位是一个脉冲信号, 写 1 清零后, CLR 也自动归零。 0: 不清零。 1: 清零。
0	EN	FIFO 模式使能 (FIFO model enable)。

位域	名称	描述
		0: FIFO 模式禁用。 1: FIFO 模式被使能。

### 33.7.9 USART 空闲帧宽度寄存器(USART\_IFW)

偏移地址: 0x20

复位值: 0x0000 0000

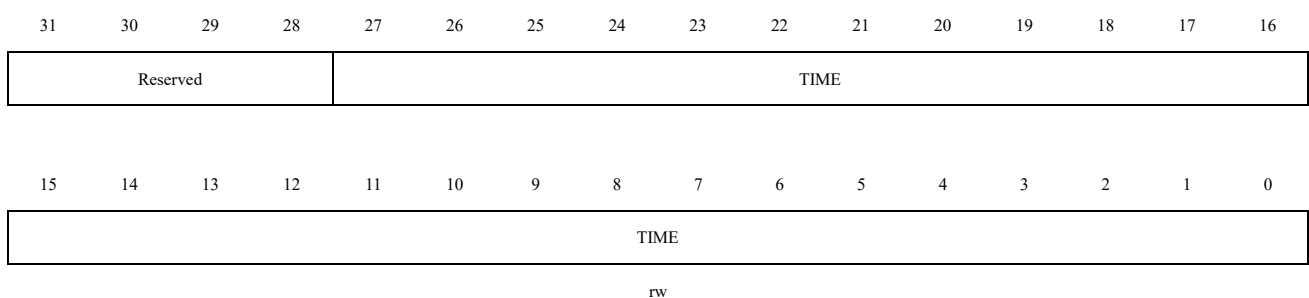


位域	名称	描述
31:16	Reserved	保留, 必需保持复位值。
15:0	WIDTH	空闲帧宽度 <i>注: 以波特率时间为单位时间</i>

### 33.7.10 USART 接收超时宽度寄存器(USART\_RTO)

偏移地址: 0x24

复位值: 0x0000 0000



位域	名称	描述
31:28	Reserved	保留, 必需保持复位值。
27:0	TIME	接收器超时值 <i>注: 以波特率时间为单位时间</i>

## 34 低功耗通用异步接收器（LPUART）

### 34.1 概述

低功耗通用异步收发器（LPUART）是一种低功耗、全双工、异步串行通信接口。LPUART 可由 LSE, HSE, HSI, MSI, SYSCLK 提供时钟，当选择 32.768 kHz LSE 作为时钟源时，可在 STOP0/2 低功耗模式下工作，最高可达 9600bps 的通信速率。LPUART 支持接收数据唤醒，通过配置唤醒事件，可唤醒处于 STOP0/2 模式下的 CPU。

同时，当 MCU 工作于 RUN 模式时，LPUART 也可作普通异步串口使用，用户可将时钟源切换至 HIS 或 SYSCLK，可以获得更高的通信速度。

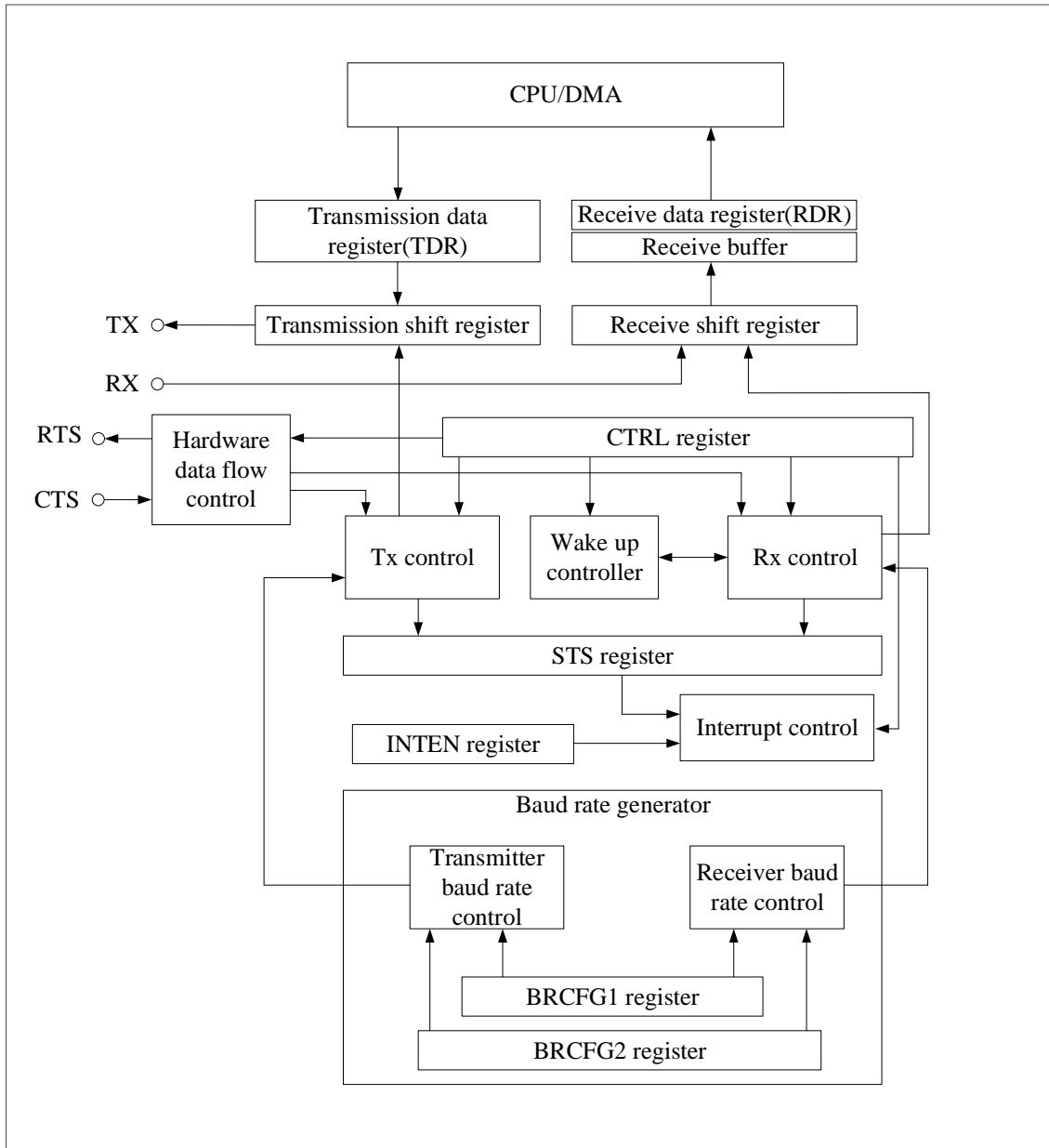
### 34.2 主要特性

- 全双工异步通信
- 时钟源选择为 HSI, HSE, LSE, MSI 或 SYSCLK
- 分数波特率产生器系统：发送和接收共用的可编程波特率，高达 5Mbits/s；使用 32.768 kHz 时钟源（LSE）时，仅支持 300bps 至 9600bps 的波特率
- 固定的 8 位数据字长度、1 个停止位和可选的 1 个奇偶校验位
- 支持 DMA 数据传输
- 支持硬件流控制
- 传输检测标志：接收缓冲器满、接收缓冲器半满、接收缓冲器非空、接收缓冲器溢出、传输结束标志、发送缓冲区满、发送缓冲区半满、发送缓冲区非空
- 奇偶校验控制：奇、偶校验可配置，校验可关闭
- 错误检测标志：奇偶校验错误、溢出错误、噪音错误
- 32 字节接收缓冲器，8 字节发送缓冲区
- 低频率下的波特率错误校正
- 可配置 1 个或 3 个样本的采样方法
- 噪声检测
- 可配置的流控 RTS 门限
- 支持 STOP0/2 模式唤醒，唤醒源方式可配置
  - ◆ 起始位检测
  - ◆ 接收缓冲器非空检测
  - ◆ 可配置接收字节（1~32 字节）
  - ◆ 可编程的 8 字节帧



### 34.3 功能框图

图 34-1 LPUART 框图



### 34.4 功能描述

见图 34-1，LPUART 双向通信至少需要两个脚：接收数据输入（RX）和发送数据输出（TX）。

**RX:** 串行数据输入端。在采样个数为 3 的情况下，可以区分数据和噪音。

**TX:** 串行数据输出端。当发送使能时，引脚默认高电平。

在硬件流控模式中需要下列引脚：

**CTS (Clear To Send):** 当发送器检测到 CTS 有效（低电平）时，发送下一个数据。

**RTS (Request To Send):** 当接收器准备好接收新数据时，将 RTS 引脚拉低。

LPUART 有以下特征：

- 总线未发送或接收时应处于空闲状态
- 一个起始位
- 一个数据字（8 位），最低有效位在前
- 1 个停止位，表示数据帧的结束
- 一个状态寄存器（LPUART\_STS）
- 发送数据寄存器（LPUART\_TXDAT）
- 接收数据寄存器（LPUART\_RXDAT）
- 两个波特率配置寄存器（LPUART\_BRCFG1 和 LPUART\_BRCFG2），使用分数波特率发生器：16 位整数和 8 位小数的表示方法

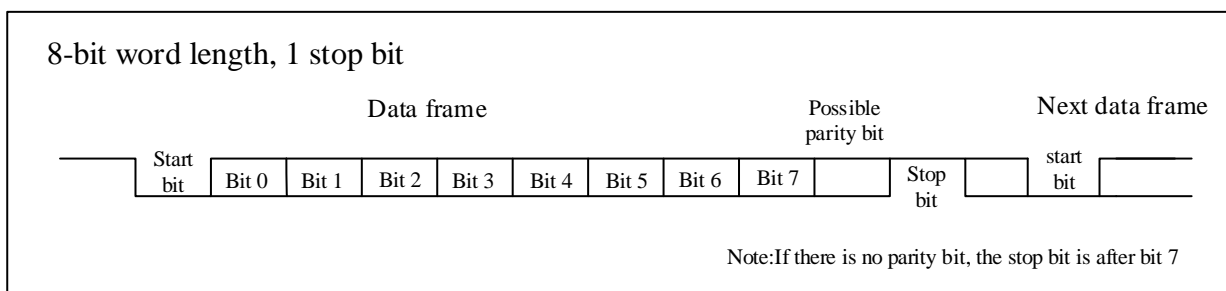
关于以上寄存器中每个位的具体定义，请参考寄存器描述第 34.6 节：

### 34.4.1 LPUART 帧格式

LPUART 数据字长固定 8 位（见图 34-2）。在起始位期间，TX 脚处于低电平，在停止位期间处于高电平。奇偶校验位在使能的情况下位于数据字之后。

发送和接收均由两个不同的波特时钟发生器驱动，当发送器的使能位 LPUART\_CTRL.TXEN 置位时，其对应波特时钟发生器产生波特时钟。当接收到起始位的时候，接收器对应的波特时钟发生器产生时钟。

图 34-2 帧格式



*注意：在本章中，若未特殊说明，置位均表示某个寄存器被置为状态‘1’，复位或清零均表示某个寄存器被置为状态‘0’；硬件或者程序均可能置位或者清零某个寄存器，请参考本章具体内容。*

### 34.4.2 发送器

当发送使能位（LPUART\_CTRL.TXEN）被置位时，且缓冲区内有数据，发送器发送 8 位数据字。发送移位寄存器中的数据在 TX 脚上输出。

### 34.4.2.1 发送流程

在 LPUART 发送数据时，TX 引脚首先移出数据的最低有效位。在字符发送模式里，LPUART\_TXDAT 寄存器包含了一个内部总线和发送移位寄存器之间的 8 字节缓冲器（见图 34-1）。

每个字符之前都有一个低电平的起始位；之后跟着 1 位长的停止位。

*注意：在数据传输期间不能复位 LPUART\_CTRL.TXEN 位，否则将破坏 TX 脚上的数据，因为波特率计数器停止计数。正在传输的当前数据将丢失。*

LPUART 发送数据的步骤如下：

1. 配置波特率、奇偶校验、DMA、流控制等；
2. 设置 LPUART\_CTRL.TXEN 位，使能发送数据；
3. 将数据写入 LPUART\_TXDAT 寄存器，它具有 8 字节发送缓冲区；
4. 检查 LPUART\_STS.TXCF 标志是否置位，置位则意味着发送结束。如果标志置位，则 LPUART\_STS.TXCF 位写 1，清除该标志；
5. 检查 LPUART\_STS.PCEF 位，确认奇偶校验是否错误；
6. 否则，返回步骤 3，发送下一个数据。

*注意：发送器使用前请务必初始化 LPUART 模块。*

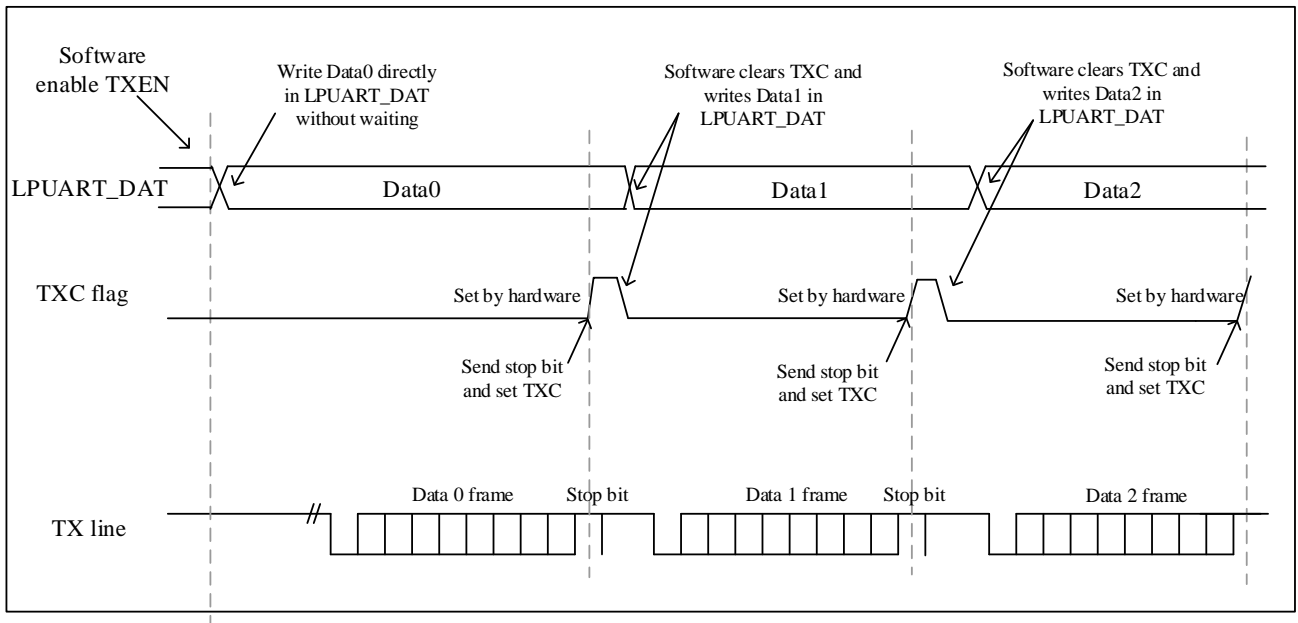
LPUART 初始化按以下步骤进行：

1. 在 LPUART\_STS 寄存器中置位所有标志位，清除中断标志；
2. 如果需要使能中断，则配置 LPUART\_INTEN；
3. 设置 LPUART\_CTRL.FRXF 位，清除 RX 缓冲器内容。

发送数据时：

- 在配置波特率并且置位 LPUART\_CTRL.TXEN 之后，CPU 可以直接写 LPUART\_TXDAT 寄存器发送数据。
- 当一帧发送完成时（停止位发送后），LPUART\_STS.TXCF 位被置起，如果 LPUART\_INTEN.TXCIE 位被置起时，则会立刻产生中断。
- 在 LPUART\_TXDAT 寄存器中写入了最后一个数据字后，在关闭 LPUART 模块之前或设置微控制器进入低功耗模式之前，必须先等待 LPUART\_STS.TXCF=1。

图 34-3 发送时 TXC 的变化情况



### 34.4.3 接收器

#### 34.4.3.1 起始位侦测

如果 LPUART\_CTRL.SSM 位为 0，即采样数为 3，则当三个采样数里至少 2 个 0 时，起始位有效。否则无效。

表 34-1 起始位侦测

采样值	NF 状态	接收的位	起始位有效性
000	0	0	有效
001	1	0	有效
010	1	0	有效
011	1	1	无效
100	1	0	有效
101	1	1	无效
110	1	1	无效
111	0	1	无效

#### 34.4.3.2 接收流程

在 LPUART 接收期间，数据的最低有效位首先从 RX 脚移进。在此模式里，LPUART\_RXDAT 寄存器包含

的 32 字节缓冲器位于内部 APB 总线和接收移位寄存器之间。

LPUART 接收数据的步骤如下：

1. 配置波特率、奇偶校验、唤醒事件/使能、采样方式、DMA、流控制等；
2. 检查 LPUART\_STS 寄存器的中断标志：缓冲器非空、缓冲器半满、缓冲器全满、缓冲器溢出；
3. 通过读 LPUART\_RXDAT 寄存器，读出数据；
4. 返回步骤 2，继续接收数据。

*注意：接收器使用前请务必初始化 LPUART 模块。*

当收到一个数据帧：

- LPUART\_STS.RXFNEF 位会置位，移位寄存器的内容被转移到 RDR（Receiver Data Register）。此时数据已经被接收并且可以被读出（包括与之有关的错误标志）。
- 如果设置了 LPUART\_INTEN.RXFNEIEN 位，则产生中断。
- 接收过程中会检测帧错误（奇偶校验检测错误）、噪音或溢出错误，这样错误标志将被置起。
- 在多缓冲器通信模式，LPUART\_STS.RXFNEF 标志位在每个字节接收后置，并由 DMA 对数据寄存器的读操作而清零。
- 在单缓冲器模式里，软件可以通过读 LPUART\_RXDAT 寄存器完成对 LPUART\_STS.RXFNEF 位清除或者写 0 也可以清除 LPUART\_STS.RXFNEF 位。RXFNEF 位必须在下一帧数据接收结束前被清零，以避免溢出错误。

### 34.4.3.3 溢出错误

LPUART 接收数据缓冲器总共有 32 个字节，如果在收到 32 个字节的数据之后，LPUART\_STS.RXFFF 标志位置起。如果缓冲器数据未及时被读走，导致 LPUART\_STS.RXFFF 没有及时被复位，又接收到一个字符，则发生溢出错误。该字符将会被硬件丢掉。数据只有当 LPUART\_STS.RXFFF 位被清零后才能从移位寄存器转移到接收数据缓冲器。如果下一个数据已被收到或先前 DMA 请求还没被服务时，LPUART\_STS.RXFFF 标志仍是置起的，溢出错误产生。

当溢出错误产生时：

- LPUART\_STS.RXFOF 位被置位。
- 接收数据缓冲器内容将不会丢失。读 LPUART\_TXDAT 寄存器仍能得到先前的数据。
- 移位寄存器中的内容将被覆盖。随后接收到的数据都将丢失。
- 如果 LPUART\_INTEN.RXFOIEN 位被设置，中断产生。
- LPUART\_RXDAT 寄存器的读操作，可复位 LPUART\_STS.RXFOF。

### 34.4.3.4 噪音错误

噪音错误使用过采样技术（如果 LPUART\_CTRL.SSM 位为 0，即采样数为 3），通过区别有效输入数据和噪音来进行数据恢复。

图 34-4 检测噪声的数据采样

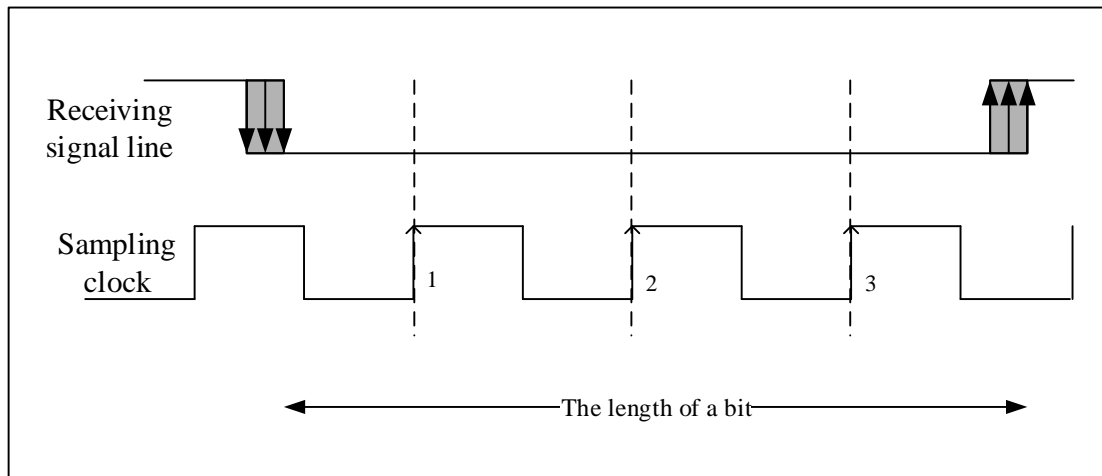


表 34-2 噪声检测的数据采样

采样值	NF 状态	接收的位
000	0	0
001	1	0
010	1	0
011	1	1
100	1	0
101	1	1
110	1	1
111	0	1

当在接收帧中检测到噪音时可以进行以下操作：

- 当 3 个采样值不一致的时候马上设置 LPUART\_STE.NEF 标志。
- 接受到的数据从移位寄存器传送到缓冲区。
- 软件写 1 将清除 LPUART\_STE.NEF 标志位。

#### 34.4.4 分数波特率的产生

波特率分频系数分为 16 位整数部分和 8 位小数部分。波特率发生器使用这两部分组合所得的数值来确定波特率。由于具有小数部分的波特率分频系数，将使 LPUART 能够产生所有标准波特率。

波特率分频系数（LPUARTDIV）与系统时钟具有如下关系：

$$\text{TX/RX 波特率} = f_{CLK}/(\text{LPUARTDIV})$$

这里的  $f_{CLK}$  是给 LPUART 的时钟（LPUART 时钟源选择为 HSI, HSE, LSE, MSI 和 SYSCLK）LPUARTDIV 的值设置在波特率配置寄存器 LPUART\_BRCFG1 和 LPUART\_BRCFG2

注意：在写入 LPUART\_BRCFG1 和 LPUART\_BRCFG2 之后，波特率计数器会被波特率寄存器的新值替换。因此，不要在通信过程中改变波特率寄存器的数值。

#### 34.4.4.1 通过 LPUART\_BRCFG1 及 LPUART\_BRCFG2 设置波特率

例如，波特率 = 4800bps，时钟频率 = 32768Hz。

$LPUARTDIV = 32768/4800 = 6.82667$ 。LPUART\_BRCFG1 = 6，而 LPUART\_BRCFG2 的值根据下表中的分数加法计算得出（LPUART\_BRCFG2 的值为 0xEFh）。

表 34-3 Calculation of LPUART\_BRCFG1/2

小数加法	进位至下一个整数	位域	值
$0.82667 + 0.82667 = 1.65333$	是	DECIMAL0	1
$1.65333 + 0.82667 = 2.48000$	是	DECIMAL1	1
$2.48000 + 0.82667 = 3.30667$	是	DECIMAL2	1
$3.30667 + 0.82667 = 4.13333$	是	DECIMAL3	1
$4.13333 + 0.82667 = 4.96000$	否	DECIMAL4	0
$4.96000 + 0.82667 = 5.78667$	是	DECIMAL5	1
$5.78667 + 0.82667 = 6.61333$	是	DECIMAL6	1
$6.61333 + 0.82667 = 7.44000$	是	DECIMAL7	1

当使用 LSE 时钟（32.768KHz）时，不同波特率设置的波特率配置寄存器 LPUART\_BRCFG1 和 LPUART\_BRCFG2 值如下：

表 34-4 Baud rate configuration of register LPUART\_BRCFG1/2

波特率	除数	LPUART_BRCFG1	LPUART_BRCFG2
300	109.2267	6Dh	88h
600	54.6133	36h	ADh
1200	27.3067	1Bh	24h
2400	13.6533	0Dh	6Dh
4800	6.8267	06h	EFh
9600	3.4133	03h	4Ah

注意：CPU 的时钟频率越低，则某一特定波特率的准确率也越低。

若 MCU 3.3V 供电则 LPUART 波特率应在 1Mbps 以内，若 MCU 1.8V 供电则 LPUART 波特率应在

115200bps 以内。

### 34.4.5 检验控制

复位 LPUART\_CTRL.PC 位，使能奇偶控制（发送时生成一个奇偶位，接收时进行奇偶校验），置位或复位 LPUART\_CTRL.PEN 位选择使用奇校验或偶校验。LPUART 帧格式列在下表。

表 34-5 帧格式

PCDIS 位	LPUART 帧
0	起始位   8 位数据   奇偶检验位   停止位
1	起始位   8 位数据   停止位

传输模式：通过复位 LPUART\_CTRL.PC 位使能奇偶校验。如果奇偶校验失败，LPUART\_STS.PCEF 标志被置'1'，如果设置了 LPUART\_INTEN.PCEIEN，会产生中断。

奇校验：LPUART\_CTRL.PEN =1。

使一帧数据（包括奇偶校验位）中的“1”的个数为奇数。即：如果 Data=11000101，有 4 个'1'，则奇偶校验位为'1'（共 5 个'1'）。

偶校验：LPUART\_CTRL.PEN =0。

使一帧数据（包括奇偶校验位）中的“1”的个数为偶数。即：如果 Data=11000101，有 4 个'1'，则奇偶校验位为'0'（共 4 个'1'）。

### 34.4.6 DMA 应用

LPUART 可以采用 DMA 的方式分别访问发送数据寄存器（TDR）和接收缓冲器。

#### 34.4.6.1 DMA 发送

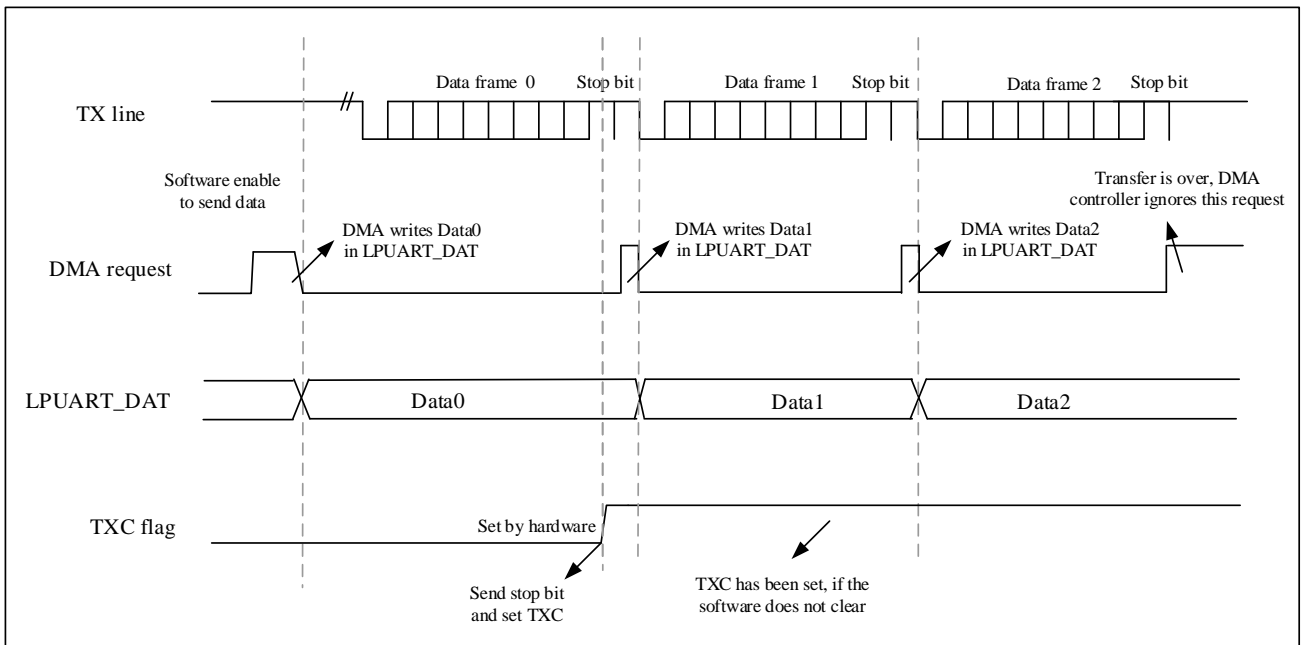
为 LPUART 的发送分配一个 DMA 通道的步骤如下（x 表示通道号）：

1. LPUART\_TXDAT 寄存器地址配置成 DMA 传输的目的地址，将存储器地址配置成 DMA 传输的源地址。
2. 配置要传输的总的字节数。
3. 配置通道优先级。
4. 配置在传输完成一半还是全部完成时产生 DMA 中断。
5. 激活该通道。

完成一次 DMA 传输，相应 DMA 通道上产生一次中断。在发送模式下，当 DMA 传输完所有要发送的数据时，DMA 控制器设置 DMA\_INTSTS.CHn 标志，LPUART\_STS.TXCF 标志位由硬件置高表示传输完成，软件需要等待 LPUART\_STS.TXCF =1。



图 34-5 利用 DMA 发送



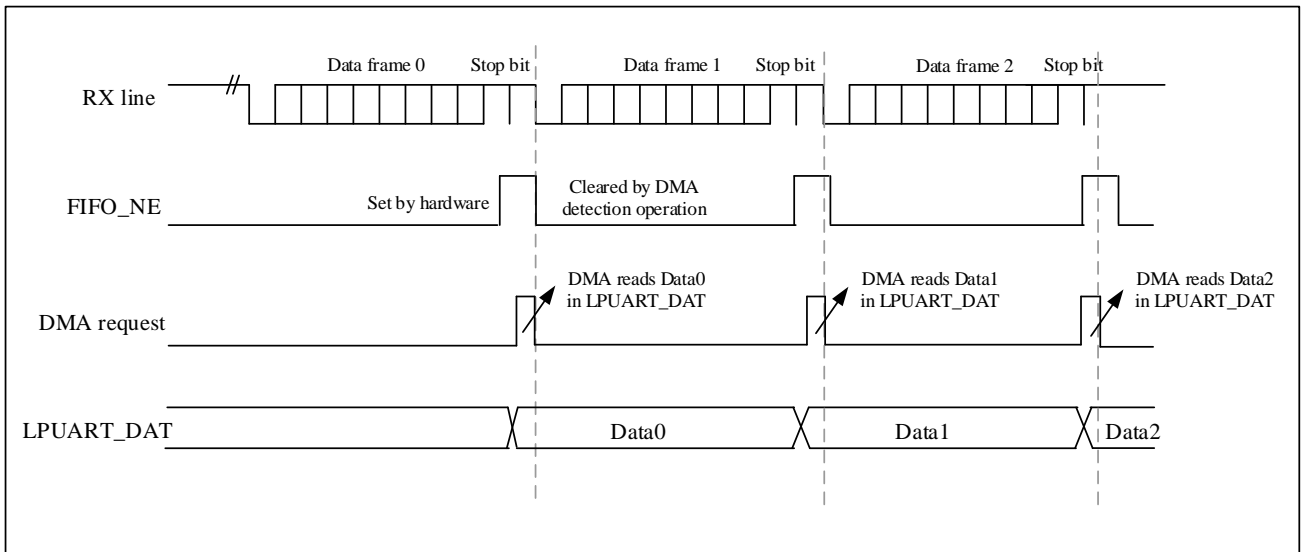
### 34.4.6.2 DMA 接收

为 LPUART 的接收分配一个 DMA 通道的步骤如下 (x 表示通道号):

1. 通过 DMA 配置寄存器把 LPUART\_RXDAT 寄存器地址配置成传输的源地址，存储器地址设置传输的目的地址。
2. 配置要传输的 DMA 字节数。
3. 在 DMA 寄存器上配置通道优先级。
4. 配置在传输完成一半还是全部完成时产生 DMA 中断。
5. 激活该通道。

当接收完成 DMA 控制器指定的传输量时，DMA 控制器在该 DMA 通道的中断向量上产生一中断。

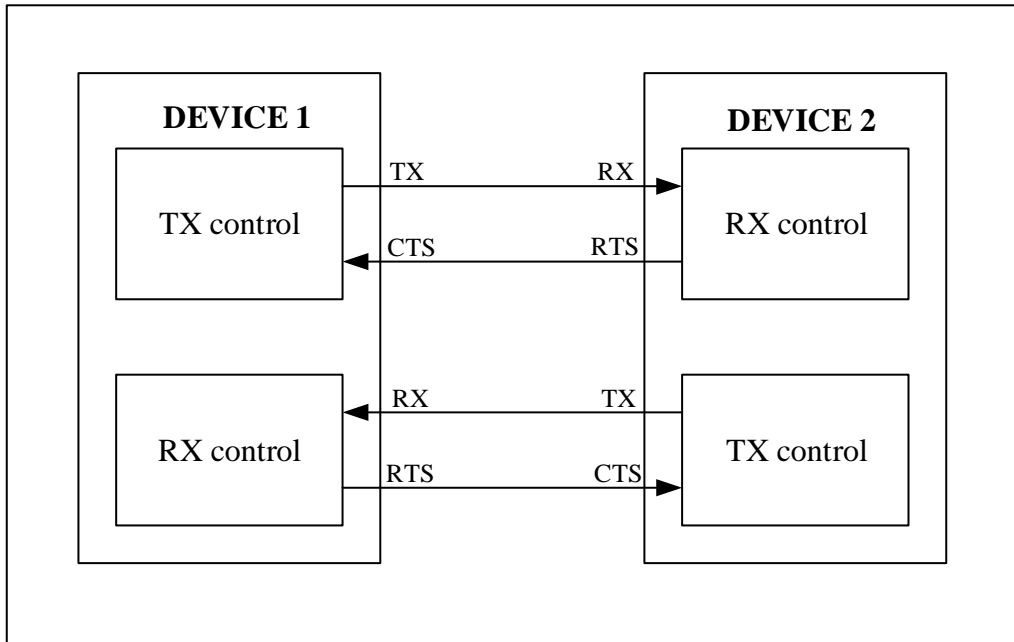
图 34-6 利用 DMA 接收



### 34.4.7 硬件流控

硬件流控制通过 CTS 输入和 RTS 输出实现功能。下图表明在这个模式里如何连接 2 个设备。

图 34-7 两个 LPUART 间的硬件流控制



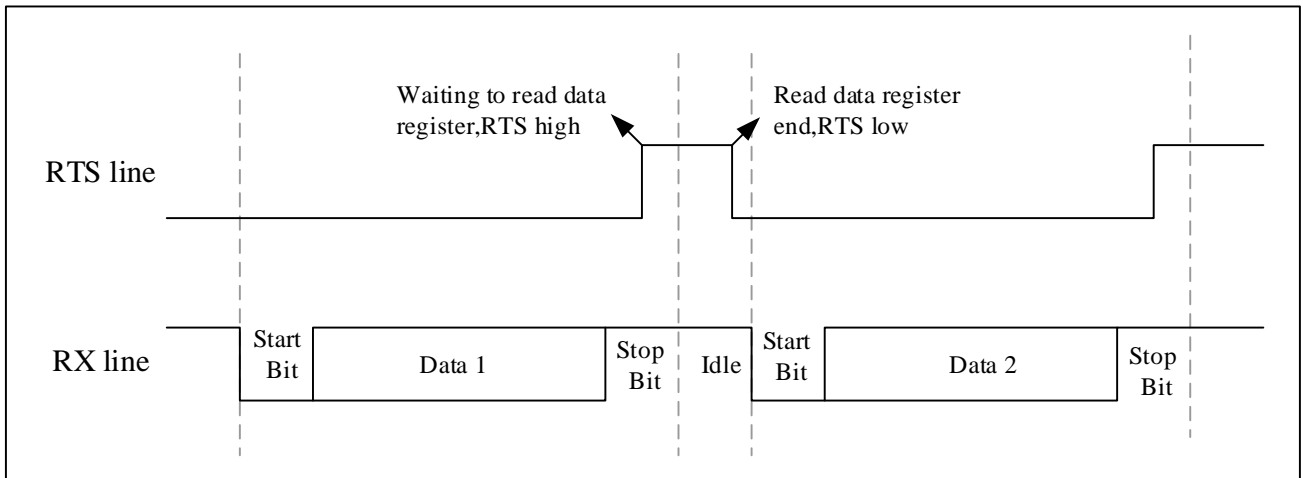
通过将 LPUART\_CTRL.RTSEN 和 LPUART\_CTRL.CTSEN 置位,可以分别独立地使能 RTS 和 CTS 流控制。

#### 34.4.7.1 RTS 流控制

如果 RTS 流控制被使能 (LPUART\_CTRL.RTSEN=1), 满足 RTS 门限条件时, RTS 为高电平 (有效), 否则

为低。其中, RTS 何时有效可由 LPUART\_CTRL.RTST [1:0]位配置选择。RTS 门限可以选择在 FIFO 半满、FIFO 3/4 满或 FIFO 全满时 RTS 有效。下图是一个启用 RTS 流控制的通信的例子。

图 34-8 RTS 流控制

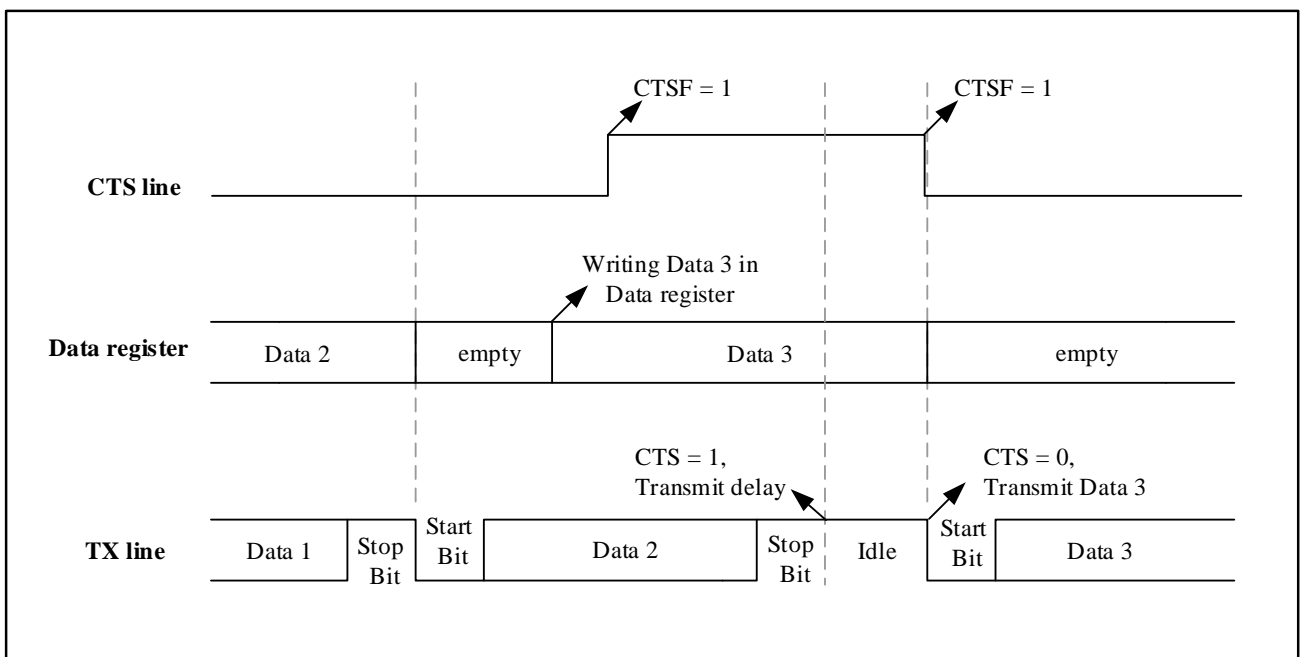


### 34.4.7.2 CTS 流控制

如果 CTS 流控制被使能时 (LPUART\_CTRL.CTSEN=1), 发送器在发送下一帧前检查 CTS 脚决定是否发送数据。如果 CTS 被拉低 (有效), 发送器发送数据 (假设那个数据是准备发送的)。若 CTS 在传输期间被拉高, 当前数据帧传输完成后停止发送。

如果 CTS 流控制使能 (LPUART\_CTRL.CTSEN=1), CTS 引脚信号位会发生变化, 如开启 34-9 CTS 流控制。

图 34-9 CTS 流控制



### 34.4.8 低功耗唤醒

LPUART 可以工作在 STOP0/2 模式下，如果 LPUART\_CTRL.WUSTPEN 位置位，可以在特定唤醒事件发生的时候通过 EXTI 唤醒系统。

LPUART 唤醒事件有以下几种方式（通过 LPUART\_CTRL.WUS [5:0]控制）：

- 当检测到起始位时，产生唤醒事件
- 当接收缓冲器非空标志置位时，产生唤醒事件
- 当接收到 1~8 字节数据，并且数据和 LPUART\_WUDAT1[31:0]、LPUART\_WUDAT2[31:0]匹配时，产生唤醒事件
- 接收到 1~32 字节数据，产生唤醒事件

当唤醒发生时，LPUART\_STS.WUF 位会置位。

## 34.5 中断请求

表 34-6 LPUART 中断请求

中断函数	中断事件	事件标志	使能位
LPUART 全局中断	奇偶校验检测错误	PCEF	PCEIEN
	TX 结束	TXCF	TXCIEN
	接收缓冲器溢出	RXFOF	RXFOIEN
	接收缓冲器全满	RXFFF	RXFFIEN
	接收缓冲器半满	RXFHFF	RXFHFIEN
	接收缓冲器非空	RXFNEF	RXFNEIEN
	STOP 模式唤醒	WUF	WUIEN
	发送缓冲器溢出	TXFOF	TXFOIEN
	发送缓冲器全满	TXFFF	TXFFIEN
	发送缓冲器 3/4 满	TXFQFF	TXFQFIEN
	发送缓冲器半满	TXFHFF	TXFHFIEN
	发送缓冲器非空	TXFNEF	TXFNEIEN
	空闲帧检测	IDLEF	IDLEFIEN
	帧错误检测	FE	FEIEN
传输缓冲区空	TXFEF	TXFEIEN	

LPUART 的各种中断事件是逻辑或的关系，如果设置了对应的使能控制位，这些事件就可以产生各自的中断，但是同时只能产生一个中断请求。

## 34.6 LPUART 寄存器

### 34.6.1 LPUART 状态寄存器 (LPUART\_STS)

偏移地址：0x00

复位值：0x0001 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															TXFEF
r															r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FEF	IDLEF	TXFNEF	TXFHFF	TXFQFF	TXFFF	TXFOF	NEF	WUF	CTSF	RXFNEF	RXFHFF	RXFFF	RXFOF	TXCF	PCEF
rc_wl	rc_wl	rc_wl	rc_wl	rc_wl	rc_wl	rc_wl	rc_wl	rc_wl	r	rc_wl	rc_wl	rc_wl	rc_wl	rc_wl	rc_wl

位域	名称	描述
31:17	Reserved	保留，必须保持复位值。
16	TXFEF	发送缓冲区标志 0: 发送 FIFO 数据非空。 1: 发送 FIFO 数据空。
15	FE	帧错误 (Framing error)。 0: 未检测到帧错误。 1: 检测到帧错误。
14	IDLEF	空闲帧检测 (IDLE frame detected ) 0: 未检测到空闲帧。 1: 检测到空闲帧。
13	TXFNEF	发送缓冲区非空标志 0: 发送 FIFO 数据空。 1: 发送 FIFO 数据非空。 <i>注意：当 LPUART_CTRL.FTXF=1, TXFNEF 将清 0。</i>
12	TXFHFF	发送缓冲区半满标志 0: 发送 FIFO 尚未半满 1: 发送 FIFO 半满 <i>注意：当 LPUART_CTRL.FTXF=1, TXFHFF 将清 0</i>
11	TXFQFF	发送缓冲区 1/4 满标志 0: 发送 FIFO 尚未 1/4 满 1: 发送 FIFO 3/4 满 <i>注意：当 LPUART_CTRL.FTXF=1, TXFQFF 将清 0</i>
10	TXFFF	发送缓冲区全满标志 0: 发送 FIFO 未全满

		1: 发送 FIFO 已满 <i>注意: 当 LPUART_CTRL.FTXF=1, TXFFF 将清 0</i>
9	TXFOF	发送缓冲区溢出标志 0: FIFO 未溢出 1: FIFO 溢出
8	NEF	噪声检测标志 (Noise Detected Flag)。 在接收的帧中检测到噪音时, 由硬件对该位置位。该位由软件清 0 0: 没检测到噪声。 1: 检测到噪声。
7	WUF	STOP2 模式唤醒标志 (Wakeup from STOP2 mode Flag)。 0: 没有检测到唤醒事件。 1: 检测到唤醒事件。
6	CTSF	CTS 信号 (硬件流控制) 标志。 一旦发送器请求发送数据, 则准备接收数据。 0: CTS 线复位。 1: CTS 线置位。
5	RXFNEF	接收缓冲器非空标志 (FIFO Non-Empty Flag)。 0: 缓冲器为空。 1: 缓冲器非空, RX 数据已准备好被读取
4	RXFHFF	接收缓冲器半满标志 (FIFO Half Full Flag)。 0: 缓冲器非半满。 1: 缓冲器半满。应该在缓冲器全满前读出 RX 数据
3	RXFFF	接收缓冲器全满标志 (FIFO Full Flag)。 0: 缓冲器非全满。 1: 缓冲器全满。应该读出 RX 数据, 以准备接收新数据
2	RXFOF	接收缓冲器溢出标志 (FIFO Overflow Flag)。 0: 缓冲器没有溢出。 1: 缓冲器溢出。
1	TXCF	TX 结束标志 (TX Complete Flag)。 0: TX 没有使能或者没有结束。 1: TX 传输结束。
0	PCEF	奇偶校验检测错误标志 (Parity Check Error Flag)。 0: 没检测到奇偶校验错误。 1: 检测到奇偶校验错误。

### 34.6.2 LPUART 中断使能寄存器 (LPUART\_INTEN)

偏移地址: 0x04

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	TXFEIEN	FEIEN	IDLEFIEN	TXFNEIEN	TXFHFIE N	TXFQFIE N	TXFFIEN	TXFOIEN	WUIEN	RXFNEIE N	RXFHFIE N	RXFFIEN	RXFOIEN	TXCIEN	PCEIEN
r	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:15	Reserved	保留，必须保持复位值。
14	TXFEIEN	发送缓冲区空中断使能（TXFIFO Empty Interrupt Enable） 0：禁用 TXFIFO 空中断 1：使能 TXFIFO 空中断
13	FEIEN	帧错误中断使能（FRAME_ERROR Interrupt Enable） 0：禁用 FRAME_ERROR 中断 1：使能 FRAME_ERROR 中断
12	IDLEFIEN	空闲帧中断使能（IDLE_FRAMEIE Interrupt Enable） 0：禁用 IDLE_FRAMEIE 中断 1：使能 IDLE_FRAMEIE 中断
11	TXFNEIEN	发送缓冲区非空中断使能 0：禁止 TXFIFO 非空中断 1：使能 TXFIFO 非空中断
10	TXFHFIE	发送缓冲区半满中断使能 0：禁用 TXFIFO 半满中断 1：使能 TXFIFO 半满中断
9	TXFQFIE	发送缓冲区 3/4 满中断使能 0：禁用 TXFIFO 3/4 满中断 1：使能 TXFIFO 3/4 满中断
8	TXFFIEN	发送缓冲区全满中断使能 0：禁用 TXFIFO 全满中断 1：使能 TXFIFO 全满中断
7	TXFOIEN	发送缓冲区溢出中断使能 0：禁用 TXFIFO 溢出中断 1：使能 TXFIFO 溢出中断
6	WUIEN	唤醒中断使能 0：关闭唤醒中断 1：使能唤醒中断
5	RXFNEIEN	接收缓冲器非空中断使能 0：关闭缓冲器非空中断 1：使能缓冲器非空中断
4	RXFHFIE	接收缓冲器半满中断使能 0：关闭缓冲器半满中断 1：使能缓冲器半满中断
3	RXFFIEN	接收缓冲器全满中断使能 0：关闭缓冲器全满中断

		1: 使能缓冲器全满中断
2	RXFOIEN	接收缓冲器溢出中断使能 0: 关闭缓冲器溢出中断 1: 使能缓冲器溢出中断
1	TXCIEN	TX 结束中断使能 0: 关闭 TX 结束中断 1: 使能 TX 结束中断
0	PCEIEN	奇偶校验检测错误中断使能 0: 关闭奇偶校验错误中断 1: 使能奇偶校验错误中断

### 34.6.3 LPUART 控制寄存器 (LPUART\_CTRL)

地址偏移: 0x08

复位值: 0x0000 0200

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved							RXEN	RXNUMWU[4:0]				FTXF	IDLEFEN	SSM	
r							rw	rw				rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WUS[3:0]			RTSEN	CTSEN	RTST[1:0]		WUSTPE <sub>N</sub>	DMARXE <sub>N</sub>	DMATXE <sub>N</sub>	LB	PC	FRXF	TXEN	PEN	
rw			rw	rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	

位域	名称	描述
31:15	Reserved	保留, 必须保持复位值。
24	RXEN	接收使能 0: 禁用 1: 使能接收
23:19	RXNUMWU[4:0]	可配置接收字节 有一个配置字节, 可以配置接收多少字节的数据来唤醒。 NUM=(RXNUMWU +1)
18	FTXF	刷新发送缓冲区 0: 禁用 1: 启用刷新 TXFIFO 内容
17	IDLEFEN	空闲帧检测 0: 禁用 1: 启用
16	SSM	指定采样方法 0: 3 个样本位, 允许噪声检测 1: 一个样本位, 关闭噪声检测
15:12	WUS[3:0]	唤醒事件选择。 指定激活 WUF (Stop 模式标志唤醒) 的事件

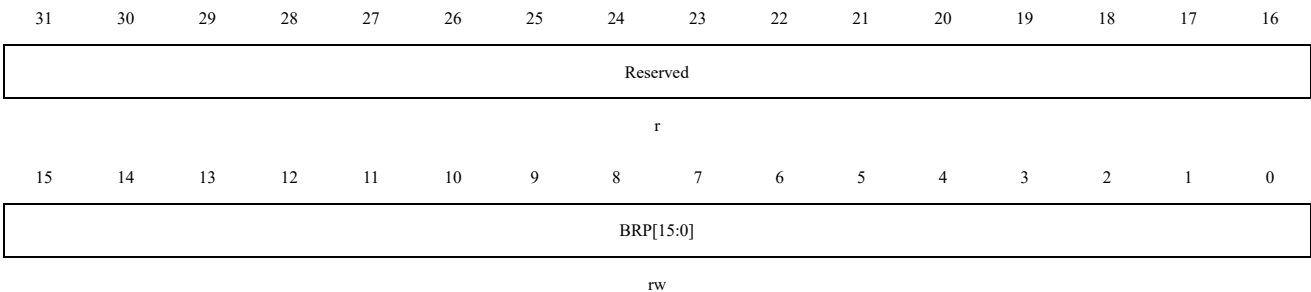


		0001: 接收缓冲器非空检测 0010: 1 个可配置接收字节 0011: 1 个可编程的 2 字节帧 0100: 可编程的 3 字节帧 0101: 可编程的 4 字节帧 0110: 可编程的 5 字节帧 0111: 可编程的 6 字节帧 1000: 可编程的 7 字节帧 1001: 可编程的 8 字节帧 1010: 配置接收多少字节 (1-32 Bytes) 1011: 起始位检测
11	RTSEN	RTS 硬件流控制使能 0: 关闭 RTS 硬件流控制 1: 使能 RTS 硬件流控制
10	CTSEN	CTS 硬件流控制使能 0: 关闭 CTS 硬件流控制 1: 使能 CTS 硬件流控制
9:8	RTST[1:0]	RTS 门限选择 00: FIFO 半满时, RTS 有效 (拉高) x1: FIFO 3/4 满时, RTS 有效 (拉高) 10: FIFO 全满时, RTS 有效 (拉高)
7	WUSTPEN	LPUART 唤醒 STOP 模式使能 0: 不能唤醒 STOP 模式 1: 可以唤醒 STOP 模式
6	DMARXEN	DMA RX 请求使能
5	DMATXEN	DMA TX 请求使能
4	LB	回环自测 0: 正常模式 1: 回环自测模式
3	PC	奇偶校验控制 0: 使能奇偶校验位 1: 禁止奇偶校验位
2	FRXF	清除接收缓冲器 0: 关闭清除缓冲器 1: 使能清除缓冲器内容
1	TXEN	TX 使能 0: 关闭 TX 1: 使能 TX
0	PEN	奇校验位使能 0: 偶校验位 1: 奇校验位

### 34.6.4 LPUART 波特率配置寄存器 1 (LPUART\_BRCFG1)

偏移地址：0x0C

复位值：0x0000 0174

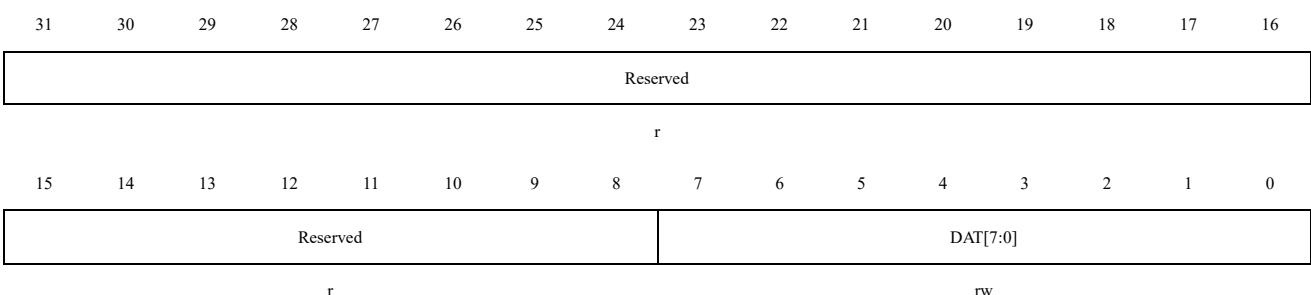


位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	BRP[15:0]	波特率配置寄存器 1。 波特率配置寄存器 1 的计算方法如下： 波特率为 9600bps，时钟频率为 32768Hz。 $BRP = 32768 / 9600 = 3.4133$ 在这种情况下，BRP 的整数部分为 3，小数部分为 0.4133。则 $LPUART\_BRCFG1 = 3$ 。而 $LPUART\_BRCFG2$ 将用于波特率错误校正。对于具有噪声检测特性的 3 位采样方法，此时 BRP 不够大，所以应该采用 1 位采样方法，以避免采样误差。

### 34.6.5 LPUART 发送数据寄存器 (LPUART\_TXDAT)

偏移地址：0x10

复位值：0x0000 0000

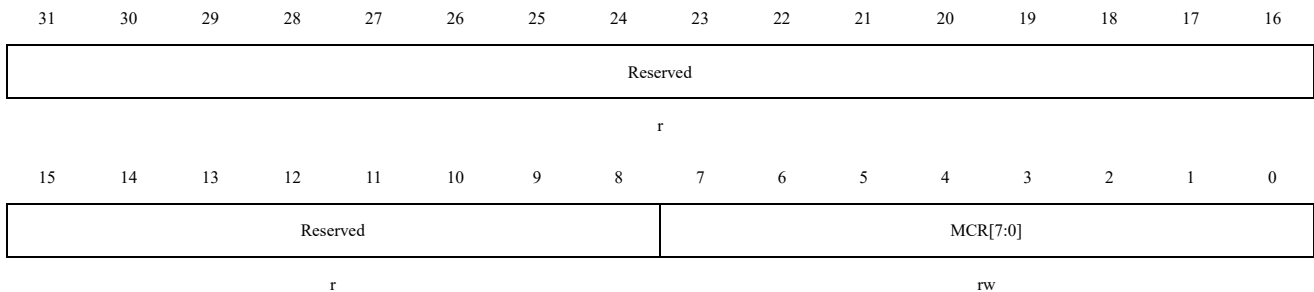


位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
7:0	DAT[7:0]	发送数据寄存器

### 34.6.6 LPUART 波特率配置寄存器 2 (LPUART\_BRCFG2)

偏移地址: 0x14

复位值: 0x0000 0000

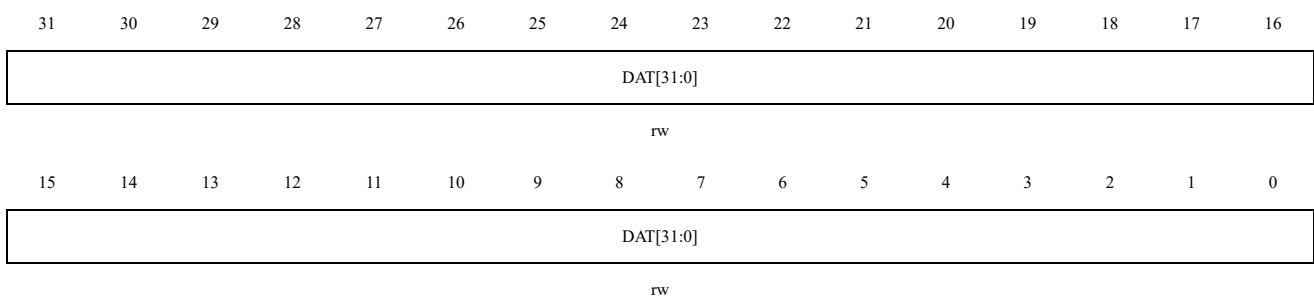


位域	名称	描述
31:8	Reserved	保留, 必须保持复位值。
7:0	MC[7:0]	波特率配置寄存器 2 用于在低频率下的波特率错误校正。例如, 波特率为 4800bps, 时钟频率为 32768Hz。 $BRP = 32768/4800 = 6.8266$ 则 LPUART_BRCFG1 = 6。此时, 为了校正波特率错误, 应该使用波特率配置寄存器 2, 具体的配置方法请参考“分数波特率的产生”一节。

### 34.6.7 LPUART 唤醒数据寄存器 (LPUART\_WUDAT1)

偏移地址: 0x18

复位值: 0x0000 0000

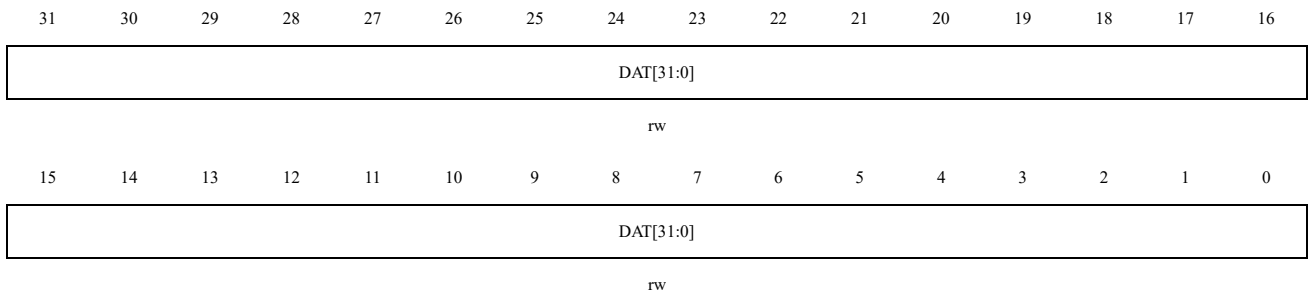


位域	名称	描述
31:0	DAT[31:0]	配置该寄存器以检测字节或帧匹配, 以将 CPU 从 Stop 模式唤醒 第一个字节用于字节匹配唤醒 所有 4 个字节用于帧匹配唤醒 {byte4,byte3,byte2,byte1}

### 34.6.8 LPUART 唤醒数据寄存器 (LPUART\_WUDAT2)

偏移地址: 0x1C

复位值: 0x0000 0000

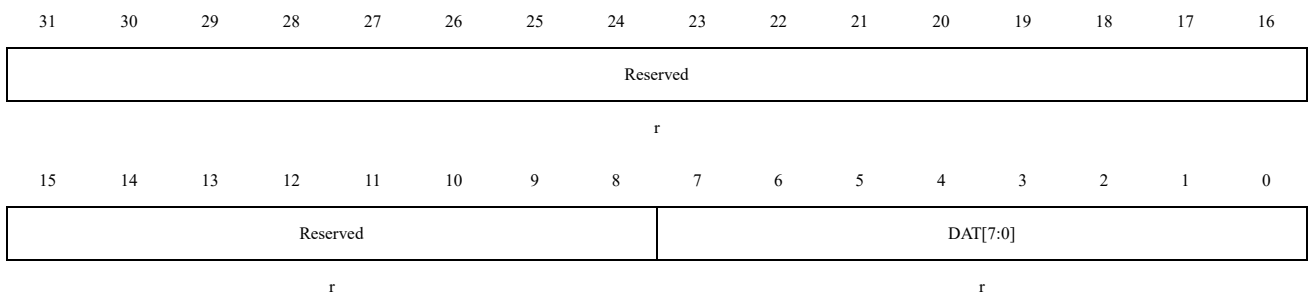


位域	名称	描述
31:0	DAT[31:0]	配置该寄存器以检测字节或帧匹配，以将 CPU 从 Stop 模式唤醒 第一个字节用于字节匹配唤醒 所有 4 个字节用于帧匹配唤醒 {byte8,byte7,byte6,byte5}

### 34.6.9 LPUART 接收数据寄存器 (LPUART\_RXDAT)

偏移地址: 0x20

复位值: 0x0000 0000



位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
7:0	DAT[7:0]	接收数据寄存器

## 35 内部集成电路总线(I2C)

I2C 是一种双线串行协议，用于嵌入式系统中两个设备或芯片之间的通信。I2C 包含两条线路：SCL（时钟线）和 SDA（数据线）。

### 35.1 概述

该 I2C 协议具备多主机功能，可控制 I2C 序列、协议、仲裁机制、中断及时序。支持标准模式(Sm)、快速模式(Fm)、快速增强模式(Fm+)及高速模式(HS)。兼容 SMBus(系统管理总线)与 PMBus(电源管理总线)，并采用 DMA 技术降低 CPU 负载。

### 35.2 I2C 主要特性

主要支持的功能如下所示：

- 兼容 I2C 总线规范第 03 版：
  - ◆ 从模式和主模式
  - ◆ 多主模式功能
  - ◆ 标准速度模式（高达 100kHz）
  - ◆ 快速模式（高达 400kHz）
  - ◆ 超快速模式（高达 1MHz）
  - ◆ 7 位和 10 位寻址模式
  - ◆ 多个 7 位从地址（2 个从设备地址寄存器, 1 个具有可配置的掩码位段）
  - ◆ 所有 7 位地址应答模式
  - ◆ 广播呼叫，数据建立和保持时间可软件配置
  - ◆ 产生中断和可选的时钟延长
- 兼容 SMBus 规范第 3.0 版：
  - ◆ 硬件 CRC（数据包错误检查）生成、验证与 ACK 控制
  - ◆ 命令和数据应答控制
  - ◆ 支持地址解析协议(ARP)
  - ◆ 支持主机和从设备
  - ◆ SMBus 报警
  - ◆ 超时和空闲条件检测
  - ◆ 兼容 PMBus 第 1.3 版标准

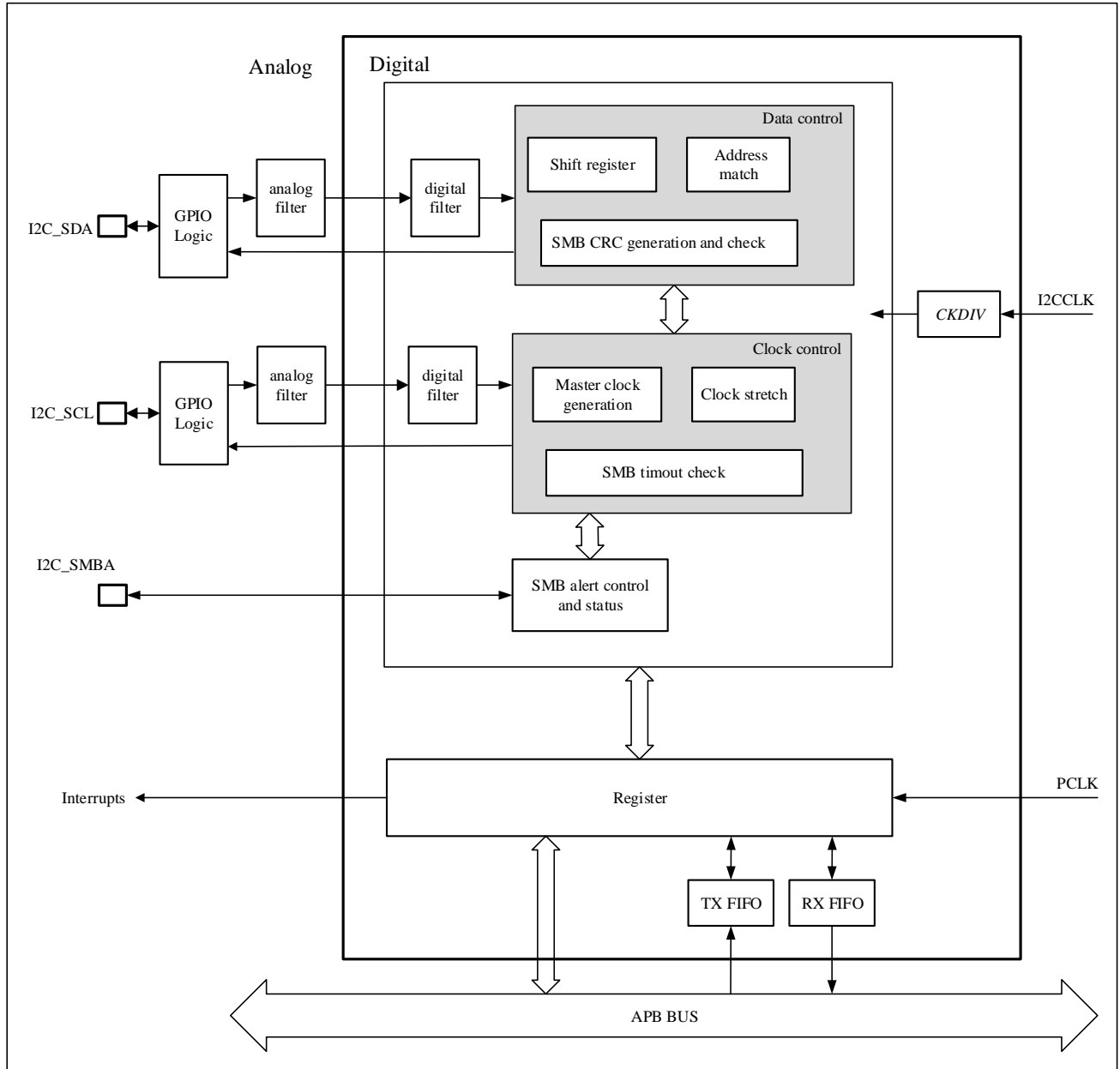
其他特性：

- 支持通过 DMA 进行可编程配置，最高可实现 8 字节的缓冲区/突发传输
- 具备可编程模拟与数字噪声滤波器

- 采用独立时钟源, 使得 I2C 通信速率可独立于 i2c\_pclk 的重新编程而设定

### 35.3 I2C 框图

图 35-1 I2C 功能框图



### 35.4 功能描述

#### 35.4.1 时钟要求

PCLK: 用于访问 I2C 寄存器。I2C1\2\3 对应 PCLK1, I2C4\5\6 对应 PCLK2, I2C7\8\9\10 对应 PCLK5。

I2CCLK: 用作 I2C 内核时钟, 独立于 PCLK。该时钟可从以下四种时钟源中选择:

- 分频后的 Sys\_bus\_div\_clk 时钟（默认）
- PLL3C 时钟
- HSI 时钟
- MSI 时钟

I2CCLK 还可通过 I2C\_BUSTM.CKDIV 寄存器(高速模式下通过 I2C\_HSBUSTM.CKDIV)进行进一步分频, 分频后的时钟为 fCKDIV。

注意: 当 SCL 目标频率为 100kHz 至 1MHz 时, fCKDIV 的最大频率为 8MHz; 当 SCL 目标频率为 3.4MHz 时, fCKDIV 的最大频率为 48MHz。

### 35.4.2 模式选择

该接口在工作时可选用以下四种模式之一:

- 从发射器
- 从接收器
- 主发送器
- 主接收器

默认情况下, 该设备工作于从机模式。当它产生起始条件时会切换到主机模式; 若发生仲裁丢失或产生停止条件, 则会从主机切换回从机模式, 从而实现多主机功能。

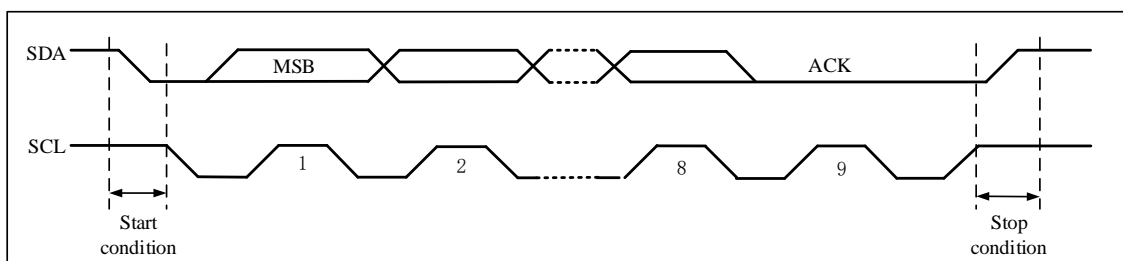
在主机模式下, I2C 负责发起数据传输并生成时钟信号。传输总是以软件生成的起始条件开始, 并以停止条件结束。

在从机模式下, I2C 可响应其自身地址 (7 位或 10 位) 和通用呼叫地址。通过软件也可启用保留的 SMBus 地址。

数据和地址均以 8 位字节形式传输 (高位优先)。起始条件后的首字节 (7 位模式) 或前两个字节 (10 位模式) 为地址信息, 该地址始终由主机模式发送。

在每个字节传输的 8 个时钟周期后, 会跟随第 9 个时钟脉冲。在此期间接收方必须向发送方返回一个应答位。

图 35-2 I2C 总线协议



#### 35.4.2.1 I2C 初始化

##### 使能和禁止外设

通过设置 I2C\_CTRL1 寄存器中的 I2CEN 位可使能 I2C 功能。

当 I2C 被禁用 (I2CEN=0) 时, 将执行软件复位。

### 软件复位

可通过清除 I2C\_CTRL1 寄存器中的 I2CEN 位执行软件复位, 此时 I2C 总线 SCL 和 SDA 线路将被释放。通信控制位、状态位及状态机均被复位, 但配置寄存器不受影响。I2CEN 位需保持低电平至少 3 个 PCLK 周期或 3 个 FCKDIV 周期 (以较长者为准) 方可生效。

以下寄存器位将被复位:

I2C\_CTRL2 寄存器: START、STOP、NAK。

I2C\_STSINT 寄存器: BUSY、WRE、WRAVL、RDAVL、ADR、NAKF、TFCR、TFC、STOPF、BSER、ABLO、OVF。若支持 SMBus 功能, 则额外复位以下位:

I2C\_CTRL2 寄存器: CRCBYTE。

I2C\_STSINT 寄存器: CRCERR、TMOUT、ALRT。

### I2C 时序

通过编程 I2C\_BUSTM 寄存器中的 CKDIV[3:0]、DSCL[3:0]和 DSDA[3:0]位来配置时序, 以获得正确的主机和从机模式下的数据保持与建立时间。如果使用高速模式, 则还需额外配置 I2C\_HSBUSTM 寄存器。

### 噪声滤波器

模拟噪声滤波器可抑制长达 35ns 的毛刺, 由 AFOFF 和 GFLTRCTRL 寄存器控制。

若启用数字噪声滤波器, 则只有当 SCL 或 SDA 电平稳定超过  $DF10 \times I2CCLK$  周期后, 其内部电平才会改变。这允许滤除长度可编程为 1 至 15 个 I2CCLK 周期的尖峰脉冲。

## 35.4.2.2 数据传输

### 接收过程

SDA 输入信号将逐位填充移位寄存器。在第 8 个 SCL 脉冲后 (即完整接收一个数据字节时), 若 I2C\_RDR 寄存器为空 (RDAVL=0), 则移位寄存器的内容将复制至 I2C\_RDR 寄存器。若 RDAVL=1 (表示先前接收的数据字节尚未被读取), SCL 线路将被拉低直至 I2C\_RDR 被读取。该时钟拉伸发生在第 8 个与第 9 个 SCL 脉冲之间 (应答脉冲之前)。

### 发送过程

若 I2C\_WDR 寄存器非空 (WRE=0), 其内容将在第 9 个 SCL 脉冲 (应答脉冲) 后被复制到移位寄存器中, 随后移位寄存器的内容通过 SDA 线串行移出。若 WRE=1 (表示尚未向 I2C\_WDR 写入数据), SCL 线路将被拉低直至 I2C\_WDR 被写入数据。该时钟拉伸发生在第 9 个 SCL 脉冲之后。

## 35.4.3 硬件传输管理

I2C 内置硬件字节计数器, 用于管理字节传输及控制功能, 包括:

- 主机模式下的 NAK、STOP 与 ReSTART 生成
- 从机接收模式下的 ACK 控制
- SMBus 的 CRC 生成/校验



该字节计数器在主机模式下始终启用；在从机模式下默认禁用，但可通过设置 I2C\_CTRL2 寄存器中的 SBCTL（从机字节控制）位来启用。

待传输的字节数通过 I2C\_CTRL2 寄存器中的 BYTECNT[7:0] 位字段进行设置。若待传输字节数 (BYTECNT) 大于 255，或接收方需要控制接收数据字节的应答值，则必须通过设置 I2C\_CTRL2 寄存器中的 REFILL 位选择重装载模式。在此模式下，当 BYTECNT 中设置的字节数传输完成时，TFCR 标志位将被置起；若 TFCIE 位已设置，则会生成中断。若 TFCR 标志位置起，SCL 线路将被拉伸。当 BYTECNT 被写入非零值时，TFCR 标志位将被清零。

当字节计数器最后一次重装载字节数时，必须清除 REFILL 位。

在主机模式下，当 REFILL=0 时，计数器可在两种模式下工作：

**自动停止模式**（I2C\_CTRL2 寄存器中 AUTOSTOP='1'）：在此模式下，主机在传输完 BYTECNT[7:0] 中设置的字节数后，将自动发送 STOP 条件。

**软件停止模式**（I2C\_CTRL2 寄存器中 AUTOSTOP='0'）：当 BYTECNT[7:0] 中设置的字节数传输完成后，需由软件进行后续操作；此时 TFC 标志位置起，若 TFCIE 位已设置则生成中断。若 TFC 标志位置起，SCL 信号将被拉伸。当设置 I2C\_CTRL2 寄存器中的 START 或 STOP 位时，TFC 标志位将被清零。当主机需要发送重新启动 (RESTART) 条件时，必须使用此模式。

## 35.4.4 I2C 从机模式

### 35.4.4.1 I2C 从机初始化

必须使能至少一个从机地址。I2C\_ADR1 和 I2C\_ADR2 寄存器分别用于配置从机自身地址 AD1 和 AD2。

通过配置 I2C\_ADR1 寄存器中的 AD1MODE 位并设置 AD1EN 位，可将 AD1 配置为 7 位或 10 位寻址模式。

若需要额外的从机地址，可以配置第二个从机地址 AD2 并设置 AD2EN 位。

可通过配置 I2C\_ADR2 寄存器中的 AD2MSK[2:0] 位，对 AD2 的低 7 位进行掩码（即忽略部分低位进行匹配）。

当 AD2MSK=1 至 6 时，仅将 AD2[7:2]、AD2[7:3]、AD2[7:4]、AD2[7:5]、AD2[7:6] 或 AD2[7] 与接收到的地址进行比较（保留地址 0000 XXX 和 1111 XXX 除外）。

如果 AD2MSK=7，则响应所有接收到的 7 位地址（保留地址除外）。

若这些保留地址被编程到 I2C\_ADR1 或 I2C\_ADR2 寄存器（且 AD2MSK=0），并通过特定的使能位开启，则它们也可被响应。

通过设置 I2C\_CTRL1 寄存器中的 GENC 位，可使能对通用呼叫地址的响应。

当 I2C 被其任一已使能的地址选中时，ADR 中断状态标志将被置起；如果 ADRIE 位已设置，则会生成中断。

默认情况下，从机在需要执行软件操作时会（通过保持 SCL 为低电平）拉伸时钟信号。如果主机不支持时钟拉伸，则必须在 I2C\_CTRL1 寄存器中配置 NOSTRCH=1 以禁用此功能。

在 ADR 中断服务程序中，如果使能了多个地址，请读取 I2C\_STSINT 寄存器中的 ADRCV[6:0] 位以检查是哪个地址匹配成功。DIR 标志位指示传输方向。

### 从机时钟延长 (NOSTRCH=0)

在默认模式下，I2C 从机在以下条件下延长 SCL 时钟：

当 ADR 标志置位时：即接收到的地址与一个已启用的从机地址匹配。此延展在通过设置 ADRCCLR 位来清除 ADR 标志后释放。

在发送（传输）过程中，如果上一次数据传输已完成，但未向 I2C\_WD 寄存器写入新数据，或者当 ADR 标志被清除后（此时 WRE=1），尚未写入第一个数据字节。此延展在向 I2C\_WDR 寄存器写入数据后释放。

在接收过程中，当 I2C\_RDR 寄存器尚未被读取，且一次新的数据接收已完成时。此延展在读取 I2C\_RDR 寄存器后释放。

当在从机字节控制模式下 TFCR=1 时：此模式为重新填充模式（SBCTL=1 且 REFILL=1），表示最后一个数据字节已传输完毕。此延展在通过向 BYTECNT[7:0]写入非零值来清除 TFCR 后释放。

在所有上述情况下：在检测到 SCL 下降沿后，I2C 会将 SCL 延展为低电平。

#### 禁用时钟延长的从机模式（NOSTRCH=1）

当 I2C\_CTRL1 寄存器中的 NOSTRCH=1 时，I2C 从机将不延长 SCL 时钟信号。

地址匹配标志（ADR）置起期间，SCL 时钟也不被拉伸。

在发送时，必须在对应其传输的第一个 SCL 脉冲出现之前，将数据写入 I2C\_WDR 寄存器。否则会发生欠载，I2C\_STSINT 寄存器中的 OVF（溢出）标志将被置起，并且若 I2C\_CTRL1 寄存器中的 ERRIE 位已设置，则会生成中断。当第一次数据传输开始且 STOPF（停止条件标志）仍处于置起状态（未被清除）时，OVF 标志也会被置起。因此，如果用户仅在将下一次传输的第一个待发送数据写入之后，才清除前一次传输的 STOPF 标志，则可确保（系统）提供 OVF 状态指示，即使对于待发送的第一个数据也是如此。

在接收时，必须在下一个数据字节的第 9 个 SCL 脉冲（ACK 脉冲）出现之前，从 I2C\_RDR 寄存器中读取数据，以防止溢出。

#### 35.4.4.2 从器件字节控制模式

在从机接收模式下实现对字节 ACK（应答）的控制，必须通过设置 I2C\_CTRL1 寄存器中的 SBCTL 位来启用从机字节控制模式。这是为了符合 SMBus 标准的要求。

在从机接收模式下实现字节 ACK 控制，必须选择重装载模式（REFILL=1）。为了控制每个字节，必须在地址中断服务程序中将 BYTECNT 初始化为 0x1，并在每个字节接收后重新装载为 0x1。当字节接收完成时，TFCR 位将被置起，从而在第 8 个与第 9 个 SCL 脉冲之间拉低 SCL 信号（进行时钟拉伸）。用户可以随后从 I2C\_RDR 寄存器读取数据，并通过配置 I2C\_CTRL2 寄存器中的 ACK 位来决定是否对该字节进行应答。通过将 BYTECNT 编程为一个非零值来释放 SCL 拉伸：此时 ACK 或 NAK 将被发出，并可以开始接收下一个字节。

BYTECNT 也可以装载一个大于 0x1 的值，在这种情况下，在接收 BYTECNT 个数据字节期间，接收流程将是连续的。

#### 限制条件：

由于不允许在第 9 个时钟位延长 SCL，因此高速模式下不支持需要在 ACK 之前进行 SCL 拉伸的从机字节应答控制功能。

此外，此功能仅适用于低速 CPU（即清除 RDAVL/TFCR 标志延迟较大的情况）。

对于能在小于 1 个 tCKDIV 周期内清除 RDAVL 标志的快速 CPU/PCLK，此功能将无法正常工作。

### 35.4.4.3 从发送器

当 I2C\_WDR 寄存器变为空时, 将产生发送中断状态 (WRAVL)。若 I2C\_CTRL1 寄存器中的 WDRIE 位被置位, 则会生成中断。

向 I2C\_WDR 寄存器写入下一个待发送数据字节时, WRAVL 位将被清除。

当接收到 NAK 时, I2C\_STSINT 寄存器中的 NAKF 位将被置位; 若 I2C\_CTRL1 寄存器中的 NAKIE 位置位, 则会生成中断。从机将自动释放 SCL 和 SDA 线路, 以便主机执行 STOP 或重新开始 (RESTART) 条件。接收到 NAK 时, WRAVL 位不会置位。

当接收到 STOP 条件且 I2C\_CTRL1 寄存器中的 STOPIE 位置位时, I2C\_STSINT 寄存器中的 STOPF 标志将置位并产生中断。在大多数应用中, SBCTL 位通常被编程为 '0'。在这种情况下, 如果接收从机地址时 (ADR=1) WRE=0, 用户可以选择将 I2C\_WDR 寄存器的内容作为第一个数据字节发送, 也可以通过设置 WRE 位来清空 (flush) I2C\_WDR 寄存器以编程新的数据字节。

在从机字节控制模式 (SBCTL=1) 下, 待发送的字节数必须在地址匹配中断服务程序 (ADR=1) 中编程至 BYTECNT。此时, 传输期间 WRAVL 事件的发生次数与 BYTECNT 中编程的数值相对应。

当 NOSTRCH=1 时, 在 ADR 标志位置位期间 SCL 时钟不会被拉伸, 因此用户无法在 ADR 中断服务程序中通过清空 I2C\_WDR 寄存器内容来编程第一个数据字节。待发送的第一个数据字节必须预先编程到 I2C\_WDR 寄存器中:

该数据可以是上一次传输消息中, 在最后一个 WRAVL 事件时写入的数据。

如果该数据字节不是要发送的字节, 可以通过设置 WRE 位来清空 I2C\_WDR 寄存器以编程新的数据字节。

必须在这些操作完成后才清除 STOPF 位, 以确保它们在地址应答后的第一个数据传输开始前得以执行。

如果第一个数据传输开始时 STOPF 位仍处于置位状态, 将产生欠载错误 (OVF 标志置位)。

如果需要 WRAVL 事件 (发送中断或发送 DMA 请求), 用户除了设置 WRE 位外, 还必须同时设置 WRAVL 位, 以生成 WRAVL 事件。

#### 35.4.4.3.1 发送示例序列

示例: SCL=1MHz, I2CCLK=8MHz, 发送 4 个字节  
通信流程如下:

1. I2C\_BUSTM 寄存器 (写入 h00000102)  
CKDIV=0; DSCL=0; DSDA=0; HSCL=0x1; LSCL=0x2。
2. I2C\_CTRL1 寄存器 (写入 h000100ff)  
NOSTRCH=0; SBCTL=1; I2CEN=1; 使能所有中断。
3. I2C\_CTRL2 寄存器 (写入 h00040000)  
BYTECNT=0x4; NAK=0; STOP=0; START=0; ADR10=0; RWN=0; SADR=000。
4. I2C\_ADR2 寄存器 (写入 h00008066)  
AD2MSK=000 (无掩码); 使能 7 位地址; I2C 从机地址=7'b0110011。
5. 等待中断, 读取 I2C\_STSINT 寄存器  
若 ADR 位被置为 1, 则表示地址匹配成功。通过写入 I2C\_INTCLR.ADRCLR 来清除 ADR 位。

6. 等待中断, 读取 I2C\_STSINT 寄存器  
若 WRAVL 位被置为 1, 则向 I2C\_WDR 写入第 1 个数据。
7. 等待中断, 读取 I2C\_STSINT 寄存器  
若 WRAVL 位被置为 1, 则向 I2C\_WDR 写入第 2 个数据。
8. 第 3 个和最后一个 (第 4 个) 数据, 重复执行相同的步骤 (等待中断并写入数据)。

#### 35.4.4.3.2 无延长发送示例序列

示例: SCL=1MHz, I2CCLK=8MHz, 发送 4 个字节。

通信流程如下:

1. I2C\_BUSTM 寄存器 (写入 h00000102)  
CKDIV=0; DSCL=0; DSDA=0; HSCL=0x1; LSCL=0x2。
2. I2C\_CTRL1 寄存器 (写入 h000200ff)  
NOSTRCH=1; SBCTL=0; I2CEN=1; 使能所有中断。
3. 向 I2C\_WDR 写入第一个数据  
当禁用时钟延长时, 必须在起始条件产生或从机地址被接收/应答之前写入第一个数据。
4. I2C\_CTRL2 寄存器 (写入 h00040000)  
BYTECNT=0x4; NAK=0; STOP=0; START=0; ADR10=0; RWN=0; SADR=000。
5. I2C\_ADR2 寄存器 (写入 h00008066)  
AD2MSK=000 (无掩码); 使能 7 位地址; I2C 从机地址=7'b0110011。
6. 等待中断, 读取 I2C\_STSINT 寄存器  
若 ADR 位被置为 1, 表示地址匹配成功。通过写入 I2C\_INTCLR.ADRCLR 来清除 ADR 位。
7. 等待中断, 读取 I2C\_STSINT 寄存器  
若 WRAVL 位被置为 1, 则向 I2C\_WDR 写入第二个数据。
8. 对第三个和最后一个 (第四个) 数据, 重复执行相同的步骤 (等待中断并写入数据)。
9. 等待中断, 读取 I2C\_STSINT 寄存器
10. 若 WRAVL 位被置为 1, 则向 I2C\_WDR 写入第 5 个数据。

*注意: 由于 BYTECNT 被配置为 4, WRAVL 将被置起 4 次 (“WRAVL 次数”=BYTECNT 值)。WRAVL 可能会被额外第 5 次置起, 但如果从机在第 4 个数据时收到 NAK, 则写入 I2C\_WDR 的第 5 个数据将不会被发出。*

#### 35.4.4.3.3 TXFIFO 传输的示例序列

通信流程如下:

1. I2C\_BUSTM 寄存器 (写入 h00000102)  
CKDIV=0; DSCL=0; DSDA=0; HSCL=0x1; LSCL=0x2。
2. I2C\_CTRL1 寄存器 (写入 hc00100ff)  
NOSTRCH=0; SBCTL=1; I2CEN=1; 使能所有中断 (包括 FIFO 中断)。
3. I2C\_FIFOCSR 寄存器 (写入 hc8080000)  
TFE=1 (使能发送 FIFO); RFE=1 (使能接收 FIFO); TXILEVEL=8 (发送空位中断触发);  
RXILEVEL=8 (接受空位中断触发)。
4. I2C\_CTRL2 寄存器 (写入 h00040000)  
BYTECNT=0x4; NAK=0; STOP=0; START=0; ADR10=0; RWN=0; SADR=000。

5. I2C\_ADR2寄存器（写入h00008066）  
AD2MSK=000（无掩码）；使能7位地址；I2C从机地址=7'b0110011。
6. 等待中断，读取I2C\_STSINT寄存器  
若ADR位被置为1，表示地址匹配成功。通过写入I2C\_INTCLR.ADRCLR来清除ADR位。
7. 等待中断，读取I2C\_STSINT寄存器  
若FTXIS（发送FIFO服务请求）位被置为1，则向I2C\_WDR依次写入第1个、第2个、第3个、第4个数据。（示例中）从机在第4个数据时收到NAK。  
*注意：FTXIS中断标志将自动清除。*

#### 35.4.4.3.4 TXFIFO 实现无延长发送的示例序列

示例：SCL=1MHz, I2CCLK=8MHz, 发送 4 个字节  
通信流程如下：

1. I2C\_BUSTM 寄存器（写入 h00000102）  
CKDIV=0; DSCL=0; DSDA=0; HSCL=0x1; LSCL=0x2。
2. I2C\_CTRL1 寄存器（写入 hC00200ff）  
NOSTRCH=1; SBCTL=0; I2CEN=1; 使能所有中断（包括 FIFO 中断）。
3. 向 I2C\_WDR 写入第一个数据  
当禁用时钟延长时，必须在设置 I2C\_FIFOC.SR.TFE=1 之前写入第一个数据。
4. I2C\_FIFOC.SR 寄存器（写入 hC8080000）  
TFE=1（使能发送 FIFO）；RFE=1（使能接收 FIFO）；TXILEVEL=8（发送空位中断触发）；  
RXILEVEL=8（接收空位中断触发水平）。
5. I2C\_CTRL2 寄存器（写入 h00040000）  
BYTECNT=0x4; NAK=0; STOP=0; START=0; ADR10=0; RWN=0; SADR=000。
6. I2C\_ADR2 寄存器（写入 h00008066）  
AD2MSK=000（无掩码）；使能 7 位地址；I2C 从机地址=7'b0110011。
7. 等待中断，读取 I2C\_STSINT 寄存器  
若 ADR 位被置为 1，表示地址匹配成功。通过写入 I2C\_INTCLR.ADRCLR 来清除 ADR 位。
8. 等待中断，读取 I2C\_STSINT 寄存器  
若 FTXIS（发送 FIFO 服务请求）位被置为 1，则向 I2C\_WDR 依次写入第 2 个、第 3 个、第 4 个、第 5 个数据。  
*注意：如果从机在第 4 个数据时收到 NAK，则这额外写入的第 5 个字节将不会被发出。*

#### 35.4.4.4 从接收器

当 I2C\_RDR 寄存器数据满时，I2C\_STSINT 寄存器中的 RDAVL（接收数据可用）标志位将被置起。若 I2C\_CTRL1 寄存器中的 RDRIE（接收数据中断使能）位已设置，则会生成中断。读取 I2C\_RDR 寄存器后，RDAVL 标志位将被清除。

当接收到停止条件（STOP）且 I2C\_CTRL1 寄存器中的 STOPIE（停止条件中断使能）位已设置时，I2C\_STSINT 寄存器中的 STOPF（停止条件标志）将被置起并产生中断。

##### 35.4.4.4.1 DMA 接收的示例序列

示例：SCL=100kHz, I2CCLK=8MHz, 接收 4 个字节。

通信流程如下：

1. I2C\_BUSTM 寄存器（写入 h00012526）  
CKDIV=0; DSCL=0; DSDA=0x1; HSCL=0x25; LSCL=0x26。
2. I2C\_ADR1 寄存器（写入 h00008066）  
使能 7 位地址；I2C 从机地址=7'b0110011。
3. I2C\_CTRL1 寄存器（写入 h0001C001）  
NOSTRCH=0; SBCTL=1; DMARDEN=1（使能 DMA 接收）；DMAWREN=1（使能 DMA 发送）；  
I2CEN=1。
4. I2C\_CTRL2 寄存器写入（h00040000）  
BYTECNT=0x4; NAK=0; STOP=0; START=0; ADR10=0; RWN=0; SADR=000。
5. 等待中断，读取 I2C\_STSINT 寄存器  
若 ADR 位被置为 1，表示地址匹配成功。通过写入 I2C\_INTCLR.ADRCLR 来清除 ADR 位。
6. dma\_rx\_req 与 dma\_rx\_ack 时序启动  
硬件开始从 I2C 总线接收第 1 个字节并发送至 DMA，此过程对第 2、3、4 个字节重复执行；在 DMA 模式下无需使用 RDAVL 中断。

## 35.4.5 I2C 主机模式

### 35.4.5.1 I2C 主机初始化

I2C 主机时钟通过 I2C\_BUSTM 寄存器中的 HSCL 和 LSCL 进行配置。

为了支持多主机时钟同步：

时钟低电平由 LSCL 计数器计时，计数始于内部检测到 SCL 为低电平之后。

时钟高电平由 HSCL 计数器计时，计数始于内部检测到 SCL 为高电平之后。

具体工作流程如下：

低电平控制：I2C 模块在 SCL 下降沿、经过输入噪声滤波和同步延迟后，检测到自身 SCL 为低电平。随后，一旦 LSCL 计数器达到 I2C\_BUSTM 寄存器中 LSCL[7:0]位的设定值，模块就会释放 SCL 线，使其变为高电平。

高电平控制：I2C 模块在 SCL 上升沿、经过输入噪声滤波和同步延迟后，检测到自身 SCL 为高电平。随后，一旦 HSCL 计数器达到 I2C\_BUSTM 寄存器中 HSCL[7:0]位的设定值，模块就会将 SCL 线主动拉低。

主机时钟周期为：

$$t_{SCL} = \text{SYNC delay} + \{[(HSCL+1)+(LSCL+1)] \times (CKDIV+1) \times t_{I2CCLK}\}$$

同步延迟的持续时间取决于以下参数：

- SCL 下降沿与上升沿斜率
- 模拟+数字滤波器（若使能）引入的输入延迟
- SCL 与 I2CCLK 时钟同步所产生的延迟

主机通信初始化（地址阶段）

要启动传输，请在 I2C\_CTRL2 寄存器中为寻址的从机配置以下参数：

- 寻址模式（7 位或 10 位）：ADR10
- 待发送的从机地址：SADR[9:0]
- 传输方向：RWN
- 对于 10 位地址读取：HDR10 位。必须配置 HDR10 以指示是需要发送完整的地址序列，还是仅当方向改变时发送首部
- 待传输的字节数：BYTECNT[7:0]。若字节数等于或大于 255 字节，则 BYTECNT[7:0] 初始值必须填充为 0xFF

当在 I2C\_CTRL2 寄存器中设置 START 位后，若总线处于空闲状态（BUSY=0），主设备将在经过 tBUF 延时后发送起始条件及从机地址。

若发生仲裁丢失，主设备将切换回从机模式，并在被寻址时应答自身地址。

在 10 位寻址模式下，当从机地址的前 7 位收到从机的非应答信号（NACK）时，主设备将自动重发从机地址，直至收到应答（ACK）。若持续收到非应答信号，则设置 ADDRCF 标志位以停止发送从机地址。

收到地址非应答信号后，设置 STOP 位可发送停止条件，或设置 START 位以重新开始通信。

#### 主设备接收模式下的 10 位地址从机初始化

若从机地址为 10 位格式，可通过清零 I2C\_CTRL2 寄存器中的 HDR10 位，选择发送完整的读操作序列。设置 START 位后，主设备将自动发送以下完整序列：(重复)起始信号+10 位从机地址头字节（写方向）+从机地址第二字节+重复起始信号+10 位从机地址头字节（读方向）。

如果主设备寻址一个 10 位地址的从机，先向该从机发送数据，随后从同一从机读取数据，则必须先完成一次主设备发送流程。随后，将 HDR10 位配置为 1 以设置重复起始条件并指定 10 位从机地址。此时，主设备将发送以下序列：重复起始信号+10 位从机地址头字节（读方向）。

#### 35.4.5.2 主发送器

在写传输过程中，每成功发送一个数据字节（在第 9 个 SCL 时钟脉冲收到 ACK 应答）时，WRAVL 标志位将被置起。

若 I2C\_CTRL1 寄存器中的 WDRIE 位已置位，则 WRAVL 事件将产生中断。向 I2C\_WDR 寄存器写入下一个待发送数据字节时，该标志位将被清除。

传输过程中 WRAVL 事件的发生次数对应于 BYTECNT[7:0] 中编程设定的数值。若要发送的数据字节总数大于 255，则必须通过置位 I2C\_CTRL2 寄存器中的 REFILL 位来选择重填模式。当 BYTECNT 设定的字节数传输完成后，TFCR 标志位将被置起，同时 SCL 线将被拉低保持（时钟拉伸），直至向 BYTECNT[7:0] 写入非零值。

若收到 NAK 非应答信号，则 WRAVL 标志位不会被置起。

当 REFILL=0 且 BYTECNT 设定的字节数传输完成：

- 自动停止模式（AUTOSTOP=1）下，将自动发送 STOP 停止位。
- 软件停止模式（AUTOSTOP=0）下，TFC 标志位将被置起，同时 SCL 线被拉低保持以执行软件操作：

在 I2C\_CTRL2 寄存器中配置正确的从机地址和待传输字节数，并置位 START 位来请求发送重复起始条件。置位 START 位将清除 TFC 标志，并在总线上发送起始信号。

通过置位 I2C\_CTRL2 寄存器中的 STOP 位来请求发送停止条件。置位 STOP 位将清除 TFC 标志，并在总线上发送停止信号。

若收到 NAK 非应答信号：WRAVL 标志位不会被置起，且在收到 NAK 后将自动发送停止条件。同时，I2C\_STSINT 寄存器中的 NAKF 标志位将被置起，若 NAKIE 位已置位则会产生中断。

#### 35.4.5.2.1 TXFIFO 进行传输的示例序列

例如：SCL=1MHz, I2CCLK=8MHz, 传输 16 字节  
通信流程如下：

1. I2C\_BUSTM(写入 h00000102)  
CKDIV=0; DSCL=0; DSDA=0; HSCL=0x1; LSCL=0x2;
2. I2C\_FIFOCSR(写入 hC8080000)  
TFE=1; RFE=1; TXILEVEL=8; RXILEVEL=8.
3. I2C\_CTRL1(写入 hC00000ff)  
NOSTRCH=0; SBCTL=0; I2CEN=1; 使能所有中断（包括 FIFO 中断）。
4. I2C\_CTRL2 (写入 h02102066)  
AUTOSTOP=1; BYTECNT=16; NAK=0; STOP=0; START=1; ADR10=0; RWN=0; SADR=0x066.
5. 等待 10 微秒以确保配置完成。
6. 等待中断，读取 I2C\_STSINT  
若 FTXIS 位被置 1，则向 I2C\_WDR 写入第 1 个数据、写入第 2 个数据……直至写入第 8 个数据。
7. 等待中断，再次读取 I2C\_STSINT  
若 FTXIS 位被置 1，则向 I2C\_WDR 写入第 9 个数据、写入第 10 个数据……直至写入第 16 个数据。  
*注意: FTXIS 中断标志将自动清除。*

#### 35.4.5.2.2 高速模式进行传输的示例序列

例如：SCL=3.4MHz, I2CCLK=48MHz, 传输 8 字节。  
通信流程如下：

1. I2C\_GFLTRCTRL(写入 h00000000)
2. 设置为较低的模拟噪声滤波器配置;
3. I2C\_HSBUSTM(写入 h00010207)  
高速模式 SCL=3.4MHz; KDIV=0; HSDSCL=0; HSDSDA=1; HSHSCL=2; HSLSCL=7;  
注意：此配置仅用于高速模式（3.4MHz），SCL 高电平与低电平时间比约为 104:187。
4. I2C\_BUSTM(写入 h80330309)  
快速模式 SCL=267kHz; CKDIV=0; DSCL=3; DSDA=3; HSCL=0x03; LSCL=0x9;
5. 等待 50 微秒以确保配置完成。
6. I2C\_CTRL1(写入 h000000ff)  
NOSTRCH=0; SBCTL=0; I2CEN=1; 使能所有中断。



7. I2C\_CTRL2(写入 h0008200C)  
BYTECNT=0x8; NAK=0; STOP=0; START=1; ADR10=0; RWN=0; SADR=0x00C (主设备代码=00001xxx)。
8. 等待 50 微秒以确保配置完成
9. I2C\_CTRL2 写入(h00082066)  
BYTECNT=0x8; NAK=0; STOP=0; START=1 (发送起始条件); ADR10=0; RWN=0; SADR=0x066。
10. 等待中断, 读取 I2C\_STSINT  
若 WRAVL 位被置 1, 则向 I2C\_WDR 写入第 1 个数据。
11. 等待中断, 读取 I2C\_STSINT  
若 WRAVL 位被置 1, 则向 I2C\_WDR 写入第 2 个数据。
12. 第 3 至第 8 个数据重复相同步骤
13. I2C\_CTRL2 (写入 h00084066)  
STOP=1 (发送停止条件); START=0;  
*注意: 若设置了 AUTOSTOP (自动停止), 则无需通过软件发送停止条件, 此步骤可忽略。*

### 35.4.5.3 主接收器

若 I2C\_CTRL1 寄存器中的 RDRIE 位已置位, 则 RDAVL 事件将产生中断。读取 I2C\_RDR 寄存器时, 该标志位将被清除。若需接收的数据字节总数大于 255, 则必须通过置位 I2C\_CTRL2 寄存器中的 REFILL 位来选择重填模式。在此模式下, 当 BYTECNT[7:0]设定的字节数传输完成后, TFCR 标志位将被置起, 同时 SCL 线将被拉低保持 (时钟拉伸), 直至向 BYTECNT[7:0]写入非零值。

当 REFILL=0 且 BYTECNT[7:0]设定的字节数传输完成时:

- 自动结束模式 (AUTOSTOP=1) 下, 将在最后一个字节接收完成后自动发送 NAK 及 STOP 停止信号。
- 软件停止模式 (AUTOSTOP=0) 下, 将在最后一个字节接收完成后自动发送 NAK, 随后置起 TFC 标志位并拉低 SCL 线保持, 以便执行软件操作:

通过在 I2C\_CTRL2 寄存器中配置正确的从机地址和待传输字节数, 并置位 START 位来请求发送重复起始条件。置位 START 位将清除 TFC 标志, 随后在总线上发送起始信号及从机地址。

置位 I2C\_CTRL2 寄存器中的 STOP 位来请求发送停止信号。置位 STOP 位将清除 TFC 标志, 并在总线上发送停止信号。

#### 35.4.5.3.1 重复起始条件接收数据的示例序列

例如: SCL=1MHz, I2CCLK=8MHz, 接收 8 字节, 发送重复起始条件以继续接收另外 2 字节。

通信流程如下:

1. I2C\_BUSTM(写入 h00000102)  
CKDIV=0; DSCL=0; DSDA=0; HSCL=0x1; LSCL=0x2;
2. I2C\_CTRL1(写入 h000000ff)  
NOSTRCH=0; SBCTL=0; I2CEN=1; 使能所有中断;

3. I2C\_CTRL2 (写入 h00082467)  
AUTOSTOP=0; REFILL=0; BYTECNT=8; NAK=0; STOP=0; START=1; ADR10=0; RWN=1;  
SADR=0x067。
4. 等待中断, 读取 I2C\_STSINT  
若 RDAVL 位被置 1, 则从 I2C\_RDR 读取第 1 个数据。
5. 等待中断, 读取 I2C\_STSINT  
若 RDAVL 位被置 1, 则从 I2C\_RDR 读取第 2 个数据。
6. 第 3、第 4.....直至第 8 个数据重复相同步骤
7. 等待中断, 读取 I2C\_STSINT  
若 TFC 位被置 1, 表示 8 个数据字节已接收完成。
8. I2C\_CTRL2(写入 h00022467)  
AUTOSTOP=0; REFILL=0; BYTECNT=2 (另外 2 字节); NAK=0; STOP=0; START=1 (发送重复起始条件以清除 TFC 标志); ADR10=0; RWN=1; SADR=0x067。  
*注意: 任何清除 TFC=1 标志的延迟都会导致 SCL 线被拉低保持*
9. 等待中断, 读取 I2C\_STSINT  
若 RDAVL 位被置 1, 则从 I2C\_RDR 读取第 9 个数据。
10. 等待中断, 读取 I2C\_STSINT  
若 RDAVL 位被置 1, 则从 I2C\_RDR 读取第 10 个数据。
11. I2C\_CTRL2(写入 h00024467)  
STOP=1 (发送停止条件); START=0;

#### 35.4.5.3.2 RXFIFO 接收数据的示例序列

例如: SCL=1MHz, I2CCLK=8MHz,接收 10 字节。  
通信流程如下:

1. I2C\_BUSTM(写入 h00000102)  
CKDIV=0; DSCL=0; DSDA=0; HSCL=0x1; LSCL=0x2。
2. I2C\_FIFCSR(写入 hC8080000)  
TFE=1; RFE=1; TXILEVEL=8; RXILEVEL=8。
3. I2C\_CTRL1(写入 hC00000ff)  
NOSTRCH=0; SBCTL=0; I2CEN=1; 使能所有中断 (包括 FIFO 中断)。
4. I2C\_CTRL2(写入 h000A2467)  
AUTOSTOP=0; REFILL=0; BYTECNT=10; NAK=0; STOP=0; START=1; ADR10=0; RWN=1;  
SADR=0x067。
5. 等待 1 微秒以确保配置完成。
6. 等待中断, 读取 I2C\_STSINT。  
若 FRXNE 位被置 1, 则从 I2C\_RDR 读取第 1 个数据、读取第 2 个数据.....直至读取第 8 个数据。
7. 选择以下方法之一处理剩余数据:

**方法 1: 等待中断, 读取 I2C\_STSINT**

若 FRXNE 位被置 1, 则从 I2C\_RDR 读取第 9 个数据、读取第 10 个数据。

注意: 最后剩余的字节数即使少于 RXILEVEL=8 (最后 2 字节), 也会触发 FRXNE=1 中断。

**方法 2: 轮询等待 RXFLEVEL[3:0]**

若 RXFLEVEL=2, 则从 I2C\_RDR 读取第 9 个数据、读取第 10 个数据。

注意: 此操作仅应在读取完前 8 个字节后进行。

**方法 3: 等待中断, 读取 I2C\_STSINT**

若 TFC 位被置 1, 则设置 STOP=1, BYTECNT=2。等待 STOPF=1, 然后从 I2C\_RDR 读取第 9 个数据、读取第 10 个数据。

注意: 此方法仅在 AUTOSTOP=0 时使用。

### 35.4.6 I2C\_BUSTM 与 I2C\_HSBUSTM 配置示例

在 fI2CCLK=48MHz 时, 配置 I2C\_BUSTM 和 I2C\_HSBUSTM 的示例。

表 35-1 I2C 时序设置

寄存器	寄存器位	标准模式(Sm)	快速模式(Fm)	增强快速模式(Fm+)	高速模式(Hm)
		100kHz	400kHz	1MHz	3.4MHz
fCKDIV		8M	8M	8M	48M <sup>(1)</sup>
I2C_BUSTM	CKDIV	0x5	0x5	0x5	0x8
	DSCL	0x0	0x2	0x0	0x3
	DSDA	0x1	0x1	0x0	0x3
	HSCL	0x25	0x6	0x1	0x3
	LSCL	0x26	0x7	0x2	0x9
I2C_HSBUSTM	HsCKDIV	略			0x0 <sup>(1)</sup>
	HsDSCL				0x0
	HsDSDA				0x1
	HsHSCL				0x2
	HsLSCL				0x7

Note(1): 在高速模式下,  $fCKDIV=fI2CCLK/(HSCKDIV+1)$ 。

### 35.4.7 SMBus 特征

#### 35.4.7.1 总线协议

支持的协议包括: 快速命令、发送字节、接收字节、写字节、写字、读字节、读字、过程调用、块读、块写以及块写-块读过程调用。

#### 地址解析协议(ARP)

此外设支持地址解析协议(ARP)。通过设置 I2C\_CTRL1 寄存器中的 SMBD 位, 可以启用 SMBus 设备默认地址(0b1100 001)。ARP 命令由软件实现。为支持 ARP, 在从机模式下也会执行仲裁。

#### 接收命令与数据应答控制

一个 SMBus 接收器必须能够对每个接收到的命令或数据发送非应答信号(NAK)。为了在从机模式下实现应答控制, 需要通过设置 I2C\_CTRL1 寄存器中的 SBCTL 位来启用从机字节控制模式。

### 主机通知协议

此外还支持主机通知协议。通过设置 I2C\_CTRL 寄存器中的 SMBH 位, 主机将应答 SMBus 主机地址(0b0001 000)。使用此协议时, 设备作为主设备, 而主机作为从设备。

### SMBus 报警

一个仅作为从设备的设备可以通过 SMBA 引脚向主机发出希望通信的信号。主机处理该中断, 并同时通过警报响应地址(0b0001 100)访问所有 SMBA 设备。只有将 SMBA 引脚拉低的设备才会应答此警报响应地址。

当配置为从设备 (SMBH=0) 时, 通过设置 I2C\_CTRL1 寄存器中的 ALRTEN 位, 可将 SMBA 引脚拉低。警报响应地址也会同时被启用。

当配置为主机 (SMBH=1) 时, 如果在 SMBA 引脚检测到下降沿且 ALRTEN=1, 则 I2C\_STSINT 寄存器中的 ALRT 标志位将被置起。若 I2C\_CTRL1 寄存器中的 ERRIE 位已置位, 将产生中断。当 ALRTEN=0 时, 即使外部 SMBA 引脚为低电平, ALRT 线路仍被视为高电平。

## 35.4.7.2 SMBus 初始化

### 接收命令与数据应答控制 (从机模式)

SMBus 接收器能够对每个接收到的命令或数据发送 NAK 信号。为了在从机模式下实现 ACK 控制, 需要通过设置 I2C\_CTRL1 寄存器中的 SBCTL 位来启用从机字节控制模式。

### 特定地址 (从机模式)

- 通过设置 I2C\_CTRL1 寄存器中的 SMBD 位, 启用 SMBus 设备默认地址(0b1100 001)。
- 通过设置 I2C\_CTRL1 寄存器中的 SMBH 位, 启用 SMBus 主机地址(0b0001 000)。
- 通过设置 I2C\_CTRL1 寄存器中的 ALRTEN 位, 启用报警响应地址(0b0001100)。

### 数据包错误校验

数据包错误校验通过在每次传输的末尾附加一个数据包错误校验码来实现。CRC 使用多项式  $C(x)=x^8+x^2+x+1$  (CRC-8) 对所有字节 (包括地址和读/写位) 进行计算。

该外设内置硬件 CRC 计算器, 并在接收到的字节与硬件计算的 CRC 不匹配时, 允许自动发送 NACK。

通过设置 I2C\_CTRL1 中的 CRCEN 位来启用 CRC 计算, CRC 传输使用位于 I2C\_CTRL2 中的字节计数器 BYTECNT[7:0], CRCEN 位需在启用 I2C 之前配置。

在以从机模式连接 SMBus 时, 必须设置 SBCTL 位。当 CRCBYTE 位置位且 REFILL 位清零时, CRC 将在传输完 BYTECNT-1 个数据字节后被传输。

### SMBus CRC 配置

表 35-2 I2C 配置

模式	SBCTL 位	REFILL 位	AUTOSTOP 位	CRCBYTE 位
主设备发送/接收 BYTECNT+CRC+STOP	x	0	1	1
主设备发送/接收 BYTECNT+CRC+ReSTART	x	0	0	1
从设备发送/接收 (带 CRC)	1	0	x	1

## 超时检测

### ■ tTMOUT 检查

要启用 tTMOUT 检查, 需将 12 位 TMOUTA[11:0]位编程为定时器重装值, 以检查 tTMOUT 参数。TMIDLE 位需设置为‘0’以检测 SCL 低电平超时。然后通过设置 TMOUTEN 位来启用该定时器。

如果 SCL 被拉低的时间超过 $(TMOUTA+1) \times 2048 \times tI2CCLK$ , 则 I2C\_STSINT 寄存器中的 TMOUT 标志位将被置起。

### ■ tLOW: SEXT 和 tLOW:MEXT 检查

12 位的 TMOUTB 定时器被配置用于检查从设备的 tLOW:SEXT 和主设备的 tLOW:MEXT。该定时器通过 TMEXTEN 位启用。如果 SMBus 外设进行 SCL 时钟拉伸的时间超过 $(TMOUTB+1) \times 2048 \times tI2CCLK$ , 则 I2C\_STSINT 寄存器中的 TMOUT 标志位将被置起。

## 总线空闲检测

此外设支持硬件总线空闲检测。

要启用 tIDLE 检查, 需将 12 位的 TMOUTA[11:0]字段填入定时器重装值, 以获取 tIDLE 参数。设置 TMIDLE 位以检测 SCL 和 SDA 均为高电平的超时。通过设置 TMOUTEN 位来启用定时器。

如果 SCL 和 SDA 线路保持高电平的时间超过 $(TMOUTA+1) \times 4 \times tI2CCLK$ , 则 I2C\_STSINT 寄存器中的 TMOUT 标志位将被置起。

## SMBus I2C\_TMOUTR 寄存器配置示例

TMOUTA 配置示例 (最大 tIDLE=50μs)

表 35-3 TMOUTA TMIDLE=1

f <sub>I2CCLK</sub>	TMOUTA[11:0]位	TMIDLE 位	TMOUTENbit	t <sub>IDLE</sub>
8 MHz	0x63	1	1	100x4x125ns=50μs
48 MHz	0x257	1	1	600x4x20.08ns=50μs
327 MHz	0xFF	1	1	4095x4x3ns=50us

TMOUTB 配置示例

表 35-4 TMOUTB

f <sub>I2CCLK</sub>	TMOUTB[11:0]位	TMEXTEN 位	t <sub>LOW:EXT</sub>
8MHz	0x1F	1	32x2048x125ns=8ms
48MHz	0xBB	1	188x2048x20.08ns=8ms
1048MHz	0xFF	1	4095x2048x0.95ns=8ms

TMOUTA 配置示例 (最大 tTMOUT=25ms)

表 35-5 TMOUTA TMIDLE=0

f <sub>I2CCLK</sub>	TMOUTA[11:0]bits	TMIDLE bit	TMOUTEN bit	t <sub>TMOUT</sub>
8MHz	0x61	0	1	98x2048x125ns=25ms
48MHz	0x249	0	1	586x2048x20.08ns=25ms
335MHz	0xFF	0	1	4095x2048x3ns=25ms

### 35.4.7.3 SMBus 从发送器

在 SMBus 模式下, 必须将 SBCTL 位编程为‘1’, 以允许 CRC 传输。当 CRCBYTE 位置位时, BYTECNT[7:0] 中编程的字节数包含 CRC 字节。在这种情况下, WRAVL 中断的总次数为 BYTECNT-1。如果在传输完 BYTECNT-1 个数据字节后, 主设备请求额外的字节, 则 I2C\_CRCCR 寄存器中的内容 (即计算好的 CRC 值) 将被自动发送。

#### 35.4.7.3.1 CRC+DMA 进行传输的示例序列

1. 例如: SCL=100kHz, I2CCLK=8MHz, 传输 4 字节数据+1 字节 CRC  
通信流程如下:
2. I2C\_BUSTM(写入 h00012526)  
CKDIV=0; DSCL=0; DSDA=1; HSCL=0x25; LSCL=0x26;
3. I2C\_ADR1(写入 h00008066)  
AD1EN=1; 启用 7 位地址; 从机地址=7'b0110011;
4. I2C\_CTRL1(写入 h0081C001)  
CRCEN=1; NOSTRCH=0; SBCTL=1; DMARDEN=1; DMAWREN=1; I2CEN=1;
5. I2C\_CTRL2(写入 h04050000)  
CRCBYTE=1; REFILL=0; BYTECNT=0x5; NAK=0; STOP=0; START=0; ADR10=0; RWN=0; SADR=000。
6. 轮询等待 I2C\_STSINT  
若 ADR 位被置 1, 表示地址匹配。通过写入 I2C\_INTCLR.ADRCLR 来清除 ADR 位。
7. I2C\_CTRL1 (写入 h0081C001)  
CRCEN=1; NOSTRCH=0; SBCTL=1; DMARDEN=1; DMAWREN=1; I2CEN=1;
8. I2C\_CTRL2 (写入 h04050000)  
CRCBYTE=1 (在地址匹配后需重置); REFILL=0; BYTECNT=0x5; NAK=0; STOP=0; START=0;  
ADR10=0; RWN=0; SADR=000。
9. 轮询等待 I2C\_STSINT  
若 ADR 位被置 1, 表示地址匹配。通过写入 I2C\_INTCLR.ADRCLR 来清除 ADR 位。
10. dma\_tx\_req 和 dma\_tx\_ack 序列开始  
硬件开始从 DMA 接收第 1 个字节并发送到 I2C 总线, 对第 2、3、4 字节重复此过程, 然后发送 1 个 CRC 到 I2C 总线。在 DMA 模式下无需使用 WRAVL 中断。

### 35.4.7.4 SMBus 从接收器

在 SMBus 模式下, BCTL 位编程为 1 以启用 CRC 校验。为实现对每个字节的应答控制, 用重填模式 (REFILL=1)。

在校验 CRC 字节时, REFILL 位并置位 CRCBYTE 位。在接收完 BYTECNT-1 个数据字节后, 个接收到的字节将与内部的 I2C\_CRCCR 寄存器值进行比较: 比较不匹配, 则生成 NAK; 若比较匹配, 则生成 ACK (无论 ACK 位的值如何)。接收到的 CRC 字节将被复制到 I2C\_RDR, 且 RDAVL 标志位会置位。若 CRC 不匹配, CRCERR 标志位将被置起; 若 I2C\_CTRL1 寄存器中的 ERRIE 位已置位, 将产生中断。

#### 35.4.7.4.1 CRC+10 位地址进行接收的示例序列

1. I2C\_BUSTM(写入 h00012526)  
CKDIV=0; DSCL=0; DSDA=1; HSCL=0x25; LSCL=0x26。
2. I2C\_CTRL1(写入 h008100ff)  
CRCEN=1; NOSTRCH=0; SBCTL=1; I2CEN=1; 使能所有中断。
3. I2C\_ADR1(写入 h00008733)  
AD1EN=1; 启用 10 位地址; 从机地址=10'b1100110011。
4. 等待中断, 读取 I2C\_STSINT  
若 ADR 位被置 1, 表示地址匹配。通过写入 I2C\_INTCLR.ADRCLR 来清除 ADR 位。
5. I2C\_CTRL1(写入 h008100ff)  
CRCEN=1; NOSTRCH=0; SBCTL=1; I2CEN=1; 使能所有中断。
6. I2C\_CTRL2(写入 h04050000)  
CRCBYTE=1; REFILL=0; BYTECNT=0x5; NAK=0; STOP=0; START=0; ADR10=0; RWN=0;  
SADR=000。
7. 等待中断, 读取 I2C\_STSINT  
若 RDAVL 位被置 1, 从 I2C\_RDR 读取第 1 个数据。
8. 第 2、3、4 个数据及 1 个 CRC 字节重复相同步骤。
9. 等待中断, 读取 I2C\_STSINT。  
若 STOPF 位被置 1, 表示从机接收到停止条件。通过写入 I2C\_INTCLR.STOPCLR 来清除 STOPF 位。

#### 35.4.7.5 SMBus 主发送器

若 SMB 主机欲传输 CRC, 设置 CRCBYTE 位, 设置 START 位前将字节数写入 BYTECNT[7:0]寄存器, WRAVL 中断的总次数为 BYTECNT-1。若在 BYTECNT=0x1 时设置 CRCBYTE 位, 输 I2C\_CRCCR 寄存器的内容。

若 SMB 主机希望在 CRC 传输后发送停止条件, 置自动停止模式 (AUTOSTOP=1), 条件将在 CRC 传输结束后发出。

当 SMB 主机需要在 CRC 传输后发送重启条件时, 择软件模式 (AUTOSTOP=0)。当 BYTECNT-1 个字节传输完成后, 送 I2C\_CRCCR 寄存器的内容并置位 TFC 标志位, 拉低 SCL 线以保持时钟延展。重启条件需在 TFC 中断服务子程序中进行编程设置。

##### 35.4.7.5.1 CRC+DMA 进行传输的示例序列

例如: SCL=100kHz, I2CCLK=48MHz, 传输 1 字节数据+1 字节 CRC。

通信流程如下:

I2C\_BUSTM 寄存器(写入 h50012526)。

CKDIV=5; DSCL=0; DSDA=1; HSCL=0x25; LSCL=0x26。

I2C\_CTRL1 寄存器(写入 h0082C0B9)。

CRCEN=1; NOSTRCH=1; SBCTL=0; DMARDEN=1; DMAWREN=1; I2CEN=1; 使能所有中断。

I2C\_CTRL2 寄存器(写入 h6022066)。

CRCBYTE=1; AUTOSTOP=1; REFILL=0; BYTECNT=0x2; NAK=0; STOP=0; START=1; ADR10=0; RWN=0; SADR=0x066。

dma\_tx\_req (DMA 发送请求) 与 dma\_tx\_ack (DMA 发送应答) 序列启动。

硬件自动从 DMA 接收第 1 个字节并将其发送到 I2C 总线, 然后发送 1 字节 CRC 到 I2C 总线, 最后自动发送 STOP 信号。

#### 35.4.7.6 SMBus 主接受器

在 SMB 模式下, 需将 SBCTL 位设置为'1'以启用 CRC 校验功能。为允许对每个字节进行 ACK 控制, 需开启重装模式 (REFILL=1)。

当需要校验 CRC 字节时, 应在接收完 BYTECNT-1 个数据后, 清除 REFILL 位并设置 CRCBYTE 位。随后接收到的下一个字节将与内部 I2C\_CRCCR 寄存器的值进行比较: 若两者不匹配, 则生成 NAK; 若匹配, 则生成 ACK (此行为不受 ACK 位值影响)。接收到的 CRC 字节将被复制到 I2C\_RDR 寄存器, 同时 RDAVL 标志位置位。

若 CRC 校验不匹配, CRCERR 标志位将被置位, 并且当 I2C\_CTRL1 寄存器中的 ERRIE 位使能时, 将产生相应中断。

#### 35.4.7.7 CRC 接收的示例序列

例如: SCL=100kHz, I2CCLK=8MHz, 接收 8 字节数据+1 字节 CRC。

通信流程如下:

1. I2C\_BUSTM 寄存器(写入 h00012526)。
2. CKDIV=0; DSCL=0; DSDA=1; HSCL=0x25; LSCL=0x26;
3. I2C\_CTRL1 寄存器(写入 h008000ff)。
4. CRCEN=1; NOSTRCH=0; SBCTL=0; I2CEN=1; 使能所有中断。
5. I2C\_CTRL2 寄存器(写入 h06092466)。
6. CRCBYTE=1; AUTOSTOP=1; REFILL=0; BYTECNT=9; NAK=0; STOP=0; START=1; ADR10=0; RWN=1; SADR=0x066。
7. 等待中断, 读取 I2C\_STSINT 寄存器状态。
8. 若 RDAVL 位被置为 1, 则从 I2C\_RDR 寄存器读取第 1 个数据。
9. 等待中断, 读取 I2C\_STSINT 寄存器状态。
10. 若 RDAVL 位被置为 1, 则从 I2C\_RDR 寄存器读取第 2 个数据。
11. 第 3、第 4...第 8 个数据以及最后的 1 字节 CRC, 重复执行相同的读取操作。

### 35.4.8 错误情况

#### 总线错误(BSER)

当在非 9 个 SCL 时钟脉冲整数倍的位置检测到起始 (START) 或停止 (STOP) 条件时, 将判定为总线错误。起始或停止条件的检测依据是: 在 SCL 为高电平时, SDA 线上出现跳变。

仅当 I2C 模块作为主设备或在寻址阶段后被确认为从设备 (即非寻址阶段的从模式下不触发) 参与传输



时,才会置位总线错误标志。

检测到总线错误时, I2C\_STSINT 寄存器中的 BSER 标志将被置位。若 I2C\_CTRL1 寄存器中的 ERRIE 位已使能,则会生成相应中断。

### 仲裁丢失

当在 SDA 线上输出高电平,但在 SCL 上升沿采样到低电平时,即判定为仲裁丢失。

- 在主模式下,仲裁丢失可能发生在地址阶段、数据阶段以及数据应答阶段。在此情况下,SDA 和 SCL 线路将被释放,START 控制位由硬件自动清零,且主设备将自动切换至从模式。
- 在从模式下,仲裁丢失可能发生在数据阶段以及数据应答阶段。在此情况下,传输将被中止,SCL 和 SDA 线路将被释放。

当检测到仲裁丢失时, I2C\_STSINT 寄存器中的 ABLO 标志位将被置位。若 I2C\_CTRL1 寄存器中的 ERRIE 位已置位,则将产生中断。

## 溢出/下溢错误

在从机模式下，当 NOSTRCH=1 且满足以下条件时，将检测到溢出或下溢错误：

接收时，当新字节已接收但 RDR 寄存器尚未被读取。新接收的字节将丢失，并向该新字节回复 NAK。

发送时，当 STOPF=1 且应发送第一个数据字节时，若 WRE=0 则发送 I2C\_WDR 寄存器的内容；否则发送 0xFF。

当需要发送新字节但 I2C\_WDR 寄存器尚未写入时，发送 0xFF。

当检测到溢出或下溢错误时，I2C\_STSINT 寄存器中的 OVF 标志将被置位。若 I2C\_CTRL1 寄存器中的 ERRIE 位已置位，则将产生中断。

## 数据包错误校验错误(CRCERR)

对于 SMBus，当接收到的 CRC 字节与 I2C\_CRCR 寄存器的内容不匹配时，I2C\_STSINT 寄存器中的 CRCERR 标志将被置位。系统会自动发送 NAK 作为响应，并且若 I2C\_CTRL1 寄存器中的 ERRIE 位已置位，则将产生中断。

## 超时错误(TMOUT)

对于 SMBus，发生超时错误的情况如下：

- TMIDLE=0 且 SCL 线持续保持低电平的时间达到 TMOUTA[11:0]位所定义的时长：此机制用于检测 SMBus 超时。
- TMIDLE=1 且 SDA 和 SCL 线均持续保持高电平的时间达到 TMOUTA[11:0]位所定义的时长：此机制用于检测总线空闲状态。
- 主机累积时钟低电平扩展时间达 TMOUTB[11:0]位所定义的时长（对应 SMBus 的 tLOW:MEXT 参数）。
- 从机累积时钟低电平扩展时间达 TMOUTB[11:0]位所定义的时长（对应 SMBus 的 tLOW:SEXT 参数）。

当在主模式下检测到超时违规时，系统将自动发送一个 STOP 条件。

当在从模式下检测到超时违规时，SDA 和 SCL 线路将被自动释放。

当检测到超时错误时，I2C\_STSINT 寄存器中的 TMOUT 标志将被置位，并且若 I2C\_CTRL1 寄存器中的 ERRIE 位已置位，则将产生中断。

## 报警信号

当 I2C 接口配置为主机（SMBH=1），且报警引脚检测功能使能（ALRTEN=1）时，若在 SMBA 引脚上检测到下降沿，则 ALRT 标志位将被置位。若 I2C\_CTRL1 寄存器中的 ERRIE 位已置位，则将产生中断。

## 35.4.9 使用 DMA 进行发送

通过设置 I2C\_CTRL1 寄存器中的 DMAWREN 位可启用 DMA 传输。当 WRAVL 位被置位时，数据便会从 DMA 加载到 I2C\_WDR 寄存器，只有数据部分通过 DMA 传输。

- 在主模式下：软件负责配置初始化、从机地址、方向、字节数并设置 START 位。DMA 需在设置 START 位之前完成初始化，传输结束由 BYTECNT 计数器决定。
- 在从模式下：DMA 需在地址匹配事件发生之前，或在 ADR 中断服务子程序中、清除 ADR 标志之前完成初始化。

### 35.4.10 使用 DMA 进行接收

通过设置 I2C\_CTRL1 寄存器中的 DMARDEN 位可启用 DMA 接收。当 RDAVL 位被置位时，数据便会从 I2C\_RDR 寄存器加载到 DMA。仅数据（包括 CRC）通过 DMA 传输。

- 主模式下：接收序列与前述（使用 DMA 进行传输）相同。
- 从模式下且 NOSTRCH=0 时：必须在地址匹配事件发生之前，或在 ADR 中断服务子程序中、清除 ADR 之前完成 DMA 初始化。

CRC 传输通过 BYTECNT 计数器进行管理。

### 35.4.11 FIFO 控制器的限制

启用 FIFO 时，内部突发计数器依赖于对 I2C 进行 WRREG 写入或 RDREG 读取的精确次数。因此，软件不应进行不必要的过多读取或写入操作，例如：在 TXFIFO 已满时仍尝试写入（在没有 FTXIS 中断时仍写入 WRREG），或在 RXFIFO 已空时仍尝试读取（在没有 FRXNE 中断时仍读取 RDREG）。

在从机 NOSTRCH=1 的发送模式下，第一个数据需要在启用 TXFIFO 之前以及 START 条件之前写入，并且最后一个额外数据始终不会被发送（WRE=0）。因此，若希望在首次传输完成后重新执行相同操作，软件需按以下步骤进行：

禁用 TXFIFO（TFE=0），等待 2 个 PCLK 时钟周期。

写入 WRE=1。

写入第一个数据。

再次启用 TXFIFO（TFE=1）。

等待 ADR 及 FTXIS 中断。

### 35.4.12 I2C 中断

表 35-6 I2C 中断请求

中断事件	事件标志	事件标志/中断清除方法	中断使能位
接收缓冲区非空	RDAVL	读 I2C_RDR 寄存器	RDRIE
发送缓冲区为空	WRAVL	写 I2C_WDR 寄存器	WDRIE
收到停止位(从)	STOPF	写 STOPCLR=1	STOPIE
传输完成等待重载	TFCR	写 BYTECNT 非零值	TFCIE
传输完成	TFC	写 START=1 or STOP=1	
地址已发送(主)或地址匹配(从)	ADR	写 ADRCLR=1	ADRIE
接收到 NACK 应答	NAKF	写 NAKCLR=1	NAKIE
总线错误	BSER	写 BSERCLR=1	ERRIE
仲裁丢失(主)	ABLO	写 ABLOCLR=1	
过载/欠载	OVF	写 OVFLCLR=1	
PEC 错误	CRCERR	写 CRCCLR=1	
超时/tLOW 错误	TMOUT	写 TMOUTCLR=1	

SMBus 报警	ALRT	写 ALRTCLR=1	
接收 FIFO 不为空	FRXNE	连续读取 I2C_RDR 寄存器, 直至 RXFIFO 为空	FRXIE
传输 FIFO 中断状态	FTXIS	连续向 I2C_WDR 寄存器写入 N 次 (N=TXILEVEL 或 BYTECNT)	FTXIE

### 35.4.13 I2C 调试模式

当微控制器进入调试模式（内核暂停）时，SMBus 超时功能将根据 DBG（调试）模块中的 I2Cx\_STOP 配置位设置，决定其继续正常工作或停止运行。

## 35.5 I2C 寄存器

### 35.5.1 I2C 控制寄存器 1(I2C\_CTRL1)

地址偏移：0x0000

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FTXIE	FRXIE	DFX						CRCEN	ALRTEN	SMBD	SMBH	GENC	Reserved	NOSTRCH	SBCTL
rw	rw	rw						rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMARDEN	DMAWREN	Reserved	AFOFF	DF				ERRIE	TFCIE	STOPIE	NAKIE	ADRIE	RDRIE	WDRIE	I2CEN
rw	rw		rw	rw				rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31	FTXIE	TXFIFO 中断使能 0：禁用发送（FTXIS）中断； 1：使能发送（FTXIS）中断。
30	FRXIE	RXFIFO 中断使能 0：禁用接收（FRXNE）中断； 1：使能接收（FRXNE）中断。
29:24	DFX	数字噪声滤波器 此字段为 10 位数字噪声滤波器的高 6 位。DF10={DFX, DF}。 这些位用于配置 SDA 和 SCL 输入端的数字噪声滤波器。该数字滤波器可滤除脉冲宽度不超过 DF10*iI2CCLK 的毛刺。 DF10=0000000000：禁用数字滤波器； DF10=0000000001：使能数字滤波器，滤波能力最长为 1 个时钟周期； ... DF10=1111111111：使能数字滤波器，滤波能力最长为 1023 个时钟周期。
23	CRCEN	CRC 使能（若 CRCBYTE=1, 则必须置 1） 0：禁用 CRC 计算；

		1: 使能 CRC 计算。 如果 BYTECNT=1 且从设备意图只发送 1 个数据而非 CRC: 则此位需在地址被识别前设为 0。 如果 BYTECNT=1 且从设备意图只发送 CRC 而非 1 个数据: 则此位需在地址被识别前设为 1。
22	ALRTEN	SMBus 报警使能 0: 不支持 SMBus 报警引脚 (SMBA); 1: 在主机模式 (SMBH=1) 下支持 SMBus 报警引脚。在设备模式 (SMBH=0) 下, SMBA 引脚被驱动为低电平, 并使能报警响应地址头 (0001100x 后跟 ACK)。
21	SMBD	SMBus 设备默认地址使能 0: 禁用设备默认地址。地址 0b1100001x 将回复 NAK; 1: 使能设备默认地址。地址 0b1100001x 将回复 ACK。
20	SMBH	SMBus 主机地址使能 0: 禁用主机地址。地址 0b0001000x 将回复 NAK; 1: 使能主机地址。地址 0b0001000x 将回复 ACK。
19	GENC	广播使能 0: 禁用广播。地址 0b00000000 将回复 NAK; 1: 使能广播。地址 0b00000000 将回复 ACK。
18	Reserved	保留位, 必须保持其复位值。
17	NOSTRCH	时钟延长使能 此位在从模式下禁用时钟延长。在主模式下必须保持为 0。 0: 使能时钟延长; 1: 禁用时钟延长。
16	SBCTL	从机字节控制 此位用于在从模式下使能硬件字节控制。 0: 禁用从机字节控制; 1: 使能从机字节控制。
15	DMARDEN	DMA 接收请求使能 0: 禁用接收的 DMA 模式; 1: 使能接收的 DMA 模式。
14	DMAWREN	DMA 发送请求使能 0: 禁用发送的 DMA 模式; 1: 使能发送的 DMA 模式。
13	Reserved	保留位, 必须保持其复位值。
12	AFOFF	模拟噪声滤波器主开关 0: 使能模拟噪声滤波器; 1: 禁用模拟噪声滤波器。 更多关于 SCL 和 SDA 模拟滤波器的设置在寄存器 I2C_GFLTRCTRL 中。
11:8	DF	数字噪声滤波器 此字段为 10 位数字噪声滤波器的低 4 位, DF10={DFX, DF}...。 这些位用于配置 SDA 和 SCL 输入端的数字噪声滤波器。该数字滤波器可滤除脉冲宽度不超过 DF10*I2CCLK 的毛刺。 DF10=0000000000: 禁用数字滤波器;

		DF10=000000001: 使能数字滤波器, 滤波能力最长为 1 个时钟周期; ... DF10=111111111: 使能数字滤波器, 滤波能力最长为 1023 个时钟周期。
7	ERRIE	错误中断使能 0: 禁用错误检测中断; 1: 禁用错误检测中断。
6	TFCIE	传输完成中断使能 0: 禁用传输完成中断; 1: 使能传输完成中断。
5	STOPIE	停止检测中断使能 0: 禁用停止检测 (STOPF) 中断; 1: 使能停止检测 (STOPF) 中断。
4	NAKIE	未收到应答中断使能 0: 禁用未收到应答 (NAKF) 中断; 1: 使能未收到应答 (NAKF) 中断。
3	ADRIE	地址匹配中断使能 (仅从机) 0: 禁用地地址匹配 (ADR) 中断; 1: 使能地址匹配 (ADR) 中断。
2	RDRIE	RX 中断使能 0: 禁用接收 (RDAVL) 中断; 1: 使能接收 (RDAVL) 中断。
1	WDRIE	TX 中断使能 0: 禁用发送 (WRAVL) 中断; 1: 使能发送 (WRAVL) 中断。
0	I2CEN	I2C 接口使能 0: 禁用外设; 1: 使能外设。  I2CEN (I2C 使能位) 需要保持低电平至少持续 3 个 PCLK 周期或 3 个 tCKDIV 周期 (以较长者为准), 方可生效。tCKDIV=(CKDIV+1)xI2CCLK

### 35.5.2 I2C 控制寄存器 2(I2C\_CTRL2)

地址偏移: 0x0004

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved					CRCBYTE	AUTOSTOP	REFILL	BYTECNT[7:0]							
					rw	rw	rw	rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NAK	STOP	START	HDR10	ADR10	RWN	SADR[9:0]									
rw	rw	rw	rw	rw	rw	rw									

位域	名称	描述
31:27	Reserved	保留位，必须保持其复位值。
26	CRCBYTE	数据包错误校验字节 由软件置位。当 CRC 已传输、或接收到停止条件或地址匹配、或当 I2CEN=0 时，由硬件清零。 0：无 CRC 传输； 1：请求进行 CRC 发送/接收。 向此位写入'0'无效。 当 REFILL 位置位时，此位无效。 在从模式下且 SBCTL=0 时，此位无效。
25	AUTOSTOP	自动停止模式（主模式）由软件置位和清零。 0：软件停止模式：传输完 BYTECNT 个数据后，设置 TFC 标志位，并拉低 SCL 线以保持时钟延展； 1：自动停止模式：传输完 BYTECNT 个数据后，自动发送一个停止条件。
24	REFILL	BYTECNT 重载模式 此位由软件置位和清零。 0：在传输完 BYTECNT 个数据后，传输结束（随后发送停止或重启条件）； 1：在传输完 BYTECNT 个数据后，传输并未结束（BYTECNT 会被重新填充）。 传输完 BYTECNT 个数据后，设置 TFCR 标志位，并拉低 SCL 线以保持时钟延展。
23:16	BYTECNT[7:0]	字节数 此处编程设定待发送/接收的字节数。在非 FIFO 模式以及从模式下且 SBCTL=0 时，此值无关紧要。 在传输了 x 个字节后，如果 SMB 软件需要动态更改或重写 BYTECNT，则需用"剩余字节数+x"的值来重写。
15	NAK	NAK 信号使能（从模式） 由软件置位/复位。当 NAK 已发送、或接收到停止条件或地址匹配、或 I2CEN=0 时，由硬件清零。 0：在当前接收的字节后发送 ACK； 1：在当前接收的字节后发送 NAK。
14	STOP	停止信号使能（主模式） 由软件置位。当检测到停止条件或 I2CEN=0 时，由硬件清零。 0：不生成停止信号； 1：在当前字节传输后生成停止信号。
13	START	起始信号使能 由软件置位。在起始信号及地址发送后、发生仲裁丢失、检测到超时错误、或 I2CEN=0 时，由硬件清零。也可以通过向 I2C_INTCLR 寄存器中的 ADRCLR 位写入'1'来清除。 0：不生产起始信号； 1：生成重启/起始信号。
12	HDR10	仅适用于读方向的 10 位地址头（主接收器模式） 0：主设备发送完整的 10 位从机地址读序列：起始条件+2 字节的 10 位地址（写方向）+ 重启条件+10 位地址的前 7 位（读方向）； 1：主设备仅发送 10 位地址的前 7 位，后跟读方向。
11	ADR10	10 位寻址模式（主模式）。

		0: 主设备工作于 7 位寻址模式; 1: 主设备工作于 10 位寻址模式。
10	RWN	传输方向 (主模式) 0: 主设备请求写传输; 1: 主设备请求读传输。
9:0	SADR[9:0]	从机地址 (主模式) 在 7 位寻址模式下 (ADR10=0): SADR[7:1]写入待发送的 7 位从机地址。 在 10 位寻址模式下 (ADR10=1): SADR[9:0]写入待发送的 10 位从机地址。

### 35.5.3 I2C 自身地址寄存器 1(I2C\_ADR1)

地址偏移: 0x0008

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AD1EN	Reserved				AD1MODE	AD1[9:0]									
rw					rw	rw									

位域	名称	描述
31:16	Reserved	保留位, 必须保持其复位值。
15	AD1EN	自身地址 1 使能 0: 禁用自身地址 1。接收到从机地址 AD1 时将回复 NAK; 1: 使能自身地址 1。接收到从机地址 AD1 时将回复 ACK。
14:11	Reserved	保留位, 必须保持其复位值。
10	AD1MODE	自身地址 1 10 位模式 0: 自身地址 1 为 7 位地址; 1: 自身地址 1 为 10 位地址。
9:0	AD1[9:0]	接口自身从机地址 7 位寻址模式: AD1[6:0]包含 7 位自身从机地址。AD1[9]、AD1[8]和 AD1[0]位无关。 10 位寻址模式: AD1[9:0]包含 10 位自身从机地址。

### 35.5.4 I2C 自身地址寄存器 2(I2C\_ADR2)

地址偏移: 0x000C

复位值: 0x0000 0000



31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AD2EN	Reserved				AD2MSK[2:0]			AD2[6:0]					Reserved		
rw					rw			rw							

位域	名称	描述
31:16	Reserved	保留位，必须保持其复位值。
15	AD2EN	自身地址 2 使能 0：禁用自身地址 2。接收到从机地址 AD2 时将回复 NAK； 1：使能自身地址 2。接收到从机地址 AD2 时将回复 ACK。
14:11	Reserved	保留位，必须保持其复位值。
10:8	AD2MSK[2:0]	自身地址 2 掩码 000：无掩码。 001：AD2[1]位无关，仅比较 AD2[7:2]位； 010：AD2[2:1]位无关，仅比较 AD2[7:3]位； 011：AD2[3:1]位无关，仅比较 AD2[7:4]位； 100：AD2[4:1]位无关，仅比较 AD2[7:5]位； 101：AD2[5:1]位无关，仅比较 AD2[7:6]位； 110：AD2[6:1]位无关，仅比较 AD2[7]位； 111：AD2[7:1]位无关，不进行比较，（除保留地址外）所有接收到的 7 位地址均回复 ACK。
7:1	AD2[7:1]	接口地址 7 位寻址模式：存储 7 位地址。
0	Reserved	保留位，必须保持其复位值。

### 35.5.5 I2C 时序寄存器(I2C\_BUSTM)

地址偏移：0x0010

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CKDIV[3:0]				Reserved				DSCL[3:0]				DSDA[3:0]			
rw								rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HSCL[7:0]								LSCL[7:0]							
rw								rw							

位域	名称	描述
31:28	CKDIV[3:0]	时序预分频因子

		用于对 I2CCLK 进行预分频, 以生成时钟周期 tCKDIV, 该时钟周期用于数据建立/保持计数器以及 SCL 高/低电平计数器。 $tCKDIV=(CKDIV+1)\times tI2CCLK$ 编程设置 CKDIV[3:0]可将 I2CCLK 分频至允许的最大内部 fCKDIV 频率。 当 SCL 为 100kHz 至 1MHz 时, 最大 fCKDIV 频率为 8MHz。 当 SCL 为 3.4MHz 时, 最大 fCKDIV 频率为 48MHz。 例如: I2CCLK=128MHz, SCL=100kHz, 使用 CKDIV[3:0]=0xF。
27:24	Reserved	保留位, 必须保持其复位值。
23:20	DSCL[3:0]	数据建立时间 此字段用于在 SDA 边沿与 SCL 上升沿之间产生延迟 tDSCL。在主模式以及从模式 (NOSTRCH=0) 下, SCL 线在 tDSCL 期间被拉低以保持延展。tDSCL=(DSCL+1) $\times$ tCKDIV 数据保持时间。
19:16	DSDA[3:0]	数据保持时间 此字段用于在 SCL 下降沿与 SDA 边沿之间产生延迟 tDSDA。在主模式以及从模式 (NOSTRCH=0) 下, SCL 线在 tDSDA 期间被拉低以保持延展。tDSDA=DSDA $\times$ tCKDIV。
15:8	HSCL[7:0]	SCL 高电平周期 (主模式) 此字段用于在主模式下生成 SCL 高电平周期。tHSCL = (HSCL + 1) $\times$ tCKDIV 最小值为 1。
7:0	LSCL[7:0]	SCL 低电平周期 (主模式) 此字段用于在主模式下生成 SCL 低电平周期。tLSCL=(LSCL+1) $\times$ tCKDIV 最小值为 2。

### 35.5.6 I2C 超时寄存器 (I2C\_TMOUTR)

偏移地址: 0x0014

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
TMEXTEN	Reserved							TMOUTB[11:0]								
rw								rw								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
TMOUTEN	Reserved	TMIDLE	TMOUTA[11:0]													
rw		rw	rw													

位域	名称	描述
31	TMEXTEN	时钟信号延展超时使能 0: 禁止时钟信号延展超时检测; 1: 使能时钟信号延展超时检测当 I2C 接口执行 SCL 延展的累积时间超过 tLOW:EXT 时, 将检测到超时错误(TIMEOUT=1)。
30:28	Reserved	保留, 必须保持复位值。
27:16	TMOUTB[11:0]	总线超时 B 该字段用于配置累积时钟延展超时: 在主模式下, 将检测主器件的累积时钟低电平延展时间 (tLOW:MEXT) 在从模式下, 将检测从器件的累积时钟低电平延展时间 (tLOW:SEXT)

		$t_{LOW:EXT}=(TIMEOUTB+1) \times 2048 \times t_{I2CCLK}$ 。
15	TMOUTEN	时钟超时使能 0: 禁止 SCL 超时检测; 1: 使能 SCL 超时检测: 当 SCL 的低电平时间超过 $t_{TIMEOUT}(TIDLE=0)$ , 或 SCL 的高电平时间超过 $t_{IDLE}(TIDLE=1)$ 时, 将检测到超时错误( $TIMEOUT=1$ )。
14:13	Reserved	保留, 必须保持复位值。
12	TMIDLE	空闲时钟超时检测 0: $TIMEOUTA$ 用于检测 SCL 低电平超时; 1: $TIMEOUTA$ 用于检测 SCL 和 SDA 高电平超时 (总线空闲条件)。
11:0	TMOUTA[11:0]	总线超时 A 此字段用于配置以下两种超时条件: 当 $TMIDLE=0$ 时, 用于 SCL 低电平超时检测条件 $T_{tmout}$ : $t_{TMOUT}=(TMOUTA+1) \times 2048 \times t_{I2CCLK}$ 。 当 $TMIDLE=1$ 时, 用于总线空闲状态 (SCL 与 SDA 均为高电平) 检测条件 $T_{idle}$ : $t_{IDLE}=(TMOUTA+1) \times 4 \times t_{I2CCLK}$ 。

### 35.5.7 I2C 中断和状态寄存器(I2C\_STSINT)

偏移地址: 0x0018

复位值: 0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FTXIS	FRXNE	Reserved						ADRRCV[6:0]						DIR	
r	r							r						r	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BUSY	QADR	ALRT	TMOUT	CRCERR	OVF	ABLO	BSER	TFCR	TFC	STOPF	NAKF	ADR	RDAVL	WRAVL	WRE
r	r	r	r	r	r	r	r	r	r	r	r	r	r	rw	rw

位域	名称	描述
31	FTXIS	发送 FIFO 中断状态 (发送器) 此位仅在 TXFIFO 使能 (TFE) 置位时有效。FTXIS 的目的是减少 CPU 中断次数。 当 TXFIFO 中的空字节数达到 TXILEVEL, 且需要发送的数据 (数量为 TXILEVEL) 可以被连续写入 I2C_WDR 地址并路由至 TXFIFO 时, 由硬件置位。 当此数量的字节 (TXILEVEL) 被写入, 或当待发送的总字节数 (BYTECNT, 且 BYTECNT 小于 TXILEVEL) 被写入时, 此位被清零。
30	FRXNE	接收 FIFO 非空 (接收器) 此位仅在 RXFIFO 使能 (RFE) 置位时有效。FRXNE 的目的是减少 CPU 中断次数。 当 RXFIFO 中接收到的字节数等于 RXILEVEL 时, 由硬件置位。如果最终接收到的最后几个字节数 (BYTECNT-RXILEVEL, 且 BYTECNT 大于 RXILEVEL) 小于 RXILEVEL, 此位也会被置位。 当通过 I2C_RDR 读取完 RXFIFO 中的所有字节后, 此位被清零。
29:24	Reserved	保留位, 必须保持其复位值。

23:17	ADRRCV[6:0]	接收到的地址匹配（从模式） 当发生地址匹配事件（ADR=1）时，这些位更新为接收到的地址。 如果是 10 位地址,ADRRCV 提供 10 位地址头，后跟地址的 2 个最高有效位。
16	DIR	DIR：传输方向（从模式） 该标志在发生地址匹配事件时(ADR=1)更新。 0：写传输，从器件进入接收器模式； 1：读传输，从器件进入发送器模式。
;	BUSY	总线繁忙 当检测到起始条件时置位。当检测到停止条件，或当 I2CEN=0 时，由硬件清零。
14	QADR	快速命令地址匹配（从模式） 如果接收到的从机地址与快速命令地址（QCMDAD[7:1]）匹配且 QCMDEN=1，则由硬件置位。通过设置 ADRCLR 位清零。
13	ALRT	SMBus 报警 当 SMBH=1、ALRTEN=1 且在 SMBA 引脚上检测到 SMBALRT 事件（下降沿）时，由硬件置位此标志。通过设置 ALRTCLR 位清零。
12	TMOUT	超时或 tLOW 检测标志 当发生超时或时钟延长超时时，由硬件置位此标志。通过设置 TMOUTCLR 位清零。
11	CRCERR	接收 CRC 错误 当接收到的 CRC 与 CRC 寄存器内容不匹配时，由硬件置位此标志。在接收到错误的 CRC 后发送 NAK。通过设置 CRCCLR 位清零。
10	OVF	上溢/下溢（从模式） 当接收到的 CRC 与 CRC 寄存器内容不匹配时，由硬件置位此标志。在接收到错误的 CRC 后发送 NAK。通过设置 CRCCLR 位清零。
9	ABLO	仲裁丢失 若发生仲裁丢失，此标志位将由硬件置位。通过设置 ABLOCLR 位可将其清零。
8	BSER	总线错误 当检测到位置不当的起始或停止条件，且外设参与该次传输时，由硬件置位此标志。在从模式的地址阶段，此标志不会置位。通过设置 BSERCLR 位清零。
7	TFCR	传输完成重载 当 REFILL=1 且 BYTECNT 个数据已传输时，由硬件置位此标志。当 BYTECNT 被写入非零值时清零。 仅适用于主模式，或适用于从模式且 SBCTL 位被置位时。
6	TFC	传输完成（主模式） 当 REFILL=0、AUTOSTOP=0 且 BYTECNT 个数据已传输时，由硬件置位此标志。当 START 位或 STOP 位被设置时清零。
5	STOPF	停止位检测标志 当在总线上检测到停止条件，且外设参与此次传输时，由硬件置位此标志： 作为主设备，条件是停止条件由此外设产生。 作为从设备，条件是在此传输过程中此前外设已被寻址。通过设置 STOPCLR 位清零。
4	NAKF	接收到否定应答标志 当在字节发送后接收到 NAK 时，由硬件置位此标志。通过设置 NAKCLR 位清零。
3	ADR	地址匹配（从模式） 一旦接收到的从机地址与任一使能的从机地址匹配，即由硬件置位此位。通过设置

		ADRCLR 位清零。
2	RDAVL	接收数据可用（接收器） 当接收到的数据被复制到 I2C_RDR 寄存器并准备就绪可被读取时，由硬件置位此位。当读取 I2C_RDR 时清零。
1	WRAVL	写数据寄存器可用（发送器） 当 I2C_WDR 寄存器为空，且可以向其写入新数据时，硬件置位此位。当待发送的下一个数据被写入 I2C_WDR 寄存器时清零。 此位仅当 NOSTRCH=1 时可以写入'1'，以生成一个 WRAVL 事件（如果 WDRIE=1 则产生中断，如果 DMAWREN=1 则产生 DMA 请求）。
0	WRE	写数据寄存器空（发送器） 当 I2C_WDR 寄存器为空时，由硬件置位。当待发送的下一个数据被写入 I2C_WDR 寄存器时清零。 数据未从内部移位寄存器发送到 I2C 总线意味着 WRE 为 0。 当此位为 0 时，不能写入 I2C_WDR。此时可以通过强制写入'1'来刷新此位，从而可以再次写入数据（例如，用于从发送器 NOSTRCH=1 的序列中）。

### 35.5.8 I2C 中断清零寄存器(I2C\_INTCLR)

偏移地址：0x001C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		ALRTCLR	TMOUTCLR	CRCCLR	OVFCLR	ABLOCLR	BSERCLR	Reserved			STOPCLR	NAKCLR	ADRCLR	Reserved	
		rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1				rc_w1	rc_w1	rc_w1		

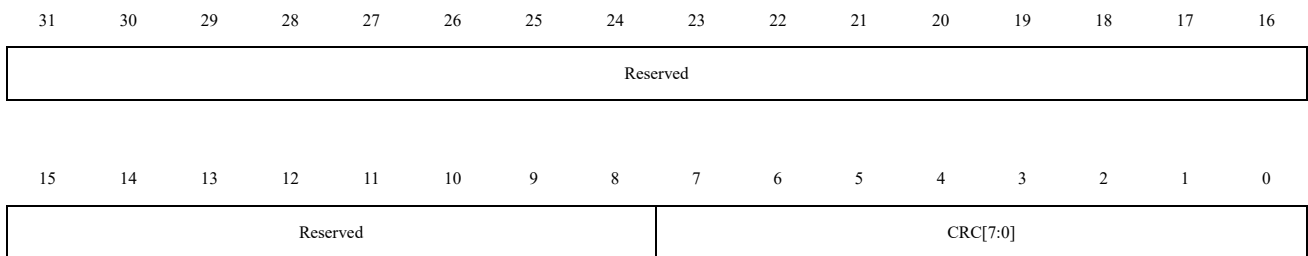
位域	名称	描述
31:14	Reserved	保留，必须保持复位值。
13	ALRTCLR	报警标志清零 向此位写入 1 将清除 I2C_INTR 寄存器中的 ALRT 标志。
12	TMOUTCLR	超时检测标志清零 向此位写入 1 将清除 I2C_INTR 寄存器中的 TMOUT 标志。
11	CRCCLR	CRC 错误标志清零 向此位写入 1 将清除 I2C_INTR 寄存器中的 CRCERR 标志。
10	OVFCLR	上溢/下溢标志清零 向此位写入 1 将清除 I2C_INTR 寄存器中的 OVF 标志。
9	ABLOCLR	仲裁丢失标志清零 向此位写入 1 将清除 I2C_INTR 寄存器中的 ABLO 标志。
8	BSERCLR	总线错误标志清零 向此位写入 1 将清除 I2C_INTR 寄存器中的 BSERF 标志。

7:6	Reserved	保留，必须保持复位值。
5	STOPCLR	停止位检测标志清零 向此位写入 1 将清除 I2C_INTR 寄存器中的 STOPF 标志。
4	NAKCLR	否定应答标志清零 向此位写入 1 将清除 I2C_INTR 寄存器中的 NAKF 标志。
3	ADRCLR	地址匹配标志清零 向此位写入 1 将清除 I2C_INTR 寄存器中的 ADR 标志。同时，向此位写入 1 也会清除 I2C_CONF2 寄存器中的 START 位。
2:0	Reserved	保留，必须保持复位值。

### 35.5.9 I2C PEC 寄存器(I2C\_CRCR)

偏移地址：0x0020

复位值：0x0000 0000

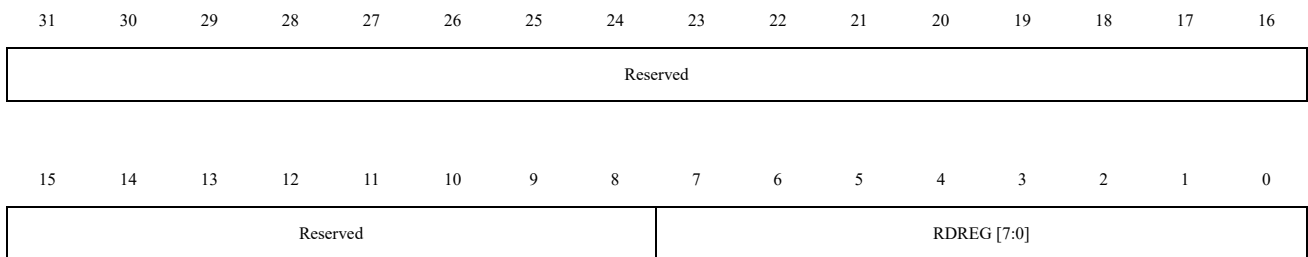


位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
7:0	CRC[7:0]	当 CRCEN=1 时，CRC 即为包错误检查寄存器。当 I2CEN=0 时清零，读取最终 CRC 的时间点在 CRCBYTE 变低之后。

### 35.5.10 I2C 接收数据寄存器(I2C\_RDR)

偏移地址：0x0024

复位值：0x0000 0000



位域	名称	描述
----	----	----

31:8	Reserved	保留, 必须保持复位值。
7:0	RDAT[7:0]	从 I2C 总线接收的数据字节。

### 35.5.11 I2C 发送数据寄存器(I2C\_WDR)

偏移地址: 0x0028

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
rw	rw	rw													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								WRREG[7:0]							
								rw							

位域	名称	描述
31:8	Reserved	保留, 必须保持复位值。
7:0	WDAT[7:0]	待发送到 I2C 总线的数据字节 仅可在 TXE=1 时写入这些位。

### 35.5.12 I2C 高速时序寄存器(I2C\_HSBUSTM)

偏移地址: 0x002C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
HSCCKDIV[3:0]				Reserved				HSDSCL[3:0]				HSDSDA[3:0]			
rw								rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HSHSCL[7:0]								HLSLCL[7:0]							
rw								rw							

位域	名称	描述
31:28	HSCCKDIV[3:0]	高速模式时序预分频器 此字段与 CKDIV[3:0]功能相同, 但仅用于高速模式传输。
27:24	Reserved	保留, 必须保持复位值。
23:20	HSDSCL[3:0]	高速模式数据建立时间 此字段与 DSCL[3:0]功能相同, 但仅用于高速模式传输。
19:16	HSDSDA[3:0]	高速模式数据保持时间 此字段与 DSDA[3:0]功能相同, 但仅用于高速模式传输。

15:8	HSHSCL[7:0]	高速模式 SCL 高电平周期（主模式） 此字段与 HSCL[7:0]功能相同，但仅用于高速模式传输。
7:0	HLSLCL[7:0]	高速模式 SCL 低电平周期（主模式） 此字段与 LSCL[7:0]功能相同，但仅用于高速模式传输。

### 35.5.13 FIFO 控制与状态寄存器(I2C\_FIFOCSR)

偏移地址：0x0030

复位值：0x0800 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TFE	RFE	Reserved			TXILEVEL[3:0]			Reserved			RXILEVEL[3:0]				
rw	rw				rw						rw				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				TXFLEVEL[3:0]				Reserved				RXFLEVEL[3:0]			
				r								r			

位域	名称	描述
31	TFE	置位 TXFIFO 激活 用于发送数据。当此位置位时，CPU 最多可将 TXILEVEL 指示数量的数据连续写入 I2C_WDR，数据将被重定向至 8 字节的 TXFIFO。 此时，外设不应使用 WRAVL 和 WRE 标志，应忽略它们，转而使用 FTXIS 标志。
30	RFE	置位 RX FIFO 激活 用于接收数据。当 RXFE 置位时，接收到的数据将被重定向至 8 字节的 RXFIFO，CPU 最多可从 I2C_RDR 连续读取 RXILEVEL 指示数量的数据。 此时，外设不应使用 RDAVL 标志，应忽略它，转而使用 FRXNE 标志。
29:28	Reserved	保留位，必须保持其复位值。
27:24	TXILEVEL[3:0]	TXFIFO 空水平位（8 至 1） 用于生成 FTXIS（FIFO 发送空中断）或在 DMAWREN=1 时触发 i2c_dma_tx_req DMA 请求。 8（默认）：当有 8 个空位可用时触发中断；当 DMAWREN=1 时，DMA 突发长度为 8。 7：当有 7 个空位可用时触发中断；当 DMAWREN=1 时，DMA 突发长度为 7。 ... 2：当有 2 个空位可用时触发中断；当 DMAWREN=1 时，DMA 突发长度为 2。 1：当有 1 个空位可用时触发中断；当 DMAWREN=1 时，DMA 为单周期传输。 0：无效。
23:20	Reserved	保留位，必须保持其复位值。
19:16	RXILEVEL[3:0]	RXFIFO 满水平位（1 至 8） 用于生成 FRXNE（FIFO 接收非空中断）或在 DMARDEN=1 时确定 DMA 突发长度。如果最后接收到的几个字节数少于 RXILEVEL，FRXNE 也会置高。 0：无效； 1：接收到 1 个数据字节后触发中断；当 DMARDEN=1 时，DMA 为单周期传输。



		2: 接收到 2 个数据字节后触发中断; 当 DMARDEN=1 时, DMA 突发长度为 2。 ... 7: 接收到 7 个数据字节后触发中断; 当 DMARDEN=1 时, DMA 突发长度为 7。 8: 接收到 8 个数据字节后触发中断; 当 DMARDEN=1 时, DMA 突发长度为 8。
15:12	Reserved	保留位, 必须保持其复位值。
11:8	TXFLEVEL[3:0]	TXFIFO 中当前字节数 (0 至 8) 此为 TXFIFO 中尚未发送的字节数。 正常情况下, 当所有数据从 TXFIFO 传输至内部移位寄存器后, TXFLEVEL 变为 0。在发生错误、接收到 NAK、调试阶段等情况时, 尚未发送到内部移位寄存器的数据数量会反映在 TXFLEVEL 中。 未发送的数据在 TFE=0 或 I2CEN=0 时被清除。
7:4	Reserved	保留位, 必须保持其复位值。
3:0	RXFLEVEL[3:0]	RXFIFO 中当前字节数 (0 至 8) 此为 RXFIFO 中尚未读取的字节数。 此值通过读取 I2C_RDR 寄存器而递减。 当 RFE=0 或 I2CEN=0 时被清零。

### 35.5.14 I2C 快速命令地址寄存器(I2C\_QCMD)

偏移地址: 0x0034

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
QCMDEN	Reserved					QCMDAD[6:0]						Reserved			
rw						rw									

位域	名称	描述
31:16	Reserved	保留位, 必须保持其复位值。
15	QCMDEN	对于主模式: 0: 不发送快速命令 (从机地址被应答后, 不产生停止条件); 1: 在从机地址 (SADR[7:1]) 发送且收到 ACK 后, 将产生停止条件。(此时需设置 ADR10=0, 快速命令标志位=RWN)。快速命令的优先级高于正常寻址。 对于从模式: SMB 快速命令自身地址使能 0: 禁用快速命令自身地址。接收到与 QCMDAD 匹配的从机地址时将回复 NAK; 1: 使能快速命令自身地址。接收到与 QCMDAD 匹配的从机地址时将回复 ACK。快速命令的优先级高于正常寻址。
,	Reserved	保留位, 必须保持其复位值。
7:1	QCMDAD[6:0]	仅用于从模式:

		SMB 快速命令地址 如果 QCMDEN=1, 且 QCMDAD 与接收到的从机地址匹配, 则 ADR 和 QADR 标志位将被置位, 并且可以从 DIR 位读取接收到的命令位。
0	Reserved	保留位, 必须保持其复位值。

### 35.5.15 I2C 模拟噪声滤波器寄存器(I2C\_GFLTRCTRL)

偏移地址: 0x0038

复位值: 0x0000 2200

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCLAFENN	Reserved	SCLAFW[1:0]	SDAAFENN	Reserved	SDAAFW[1:0]	Reserved									
rw		rw	rw		rw										

位域	名称	描述
31:16	Reserved	保留位, 必须保持其复位值。
15	SCLAFENN	SCL 模拟滤波器使能 0: 使能 SCL 模拟滤波器。(默认值); 1: 禁用 SCL 模拟滤波器。
14	Reserved	保留位, 必须保持其复位值。
13:12	SCLAFW	SCL 模拟滤波器调整范围控制 2'b00: SCL 滤波器可滤除 5ns 毛刺; 2'b01: SCL 滤波器可滤除 15ns 毛刺; 2'b10: SCL 滤波器可滤除 25ns 毛刺; 2'b11: SCL 滤波器可滤除 35ns 毛刺。
11	SDAAFENN	SDA 模拟滤波器使能 0: 使能 SDA 模拟滤波器(默认值); 1: 禁用 SDA 模拟滤波器。
10	Reserved	保留位, 必须保持其复位值。
9:8	SDAAFW	SDA 模拟滤波器调整范围控制 2'b00: SDA 滤波器可滤除 5ns 毛刺; 2'b01: SDA 滤波器可滤除 15ns 毛刺; 2'b10: SDA 滤波器可滤除 25ns 毛刺; 2'b11: SDA 滤波器可滤除 35ns 毛刺。
7:0	Reserved	保留位, 必须保持其复位值。

## 36 串行外设接口/内置音频总线（SPI/I2S）

### 36.1 简介

#### 36.1.1 SPI 简介

SPI 允许芯片与外部设备以半/全双工、同步、串行方式通信。SPI 可以被配置成主模式和从模式，并为外部设备提供通信时钟(SCK)。可用于多种用途，包括使用一条双向数据线的双线单工同步传输，还支持硬件 CRC 校验。

#### 36.1.2 I2S 简介

I2S 也是一种同步串行接口通讯协议。它支持四种音频标准，包括飞利浦 I2S 标准，MSB 和 LSB 对齐标准，以及 PCM 标准。它在全双工通讯中，可以工作在主和从 2 种模式下。当它作为主设备时，能通过接口向外部的从设备提供时钟信号。

### 36.2 主要特征

#### 36.2.1 SPI 主要特征

- 全双工和单工同步模式
- 支持主模式、从模式和从主模式
- 支持 8bit 或 16bit 数据帧格式
- 数据位顺序可编程
- 硬件或软件片选管理
- 时钟极性和时钟相位可配置
- 发送和接收支持硬件 CRC 计算及校验
- 支持DMA传输功能
- 支持FIFO模式，其发送FIFO和接收FIFO的深度均为8
- 该接口的最高通信频率为50Mbps
- NSS极性可编程

#### 36.2.2 I2S 主要特征

- 半双工和全双工同步模式
- 支持主模式和从模式操作
- 4 种音频标准可以支持：飞利浦 I2S 标准、MSB 对齐标准、LSB 对齐标准和 PCM 标准
- 音频采样频率可配置，范围从 8KHz 到 192KHz

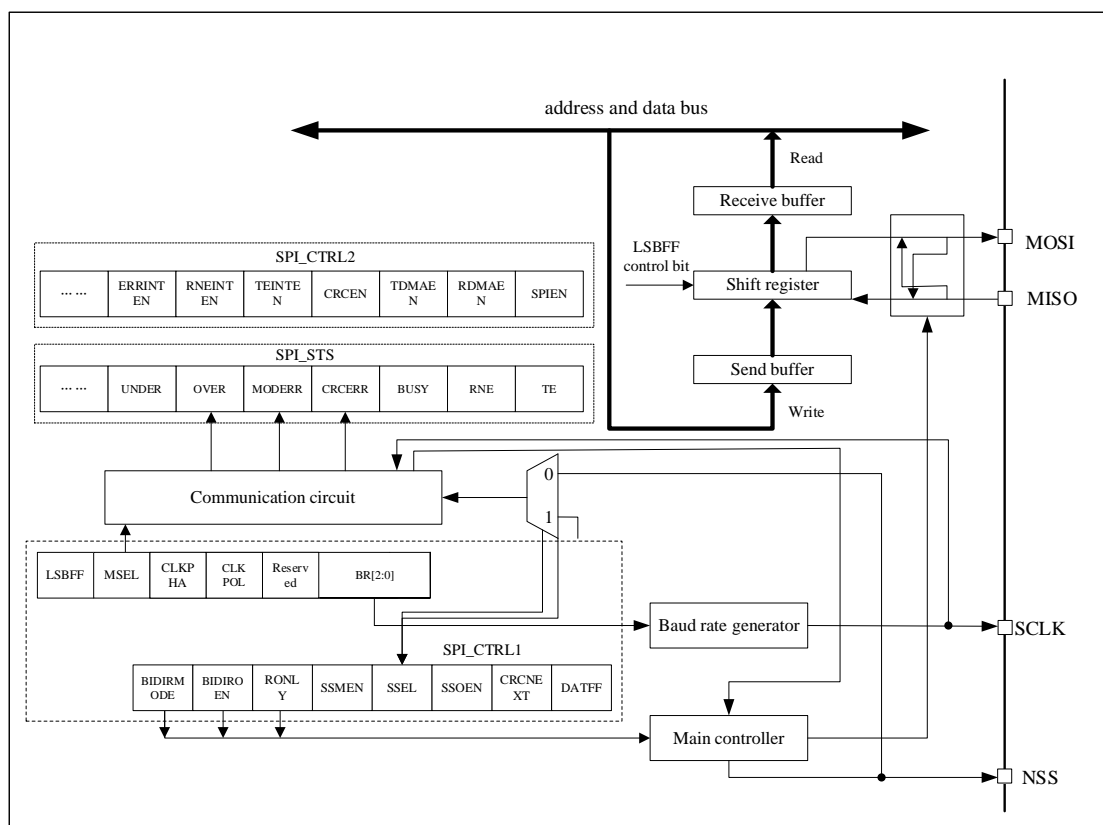
- 支持 16 位、24 位或 32 位的数据长度与数据帧格式（可根据需求进行配置）
- 稳态时钟极性可配置
- 数据方向 MSB
- 支持DMA传输功能
- 支持多种时钟源（独立SHRTPLL、HSI、SYSCLK、外部时钟输入）

## 36.3 SPI 功能描述

### 36.3.1 SPI 工作原理

#### 36.3.1.1 通用描述

图 36-1 SPI 时钟框图



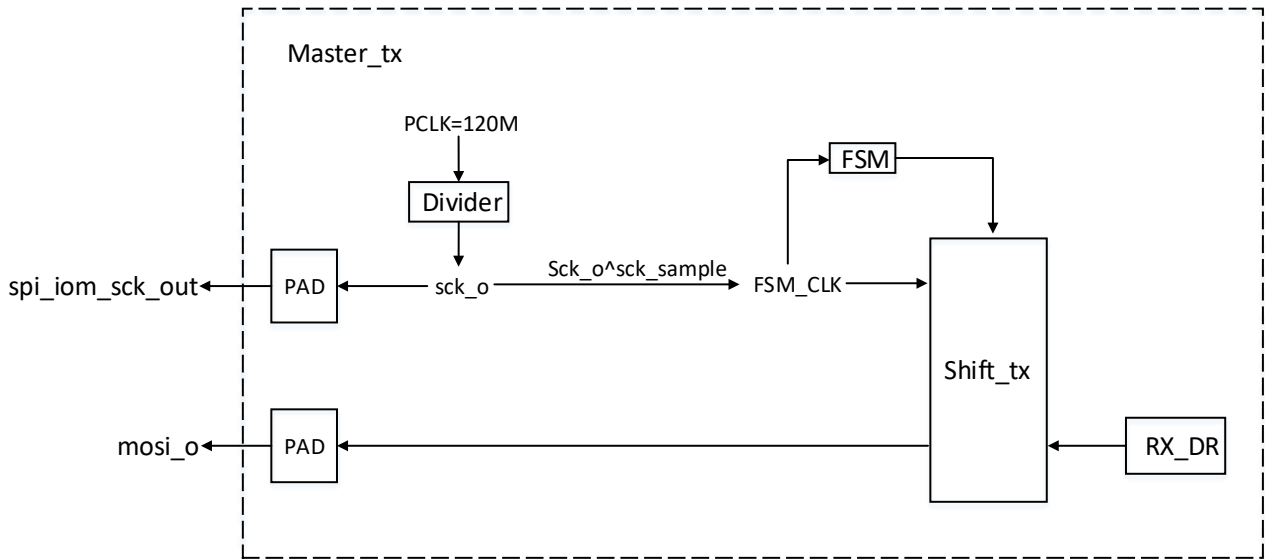
为了连接外部设备，SPI 接口有 4 个引脚与外设器件连接，具体如下：

- SCLK: 串行时钟引脚，该信号从主设备 SCLK 引脚输出，由从设备 SCLK 引脚输入
- MISO: 主输入/从输出引脚，数据从主设备的 MISO 引脚输入，由从设备的 MISO 引脚输出
- MOSI: 主输出/从输入引脚，数据从主设备的 MOSI 引脚输出，由从设备的 MOSI 引脚输入
- NSS: 片选引脚，有两种 NSS 引脚类型，外部引脚和内部引脚。如果内部引脚检测到高电平，SPI 工作在主模式，相反，SPI 工作在从模式。用户可以使用主设备的一个标准 I/O 引脚控制从设备的 NSS 引脚

补充信息：

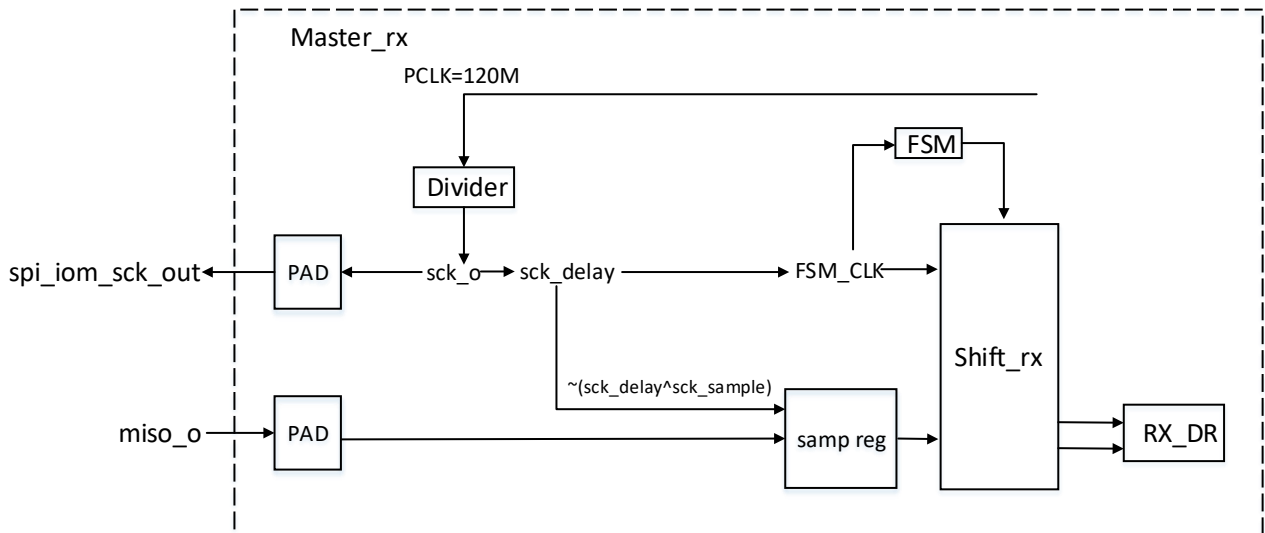
为将 SPI（串行外设接口，Serial Peripheral Interface）的最大通信速度提升至 60Mbps，设计人员对 N32xxx 系列芯片中 SPI 的内部时钟架构进行了调整。下图 36-2 展示了 SPI 传输过程的时钟架构图。

图 36-2 SPI 传输过程时钟架构图



在接收过程中，主设备生成的时钟（sck\_o）会通过寄存器进行内部采样（采样时钟为 pclk），进而生成延迟时钟 sck\_delay。具体的延迟时长由软件控制，最长可达 7 个周期（当 pclk 为 240MHz 时，最大延迟为 29.16 纳秒）。sck\_delay 负责控制接收状态机（state\_rx）、接收移位寄存器（shift\_rx）以及第一级采样数据寄存器（smp reg），具体如图 36-3 所示。

图 36-3 SPI 接收过程时钟架构图



### 36.3.1.2 NSS 引脚管理

#### ➤ 软件 NSS 模式

当 SPI\_CTRL1.SSMEN=1，软件从设备管理被使能。

NSS 引脚不用于软件 NSS 模式。在这种模式下，内部 NSS 信号电平通过写入 SPI\_CTRL1.SSEL 位来驱

动（主机模式 SPI\_CTRL1.SSEL = 1，从机模式 SPI\_CTRL1.SSEL = 0）。

➤ 硬件 NSS 模式

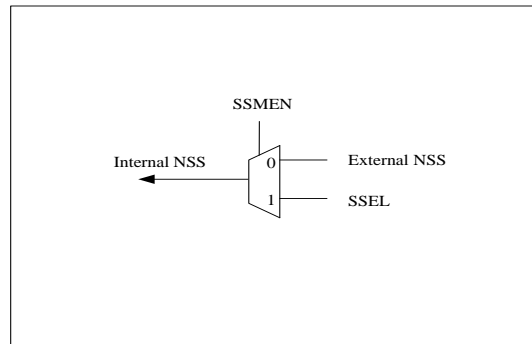
当 SPI\_CTRL1.SSMEN = 0，软件从设备管理被禁能。

NSS 输入模式：主设备的 NSS 输出被禁止（SPI\_CTRL1.MSEL = 1, SPI\_CTRL1.SSOEN = 0），允许操作在多主模式下。在整个数据帧传输期间主机应该连接 NSS 到高电平，从机应该连接 NSS 到低电平。

NSS 输出模式：主设备的 NSS 输出被使能（SPI\_CTRL1.MSEL = 1, SPI\_CTRL1.SSOEN = 1），主设备必须驱动 NSS 到低电平，所有与主设备连接并且设置为硬件 NSS 模式的设备将会检测到低电平，并自动进入从模式。当主设备的 NSS 没有被驱动到低电平，设备进入从模式，并产生主模式失效错误。

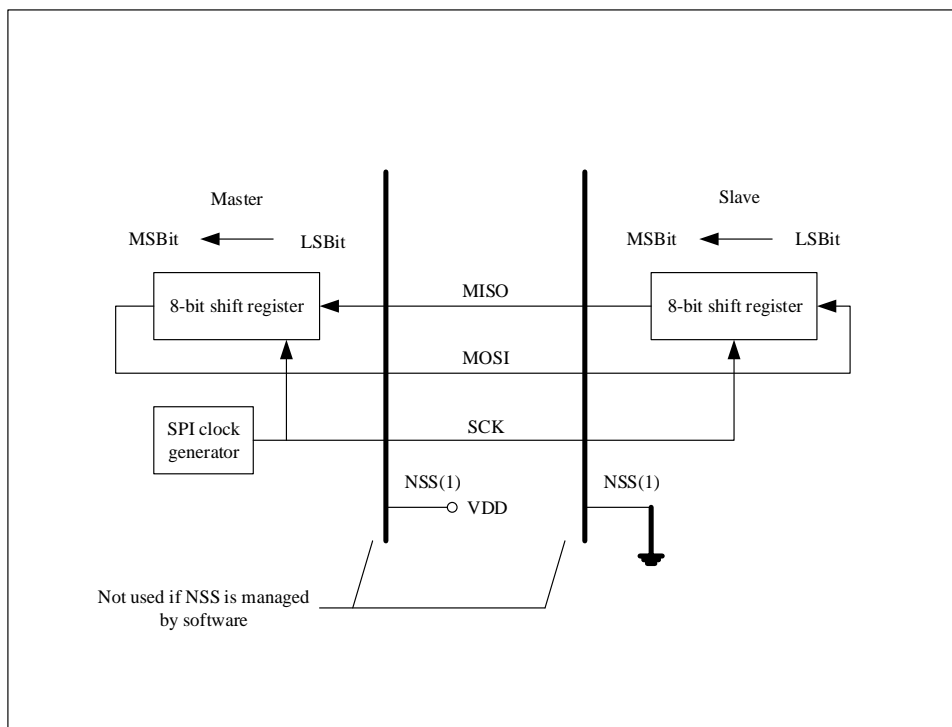
注：软件模式或硬件模式的选择，取决于通讯协议中是否需要 NSS 控制。如果不需要，可以选择软件模式，释放一个 GPIO 管脚另作他用。

图 36-4 硬件/软件的从选择管理



下图是单个主设备和单个从设备互联的例子。

图 36-5 单主和单从应用



注意：NSS 引脚被设置为输入。

SPI 是一个环形总线结构。主设备通过 SCK 管脚输出同步时钟信号，主设备的 MOSI 引脚连接到从设备的 MOSI 引脚，并且主设备的 MISO 引脚连接到从设备的 MISO 引脚，以便数据可以在设备之间传输。主设备和从设备之间的连续数据传输，通过 MOSI 引脚发送数据到从设备，而从设备通过 MISO 引脚发送数据到主设备。

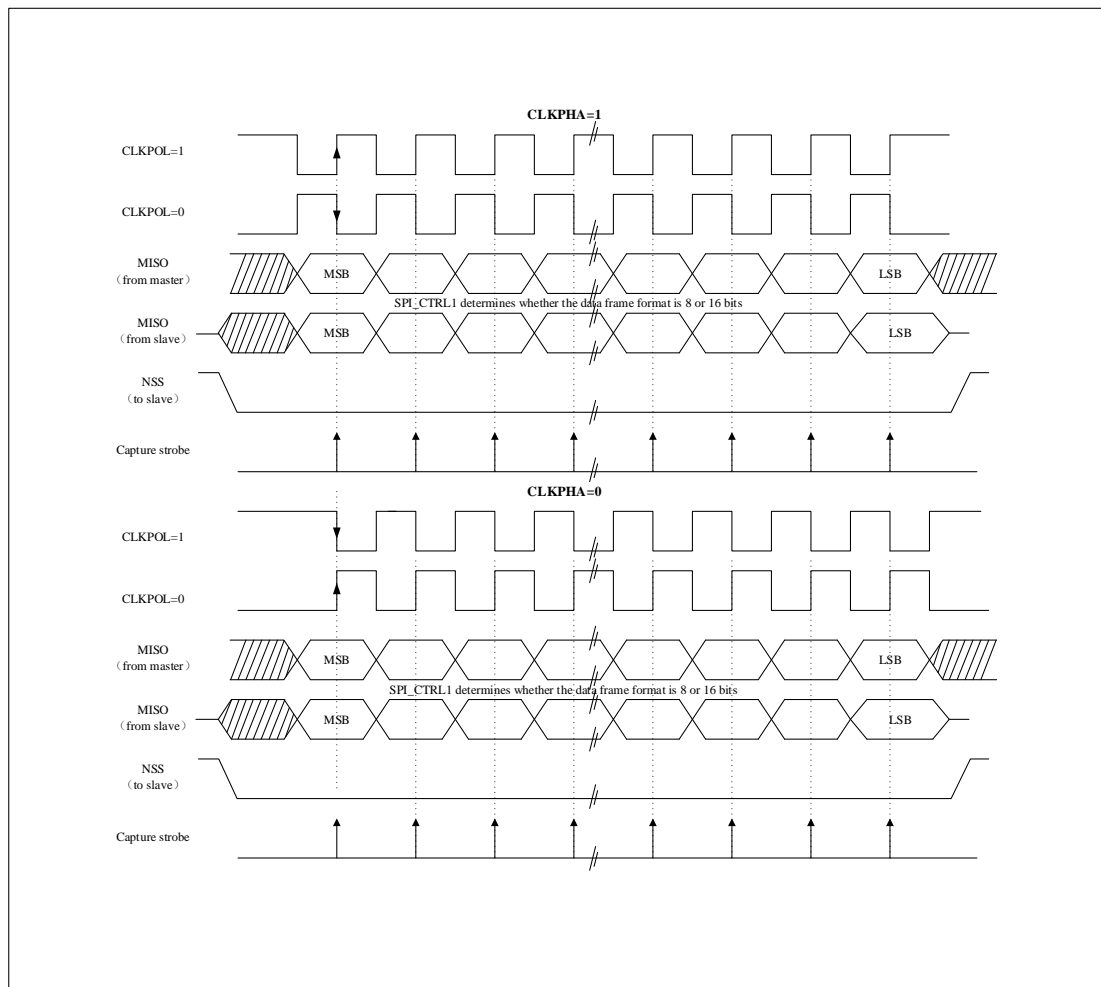
### 36.3.1.3 SPI 时序模式

通过设置 SPI\_CTRL1.CLKPOL 位和 SPI\_CTRL1.CLKPHA 位，用户可以选择数据捕获的时钟沿。

- 当 CLKPOL=0, CLKPHA=0，空闲时 SCLK 引脚将保持低电平，数据将在第一个时钟沿被采样，即上升沿。
- 当 CLKPOL=0, CLKPHA=1，空闲时 SCLK 引脚将保持低电平，数据将在第二个时钟沿被采样，即下降沿。
- 当 CLKPOL=1, CLKPHA=0，空闲时 SCLK 引脚将保持高电平，数据将在第一个时钟沿被采样，即下降沿。
- 当 CLKPOL=1, CLKPHA=1，空闲时 SCLK 引脚将保持高电平，数据将在第二个时钟沿被采样，即上升沿。

不管选择哪种时序模式，主设备和从设备的时序模式配置必须相同。

图 36-6 是当 SPI\_CTRL1.LSBFF = 0 时，SPI 传输的 4 种 CLKPHA 和 CLKPOL 位组合时序。

**图 36-6 数据时钟时序图**


### 36.3.1.4 数据格式

通过设置 `SPI_CTRL1.LSBFF` 位，用户可以选择数据的位顺序，当 `SPI_CTRL1.LSBFF = 0`，SPI 将先发送数据的高位（MSB），当 `SPI_CTRL1.LSBFF = 1`，SPI 将先发送数据的低位（LSB）。

通过设置 `SPI_CTRL1.DATFF` 位，用户可以选择数据帧格式。

### 36.3.1.5 CRC 计算

CRC 校验（循环冗余校验，Cyclic Redundancy Check）用于确保全双工通信的可靠性。数据发送和接收过程分别使用独立的 CRC 计算器。CRC 通过对每个接收比特执行可编程多项式运算得出，其计算过程在由 `SPI_CR1` 寄存器中 `CLKPHA` 位和 `CLKPOL` 位定义的采样时钟边沿上进行。

*注：SPI 接口提供两种 CRC 计算方式，具体取决于发送/接收所选择的数据帧格式：8 位数据帧对应 CRC8(8 位 CRC)，16 位数据帧对应 CRC16(16 位 CRC)。*

CRC 计算可通过设置 `SPI_CR2` 寄存器中的 `CRCEN` 位启用；当 `CRCEN` 位置 1 时，CRC 寄存器(`SPI_CRCTDAT` 与 `SPI_CRCRDAT`)会被复位。

若 `SPI_CR1` 寄存器中的 `CRCNEXT` 位置 1，则当前字节发送完成后，将发送 `SPI_CRCTDAT` 寄存器中的内容。在发送 `SPI_CRCTDAT` 寄存器内容的过程中，若移位寄存器接收到的值与 `SPI_CRCTDAT` 寄存器的内容不匹配，`SPI_STS` 寄存器中的 `CRCERR` 标志位将被置 1。



若发送缓冲区(TX buffer)中仍有数据，则仅在数据字节传输结束后才发送CRC值。CRC传输期间，CRC计算器处于禁用状态，各寄存器中的值保持不变。

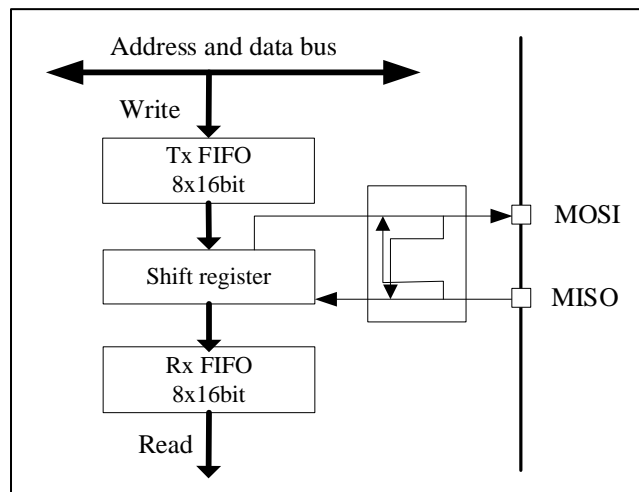
### 36.3.1.6 FIFO 功能

支持 FIFO 功能。

当数据帧格式选择为 8bit 时，TX\_FIFO 大小是 8x8bit，RX\_FIFO 大小是 8x8bit。

当数据帧格式选择为 16bit 时，TX\_FIFO 大小是 8x16bit，RX\_FIFO 大小是 8x16bit。

图 36-7 FIFO 框图



当配置 SPI\_CTRL2.FIFOEN 时，SPI 会开启 FIFO 功能。

**发送：**CPU 往 SPI\_DAT 寄存器写入数据时，发送数据会写入 TX\_FIFO，经 TX\_SHIFT 并串转换后，输出到接口。

**接收：**从接口接收数据进来，经过 RX\_SHIFT 串并转换后，转到 RX\_FIFO 中。

*注：FIFO 模式使能，读数据是读 SPI\_RX\_FIFO，非 FIFO 读时是读 SPI\_DAT，FIFO 和非 FIFO 写都是写在 SPI\_DAT 寄存器。*

为增加数据控制的灵活性，加入 TX\_FIFO 半空、TX\_FIFO 满、RX\_FIFO 半满、RX\_FIFO 满标志，且用户可查询 SPI\_FIFO\_CNT 的有效个数，来更好的兼容场景需求。

## 36.3.2 用户配置过程

### 36.3.2.1 配置 SPI 为从模式

在从模式 (slave mode) 下，SCK 引脚 (串行时钟引脚，Serial Clock Pin) 用于接收来自主设备 (master device) 的串行时钟。此时，SPI\_CTRL1 寄存器中 BR[2:0] 位 (波特率选择位) 的设置不会影响数据传输速率。

*注：建议在主设备发送时钟前先使能 SPI 从设备，以避免意外的数据传输。从设备的数据寄存器 (data register) 必须在通信时钟的第一个边沿到来之前，或在当前通信结束之前准备就绪。此外，在使能从设备和主设备之前，通信时钟的极性 (polarity) 必须处于稳定值。*

SPI 从模式配置流程如下：

- 配置过程

1. 设置 SPI\_CTRL1 寄存器的 DATFF 位，将数据帧格式定义为 8 位或 16 位。
2. 选择 SPI\_CTRL1 寄存器的 CLKPOL 位与 CLKPHA 位，定义数据传输与串行时钟（SCK）之间的相位关系。为确保数据传输正确，从设备与主设备的 CLKPOL 位和 CLKPHA 位必须采用相同配置。
3. 帧格式（由 SPI\_CTRL1 寄存器的 LSBFF 位定义，为“最高位优先（MSB first）”或“最低位优先（LSB first）”）必须与主设备保持一致。
4. 在硬件模式下（参考“NSS 引脚管理”章节），在完整的数据帧（8 位或 16 位）传输过程中，NSS 引脚必须保持低电平。在 NSS 软件模式下，需设置 SPI\_CTRL1 寄存器的 SSMEN 位，并清零 SSEL 位。
5. 清零 SPI\_CTRL1 寄存器的 MSEL 位，设置 SPI\_CTRL2 寄存器的 SPIEN 位，使对应引脚工作在 SPI 模式下。在此配置下，MOSI 引脚为数据输入端，MISO 引脚为数据输出端。

#### ➤ 数据传输过程

在写操作中，数据 words 会并行写入发送缓冲区。当从设备接收到时钟信号，且 MOSI 引脚上出现第一个数据位时，传输过程随即开始（注：此时第一个数据位已发送出去）。剩余的数据位（8 位数据帧格式下为 7 位，16 位数据帧格式下为 15 位）会加载到移位寄存器中。

当发送缓冲区中的数据传输至移位寄存器后，SPI\_STS 寄存器（SPI 状态寄存器）中的 TE 标志位（发送空标志位）会被置位；若 SPI\_CR2 寄存器（SPI 控制寄存器 2）中的 TEINTEN 位（发送空中断使能位）已置位，则会产生中断。

#### ➤ 数据接收过程

对于接收端而言，当数据接收完成时：

- 移位寄存器（shift register）中的数据会传输至接收缓冲区（receive buffer），同时 SPI\_STS 寄存器（SPI 状态寄存器）中的 RNE 标志位（接收非空标志位）会被置位。
- 若 SPI\_CTRL2 寄存器（SPI 控制寄存器 2）中的 RNEINTEN 位（接收非空中断使能位）已置位，则会产生中断。

在最后一个采样时钟边沿之后，RNE 位会被置为“1”，同时移位寄存器中接收到的数据字节会传输至接收缓冲区。读取 SPI\_DAT 寄存器（SPI 数据寄存器）时，SPI 设备会返回该接收缓冲区中的数值。读取 SPI\_DAT 寄存器后，RNE 位（接收非空标志位）会被清零。

### 36.3.2.2 配置 SPI 为主模式

#### ➤ 配置过程

1. 通过 SPI\_CTRL1 寄存器的 BR[2:0]位（波特率选择位）定义串行时钟波特率。
2. 选择 SPI\_CTRL1 寄存器的 CLKPOL 位（时钟极性位）与 CLKPHA 位（时钟相位位），定义数据传输与串行时钟之间的相位关系。
3. 设置 SPI\_CTRL1 寄存器的 DATFF 位（数据帧格式位），定义 8 位或 16 位的数据帧格式。
4. 配置 SPI\_CTRL1 寄存器的 LSBFF 位（最低位优先格式位），定义帧格式（即“最高位优先（MSB first）”或“最低位优先（LSB first）”）。
5. 若 NSS 引脚（从设备选择引脚）需工作在输入模式：

在硬件模式下，在整个数据帧传输过程中，NSS 引脚应接高电平；

在软件模式下，需设置 SPI\_CTRL1 寄存器的 SSMEN 位（软件从设备管理使能位）与 SSEL 位（从设备选择位）。

若 NSS 引脚工作在输出模式，则仅需设置 SPI\_CTRL1 寄存器的 SSOEN 位（从设备选择输出使能位）。

6. 必须设置 SPI\_CTRL1 寄存器的 MSEL 位（主模式选择位）与 SPI\_CTRL2 寄存器的 SPIEN 位（SPI 使能位）（仅当 NSS 引脚接高电平时，这些位才能保持置位状态）。在此配置下，MOSI 引脚为数据输出端，MISO 引脚为数据输入端。

#### ➤ 数据传输过程

向发送缓冲区写入数据时，传输过程随即开始。发送第一个数据位时，数据字会通过内部总线并行加载到移位寄存器中，随后以串行方式移出至 MOSI 引脚；其中，数据是最高位（MSB）优先还是最低位（LSB）优先，取决于 SPI\_CTRL1 寄存器中 LSBFF 位（最低位优先格式位）的设置。

当数据从发送缓冲区传输至移位寄存器后，TE 标志位（发送空标志位）会被置位；若 SPI\_CTRL2 寄存器（SPI 控制寄存器 2）中的 TEINTEN 位（发送空中断使能位）已置位，则会产生中断。

#### ➤ 数据接收过程

当数据传输完成时，接收端会执行以下操作：

移位寄存器（shift register）中的数据将传输至接收缓冲区（receive buffer），同时接收非空标志位（RNE）会被置位。

若 SPI\_CTRL2 寄存器（SPI 控制寄存器 2）中的接收非空中断使能位（RNEINTEN）已置位，则会产生中断。

在最后一个采样时钟边沿之后，接收非空标志位（RNE）会被置位，且移位寄存器中接收到的数据字节会传输至接收缓冲区。读取 SPI\_DAT 寄存器（SPI 数据寄存器）时，SPI 设备会返回接收缓冲区中的数据。读取 SPI\_DAT 寄存器后，接收非空标志位（RXNE）会被清零。

传输一旦开始，若将待发送的下一段数据放入发送缓冲区（transmit buffer），即可维持连续的传输流。在尝试向发送缓冲区写入数据前，需确保发送空标志位（TE）已被置为“1”。

*注：在 NSS（从设备选择）硬件模式下，从设备的 NSS 输入由 NSS 引脚或其他由软件驱动的 GPIO 引脚控制。*

### 36.3.2.3 配置 SPI 单工通信

SPI 模块可通过以下两种配置工作在单工模式下：

1. 1 条时钟线+ 1 条双向数据线；
2. 1 条时钟线+ 1 条单向数据线（仅接收或仅发送）

#### ➤ 1 条时钟线+ 1 条双向数据线（BIDIRMODE=1）

通过设置 SPI\_CTRL1 寄存器的 BIDIRMODE 位（双向模式位）使能该模式。在此模式下，SCK 引脚（串行时钟引脚）用作时钟线；主设备通过 MOSI 引脚、从设备通过 MISO 引脚进行数据通信。数据传输方向由 SPI\_CTRL1 寄存器的 BIDIROEN 位（双向输出使能位）控制：当该位为“1”时，数据线配置为输出模式；否则配置为输入模式。

➤ 1 条时钟线+ 1 条单向数据线 (BIDIRMODE=0)

在此模式下, SPI 模块可配置为仅发送模式或仅接收模式。

- 仅发送模式: 与全双工模式 (BIDIRMODE=0、RONLY=0) 类似, 数据通过发送引脚 (主模式下为 MOSI 引脚, 从模式下为 MISO 引脚) 传输; 而接收引脚 (主模式下为 MISO 引脚, 从模式下为 MOSI 引脚) 可作为通用 I/O 使用。此时, 软件无需关注接收缓冲区中的数据 (若读取数据寄存器, 其中不会包含任何接收数据)。
- 仅接收模式: 通过设置 SPI\_CTRL1 寄存器的 RONLY 位 (仅接收位), 可禁用 SPI 的输出功能; 此时, 发送引脚 (主模式下为 MOSI 引脚, 从模式下为 MISO 引脚) 会被释放, 可用于其他功能。  
配置并使能 SPI 模块为仅接收模式的相关说明如下:

- 主模式下: SPI 使能后, 通信立即启动; 当 SPIEN 位 (SPI 使能位) 清零时, 当前接收过程停止。此模式下无需读取 BUSY 标志位, 因为在整个 SPI 通信过程中该标志位始终为 “1”。
- 从模式下: 只要 NSS (从设备选择) 引脚被拉低, 且 SCK 引脚上存在时钟脉冲, SPI 就会持续接收数据。

### 36.3.3 数据传输和接收过程

#### 36.3.3.1 接收和传输 Buffers

接收数据时, 接收到的数据会存储在内部接收缓冲区中; 发送数据时, 数据需先存储到内部发送缓冲区, 再进行发送。从 SPI\_DAT 寄存器 (SPI 数据寄存器) 读取数据, 返回的是接收缓冲区中的内容; 向 SPI\_DAT 寄存器写入数据, 则是将数据写入发送缓冲区。

#### 36.3.3.2 主模式下启动传输

- 全双工模式 (BIDIRMODE=0 且 RONLY=0)
  - 向 SPI\_DAT 寄存器 (发送缓冲区) 写入数据后, 传输过程开始。
  - 在发送第一个数据位的过程中, 数据会从发送缓冲区并行传输至 8 位移位寄存器, 随后依次移位输出至 MOSI 引脚。
  - 与此同时, MISO 引脚上接收到的数据会依次移位输入至 8 位移位寄存器, 之后并行传输至 SPI\_DAT 寄存器 (接收缓冲区)。
- 单向仅接收模式 (BIDIRMODE=0 且 RONLY=1)
  - 当 SPIEN 位 (SPI 使能位) 置 1 时, 传输开始。
  - 仅接收器处于工作状态, MISO 引脚上接收到的数据会依次移位输入至 8 位移位寄存器, 随后并行传输至 SPI\_DAT 寄存器 (接收缓冲区, Receive Buffer)。
- 双向模式 (发送状态) (BIDIRMODE=1 且 BIDIROEN=1)
  - 向 SPI\_DAT 寄存器 (发送缓冲区, Transmit Buffer) 写入数据后, 传输过程开始。
  - 在发送第一个数据位的过程中, 数据会从发送缓冲区并行传输至 8 位移位寄存器, 随后依次移位输出至 MOSI 引脚。
  - 此状态下不接收数据。

- 双向模式（接收状态）（ $BIDIRMODE=1$  且  $BIDIROEN=0$ ）
  - 当  $SPIEN$  位（SPI 使能位）置 1 且  $BIDIROEN$  位（双向输出使能位）置 0 时，传输开始。
  - $MOSI$  引脚上接收到的数据会依次移位输入至 8 位移位寄存器（8-bit shift register），随后并行传输至  $SPI\_DAT$  寄存器（接收缓冲区，Receive Buffer）。
  - 发送器未激活，不会有数据依次移位输出至  $MOSI$  引脚。

### 36.3.3.3 主模式下启动接收

- 全双工模式（ $BIDIRMODE=0$  且  $RONLY=0$ ）
  - 当从设备接收到时钟信号，且其  $MOSI$  引脚上出现第一个数据位时，传输开始；随后，后续数据位会依次移入移位寄存器。
  - 与此同时，在发送第一个数据位的过程中，发送缓冲区中的数据会并行传输至 8 位移位寄存器，之后以串行方式发送至  $MISO$  引脚。软件必须确保：在 SPI 主设备开始数据传输前，将待发送数据写入发送缓冲区。
- 单向仅接收模式（ $BIDIRMODE=0$  且  $RONLY=1$ ）
  - 当从设备接收到时钟信号，且其  $MOSI$  引脚上出现第一个数据位时，传输开始；随后，后续数据位会依次移入移位寄存器（shift register）。
  - 发送器未激活，不会有数据以串行方式发送至  $MISO$  引脚。
- 双向模式（发送状态）（ $BIDIRMODE=1$  且  $BIDIROEN=1$ ）
  - 当从设备接收到时钟信号，且发送缓冲区中的第一个数据位发送至  $MISO$  引脚时，传输开始。
  - 在向  $MISO$  引脚发送第一个数据位的过程中，发送缓冲区中待发送的数据会并行传输至 8 位移位寄存器（8-bit shift register），随后以串行方式发送至  $MISO$  引脚。软件必须确保：在 SPI 主设备开始数据传输前，将待发送数据写入发送缓冲区（transmit buffer）。
  - 此状态下不接收数据。
- 双向模式（接收状态）（ $BIDIRMODE=1$  且  $BIDIROEN=0$ ）
  - 当从设备接收到时钟信号，且其  $MOSI$  引脚上出现第一个数据位时，传输开始。
  - $MISO$  引脚上接收到的数据会以串行方式传输至 8 位移位寄存器（8-bit shift register），随后以并行方式传输至  $SPI\_DAT$  寄存器（接收缓冲区，Receive Buffer）。
  - 发送器未激活，不会有数据以串行方式发送至  $MISO$  引脚。

### 36.3.3.4 数据收发处理

当数据从发送缓冲区传输至移位寄存器时， $TE$  标志位（发送缓冲区空标志）会被置位，表明内部发送缓冲区已准备好接收下一段数据；若  $SPI\_CTRL2$  寄存器中的  $TEINTEN$  位（发送空中断使能位）已置位，则此时会产生中断；向  $SPI\_DAT$  寄存器（SPI 数据寄存器）写入数据会将  $TE$  标志位清零。

*注：向发送缓冲区写入数据前，软件必须确保  $TE$  标志位为“1”，否则新数据会覆盖发送缓冲区中已有的数据。*

在采样时钟的最后一个边沿，当数据从移位寄存器传输至接收缓冲区时， $RNE$  标志位（接收缓冲区非空标志）会被置位；该标志位表明数据已可从  $SPI\_DAT$  寄存器中读取；若  $SPI\_CTRL2$  寄存器中的  $RNEINTEN$

位（接收非空中断使能位）已置位，则此时会产生中断；从 SPI\_DAT 寄存器读取数据会将 RNE 标志位清零。在部分配置下，发送最后一段数据时，可通过 BUSY 标志位（忙标志位）等待数据传输结束。

### 36.3.3.5 主模式或从模式下的全双工收发流程

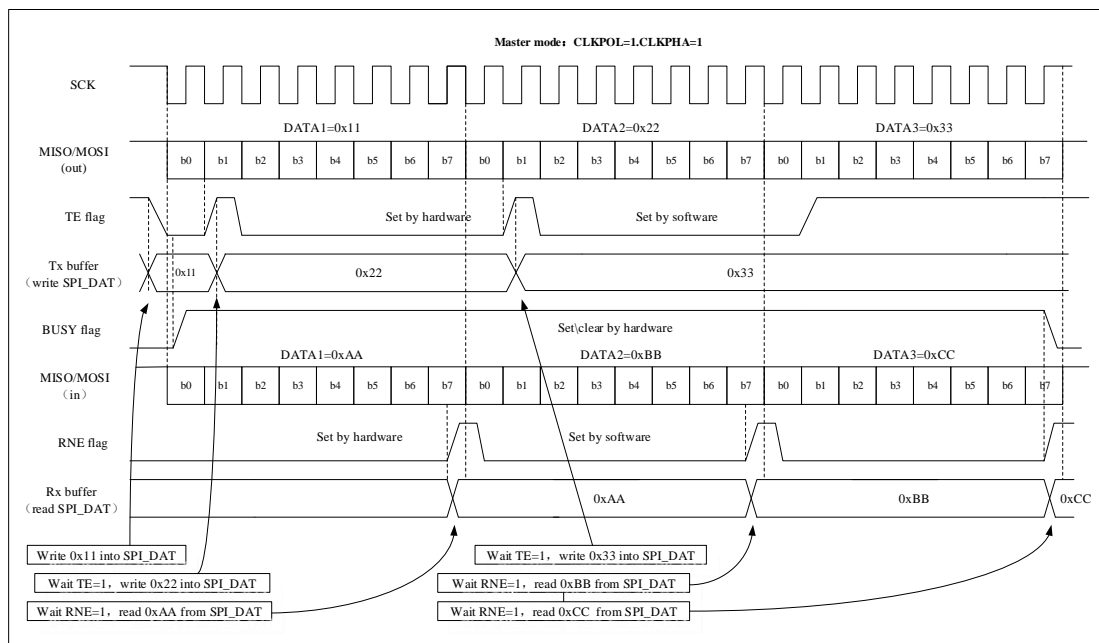
#### ➤ 主机全双工模式（SPI\_CTRL1.MSEL = 1, SPI\_CTRL1.BIDIRMODE = 0, SPI\_CTRL1.RONLY = 0）

第一个数据被写到 SPI\_DAT 寄存器后，将会开始传输，数据第一个位被发送时，数据字节并行从数据寄存器装载进入移位寄存器，然后数据位按照 SPI\_CTRL1.LSBFF 位的配置，数据位按照 MSB 或 LSB 顺序被串行移位进入 MOSI 引脚。与此同时，在 MISO 引脚上接收到的数据，按照同样顺序被串行地移位进入移位寄存器，然后并行装载入 SPI\_DAT 寄存器。

1. 设置SPI\_CTRL2.SPIEN位为1，使能SPI模块；
2. 写待发送的第一个数据到SPI\_DAT（这个写操作会清除SPI\_STS.TE标志位）；
3. 等待SPI\_STS.TE标志位置1后，再写入第二个待发送的数据到SPI\_DAT寄存器，等待SPI\_STS.RNE标志位置1后，读取SPI\_DAT寄存器获得第一个接收的数据，读取SPI\_DAT寄存器，SPI\_STS.RNE标志位会清0。重复上述操作，发送后续的数据，同时接收第n-1个数据；
4. 等待SPI\_STS.RNE置1后，读取最后一个数据；
5. 等待SPI\_STS.TE标志位置1，等待SPI\_STS.BUSY标志位清除后再关闭SPI模块。

数据的发送和接收处理可以在 SPI\_STS.RNE 标志位或 SPI\_STS.TE 标志位的上升沿产生的中断处理程序中实现。

图 36-8 主机全双工模式下连续传输时，SPI\_STS.TE/RNE/BUSY 的变化示意图



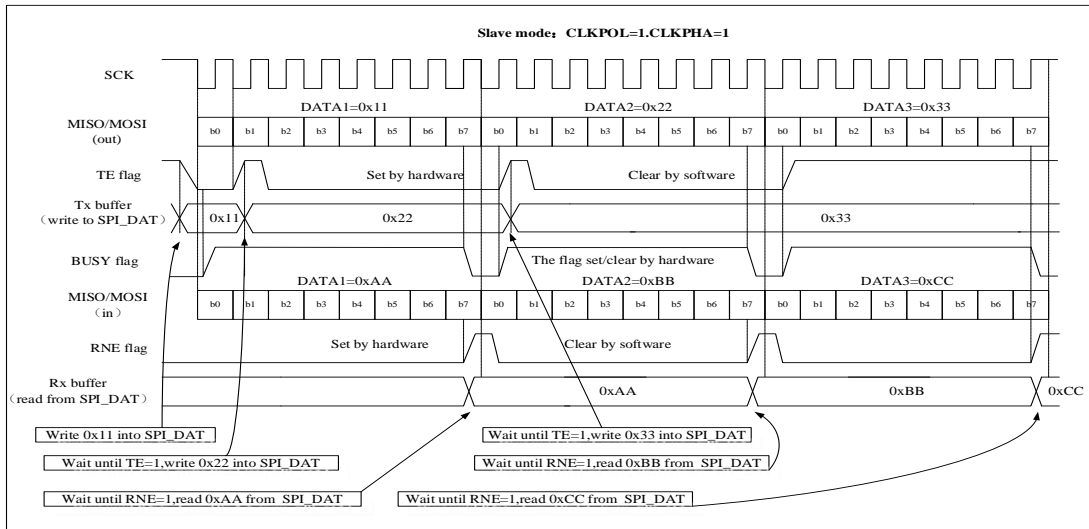
#### ➤ 从机全双工模式（SPI\_CTRL1.MSEL = 0, SPI\_CTRL1.BIDIRMODE = 0, SPI\_CTRL1.RONLY = 0）

当从设备接收到时钟信号并且第一个数据位出现在它的 MOSI 时，数据传输开始，随后的数据位依次移动进入移位寄存器；

与此同时，在传输第一个数据位时，发送缓冲器中的数据被并行地传送到 8 位的移位寄存器，随后被串

行地发送到 MISO 引脚上。软件必须保证在 SPI 主设备开始数据传输之前在从机发送寄存器中写入要发送的数据。

图 36-9 从机全双工模式下连续传输时，SPI\_STS.TE/RNE/BUSY 的变化示意图



### 36.3.3.6 主模式或从模式下的双线单向收发流程

➤ 主机双线单向仅发送模式 (SPI\_CTRL1.MSEL = 1, SPI\_CTRL1.BIDIRMODE = 0, SPI\_CTRL1.ROONLY = 0)

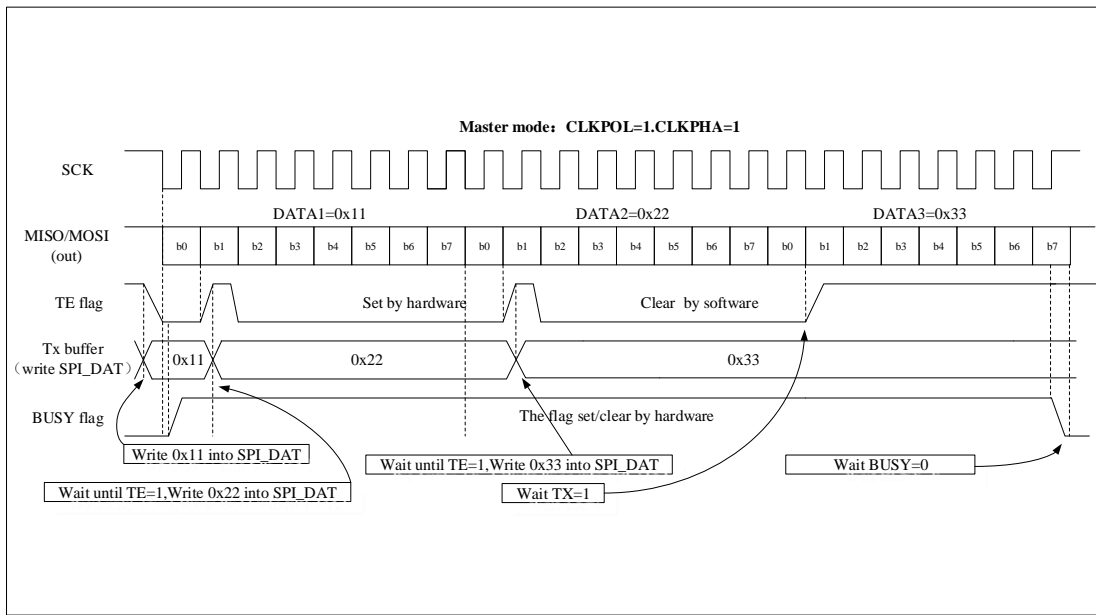
双线单向仅发送模式和全双工模式相似，但是在双线单向仅发送模式，接收的数据将不会被读取，因此 SPI\_STS.OVER 标志位将会置位，软件应该忽略这个位。软件操作流程如下：

1. 设置 SPI\_CTRL2.SPIEN 位为 1，使能 SPI 模块；
2. 写待发送的第一个数据到 SPI\_DAT 寄存器（该操作会清除 SPI\_STS.TE 标志位）；
3. 等待 SPI\_STS.TE 标志位置 1，写待发送的第二个数据到 SPI\_DAT 寄存器，重复这个操作发送后续的数据；
4. 写最后一个数据到 SPI\_DAT 寄存器，等待 SPI\_STS.TE 标志位置 1，然后等待 SPI\_STS.BUSY 位清除，完成所有数据的发送。也可以在响应 SPI\_STS.TE 标志的上升沿产生的中断的处理程序中实现这个过程。

注：1. 对于不连续的传输，在写入 SPI\_DAT 寄存器的操作与设置 SPI\_STS.BUSY 位之间有 2 个 APB 时钟周期的延迟，因此在只发送模式下，写入最后一个数据后，最好先等待 SPI\_STS.TE 为 1，然后再等待 SPI\_STS.BUSY 为 0。

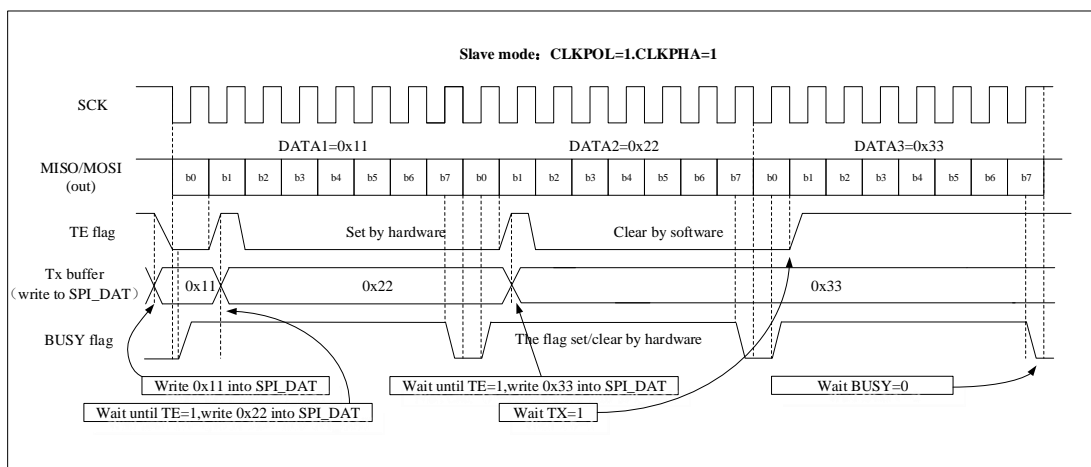
2. 只发送模式下，在传输 2 个数据之后，由于不会读出接收到的数据，SPI\_STS 寄存器中的 OVER 位会变为 '1'。（注：软件不必理会这个 OVER 标志位）。

图 36-10 主机单向只发送模式下连续传输时，SPI\_STS.TE/BUSY 变化示意图



➤ 从机双线单向仅发送模式 (SPI\_CTRL1.MSEL = 0, SPI\_CTRL1.BIDIRMODE = 0, SPI\_CTRL1.ROONLY = 0)

图 36-11 从机单向只发送模式下连续传输时，SPI\_STS.TE/BUSY 变化示意图



### 36.3.3.7 双向传输流程

在此模式下，操作流程与仅发送模式类似，不同之处在于：使能 SPI 模块前，需将 SPI\_CTRL1 寄存器中的 BIDIRMODE 位（双向模式位）与 BIDIROEN 位（双向输出使能位）均置为“1”。

### 36.3.3.8 主机双线单向仅接收模式 (SPI\_CTRL1.MSEL = 1, SPI\_CTRL1.BIDIMODE = 0, SPI\_CTRL1.ROONLY = 1)

当 SPI\_CTRL2.SPIEN = 1，开始接收过程。来自 MISO 引脚的数据位依次连续移位进入移位寄存器，然后并行传送数据到 SPI\_DAT 寄存器。软件操作流程如下：

1. 设置 SPI\_CTRL1.ROONLY = 1，使能仅接收模式；
2. 主机模式下，设置 SPI\_CTRL2.SPIEN 位为 1，使能 SPI 模块，SCLK 信号会立即产生，在 SPI 关闭前

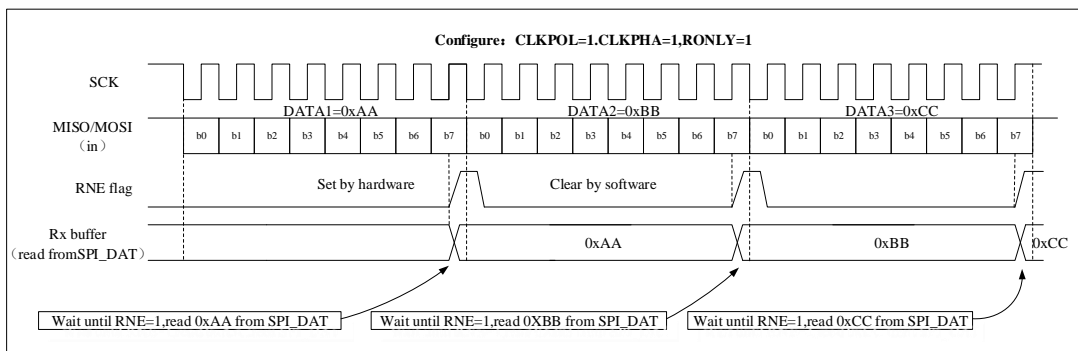


(SPI\_CTRL2.SPIEN = 0)，数据连续被接收。从机模式下，当主设备驱动 NSS 信号低电平并且产生 SCLK，数据持续被接收；

3. 等待 SPI\_STS.RNE 位置 1，读取 SPI\_DAT 寄存器获得接收的数据，当读取 SPI\_DAT 寄存器，SPI\_STS.RNE 位将会清除。重复这个操作接收所有数据。

数据处理可以在 SPI\_STS.RNE 标志位产生的中断处理程序里实现。

图 36-12 只接收模式 (BIDIRMODE = 0 且 RONLY = 1) 下连续传输时，RNE 变化示意图



### 36.3.3.9 双向接收流程 (BIDIMODE=1 且 BIDIOE=0)

在此模式下，操作流程与仅接收模式类似，不同之处在于：使能 SPI 模块前，需将 SPI\_CTRL2 寄存器中的 BIDIRMODE 位（双向模式位）置为“1”，并将 BIDIROEN 位（双向输出使能位）清零为“0”。

### 36.3.3.10 连续传输与非连续传输

当在主模式下发送数据时，如果软件足够快，能够在检测到每次 TE 的上升沿(或 TE 中断)，并立即在正在进行的传输结束之前写入 SPI\_DAT 寄存器，则能够实现连续的通信；此时，在每个数据项的传输之间的 SPI 时钟保持连续，同时 SPI\_STS.BUSY 位不会被清除。

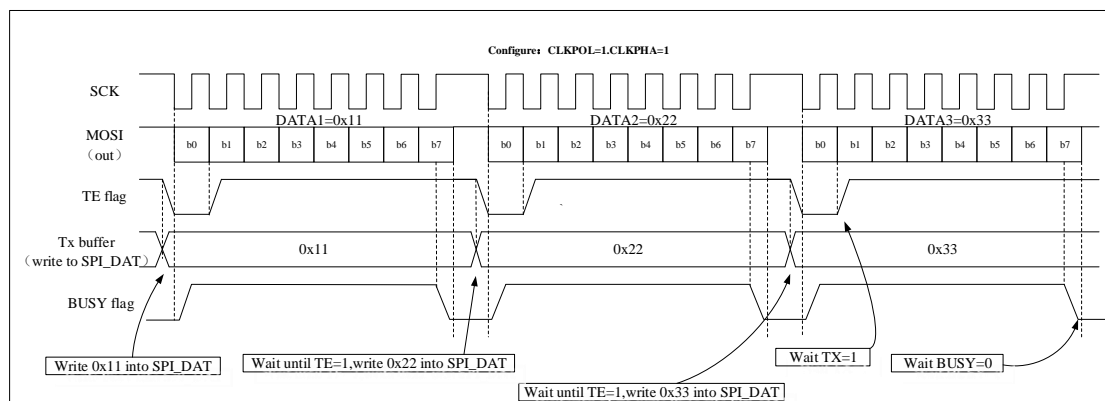
如果软件不够快，则会导致不连续的通信；这时，在每个数据传输之间会被清除(见下图)。

在主模式的只接收模式下(SPI\_CTRL1.RONLY=1)，通信总是连续的，而且SPI\_STS.BUSY标志始终为‘1’。

在从模式下，通信的连续性由 SPI 主设备决定。不管怎样，即使通信是连续的，SPI\_STS.BUSY 标志会在每个数据项之间至少有一个 SPI 时钟周期为低。

补充：若希望出现片选随每帧数据进行翻转，即帧传输期间，片选拉低；帧传输完成，片选拉高。用户可以在帧传输前使能 SPI，传输完成后，关闭 SPI。

图 36-13 BIDIRMODE = 0, RONLY = 0 非连续传输发送时，SPI\_STS.TE/BUSY 变化示意图



### 36.3.3.11 SPI 初始化过程

1. 通过设置 SPI\_CTRL1.BR[2:0]位配置数据传输的波特率；
2. 选择时钟极性（SPI\_CTRL1.CLKPOL）和时钟相位（SPI\_CTRL1.CLKPHA），定义数据传输和时钟的相位关系；
3. 设置 SPI\_CTRL1.DATFF 位定义帧格式为 8bit 还是 16bit；
4. 配置 SPI\_CTRL1.LSBFF 定义数据位发送的顺序是 LSB 还是 MSB；
5. 配置 NSS 模式；
6. 配置 SPI\_CTRL1.MSEL、SPI\_CTRL1.BIDIRMODE、SPI\_CTRL1.BIDIROEN 和 SPI\_CTRL1.ROONLY 位
7. 设置 SPI\_CTRL2.SPIEN 位使能 SPI 模块。

### 36.3.3.12 SPI 协议基本的发送和接收处理

当 SPI 发送 1 个数据帧，首先，数据帧从数据缓存装载进移位寄存器，然后装载的数据被发送。当来自发送缓存的数据传输进移位寄存器，发送缓存器为空，SPI\_STS.TE 标志位置 1，然后下一个数据可装载进入发送缓存。如果 SPI\_CTRL2.TEINTEN 位置 1，中断将会产生。写 SPI\_DAT 寄存器可以对 SPI\_STS.TE 标志位清 0。

采样时钟的最后一个边沿，当数据从移位寄存器传输进接收缓存，SPI\_STS.RNE 标志位置 1，数据准备就绪，可以从 SPI\_DAT 寄存器读取。如果 SPI\_CTRL2.RNEINTEN 标志位置 1，中断将会产生。读 SPI\_DAT 寄存器可以对 SPI\_STS.RNE 标志位清 0。

主模式下，当数据写进发送缓存，发送过程开始。当前数据帧发送完成前，如果下个数据写进 SPI\_DAT 寄存器，连续发送可以实现。

从机模式下，NSS 引脚为低，当第一个时钟沿到来，发送过程开始。为了避免意外的数据传输，数据发送前（主机发送时钟前，建议先使能 SPI 模块）软件必须写数据到发送缓存。

在有些配置里，当发送最后数据时，SPI\_STS.BUSY 标志位可以用于等待数据发送结束。

## 36.3.4 CRC 计算

SPI通信可以通过以下步骤使用CRC：

- 在SPI\_CRCPOLY寄存器输入多项式；
- 设置SPI\_CTRL2.CRCEN位使能CRC计算，该操作也会清除寄存器SPI\_CRCRDAT 和SPI\_CRCTDAT；
- 设置SPI\_CTRL2.SPIEN位启动SPI功能；
- 启动通信并且维持通信，直到只剩最后一个字节或者半字；
- 在把最后一个字节或半字写进发送缓冲器时，设置SPI\_CTRL1.CRCNEXT位，指示硬件在发送完成最后一个数据之后，发送CRC的数值。在发送CRC数值期间，停止CRC计算；
- 当最后一个字节或半字被发送后，SPI 发送 CRC 数值，SPI\_CTRL1.CRCNEXT 位被清除。同样，接收到的 CRC 与 SPI\_CRCRDAT 值进行比较，如果比较不相配，则设置 SPI\_STS.CRCERR 标志位，当设置了 SPI\_CTRL2.ERRINTEN 时，则产生中断。

*注意：当 SPI 模块处于从设备模式时，请注意在时钟稳定之后再使能 CRC 计算，否则可能会得到错误的 CRC*

计算结果。只要设置了 `SPI_CTRL2.CRCEN` 位，并在 `SCK` 引脚上有输入时钟，不管 `SPI_CTRL2.SPIEN` 位的状态是什么，都会进行 CRC 的计算。

当 SPI 时钟频率较高时，用户在发送 CRC 时必须小心。在 CRC 传输期间，使用 CPU 的时间应尽可能少；为了避免在接收最后的数据和 CRC 时出错，在发送 CRC 过程中应禁止函数调用。必须在发送/接收最后一个数据之前完成设置 `CRCNEXT` 位的操作。

当 SPI 时钟频率较高时，因为 CPU 的操作会影响 SPI 的带宽，建议采用 DMA 模式以避免 SPI 降低速度。

当 SPI 配置为从模式并且使用了 NSS 硬件模式，NSS 引脚应该在数据传输和 CRC 传输期间保持为低。当配置 SPI 为从模式并且使用 CRC 的功能，即使 NSS 引脚为高时仍然会执行 CRC 的计算（当 NSS 信号为高时，如果 `SCK` 引脚上有时钟脉冲，则 CRC 计算会继续执行。例如：当主设备交替地与多个从设备进行通信时，将会出现这种情况，设置 `SPI_CTRL2[13]` 位可避免该情况下 CRC 的误操作）。

在不选中一个从设备 (NSS 信号为高) 转换到选中一个新的从设备 (NSS 信号为低) 的时候，为了保持主从设备端下次 CRC 计算结果的同步，应该清除主从两端的 CRC 数值。

按照下述步骤清除 CRC 数值：

1. 关闭 SPI 模块 (`SPI_CTRL2.SPIEN=0`);
2. 清除 `SPI_CTRL2.CRCEN` 位为 '0';
3. 设置 `SPI_CTRL2.CRCEN` 位为 '1';
4. 使能 SPI 模块 (`SPI_CTRL2.SPIEN=1`)。

## 发送 CRC

### ■ 在非 FIFO 模式下：

1. CPU 模式时，CRC 需要用户在最后一个数据发送之前，配置 `SPI_CTRL1.CRCNEXT` 位为 1，去发送 CRC；
2. DMA 模式时，CRC 会硬件进行自动发送；

### ■ 在 FIFO 模式下：

1. CPU 模式下，若为只收模式，那么 CRC 会根据用户配置的 `SPI_TRANS_NUM` 寄存器的值自动发送 CRC；
2. CPU 模式下，除了只收模式，CRC 需要用户在最后一个数据发送之前，配置 `SPI_CTRL1.CRCNEXT` 位为 1，去发送 CRC；
3. DMA 模式，CRC 会硬件进行自动发送。

注：在实际应用中，如果通过软件计算 CRC 来匹配硬件计算结果，则需要正确配置如下内容：

## CRC8/CRC16

- 宽度 WIDTH: 8/16
- 多项式 POLY: 可通过 `SPI_CRCPOLY` 寄存器配置
- 初始值 INIT: 0x0000
- 结果异或值 XOROUT: 0x0000
- 输入数据反转 REFIN: 否

- 输出数据反转 REFOUT: 否

### 36.3.5 状态标志

SPI\_STS 寄存器包含 3 个标志位，用于监控 SPI 的工作状态：

- 发送缓冲区空标志位 (TE)

当发送缓冲区为空时，TE 标志位 (SPI\_STS.TE) 会被置为 1，这表示可向 SPI\_DAT 寄存器写入新数据；当发送缓冲区非空时，硬件会将该标志位清零为 0。

- 接收缓冲区非空标志位 (RNE)

当接收缓冲区非空时，RNE 标志位 (SPI\_STS.RNE) 会被置为 1，以此提示用户接收缓冲区中存在数据；读取 SPI\_DAT 寄存器后，硬件会将该标志位清零为 0。

- 忙标志位 (BUSY)

当传输开始时，硬件会将 BUSY 标志位 (SPI\_STS.BUSY) 置为 1；当传输结束后，硬件会将 BUSY 标志位置为 0。仅当设备处于主模式单线双向接收模式时，通信进行过程中 BUSY 标志位 (SPI\_STS.BUSY) 才会被置为 0。

在以下情况下，BUSY 标志位 (SPI\_STS.BUSY) 会被清零为 0：

- ✧ 传输结束（主模式下的连续通信除外）；
- ✧ 禁用 SPI 模块 (SPI\_CTRL1.SPIEN=0)；
- ✧ 发生主模式错误 (SPI\_STS.MODERR=1)

在非连续通信中，每笔数据传输之间，BUSY 标志位保持低电平。

在连续通信中：

- ✧ 主模式下：整个传输过程中，BUSY 标志位始终保持高电平；
- ✧ 从模式下：每笔数据传输之间，BUSY 标志位会在一个 SPI 时钟周期内保持低电平。

注：不建议使用 BUSY 标志位处理每笔数据的收发；优先使用 TE 标志位（发送缓冲区空标志位）和 RNE 标志位（接收缓冲区非空标志位）。

### 36.3.6 关闭 SPI

当通讯结束，可以通过关闭 SPI 模块来终止通讯。清除 SPI\_CTRL2.SPIEN 位即可关闭 SPI。

在某些配置下，如果在传输还未完成时，就关闭 SPI 模块并进入停机模式，则可能导致当前的传输被破坏，而且 SPI\_STS.BUSY 标志也变得不可信。

为了避免发生这种情况，关闭 SPI 模块时，建议按照下述步骤操作：

#### (1) 主或从模式下的全双工模式 (SPI\_CTRL1.BIDIMODE=0, SPI\_CTRL1.ROONLY=0)

1. 等待 SPI\_STS.RNE=1 并接收最后一个数据；
2. 等待 SPI\_STS.TE=1；
3. 等待 SPI\_STS.BUSY=0；

4. 关闭SPI(SPI\_CTRL2.SPIEN=0), 最后进入停机模式(或关闭该模块的时钟)。

**(2)主或从模式下的单向只发送模式(SPI\_CTRL1.BIDIMODE=0, SPI\_CTRL1.ROONLY=0)或双向的发送模式(SPI\_CTRL1.BIDIMODE=1, SPI\_CTRL1.BIDIROEN=1)**

在SPI\_DAT寄存器中写入最后一个数据后:

1. 等待SPI\_STS.TE=1;
2. 等待SPI\_STS.BUSY=0;
3. 关闭SPI(SPI\_CTRL2.SPIEN=0), 最后进入停机模式(或关闭该模块的时钟)。

*注: 在主模式下的单向只发送模式时, 传输过程中SPI\_STS.BUSY标志始终为低。*

**(3)主或从模式下的单向只接收模式(SPI\_CTRL1.MSEL=1, SPI\_CTRL1.BIDIMODE=0, SPI\_CTRL1.ROONLY=1)或双向的接收模式(SPI\_CTRL1.MSEL=1, SPI\_CTRL1.BIDIMODE=1, SPI\_CTRL1.BIDIROEN=0)**

这种情况需要特别地处理, 以保证SPI不会开始一次新的传输:

1. 等待倒数第二个(第n-1个)SPI\_STS.RNE=1;
2. 在关闭SPI(SPI\_CTRL2.SPIEN=0)之前等待一个SPI时钟周期(使用软件延迟);
3. 在进入停机模式(或关闭该模块的时钟)之前等待最后一个SPI\_STS.RNE=1。

**(4)从模式下的只接收模式(SPI\_CTRL1.MSEL=0, SPI\_CTRL1.BIDIMODE=0, SPI\_CTRL1.ROONLY=1)或双向的接收模式(SPI\_CTRL1.MSEL=0, SPI\_CTRL1.BIDIMODE=1, SPI\_CTRL1.BIDIROEN=0)**

1. 可以在任何时候关闭SPI(SPI\_CTRL2.SPIEN=0), SPI会在当前的传输结束后被关闭;
2. 如果希望进入停机模式, 在进入停机模式(或关闭该模块的时钟)之前必须首先等待 SPI\_STS.BUSY=0。

### 36.3.7 使用 DMA 进行 SPI 通讯

为了达到最大通信速度, 需要及时往SPI发送缓冲器填数据, 同样接收缓冲器中的数据也必须及时读走以防止溢出。为了方便高速率的数据传输, SPI实现了一种采用简单的请求/应答的DMA机制。

当SPI\_CTRL2寄存器上的对应使能位被设置时, SPI模块可以发出DMA传输请求。发送缓冲器和接收缓冲器亦有各自的DMA请求。

- 发送时, 在每次TE被设置为'1'时发出DMA请求, DMA控制器则写数据至SPI\_DAT寄存器, 清除TE标志。
- 接收时, 在每次RNE被设置为'1'时发出DMA请求, DMA控制器则从SPI\_DAT寄存器读出数据, 清除RNE标志。

当只使用SPI发送数据时, 只需使能SPI的发送DMA通道。此时, 因为没有读取收到的数据, OVER被置为'1'(软件不必理会这个标志)。

当只使用 SPI 接收数据时, 只需使能 SPI 的接收 DMA 通道。

在发送模式下, 当DMA已经传输了所有要发送的数据(DMA\_ISR寄存器的TCIF标志变为'1')后, 可以通过监视SPI\_STS.BUSY标志以确认SPI通信结束, 这样可以避免在关闭SPI或进入停止模式时, 破坏最后一个数据的传输。因此软件需要先等待TE=1, 然后等待SPI\_STS.BUSY=0。

注：在不连续的通信中，在写数据到 SPI\_DAT 的操作与 SPI\_STS.BUSY 位被置为 '1' 之间，有 2 个 APB 时钟周期的延迟，因此，在写完最后一个数据后需要先等待 TE=1 再等待 SPI\_STS.BUSY=0。

图 36-14 使用 DMA 发送

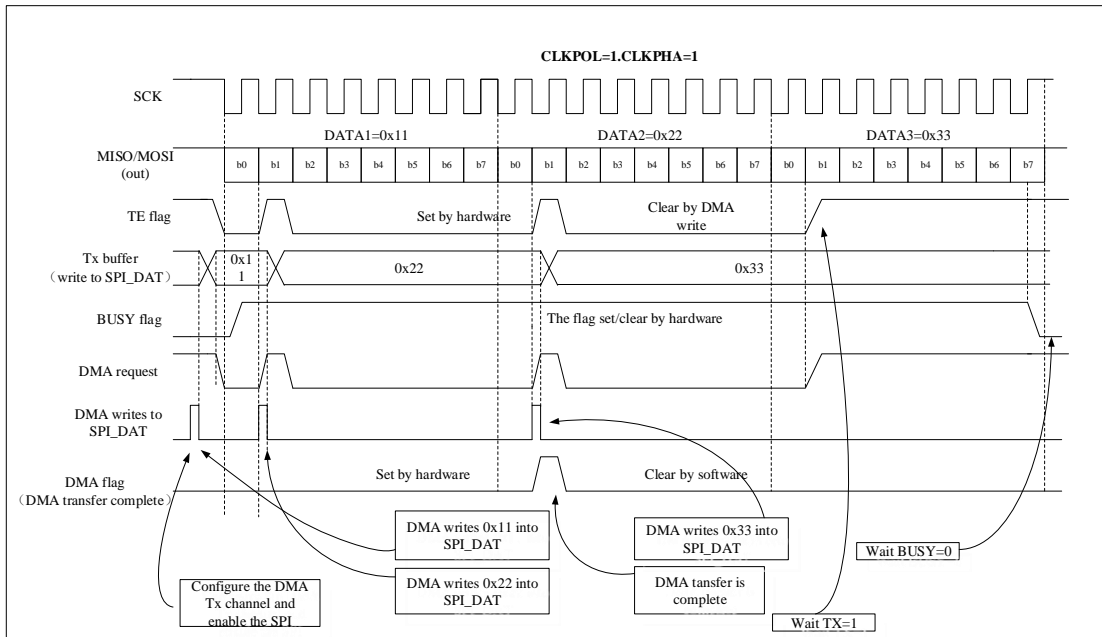
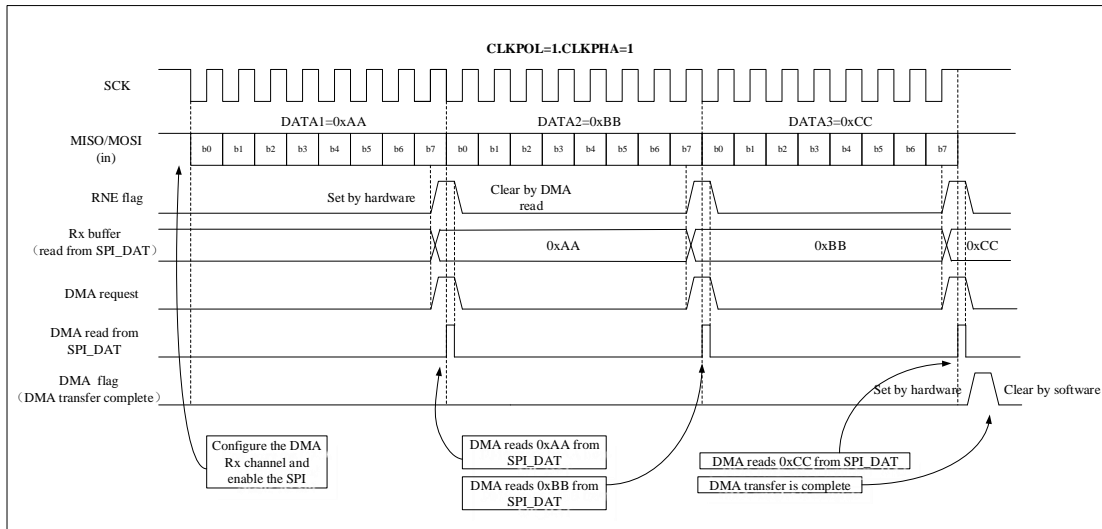


图 36-15 使用 DMA 接收



### 36.3.8 错误标志位

#### 主模式失效位 (MODERR)

以下两种情况将会导致主机失效错误：

- NSS 引脚硬件管理模式，主设备 NSS 引脚被驱动低电平；
- NSS 引脚软件管理模式，SSEL 位被设置为 0。

主模式失效对 SPI 设备有以下影响：

- SPI\_STS.MODERR 位被置为'1'，如果设置了 SPI\_CTRL2.ERRINTEN 位，则产生 SPI 中断；
- SPI\_CTRL2.SPIEN 位被清为'0'，将停止一切输出，并且关闭 SPI 接口；
- SPI\_CTRL1.MSEL 位被清为'0'，因此强迫此设备进入从模式。

下面的步骤用于清除SPI\_STS.MODERR位：

1. 对SPI\_STS寄存器的读或写操作；
2. 然后写SPI\_CTRL1寄存器。

在有多个MCU的系统中，为了避免出现多个从设备的冲突，必须先拉高该主设备的NSS脚，再对SPI\_STS.MODERR位进行清零。在完成清零之后，SPI\_CTRL2.SPIEN和SPI\_CTRL1.MSEL位就可以恢复到它们的复位状态。

出于安全的考虑，当SPI\_STS.MODERR位为'1'时，硬件不允许设置SPI\_CTRL2.SPIEN和SPI\_CTRL1.MSEL位。

通常配置下，从设备的 SPI\_STS.MODERR 位不能被置为'1'。在多主配置里，一个设备可以在设置了 SPI\_STS.MODERR 位的情况下，处于从设备模式；这时 SPI\_STS.MODERR 会置起表示可能出现了多主冲突。中断程序可以执行一个复位或返回到默认状态来从错误状态中恢复。

#### 溢出错误（OVER）

在SPI的非FIFO模式下，当前传输已经完成，但前一帧存入数据寄存器的数据还未及时读走（SPI\_STS.RNE未清零），该标志位会置1；在SPI FIFO模式下，在TX FIFO中存放的数据已满的情况下，再次向TX FIFO中写入数据，该标志位会置1。当产生溢出错误时：

- OVER位被置为“1”；当设置了SPI\_CTRL2.ERRINTEN位时，则产生中断。

对于 SPI1/SPI4/SPI5/SPI6 而言，检测到 OVER 为 1 后依次读出 SPI\_DAT 寄存器（读两次）和 SPI\_STS 寄存器可将 OVER 清除。对于 SPI2\_I2S2/SPI3\_I2S3 而言，检测到 OVER 为 1 后依次读出 SPI\_DAT 寄存器（读一次）和 SPI\_STS 寄存器可将 OVER 清除。

#### 下溢错误（UNDER）

在 SPI 的非 FIFO 模式下，该标志位不使用；在 SPI FIFO 模式下，在 RX FIFO 为空的情况下，仍然去读 RX FIFO 会导致该位置 1。软件读取 SPI\_STS 状态寄存器可将该位清除。

*注：SPI 下溢错误不会产生中断。*

#### CRC 错误（CRCERR）

当设置了 SPI\_CTRL2.CRCEN 位时，CRC 错误标志用来核对接收数据的有效性。如果移位寄存器中接收到的值(发送方发送的 SPI\_CRCTDAT 数值)与接收方 SPI\_CRCRDAT 寄存器中的数值不匹配，则 SPI\_STS 寄存器上的 CRCERR 标志被置位为'1'。

### 36.3.9 SPI 中断

表 36-1 SPI 中断请求

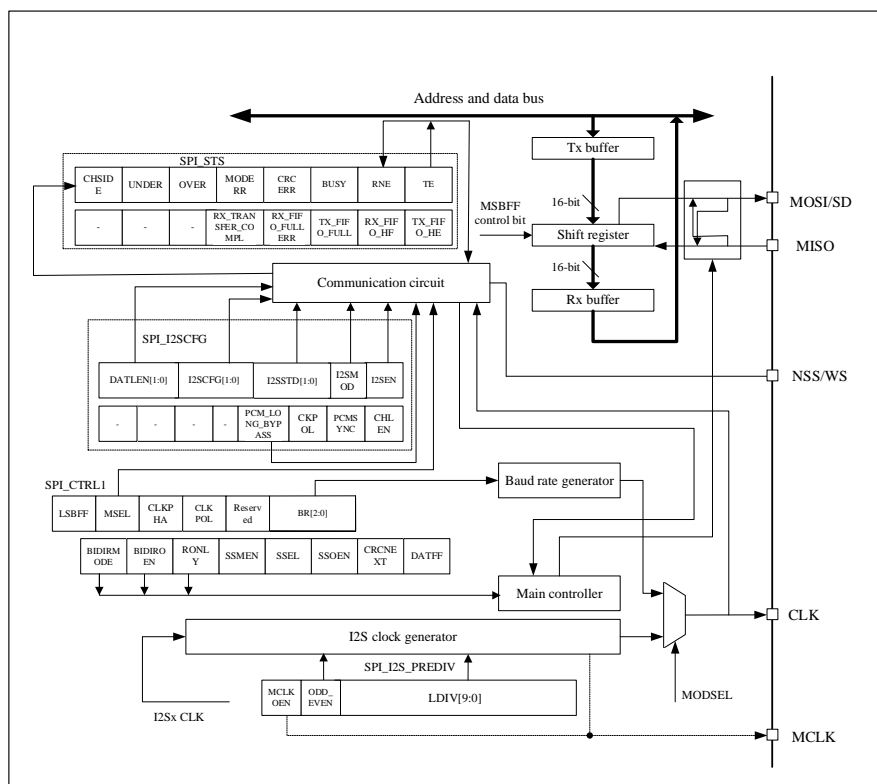
中断事件	事件标志	使能控制位
发送缓冲器空标志	TE	TEINTEN
接收缓冲器非空标志	RNE	RNEINTEN

主模式失效事件	MODERR	ERRINTEN
溢出错误	OVER	
CRC 错误标志	CRCERR	
发送 FIFO 半空标志	TXFIFHE	TXFHEINTEN
接收 FIFO 半满	RXFIFHF	RXFHFINTEN
接收 FIFO 满	RXFIFFU	RXFFUINTEN
传输完成标志(只收模式)	RXTSCP	RXCPINTEN

### 36.4 I2S 功能描述

I2S 的框图如下图所示：

图 36-16 I2S 框图



I2S 接口使用和 SPI 接口相同的引脚、标志和中断。SPI\_I2S\_CFGR.I2SMOD 位置 1 选择 I2S 音频接口。

I2S 总共有 4 个引脚，其中 3 个引脚与 SPI 共享：

- SD: 串行数据(映射至MOSI引脚)，用来发送和接收2路时分复用通道的数据；
- WS: 字选(映射至NSS引脚)，主模式下作为数据控制信号输出，从模式下作为输入；
- CK: 串行时钟(映射至SCK引脚)，主模式下作为时钟信号输出，从模式下作为输入。在某些外部音频设备需要主时钟时，可以另有一个附加引脚输出时钟；
- MCK: 主时钟(独立映射)，在I2S配置为主模式，寄存器SPI\_I2S\_PREDIV的MCLKOEN位为'1'时，作为输出额外的时钟信号引脚使用。输出时钟信号的频率预先设置为 $256 \times F_s$ ，其中 $F_s$ 是音频信号的采样频率。



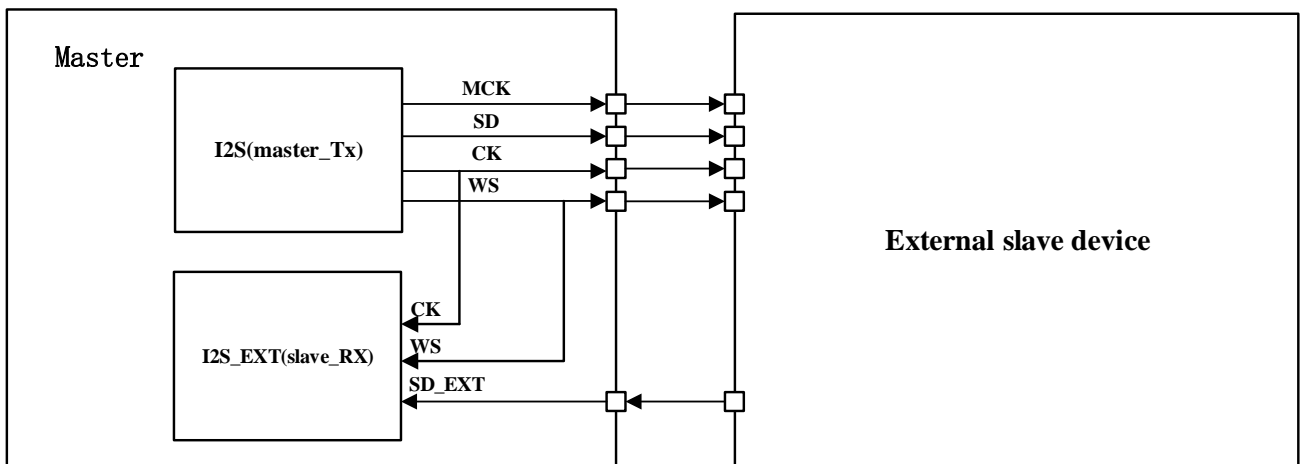
设置成主模式时，I2S 使用自身的时钟发生器来产生通信用的时钟信号。这个时钟发生器也是主时钟输出的时钟源。

### 36.4.1 I2S 全双工

I2S 可与 I2S\_EXT 模块组合在一起支持 I2S 全双工模式。在 I2S 与 I2S\_EXT 组合全双工模块时，I2S 可配置为主或从模式，I2S\_EXT 只能配置为从模式。I2S\_EXT 共享 I2S 的 CK 和 WS，对应的有以下几种配置：

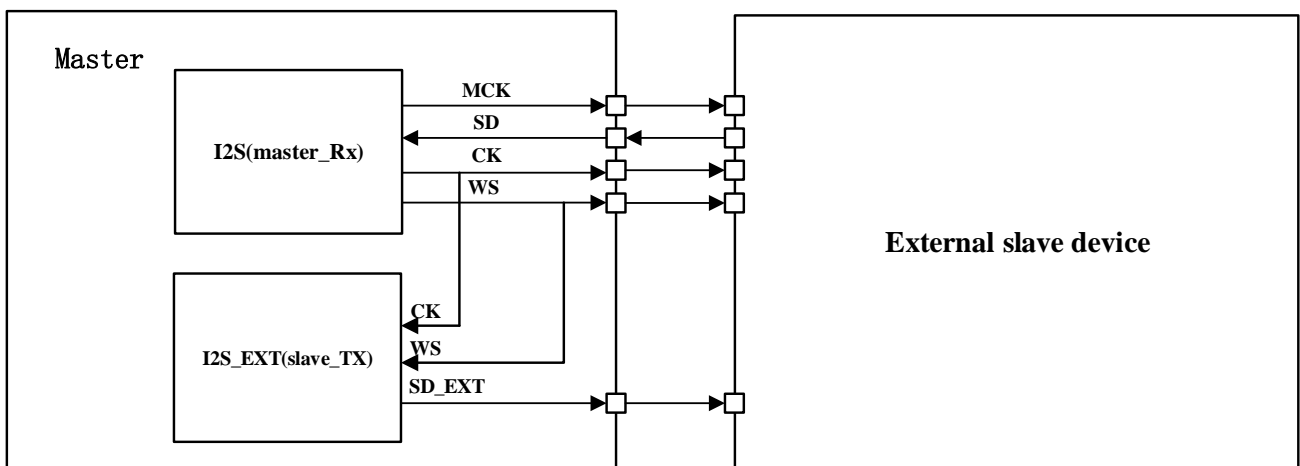
- 1) I2S 配置为主模式发送 (I2SCFG=10)，I2S\_EXT 配置为从模式接收 (I2SCFG=01)：

图 36-17 I2S 主发 (I2SCFG=10) , I2S\_EXT 从收 (I2SCFG=01)

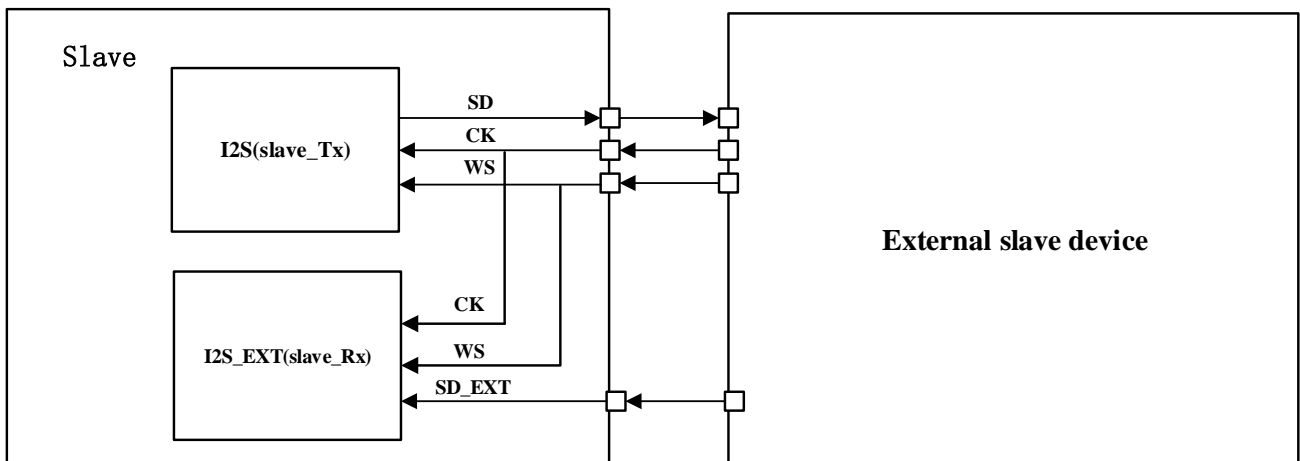


- 2) I2S 配置为主模式接收 (I2SCFG=11)，I2S\_EXT 配置为从模式发送 (I2SCFG=00)：

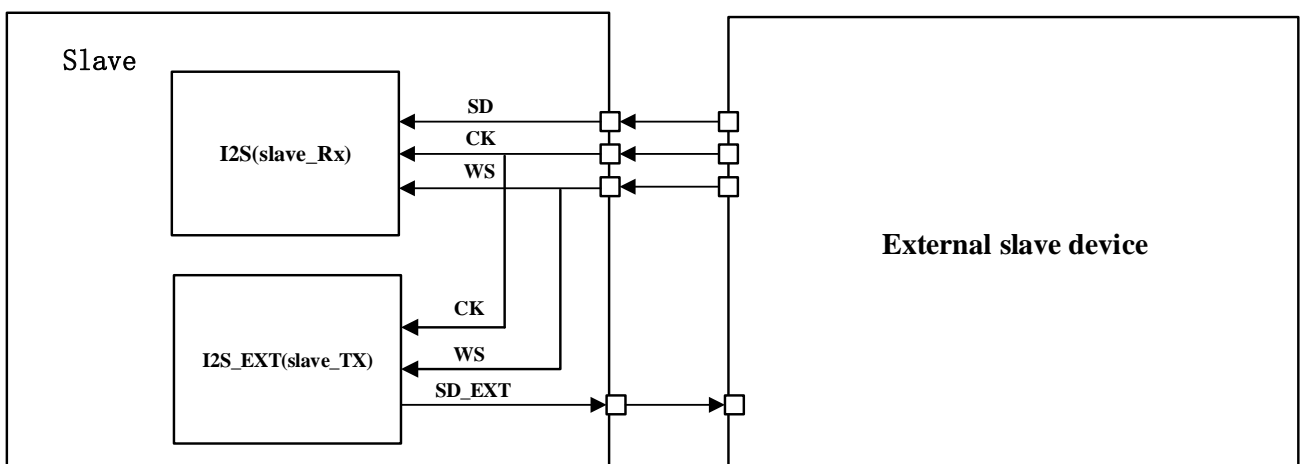
图 36-18 I2S 主收 (I2SCFG=11) , I2S\_EXT 从发 (I2SCFG=00)



- 3) I2S 配置为从模式发送 (I2SCFG=00)，I2S\_EXT 配置为从模式接收 (I2SCFG=01)：

**Figure 36-19 I2S 从发 (I2SCFG=00), I2S\_EXT 从收 (I2SCFG=01)**


4) I2S 配置为从模式接收 (I2SCFG=01), I2S\_EXT 配置为从模式发送 (I2SCFG=00)

**Figure 36-20 I2S 从收 (I2SCFG=01), I2S\_EXT 从发 (I2SCFG=00)**


### 36.4.2 支持的音频协议

I2S与I2S\_EXT模块均有一个16位数据寄存器用作发送或接收。软件在对数据寄存器写入数据时，根据当前传输中的声道写入相应的数据；同样，在读取寄存器数据时，通过检查寄存器CHSIDE位来判明接收到的数据属于哪个声道。左声道总是先于右声道发送数据(CHSIDE位在PCM协议下无意义)。

通过设置 SPI\_I2S\_CFGR.DATLEN 位，用户可以设置待传输的数据长度，通过设置 SPI\_I2S\_CFGR.CHLEN 位，设置通道的数据位宽。下面有 4 种数据格式发送数据：

- 16 位数据打包成 16 位的数据帧
- 16 位数据打包成 32 位的数据帧（前面的 16 位是有意义的数字，后面的 16 位数据被硬件设置为 0）
- 24 位数据打包成 32 位数据帧（前面的 24 位数据是有意义的数字，后面 8 位数据被硬件设置为 0）
- 32 位的数据打包成 32 位数据帧

I2S 使用和 SPI 相同的 SPI\_DAT 寄存器发送和接收 16 位宽的数据。如果 I2S 需要发送或接收 24 位或 32 位

宽数据，CPU 需读或写 SPI\_DAT 寄存器 2 次。另一方面，当 I<sup>2</sup>S 发送或接收 16 位宽数据，CPU 仅需读或写 SPI\_DAT 寄存器一次。

不管采用哪个数据格式和通讯标准，I<sup>2</sup>S 总是先发送数据高位（MSB）。

### 36.4.2.1 I<sup>2</sup>S 飞利浦标准

采用 I<sup>2</sup>S 飞利浦标准，发送数据的设备在时钟下降沿改变数据，接收数据的设备在时钟上升沿采样数据。WS 信号在第一个数据位（MSB）发送前一个时钟应有效，时钟信号下降沿将变化。

图 36-21 I<sup>2</sup>S 飞利浦协议波形（16/32 位全精度，CLKPOL = 0）

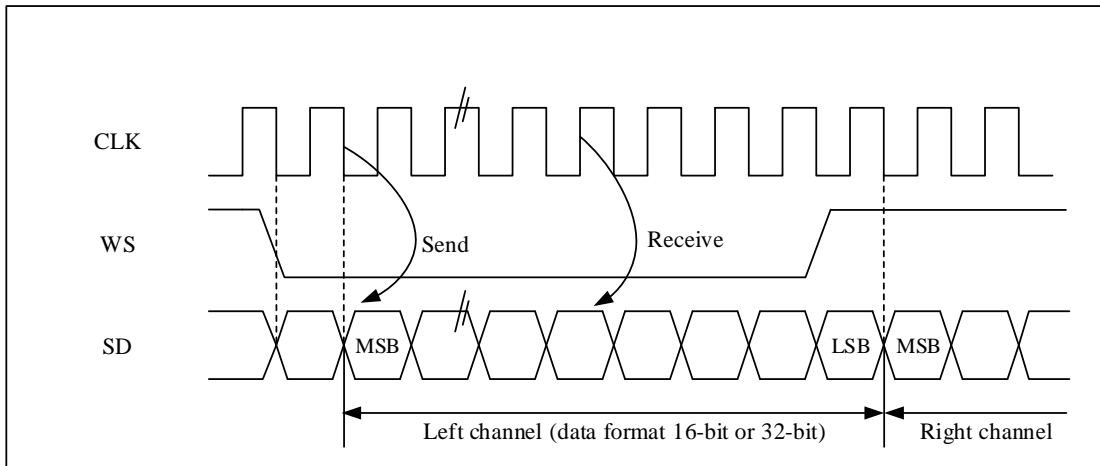
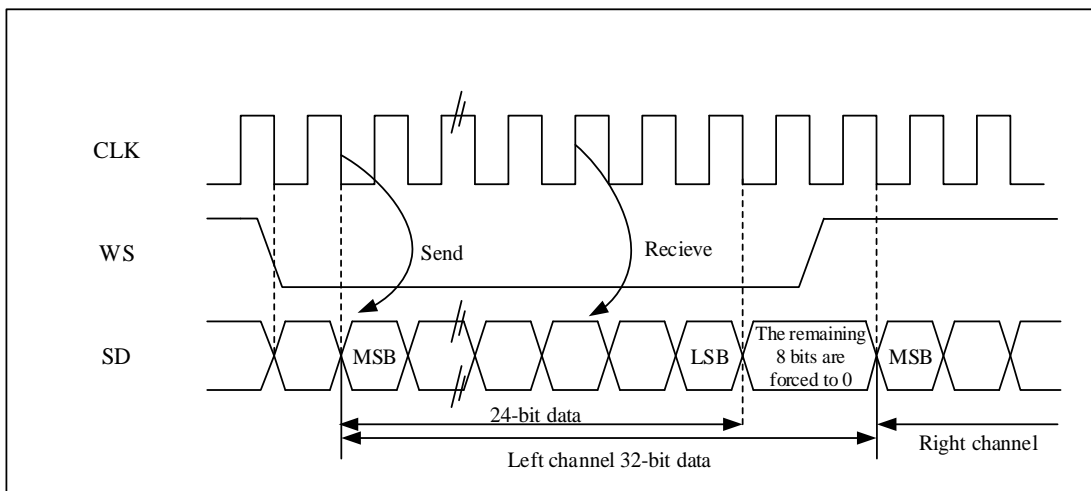
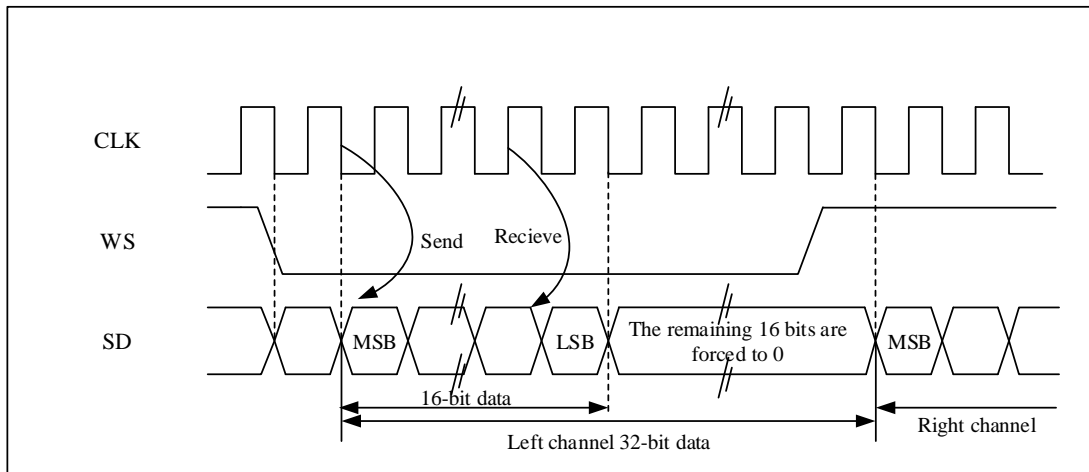


图 36-22 I<sup>2</sup>S 飞利浦协议标准波形（24 位帧，CLKPOL = 0）



如果 24 位数据需要打包成 32 位数据帧格式，每帧数据传输时，CPU 需要读或写 SPI\_DAT 寄存器 2 次。例如，如果用户发送 24 位数据 0x95AA66，CPU 将首先写 0x95AA 进 SPI\_DAT 寄存器，然后再写 0x66XX 进 SPI\_DAT 寄存器（仅高 8 位数据有效，低 8 位数据是无意义的，可以是任何值）；如果用户接收 24 位数据 0x95AA66，CPU 将首先读 SPI\_DAT 寄存器得到 0x95AA，然后再读 SPI\_DAT 寄存器得到 0x6600（仅高 8 位数据有效，低 8 位数据总是 0）。

图 36-23 I<sup>2</sup>S 飞利浦协议标准波形（16 位扩展至 32 位包帧，CLKPOL = 0）



如果 16 位数据需要打包进 32 位数据帧格式，每帧数据传输时，CPU 仅需要读或写 SPI\_DAT 寄存器一次。用于扩展到 32 位的低 16 位数据总是设置为 0x0000。例如，如果用户发送或接收 16 位的数据 0x89C1（扩展到 32 位数据是 0x89C10000）。数据发送过程中，高 16 位半字（0x89C1）需要写进 SPI\_DAT 寄存器；直到 SPI\_STS.TE 位置 1，用户可以写入新的数据。如果用户使能相应的中断，则中断产生。发送由硬件执行，即使最后 16 位（0x0000）没有发送，硬件将设置 SPI\_STS.TE 位为 1，且产生相应的中断。接收数据过程，每次设备收到高 16 位半字（0x89C1）后，SPI\_STS.RNE 标志位将置 1。如果用户使能相应的中断，则中断产生。这样，在 2 次读和写之间 CPU 有更多时间，且可以防止上溢或下溢的情况发生。

### 36.4.2.2 MSB 对齐标准

在 MSB 对齐标准里，发送数据的设备将在时钟下降沿改变数据，接收数据的设备在时钟上升沿采样数据。WS 信号和第一个数据位（MSB）同时产生。

这个标准里，数据发送和接收处理和 I<sup>2</sup>S 飞利浦标准一样。

图 36-24 MSB 对齐 16 位或 32 位全精度，CLKPOL = 0

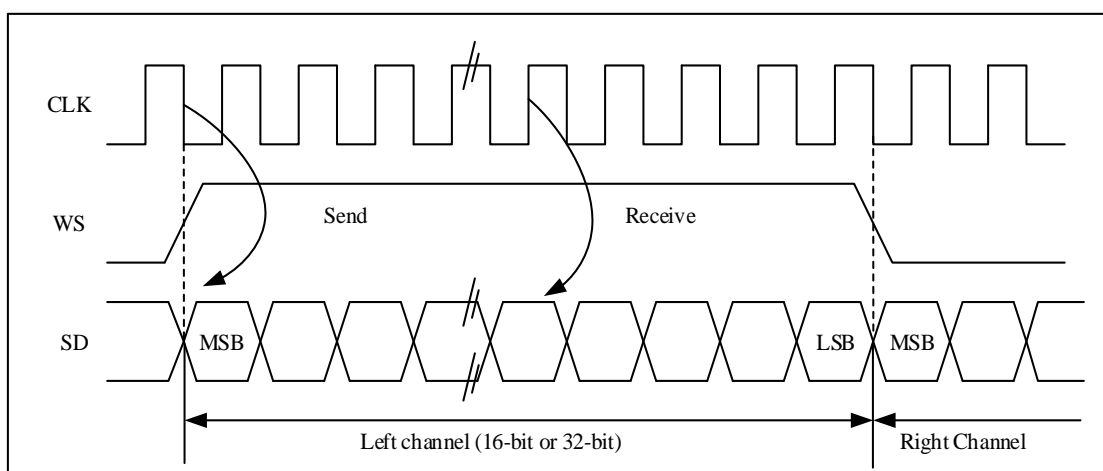


图 36-25 MSB 对齐 24 位数据, CLKPOL = 0

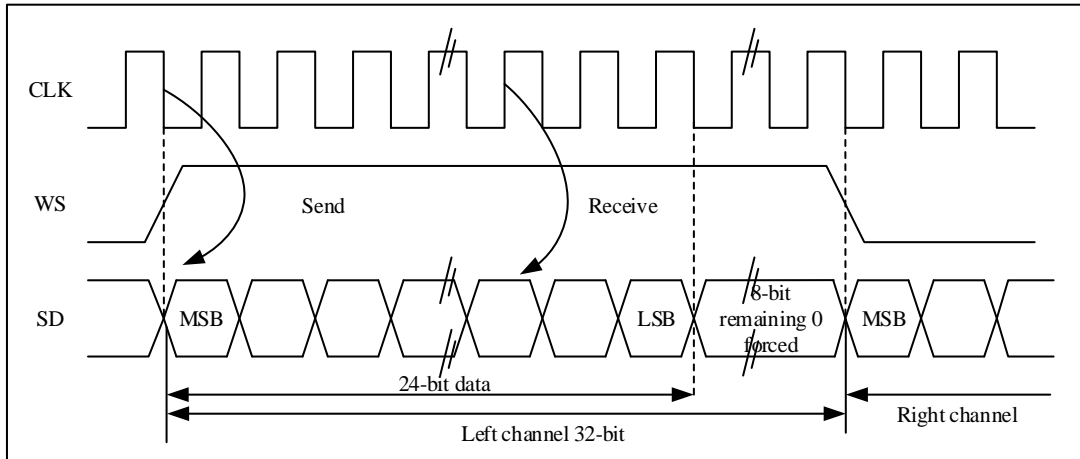
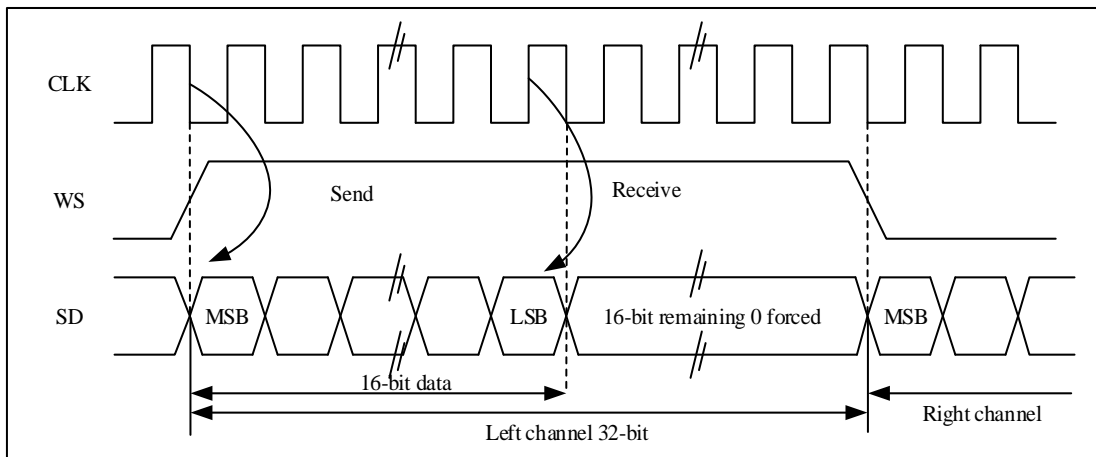


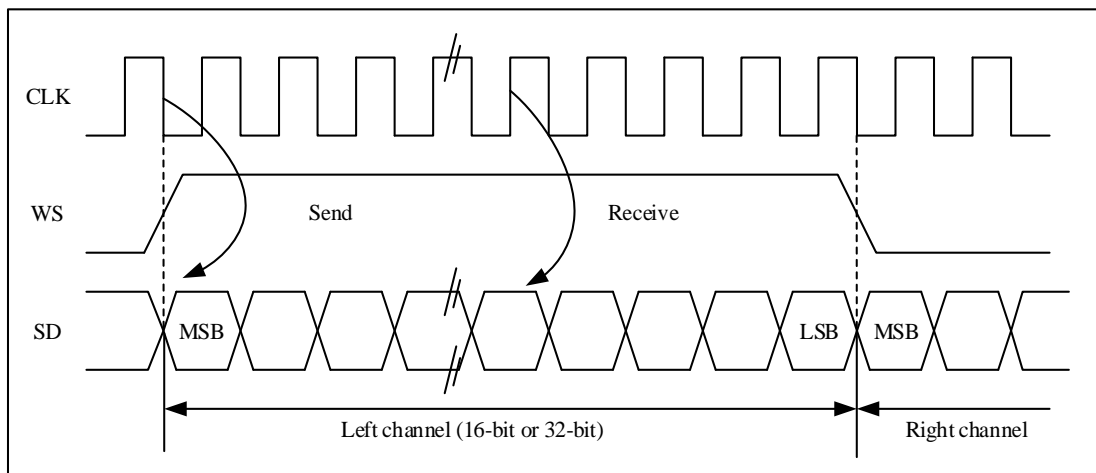
图 36-26 MSB 对齐 16 位数据扩展到 32 位包帧, CLKPOL = 0

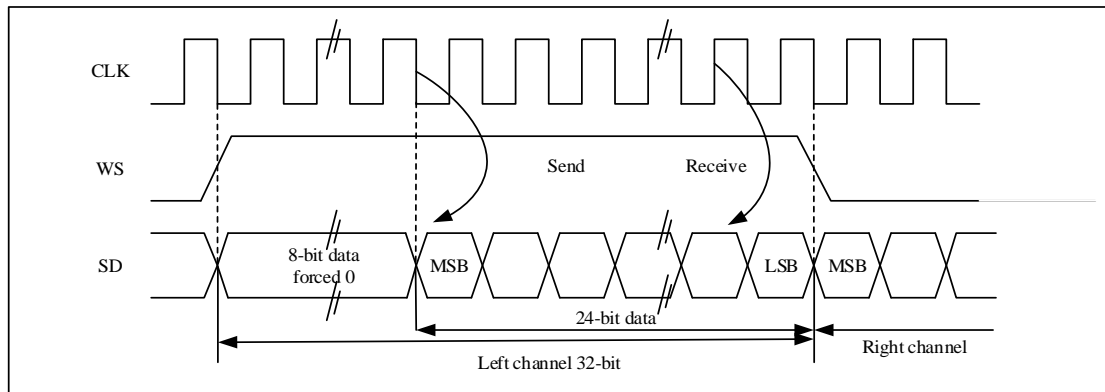


### 36.4.2.3 LSB 对齐标准

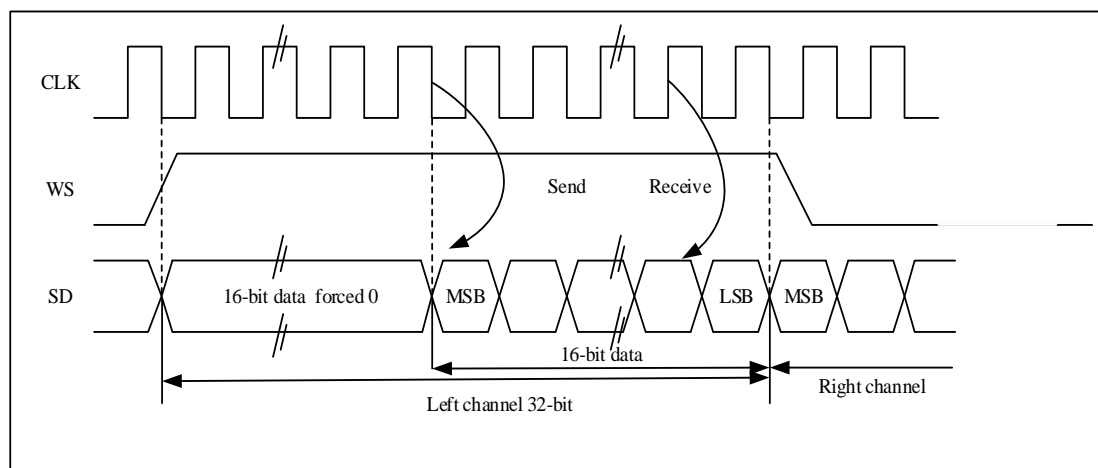
此标准与 MSB 对齐标准类似(在 16 位或 32 位全精度帧格式下无区别)。

图 36-27 LSB 对齐 16 位或 32 位全精度, CLKPOL = 0



**图 36-28 LSB 对齐 24 位数据, CLKPOL = 0**


如果 24 位数据需要打包成 32 位数据帧格式，每帧数据传输时，CPU 需要读或写 SPI\_DAT 寄存器 2 次。例如，用户发送 24 位数据 0x95AA66，CPU 将先写 0xXX95（仅低 8 位数据有效，高 8 位数据没有意义，可以是任何值）进 SPI\_DAT 寄存器，然后再写 0xAA66 进 SPI\_DAT 寄存器。如果用户接收 24 位数据 0x95AA66，CPU 将先读 SPI\_DAT 寄存器得到 0x0095（仅低 8 位数据有效，高 8 位总是为 0），然后再读 SPI\_DAT 寄存器得到 0xAA66。

**图 36-29 LSB 对齐 16 位数据扩展到 32 位包帧, CLKPOL = 0**


如果 16 位数据需要打包进 32 位数据帧格式，每帧数据传输时，CPU 仅需要读或写 SPI\_DAT 寄存器一次。扩展到 32 位数据的高 16 位被硬件设置为 0x0000，如果用户发送或接收 16 位数据 0x89C1（扩展到 32 位数是 0x000089C1）。发送过程中，高 16 位半字（0x0000）需要先写到 SPI\_DAT 寄存器；一旦有效数据开始发送，下一个 TE 事件将产生。接收数据过程中，一旦设备接收到有效数据，RNE 事件将发生。这样，在 2 次读和写之间 CPU 将有更多时间，可以防止上溢或下溢的情况发生。

#### 36.4.2.4 PCM 标准

在 PCM 标准里，有短帧和长帧两种帧结构。用户可以设置 SPI\_I2S\_CFGR.PCMSYNC 位选择帧结构。WS 信号指示帧同步信息。

用于同步长帧的 WS 信号是 13 位有效的；用于同步短帧的 WS 信号长度是 1 位。

数据接收和发送的处理标准和 I<sup>2</sup>S 飞利浦标准是一样的。

图 36-30 PCM 标准波形 (16 位)

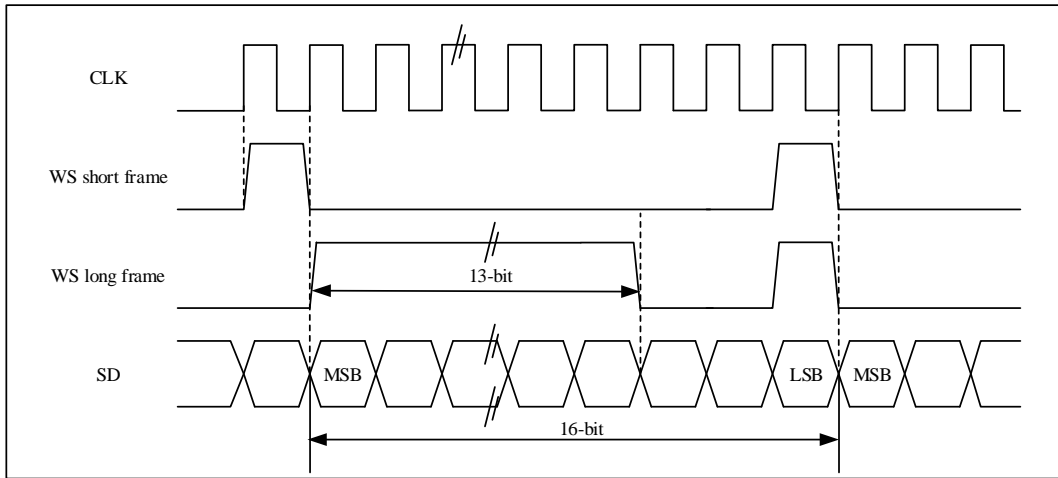
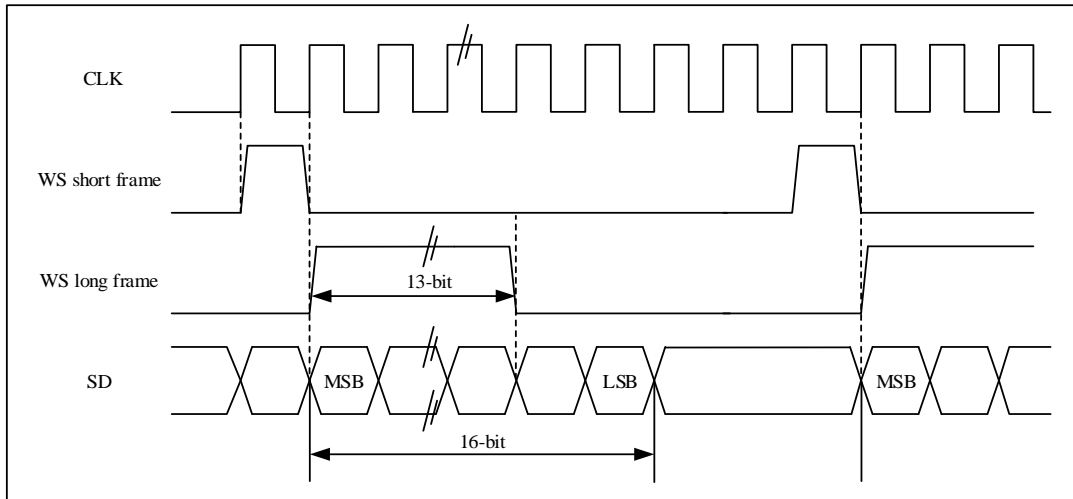


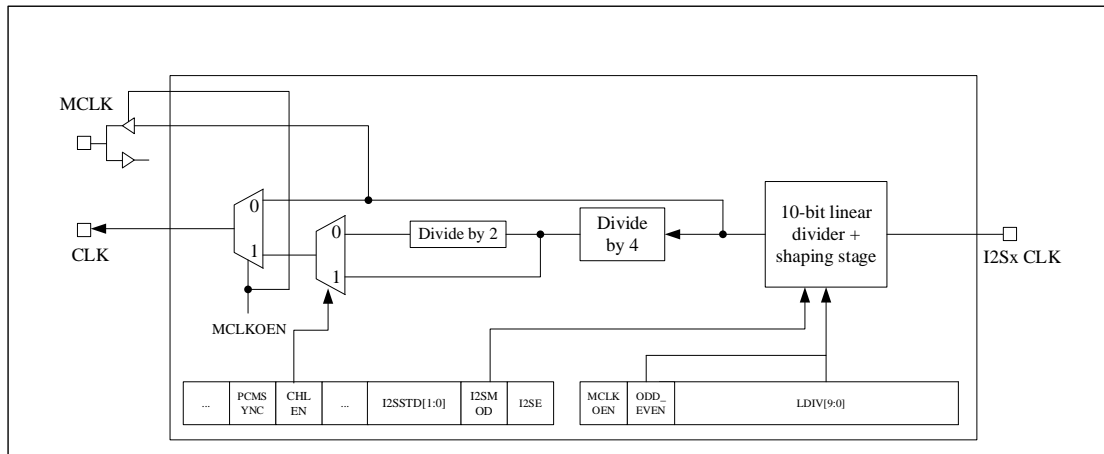
图 36-31 PCM 标准波形 (16 位扩展到 32 位包帧)



### 36.4.3 时钟发生器

对于主设备，为了获得需要的音频频率，需要正确地对线性分频器进行设置

图 36-32 I<sup>2</sup>S 时钟发生器结构



注：I<sup>2</sup>SxCLK 的时钟源可以是独立  $s\_i2s(n)\_ker\_gated\_clk(130MHz)$ ,  $s\_i2s(n)\_gated\_pclk(150MHz)$ 、外部时钟输入。

I<sup>2</sup>S 的比特率决定了在 I<sup>2</sup>S 数据线上的数据流和 I<sup>2</sup>S 的时钟信号频率。

I<sup>2</sup>S 比特率=每个声道的比特数×声道数目×音频采样频率

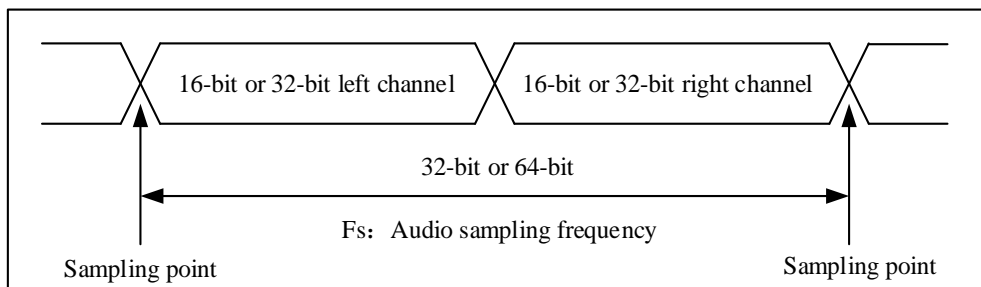
对于一个具有左右声道和 16 位音频的信号，I<sup>2</sup>S 比特率计算如下：

$$I^2S \text{ 比特率} = 16 \times 2 \times F_s$$

如果包长为 32 位，则有：

$$I^2S \text{ 比特率} = 32 \times 2 \times F_s$$

图 36-1 音频采样频率定义



通过设置 SPI\_I2S\_PREDIV.ODDEVEN 位和 SPI\_I2S\_PREDIV.LDIV[7:0]位,可以设置音频的采样信号频率。音频的采样频率可以是 192kHz、96kHz、48kHz、44.1kHz、32kHz、22.05kHz、16kHz 或者 8kHz（或任何此范围内的数值）。参照以下公式设置线性分频器：

$$MCLKOEN = 1, CHLEN = 0 \text{ 时, } F_s = I^2SxCLK / [(16 \times 2) \times ((2 \times LDIV) + ODDEVEN) \times 8]$$

$$MCLKOEN = 1, CHLEN = 1 \text{ 时, } F_s = I^2SxCLK / [(32 \times 2) \times ((2 \times LDIV) + ODDEVEN) \times 4]$$

$$MCLKOEN = 0, CHLEN = 0 \text{ 时, } F_s = I^2SxCLK / [(16 \times 2) \times ((2 \times LDIV) + ODDEVEN)]$$

$$MCLKOEN = 0, CHLEN = 1 \text{ 时, } F_s = I^2SxCLK / [(32 \times 2) \times ((2 \times LDIV) + ODDEVEN)]$$

参照下表的时钟配置得到精确的音频频率。



**表 36-2 使用标准的 8MHz HSE 时钟得到精确的音频频率**

SYSCLK (MHz)	I <sup>2</sup> S_LDIV		I <sup>2</sup> S_ODDEVEN		MCLK	Target Fs(Hz)	Real FS (Hz)		Error	
	16 bits	32 bits	16 bits	32 bits			16 bits	32 bits	16 bits	32 bits
300	24	12	1	0	without	192000	191326.5306	195312.5	0.35%	1.72%
300	49	24	0	1	without	96000	95663.26531	95663.26531	0.35%	0.35%
300	98	49	0	0	without	48000	47831.63265	47831.63265	0.35%	0.35%
300	106	53	0	1	without	44100	44221.69811	43808.41121	0.27%	0.66%
300	146	73	0	1	without	32000	32106.16438	31887.7551	0.33%	0.35%
300	213	106	0	0	without	22050	22007.04225	22110.84906	0.19%	0.27%
300	292	146	1	0	without	16000	16025.64103	16053.08219	0.16%	0.33%
300	425	213	0	0	without	11025	11029.41176	11003.52113	0.04%	0.19%
300	586	293	0	1	without	8000	7999.146758	7985.519591	0.01%	0.18%
300	3	3	0	0	yes	192000	195312.5	195312.5	1.72%	1.72%
300	6	6	0	0	yes	96000	97656.25	97656.25	1.72%	1.72%
300	12	12	0	0	yes	48000	48828.125	48828.125	1.72%	1.72%
300	13	13	1	1	yes	44100	43402.77778	43402.77778	1.58%	1.58%
300	18	18	1	1	yes	32000	31672.2973	31672.2973	1.02%	1.02%
300	26	26	1	1	yes	22050	22110.84906	22110.84906	0.27%	0.27%
300	36	36	1	1	yes	16000	16053.08219	16053.08219	0.33%	0.33%
300	53	53	1	1	yes	11025	10952.1028	10952.1028	0.66%	0.66%
300	72	72	1	1	yes	8000	8081.896552	8081.896552	1.02%	1.02%

注意：用 SHRTPLL 做时钟源可获得更高精度。

### 36.4.4 I<sup>2</sup>S 发送和接收流程

主模式全双工时对应的有以下几种配置方式：

- I<sup>2</sup>S 主发 (I2SCFG=10) , I2S\_EXT 从收 (I2SCFG=01)；
- I<sup>2</sup>S 主收 (I2SCFG=11) , I2S\_EXT 从发 (I2SCFG=00)；

设置 I2S 工作在主模式，串行时钟由引脚 CK 输出，字选信号由引脚 WS 产生。可以通过设置寄存器 SPI\_I2S\_PREDIV.MCLKOEN 位来选择输出或者不输出主时钟(MCK)。

#### 配置流程

- 1) 设置寄存器 SPI\_I2S\_PREDIV.LDIV[9:0] 定义与音频采样频率相符的串行时钟波特率。同时也要定义寄存器 SPI\_I2S\_PREDIV.ODDEVEN 位。
- 2) 设置 CLKPOL 位定义通信用时钟在空闲时的电平状态。如果需要向外部的 DAC/ADC 音频器件提供主时钟 MCLK，将寄存器 SPI\_I2S\_PREDIV.MCLKOEN 位置为 '1'。
- 3) 设置寄存器 SPI\_I2S\_CFGR.I2SMOD 位为 '1' 激活 I2S 功能，设置 SPI\_I2S\_CFGR.I2SSTD[1:0] 和 SPI\_I2S\_CFGR.PCMSYNC 位选择所用的 I2S 标准，设置 SPI\_I2S\_CFGR.CHLEN 选择每个声道的数据位数。还要设置寄存器 SPI\_I2S\_CFGR.I2SCFG[1:0] 选择 I2S 主模式和方向(发送端还是接收端)。
- 4) 若需要，可以通过设置寄存器 SPI\_CTRL2 来打开所需的中断功能和 DMA 功能。

- 5) 将寄存器 SPI\_I2S\_CFGR.I2SE 位置为 '1'。
- 6) 引脚 WS 和 CK 需要配置为输出模式。如果寄存器 SPI\_I2S\_PREDIV.MCLKOEN 位为 '1'，引脚 MCK 也要配置成输出模式。

## 36.4.5 I2S 主模式

### 36.4.5.1 主模式发送流程

当写入1个半字(16位)的数据至发送缓存，发送流程开始。

假设第一个写入发送缓存的数据对应的是左声道数据。当数据从发送缓存移到移位寄存器时，标志位 TE 置 '1'，这时，要把对应右声道的数据写入发送缓存。标志位 CHSIDE 提示了目前待传输的数据对应哪个声道。标志位 CHSIDE 的值在 TE 为 '1' 时更新，因此它在 TE 为 '1' 时有意义。在先左声道后右声道的数据都传输完成后，才能被认为是一个完整的数据帧。不可以只传输部分数据帧，如仅有左声道的数据。

当发出第一位数据的同时，半字数据被并行地传送至 16 位移位寄存器，然后后面的位依次按高位在前的顺序从引脚 I2S\_SD/I2S\_SD\_EXT 发出。每次数据从发送缓存移至移位寄存器时，标志位 TE 置为 '1'，如果寄存器 SPI\_CTRL2.TEINTEN 位为 '1'，则产生中断。

为了保证连续的音频数据传输，建议在当前传输完成之前，对寄存器 SPI\_DAT 写入下一个要传输的数据。建议在要关闭 I2S 功能时，等待标志位 SPI\_STS.TE=1 及 SPI\_STS.BUSY=0，再将 SPI\_I2S\_CFGR.I2SE 位清 '0'。

### 36.4.5.2 主模式接收流程

接收流程的配置步骤除了第 3 点外，与发送流程的一致(参见前述的发送流程)，需要通过配置 I2SCFG[1:0] 来选择主接收模式。

无论何种数据和声道长度，音频数据总是以 16 位包的形式接收。即每次填满接收缓存后，标志位 RNE 置 '1'，如果寄存器 SPI\_CTRL2 的 RNEINTEN 位为 '1'，则产生中断。根据配置的数据和声道长度，收到左声道或右声道的数据会需要 1 次或者 2 次把数据传送到接收缓存的过程。

对寄存器 SPI\_DAT 进行读操作即可清除 RNE 标志位。每次接收以后即更新 CHSIDE。它的值取决于 I2S 单元产生的 WS 信号。如果前一个接收到的数据还没有被读取，又接收到新数据，即发生上溢，标志位 OVER 被置为 '1'，如果寄存器 SPI\_CTRL2.ERRINTEN 位为 '1'，则产生中断，表示发生了错误。

若要关闭 I2S 功能，需要执行特别的操作，以保证 I2S 模块可以正常地完成传输周期而不会开始新的数据传输。操作过程与数据配置和通道长度、以及音频协议的模式相关：

- 16 位数据扩展到 32 位通道长度(DATLEN=00 并且 CHLEN=1)，使用 LSB(低位)对齐模式(I2SSTD=10)
  - 1) 等待倒数第二个(n-1)SPI\_STS.RNE=1 ；
  - 2) 等待 17 个 I2S 时钟周期(使用软件延迟)；
  - 3) 关闭 I2S (SPI\_I2S\_CFGR.I2SE=0)。
- 16 位数据扩展到 32 位通道长度(DATLEN=00 并且 CHLEN=1)，使用 MSB(高位)对齐、飞利浦或 PCM 模式(分别为 I2SSTD=00，I2SSTD=01 或 I2SSTD=11)
  - 1) 等待最后一个 RNE=1；
  - 2) 等待 1 个 I2S 时钟周期(使用软件延迟)；

3) 关闭 I2S (SPI\_I2S\_CFGR.I2SE=0)。

■ 所有其它 DATLEN 和 CHLEN 的组合, I2SSTD 选择的任意音频模式, 使用下述方式关闭 I2S:

- 1) 等待倒数第二个 RNE=1;
- 2) 等待一个 I2S 时钟周期(使用软件延迟);
- 3) 关闭 I2S (SPI\_I2S\_CFGR.I2SE=0)。

### 36.4.6 I2S 从模式 (全双工)

从模式全双工时对应的有以下几种配置方式:

- 1) I2S 从发 (SPI\_I2S\_CFGR.I2SCFG=00), I2S\_EXT 从收 (I2S\_CFGR.I2SCFG=01);
- 2) I2S 从收 (SPI\_I2S\_CFGR.I2SCFG=01), I2S\_EXT 从发 (I2S\_CFGR.I2SCFG=00);

在从模式下, I2S/I2S\_EXT 可以设置成发送和接收模式。从模式的配置方式基本遵循和配置主模式一样的流程。在从模式下, 不需要 I2S 接口提供时钟。时钟信号和 WS 信号都由外部主 I2S 设备提供, 连接到相应的引脚上。因此用户无需配置时钟。

配置步骤如下:

- 1) 设置寄存器 SPI\_I2S\_CFGR.I2SMOD 位激活 I2S 功能; 设置 I2SSTD[1:0] 来选择所用的 I2S 标准; 设置 DATLEN[1:0] 选择数据的比特数; 设置 CHLEN 选择每个声道的数据位数。设置寄存器 SPI\_I2S\_CFGR.I2SCFG[1:0] 选择 I2S 从模式的数据方向(发送端还是接收端)。
- 2) 根据需要, 设置寄存器 SPI\_CTRL2 打开所需的 中断功能和 DMA 功能。
- 3) 必须设置寄存器 SPI\_I2S\_CFGR.I2SE 位为 '1'。

#### 36.4.6.1 从模式发送流程

当外部主设备发送时钟信号, 并且当 WS 信号请求传输数据时, 发送流程开始。必须先使能从设备, 并且写入 I2S 数据寄存器之后, 才能开始通信。

对于 I2S 的 MSB 对齐和 LSB 对齐模式, 第一个写入数据寄存器的数据项对应左声道的数据。当开始通信时, 数据从发送缓冲器传送到移位寄存器, 然后标志位 TE 置为 '1'; 这时, 要把对应右声道的数据项写入 I2S 数据寄存器。

标志位 CHSIDE 提示了目前待传输的数据对应哪个声道。与主模式的发送流程相比, 在从模式中, CHSIDE 取决于来自外部主设备的 WS 信号。这意味着从 I2S 在接收到主端生成的时钟信号之前, 就要准备好第一个要发送的数据。WS 信号为 '1' 表示先发送左声道。

当发出第一位数据的时候, 半字数据并行地通过 I2S 内部总线传输至 16 位移位寄存器, 然后其它位依次按高位在前的顺序从引脚 I2S\_SD/I2S\_SD\_EXT 发出。每次数据从发送缓冲器传送到移位寄存器时, 标志位 TE 置 '1', 如果寄存器 SPI\_CTRL2.TEINTEN 位为 '1', 则产生中断。

在对发送缓冲器写入数据前, 要确认标志位 TE 为 '1'。为了保证连续的音频数据传输, 建议在当前传输完成之前, 对寄存器 SPI\_DAT 写入下一个要传输的数据。如果在代表下一个数据传输的第一个时钟边沿到达之前, 新的数据仍然没有写入寄存器 SPI\_DAT, 下溢标志位会置 '1', 并可能产生中断; 它指示软件发送数据错误。如果寄存器 SPI\_CTRL2.ERRINTEN 位为 '1', 在寄存器 SPI\_STS 的标志位 UNDER 为高时, 就会产生中断。建议在这时关闭 I2S, 然后重新从左声道开始发送数据。

### 36.4.6.2 从模式接收流程

配置步骤除了第 1 点外，与发送流程一致。需要通过配置 I2SCFG[1:0]来选择从接收模式。

无论何种数据和声道长度，音频数据总是以 16 位包的形式接收，即每次填满接收缓存，标志位 RNE 置'1'，如果寄存器 SPI\_CTRL2.RNEINTEN 位为'1'，则产生中断。按照不同的数据和声道长度设置，收到左声道或者右声道数据会需要 1 次或者 2 次传输数据至接收缓冲器的过程。

每次接收到新数据以后即更新 CHSIDE，它对应 I2S 单元产生的 WS 信号。读取 SPI\_DAT 寄存器，将清除 RNE 位。在还没有读出前一个接收到的数据，又接收到新数据时，即产生上溢，并设置标志位 OVER 为'1'；如果设置寄存器 SPI\_CTRL2.ERRINTEN 位为'1'，则产生中断，指示发生了错误。要关闭 I2S 功能时，需要在接收到最后一次 RNE=1 时将 SPI\_I2S\_CFGR.I2SE 位清 0。

### 36.4.7 状态标识

在 SPI\_STS 寄存器有下面 4 个标志位，用于监视 I<sup>2</sup>S 总线状态。

#### 忙标志位(BUSY)

SPI\_STS.BUSY标志由硬件设置与清除(写入此位无效果)，该标志位指示I2S通信层的状态。该位为'1'时表明I2S通讯正在进行中，但有一个例外：主接收模式(I2SCFG=11)下，在接收期间SPI\_STS.BUSY标志始终为低。

在软件要关闭I2S模块之前，可以使用SPI\_STS.BUSY标志检测传输是否结束，这样可以避免破坏最后一次传输。

当传输开始时，SPI\_STS.BUSY标志被置为'1'，除非I2S模块处于主接收模式。

下述情况时，该标志位被清除：

- 当传输结束时(除了主发送模式，这种模式下通信是连续的)；
- 当关闭 I2S 模块时。

当通信是连续的时候：

- 在主发送模式时，整个传输期间，SPI\_STS.BUSY标志始终为高；
- 在从模式时，每个数据项传输之间，SPI\_STS.BUSY标志在1个I2S时钟周期内变低。

#### 发送缓存空标志位(TE)

该标志位为'1'表示发送缓冲器为空，可以对发送缓冲器写入新的待发送数据。在发送缓冲器中已有数据时，标志位清'0'。在 I2S 被关闭时(SPI\_I2S\_CFGR.I2SE 为'0')，该标志位也为'0'。

#### 接收缓存非空标志位(RNE)

该标志位置'1'表示在接收缓存里有接收到的有效数据。在读取寄存器 SPI\_DAT 时，该位清'0'。

#### 声道标志位(CHSIDE)

在发送模式下，该标志位在 TE 为高时刷新，指示从 I2S\_SD/I2S\_SD\_EXT 引脚上发送的数据所在的声道。如果在从发送模式下发生了下溢错误，该标志位的值无效，在重新开始通讯前需要把 I2S 关闭再打开。在接收模式下，该标志位在寄存器 SPI\_DAT 接收到数据时刷新，指示接收到的数据所在的声道。如果发生错误(如上溢 OVER)，该标志位无意义，需要将 I2S 关闭再打开。在 PCM 标准下，无论短帧格式还是长帧格式，这个标志位都没有意义。

如果寄存器 SPI\_STS 的标志位 OVER 或 UNDER 为'1'，且寄存器 SPI\_CTRL2.ERRINTEN 位为'1'，则会产生中断。中断源已经被清除后可以通过读寄存器 SPI\_STS 来清除中断标志。

### 36.4.8 错误标志位

SPI\_STS 寄存器有 2 个错误标志位。

#### 上溢标志位 (OVER)

如果还没有读出前一个接收到的数据时，又接收到新的数据，即产生上溢，该标志位置‘1’，如果寄存器 SPI\_CTRL2.ERRINTEN 位为‘1’，则产生中断指示发生了错误。这时，接收缓存的内容，不会刷新为从发送设备送来的新数据。对寄存器 SPI\_DAT 的读操作返回最后一个正确接收到的数据。其他所有在上溢发生后由发送设备发出的 16 位数据都会丢失。通过先读寄存器 SPI\_DAT 再读寄存器 SPI\_STS 可清除该标志位。

#### 下溢标志位 (UNDER)

在从发送模式下，如果数据传输的第一个时钟边沿到达时，新的数据仍然没有写入 SPI\_DAT 寄存器，该标志位会被置‘1’。在寄存器 SPI\_I2S\_CFGFR 的 I2SMOD 位置‘1’后，该标志位才有效。如果寄存器 SPI\_CTRL2.ERRINTEN 位为‘1’，就会产生中断。通过对寄存器 SPI\_STS 进行读操作来清除该标志位。

### 36.4.9 I2S 中断

所有 I2S 中断如下表所列。

表 36-3 I2S 中断请求

中断事件	事件标志位	使能控制位
发送缓存空标志	TE	TEINTEN
接收缓存非空标志	RNE	RNEINTEN
下溢标志	UNDER	ERRINTEN
上溢标志	OVER	

### 36.4.10 DMA 功能

为了达到最大通信速度，需要及时往 I2S 发送缓冲器填数据，同样接收缓冲器中的数据也必须及时读走以防止溢出。为了方便高速率的数据传输，I2S 实现了一种采用简单的请求/应答的 DMA 机制。

当 SPI\_CTRL2 寄存器上的对应使能位被设置时，I2S 模块可以发出 DMA 传输请求。发送缓冲器和接收缓冲器亦有各自的 DMA 请求。

- 发送时，在每次 TE 被设置为‘1’时发出 DMA 请求，DMA 控制器则写数据至 SPI\_DAT 寄存器，TE 标志因此而被清除。
- 接收时，在每次 RNE 被设置为‘1’时发出 DMA 请求，DMA 控制器则从 SPI\_DAT 寄存器读出数据，RNE 标志因此被清除。

当只使用 I2S/I2S\_EXT 发送数据时，只需使能 I2S/I2S\_EXT 的发送 DMA 通道。此时，因为没有读取收到的数据，OVER 被置为‘1’。当只使用 I2S/I2S\_EXT 接收数据时，只需使能 I2S/I2S\_EXT 的接收 DMA 通道。

## 36.5 SPI 和 I2S 寄存器

### 36.5.1 SPI 控制寄存器 1 (SPI\_CTRL1) (I2S 模式下不使用)

地址偏移: 0x00

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BIDIRMODE	BIDIROEN	RONLY	SSMEN	SSEL	SSOEN	CRCNEXT	DATFF	LSBFF	MSEL	CLKPHA	CLKPOL	Reserved	BR[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		

位域	名称	描述
15	BIDIRMODE	双向数据模式使能 0: 选择“双线双向”模式; 1: 选择“单线双向”模式。 <i>注: I2S 模式下不使用。</i>
14	BIDIROEN	双向模式下的输出使能 和 SPI_CTRL1.BIDIRMODE 位一起决定在“单线双向”模式下数据的输出方向 0: 输出禁止(只收模式); 1: 输出使能(只发模式)。 这个“单线”数据线在主设备端为 MOSI 引脚, 在从设备端为 MISO 引脚。 <i>注: I2S 模式下不使用。</i>
13	RONLY	只接收 该位和 SPI_CTRL1.BIDIRMODE 位一起决定在“双线双向”模式下的传输方向。在多个从设备的配置中, 在未被访问的从设备上该位被置 1, 使得只有被访问的从设备有输出, 从而不会造成数据线上数据冲突。 0: 全双工(发送和接收); 1: 禁止输出(只接收模式)。 <i>注: I2S 模式下不使用。</i>
12	SSMEN	软件从设备管理 当 SSMEN 被置位时, NSS 引脚上的电平由 SSEL 位的值决定。 0: 禁止软件从设备管理; 1: 启用软件从设备管理。 <i>注: I2S 模式下不使用。</i>
11	SSEL	内部从设备选择 该位只在 SSMEN 位为‘1’时有意义。它决定了 NSS 上的电平, 在 NSS 引脚上的 I/O 操作无效。 <i>注: I2S 模式下不使用。</i>
10	SSOEN	SS 输出使能 0: 禁止在主模式下 SS 输出, 该设备可以工作在多主设备模式; 1: 设备开启时, 开启主模式下 SS 输出, 该设备不能工作在多主设备模式。

位域	名称	描述
		<i>注：I2S 模式下不使用。</i>
9	CRCNEXT	下一个发送 CRC 0: 下一个发送的值来自发送缓冲区。 1: 下一个发送的值来自发送 CRC 寄存器。 发送时: 在 SPI_DAT 寄存器写入最后一个数据后应马上设置该位。 接收时: 在接收到倒数第二个数据时, 设置该位, 紧接着收到最后一个数据, 紧接着再收到 crc 值。 <i>注：I2S 模式下不使用。</i>
8	DATFF	数据帧格式 0: 使用 8 位数据帧格式进行发送/接收; 1: 使用 16 位数据帧格式进行发送/接收。 <i>注：只有当 SPI 禁止(SPI_CTRL2.SPIEN=0)时, 才能写该位, 否则出错。</i> <i>注：I2S 模式下不使用。</i>
7	LSBFF	帧格式 0: 先发送 MSB。 1: 先发送 LSB。 <i>注：当通信正在进行的时候, 不能修改该位。</i> <i>注：I2S 模式下不使用。</i>
6	MSEL	主设备选择 0: 配置为从设备; 1: 配置为主设备。 <i>注：当通信正在进行的时候, 不能修改该位。</i> <i>注：I2S 模式下不使用。</i>
5	CLKPHA	时钟相位 0: 数据采样从第一个时钟边沿开始; 1: 数据采样从第二个时钟边沿开始。 <i>注：当通信正在进行的时候, 不能修改该位。</i> <i>注：I2S 模式下不使用。</i>
4	CLKPOL	时钟极性 0: 空闲状态时, SCK 保持低电平; 1: 空闲状态时, SCK 保持高电平。 <i>注：当通信正在进行的时候, 不能修改该位。</i> <i>注：I2S 模式下不使用。</i>
3	Reserved	保留, 必须保持复位值
2:0	BR[2:0]	波特率控制 000: fPCLK/2 001: fPCLK/4 010: fPCLK/8 011: fPCLK/16 100: fPCLK/32 101: fPCLK/64 110: fPCLK/128 111: fPCLK/256

位域	名称	描述
		注：当通信正在进行的时候，不能修改该位。 注：I2S 模式下不使用。

### 36.5.2 SPI 控制寄存器 2 (SPI\_CTRL2)

地址偏移：0x04

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RNEDMABYPASS	RXCPINTEN	CRCNMISEN	RXFFUINTEN	RXFHFINTEN	TXFHEINTEN	FIFOCLR	FIFOEN	SS_POL	ERRINTEN	RNEINTEN	TEINTEN	CRCEN	TDMAEN	RDMAEN	SPIEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
15	RNEDMABYPASS	DMA 的 RXNE 信号被旁路
14	RXCPINTEN	只收模式下，传输完成中断使能 0：传输完成不使能 1：在传输完成使能
13	CRCNMISEN	NSS 失效后，CRC 是否马上停止计算 0：停止计算 1：在时钟存在的情况下，仍然进行计算
12	RXFFUINTEN	RX FIFO 满中断使能 该 bit 在 fifo 模式下生效 0：RX FIFO 满中断不使能 1：RX FIFO 满中断使能
11	RXFHFINTEN	RX FIFO 半满中断使能 该 bit 在 fifo 模式下生效 0：RX FIFO 半满中断不使能 1：RX FIFO 半满中断使能
10	TXFHEINTEN	TX FIFO 半空中断使能 该 bit 在 fifo 模式下生效 0：TX FIFO 半空中断不使能 1：TX FIFO 半空中断使能
9	FIFOCLR	FIFO 清除 该 bit 在 fifo 模式下生效 0：FIFO 不清除 1：FIFO 清除
8	FIFOEN	FIFO 模式使能 0：FIFO 模式不使能 1：FIFO 模式使能
7	SS_POL	NSS 极性控制 0：NSS 低电平有效；



位域	名称	描述
		1: NSS 高电平有效。
6	ERRINTEN	错误中断使能 SPI 模式: 当错误(CRCERR、OVER、MODERR)产生时, 该位控制是否产生中断; I2S 模式: 当错误(UNDER、OVER)产生时, 该位控制是否产生中断。 0: 禁止错误中断; 1: 允许错误中断。
5	RNEINTEN	接收缓冲区非空中断使能 0: 禁止 RNE 中断; 1: 允许 RNE 中断, 当 RNE 标志置位时产生中断请求。
4	TEINTEN	发送缓冲区空中断使能 0: 禁止 TE 中断; 1: 允许 TE 中断, 当 TE 标志置位为'1'时产生中断请求。
3	CRCEN	硬件 CRC 校验使能 0: 禁止 CRC 计算; 1: 启动 CRC 计算。 <i>注: 只有在禁止 SPI 时(SPI_CTRL2.SPIEN=0), 才能写该位, 否则出错。该位只能在全双工模式下使用。</i> <i>注: I2S 模式下不使用。</i>
2	TDMAEN	发送缓冲区 DMA 使能 当该位被设置时, TE 标志一旦被置位就发出 DMA 请求 0: 禁止发送缓冲区 DMA; 1: 启动发送缓冲区 DMA。
1	RDMAEN	接收缓冲区 DMA 使能 当该位被设置时, RNE 标志一旦被置位就发出 DMA 请求 0: 禁止接收缓冲区 DMA; 1: 启动接收缓冲区 DMA。
0	SPIEN	SPI 使能 0: 禁止 SPI 设备; 1: 开启 SPI 设备。 <i>注: I2S 模式下不使用。</i> <i>注: 当关闭 SPI 模块, 请遵循关闭 SPI 章节的流程操作。</i>

### 36.5.3 SPI 状态寄存器 (SPI\_STS)

地址偏移: 0x08

复位值: 0x0101

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		RXTSCP	RXFIFFU	TXFIFFU	RXFIFHF	TXFIFHE	CHSIDE	UNDER	OVER	MODERR	CRCERR	BUSY	RNE	TE	
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	

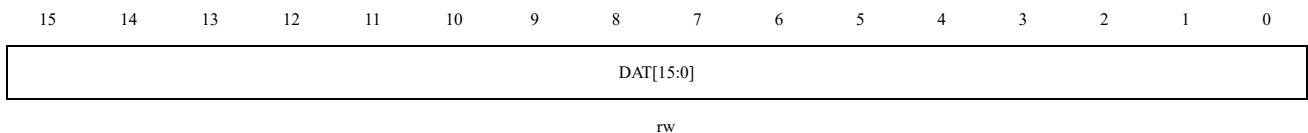
位域	名称	描述
15:13	Reserved	保留，必须保持复位值。
12	RXTSCP	只收模式下，传输完成状态 0：传输完成标志未置起 1：传输完成标志置起
11	RXFIFU	RX FIFO 满标志 该 bit 在 fifo 模式下生效 0：RXFIFO 满标志未置起 1：RXFIFO 满标志置起
10	TXFIFU	TX FIFO 满标志 该 bit 在 fifo 模式下生效 0：TX FIFO 满标志未置起 1：TX FIFO 满标志置起
9	RXFIFHF	RX FIFO 半满标志 该 bit 在 fifo 模式下生效 0：RX FIFO 半满标志未置起 1：RX FIFO 半满标志置起
8	TXFIFHE	TX FIFO 半空标志 该 bit 在 fifo 模式下生效 0：TX FIFO 半空标志未置起 1：TX FIFO 半空标志置起
7	CHSIDE	声道 0：需要传输或者接收左声道； 1：需要传输或者接收右声道。 <i>注：在 SPI 模式下不使用。在 PCM 模式下无意义。</i>
6	UNDER	下溢标志位 0：未发生下溢； 1：发生下溢。 <i>注：该位由硬件置位，并需按照特定的软件操作顺序清除。在 SPI 的非 FIFO 模式下，此标志位无效。在 SPI 的 FIFO 模式下，若尝试在接收 FIFO 为空时读取其内容，此标志位将被置位。</i> <i>在 I2S 从机发送模式下，如果数据传输的第一个时钟边沿到来时，尚未有新的数据写入 SPI_DR 寄存器，此标志位将被置为“1”。</i>
5	OVER	溢出标志 0：没有出现溢出错误； 1：出现溢出错误。 该位由硬件置位，由软件首先读数据寄存器（读两次），再去读 STS 状态寄存器会清零。 在非 fifo 模式下，该标志拉起表示收到数据超过了 dr 的深度，读走数据会被清掉 在 fifo 模式下，在 tx fifo 中存放的数据已满的情况下，再次写入，会导致该位置 1
4	MODERR	模式错误 0：没有出现模式错误； 1：出现模式错误。 该位由硬件置位，由软件序列复位。关于软件序列的详细信息，参考错误标志位章节。

位域	名称	描述
		注：I2S 模式下不使用。
3	CRCERR	CRC 错误标志 0：收到的 CRC 值和 SPI_CRCDAT 寄存器中的值匹配； 1：收到的 CRC 值和 SPI_CRCDAT 寄存器中的值不匹配。 该位由硬件置位，由软件写'0'而复位。 注：I2S 模式下不使用。
2	BUSY	忙标志 0：SPI 不忙； 1：SPI 正忙于通信，或者发送缓冲非空。 该位由硬件置位或者复位。
1	RNE	接收缓冲非空 0：接收缓冲为空； 1：接收缓冲非空。
0	TE	发送缓冲为空 0：发送缓冲非空； 1：发送缓冲为空。

### 36.5.4 SPI 数据寄存器 (SPI\_DAT)

地址偏移：0x0C

复位值：0x0000

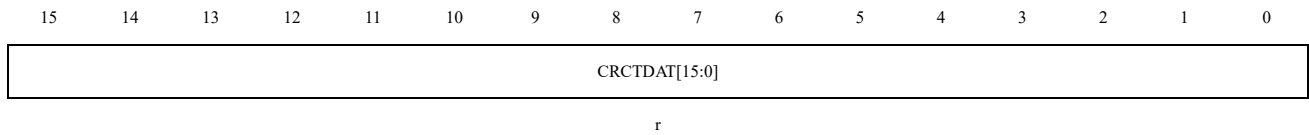


位域	名称	描述
15:0	DAT[15:0]	数据寄存器 待发送或者已经收到的数据 FIFO 模式时，该寄存器为 TX 数据寄存器 非 FIFO 模式时，该寄存器为 DAT(RX/TX 共用)数据寄存器 数据寄存器对应两个缓冲区：一个用于写(发送缓冲)；另外一个用于读(接收缓冲)。写操作将数据写到发送缓冲区；读操作将返回接收缓冲区里的数据。 <i>对 SPI 模式的注释：根据 SPI_CTRL1 的 DATFF 位对数据帧格式的选择，数据的发送和接收可以是 8 位或者 16 位的。为保证正确的操作，需要在启用 SPI 之前就确定好数据帧格式。</i> <i>对于 8 位的数据，缓冲器是 8 位的，发送和接收时只会用到 SPI_DAT[7:0]。在接收时，SPI_DAT[15:8] 被强制为 0。</i> <i>对于 16 位的数据，缓冲器是 16 位的，发送和接收时会用到整个数据寄存器，即 SPI_DAT[15:0]。</i>

### 36.5.5 SPI 发送 CRC 寄存器 (SPI\_CRCTDAT)

地址偏移: 0x10

复位值: 0x0000

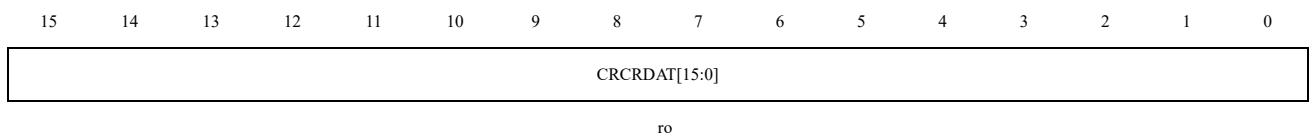


位域	名称	描述
15:0	CRCTDAT[15:0]	发送 CRC 寄存器 在启用 CRC 计算时, TXCRC[15:0]中包含了依据将要发送的字节计算的 CRC 数值。当在 SPI_CTRL2.CRCEN 位写入'1'时,该寄存器被复位。CRC 计算使用 SPI_CRCPOLY 中的多项式。 当数据帧格式被设置为 8 位时, 仅低 8 位参与计算, 并且按照 CRC8 的方法进行; 当数据帧格式为 16 位时, 寄存器中的所有 16 个位都参与计算, 并且按照 CRC16 的标准。 <i>注: 当 SPI_STS.BUSY 标志为'1'时读该寄存器, 将可能读到不正确的数值。</i> <i>注: 在 I2S 模式下不使用。</i>

### 36.5.6 SPI 接收 CRC 寄存器 (SPI\_CRCRDAT)

地址偏移: 0x14

复位值: 0x0000

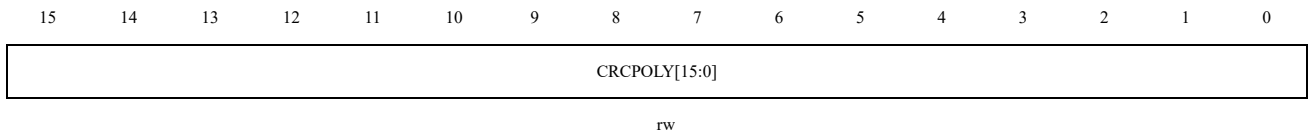


位域	名称	描述
15:0	CRCRDAT[15:0]	接收 CRC 寄存器 在启用 CRC 计算时, RXCRC[15:0]中包含了依据收到的字节计算的 CRC 数值。当在 SPI_CTRL2.CRCEN 位写入'1'时, 该寄存器被复位。CRC 计算使用 SPI_CRCPOLY 中的多项式。 当数据帧格式被设置为 8 位时, 仅低 8 位参与计算, 并且按照 CRC8 的方法进行; 当数据帧格式为 16 位时, 寄存器中的所有 16 位都参与计算, 并且按照 CRC16 的标准。 <i>注: 当 SPI_STS.BUSY 标志为'1'时读该寄存器, 将可能读到不正确的数值。</i> <i>注: 在 I2S 模式下不使用。</i>

### 36.5.7 SPI CRC 多项式寄存器 (SPI\_CRCPOLY)

地址偏移: 0x18

复位值: 0x0007

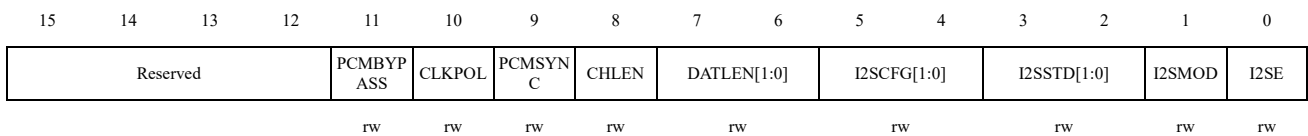


位域	名称	描述
15:0	CRCPOLY[15:0]	CRC 多项式寄存器 该寄存器包含了 CRC 计算时用到的多项式。 其复位值为 0x0007，根据应用可以设置其他数值。 <i>注：在 I2S 模式下不使用。</i>

### 36.5.8 SPI\_I2S 配置寄存器 (SPI\_I2S\_CFGR)

地址偏移: 0x1C

复位值: 0x0000



位域	名称	描述
15:12	Reserved	保留，必须保持复位值
11	PCMBYPASS	PCM 长是 13 位时是 BYPASS 模式 1: 非 BYPASS 0: BYPASS
10	CLKPOL	静止态时钟极性 0: I2S 时钟静止态为低电平； 1: 2S 时钟静止态为高电平。 <i>注：为了正确操作，该位只有在关闭了 I2S 时才能设置。</i> <i>在 SPI 模式下不使用。</i>
9	PCMSYN C	PCM 帧同步 0: 短帧同步； 1: 长帧同步。 <i>注：该位只在 I2SSTD = 11 (使用 PCM 标准) 时有意义。</i> <i>在 SPI 模式下不使用。</i>
8	CHLEN	声道长度(每个音频声道的数据位数) 0: 16 位宽；

		1:32 位宽。 只有在 DATLEN = 00 时该位的写操作才有意义，否则声道长度都由硬件固定为 32 位。 <i>注：为了正确操作，该位只有在关闭了 I2S 时才能设置。</i> <i>在 SPI 模式下不使用。</i>
7:6	DATLEN[1:0]	待传输数据长度 00: 16 位数据长度； 01: 24 位数据长度； 10: 32 位数据长度； 11: 不允许。 <i>注：为了正确操作，该位只有在关闭了 I2S 时才能设置。</i> <i>在 SPI 模式下不使用。</i>
5:4	I2SCFG[1:0]	I2S 模式设置 00: 从设备发送； 01: 从设备接收； 10: 主设备发送； 11: 主设备接受。 <i>注：该位只有在关闭了 I2S 时才能设置。</i> <i>在 SPI 模式下不使用。</i>
3:2	I2SSTD[1:0]	I2S 标准选择 00: I2S 飞利浦标准； 01: 高字节对齐标准 (左对齐)； 10: 低字节对齐标准(右对齐)； 11: PCM 标准。 <i>注：为了正确操作，只有在关闭了 I2S 时才能设置该位。</i> <i>在 SPI 模式下不使用。</i>
1	I2SMOD	I2S 模式选择 0: 选择 SPI 模式； 1: 选择 I2S 模式。 <i>注：该位只有在关闭了 SPI 或者 I2S 时才能设置。</i>
0	I2SE	I2S 使能 0: 关闭 I2S； 1: I2S 使能。 <i>注：在 SPI 模式下不使用。</i>

*注：此寄存器不可用于 SPI1\_SPI4\_SPI5\_SPI6。*

### 36.5.9 SPI\_I2S 预分频寄存器 (SPI\_I2S\_PREDIV)

地址偏移：0x20

复位值：0x0002

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved				MCLKOE N	ODDEVE N											LDIV[9:0]

位域	名称	描述
15:12	Reserved	保留，必须保持复位值
11	MCLKOEN	主设备时钟输出使能 0：关闭主设备时钟输出； 1：主设备时钟输出使能。 <i>注：为了正确操作，该位只有在关闭了 I2S 时才能设置。仅在 I2S 主设备模式下使用该位。 在 SPI 模式下不使用。</i>
10	ODDEVEN	奇系数预分频 0：实际分频系数 = LDIV * 2； 1：实际分频系数 = (LDIV * 2)+1。 <i>注：为了正确操作，该位只有在关闭了 I2S 时才能设置。仅在 I2S 主设备模式下使用该位。 在 SPI 模式下不使用。</i>
9:0	LDIV[9:0]	I2S 线性预分频 禁止设置 LDIV [7:0] = 0 或者 LDIV [7:0] = 1 <i>注：为了正确操作，该位只有在关闭了 I2S 时才能设置。仅在 I2S 主设备模式下使用该位。 在 SPI 模式下不使用。</i>

*注：此寄存器不可用于 SPI1\_SPI4\_SPI5\_SPI6。*

### 36.5.10 SPI 接收 FIFO 数据寄存器 (SPI\_RX\_FIFO)

地址偏移：0x24

复位值：0x0000

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RXFIFDAT[15:0]

rw

位域	名称	描述
15:0	RXFIFDAT[15:0]	FIFO 模式时，RX FIFO 数据寄存器 非 FIFO 模式时，该寄存器不使用

### 36.5.11 SPI FIFO 个数配置寄存器 (SPI\_FIFO\_NUM)

地址偏移：0x28

复位值：0x0044

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	RXFBSNUM[2:0]	Reserved	TXFBSNUM[2:0]
	rw		rw

位域	名称	描述
15:7	Reserved	保留，必须保持复位值
6:4	RXFBSNUM[2:0]	FIFO 模式时，RX FIFO 半满 NUM 配置 当 rx fifo 中有效数据个数达到该配置值时，会置起半满标志。 当进行 dma 通信时，dma 中 burst 搬移数据数量要与该寄存器值一致 非 FIFO 模式时，该寄存器不使用。
3	Reserved	保留，必须保持复位值。
2:0	TXFBSNUM[2:0]	FIFO 模式时，TX FIFO 半空 NUM 配置 当 tx fifo 中有效数据个数达到该配置值时，会起半空标志。 当进行 dma 通信时，dma 中 burst 搬移数据数量要与该寄存器值一致 非 FIFO 模式时，该寄存器不使用

### 36.5.12 SPI FIFO 计数配置寄存器 (SPI\_FIFO\_CNT)

地址偏移: 0x30

复位值: 0x0000

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	RXFICNT[3:0]	TXFICNT[3:0]
	r	r

位域	名称	描述
15:8	Reserved	保留，必须保持复位值
7:4	RXFICNT[3:0]	FIFO 模式时，RX FIFO 当前待接收个数
3:0	TXFICNT[3:0]	FIFO 模式时，TX FIFO 当前待发送个数

### 36.5.13 SPI 传输个数配置寄存器 (SPI\_TRANS\_NUM)

地址偏移: 0x34

复位值: 0x0000

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TRANSNUM[15:0]
rw



位域	名称	描述
15:0	TRANSNUM[15:0]	FIFO 模式且带 CRC 功能时，用户需要提前写入要传输的数据个数。 在 CPU 模式时，若开启只接受模式，用户不需要在倒数第一处拉高 CRCNEXT 的操作，该操作由硬件完成。 在 DMA 模式时，也会由硬件执行 CRCNEXT 的功能。

### 36.5.14 SPI 时钟采样延迟寄存器 (SPI\_CR3)

地址偏移：0x38

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												DELAYTIME[3:0]			
rw															

位域	名称	描述
15:4	Reserved	保留，必须保持复位值
3:0	DELAYTIME[3:0]	SPI 主机时钟延迟时间配置 4'b0000：直通，对采样时钟不进行延迟处理。 4'b0001：延迟 1/2 个 Tapb_clk 周期后，对 MISO 端口上的数据进行采样。 4'b0010：延迟 1 个 Tapb_clk 周期后，对 MISO 端口上的数据进行采样。 4'b0011：延迟 3/2 个 Tapb_clk 周期后，对 MISO 端口上的数据进行采样。 4'b0100：延迟 2 个 Tapb_clk 周期后，对 MISO 端口上的数据进行采样。 4'b0101：延迟 5/2 个 Tapb_clk 周期后，对 MISO 端口上的数据进行采样。 4'b0110：延迟 3 个 Tapb_clk 周期后，对 MISO 端口上的数据进行采样。 4'b0111：延迟 7/2 个 Tapb_clk 周期后，对 MISO 端口上的数据进行采样。 4'b1000：延迟 4 个 Tapb_clk 周期后，对 MISO 端口上的数据进行采样。 4'b1001：延迟 9/2 个 Tapb_clk 周期后，对 MISO 端口上的数据进行采样。 4'b1010：延迟 5 个 Tapb_clk 周期后，对 MISO 端口上的数据进行采样。 4'b1011：延迟 11/2 个 Tapb_clk 周期后，对 MISO 端口上的数据进行采样。 4'b1100：延迟 6 个 Tapb_clk 周期后，对 MISO 端口上的数据进行采样。 4'b1101：延迟 13/2 个 Tapb_clk 周期后，对 MISO 端口上的数据进行采样。 4'b1110：延迟 7 个 Tapb_clk 周期后，对 MISO 端口上的数据进行采样。 4'b1111：延迟 1 个 Tapb_clk 周期后，对 MISO 端口上的数据进行采样。 注：Tapb_clk 是指 APB 总线时钟周期。该寄存器仅在 SPI 主模式全双工及 SPI 主模式接收模式下可配置。在其他 SPI 模式下配置此位无效；在 I2S 模式下不使用此寄存器。

### 36.5.15 I2S\_EXT 控制寄存器 (I2S\_CTRL2)

地址偏移：0x204

复位值：0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
RXNEDMABYPASS	Reserved						ERRINTEN	RNEINTEN	TEINTEN	Reserved	TDMAEN	RDMAEN	Reserved				
							rw	rw	rw		rw	rw	rw				

位域	名称	描述
15	RXNEDMABYPASS	DMA 的 RXNE 信号被旁路
14:7	Reserved	保留，必须保持复位值
6	ERRINTEN	错误中断使能 当错误(CRCERR、OVER、MODERR)产生时，该位控制是否产生中断 0：禁止错误中断； 1：允许错误中断。
5	RNEINTEN	接收缓冲区非空中断使能 0：禁止 RNE 中断； 1：允许 RNE 中断，当 RNE 标志置位时产生中断请求。
4	TEINTEN	发送缓冲区空中断使能 0：禁止 TE 中断； 1：允许 TE 中断，当 TE 标志置位为'1'时产生中断请求。
3	Reserved	保留，必须保持复位值
2	TDMAEN	发送缓冲区 DMA 使能 当该位被设置时，TE 标志一旦被置位就发出 DMA 请求 0：禁止发送缓冲区 DMA； 1：启动发送缓冲区 DMA。
1	RDMAEN	接收缓冲区 DMA 使能 当该位被设置时，RNE 标志一旦被置位就发出 DMA 请求 0：禁止接收缓冲区 DMA； 1：启动接收缓冲区 DMA。
0	Reserved	保留，必须保持复位值

### 36.5.16 I2S\_EXT 状态寄存器 (I2S\_STS)

地址偏移：0x208

复位值：0x0002

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	Reserved						CHSIDE	UNDER	OVER	Reserved	BUSY	RNE	TE				
							r	r	r		r	r	r				

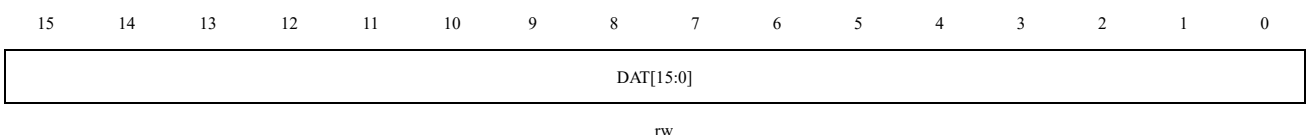
位域	名称	描述
15:8	Reserved	保留，必须保持复位值。
7	CHSIDE	声道 0：需要传输或者接收左声道；

位域	名称	描述
		1: 需要传输或者接收右声道。 <i>注: 在 SPI 模式下不使用。在 PCM 模式下无意义。</i>
6	UNDER	下溢标志位 0: 未发生下溢; 1: 发生下溢。 该标志位由硬件置 1, 软件读取 SPI_STS 状态寄存器会清 0 在非 fifo 模式下, 该标志位不使用 在 fifo 模式下, 在 rx fifo 为空的情况下, 仍然去读 rx fifo 会导致该位置 1
5	OVER	溢出标志 0: 没有出现溢出错误; 1: 出现溢出错误。 该位由硬件置位, 由软件首先读数据寄存器 (读两次), 再去读 STS 状态寄存器会清零。 在非 fifo 模式下, 该标志拉起表示收到数据超过了 dr 的深度, 读走数据会被清掉 在 fifo 模式下, 在 tx fifo 中存放的数据已满的情况下, 再次写入, 会拉高标志位
4:3	Reserved	保留, 必须保持复位值
2	BUSY	忙标志 0: SPI 不忙; 1: SPI 正忙于通信, 或者发送缓冲非空。 该位由硬件置位或者复位。
1	RNE	接收缓冲非空 0: 接收缓冲为空; 1: 接收缓冲非空。
0	TE	发送缓冲为空 0: 发送缓冲非空; 1: 发送缓冲为空。

### 36.5.17 I2S\_EXT 数据寄存器 (I2S\_DAT)

Address offset: 0x20C

Reset value: 0x0000



位域	名称	描述
15:0	DAT[15:0]	数据寄存器 待发送或者已经收到的数据

位域	名称	描述
		FIFO 模式时, 该寄存器为 TX 数据寄存器 非 FIFO 模式时, 该寄存器为 DR(RX/TX 共用)数据寄存器 数据寄存器对应两个缓冲区: 一个用于写(发送缓冲); 另外一个用于读(接收缓冲)。写操作将数据写到发送缓冲区; 读操作将返回接收缓冲区里的数据。 <i>对 SPI 模式的注释: 根据 SPI_CTRL1 的 DATFF 位对数据帧格式的选择, 数据的发送和接收可以是 8 位或者 16 位的。为保证正确的操作, 需要在启用 SPI 之前就确定好数据帧格式。</i> 对于 8 位的数据, 缓冲器是 8 位的, 发送和接收时只会用到 SPI_DAT[7:0]。在接收时, SPI_DAT[15:8] 被强制为 0。 对于 16 位的数据, 缓冲器是 16 位的, 发送和接收时会用到整个数据寄存器, 即 SPI_DAT[15:0]。

### 36.5.18 I2S\_EXT 配置寄存器 (I2S\_CFGR)

地址偏移: 0x21C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				PCMLBY PASS	CLKPOL	PCMSYN C	CHLEN	DATLEN[1:0]	I2SCFG[1:0]	I2SSTD[1:0]	I2SMOD	I2SE			
				rw	rw	rw	rw	rw	rw	rw	rw	rw			

位域	名称	描述
15:12	Reserved	保留, 必须保持复位值
11	PCMLBYPASS	PCML 信号被旁路 1: 不旁路 0: 旁路
10	CLKPOL	静止态时钟极性 0: I2S 时钟静止态为低电平; 1: I2S 时钟静止态为高电平。 <i>注: 为了正确操作, 该位只有在关闭了 I2S 时才能设置。</i> <i>在 SPI 模式下不使用。</i>
9	PCMSYNC	PCM 帧同步 0: 短帧同步; 1: 长帧同步。 <i>注: 该位只在 I2SSTD = 11 (使用 PCM 标准)时有意义。</i> <i>在 SPI 模式下不使用。</i>
8	CHLEN	声道长度 (每个音频声道的数据位数) 0: 6 位宽; 1: 32 位宽。 只有在 DATLEN = 00 时该位的写操作才有意义, 否则声道长度都由硬件固定为 32 位。

		<p>注：为了正确操作，该位只有在关闭了 I2S 时才能设置。 在 SPI 模式下不使用。</p>
7:6	DATLEN[1:0]	<p>待传输数据长度 00: 16 位数据长度； 01: 24 位数据长度； 10: 32 位数据长度； 11: 不允许。 注：为了正确操作，该位只有在关闭了 I2S 时才能设置。 在 SPI 模式下不使用。</p>
5:4	I2SCFG[1:0]	<p>I2S 模式设置 00: 从设备发送； 01: 从设备接收； 10: 主设备发送； 11: 主设备接受。 注：该位只有在关闭了 I2S 时才能设置。 在 SPI 模式下不使用。</p>
3:2	I2SSTD[1:0]	<p>I2S 标准选择 00: I2S 飞利浦标准； 01: 高字节对齐标准 (左对齐)； 10: 低字节对齐标准(右对齐)； 11: PCM 标准。 注：为了正确操作，只有在关闭了 I2S 时才能设置该位。 在 SPI 模式下不使用。</p>
1	I2SMOD	<p>I2S 模式选择 0: 选择 SPI 模式； 1: 选择 I2S 模式。 注：该位只有在关闭了 SPI 或者 I2S 时才能设置。</p>
0	I2SE	<p>I2S 使能 0: 关闭 I2S； 1: I2S 使能。 注：在 SPI 模式下不使用。</p>

## 37 多线串行外设接口 (xSPI)

### 37.1 xSPI 简介

xSPI 可作为单通道/双通道/四通道/八通道 SPI 外设通信接口，支持以下两种工作模式：

- 间接模式 (Indirect mode)：所有操作通过 xSPI 寄存器完成，也可称为 FIFO 模式。该模式下，所有操作均通过配置寄存器的参数设置实现：发送数据需通过数据寄存器（本质为发送 FIFO，TX FIFO）传输；数据交互由软件或 DMA 驱动；接收数据则通过读取数据寄存器（本质为接收 FIFO，RX FIFO）获取。
- 内存映射模式 (Memory-mapped mode)：外部闪存 (External flash) 被映射到微控制器 (microcontroller) 的地址空间，系统将其视为内部存储空间，也可称为 XIP 模式 (即 Execute In Place，片上执行模式)。此模式下，AHB 的读操作会自动转换为 SPI 闪存的读写操作。

### 37.2 xSPI 主要特性

xSPI 控制器的主要特性如下：

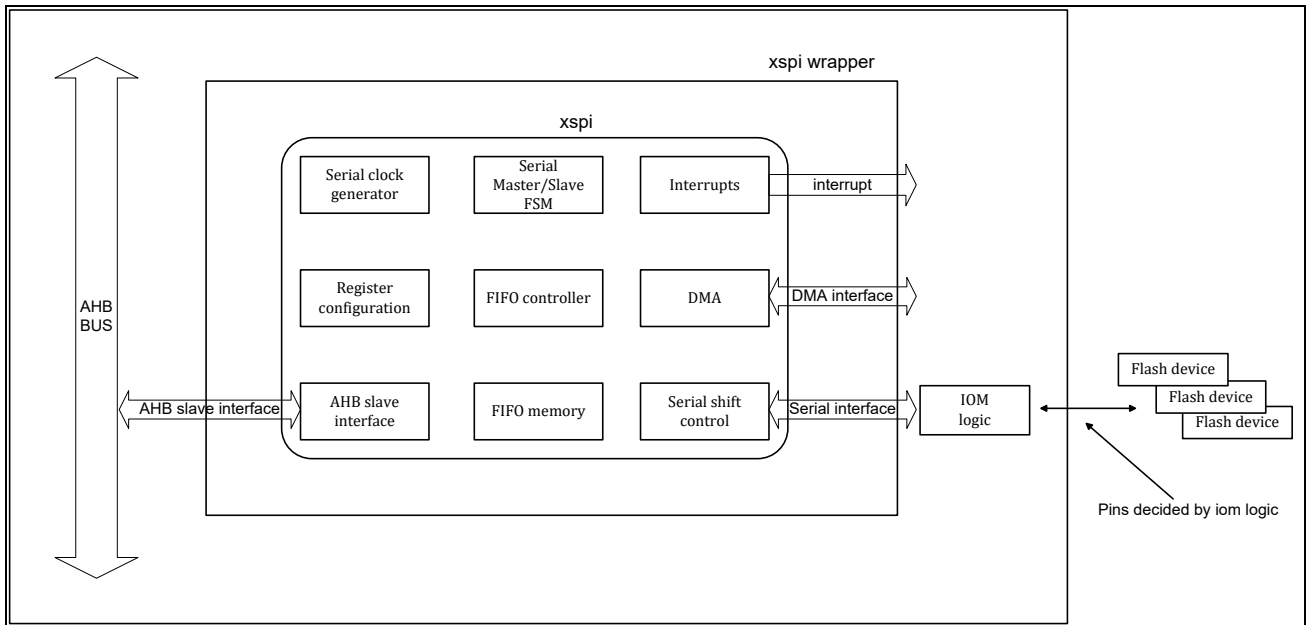
- 可配置1/2/4/8位数据
- 支持Single SPI/Normal SPI、DUAL SPI、QUAD SPI、Dual-QUAD、OCTAL SPI模式
- 总线最高速率为133MHz
- 支持Motorola SPI：
  - ◆ Standard/Dual/Quad/Octal SPI
- 支持SDR和DDR模式
- 支持读数据选通 (Read Data Strobe) 功能
- 支持时钟延长
- 在间接模式和内存映射模式下，帧格式与操作码可软件配置
- 集成 FIFO 用于发送和接收
- 允许 8/16/32 位数据访问
- 专用32×32位发送FIFO (TX FIFO) 和32×32位接收FIFO (RX FIFO)
- 支持DMA
- 仅支持 XIP 读操作，不支持 XIP 写操作
  - ◆ 支持连续传输模式
  - ◆ 支持数据预取
- 支持xSPI外设执行代码自动解密，即xSPI外设代码密文存储，执行代码时读取密文自动解密为明文CPU执行，不影响对外设存储的访问速度，解密可软件控制使能/禁能，根密钥存放于NVR区，用户不可访问。
- 支持与串行 NAND 闪存、NOR 闪存及 PSRAM 通信。

- 主模式 (Master Mode) 下, 支持 4 路外部片选 (Chip Select) 输出控制; 从模式 (Slave Mode) 下, 支持 1 路片选输入。主模式下所有复用为片选输出的 IO, 在从模式下均可复用为片选输入。

注意: Mode bits 阶段只在 XIP 模式使用。

### 37.3 xSPI 框图

图 37-1 xSPI 框图



### 37.4 功能描述

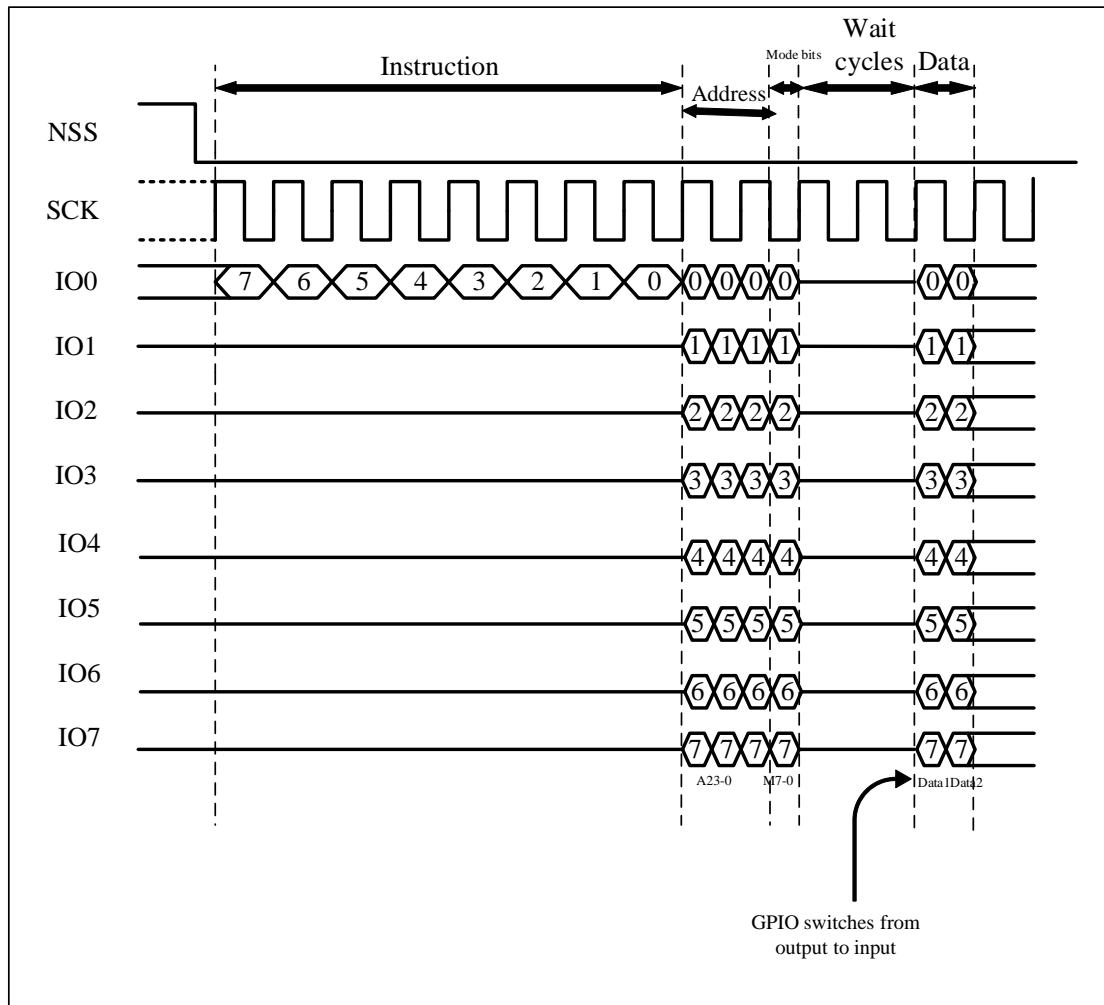
#### 37.4.1 xSPI 命令序列

XSPI\_clk 来源于 AHB 时钟, BAUDR 是分频系数, SCK 是 xSPI 输出时钟。

xSPI 通过命令与外设通信, 每条命令包括 Instruction 阶段、Address 阶段、Mode bits 阶段、Wait cycles 阶段和 Data 阶段五个阶段, 任一阶段均可跳过, 但至少要保留 Instruction 阶段、Address 阶段、Mode bits 阶段或 Data 阶段其中一个阶段。

注意: Mode bits 阶段只用在 XIP 模式, XIP 模式位阶段使能后, XIP 模式将在地址阶段后插入模式位。XIP Mode bits 位宽: 2、4、8、16 (使能 XIP 模式位阶段后有效)

图 37-2 Octal SPI 命令序列



### 37.4.2 xSPI 编程指南

在操作 xSPI 寄存器之前，需确保用于寄存器配置的 AHB\_clk（AHB 时钟）以及 xspi\_core\_clk（由 xSPI 睡眠输出信号门控的时钟）已正常使能。此外，部分与 xSPIFLASH（xSPI 闪存）相关的 MMU（内存管理单元）寄存器也需按以下方式配置：

*注意：在配置任何寄存器之前，需确保 XSPI\_EN 寄存器的 XSPIEN 位处于禁用状态（XSPI\_EN.XSPIEN 禁用）。此时，发送 FIFO 和接收 FIFO 缓冲区会被清空，xSPI 睡眠输出信号会在延迟后置位，以通知系统此时移除 xSPI\_clk（xSPI 时钟）是安全的，从而降低系统功耗。当所有必需的寄存器配置完成后，再使能 XSPI\_EN 寄存器的 XSPIEN 位（XSPI\_EN.XSPIEN 使能），以启动 xSPI 操作。*

以下配置为间接模式、DMA（直接存储器访问）模式和 XIP（片上执行）模式下基本传输的设置参数。

#### 37.4.2.1 xSPI 间接模式

在间接模式下，通过写入 xSPI 寄存器来启动命令，并通过读写数据寄存器来传输数据，其方式与其它通信外设相同。

当 XSPI\_CTRL0.TMOD[1:0]=00 时，处于发送与接收模式，发送/接收数据均有效。传输数据持续进行，直到发送 FIFO 为空为止。从外部设备接收的数据存储在接收 FIFO 存储器中，主机处理器可以访问该数据。



注意：只有在标准 SPI 模式下 ( $XSPI\_CTRL0.SPIFRF[1:0] = 00$ ) 才可以使用 Tx and Rx 模式

当  $XSPI\_CTRL0.TMOD[1:0] = 01$  时，xSPI 处于间接发送模式，其待发送字节在数据发送阶段送到闪存，通过写入  $XSPI\_DATx$  寄存器来提供数据。

当  $XSPI\_CTRL0.TMOD[1:0] = 10$  时，xSPI 处于间接接收模式，其待接收数据在数据接收阶段从闪存接收，通过读取  $XSPI\_DATx$  寄存器来获取数据。

当  $XSPI\_CTRL0.TMOD[1:0] = 11$  时，EEPROM 读取模式，发送数据用于将操作码/地址发送到 EEPROM 设备。

注意：只有在标准 SPI 模式下 ( $XSPI\_CTRL0.SPIFRF[1:0] = 00$ ) 才可以使用 EEPROM read 模式，要读取的字节数在  $XSPI\_CTRL1.NDF[15:0]$  中指定。

### 37.4.2.1.1 xSPI 间接发送操作

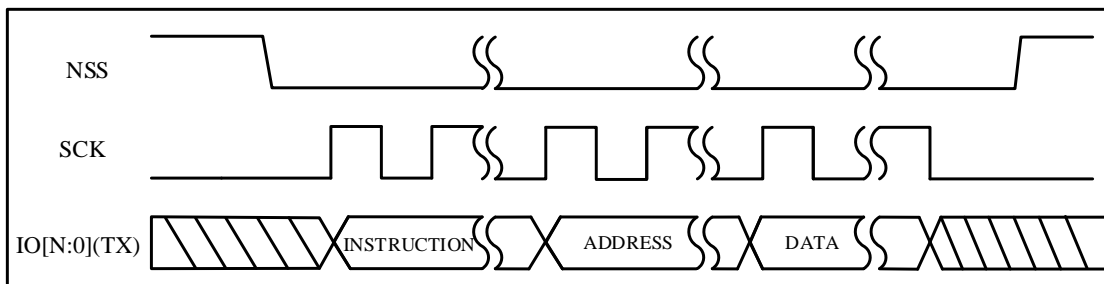
- 1  $XSPI\_CTRL0.SPIFRF[1:0]$ 指定帧发送格式（标准/双线/四线/八线模式）
- 2  $XSPI\_CTRL0.DFS[4:0]$ 指定数据长度(4~32bit)
- 3  $XSPI\_ENH\_CTRL0.ADDRLEN[3:0]$ 指定地址长度(4bit~60bit，可配置跳过 Address 阶段)
- 4  $XSPI\_ENH\_CTRL0.INSTL[1:0]$ 指定指令长度(4bit、8bit、16bit，可配置跳过 Instruction 阶段)

注意：1 条指令占用 1 个 FIFO 地址，地址可以占用多个 FIFO 位置。指令和地址都必须在  $XSPI\_DATx$  寄存器中编程。

写操作可以分为 3 个阶段：Instruction 阶段、Address 阶段、Data 阶段。

典型写操作时序

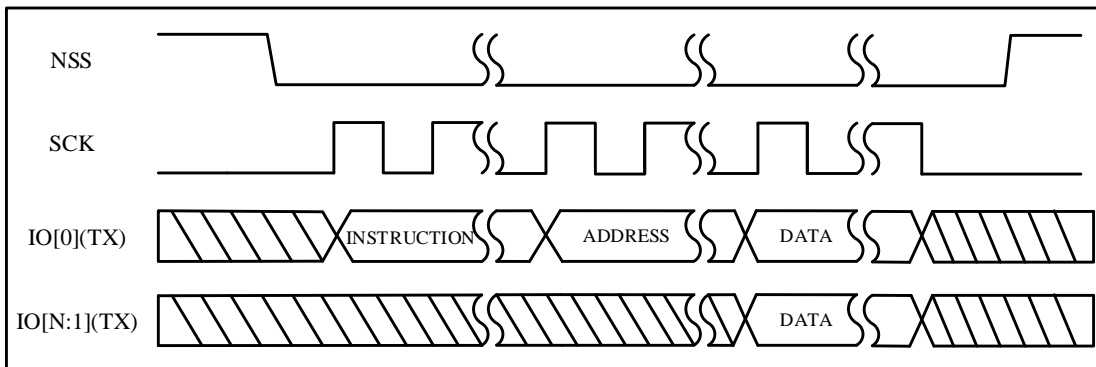
图 37-3 典型写操作时序



四线模式下  $N=3$ ，对于 1 次写操作，指令和地址仅发送 1 次，然后是  $XSPI\_DATx$  寄存器中存储的数据帧，直到发送 FIFO 为空。

指令和地址都以标准 SPI 格式发送

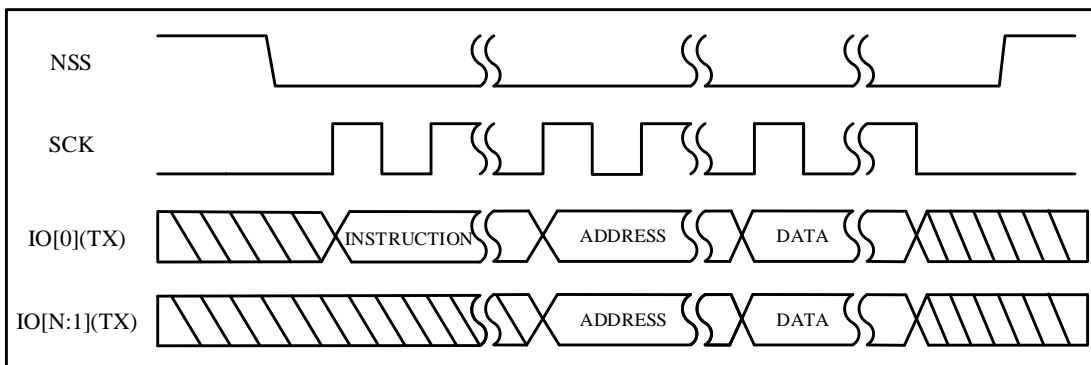
图 37-4 指令和地址都以标准 SPI 格式发送时序



XSPI\_ENH\_CTRL0.TRANSTYPE[1:0]须配置为 0。XSPI\_CTRL0.SPIFRF[1:0]配置为 0x02（四线模式）时，N=3；XSPI\_CTRL0.SPIFRF[1:0]配置为 0x01（双线模式）时，N=1。

- 指令以标准 SPI 模式发送，地址以 CTRL0.SPIFRF 制定模式发送时序

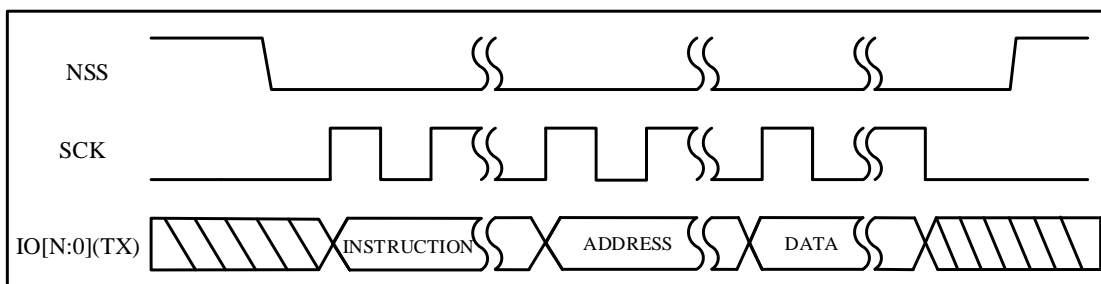
图 37-5 指令以标准 SPI 模式发送，地址以 CTRL0.SPIFRF 制定模式发送时序



XSPI\_ENH\_CTRL0.TRANSTYPE[1:0]须配置为 0x01。XSPI\_CTRL0.SPIFRF[1:0]配置为 0x02（四线模式）时，N=3；XSPI\_CTRL0.SPIFRF[1:0]配置为 0x01（双线模式）时，N=1。

- 指令和地址以 XSPI\_CTRL0.SPIFRF 制定模式发送时序

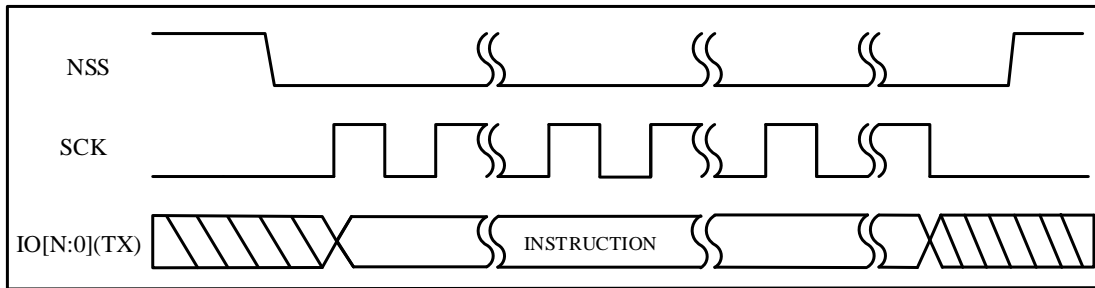
图 37-6 指令和地址以 XSPI\_CTRL0.SPIFRF 制定模式发送时序



XSPI\_ENH\_CTRL0.TRANSTYPE[1:0]须配置为 0x02。XSPI\_CTRL0.SPIFRF[1:0]配置为 0x02（四线模式）时，N=3；XSPI\_CTRL0.SPIFRF[1:0]配置为 0x01（双线模式）时，N=1。

只有指令阶段的发送时序

图 37-7 只有指令阶段的发送时序



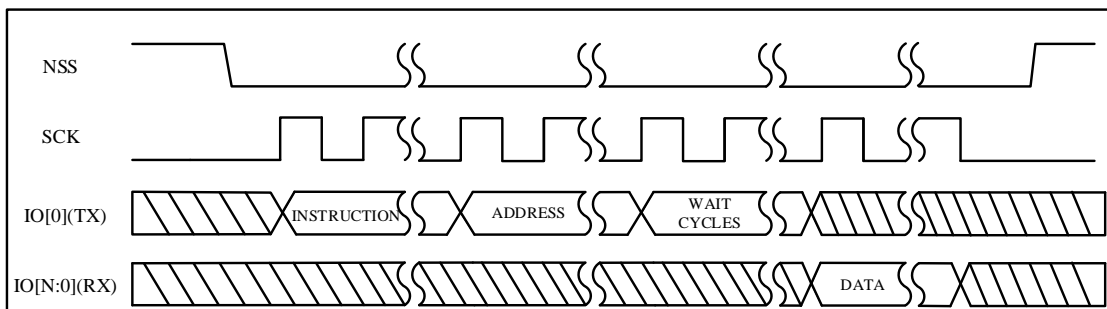
和 XSPI\_ENH\_CTRL0.TRANSTYPE[1:0]配置无关。XSPI\_CTRL0.SPIFRF[1:0]配置为 0x02（四线模式）时，N=3；XSPI\_CTRL0.SPIFRF[1:0]配置为 0x01（双线模式）时，N=1。

### 37.4.2.1.2 xSPI 间接接收操作

对于读操作，xSPI 发送 1 次指令和控制数据，直到收到数量等于 NDF（XSPI\_CTRL1[15:0]）数量的数据，然后取消从机选择信号。读操作可以分为 4 个阶段：Instruction 阶段、Address 阶段、Wait cycles 阶段和 Data 阶段。

- 典型读操作时序

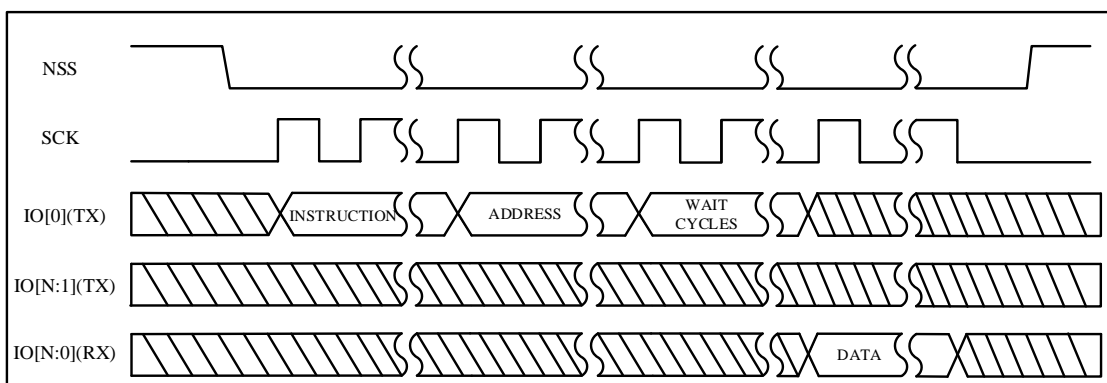
图 37-8 典型读操作时序



四线模式下 N=3，每个读取命令数据将以 XSPI\_CTRL0.SPIFRF[1:0]配置的格式传输。配置为 0x2 为四线模式。

- 地址和指令都以标准 SPI 格式接收时序

图 37-9 地址和指令都以标准 SPI 格式接收时序

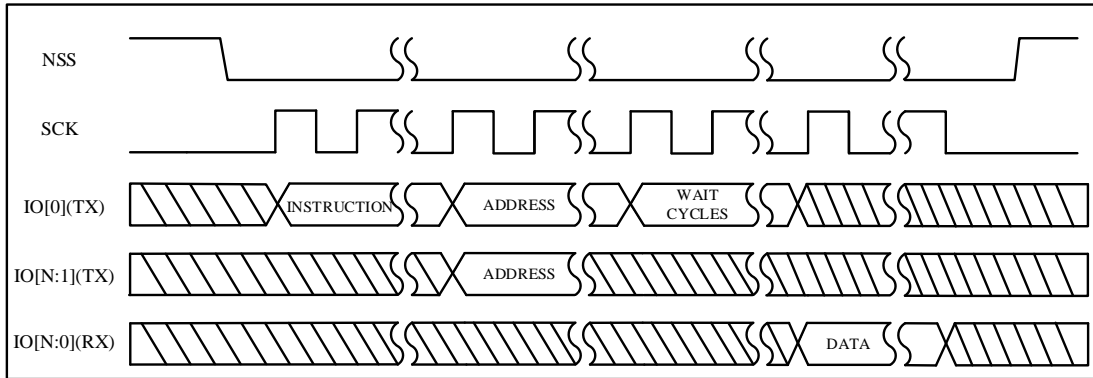


XSPI\_ENH\_CTRL0.TRANSTYPE[1:0]应配置为 0x0，XSPI\_ENH\_CTRL0.WAITCYCLES[4:0]配置 WAIT 的周期。XSPI\_CTRL0.SPIFRF[1:0]配置为 0x02（四线模式）时，N=3；XSPI\_CTRL0.SPIFRF[1:0]配置为

0x01（双线模式）时，N=1。

- 指令以标准 SPI 模式发送，地址以 XSPI\_CTRL0.SPIFRF 制定模式接收时序

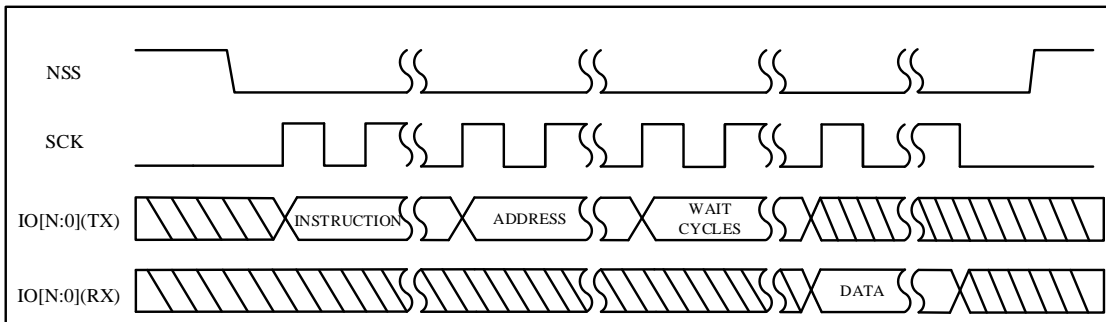
图 37-10 指令以标准 SPI 模式发送，地址以 XSPI\_CTRL0.SPIFRF 制定模式接收时序



XSPI\_ENH\_CTRL0.TRANSTYPE[1:0]应配置为 0x1，XSPI\_ENH\_CTRL0.WAITCYCLES[4:0]配置 WAIT 的周期。XSPI\_CTRL0.SPIFRF[1:0]配置为 0x02（四线模式）时，N=3；XSPI\_CTRL0.SPIFRF[1:0]配置为 0x01（双线模式）时，N=1。

- 指令和地址以 XSPI\_CTRL0.SPIFRF 制定模式接收时序

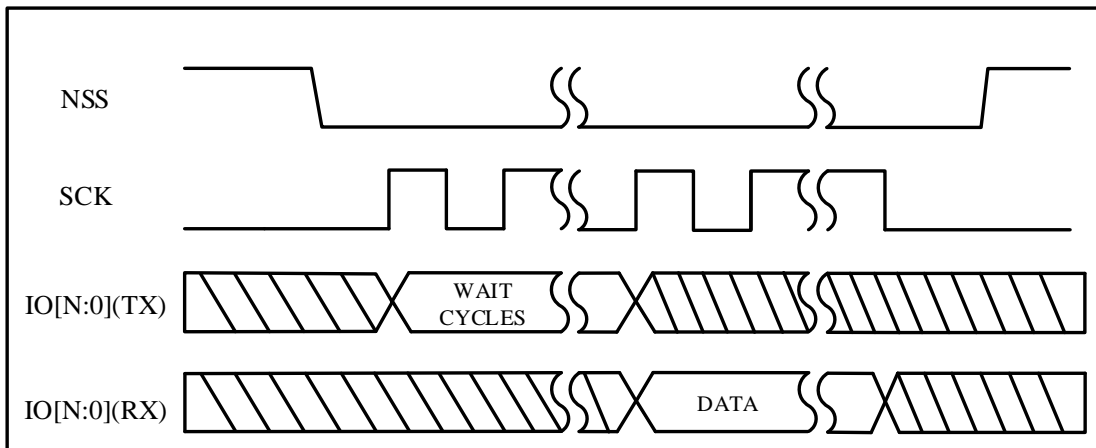
图 37-11 指令和地址以 XSPI\_CTRL0.SPIFRF 制定模式接收时序



XSPI\_ENH\_CTRL0.TRANSTYPE[1:0]配置应为 0x2。XSPI\_CTRL0.SPIFRF[1:0]配置为 0x02（四线模式）时，N=3；XSPI\_CTRL0.SPIFRF[1:0]配置为 0x01（双线模式）时，N=1。

- 只有 Wait cycles 阶段的接收时序

图 37-12 只有 Wait cycles 阶段的接收时序



XSPI\_ENH\_CTRL0.ADDRLEN[3:0] 配置为 0，XSPI\_ENH\_CTRL0.INSTL[1:0] 配置为 0，XSPI\_ENH\_CTRL0.WAITCYCLES[4:0]配置 wait cycles。XSPI\_CTRL0.SPIFRF[1:0]配置为 0x02（四线模式）时，N=3；XSPI\_CTRL0.SPIFRF[1:0]配置为 0x01（双线模式）时，N=1。

### 37.4.2.1.3 CTRL0 寄存器

- 1) 当 XSPI\_CTRL0.TMOD[1:0]=00 时，处于发送与接收模式，发送/接收数据均有效。传输数据持续进行，直到发送 FIFO 为空为止。从外部设备接收的数据存储在接收 FIFO 存储器中，主机处理器可以访问该数据。

注意：只有在标准 SPI 模式下（XSPI\_CTRL0.SPIFRF[1:0]=00）才可以使用 Tx and Rx 模式

- 2) 当 XSPI\_CTRL0.TMOD[1:0]=01 时，xSPI 处于间接发送模式，其待发送字节在数据发送阶段送到闪存，通过写入 XSPI\_DATx 寄存器来提供数据。
- 3) 当 XSPI\_CTRL0.TMOD[1:0]=10 时，xSPI 处于间接接收模式，其待接收数据在数据接收阶段从闪存接收，通过读取 XSPI\_DATx 寄存器来获取数据。
- 4) 当 XSPI\_CTRL0.TMOD[1:0]=11 时，EEPROM 读取模式，发送数据用于将操作码/地址发送到 EEPROM 设备。

注意：只有在标准 SPI 模式下（XSPI\_CTRL0.SPIFRF[1:0]=00）才可以使用 EEPROM read 模式，要读取的字节数在 XSPI\_CTRL1.NDF[15:0]中指定。

- 通过 XSPI\_CTRL0 寄存器的 MST 位（可选配置位）选择 xSPI 工作在主模式（默认）还是从模式。

取值说明：

- ◆ 0x1（主模式，MASTER）：xSPI 工作在主模式
- ◆ 0x0（从模式，SLAVE）：xSPI 工作在从模式

由于我们仅使用主模式，因此该位将被固定为 0（此配置为保留项，仅作占位，不可修改）。

- 通过 XSPI\_CTRL0 寄存器的 SRL 位（可选配置位）选择操作模式。

取值说明：

- ◆ 0x1（测试模式，TESTING\_MODE）：工作于测试模式
- ◆ 0x0（正常模式，NORMAL\_MODE）：工作于正常模式 —— 默认值

- 通过 XSPI\_CTRL0 寄存器的 SLVOE 位(可选配置位), 启用或禁用 xSPI 串行从设备的 xSPI 输出设置。该配置仅在 xSPI 被配置为串行从设备(serial-slave device)时有效; 当 xSPI 被配置为串行主设备(serial master)时, 该位段(bit field)无功能。

取值说明:

- ◆ 0x1 (禁用, DISABLED): 从设备输出(Slave Output)被禁用
- ◆ 0x0 (启用, ENABLED): 从设备输出(Slave Output)被启用

- 通过 XSPI\_CTRL0 寄存器的 SCPOL 位与 XSPI\_CTRL0 寄存器的 SCPH 位(可选配置位), 选择时钟极性与时钟相位。

SCPOL 位取值说明:

- ◆ 0x0 (高电平无效, INACTIVE\_HIGH): 串行时钟的无效状态为低电平——SCPOL 位默认值
- ◆ 0x1 (低电平无效, INACTIVE\_LOW): 串行时钟的无效状态为高电平

SCPH 位取值说明:

- ◆ 0x1 (起始位触发, START\_BIT): 串行时钟在第 1 位数据的起始处翻转
- ◆ 0x0 (中间位触发, MIDDLE\_BIT): 串行时钟在第 1 位数据的中间处翻转——SCPH 位默认值

- 通过 XSPI\_CTRL0 寄存器的 SPIFRF 位, 选择数据发送/接收的数据帧格式。

取值说明:

- ◆ 0x0 (标准 SPI 格式, SPI\_STANDARD): 采用标准 SPI 帧格式
- ◆ 0x1 (双通道 SPI 格式, SPI\_DUAL): 采用双通道 SPI 帧格式
- ◆ 0x2 (四通道 SPI 格式, SPI\_QUAD): 采用四通道 SPI 帧格式
- ◆ 0x3 (八通道 SPI 格式, SPI\_OCTAL): 采用八通道 SPI 帧格式

- 通过 XSPI\_CTRL0 寄存器的 DFS 位选择数据帧长度。当数据帧大小被配置为小于 32 位时, 接收逻辑会自动将接收数据按右对齐方式排列, 接收 FIFO(先进先出存储器)的高字节位将以零填充。

- 通过 XSPI\_CTRL0 寄存器的 SSTE 位(可选配置位)启用/禁用从设备选择翻转功能。当工作在 SPI 模式且时钟相位(SCPH)设为 0 时, 该寄存器用于控制数据帧之间从设备选择线(NSS)的行为。

取值说明:

- ◆ 0x1 (翻转使能, TOGGLE\_EN): 连续数据帧之间 NSS 线会发生翻转; 当 NSS 线为高电平时, 串行时钟(sclk)将保持其默认值
- ◆ 0x0 (翻转禁用, TOGGLE\_DISABLE): 在整个传输过程中, NSS 线将保持低电平, 且 sclk 会持续运行

*注意: 当 XSPI\_CTRL0 寄存器的 SCPH 参数设为 1 时, 不支持从设备选择翻转功能*

#### 37.4.2.1.4 CTRL1 寄存器

通过 XSPI\_CTRL1 寄存器的 NDF[15:0]位段(16 位宽, bit15 至 bit0)选择数据帧数量。

当 XSPI\_CTRL0 寄存器的 TMOD[1:0]位段(2 位宽, bit1 至 bit0)取值为 10 或 11 时, 该寄存器位段用于设定 xSPI 需连续接收的数据帧数量。xSPI 会持续接收串行数据, 直至接收的数据帧数量等于该寄存器值

加 1；此配置支持在单次连续传输中接收最多 64KB 的数据（注：64KB 由 16 位寄存器最大取值 65535，结合“值+1”后对应 65536 帧，每帧按 1 字节计算得出）。

当 XSPI\_ENH\_CTRL0 寄存器的 CLKSTREN 位取值为 1，且 XSPI\_CTRL0 寄存器的 TMOD[1:0]位段取值为 01 时，该寄存器位段用于设定 xSPI 需连续发送的数据帧数量。若在传输过程中发送 FIFO（先进先出存储器）为空，xSPI 会屏蔽串行时钟（sclk\_out，串行时钟输出），并等待剩余数据写入，直至编程设定数量的帧全部传输完成。

#### 37.4.2.1.5 BAUDR 寄存器

通过 XSPI\_BAUD 寄存器的 CLKDIV 位段选择波特率。该位段的最低有效位（即 XSPI\_BAUD[0]位）始终被置为 0，且不受写操作影响，以确保该寄存器中存储的值为偶数。若该值为 0，则串行输出时钟（sclk\_out，串行时钟输出）将被禁用。

串行输出时钟频率（F<sub>sclk\_out</sub>）由以下公式计算得出：

$$F_{sclk\_out} = F_{ssi\_clk} / BAUDR$$

其中，BAUDR 为 2 至 65534 之间的任意偶数值（计算公式：BAUDR = {CLKDIV[14:0] × 2}）。

示例：当 F<sub>ssi\_clk</sub>（xSPI 串行接口时钟）= 3.6864MHz、BAUDR=2 时，F<sub>sclk\_out</sub>=3.6864MHz/2=1.8432MHz。

#### 37.4.2.1.6 TXFT 寄存器

通过 XSPI\_TXFT 寄存器的 TXFTST 位段选择发送 FIFO（先进先出存储器）阈值。该阈值用于控制发送 FIFO 中的数据项数量——当数据项数量超过此阈值时，串行线上才会开始传输。

此寄存器可确保在串行线上启动写操作前，发送 FIFO 中已存在足够的数量。在内部 DMA（直接存储器访问）模式下，该位段用于设定 FIFO 中需存在的最小数据帧数量，当数据帧数量达到此值后，xSPI 才会启动传输。

#### 37.4.2.1.7 RXFT 寄存器

通过 XSPI\_RXFT 寄存器的 RXFTTFI 位段选择接收 FIFO 阈值。该阈值用于控制接收 FIFO 中的数据项数量——当数据项数量达到或超过此阈值时，接收 FIFO 控制器会触发中断。

接收 FIFO 深度（即 FIFO 可存储的数据项总数）可在 8~256 的范围内配置。此寄存器的位宽设计与访问 FIFO 所需的地址位数相匹配。若尝试将该阈值设置为大于 FIFO 深度的值，该位段不会写入新值，仍保持当前值。当接收 FIFO 中的数据项数量大于或等于“该阈值+1”时，接收 FIFO 满中断会被触发。

#### 37.4.2.1.8 ENH\_CTRL0 寄存器

- 通过 XSPI\_ENH\_CTRL0 寄存器的 CLKSTREN 位（可选配置位），启用 SPI 传输中的时钟拉伸功能。
  - ◆ 写操作场景：若发送 FIFO（先进先出存储器）为空，xSPI 会拉伸时钟（即延长时钟信号周期），直至 FIFO 中有足够数据以继续传输。
  - ◆ 读操作场景：若接收 FIFO 已满，xSPI 会停止时钟，直至数据从 FIFO 中被读出（释放 FIFO 空间）。
- 通过 XSPI\_ENH\_CTRL0 寄存器的 INSTL 位，选择双通道/四通道/八通道模式下指令的长度（以位为单位）

取值说明：

- ◆ 0x0（无指令，INST\_L0）：无指令（不发送指令）
- ◆ 0x1（4 位指令，INST\_L4）：指令长度为 4 位

- ◆ 0x2 (8 位指令, INST\_L8): 指令长度为 8 位
- ◆ 0x3 (16 位指令, INST\_L16): 指令长度为 16 位
- 通过 XSPI\_ENH\_CTRL0 寄存器的 ADDRLEN 位选择待传输地址的长度。仅当 FIFO (先进先出存储器) 中已写入该长度 (指 ADDRLEN 位所配置的地址长度) 的地址位后, 传输才能开始
- 通过 ADDRLEN 寄存器的 TRANSTYPE 位, 选择 xSPI 发送指令/地址时采用的模式——是标准 SPI 模式, 还是 XSPI\_CTRL0 寄存器 SPIFRF 位所选择的 SPI 模式。

取值说明:

- ◆ 0x0 (TT0): 指令和地址均以标准 SPI 模式发送
- ◆ 0x1 (TT1): 指令以标准 SPI 模式发送, 地址以 XSPI\_CTRL0 寄存器 SPIFRF 位指定的模式发送
- ◆ 0x2 (TT2): 指令和地址均以 XSPI\_CTRL0 寄存器 SPIFRF 位指定的模式发送
- ◆ 0x3 (TT3): 保留项 (预留配置, 暂不使用)
- 通过 XSPI\_ENH\_CTRL0 寄存器的 WAITCYCLES 位, 选择双通道/四通道/八通道模式下控制帧发送与数据接收之间的等待周期
- 通过 XSPI\_ENH\_CTRL0 寄存器的 SPIRXDSEN 位 (可选配置位) 启用 SPI 数据掩码功能。当该位启用时, txd\_dm 信号 (发送数据掩码信号) 将用于对 txd 数据线 (发送数据线) 上的数据进行掩码处理。仅当 SSIC\_DM\_EN 参数设为 1 时, 此位才能启用
- 通过 XSPI\_ENH\_CTRL0 寄存器的 SPIDMEN 位 (可选配置位) 启用读数据选通功能。当该位被设为 1 时, xSPI 将在 DDR (双数据速率) 模式下使用读数据选通信号 (rxds) 来捕获读取的数据。
- 通过 XSPI\_ENH\_CTRL0 寄存器的 WRINDDREN 位 (可选配置位) 启用指令 DDR (双数据速率) 功能。启用此功能后, 指令阶段的数据传输将采用双数据速率模式

#### 37.4.2.1.9 SLAVE\_EN 寄存器

通过 XSPI\_SLAVE\_EN 寄存器的 SEN[3:0]位段 (4 位宽, bit3 至 bit0) 选择从设备使能状态。该寄存器的每一位均对应 xSPI 主设备的一条从设备选择线 (NSS 线)。当寄存器中的某一位置 1 时, 在串行传输开始时, 主设备对应的那条从设备选择线将被激活。

需注意, 在传输启动前, 对该寄存器中各位进行置 1 或清 0 操作, 均不会对对应的从设备选择线输出产生影响。在开始传输前, 应将该寄存器中与主设备希望通信的从设备相对应的位置 1。当不工作在广播模式时, 此位段中应仅置一位。

#### 37.4.2.1.10 STS 寄存器

通过轮询/读取 XSPI\_STS (状态寄存器) 的位段, 跟踪发送 FIFO (先进先出存储器) /接收 FIFO 的状态

- ◆ XSPI\_STS.DCERR: 数据冲突错误 (Data Collision Error)
- ◆ XSPI\_STS.TXE: 传输错误 (Transmission Error)
- ◆ XSPI\_STS.RXFF: 接收 FIFO 已满 (Receive FIFO Full)
- ◆ XSPI\_STS.RXFNE: 接收 FIFO 非空 (Receive FIFO Not Empty)
- ◆ XSPI\_STS.TXFE: 发送 FIFO 为空 (Transmit FIFO Empty)
- ◆ XSPI\_STS.TXFNF: 发送 FIFO 非满 (Transmit FIFO Not Full)



- ◆ XSPI\_STS.BUSY: SSI 忙标志 (SSI Busy Flag, 注: SSI 为 Synchronous Serial Interface 的缩写, 即同步串行接口)

### 37.4.2.1.11 DATx 寄存器

通过写入/读取以下寄存器来访问发送 FIFO (先进先出存储器)/接收 FIFO。向该寄存器写入数据时, 必须将数据按右对齐方式排列; 读取的数据会自动按右对齐方式排列

### 37.4.2.2 DMA 模式

DMA 传输配置如下:

步骤 1: 需配置上文提及的读写操作所需寄存器 (间接模式)。

步骤 2: 配置 DMA 传输所需寄存器, 具体如下:

#### 37.4.2.2.1 DMA\_CTRL 寄存器

- 若执行写事务, 通过 XSPI\_DMA\_CTRL 寄存器的 TXDMAEN 位启用发送 FIFO DMA (直接存储器访问) 通道

取值说明:

- ◆ 0x1 (使能, ENABLED): 发送 DMA 通道启用
- ◆ 0x0 (禁用, DISABLE): 发送 DMA 通道禁用

- 若执行读事务, 通过 XSPI\_DMA\_CTRL 寄存器的 RXDMAEN 位启用接收 FIFO DMA (直接存储器访问) 通道。

取值说明:

- 0x1 (使能, ENABLED): 接收 DMA 通道启用
- 0x0 (禁用, DISABLE): 接收 DMA 通道禁用

#### 37.4.2.2.2 DMATDL\_CTRL 寄存器

通过 XSPI\_DMATDL\_CTRL 寄存器的 DMATDL 位段选择发送数据水位线。该位段用于控制发送逻辑触发 DMA 请求的阈值 (即水位线级别): 当发送 FIFO (先进先出存储器) 中的有效数据项数量小于等于该位段的值, 且 XSPI\_DMA\_CTRL 寄存器的 TXDMAEN 位 (发送 DMA 使能位) 设为 1 时, 将生成 dma\_tx\_req 信号 (发送 DMA 请求信号)。

#### 37.4.2.2.3 DMARDL\_CTRL 寄存器

通过 XSPI\_DMARDL\_CTRL 寄存器的 DMARDL 位段选择接收数据水位线。该位段用于控制接收逻辑触发 DMA 请求的阈值。其中, 水位线级别 = DMARDL+1; 即当接收 FIFO 中的有效数据项数量大于等于该位段的值+1, 且 XSPI\_DMA\_CTRL 寄存器的 RXDMAEN 位 (接收 DMA 使能位) 设为 1 时, 将生成 dma\_rx\_req 信号 (接收 DMA 请求信号)。

步骤 3: 配置 DMA 相关操作, 需设置源地址/目的地址、数据帧数量 (BLK\_TS, 块传输大小)、数据宽度、每突发传输的数据拍数 (MSIZE, 传输大小)。

步骤 4: 通过 XSPI 发起读/写命令。

### 37.4.2.3 XIP 模式

注: 在 N32xxx 系列 (芯片/器件) 中, 仅支持 XIP 读操作 (就地执行读操作), 因此只需配置与 XIP 读操作

相关的寄存器。

### 37.4.2.3.1 XIP\_INCR\_TOC 寄存器

通过 XSPI\_XIP\_WRITE\_INCR\_INST 寄存器的 INCRWRINST[15:0]位段（16 位宽，bit15 至 bit0），选择在 XIP（就地执行）读增量（INCR）事务中使用的指令操作码。当 XSPI\_XIP\_CTRL 寄存器的 XIPINSTEN 位设为 1 时，xSPI 会为所有 XIP 传输发送指令；此寄存器位段存储的是，当 AHB 总线（高级高性能总线）上请求增量（INCR）类型传输时，待发送的指令操作码。指令阶段需发送的位数由 XSPI\_ENH\_CTRL0 寄存器的 INSTL 位段决定。

### 37.4.2.3.2 XIP\_WRAP\_TOC 寄存器

通过 XSPI\_XIP\_WRAP\_TOC 寄存器的 WTOC[15:0]位段（16 位宽，bit15 至 bit0），选择在 XIP（就地执行）读回绕（WRAP）事务中使用的指令操作码。当 XSPI\_XIP\_CTRL 寄存器的 XIPINSTEN 位设为 1 时，xSPI 会为所有 XIP 传输发送指令；此寄存器位段存储的是，当 AHB 总线（高级高性能总线）上请求回绕（WRAP）类型传输时，待发送的指令操作码。指令阶段需发送的位数由 XSPI\_ENH\_CTRL0 寄存器的 INSTL 位段决定。

### 37.4.2.3.3 XIP\_CTRL 寄存器

- 通过 XSPI\_XIP\_CTRL 寄存器的 XIPPREEN 位（可选配置位），启用 xSPI 中的 XIP（就地执行）预取功能。启用后，xSPI 会从下一个连续地址预取数据帧，以减少后续连续传输的延迟。若下一个 XIP 请求非连续地址，则已预取的数据位将被丢弃。
- 通过 XSPI\_XIP\_CTRL 寄存器的 XIPMBL 位（可选配置位），选择 XIP 模式位的长度。仅当 XSPI\_XIP\_CTRL 寄存器的 MDBITSEN 位设为 1 时，这些位才生效。
- 通过 XSPI\_XIP\_CTRL 寄存器的 XIPCTEN 位（可选配置位），启用 XIP 模式下的连续传输功能。若该位置 1，则 XIP 模式下的连续传输模式将被启用；在此模式下，xSPI 会保持从设备选中状态，直至检测到 AHB 接口上的非 XIP 传输。
- 通过 XSPI\_XIP\_CTRL 寄存器的 XIPINSTEN 位，选择 XIP 指令使能状态。若该位置 1，则 XIP 传输过程中也将包含指令阶段。指令操作码将根据 AHB 传输类型，从 XSPI\_XIP\_INCR\_TOC 或 XSPI\_XIP\_WRAP\_TOC 寄存器中选取。
- 通过 XSPI\_XIP\_CTRL 寄存器的 RXDSEN 位（可选配置位），启用读数据选通功能。若该位置 1，则 xSPI 会在 DDR（双数据速率）模式下，使用读数据选通信号（rxds）捕获读取的数据。
- 通过 XSPI\_XIP\_CTRL 寄存器的 WRINDDREN 位（可选配置位），启用指令 DDR（双数据速率）功能。启用后，指令阶段的数据传输将采用双数据速率模式。
- 通过 XSPI\_XIP\_CTRL 寄存器的 DDREN 位（可选配置位），启用 SPI DDR（双数据速率）功能。启用后，SPI 的双通道/四通道/八通道帧格式传输将采用双数据速率模式。
- 通过 XSPI\_XIP\_CTRL 寄存器的 DFSHC 位（可选配置位），为 XIP 传输选择固定数据帧大小（DFS）。若该位置 1，则 XIP 传输的数据帧大小将固定为 CTRLR0 寄存器 DFS 位段中编程设置的值，待获取的数据帧数量由 HSIZE（传输大小信号）和 HBURST（突发传输信号）决定；若该位清 0，则 XIP 传输的数据帧大小及待获取的数据帧数量，均由 HSIZE 和 HBURST 信号决定。
- 通过 XSPI\_XIP\_CTRL 寄存器的 WAITCYCLES 位，选择双通道/四通道/八通道模式下控制帧发送与数据接收之间的等待周期，以 SPI 时钟周期数为单位。
- 通过 XSPI\_XIP\_CTRL 寄存器的 INSTL 位，选择双通道/四通道/八通道模式下指令的长度（以位为单

位)。

- 通过 XSPI\_XIP\_CTRL 寄存器的 ADDRL 位，选择待传输地址的长度。仅当 FIFO（先进先出存储器）中已写入该长度的地址位后，传输才能开始。
- 通过 XSPI\_XIP\_CTRL 寄存器的 TRANSTYPE 位，选择地址与指令的传输格式。该位用于确定 xSPI 发送指令/地址时，采用标准 SPI 模式还是 XSPI\_CTRL0 寄存器 SPIFRF 位段所选择的 SPI 模式。
- 通过 XSPI\_XIP\_CTRL 寄存器的 FRF 位，选择数据发送/接收的数据帧格式。

#### 37.4.2.3.4 XIP\_SLAVE\_EN 寄存器

通过 XSPI\_XIP\_SLAVE\_EN 寄存器的 SEN[3:0]位段（4 位宽，bit3 至 bit0）选择从设备使能状态。该寄存器的每一位均对应 xSPI 主设备的一条从设备选择线（nss，低电平有效从设备选择线）。当寄存器中的某一位置 1 时，在 XIP（就地执行）传输开始时，主设备对应的那条从设备选择线将被激活。

需注意，在 XIP 传输启动前，对该寄存器中各位进行置 1 或清 0 操作，均不会对对应的从设备选择线输出产生影响。在开始传输前，应将该寄存器中与主设备希望通信的从设备相对应的位置 1。当不工作在广播模式时，此位段中应仅置一位。

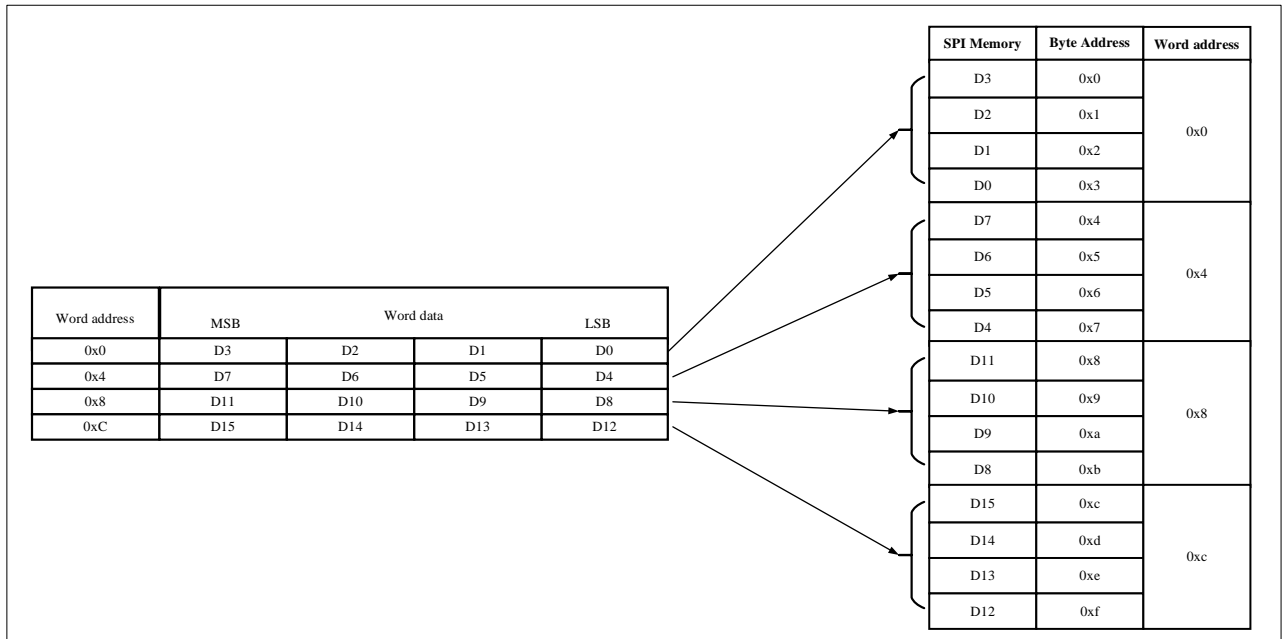
### 37.4.3 大小端

在本特性中，我们将仅考虑 XIP 读传输，因为 N32Hxx 系列不支持 XIP 写传输。对于非 XIP 模式，xSPI 还会采样 afio\_xspi\_endian 信号——该信号为软件配置信号，用于确定写数据采用小端字节序（默认）还是大端字节序。

SPI 闪存是按字节寻址的存储器。进行读和写（编程）操作时，需指定起始地址，然后以串行方式传输数据，且后续读或写访问的地址会自动递增。由于 N32Hxx 系列 CPU 为 32 位，且 AHB 总线也为 32 位，因此我们将针对 32 位数据的存储器组织方式展开讨论。

假设我们以 AHB 增量突发（INCR4，即 4 拍增量突发）模式、HSIZE（传输大小）=32 位的配置，向 SPI 闪存写入 4 个字（32 位数据）。xSPI 控制器会在地址阶段传输 AHB 突发的首地址，并在数据阶段以串行方式传输数据。数据将从最高有效位（MSB）传输到最低有效位（LSB），即先传输最高有效位，最后传输最低有效位。AHB 突发数据在 SPI 闪存中的存储方式如下所示。

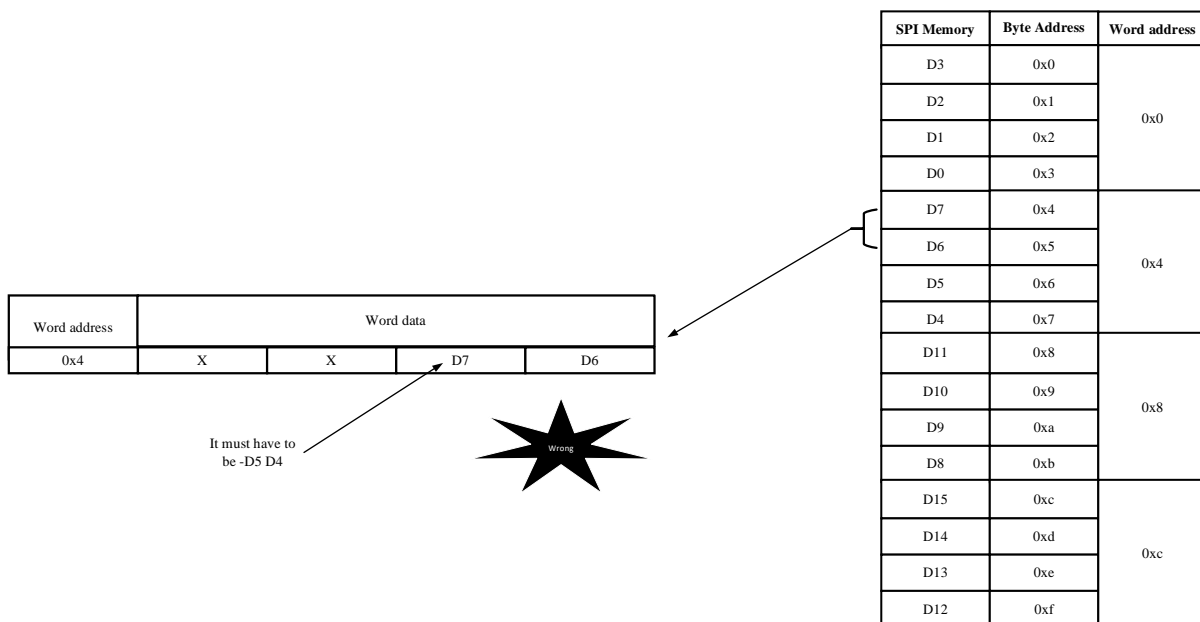
图 37-13 32 位读写格式



从该图中可以看出，存储在闪存中的数据可视为 32 位大端字节序格式。此时，若以“字（Word，32 位）”为单位读取存储器内容，输出的数据将与写入时的数据完全一致。但如果从 SPI 闪存中以“字节（Byte，8 位）”或“半字（Half Word，16 位）”为单位回读数据，得到的结果将与写入时的数据不一致。

例如，若在地址 0x4 处读取一个半字（16 位）数据，控制器会在地址 0x4 处发送读命令，并以串行方式接收 16 位数据（传输顺序为从最高有效位 MSB 到最低有效位 LSB）。如下所示，此时输出的数据将是错误的。

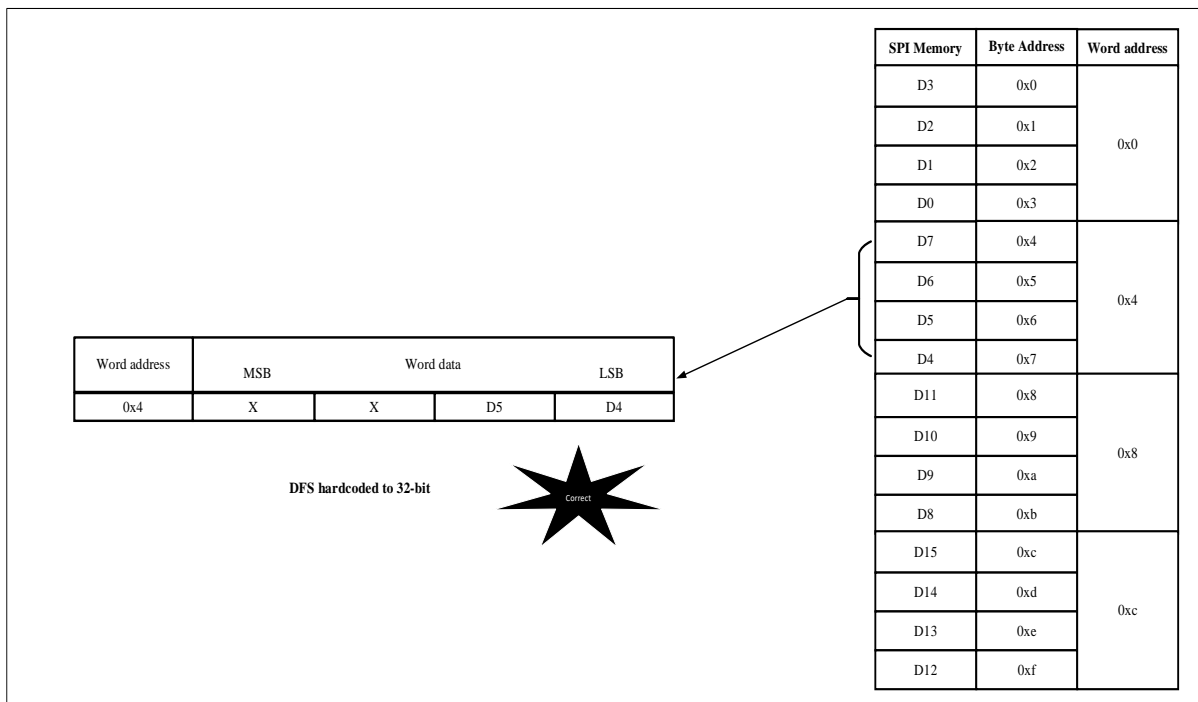
图 37-14 错误的 16 位读取格式



为解决这一读取传输问题，xSPI 控制器配备了一个用于指定数据帧大小（DFS）的寄存器，由于我们是以 32 位格式写入数据的，因此该寄存器应硬编码为 32 位。下图展示了在 DFS 硬编码为 32 位的情况下，对 AHB

半字（16 位）进行读取会返回正确值。当 DFS 硬编码为 32 位时，xSPI 控制器会先读取整个字（32 位），然后将所需的 16 位数据传输至 AHB 总线。

图 37-15 使能 DFS-HC 时正确的 16 位读取格式



一旦数据帧大小（DFS）被硬编码为 32 位，无论是以 8 位、16 位还是 32 位格式读取，都将始终返回正确的值。

## 37.4.4 数据传输

数据传输由串行主设备启动，需满足以下条件：

- ◆ xSPI 已启用（XSPIEN = 1），且
- ◆ 串行从设备已启用（SEN = 1），且
- ◆ 发送 FIFO（先进先出存储器）中的数据项数量达到其阈值（由 XSPI\_TXFT 寄存器设定）

在数据主动传输过程中，状态寄存器（XSPI\_STS）中的忙标志位（BUSY）会被置 1。在尝试启动新的串行传输前，必须等待该忙标志位被清 0。

## 37.4.5 时钟分频比

### 37.4.5.1 主设备

在主模式工作时，外设时钟（sclk\_out）的周期是内部核心时钟（ssi\_clk）周期的整数倍。在从模式工作时，xSPI 会使用一个同步后的外设时钟来接收或发送数据。

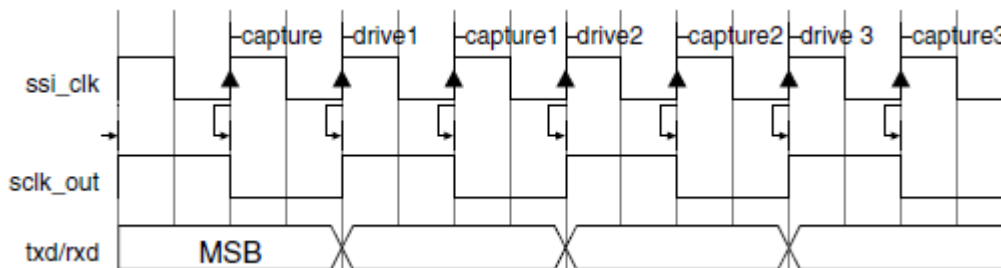
当 xSPI 配置为主设备时，外设时钟（sclk\_out）的最高频率为内核时钟（ssi\_clk）信号频率的二分之一。

sclk\_out 信号的频率可通过以下公式推导得出：

$$F_{sclk\_out} = F_{ssi\_clk} / SCKDV$$

其中，SCKDV 是一个可编程寄存器，其取值可为 0–65534 范围内的任意偶数值。若 SCKDV=0，则 sclk\_out 时钟被禁用。

图 37-16 最大 sclk\_out/ssi\_clk 时钟比



### 37.4.5.2 从设备

当 xSPI 配置为从设备时，ssi\_clk 信号的最低频率取决于 SSIC\_ENH\_CLK\_RATIO 配置参数以及从外设的工作状态。

位速率时钟 (sclk\_out/sclk\_in) 与 xSPI 外设时钟 (ssi\_clk) 之间的频率比限制总结如下：

- 从模式下，SSIC\_ENH\_CLK\_RATIO = 0 时
  - ◆ 仅接收模式：ssi\_clk 频率 (F<sub>ssi\_clk</sub>) ≥ 8 × (最大 sclk\_in 频率 (F<sub>sclk\_in</sub>))
  - ◆ 收发模式：ssi\_clk 频率 (F<sub>ssi\_clk</sub>) ≥ 10 × (最大 sclk\_in 频率 (F<sub>sclk\_in</sub>))
- 从模式下，SSIC\_ENH\_CLK\_RATIO = 1 时
  - ◆ ssi\_clk 频率 (F<sub>ssi\_clk</sub>) ≥ 4 × (最大 sclk\_in 频率 (F<sub>sclk\_in</sub>))

### 37.4.6 接收与发送 FIFO

在 N32xxx 系列 (芯片/器件) 中，xSPI 支持 32×32 位的发送 FIFO (TX FIFO) 和 32×32 位的接收 FIFO (RX FIFO)。当向发送 FIFO 缓冲区写入长度小于 32 位的数据帧时，必须将数据进行右对齐处理。移位控制逻辑会自动将接收 FIFO 缓冲区中的接收数据进行右对齐。

注：当 xSPI 被禁用 (XSPIEN = 0) 或复位 (hresetn, 低电平有效复位信号) 时，发送 FIFO 缓冲区和接收 FIFO 缓冲区中的数据会被清除。

通过向 xSPI 数据寄存器 (XSPI\_DATx) 发送 AHB 写命令，可向发送 FIFO 加载数据。移位控制逻辑会将发送 FIFO 中的数据弹出 (移除)，并送入发送移位寄存器。此外，当发送 FIFO 遇到以下情况时，会触发中断：

- ◆ 发送 FIFO 空中断 (XSPI\_ISTS.TXFEIS) —— 当发送 FIFO 中的数据量等于或低于其阈值，且需要处理以防止数据下溢时，该中断置 1。阈值可通过软件可编程寄存器设置，用于确定触发中断时发送 FIFO 内数据项的数量水平。当数据写入发送 FIFO 缓冲区、使其数据量超过阈值后，硬件会自动清除该中断。
- ◆ 发送 FIFO 溢出中断 (XSPI\_ISTS.TXFOIS) —— 当发送 FIFO 已完全填满后，若 AHB (高级高性能总线) 访问仍尝试向其写入数据，该中断置 1。中断置 1 时，从 AHB 写入的数据会被丢弃。此中断将保

持置 1 状态，直至读取发送 FIFO 错误中断清除寄存器 (XSPI\_TXEICR\_CLR.TXEICR) 后才会清除。

通过向 xSPI 数据寄存器 (XSPI\_DATx) 发送 AHB 读命令，可从接收 FIFO 中弹出 (读取) 数据。接收 FIFO 由移位控制逻辑从接收移位寄存器加载数据。此外，当接收 FIFO 遇到以下情况时，会触发中断：

- ◆ 接收 FIFO 满中断 (XSPI\_ISTS.RXFFIS) —— 当接收 FIFO 中的数据量等于或超过其阈值加 1，且需要处理以防止数据溢出时，该中断置 1。阈值可通过软件可编程寄存器设置，用于确定触发中断时接收 FIFO 内数据项的数量水平。当从接收 FIFO 缓冲区中读取数据、使其数据量低于阈值后，硬件会自动清除该中断。
- ◆ 接收 FIFO 溢出中断 (XSPI\_ISTS.RXFOIS) —— 当接收 FIFO 已完全填满后，若接收逻辑仍尝试向其写入数据，该中断置 1。中断置 1 时，新接收的数据会被丢弃。此中断将保持置 1 状态，直至读取接收 FIFO 溢出中断清除寄存器 (XSPI\_RXFOI\_CLR.RXFOIC) 后才会清除。
- ◆ 接收 FIFO 下溢中断 (XSPI\_ISTS.RXFUIS) —— 当接收 FIFO 为空时，若 AHB (高级高性能总线) 访问仍尝试从中读取数据，该中断置 1。中断置 1 时，从接收 FIFO 中读取到的将是零值。此中断将保持置 1 状态，直至读取接收 FIFO 下溢中断清除寄存器 (XSPI\_RXFUI\_CLR.RXFUIC) 后才会清除。

## 37.4.7 增强型 SPI

xSPI (增强型串行外设接口) 可通过 xSPI\_MODE 配置参数支持 SPI 的双通道、四通道和八通道模式。当该参数选择双通道、四通道或八通道模式时，txd (发送数据)、rx (接收数据) 和 ssi\_oe\_n (输出使能) 信号的宽度将分别变为 2 位、4 位或 8 位。因此，数据可通过多条线路进行发送/接收，从而提升整体吞吐量。可通过 XSPI\_CTRL0 寄存器的 TMOD 字段选择 (数据的) 操作模式 (写模式/读模式)。

在此模式下，串行时钟的极性与相位的所有四种组合均有效，且其工作方式与标准 SPI 模式一致。但需注意，需确认闪存设备支持哪些 (时钟) 模式 (极性、相位)。

### 37.4.7.1 增强型写操作

双通道、四通道或八通道 SPI 写操作可分为三个阶段：

指令阶段——地址阶段——数据阶段

以下寄存器字段用于写操作：

- ◆ XSPI\_CTRL0.SPIFRF —— 指定帧传输所采用的格式。
- ◆ XSPI\_ENH\_CTRL0 (xSPI 控制寄存器 0) —— 指定指令、地址和数据的长度。
- ◆ XSPI\_ENH\_CTRL0.INSTL —— 指定指令的长度 (指令长度的可选值为 0、4、8 或 16 位)。
- ◆ XSPI\_ENH\_CTRL0.ADDRLEN —— 指定地址的长度。
- ◆ XSPI\_CTRL0.DFS —— 指定数据的长度。

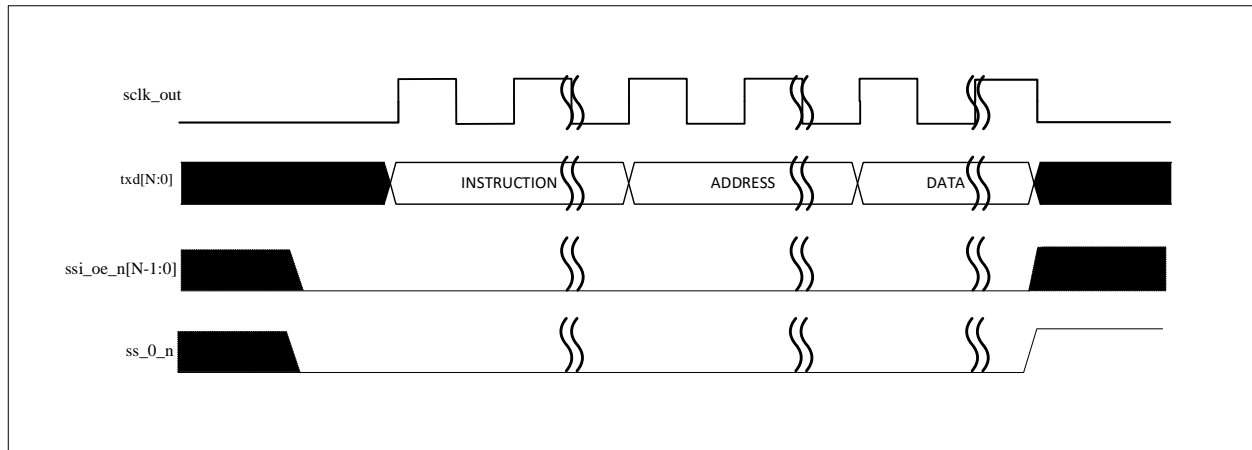
一条指令占用一个 FIFO 存储单元，而地址可能占用多个 FIFO 存储单元。指令和地址均需在数据寄存器 (XSPI\_DATx) 中进行编程配置。xSPI 会等待二者均完成编程后，才启动写操作。指令、地址和数据可通过编程设置为以双通道模式/四通道模式/八通道模式发送，具体模式可通过 XSPI\_ENH\_CTRL0 寄存器的 TRANSTYPE 字段和 XSPI\_CTRL0 寄存器的 SPIFRF 字段进行选择。

*注意：若 XSPI\_CTRL0 寄存器的 SPIFRF 字段被选择为“标准 SPI 格式 (Standard SPI Format)”，则所有数据均以标准 SPI 模式发送，且 XSPI\_ENH\_CTRL0 寄存器的 TRANSTYPE 字段将被忽略。此外，仅当*

XSPI\_CTRL0 寄存器的 SPIFRF 字段被编程配置为 00 时，该字段才生效。

典型的写操作流程如下所示：

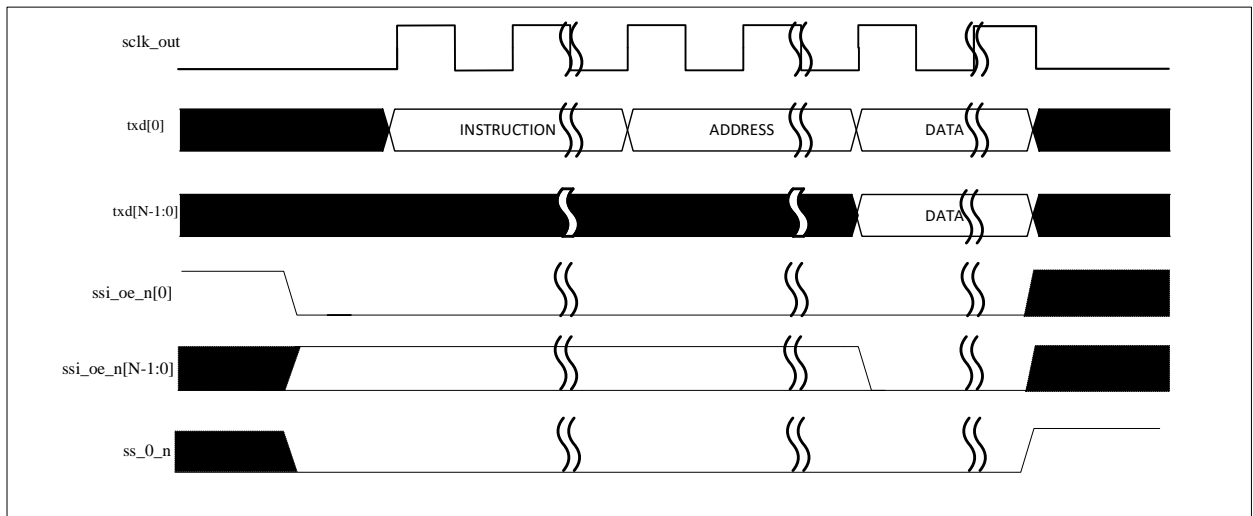
图 37-17 典型写操作



➤ CaseA: 指令和地址均以标准 SPI 格式传输

要实现此目的，需将 XSPI\_ENH\_CTRL0 寄存器的 TRANSTYPE 字段设置为 00。

图 37-18 指令和地址均以标准 SPI 格式传输

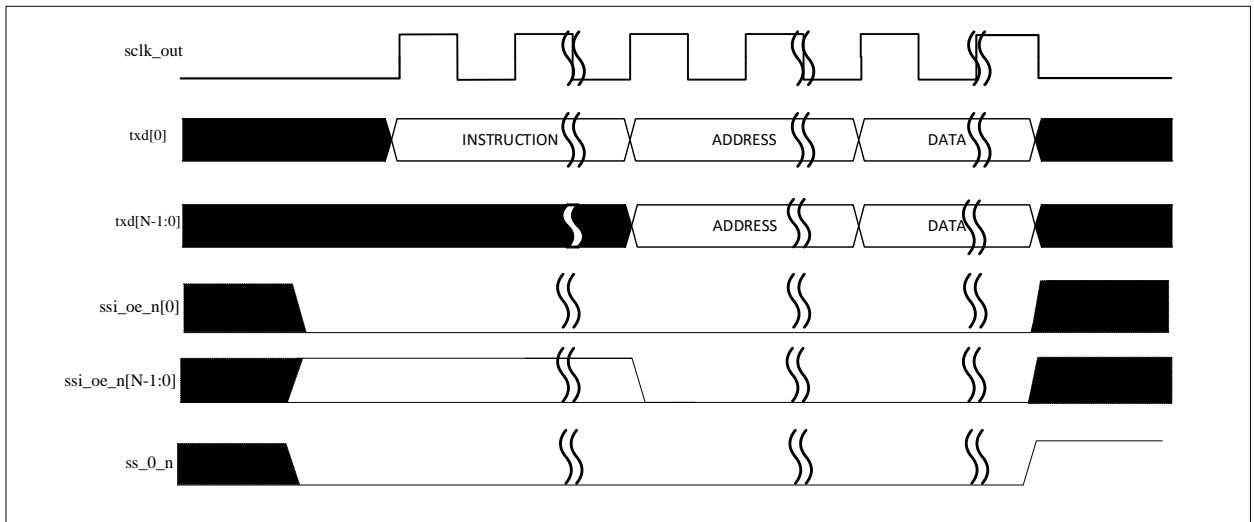


➤ CaseB: 指令以标准 (SPI) 格式传输，地址以增强型 SPI 格式传输

要实现此目的，需将 XSPI\_ENH\_CTRL0 寄存器的 TRANSTYPE 字段设置为 01



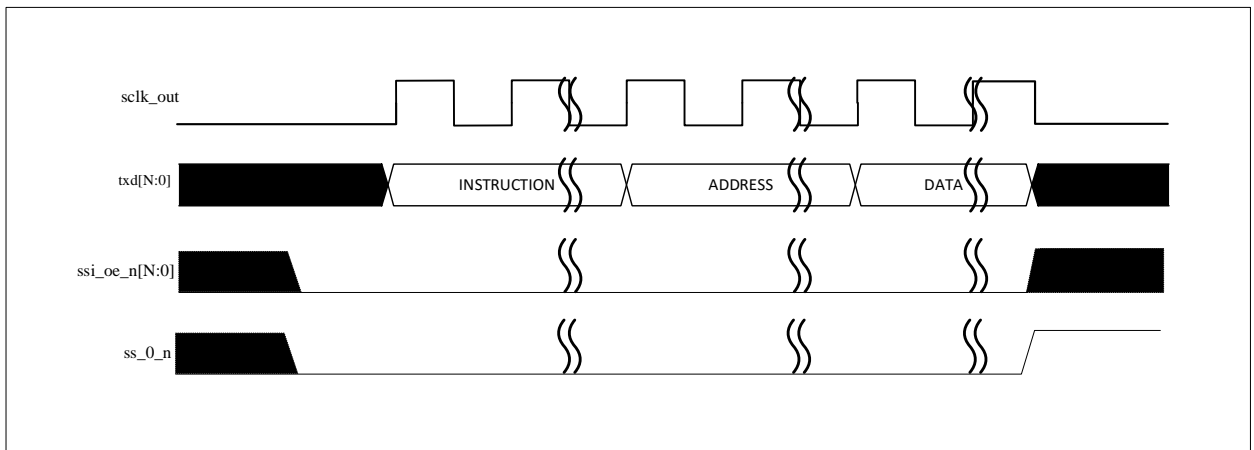
图 37-19 指令以标准（SPI）格式传输，地址以增强型 SPI 格式传输



➤ Case C: 指令和地址均以增强型 SPI 格式传输

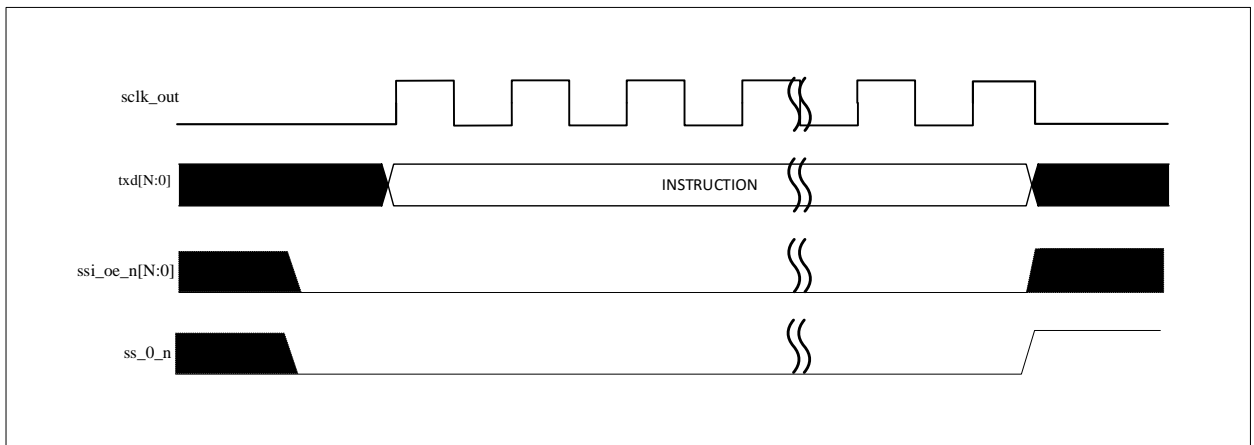
要实现此配置，需将 XSPI\_ENH\_CTRL0 寄存器的 TRANSTYPE 字段设置为 10

图 37-20 指令和地址均以增强型 SPI（串行外设接口）格式传输



➤ Case D: 仅指令以增强型 SPI（串行外设接口）格式传输

图 37-21 仅指令以增强型 SPI（串行外设接口）格式传输



### 37.4.7.2 增强型读操作

双通道、四通道或八通道 SPI 读操作可分为四个阶段：

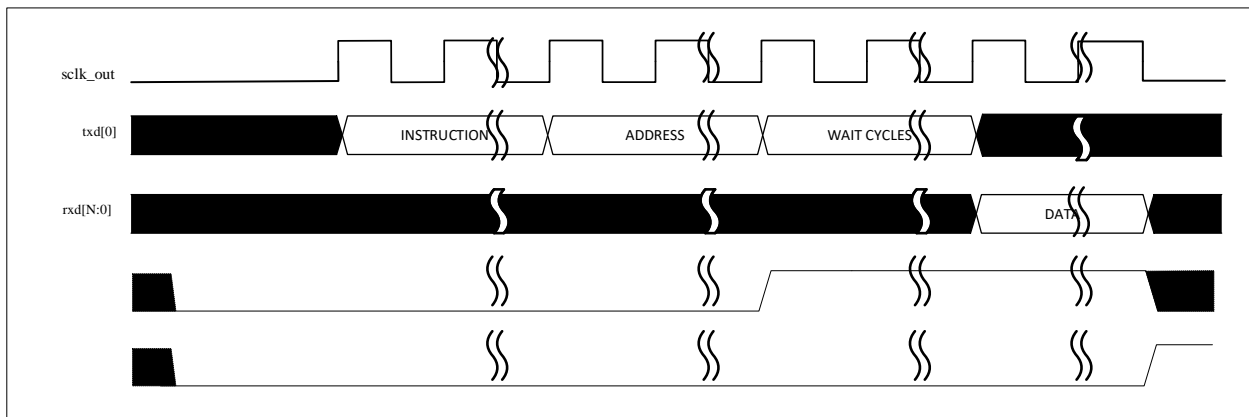
指令阶段 - 地址阶段 - 等待周期 - 数据阶段

等待周期可通过 XSPI\_ENH\_CTRL0 寄存器的 WAITCYCLES 字段进行编程配置。引入等待周期是为了让目标从设备将其工作模式从输入模式切换为输出模式，且不同设备所需的等待周期可能存在差异。

在读操作中，xSPI 会一次性发送指令和控制数据，随后等待接收 NDF（即 XSPI\_CTRL1 寄存器配置的数值）个数据帧，之后便会撤销从设备选择信号（slave select signal）。

典型的读操作流程如下所示：

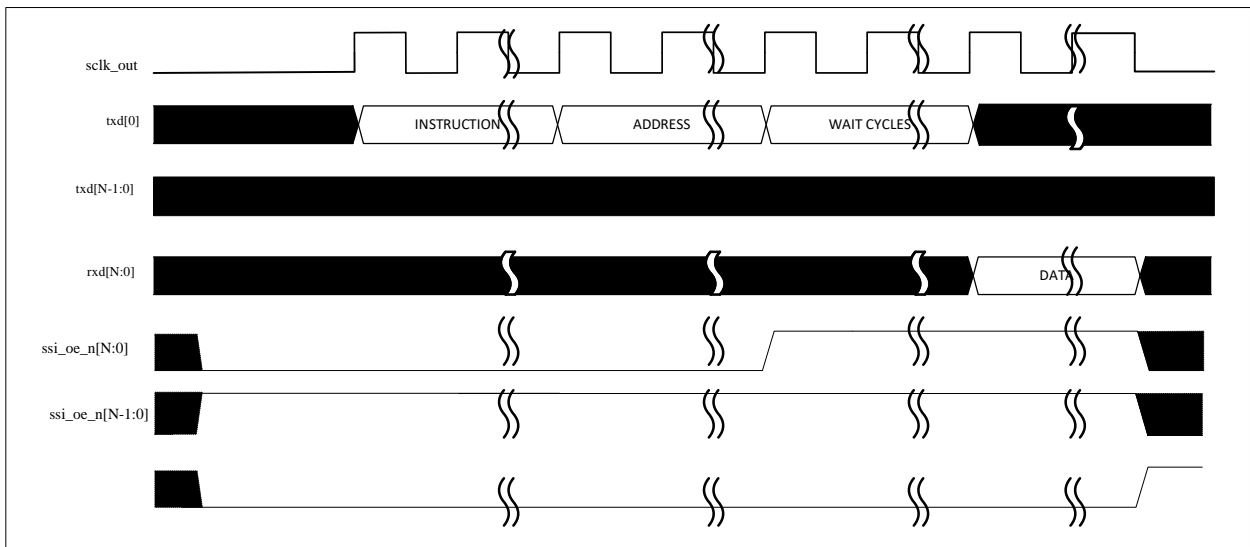
图 37-22 典型读操作



Case A: 指令和地址均以标准 SPI（串行外设接口）格式传输

要实现此配置，需将 XSPI\_ENH\_CTRL0 寄存器的 TRANSTYPE（传输类型）字段设置为 00

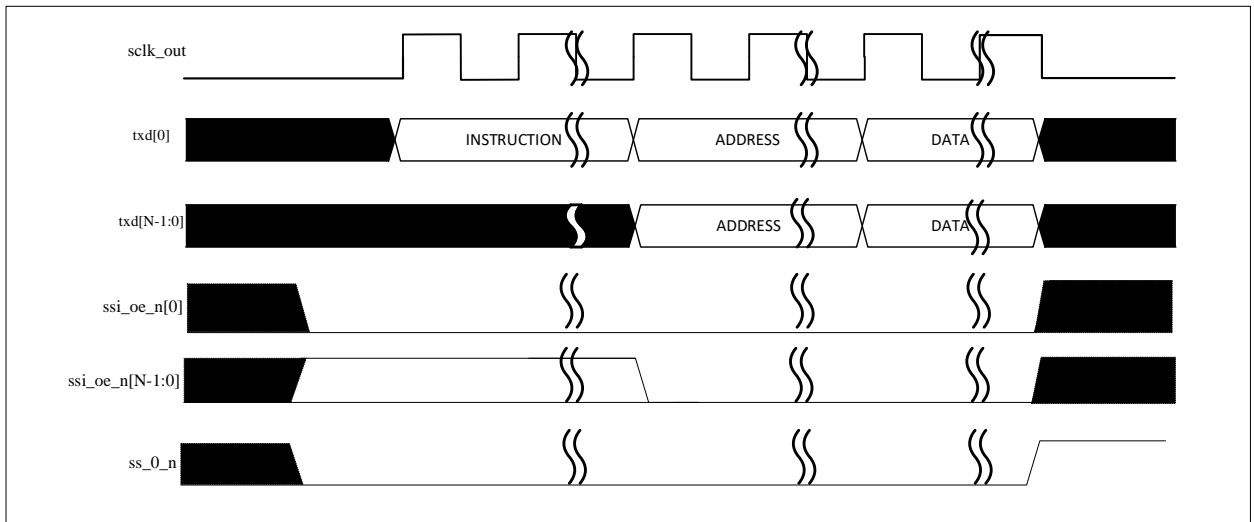
图 37-23 指令和地址均以标准 SPI（串行外设接口）格式传输



Case B: 指令以标准（SPI）格式传输，地址以增强型 SPI（串行外设接口）格式传输

要实现此配置，需将 XSPI\_ENH\_CTRL0 寄存器的 TRANSTYPE（传输类型）字段设置为 01

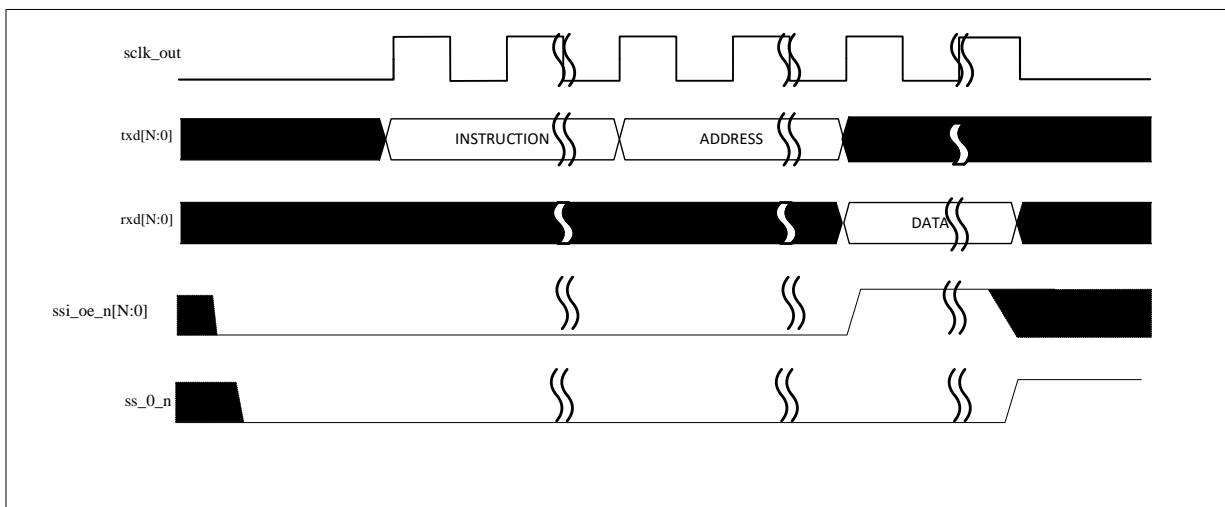
图 37-24 指令以标准（SPI）格式传输，地址以增强型 SPI（串行外设接口）格式传输



➤ Case C: 指令和地址均以增强型 SPI（串行外设接口）格式传输

要实现此配置，需将 XSPI\_ENH\_CTRL0 寄存器的 TRANSTYPE（传输类型）字段设置为 10

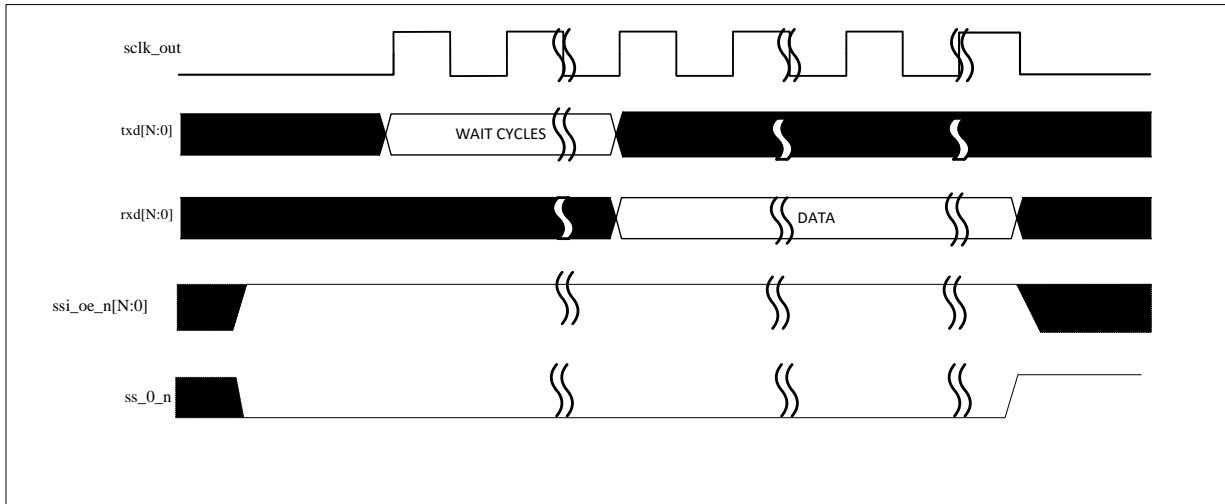
图 37-25 指令和地址均以增强型 SPI（串行外设接口）格式传输



➤ Case D: 无指令、无地址的读传输

➤ 要实现此配置，需将 XSPI\_ENH\_CTRL0 寄存器的 ADDRLEN（地址长度）字段和 INSTL（指令长度）字段均设置为 0，且需将 XSPI\_ENH\_CTRL0 寄存器的 WAITCYCLES（等待周期）字段设置为非零值。

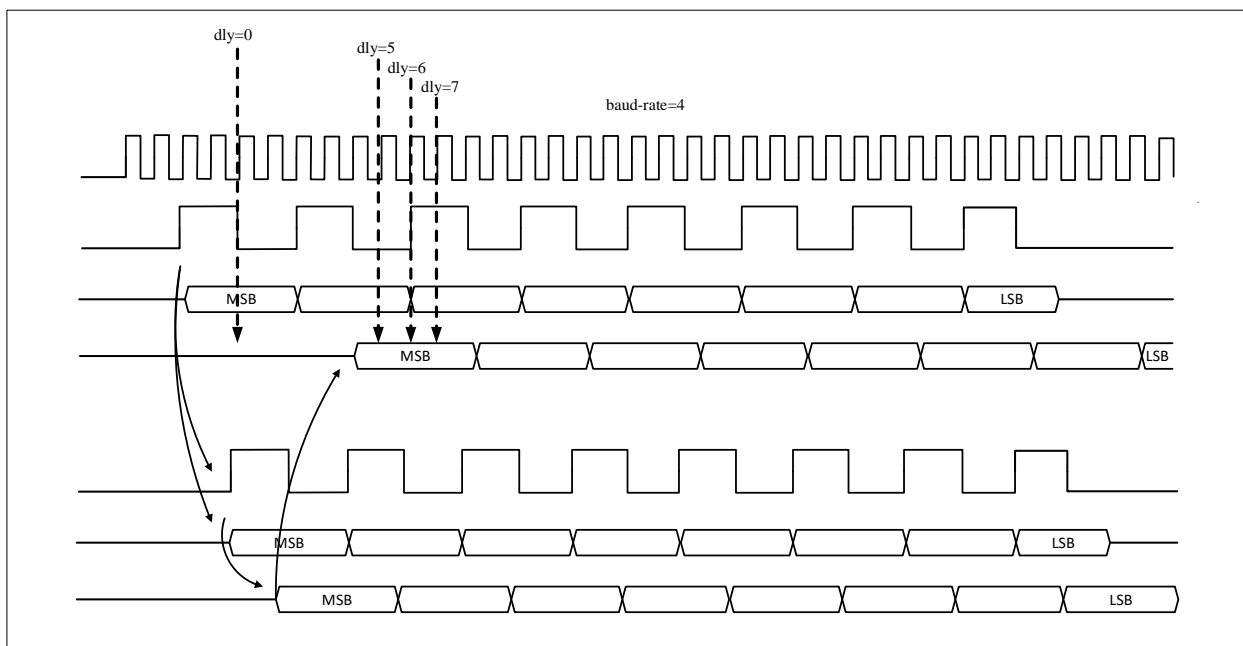
图 37-26 无指令、无地址的读传输



### 37.4.8 接收数据 (RXD) 采样延迟

当 xSPI 配置为主设备时，可在设计中加入额外逻辑，以延迟接收数据 (RXD) 信号的默认采样时间。该额外逻辑有助于提高串行总线上可实现的最高频率。

图 37-27 往返延迟



主设备输出的串行时钟 (sclk\_out) 信号与从设备输出的接收数据 (rxd) 信号在往返路由过程中产生的延迟，可能导致主设备所观测到的 rxd 信号时序偏离正常采样时间。xSPI (增强型串行外设接口) 通过 XSPI\_RX\_DELAY 寄存器来调整 rxd 信号的采样点，具体规则如下：

- ◆ 若状态使能 (SE) 寄存器的 XSPI\_RX\_DELAY 字段设为 0，则 xSPI 会将采样点延迟“已编程设定的同步串行接口时钟 (ssi\_clk) 周期数”。
- ◆ 若 SE 寄存器的 XSPI\_RX\_DELAY 字段设为 1，则 xSPI 会将采样点延迟“已编程设定的 ssi\_clk 周期

数+0.5 个 ssi\_clk 周期”。在此情况下，采样操作会在 ssi\_clk 信号的下降沿进行，这能让用户在单个 sclk\_out 时钟周期内获得更多采样点。

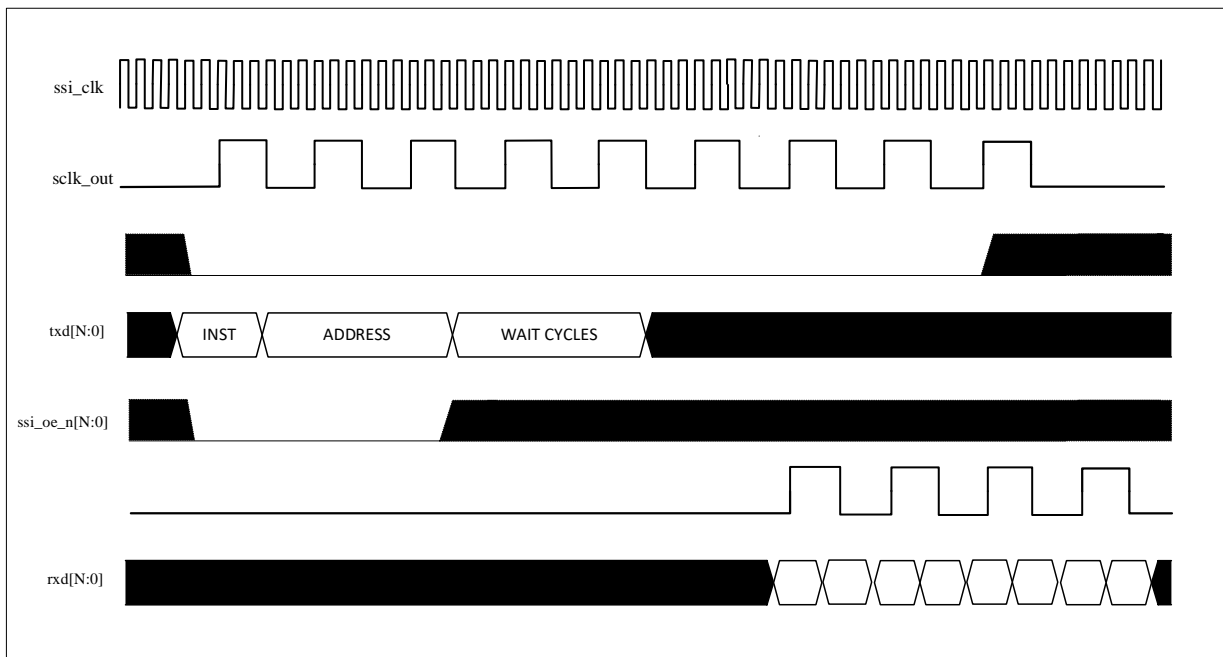
### 37.4.9 读数据选通信号

为实现高频（数据传输），读操作中会采用数据选通信号传输机制。该器件会提供一个数据选通信号（称为读数据选通信号，简称 rxds），与读数据一同输出，此信号用于确定输出数据的有效窗口。器件所提供的数据与数据选通信号保持边沿对齐，而这些数据和选通信号需经过相移处理后再传输至 xSPI（增强型串行外设接口）。

若要基于读数据选通信号对输入数据进行采样，必须将 SPIRXDSEN 寄存器的 XSPI\_ENH\_CTRL0 字段编程设置为 1。

*注意：在对（数据选通信号的）上升沿和下降沿均进行采样时，数据必须在数据选通信号的时钟边沿前后保持稳定。*

图 37-28 从 flash 读取数据时的读数据选通信号



在此模式下，仅支持 SPI 模式 0，即当 SCPH=0 且 SCPOL=0 时（方可使用）。

### 37.4.10 时钟延展

当 XSPI（串行外设接口扩展）与 SPI 器件进行数据发送或接收时，由于从设备接口存在带宽问题，软件可能无法跟上传输速率。为避免数据损坏，CPU（中央处理器）必须丢弃当前操作并启动新的传输。此过程耗时且效率低下。为应对此类场景，XSPI 中新增了时钟延展（clock-stretching）功能支持。

时钟延展功能可分别用于防止数据发送（TX）或接收（RX）过程中出现 FIFO（先进先出缓冲器）下溢（underflow）和上溢（overflow）情况。

- ◆ 对于写事务：若在传输完成前 TX FIFO 变为空，则 XSPI 主设备不会取消选择从设备，而是会屏蔽 sclk\_out（输出时钟信号），待 TX FIFO 非空后再恢复时钟。进行数据发送时，需在 XSPI\_CTRL1 寄存

器中配置数据帧数量。时钟延展仅在增强型 SPI 传输的数据阶段发生，以确保发送 FIFO 中至少存在 1 个数据（指令和地址除外）。需在 XSPI\_TXFT.TXFTST 寄存器中设置最小阈值以实现此要求。

- ◆ 对于读事务：当 RX FIFO 变为满时，XSPI 会屏蔽 sclk\_out，直至从接收 FIFO 中读取数据（数据量降至 XSPI\_RXFT 寄存器中配置的 RX 阈值以下）。若 XSPI\_RX\_DELAY 寄存器已启用，XSPI 会预估 RX FIFO 可能满溢的时间，并据此屏蔽 sclk\_out。

XSPI 在 XSPI\_ENH\_CTRL0 寄存器中提供了一个配置位（CLKSTREN），用于启用时钟延展功能。

注：时钟拉伸功能仅适用于增强型 SPI 传输，XIP（就地执行）传输除外。

### 37.4.11 双倍数据速率（DDR，Dual-Data Rate）

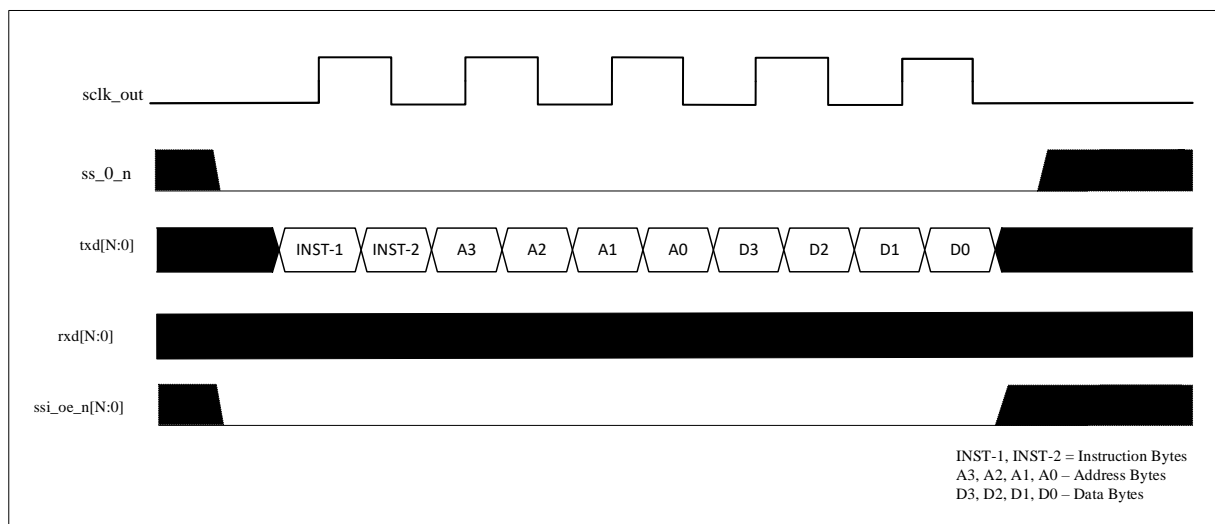
启用 DDR 模式位后，将在 SPI 的 2 线/4 线/8 线模式下，为相应的通信阶段启用双倍速率传输，此举可提升吞吐量。数据会在时钟的上升沿和下降沿均进行传输。

DDR 模式支持 SPI 协议的以下两种模式：

- ◆ 模式 0：当默认串行时钟相位和默认串行时钟极性未启用时（即 XSPI\_CTRL0 寄存器的 SCPH 位=0 且 XSPI\_CTRL0 寄存器的 SCPOL 位 = 0）
- ◆ 模式 3：当默认串行时钟相位和默认串行时钟极性已启用时（即 XSPI\_CTRL0 寄存器的 SCPH 位 = 1 且 XSPI\_CTRL0 寄存器的 SCPOL 位 = 1）

WRSPIDREN 位（对应 XSPI\_ENH\_CTRL0 寄存器的第 16 位）用于确定地址和数据是否需以 DDR 模式传输；WRINDDREN 位（对应 XSPI\_ENH\_CTRL0 寄存器的第 17 位）用于确定指令是否需以 DDR 格式传输。这些位仅在 XSPI\_CTRL0 寄存器的 SPIFRF 位被配置为双路（Dual）、四路（Quad）或八路（Octal）模式时才有效。

图 37-29 双倍数据速率（DDR）格式的指令、地址与数据



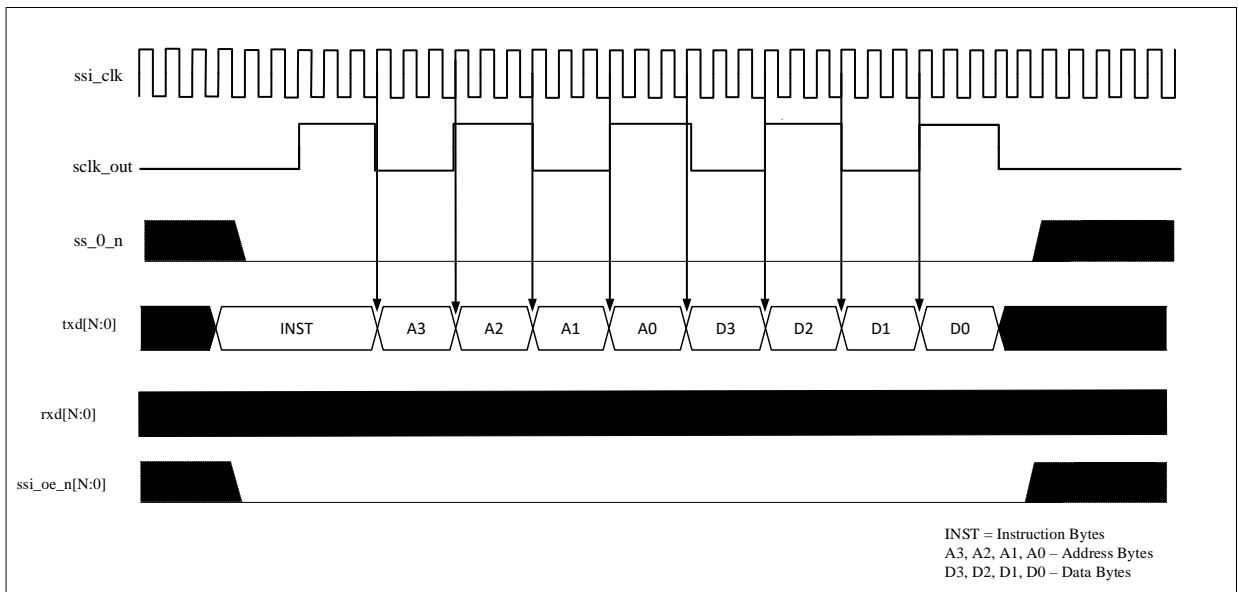
注：在双倍数据速率（DDR）传输中，地址和指令的值不能配置为 0。在 DDR 读操作中，等待周期的数量也不能为 0。

在 DDR 模式下，数据会在时钟的两个边沿（上升沿和下降沿）传输，这使得准确采样数据变得困难。XSPI（串行外设接口扩展）通过一个内部寄存器来确定数据应在哪个边沿传输，以确保接收端在采样时能获取稳定的数据。该内部寄存器（即 XSPI\_DDR\_TXDE 寄存器）决定了数据的传输边沿。XSPI 会根据波特时钟

(baud clock) 发送数据，而波特时钟是内部时钟 (ssi\_clk) 的整数倍 (计算公式为  $ssi\_clk \times BAUDR$ )。由于数据需在半个时钟周期 ( $BAUDR/2$ ) 内完成传输，因此 XSPI\_DDR\_TXDE 寄存器的最大值等于  $[(BAUDR/2)-1]$ 。

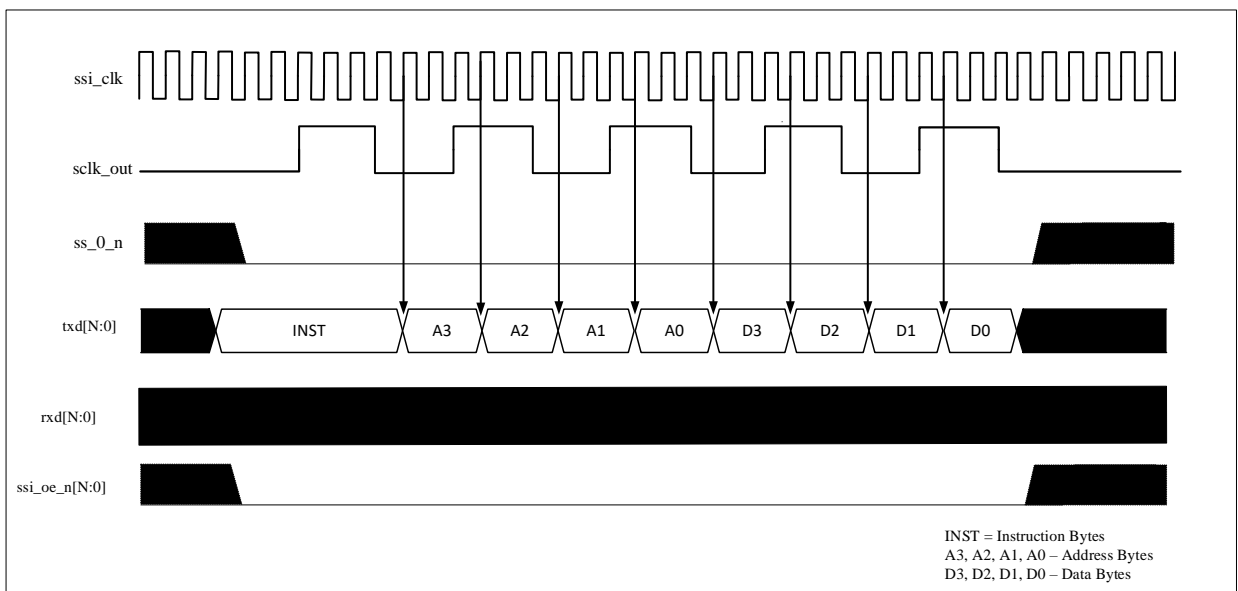
➤ XSPI\_DDR\_TXDE=0

图 37-30 XSPI\_DDR\_TXDE 寄存器值为 0 时的双倍数据速率 (DDR) 传输



➤ XSPI\_DDR\_TXDE=1

图 37-31 XSPI\_DDR\_TXDE 寄存器值为 1 时的双倍数据速率 (DDR) 传输



### 37.4.12 Hyperbus 协议

HyperBus 是一种可同时支持并行接口存储器和串行接口存储器的接口，同时能够提升系统性能、简化设计流程并降低系统成本。在 HyperBus 接口上执行读事务或写事务时，会通过两组对应的 8 位宽、半时钟周期

的数据传输，按顺序完成一系列 16 位、单时钟周期的数据传输；这两组 8 位宽数据传输分别在单端时钟的两个边沿（或差分时钟的交叉点）上进行。

XSPI（串行外设接口扩展）支持基于 SPI DDR（双倍数据速率）接口原理工作的 HyperBus 协议。该 DDR 协议可在输入/输出（I/O）信号上每时钟周期传输两个数据字节。你可通过 XSPI\_CTRL0 寄存器的 SPIHYPEEN 配置参数，在 XSPI 中启用 HyperBus 功能。

HyperBus 采用 48 位命令-地址（CA，Command-Address）来传递指令信息与地址信息。

**表 37-1 Hyperbus CA 格式**

CA 位	位名称	位功能
47	R/W#	标识该事务为读取或写入操作。 ■ 1 – 表示读取事务。 ■ 0 – 表示写入事务。
46	地址空间	指示该读取或写入事务访问的是存储器空间还是寄存器空间。 ■ 0 – 表示存储器空间。 ■ 1 – 表示寄存器空间。 寄存器空间用于访问设备 ID 和配置寄存器。
45	突发类型	指示突发传输类型为线性突发或回绕突发。 ■ 0 – 表示回绕突发。 ■ 1 – 表示线性突发
44-16	行与高位列地址	目标地址的行地址和列地址高位部分：系统字地址位 A31-A3。 若特定设备密度未使用高位行地址位，主机控制器主接口必须将其设置为 0。行地址的大小，以及行地址与列地址之间的地址位边界划分，取决于从设备。
15-3	保留	保留供未来列地址扩展使用。在当前 HyperBus 设备中，保留位无需关注，但主机控制器必须将其设置为指定值以确保未来的兼容性。
2-0	低位列地址	目标地址的列地址低位部分：系统字地址位 A2-0，用于在半页内选择起始字。

当在 XSPI（串行外设接口扩展）中启用 HyperBus 功能（即 XSPI\_CTRL0 寄存器的 SPIHYPEEN 位设为 1）时，需将 XSPI\_CTRL0.SPIHYPEEN 寄存器位配置为 1，以将 XSPI 编程为 HyperBus 主设备。由于 HyperBus 接口具有固定的帧格式，因此当 XSPI 被编程为 HyperBus 模式时，以下字段的取值将固定：

◆ XSPI\_CTRL0 寄存器的 SPIFRF 位 – 2 位二进制值 b'11（Octal Frame format）



- ◆ XSPI\_ENH\_CTRL0 寄存器的 TRANSTYPE 位 – 2 b'10（表示地址以八进制格式发送）
- ◆ XSPI\_ENH\_CTRL0 寄存器的 ADDRLEN 位 – 4 b'1100（表示地址长度为 48bits）
- ◆ XSPI\_ENH\_CTRL0 寄存器的 INSTL 位 – 2b'00（表示无指令阶段）
- ◆ XSPI\_ENH\_CTRL0 寄存器的 WRSPIDREN 位 – 1（表示地址以 Octal-DDR 格式发送）
- ◆ XSPI\_ENH\_CTRL0 寄存器的 SPIRXDSEN 位 – 1（表示启用读数据选通信号，用于对输入数据进行采样）

用户可根据存储器的需求，通过 XSPI\_ENH\_CTRL0 寄存器的 WAITCYCLES 字段配置等待周期。由于 HyperBus 协议从第三个 CA（命令 - 地址）周期开始计数等待周期，因此在 CA 阶段完成后，XSPI 会发送（XSPI\_ENH\_CTRL0.WAITCYCLES 值 - 1）个等待周期。XSPI\_ENH\_CTRL0 寄存器中的其余字段在 HyperBus 传输中不使用。

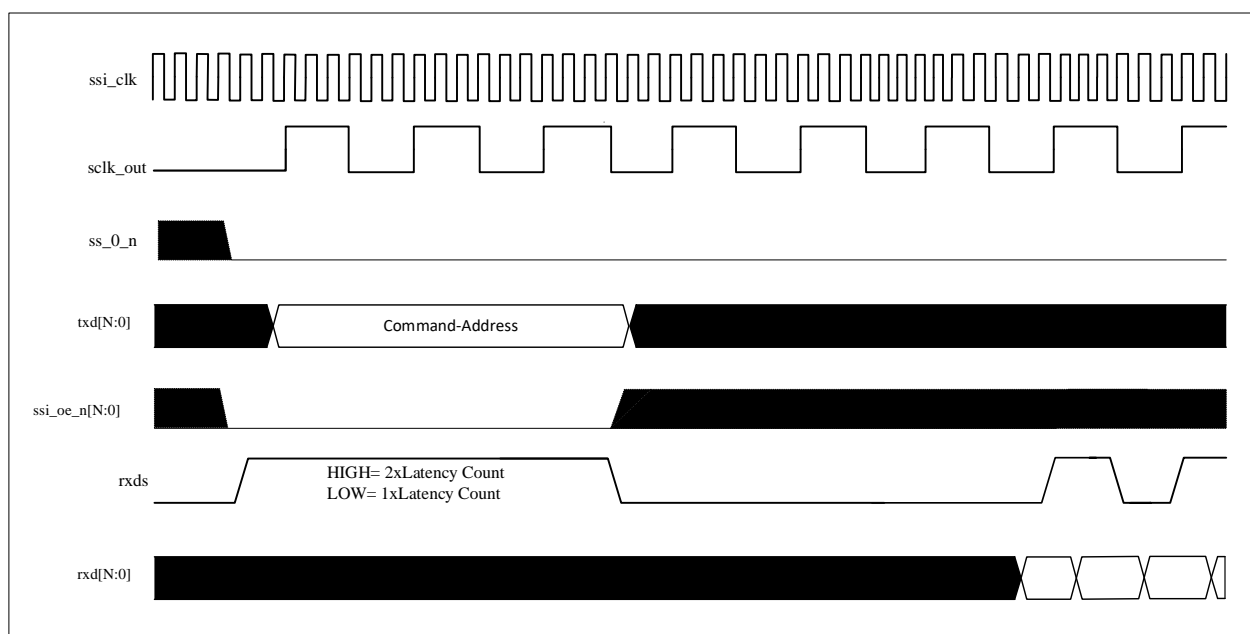
用户可分别在 XSPI\_CTRL0 寄存器的 TMOD 字段和 DFS 字段中，设置事务类型（读/写）和数据帧大小。固定字段的回读值与寄存器配置值一致，但当 XSPI\_CTRL0.SPIHYPEEN 位设为 1 时，硬件会在内部忽略这些固定字段的配置（仅按 HyperBus 模式的固定规则工作）。

### 37.4.12.1 读事务

在时钟处于空闲状态时，HyperBus 主设备会将  $ss\_x\_n$  信号拉低（驱动为低电平），以此启动一次事务。随后，时钟开始翻转（产生时钟信号），同时传输 CA 字（命令 - 地址字，Command-Address Word）。之后，HyperBus 主设备会继续提供时钟信号，时钟周期数由配置寄存器中的延迟计数（latency count）设置值决定。

若在 CA 周期内，读写数据选通信号（RWDS，Read-Write Data Strobe）为低电平，则会插入 1 个延迟计数；若在 CA 周期内 RWDS 为高电平，则会额外插入 1 个延迟计数。当这些延迟时钟周期完成后，存储器会切换 RWDS 信号的电平，并输出目标数据。

图 37-32 Hyperbus 读命令



### 37.4.12.2 写事务

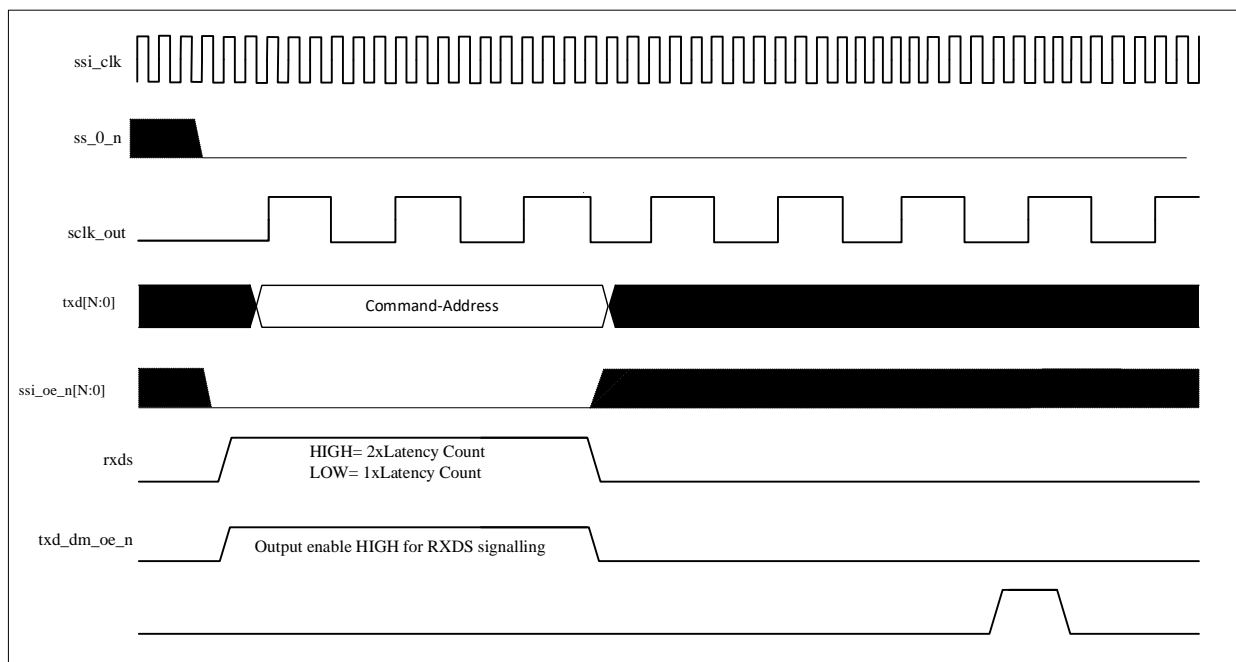
当时钟处于空闲状态时，HyperBus 主设备会将  $ss\_x\_n$  信号驱动为低电平，以此启动一次事务。随后，时钟

开始翻转，同时传输 CA 字（命令 - 地址字，Command-Address Word）。此外，HyperBus 主设备会继续提供时钟信号，时钟周期数由配置寄存器中的延迟计数（latency count）设置值决定。

若在 CA 周期内，读写数据选通信号（RWDS，Read-Write Data Strobe）为低电平，则会插入 1 个延迟计数；若在 CA 周期内 RWDS 为高电平，则会额外插入 1 个延迟计数。当这些延迟时钟周期完成后，HyperBus 主设备开始输出目标数据。

写数据与时钟边沿中心对齐（center aligned）状态。每个字（word）中的第一个字节由存储器在 sclk\_out 信号（输出时钟信号）的上升沿捕获，第二个字节则在 sclk\_out 信号的下降沿捕获。对于写事务，延迟计数也可设为 0，具体是否支持取决于所用器件（即与器件相关）。

图 37-33 Hyperbus 写命令



### 37.4.13 XIP 模式

注：对于 N32xxx 系列芯片，其串行外设接口扩展（XSPI）仅支持就地执行读操作（XIP READ）。

串行外设接口扩展（XSPI）具备一项功能，可通过高级高性能总线（AHB）事务直接执行存储器读操作，该功能被称为“就地执行模式”（execute in place mode）。在此模式下，XSPI 充当 SPI 存储器的内存映射接口（memory mapped interface）。

XIP 操作仅在双路（Dual）、四路（Quad）或八路（Octal）增强型 SPI 工作模式下支持，因此不得将 XSPI\_CTRL0 寄存器的 SPIFRF 位配置为 0。通常，一次 XIP 操作包含地址阶段（address phase）和数据阶段（data phase）。

当 DFSHC 寄存器的 XSPI\_XIP\_CTRL 字段设为 0 时，器件会利用 AHB 控制信号推导数据帧大小以及需获取的数据帧数量。其中，hsize 信号用于确定本次传输的数据帧大小，表 37-2 HSIZE 至数据帧大小的解码展示了从 HSIZE 值到数据帧大小的映射关系。

表 37-2 HSIZE 至数据帧大小的解码

HSIZE	数据帧大小(DFS)
-------	------------

3'b000	8
3'b001	16
>=3'b010	32

需获取的数据帧数量由 HBURST 信号推导得出。表 37-3 HBURST 至数据帧数量的映射（XSPI\_XIP\_CTRL.DFSHC=0）展示了如何根据 HBURST 值解码得到对应数据帧数量的规则。

**表 37-3 HBURST 至数据帧数量的映射（XSPI\_XIP\_CTRL.DFSHC=0）**

HBURST	Type	Number of Data Frames (NDF)
000	Single	1
001	INCR	Data is fetched until the burst completes
010	WRAP4	4
011	INCR4	4
100	WRAP8	8
101	INCR8	8
110	WRAP16	16
111	INCR16	16

*注：为确保 XIP 读操作（就地执行读操作）能实现正确的读取行为（如“大小端”章节中所述），需将 DFSHC 寄存器的 XSPI\_XIP\_CTRL 字段配置为 1。*

### 37.4.13.1 XIP 传输

一旦 XSPI\_CTRL0 寄存器和 XSPI\_ENH\_CTRL0 寄存器已配置好传输所需的正确值，即可通过将 xip\_en 信号驱动为 1，并在 AHB 总线上执行读操作，来启动 XIP（就地执行）传输。

AHB 传输存在两种类型，XSPI 对这两种类型的处理方式不同。以下章节将分别说明 XSPI 针对每种 AHB 传输的工作行为。

➤ **Case A: 固定增量/回卷突发传输（Fixed INCR/WRAP Burst Transfer）**

当串行外设接口扩展（XSPI）接收到固定（FIXED）突发请求时，它仅从 SPI 器件中获取固定量的数据。数据帧数量（NDF）字段由 AHB 突发传输控制信号（HBURST）确定，而数据帧大小则由 AHB 传输大小控制信号（hsize）推导得出。对于回卷（WRAP）突发请求，SPI 器件需发送正确的数据，XSPI 会将该数据转发至高级高性能总线（AHB）接口。

➤ **Case B: 未定义增量突发传输（Undefined Incrementing Burst, INCR）**

在此情况下，除非在从设备接口上检测到突发结束信号（即空闲传输，IDLE transfer），否则 XSPI 会持续从 SPI 器件中获取数据。对于此类传输类型，XSPI 从 SPI 器件中获取的数据最大量为 1KB。

### 37.4.13.2 AHB 等待传输

在 XIP 传输过程中，AHB（高级高性能总线）主设备可能会在传输中插入等待状态（wait states）。在此情况下，XSPI（串行外设接口扩展）不会中断 SPI 接口上的传输，而是会持续从 SPI 从设备中获取数据，直到获取完当前突发传输所需的全部数据帧。这些中间数据会存储在 XSPI 的接收 FIFO（先进先出缓冲器）中，待等待周期（WAIT cycles）结束后，再传输至 AHB 接口。

### 37.4.13.3 提前突发终止（Early Burst Termination）

提前突发终止（Early Burst Termination，简称 EBT）可能发生在正在进行的 AHB（高级高性能总线）传输过程中。当在 AHB 接口上检测到空闲传输（IDLE transfer）时，XSPI（串行外设接口扩展）会正常完成 SPI 总线上当前正在进行的传输，并将最后获取到的数据返回给 AHB 设备。此后，AHB 主设备可从最后一个地址处恢复突发传输，而 XSPI 会将该恢复操作视为一次新的传输，并再次向 SPI 从设备发送地址。

*注：在 XIP（就地执行）模式下，当 AHB 主设备处于忙（BUSY）状态时，XSPI 不支持提前突发终止功能。*

### 37.4.13.4 模式位支持

在串行传输过程中，部分器件能够发送额外的比特位，这些比特位被称为“模式位”（Mode bits）。模式位的配置如下：

- ◆ XSPI\_XIP\_CTRL 寄存器的 MDBITSEN 位 —— 用于启用模式位功能。
- ◆ XSPI\_XIP\_CTRL 寄存器的 XIPMBL 位 —— 用于设置模式位的长度。
- ◆ XSPI\_XIP\_MODE 寄存器的 XIPMDBITS 位 —— 用于设置模式位的值。

模式位在地址阶段（Address Phase）完成后立即传输，且遵循与地址位相同的传输规则。因此，当模式位支持功能启用时，串行传输包含以下阶段：

指令阶段（Instruction Phase）> 地址阶段（Address Phase）> 模式位（Mode Bits）> 等待周期（Wait cycles）> 数据阶段（Data Phase）

*注：在首次执行 XIP 读操作（XIP READ）后，若要在后续的阅读命令中跳过指令阶段，需通过软件配置将 XSPI\_XIP\_CTRL 寄存器的 XIPINSTEN 位设为 0 来实现。*

## 37.4.14 XIP 模式下的连续传输

当串行外设接口扩展（XSPI）接收到就地执行（XIP）请求时，会将来自高级高性能总线（AHB）接口的地址直接传输至 SPI 接口。AHB 接口上的每一次新传输（XIP 读操作）均按此方式处理。因此，针对每一次请求，都必须向器件发送一个新地址，这会导致系统产生延迟。若某一存储器件允许在 XIP 读传输过程中保持从设备选择信号（slave select signal）的有效状态（即“拉长”该信号，不中途释放），则可将 XSPI 配置为连续 XIP 模式，以实现更高性能。在此模式下，主机（Host）会将两次或多次 AHB 突发请求合并为单个 SPI 命令 —— 具体通过避免重复传输命令和地址、且主机控制器无需在这些突发传输之间等待任何虚拟周期（dummy cycles）来实现。

通过将 XSPI\_XIP\_CTRL 寄存器的 XIPCTEN 位配置为 1，可启用 XSPI（串行外设接口扩展）的连续 XIP（就地执行）模式。当该位设为 1 时，XSPI 在接收到第一个 XIP 命令后，便会立即以连续 XIP 模式工作。

对于首次 XIP 传输，XSPI 会将地址（若 XSPI\_XIP\_CTRL 寄存器的 XIPINSTEN 位=1，则还会包含指令）

发送至 SPI 接口。在接收到请求的数据后，XSPI 会持续保持从设备选中状态，且时钟 (sclk\_out, 输出时钟) 会维持在默认状态。

对于 AHB (高级高性能总线) 接口上后续的 XIP 传输，XSPI 会恢复时钟 (sclk\_out) 工作，但不会向 SPI 接口传输任何命令或地址，而是直接从器件中获取所需数据 (无虚拟周期, dummy cycles)。

当满足以下任一条件时，XSPI 会退出连续 XIP 模式：

- ◆ 在 XIP 接口上接收到非 XIP 命令 (具体指任何将 xip\_en 信号驱动为 0 的 AHB 事务)。
- ◆ 当 AHB 事务的目标地址为非连续地址时，从设备选择信号 (slave select) 会被释放，随后 XSPI 会发起一个新的 XIP 请求。

注：在连续传输模式下，若 XSPI\_XIP\_CTRL 寄存器的 DFSHC 位被设置为 1，则 XIP (执行中读取) 地址必须始终与 XSPI\_CTRL0 寄存器的 DFS 位中所编程的 DFS (数据帧大小) 值保持对齐。

#### ➤ 连续增量传输 (Continuous Incremental Transfer)

在连续 XIP (执行中读取，对应寄存器 XSPI\_XIP\_CTRL 的 XIPCTEN 位设置为 1) 模式下，若接收到的第一条命令为增量 (INCR) 命令 (hburst 值为 011/101/111)，则该传输被定义为连续增量传输。在此模式下，当一次传输完成后，下一条命令也必须是增量命令，且地址必须是上一次突发传输 (burst) 地址的连续地址。

#### ➤ 连续回卷传输 (Continuous WRAP Transfer)

在连续 XIP 模式下，若接收到的第一条命令为回卷 (WRAP) 命令 (hburst 值为 010/100/110)，则该传输被定义为连续回卷传输。在此模式下，当一次传输完成后，下一条命令必须从上一次突发传输 (burst) 的地址边界地址开始。

### 37.4.15 XIP 模式下的数据预取

对于 AHB 接口上的每一个 XIP 请求，XSPI 会向终端设备发送指令 (若 XSPI\_XIP\_CTRL 寄存器的 XIPINSTEN 位设置为 1) 和地址。一段时间后，该设备会返回数据，这些数据随后将被发送至 AHB 接口。若要从设备读取一大块数据 (该数据会被划分为多个突发传输)，每个突发传输完成所需的时间是相同的。由于 XSPI 需要为每个请求发送地址和数据，因此控制器必须等待指令和地址阶段完成后，才能获取数据。

借助 XSPI 中的数据预取功能，控制器会在当前 XIP 事务处理期间，为后续的突发传输预取数据。如果下一个事务请求指向后续地址，则可直接从接收先进先出缓冲区 (RX FIFO) 中读取数据，无需等待向设备发送新的地址和数据。这一机制可提升系统的整体性能。

预取的数据量应等于上一个 AHB 请求的突发传输长度或 FIFO 深度，取两者中的较小值。

**注：在预取模式下，所有传输的 HSIZE (传输大小) 必须保持一致。**

#### Case A: 连续地址的传输请求

在这种情况下，串行外设接口 (XSPI) 会返回先进先出存储器 (FIFO) 中可用的节拍数，随后获取剩余的节拍以完成当前传输。当前传输完成后，XSPI 会扩展该传输，为下一次传输预取数据。

#### Case B: 非连续地址的传输请求

在此案例中，当前的串行传输会正常结束，接收端先进先出存储器 (FIFO) 会被清空，并且会在串行通道上启动新的串行传输，以完成当前请求。

注：若启用了执行中取指 (XIP) 预取功能，则不允许采用未定义长度的增量传输的高级高性能总线 (AHB)

请求（突发传输类型  $hburst = 3$  位二进制数 001）。

### 37.4.16 DMA 控制接口

XSPI 通过以下握手信号与 DMA（直接内存访问）控制器进行接口交互：

- ◆ dma\_tx\_req（DMA 发送请求信号）
- ◆ dma\_rx\_req（DMA 接收请求信号）
- ◆ dma\_tx\_ack（DMA 发送应答信号）
- ◆ dma\_rx\_ack（DMA 接收应答信号）
- ◆ dma\_tx\_single（DMA 单次发送信号）
- ◆ dma\_rx\_single（DMA 单次接收信号）

要在 XSPI 上启用 DMA，必须对 DMA 控制寄存器（XSPI\_DMA\_CTRL）执行写操作。具体配置如下：

向 XSPI\_DMA\_CTRL 寄存器的 TXDMAEN 写入“1”，可启用 XSPI 的发送握手接口；

向 XSPI\_DMA\_CTRL 寄存器的 RXDMAEN 写入“1”，可启用 XSPI 的接收握手接口。

#### ➤ 传输水位及传输 FIFO 下溢

在 XSPI 串行传输过程中，当传输 FIFO 中的数据个数小于或等于 DMA 传输数据控制寄存器（XSPI\_DMATDL\_CTRL）的值时，会向 xspi\_ahb\_dmac（AHB 总线 DMA 控制器）发起传输 FIFO 请求，该寄存器的值被称为传输水位。

xspi\_ahb\_dmac 的响应方式是，向传输 FIFO 缓冲区写入一段长度为 CTLx.DEST\_MSIZE（目标端数据大小配置）的数据。为确保传输 FIFO 能够持续进行串行传输，需从 DMA 中足够频繁地获取数据——也就是说，当 FIFO 开始为空时，应触发另一个 DMA 请求。否则，FIFO 会出现数据耗尽的情况，即 FIFO 下溢。要避免这种情况，必须正确设置传输水位。

#### ➤ 接收水位及接收 FIFO 上溢

在 XSPI 串行传输期间，只要接收 FIFO（先进先出缓冲区）中的条目数达到或超过 DMA 接收数据级别寄存器（即 XSPI\_DMARDL\_CTRL+1）的值，就会向 xspi\_ahb\_dmac 发起接收 FIFO 请求。这一阈值被称为水位线（watermark level）。xspi\_ahb\_dmac 的响应方式是：从接收 FIFO 缓冲区中读取长度为 CTLx.SRC\_MSIZE 的突发数据（burst of data）。

需谨记两点：

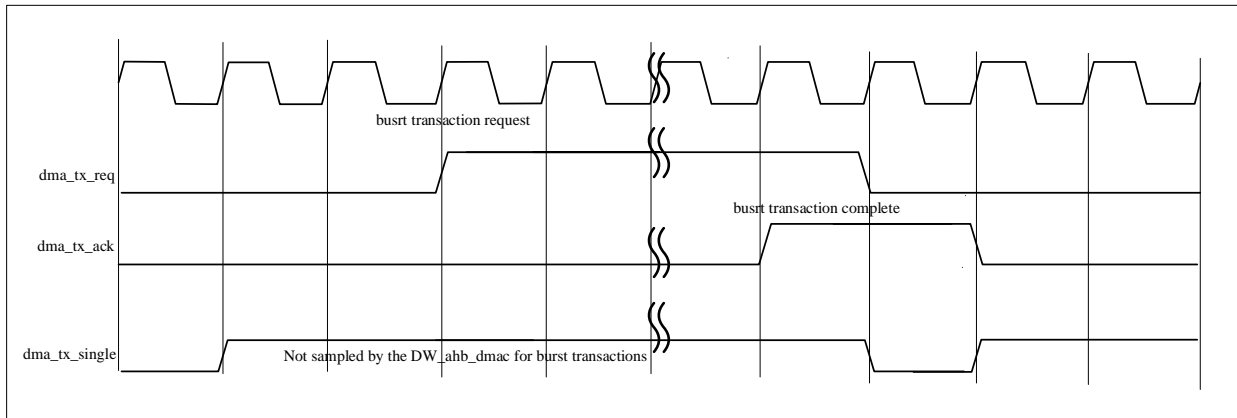
- ◆ 突发请求线（即 dma\_tx\_req 信号/dma\_rx\_req 信号）一旦被置位，就会保持置位状态，直到接收到对应的 dma\_tx\_ack 信号/dma\_rx\_ack 信号——即便在突发传输（burst transaction）过程中，相应的 FIFO 容量降至 watermark 水平以下，该置位状态也不会改变。
- ◆ 当对应的 dma\_tx\_ack 信号/dma\_rx\_ack 信号被置位时，dma\_tx\_req 信号/dma\_rx\_req 信号会被取消置位（de-asserted）——即便此时相应的 FIFO 容量超过了 watermark 水平，该取消置位操作依然会执行。

dma\_tx\_single, dma\_rx\_single

- ◆ 当发送 FIFO 中至少存在一个空闲条目时，dma\_tx\_single 信号会被置位（asserted）；当 dma\_tx\_ack 信号处于有效状态（active）时，dma\_tx\_single 信号会被清零（cleared）。若置位条件仍成立，当 dma\_tx\_ack 信号被撤销（de-asserted）时，dma\_tx\_single 信号会重新置位。

- ◆ 当接收 FIFO 中至少存在一个有效数据条目时, dma\_rx\_single 信号会被置位 (asserted); 当 dma\_rx\_ack 信号处于有效状态(active)时, dma\_rx\_single 信号会被清零(cleared)。若置位条件仍成立, 当 dma\_rx\_ack 信号被撤销 (de-asserted) 时, dma\_rx\_single 信号会重新置位。

图 37-34 DMA 握手



### 37.4.17 错误响应

当满足以下任一条件时, XSPI 会在编程接口上提供错误响应:

- ◆ 对配置寄存器进行无效的读或写访问
- ◆ 发送先进先出 (FIFO) 已满, 却尝试对数据寄存器 (XSPI\_DATx) 执行写操作
- ◆ 接收先进先出 (FIFO) 为空, 却尝试对数据寄存器 (XSPI\_DATx) 执行读操作
- ◆ 当 XSPI 未启用 (XSPI\_EN 寄存器设为 0) 时, 尝试对数据寄存器执行读或写操作
- ◆ 在 XIP (执行中取指, eXecute In Place) 操作下 (xip\_en == 1), 以下条件会触发错误响应:
  - ✧ 若 SSIC\_XIP\_WRITE\_EN 参数设为 0, 却发生了任何写操作
  - ✧ 若在 SPI 总线上有另一个主设备处于活跃状态 (主设备竞争) 时, 尝试执行 XIP 读操作
  - ✧ 若 XSPI 已禁用, 却尝试执行 XIP 事务
  - ✧ 若尝试执行 XIP 传输, 而发送 FIFO 非空
  - ✧ 若发送 FIFO 下溢中断已置位, 却尝试执行 XIP 写传输

### 37.4.18 寄存器

#### 37.4.18.1 xSPI 控制寄存器 0 (XSPI\_CTRL0)

当 XSPI\_EN.XSPIEN = 1 时, 该寄存器不能被写入。

偏移地址: 0x00

复位值: 0x8080 4407

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MST	Reserved					DWSEN	SPIHYPE EN	SPIFRF[1:0]		Reserved		CFS[3:0]			

rw				r				r				rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Reserved	SSTE	SRL	SLVOE	TMOD[1:0]		SCPOL	SCPH	FRF[1:0]		Reserved	DFS[4:0]								
	rw	rw	rw		rw	rw	rw		rw						rw				

位域	名称	描述
31	MST	选择 xSPI 工作在主模式还是从模式 00: xSPI 是从 01: xSPI 是主
30:26	Reserved	保留, 必须保持复位值
25	DWSEN	在 SPI 操作模式下启用动态等待状态。 00: 禁用 01: 启用 <i>注: 仅在 XSPI_CTRL0.FRFR 设置为 0x00 (摩托罗拉 SPI 帧格式) 时适用。</i>
24	SPIHYPEEN	SPI Hyperbus 帧格式使能 用于选择数据发送/接收的数据帧格式是否为 Hyperbus 模式。该字段仅在 XSPI_CTRL0.FRFR 设置为 SPI 帧格式时生效。 0x0: 禁用 Hyperbus 格式 0x1: 启用 Hyperbus 格式
23:22	SPIFRF[1:0]	SPI 帧格式 选择发送/接收数据的数据帧格式。 00: 标准 SPI; 01: 双线 SPI; 10: 四线 SPI; 11: 八线 SPI。
21:20	Reserved	保留, 必须保持复位值
19:16	CFS[1:0]	控制帧长度 选择 Microwire 帧格式的控制字长度。 0000: 1bit 控制字; 0001: 2bit 控制字; 0010: 3bit 控制字; 0011: 4bit 控制字; ..... 1110: 15bit 控制字; 1111: 16bit 控制字。
15	Reserved	保留, 必须保持复位值
14	SSTE	片选切换使能 在时钟相位(XSPI_CTRL0.SCPH)设置为 0 的 SPI 模式下运行时, 该位控制数据帧之间 NSS 的行为。 0: 串行时钟 sclk 在整个传送期间片选连续为低; 1: 串行时钟 sclk 在每一帧数据传输时片选为低。
13	SRL	移位寄存器循环



位域	名称	描述
		<p>用于测试，当内部有效时，将发送移位寄存器输出连接到接收移位寄存器输入。可用于主从机模式。</p> <p>当 xSPI 在环回模式下配置为从机时，片选和时钟信号必须由外部源提供。</p> <p>00: 禁能； 01: 使能。</p>
12	SLVOE	<p>从机输出使能。</p> <p>仅当 xSPI 配置为串行从设备时有效。当配置为串行主设备时，此位字段无功能。</p> <p>此位用于启用或禁用从 xSPI 串行从设备输出的 <code>xspi_oe_n</code> 信号。当 <code>SLVOE = 1</code> 时，<code>xspi_oe_n</code> 输出始终保持无效（非激活状态）。如果 <code>xspi_oe_n</code> 输出用于控制从设备 <code>txd</code> 输出上的三态缓冲器，那么当 <code>SLVOE = 1</code> 时，从设备的 <code>txd</code> 输出将始终呈现高阻态。</p> <p>此功能在主设备以广播模式（主设备向所有从设备发送数据）传输时非常有用。此时，只允许一个从设备通过主设备的 <code>rx</code> 线路回传数据。该位在复位后默认启用；如果用户不希望本设备回传数据（例如在使用广播模式时），必须通过软件将其禁用。</p> <p>当 <code>XSPI_SLV_SPI_MODE</code> 设置为 1 且 SPI 被编程工作在增强 SPI 模式时，为确保正常运行，应将此位编程为 0。</p> <p>0: 从输出使能 1: 从输出禁能</p>
11:10	TMOD[1:0]	<p>传输模式。</p> <p>发送模式下，从外部设备接收的数据被视为无效，不会存入接收 FIFO 存储器，并在下一次传输时被覆盖。接收模式下，发送的数据被视为无效。首次向发送 FIFO 写入数据后，同一数据字将在整个传输期间被重复发送。发送与接收模式下，发送和接收的数据均有效。传输将持续进行，直至发送 FIFO 为空。从外部设备接收的数据将存入接收 FIFO 存储器，主机处理器可从中读取。00: 发送和接收；增强型 SPI 操作模式不可用；</p> <p>0x0 (TX_AND_RX): 发送与接收模式；在增强型 SPI 操作模式下，或当 <code>SSIC_HAS_TX_RX_EN</code> 设为 0 时不适用。</p> <p>0x1 (TX_ONLY): 仅发送模式；在增强型 SPI 操作模式下对应写操作。</p> <p>0x2 (RX_ONLY): 仅接收模式；在增强型 SPI 操作模式下对应读操作。</p> <p>0x3 (EEPROM_READ): EEPROM 读取模式；在增强型 SPI 操作模式下不适用。</p>
9	SCPOL	<p>串行时钟极性</p> <p>当帧格式 (FRF) 设置为 Motorola SPI 时有效。</p> <p>当 xSPI 主设备未主动在串行总线上传输数据时，该时钟保持非活动状态。</p> <p>0: 非活动状态时钟为低电平 1: 非活动状态时钟为高电平</p>
8	SCPH	<p>串行时钟相位。</p> <p>当帧格式 (FRF) 设置为 Motorola SPI 时有效。</p> <p>0: 在串行时钟的第一个边沿捕获数据 1: 在从选择线 NSS 激活后开始切换一个周期，并在串行时钟的第二个边沿捕获数据。</p>
7:6	FRF[1:0]	<p>帧格式</p> <p>选择传输数据的串行协议。</p>

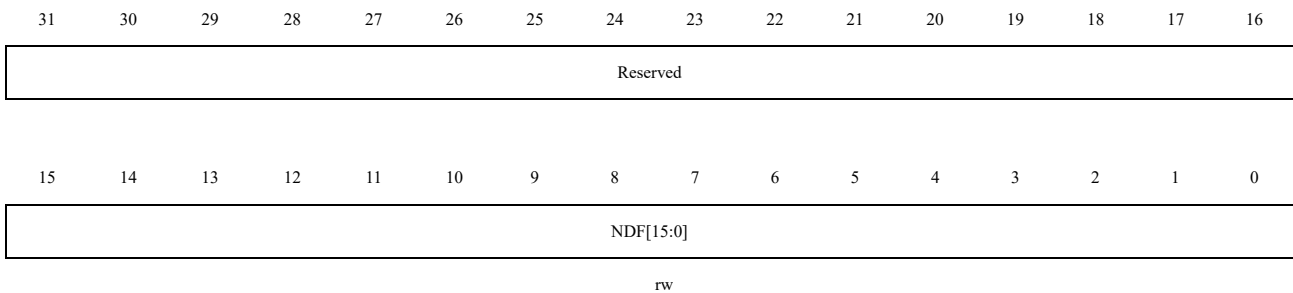
位域	名称	描述
		00: Motorola SPI 帧格式; 01: TI SSP 帧格式; 10: National Semiconductors Microwire 帧格式; 11: 保留。
5	Reserved	保留, 必须保持复位值
4:0	DFS[4:0]	数据帧长度 当数据帧小于 32 位时自动右对齐接收, 并用接收 FIFO 的高位补零。 在写入发送 FIFO 之前, 必须右对齐发送数据, 发送数据时, 发送逻辑会忽略高位未使用的位。 0x0/0x01/0x02: 保留 0x3 (DFS_04_BIT): 04-bit 0x4 (DFS_05_BIT): 05-bit 0x5 (DFS_06_BIT): 06-bit 0x6 (DFS_07_BIT): 07-bit 0x7 (DFS_08_BIT): 08-bit 0x8 (DFS_09_BIT): 09-bit 0x9 (DFS_10_BIT): 10-bit 0xa (DFS_11_BIT): 11-bit 0xb (DFS_12_BIT): 12-bit 0xc (DFS_13_BIT): 13-bit 0xd (DFS_14_BIT): 14-bit 0xe (DFS_15_BIT): 15-bit 0xf (DFS_16_BIT): 16-bit 0x10 (DFS_17_BIT): 17-bit 0x11 (DFS_18_BIT): 18-bit 0x12 (DFS_19_BIT): 19-bit 0x13 (DFS_20_BIT): 20-bit 0x14 (DFS_21_BIT): 21-bit 0x15 (DFS_22_BIT): 22-bit 0x16 (DFS_23_BIT): 23-bit 0x17 (DFS_24_BIT): 24-bit 0x18 (DFS_25_BIT): 25-bit 0x19 (DFS_26_BIT): 26-bit 0x1a (DFS_27_BIT): 27-bit 0x1b (DFS_28_BIT): 28-bit 0x1c (DFS_29_BIT): 29-bit 0x1d (DFS_30_BIT): 30-bit 0x1e (DFS_31_BIT): 31-bit 0x1f (DFS_32_BIT): 32-bit 注意: • 如果 $XSPI\_CTRL0.SPIFRF = 2b'01$ (二线), 则 DFS 值必须是 2 的倍数 • 如果 $XSPI\_CTRL0.SPIFRF = 2b'10$ (四线), 则 DFS 值必须是 4 的倍数 • 如果 $XSPI\_CTRL0.SPIFRF = 2b'11$ (八线), 则 DFS 值必须是 8 的倍数

### 37.4.18.2 xSPI 控制寄存器 1 (XSPI\_CTRL1)

该寄存器仅在 xSPI 配置为主设备时存在。当 xSPI 配置为串行从设备时，对此地址执行写操作无效；对此地址执行读操作将返回 0。控制寄存器 1 用于在“仅接收模式”下控制串行传输的结束。当 xSPI 处于使能状态时，无法对此寄存器执行写操作。

偏移地址：0x04

复位值：0x0000 0000

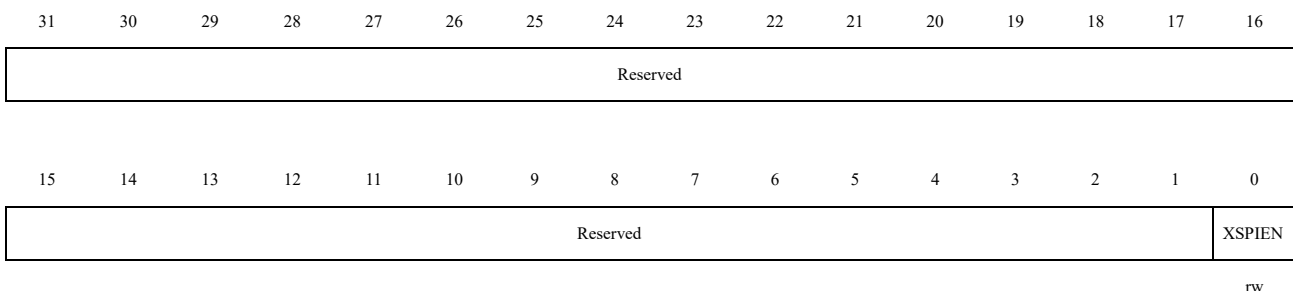


位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	NDF[15:0]	数据帧数量 接收模式： 当 XSPI_CTRL0.TMOD[1:0] = 10 或 11 时，该寄存器设置连续接收的数据帧的数量；xSPI 继续接收串行数据，直到接收到的数据帧数等于该寄存器值加 1，连续传输中接收最多 64KB 的数据。 发送模式： 当 XSPI_ENH_CTRL0.CLKSTREN=1 且 TMOD = 01 时，该寄存器设置 xSPI 连续发送的数据帧的数量；如果发送 FIFO 在期间变空，xSPI 会暂停串行时钟并等待剩余数据，直到成功传输完所有数据。 当 xSPI 配置为串行从机时，该寄存器无效。

### 37.4.18.3 xSPI 使能寄存器 (XSPI\_EN)

偏移地址：0x08

复位值：0x0000 0000



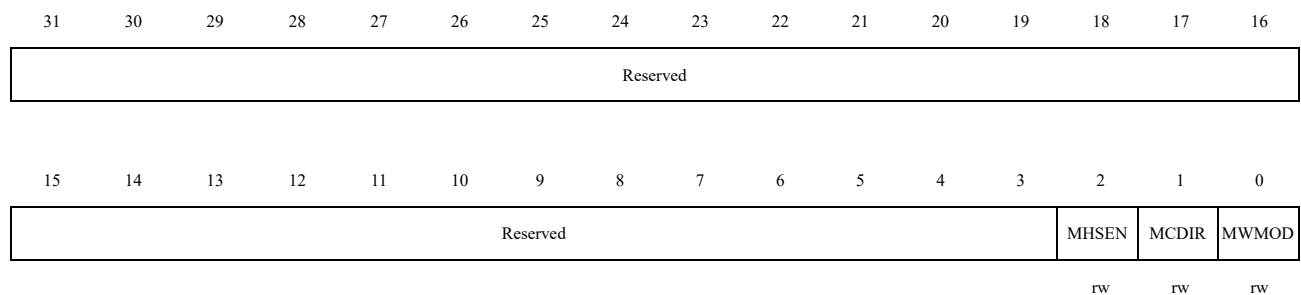
位域	名称	描述
31:1	Reserved	保留，必须保持复位值
0	XSPIEN	xSPI 使能 禁用后，所有串行传输都会立即停止，发送和接收 FIFO 缓冲区将被清除；启用后，某些 xSPI 控制寄存器无法编程。 0：禁用 xSPI 1：启用 xSPI

#### 37.4.18.4 xSPI MW 控制寄存器 (XSPI\_MW\_CTRL)

当 XSPI\_EN.XSPIEN = 1 时，该寄存器不能被写入。

偏移地址：0x0C

复位值：0x0000 0000



位域	名称	描述
31:3	Reserved	保留，必须保持复位值
2	MHSEN	Microwire 握手。 仅当 xSPI 配置为串行主设备时相关。配置为串行从设备时，此位字段无功能。用于启用或禁用 Microwire 协议的"繁忙/就绪"握手接口。启用后，在传输完最后一位数据/控制位之后、清除 SR 寄存器中的 BUSY 状态之前，xSPI 会检查目标从设备是否返回就绪状态。 0：握手禁用。 1：握手启用，在最后一个数据/控制位传输后，XSPI_STS.BUSY 状态清除之前检查来自目标从机的就绪状态。
1	MCDIR	Microwire 控制。 定义使用 Microwire 串行协议时数据字的传输方向。 此位设为 0 时，数据字由 xSPI 宏单元从外部串行设备接收。 此位设为 1 时，数据字由 xSPI 宏单元向外部串行设备发送。
0	MWMOD	Microwire 传输模式 0：非顺序传输，必须为每个发送或接收数据字块指定控制字； 1：顺序传输，仅需一个控制字来发送或接收数据字节。

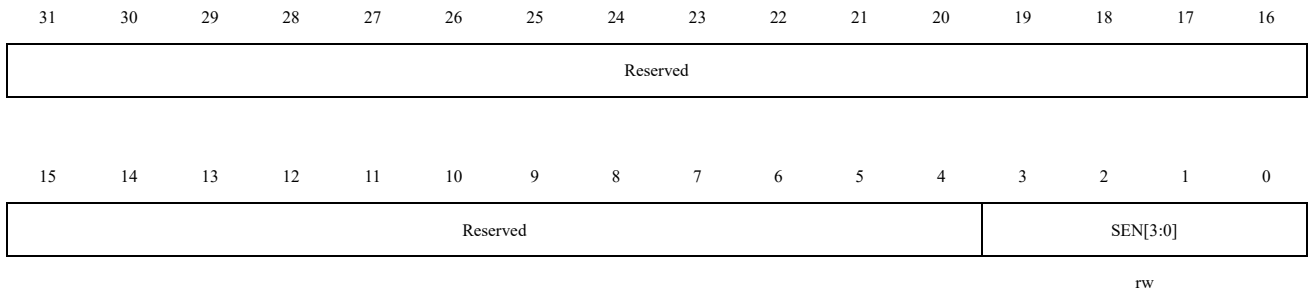
#### 37.4.18.5 xSPI 从设备使能寄存器 (XSPI\_SLAVE\_EN)

此寄存器仅在 xSPI 配置为主设备时有效。当 xSPI 配置为串行从设备时，写入该寄存器无效；读取该寄存器

将返回 0。该寄存器用于控制 xSPI 主设备上各个从设备选择 (Slave Select) 输出线的使能。xSPI 主设备最多可提供 16 个从设备选择输出引脚。当 xSPI 处于忙状态 (BUSY) 且 XSPI\_EN.XSPIEN = 1 (使能) 时, 不可对此寄存器进行写入。

偏移地址: 0x10

复位值: 0x0000 0001



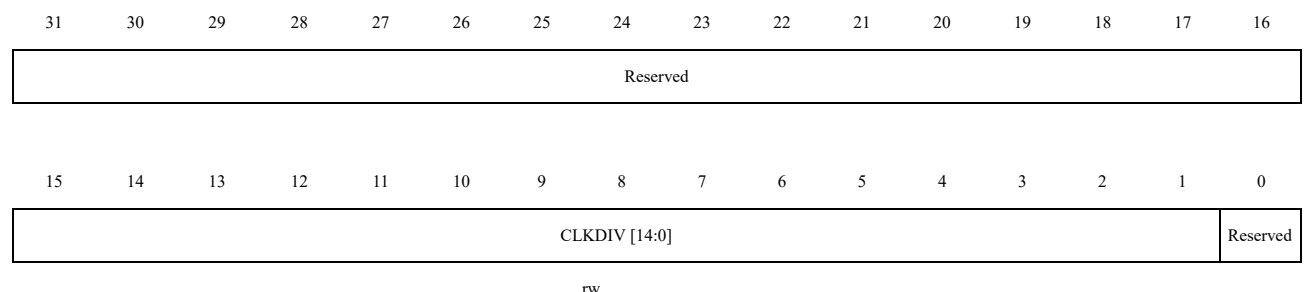
位域	名称	描述
31:4	Reserved	保留, 必须保持复位值
3:0	SEN[3:0]	外部从设备片选使能 该寄存器中的每一位对应不同的从设备选择线, 即 bit0 选择 NSS0 线, bit1 选择 NSS1 线, 传输开始之前设置。 在 XIP 传输开始之前, 设置或清除该寄存器中的位对相应的从机选择输出没有影响。 不工作在广播模式下时, 该寄存器只应设置其中一位。

### 37.4.18.6 xSPI 波特率选择寄存器 (XSPI\_BAUD)

此寄存器仅在 xSPI 配置为主设备时有效。当 xSPI 配置为串行从设备时, 写入该寄存器无效; 读取该寄存器将返回 0。该寄存器用于设定控制数据传输的串行时钟频率。其中的 16 位字段定义了串行时钟 (sclk) 的分频值。当 xSPI 处于使能状态时, 无法对此寄存器进行写入。

偏移地址: 0x14

复位值: 0x0000 0000



位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15:1	CLKDIV [14:0]	时钟分频 如果配置值为 0, 则禁用串行输出时钟, 配置值非 0, 则 xSPI 输出时钟频率

位域	名称	描述
		(FSCK) 由以下等式得出： 串行输出时钟频率 $F_{sclk\_out} = F_{spi\_clk}/BAUDR$ 其中，BAUDR 为 2 至 65534 之间的任意偶数 ( $BAUDR = \{CLKDIV [14:0] \times 2\}$ )。 例如：当 $F_{spi\_clk} = 3.6864 \text{ MHz}$ 且 $BAUDR=2$ 时， $F_{sclk\_out}=3.6864 / 2 = 1.8432 \text{ MHz}$ 。
0	Reserved	保留，必须保持复位值

### 37.4.18.7 xSPI 发送缓存阈值寄存器 (XSPI\_TXFT)

此寄存器控制着发送 FIFO 存储器的阈值。

偏移地址：0x18

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved											TXFTST[4:0]				
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											TXFTTEI[4:0]				
rw															

位域	名称	描述
31:21	Reserved	保留，必须保持复位值
20:16	TXFTST[4:0]	发送 FIFO 开始传输阈值。 当发送 FIFO 中的 word 数据量高于该阈值时，数据开始传输。 在内部 DMA 模式下，此字段用于设置在 FIFO 中至少存在多少数据帧后，xSPI 才会启动传输。 此字段仅在主设备操作模式下有效。
15:5	Reserved	保留，必须保持复位值
4:0	TXFTTEI[4:0]	发送 FIFO 空阈值。 当发送 FIFO 控制器触发中断的条目数量阈值（即条目数低于或等于此值时触发）。FIFO 深度可在 8 至 256 范围内配置；该寄存器的位宽与访问 FIFO 所需的地址位数相匹配。如果尝试将此值设置为大于或等于 FIFO 的深度，则该字段不会被写入，并保持其当前值。当发送 FIFO 中的条目数小于或等于此值时，将触发发送 FIFO 空中断。

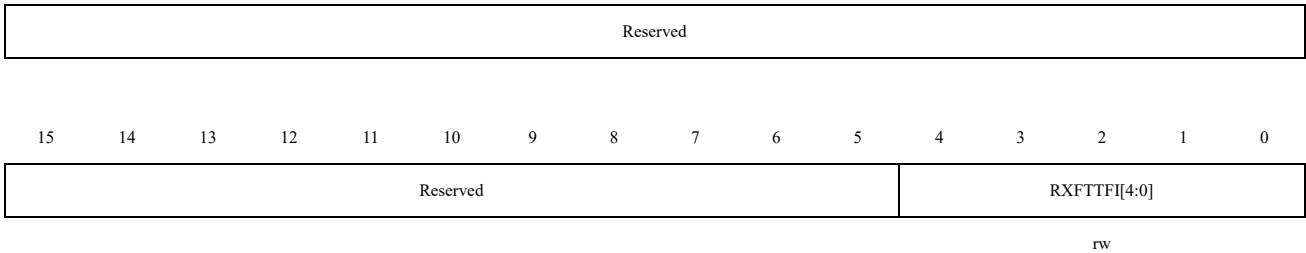
### 37.4.18.8 xSPI 接收缓存阈值寄存器 (XSPI\_RXFT)

此寄存器控制着接收 FIFO 存储器的阈值。

偏移地址：0x1C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----



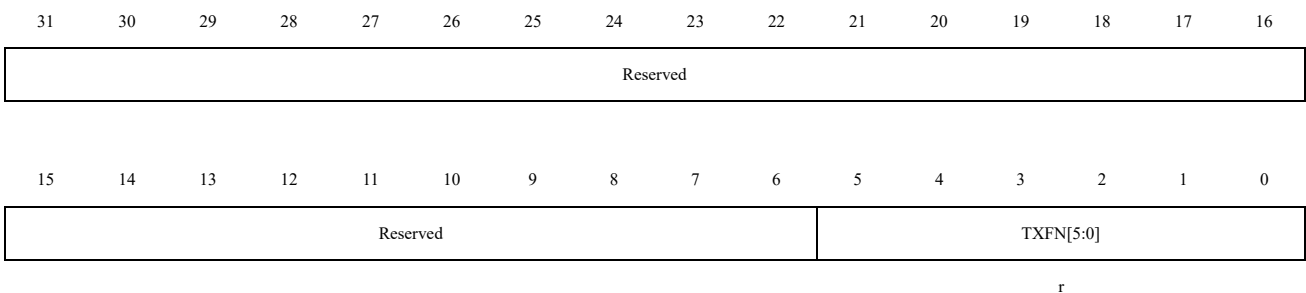
位域	名称	描述
31:5	Reserved	保留，必须保持复位值
4:0	RXFTTFI[4:0]	接收 FIFO 满阈值。 当接收 FIFO 控制器触发中断的条目数量阈值（即条目数达到或超过此值时触发）。FIFO 深度可在 8 至 256 范围内配置。该寄存器的位宽与访问 FIFO 所需的地址位数相匹配。如果尝试将此值设置为大于 FIFO 的深度，则该字段不会被写入，并保持其当前值。当接收 FIFO 中的条目数大于或等于此值加 1 时，将触发接收 FIFO 满中断。

### 37.4.18.9 xSPI 发送缓存数据量寄存器 (XSPI\_TXFN)

该寄存器包含发送 FIFO 存储器中有效数据条目的数量。

偏移地址：0x20

复位值：0x0000 0000

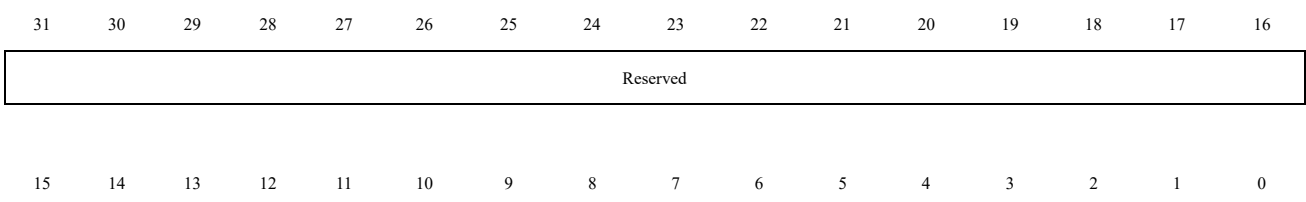


位域	名称	描述
31:6	Reserved	保留，必须保持复位值
5:0	TXFN[5:0]	发送 FIFO 中有效数据的数量

### 37.4.18.10 xSPI 接收缓存数据量寄存器 (XSPI\_RXFN)

偏移地址：0x24

复位值：0x0000 0000



Reserved	RXFN[5:0]
----------	-----------

r

位域	名称	描述
31:6	Reserved	保留，必须保持复位值
5:0	RXFN[5:0]	接收 FIFO 中有效数据的数量

### 37.4.18.11 xSPI 状态寄存器 (XSPI\_STS)

偏移地址：0x28

复位值：0x0000 0006

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CMPLTDDF[16:0]															
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMPLTD DF	Reserved								DCERR	TXE	RXFF	RXFNE	TXFE	TXFNF	BUSY
r									r	r	r	r	r	r	r

位域	名称	描述
31:15	CMPLTDDF[16:0]	已完成的数据帧 指在先前内部 DMA 传输中传输的总数据帧
14:7	Reserved	保留，必须保持复位值
6	DCERR	数据冲突错误。 仅当 xSPI 配置为主设备时有效。当 xSPI 主设备处于传输过程中时，如果从机选择信号输入被其他主设备置位，则该位将被设置。通知处理器最后一次数据传输在完成之前已停止。读取时该位被清除 0：无错误 1：发送数据冲突错误
5	TXE	传输错误。 0：无错误 1：传输错误 传输开始时，如果传输 FIFO 为空，则设置。仅当 xSPI 配置为从设备时才能设置该位。先前传输的数据在传输线路上重新发送。读取时该位被清除。
4	RXFF	Rx FIFO 满 0：Rx FIFO 未满 1：Rx FIFO 满 当 Rx FIFO 完全满时，该位被置位。当 Rx FIFO 包含一个或多个空单元时，该位被清除。
3	RXFNE	Rx FIFO 非空状态 0：Rx FIFO 空状态



位域	名称	描述
		1: Rx FIFO 非空状态 当 Rx FIFO 非空时置位, 当 Rx FIFO 为空时清零。该位可由软件轮询以完全清空接收 FIFO。
2	TXFE	Tx FIFO 空状态 0: Tx FIFO 有数据状态 1: Tx FIFO 空状态 当 Tx FIFO 全为空时, 该位置位。当 Tx FIFO 包含一个或多个有效空间时, 该位被清除。该位不请求中断
1	TXFNF	Tx FIFO 未满足状态 0: Tx FIFO 满足状态 1: Tx FIFO 未满足状态 当 Tx FIFO 包含一个或多个空单元时置位, 当 Tx FIFO 满时清零。
0	BUSY	xSPI 传输忙标志 0: 空闲或禁能 1: 正在主动传输 设置时, 表明串行传输正在进行中; 清零时表示 xSPI 空闲或禁用。

### 37.4.18.12 xSPI 中断屏蔽寄存器 (XSPI\_IMASK)

偏移地址: 0x2C

复位值: 0x0000 00FE

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				DONEM	SPITEM	Reserved	AXIEM	TXUIM	XR XOIM	MSTIM	RXFIM	RXOIM	RXUIM	TXOIM	TXEIM
				r	r			r	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:12	Reserved	保留, 必须保持复位值
11	DONEM	SPI 中断完成中断屏蔽 0: 屏蔽 1: 不屏蔽
10	SPITEM	SPI 传输错误中断屏蔽 0: 屏蔽 1: 不屏蔽
9	Reserved	保留, 必须保持复位值
8	AXIEM	AXI 错误中断屏蔽 0: 屏蔽 1: 不屏蔽

位域	名称	描述
7	TXUIM	发送 FIFO 下溢中断屏蔽 0: 屏蔽 1: 不屏蔽
6	XR XOIM	XIP Rx FIFO 上溢中断屏蔽 0: 屏蔽 1: 不屏蔽
5	MSTIM	多主冲突中断屏蔽 0: 屏蔽 1: 不屏蔽 注: 如果 xSPI 配置为串行主设备, 则该位不存在。
4	RXFIM	Rx FIFO 满中断屏蔽 0: 屏蔽 1: 不屏蔽
3	RXOIM	Rx FIFO 上溢中断屏蔽 0: 屏蔽 1: 不屏蔽
2	RXUIM	Rx FIFO 下溢中断屏蔽 0: 屏蔽 1: 不屏蔽
1	TXOIM	Tx FIFO 上溢中断屏蔽 0: 屏蔽 1: 不屏蔽
0	TXEIM	Tx FIFO 空中断屏蔽 0: 屏蔽 1: 不屏蔽

### 37.4.18.13 xSPI 中断状态寄存器 (XSPI\_ISTS)

偏移地址: 0x30

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				DONEIS	SPITEIS	Reserved	AXIEIS	TXUIS	XR XOIS	MMCIS	RXFFIS	RXFOIS	RXFUIS	TXFOIS	TXFEIS
				r	r		r	r	r	r	r	r	r	r	r

位域	名称	描述
31:12	Reserved	保留, 必须保持复位值
11	DONEIS	SPI 中断完成状态 (中断屏蔽后)

位域	名称	描述
		0: 失效 1: 有效
10	SPITEIS	SPI 传输错误状态 (中断屏蔽后) 0: 失效 1: 有效
9	Reserved	保留, 必须保持复位值
8	AXIEIS	AXI 错误状态 (中断屏蔽后) 0: 失效 1: 有效
7	TXUIS	发送 FIFO 下溢中断状态 (中断屏蔽后) 0: 失效 1: 有效
6	XRROIS	XIP Rx FIFO 上溢状态 (中断屏蔽后) 0: 失效 1: 有效
5	MMCIS	多主冲突状态 (中断屏蔽后) 0: 失效 1: 有效 <i>注: 如果 xSPI 配置为串行从设备, 则该位不使用。</i>
4	RXFFIS	Rx FIFO 满状态 (中断屏蔽后) 0: 失效 1: 有效
3	RXFOIS	Rx FIFO 上溢状态 (中断屏蔽后) 0: 失效 1: 有效
2	RXFUIS	Rx FIFO 下溢状态 (中断屏蔽后) 0: 失效 1: 有效
1	TXFOIS	Tx FIFO 上溢状态 (中断屏蔽后) 0: 失效 1: 有效
0	TXFEIS	Tx FIFO 空状态 (中断屏蔽后) 0: 失效 1: 有效

#### 37.4.18.14 xSPI 原始中断状态寄存器 (XSPI\_RISTS)

偏移地址: 0x34

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

rw      rw      rw

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

Reserved	DONEIR	SPITEIR	Reserved	AXIEIR	TXUIR	XR XORIS	MMCRIS	RXFFRIS	RXFORIS	RXFURIS	TXFORIS	TXFERIS
	r	r		r	r	r	r	r	r	r	r	r

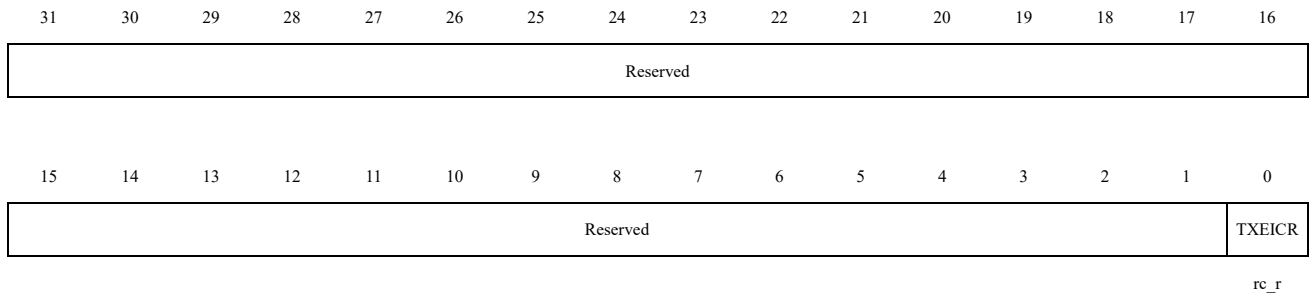
Bit field	Name	Description
31:12	Reserved	保留，必须保持复位值
11	DONEIR	SPI 中断完成状态（在中断屏蔽前的状态） 0: 失效 1: 有效
10	SPITEIR	SPI 传输错误中断状态。 若 SPI 主机未能从从机获取 READY（就绪）状态，则此位会被置 1；随后 SPI 主机会停止 SPI 传输，并且（在写操作场景下）FIFO（先进先出队列）会被清空。 Values: 0: 失效 1: 有效
9	Reserved	保留，必须保持复位值。
8	AXIEIR	AXI 错误中断状态（在中断屏蔽前的状态） 0: 失效 1: 有效
7	TXUIR	发送 FIFO 下溢中断原始状态（在中断屏蔽前的状态） 0: 失效 1: 有效
6	XR XORIS	XIP Rx FIFO 上溢状态（在中断屏蔽前的状态） 0: 失效 1: 有效
5	MMCRIS	多主冲突状态（在中断屏蔽前的状态） 0: 失效 1: 有效
4	RXFFRIS	Rx FIFO 满状态（在中断屏蔽前的状态） 0: 失效 1: 有效
3	RXFORIS	Rx FIFO 上溢状态（在中断屏蔽前的状态） 0: 失效 1: 有效
2	RXFURIS	Rx FIFO 下溢状态（在中断屏蔽前的状态） 0: 失效 1: 有效
1	TXFORIS	Tx FIFO 上溢状态（在中断屏蔽前的状态） 0: 失效 1: 有效
0	TXFERIS	Tx FIFO 空状态（在中断屏蔽前的状态） 0: 失效

Bit field	Name	Description
		1: 有效

### 37.4.18.15 xSPI 发送缓存上/下溢中断清除寄存器 (XSPI\_TXEICR\_CLR)

偏移地址: 0x38

复位值: 0x0000 0000

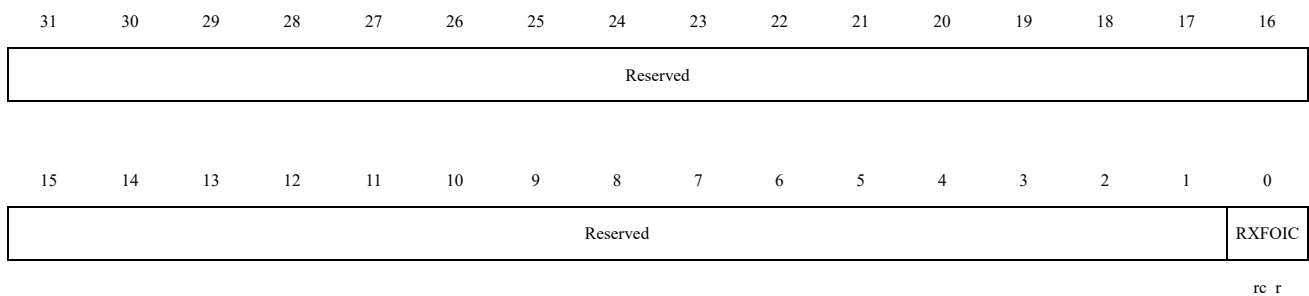


位域	名称	描述
31:1	Reserved	保留, 必须保持复位值
0	TXEICR	清除发送 FIFO 上溢/下溢中断。 读取清除中断; 写入无效

### 37.4.18.16 xSPI 接收缓存上溢中断清除寄存器 (XSPI\_RXFOI\_CLR)

偏移地址: 0x3C

复位值: 0x0000 0000

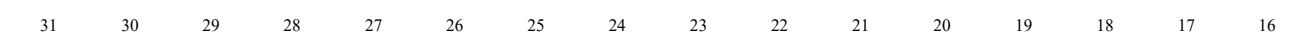


位域	名称	描述
31:1	Reserved	保留, 必须保持复位值
0	RXFOIC	清除接收 FIFO 溢出中断。 读取清除中断; 写入无效

### 37.4.18.17 xSPI 接收缓存下溢中断清除寄存器 (XSPI\_RXFUI\_CLR)

偏移地址: 0x40

复位值: 0x0000 0000



Reserved
----------

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

Reserved	RXFUIC
----------	--------

rc\_r

位域	名称	描述
31:1	Reserved	保留，必须保持复位值
0	RXFUIC	清除接收 FIFO 下溢中断。 读取清除中断；写入无效

### 37.4.18.18 xSPI 多主冲突中断清除寄存器 (XSPI\_MMC\_CLR)

偏移地址：0x44

复位值：0x0000 0000

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

--

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

	MMCIC
--	-------

rc\_r

位域	名称	描述
31:1	Reserved	保留，必须保持复位值
0	MMCIC	清除多主机争用中断。 读取清除中断；写入无效

### 37.4.18.19 xSPI 中断清除寄存器 (XSPI\_ICLR)

偏移地址：0x48

复位值：0x0000 0000

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

--

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

	INTC
--	------

rc\_r

位域	名称	描述
31:1	Reserved	保留，必须保持复位值
0	INTC	清除中断。 以下任何中断处于活动状态，都会设置该寄存器。 读取会清除发送缓存上溢中断、接收缓存上溢中断、接收缓存下溢中断、多主冲突中断。写入无效

### 37.4.18.20 xSPI DMA 控制寄存器 (XSPI\_DMA\_CTRL)

此寄存器仅在以下两种配置下有效：

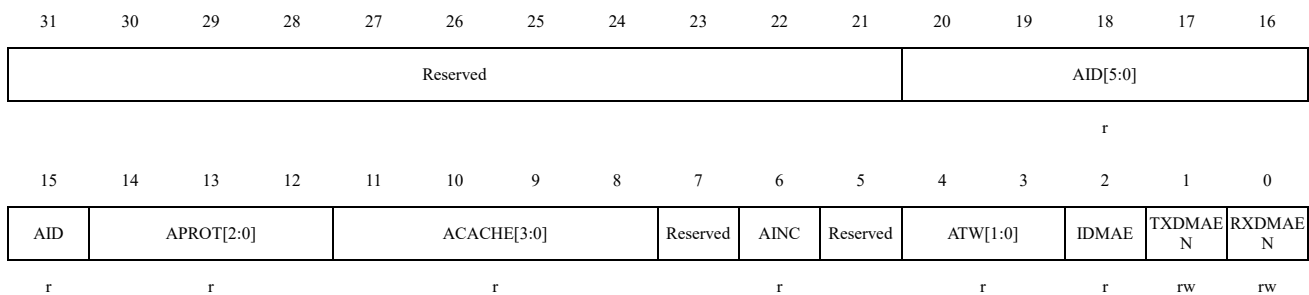
xSPI 配置了一组 DMA 控制器接口信号 (SSIC\_HAS\_DMA = 1)；

xSPI 配置为内部 DMA 操作 (SSIC\_HAS\_DMA = 2)。

当 xSPI 未配置为 DMA 操作时，此寄存器不存在；对该寄存器地址执行写操作将无任何效果，对该寄存器地址执行读操作将返回 0。

偏移地址：0x4C

复位值：0x0000 0000



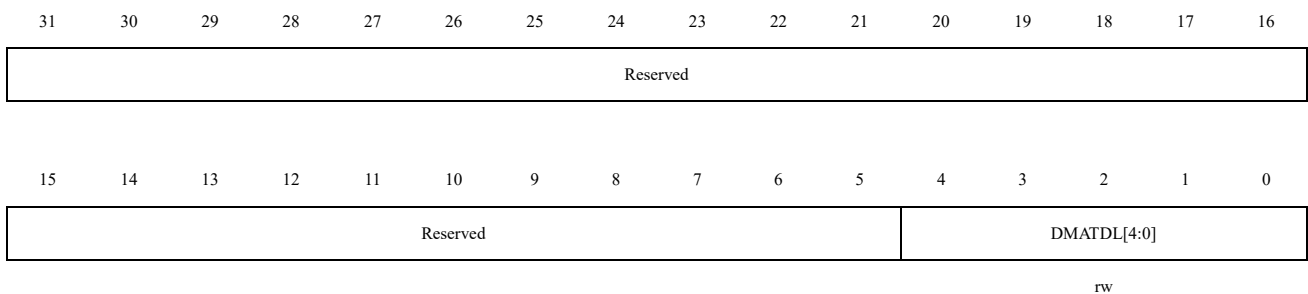
Bit field	Name	Description
31:21	Reserved	保留，必须保持复位值。
20:15	AID[5:0]	AXI awid/arid 信号值
14:12	APROT[2:0]	AXI arprot/awprot 信号值
11:8	ACACHE[3:0]	AXI 协议中 arcache/awcache 信号的值
7	Reserved	保留，必须保持复位值
6	AINC	地址递增 (Address Increment)：指示每次传输时是否递增 AXI 地址 0：不递增 1：递增
5	Reserved	保留，必须保持复位值。
4:3	ATW[1:0]	DMA 传输的 AXI 传输宽度，映射至 arsize/awsize (信号/字段)。此值必须小于或等于 SSIC_AXI_DW (参数/宏定义)。 0x0: 1byte 0x1: 2bytes 0x2: 4bytes 0x3: 8bytes 注意：当 SSIC_AXI_DW 设为 32 位 (即 4 字节) 时，若用户将此字段配置为 0x8

Bit field	Name	Description
		(对应 3 字节), xSPI 会将 AXI 传输的传输宽度强制设为 4 字节。
2	IDMAE	内部 DMA 使能。仅当满足以下两个条件时, 此位才应被启用 XSPI_CTRL0 寄存器的 FRF 位等于 0 (对应摩托罗拉 SPI 模式, Motorola SPI) XSPI_CTRL 寄存器的 SPIFRF 位大于 0
1	TXDMAEN	发送 DMA 使能: .此位用于启用/禁用发送 FIFO 的 DMA 通道。 0: 禁能 1: 使能
0	RXDMAEN	接收 DMA 使能: .此位用于启用/禁用接收 FIFO 的 DMA 通道。 0: 禁能 1: 使能

### 37.4.18.21 xSPI DMA 发送阈值控制寄存器 (XSPI\_DMATDL\_CTRL)

偏移地址: 0x50

复位值: 0x0000 0000

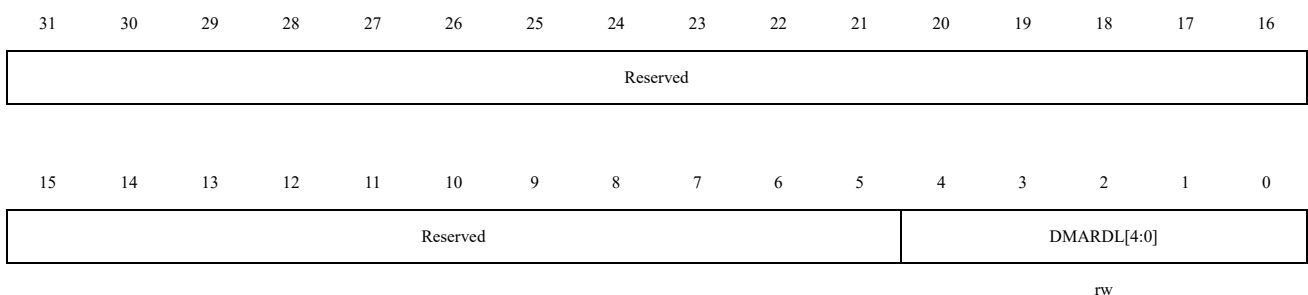


Bit field	Name	Description
31:5	Reserved	保留, 必须保持复位值
4:0	DMATDL[4:0]	发送数据阈值。 当发送 FIFO 中的有效数据条目数等于或低于该字段值且 TXDMAEN = 1 时, 生成发送 FIFO DMA 请求信号

### 37.4.18.22 xSPI DMA 接收阈值控制寄存器 (XSPI\_DMARDL\_CTRL)

偏移地址: 0x54

复位值: 0x0000 0000



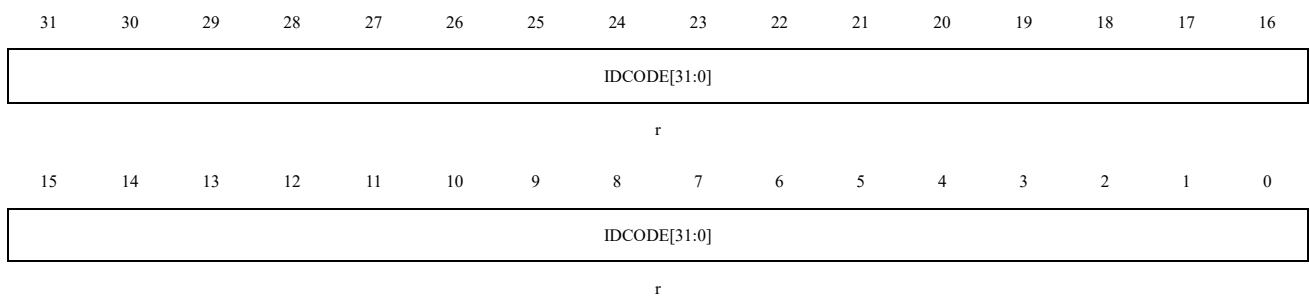


Bit field	Name	Description
31:5	Reserved	保留，必须保持复位值。
4:0	DMARDL[4:0]	接收数据阈值。 数据阈值=DMARDL+1,当接收 FIFO 中有效数据条目的数量等于或大于该字段值+1 且 RXDMAEN=1 时生成接收 FIFO DMA 请求。

### 37.4.18.23 xSPI 识别码配置寄存器 (XSPI\_IDR)

偏移地址: 0x58

复位值: 0xFFFF 3610

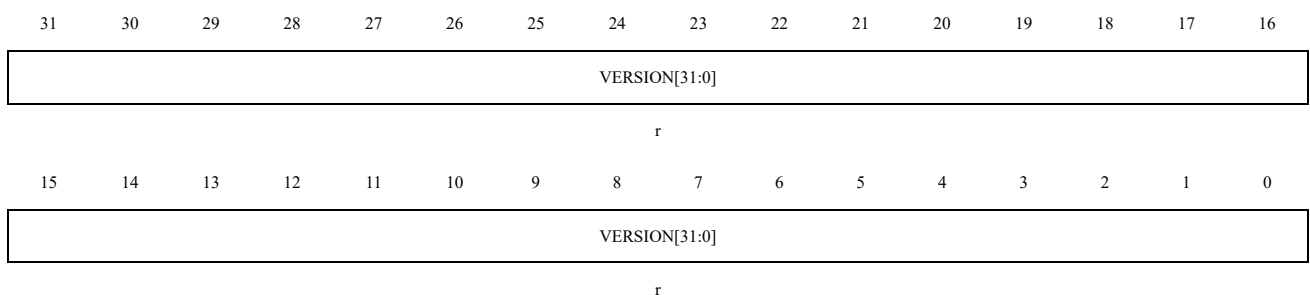


Bit field	Name	Description
31:0	IDCODE[31:0]	识别码。 该寄存器包含外设的识别码，该识别码在配置时使用 CoreConsultant 写入寄存器

### 37.4.18.24 xSPI 组件版本寄存器 (XSPI\_VERSION\_ID)

偏移地址: 0x5C

复位值: 0x3130 332A

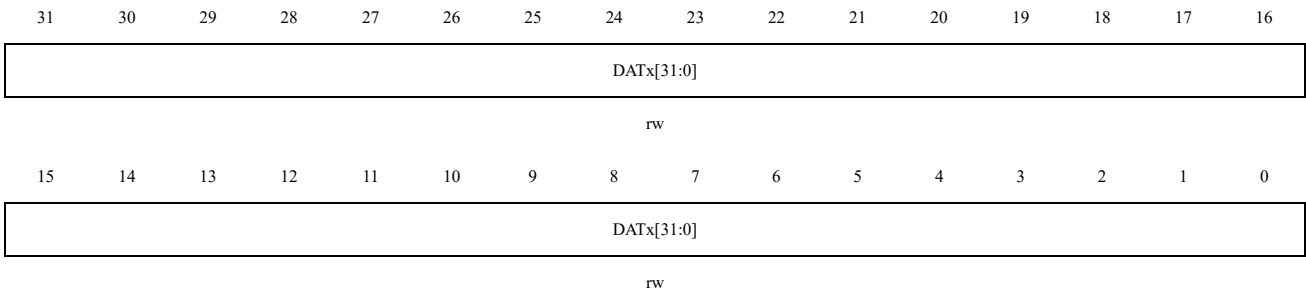


位域	名称	描述
31:0	VERSION [31:0]	包含 Synopsys 组件版本的十六进制表示形式。 由版本中每个数字的 ASCII 值组成，后跟 *。 例如 31_30_33_2A 代表版本 1.03*

### 37.4.18.25 xSPI 数据寄存器 (XSPI\_DATx)

偏移地址: 0x0060+(0~35)\*0x4

复位值: 0x0000 0000

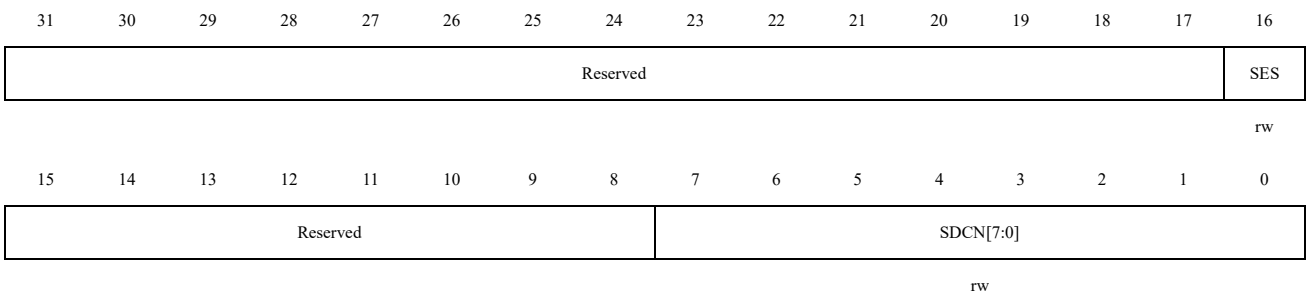


位域	名称	描述
31:0	DATx[31:0]	数据寄存器。 写入该寄存器时需要右对齐数据。读取的数据自动右对齐。 读取 = 接收 FIFO 缓冲区 写入 = 发送 FIFO 缓冲区 注：共 36 个注册地址为 $0x60+(0:31)*0x4$

### 37.4.18.26 xSPI 接收采样延迟寄存器 (XSPI\_RX\_DELAY)

偏移地址：0xF0

复位值：0x0000 0000



位域	名称	描述
31:17	Reserved	保留，必须保持复位值
16	SES	接收数据采样边沿。 该寄存器用于通过时钟决定 RXD 信号的采样沿。 0：上升沿进行采样 1：下降沿进行采样
15:8	Reserved	保留，必须保持复位值
7:0	SDCN[7:0]	接收数据采样延迟。 该寄存器用于延迟接收数据输入端口的采样，每个值代表接收数据的单个时钟延迟。 SES=0 时： 延迟 = $SDCN[7:0]*T_{hclk}$ SES=1 时： 延迟 = $(SDCN[7:0]+0.5)*T_{hclk}$

### 37.4.18.27 xSPI 增强型 SPI 模式控制寄存器 (XSPI\_ENH\_CTRL0)

此寄存器用于增强型 SPI 操作模式下控制串行数据传输。只有当 XSPI\_CTRL0.SPIFRF ≠ 00 时，配置此寄存器才有效。在 XSPI\_EN 寄存器使能后，无法写入此寄存器。

偏移地址：0xF4

复位值：0x0000 0200

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	CLKSTRE N	XIPPREE N	Reserved	XIPMBL[1:0]	RXDSSIG EN	SPIDMEN	Reserved	XIPCTEN	XIPINSTE N	XIPDFSH C	SPIRXDS EN	WRINDD REN	WRSPIDD REN		
	rw	r		r	r	rw		r	r	r	rw	rw	rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WAITCYCLES[4:0]				Reserved	INSTL[1:0]	XIPMDBE N	Reserved	ADDRLEN[3:0]				TRANSTYPE[1:0]			
rw					rw	r		rw				rw			

Bit field	Name	Description
31	Reserved	保留，必须保持复位值。
30	CLKSTREN	时钟延长 在写入的情况下，如果 FIFO 为空，则 xSPI 将拉伸时钟，直到 FIFO 有足够的空间。 在读取的情况下，如果 FIFO 为满，则 xSPI 将停止时钟，直到 FIFO 有足够的空间。
29	XIPPREEN	使能 xSPI 中的 XIP 预取功能 启用此功能后，xSPI 将从下一个连续地址位置预取数据帧，以降低后续连续传输的延迟。若下一个 XIP 请求并非针对连续地址，则已预取的数据将被丢弃。
28	Reserved	保留，必须保持复位值
27:26	XIPMBL[1:0]	XIP 模式位长度 设置 XIP 工作模式下模式位的长度。这些位仅在 XSPI_ENH_CTRL0 的 XIPMDBEN (XIP 模式位使能) 位设置为 1 时才有效。 0x0 (对应标识 MBL_2)：模式位长度为 2 0x1 (对应标识 MBL_4)：模式位长度为 4 0x2 (对应标识 MBL_8)：模式位长度为 8 0x3 (对应标识 MBL_16)：模式位长度为 16
25	RXDSSIGEN	使能 Hyperbus 传输的地址与命令阶段期间的 RXDS 信号 此位用于使能 Hyperbus 从设备在命令 - 地址 (Command-Address, 简称 CA) 阶段的 RXDS 信号。若在传输的 CA 阶段，RXDS 信号被设置为 1，则 xSPI (增强型串行外设接口) 会在地址阶段完成后，传输 (2×XSPI_CTRL0.WAITCYCLES - 1) 个等待周期
24	SPIDMEN	SPI 数据屏蔽使能位 当该位使能时，数据屏蔽信号用于屏蔽发送数据线上的数据。 0：禁能 1：使能
23:22	Reserved	保留，必须保持复位值
21	XIPCTEN	XIP 模式下连续传输使能 使能 XIP 模式下的连续传输功能。若此位设置为 1，则 XIP 模式下的连续传输模式

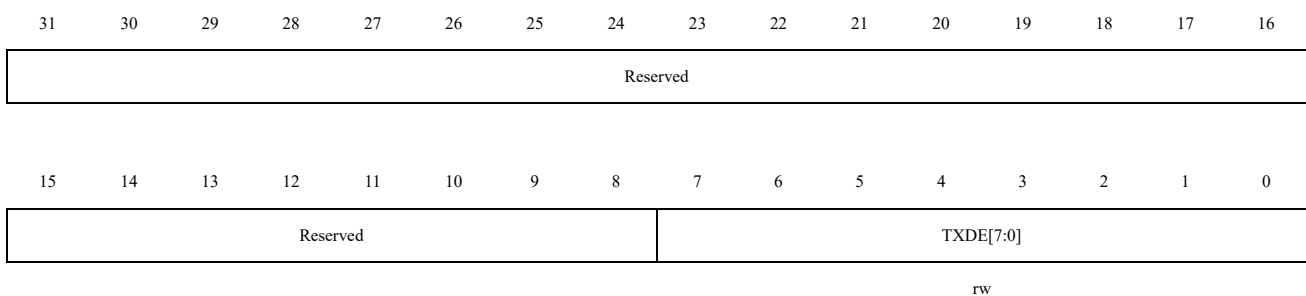
Bit field	Name	Description
		将被启用；在此模式下，xSPI 会保持从设备选中状态，直至 AHB 接口上检测到非 XIP 传输为止。
20	XIPINSTEN	XIP 指令使能位 若此位设置为 1，则 XIP 传输将包含指令阶段。指令操作码将根据 AHB 传输类型，从 XSPI_XIP_INCR_TOC 寄存器或 XSPI_XIP_WRAP_TOC 寄存器中选取。
19	XIPDFSHC	配置 XIP 传输的 DFS 值。 若此位设置为 1，则 XIP 传输的数据帧大小将固定为 XSPI_CTRL0.DFS（XSPI 控制寄存器 0 的 DFS 位）中编程设定的值。待获取的数据帧数量将由 HSIZE（传输大小信号）和 HBURST（突发传输信号）决定。
18	SPIRXDSEN	读取数据选通使能位 一旦该位设置为 1，xSPI 将使用读取数据选通脉冲来捕获 DDR 模式下的读数据。 0：禁能 1：使能
17	WRINDDREN	指令 DDR 使能位 指令阶段启用双数据速率传输。 0：禁能 1：使能
16	WRSPIDDREN	DDR 模式使能 将启用 SPI 的 2/4/8 线模式下所有的双速率传输。 0：禁能 1：使能
15:11	WAITCYCLES[4:0]	2/4/8 线模式等待周期 在控制帧发送和数据接收之间的等待周期，以 SCK 时钟为基准，等待周期为 WAITCYCLES[4:0]*T <sub>SCK</sub> 。
10	Reserved	保留，必须保持复位值
9:8	INSTL[1:0]	2/4/8 线模式指令长度 00：无指令 01：4bit 10：8bit 11：16bit
7	XIPMDBEN	模式位在 XIP 模式下使能。若该位设置为 1，则在 XIP 工作模式下，xSPI 将在地址阶段之后插入模式位。这些模式位在 XSPI_XIP_MODE 寄存器中进行设置。模式位的长度始终固定为 8 位。
6	Reserved	保留，必须保持复位值。
5:2	ADDRLEN[3:0]	要传输的地址长度 0x0：无地址 0x1：4bit 0x2：8bit 0x3：12bit …… 0xD：52bit 0xE：56bit

Bit field	Name	Description
		0xF: 60bit
1:0	TRANSTYPE[1:0]	地址和指令传输格式 00: 标准 SPI 模式 01: 指令以标准 SPI 模式发送, 地址以 XSPI_CTRL0.SPIFRF 指定模式发送 10: 指令和地址以 XSPI_CTRL0.SPIFRF 指定模式发送 11: 保留

### 37.4.18.28 xSPI 发送驱动边沿寄存器 (XSPI\_DDR\_TXDE)

偏移地址: 0xF8

复位值: 0x0000 0000

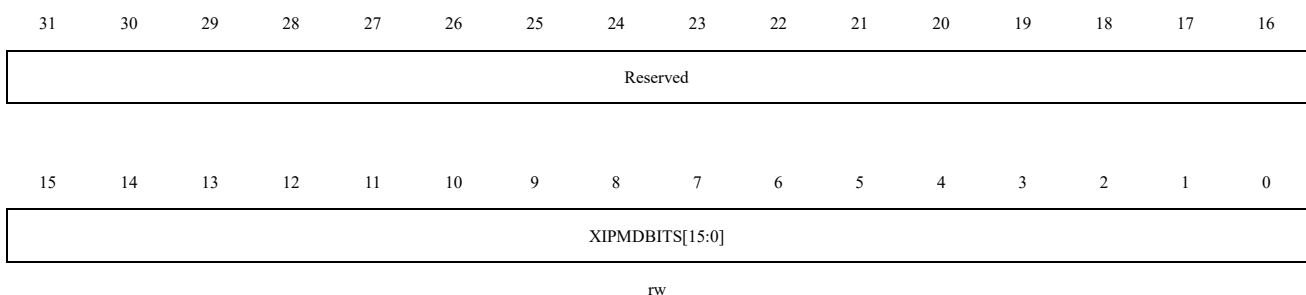


Bit field	Name	Description
31:8	Reserved	保留, 必须保持复位值
7:0	TXDE[7:0]	发送驱动边沿 决定 DDR 模式下内核时钟发送数据的驱动边沿, 该寄存器的最大值= $(XSPI\_BAUD/2) - 1$ 。

### 37.4.18.29 xSPI XIP 模式位寄存器 (XSPI\_XIP\_MODE)

偏移地址: 0xFC

复位值: 0x0000 0000

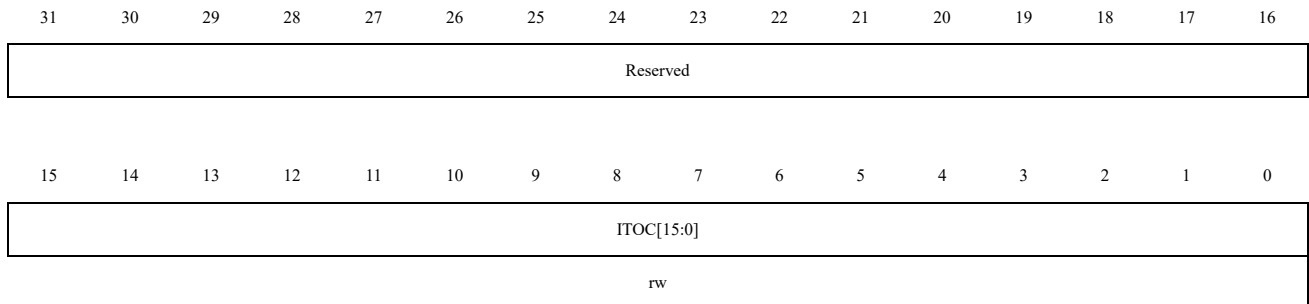


位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15:0	XIPMDBITS[15:0]	XIP 模式位 在 XIP 传输的地址阶段后发送的模式位。

### 37.4.18.30 xSPI XIP INCR 传输操作码寄存器 (XSPI\_XIP\_INCR\_TOC)

偏移地址: 0x100

复位值: 0x0000 0000

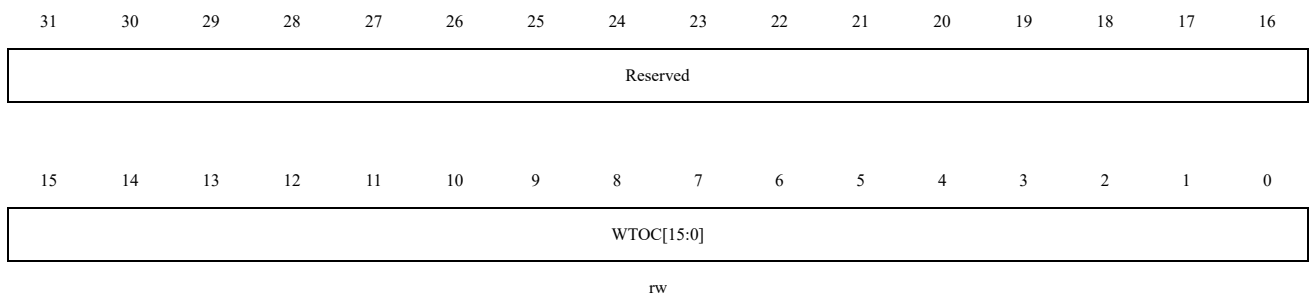


位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15:0	ITOC[15:0]	XIP_INCR 传输操作码 当 XSPI_XIP_CTRL.XIPINSTEN=1, 发送 XIP INCR 类型传输指令码。指令阶段要发送的位数由 XSPI_ENH_CTRL0.INSTL 字段确定。

### 37.4.18.31 xSPI XIP WRAP 传输操作码寄存器 (XSPI\_XIP\_WRAP\_TOC)

偏移地址: 0x104

复位值: 0x0000 0000



位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15:0	WTOC[15:0]	XIP_WRAP 传输操作码 当 XSPI_XIP_CTRL.XIPINSTEN=1, 发送 XIP WRAP 类型传输指令码。指令阶段要发送的位数由 XSPI_ENH_CTRL0.INSTL 字段确定。

### 37.4.18.32 xSPI XIP 控制寄存器 (XSPI\_XIP\_CTRL)

偏移地址: 0x108

复位值: 0x0800 0402



Reserved	XIPPREEN	Reserved	XIPMBL[1:0]	RXDSSIGEN	XIPHYPEEN	XIPCTEN	XIPINSTEN	RXDSEN	WRINDDREN	DDREN	DFSHC	WAITCYCLES[4:0]			
	rw		rw	r	r	rw	rw	rw	rw	rw	rw	rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WAITCYCLES[4:0]	MDBITSEN	Reserved	INSTL[1:0]	Reserved	ADDRL[3:0]			TRANSTYPE[1:0]	FRF[1:0]						
rw	rw		rw		rw			rw	rw						

Bit field	Name	Description
31:30	Reserved	保留，必须保持复位值
29	XIPPREEN	启用 XIP 预取功能。 一旦启用，xSPI 将从下一个连续位置预取数据帧，以减少即将到来的连续传输的延迟。如果下一个 XIP 请求不连续，则预取的位将被丢弃。 0: 禁能 1: 使能
28	Reserved	保留，必须保持复位值
27:26	XIPMBL[1:0]	XIP 模式下 Mode bits 位宽 00: 2 01: 4 10: 8 11: 16 仅当 XSPI_XIP_CTRL.MDBITSEN 设置为 1 时有效。
25	RXDSSIGEN	Hyperbus 传输下地址和命令阶段读数据选通信号 RXDS 启用。 如果在命令地址阶段传输过程中将 RXDS 信号设置为 1，则在地址阶段完成后发送 (2* WAITCYCLES-1)个等待周期。 0: 禁能 1: 使能
24	XIPHYPEEN	XIP 模式下 Hyperbus 帧格式使能。 该位仅在 XSPI_CTRL0.FRFB 设置为 0x00（摩托罗拉 SPI 帧格式）时有效 0: 禁能 1: 使能
23	XIPCTEN	XIP 模式下启用连续传输 如果该位设置为 1，则将启用 XIP 中的连续传输模式，在此模式下，xSPI 将保持从机选择状态，直到在 AHB 接口上检测到非 XIP 传输。 0: 禁能 1: 使能
22	XIPINSTEN	XIP 指令使能。 使能后 XIP 传输也将具有指令阶段。指令操作码将根据 AHB 传输类型从 XSPI_XIP_INCR_TOC 或 XSPI_XIP_WRAP_TOC 寄存器中选择。 0: 禁能 1: 使能
21	RXDSEN	读取数据选通使能位。 一旦该位设置为 1，xSPI 将使用读数据选通脉冲(RXDS)来捕获 DDR 模式下的读

Bit field	Name	Description
		数据 0: 禁能 1: 使能
20	WRINDDREN	指令双速率传输使能 将为指令阶段启用双速率传输。 0: 禁能 1: 使能
19	DDREN	SPI DDR 模式使能 将启用 SPI 的 2/4/8 线模式下所有的双速率传输。
18	DFSHC	固定 XIP 传输的 DFS 0: XIP 数据帧 SIZE 取决于 AHB 总线的 HSIZE 1: XIP 数据帧 SIZE 取决于 XSPI_CTRL0.DFS 的配置
17:13	WAITCYCLES[4:0]	2/4/8 线等待周期 在控制帧发送和数据接收之间的等待周期，以 SCK 时钟为周期。
12	MDBITSEN	XIP Mode bits 使能 使能后 XIP 传输将在 Address 阶段后插入 Mode bits。这些位在 XSPI_XIP_MODE 寄存器中设置。 0: 禁能 1: 使能
11	Reserved	保留，必须保持复位值
10:9	INSTL[1:0]	2/4/8 线模式指令长度 00: 无指令 01: 4bit 10: 8bit 11: 16bit
8	Reserved	保留，必须保持复位值
7:4	ADDRL[3:0]	要传输的地址长度 0x0: 无地址 0x1: 4bit 0x2: 8bit 0x3: 12bit ..... 0xE: 56bit 0xF: 60bit
3:2	TRANSTYPE[1:0]	地址和指令传输格式 00: 标准 SPI 模式 01: 指令以标准 SPI 模式发送，地址以 XSPI_XIP_CTRL.FRF[1:0]制定模式发送 10: 指令和地址以 XSPI_XIP_CTRL.FRF[1:0]制定模式发送 11: 保留
1:0	FRF[1:0]	收发数据帧格式选择 00: 保留 01: 2 线



Bit field	Name	Description
		10: 4 线 11: 8 线

### 37.4.18.33 xSPI XIP 从设备使能寄存器 (XSPI\_XIP\_SLAVE\_EN)

使能 XSPI\_EN.XSPIEN, XSPI\_XIP\_SLAVE\_EN 寄存器才会被启用, 用于外部从设备选择使能片选。

偏移地址: 0x10C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												SEN[3:0]			
rw															

Bit field	Name	Description
31:4	Reserved	保留, 必须保持复位值
3:0	SEN[3:0]	外部从设备片选使能 该寄存器中的每一位对应不同的从设备选择线, 传输开始之前设置。 当该寄存器中的某个位被设置 1 且 XIP 传输开始时, 来自主设备的相应从设备选择线将被激活。在 XIP 传输开始之前, 设置或清除该寄存器中的位对相应的从机选择输出没有影响。在开始传输之前, 应该启用与主设备想要通信的从设备对应的寄存器中的位。 当不工作在广播模式下时, 该字段中只应设置一位

### 37.4.18.34 xSPI XIP 接收缓存上溢中断清除寄存器 (XSPI\_XIP\_RXFOI\_CLR)

偏移地址: 0x110

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														XRIFOIC	
rw															

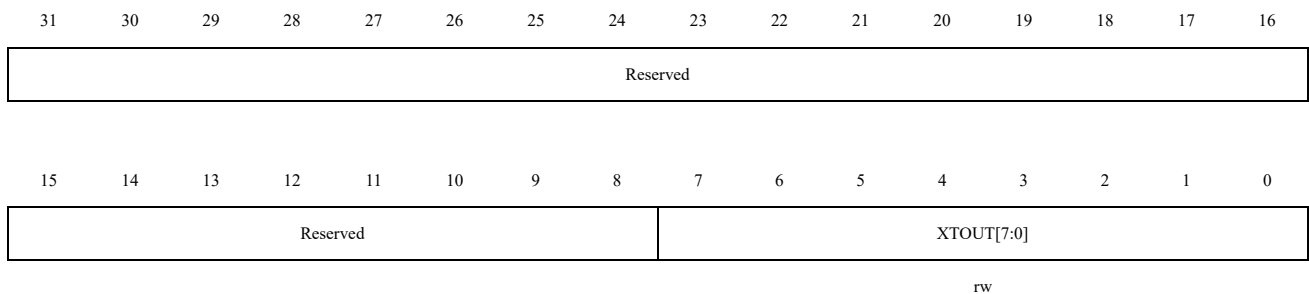
位域	名称	描述
31:1	Reserved	保留, 必须保持复位值

位域	名称	描述
0	XRIFOIC	清除 XIP 接收 FIFO 上溢中断。 读取会清除中断；写入无效

### 37.4.18.35 xSPI XIP 连续传输超时寄存器 (XSPI\_XIP\_TOUT)

偏移地址: 0x114

复位值: 0x0000 0000

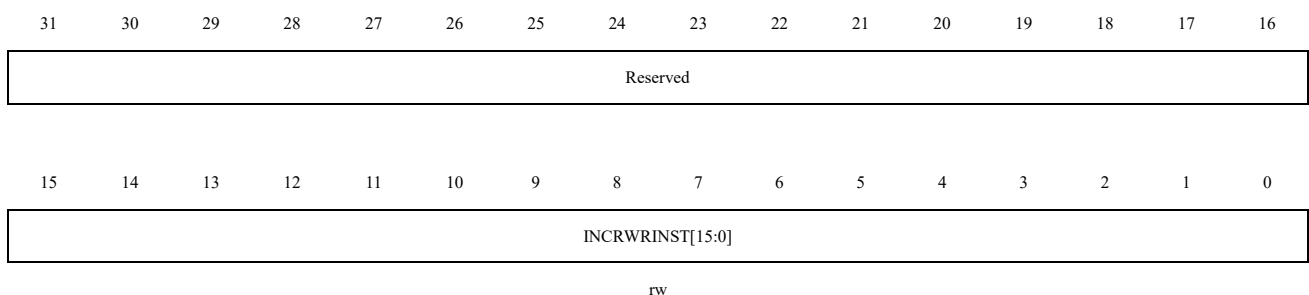


位域	名称	描述
31:8	Reserved	保留, 必须保持复位值
7:0	XTOUT[7:0]	XIP 连续传输超时时间配置 以 AHB 为单位的 XIP 超时时间。一旦在连续 XIP 模式中选择了从机, 如果没有请求的时间超出了该计数器指定时间, 将取消从机选择。

### 37.4.18.36 xSPI XIP 写 INCR 传输操作码寄存器 (XSPI\_XIP\_WRITE\_INCR\_INST)

偏移地址: 0x140

复位值: 0x0000 0000

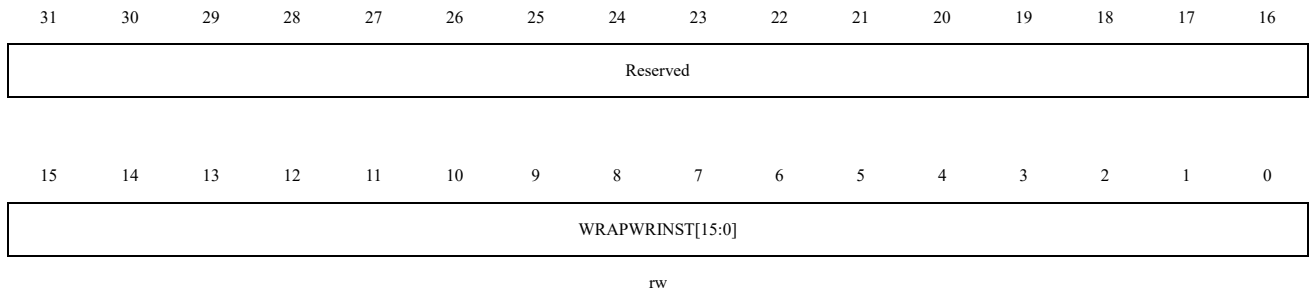


位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15:0	INCRWRINST[15:0]	XIP 写入 INCR 传输操作码。 当 XIP_WRITE_CTRL.WRINSTL 不等于 0 时, xSPI 发送所有 XIP 写传输的指令, 该寄存器字段存储在 AHB 总线上请求 INCR 类型 XIP 写传输时要发送的指令操作码。 指令阶段要发送的位数由 XIP_WRITE_CTRL.WRINSTL 确定。

### 37.4.18.37 xSPI XIP 写 WRAP 传输操作码寄存器 (XSPI\_XIP\_WRITE\_WRAP\_INST)

偏移地址: 0x144

复位值: 0x0000 0000

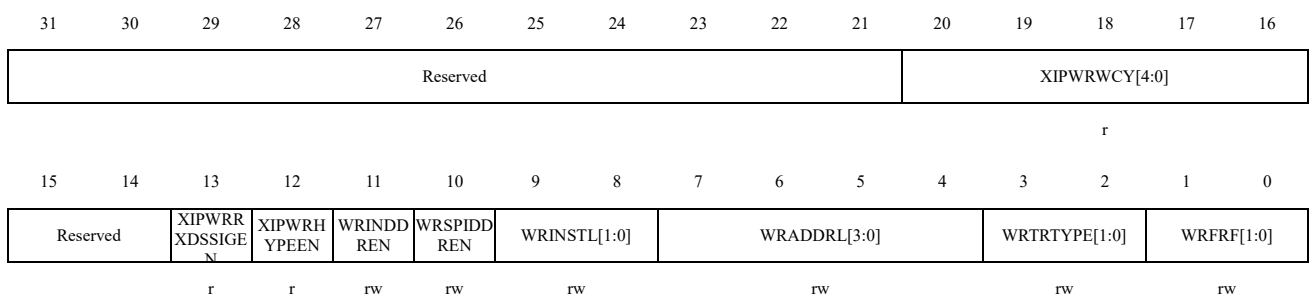


位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15:0	WRAPWRINST[15:0]	XIP 写入 WRAP 传输操作码。 当 XIP_WRITE_CTRL.WRINSTL 不等于 0 时, xSPI 发送所有 XIP 写传输指令, 该寄存器字段存储在 AHB 总线上请求 WRAP 类型 XIP 写传输时要发送的指令操作码。 指令阶段要发送的位数由 XIP_WRITE_CTRL.WRINSTL 确定。

### 37.4.18.38 xSPI XIP 写控制寄存器 (XSPI\_XIP\_WRITE\_CTRL)

偏移地址: 0x148

复位值: 0x0000 0072



Bit field	Name	Description
31:21	Reserved	保留, 必须保持复位值.
20:16	XIPWRWCY[4:0]	双线/四线/八线模式下控制帧发送与数据接收之间的等待周期以 SPI 时钟周期数来指定 (该等待周期的时长)。
15:14	Reserved	保留, 必须保持复位值
13	XIPWRRXDSSIGEN	使能 Hyperbus 传输的地址与命令阶段期间的 RXDS 信号 此位用于使能 Hyperbus 从设备在命令 - 地址 (Command-Address, 简称 CA) 阶段的 RXDS 信号。若在传输的 CA 阶段, RXDS 信号被设置为 1, 则 xSPI (增强型串行外设接口) 会在地址阶段完成后, 传输 (2×XSPI_XIP_WRITE_CTRL.

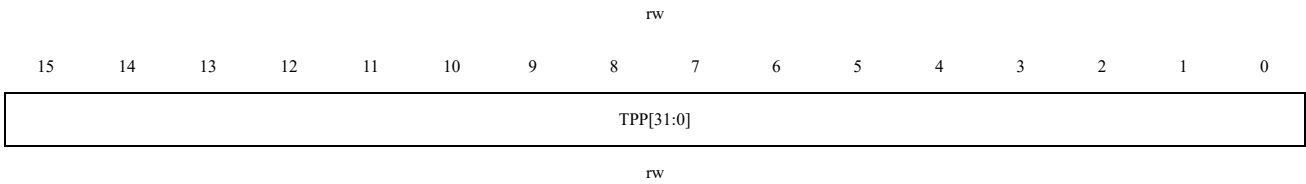
Bit field	Name	Description
		XIPWRWCY - 1) 个等待周期。
12	XIPWRHYPEEN	XIP 写传输的 SPI Hyperbus 帧格式使能 用于选择 XIP (原地执行) 写传输的数据帧格式是否为 Hyperbus 模式。该字段仅在 XSPI_CTRL0.FRF (XSPI 控制寄存器 0 的帧格式字段) 设置为 SPI 帧格式时生效。
11	WRINDDREN	指令 DDR 使能位 为指令阶段启用双数据速率传输
10	WRSPIDDREN	SPI DDR 使能位 实现 SPI 2/4/8 帧格式的双数据速率传输
9:8	WRINSTL[1:0]	2/4/8 模式指令长度 (以位为单位)。 00: 无指令 01: 4 位指令长度 10: 8 位指令长度 11: 16 位指令长度
7:4	WRADDRL[3:0]	定义要传输的地址长度 0000: 保留 0001: 4 位地址长度 0010: 8 位地址长度 0011: 12 位地址长度 0100: 16 位地址长度 0101: 20 位地址长度 0110: 24 位地址长度 0111: 28 位地址长度 1000: 32 位地址长度
3:2	WRTRTYPE[1:0]	地址和指令传输格式。 00: 指令和地址以标准 SPI 模式下发送。 01: 指令以标准 SPI 模式发送, 地址将 XIP_WRITE_CTRL.WRFRF 指定的模式发送。 10: 指令和地址以 XIP_WRITE_CTRL.WRFRF 指定的模式发送。 11: 保留
1:0	WRFRF[1:0]	SPI 帧格式 00: 保留 01: 2 线 SPI 格式 10: 4 线 SPI 格式 11: 8 线 SPI 格式

### 37.4.18.39 xSPI XIP 写时序寄存器 (XSPI\_XIP\_WRITE\_TIMING)

偏移地址: 0x0180

复位值: 0x0000 0072

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TPP[31:0]															

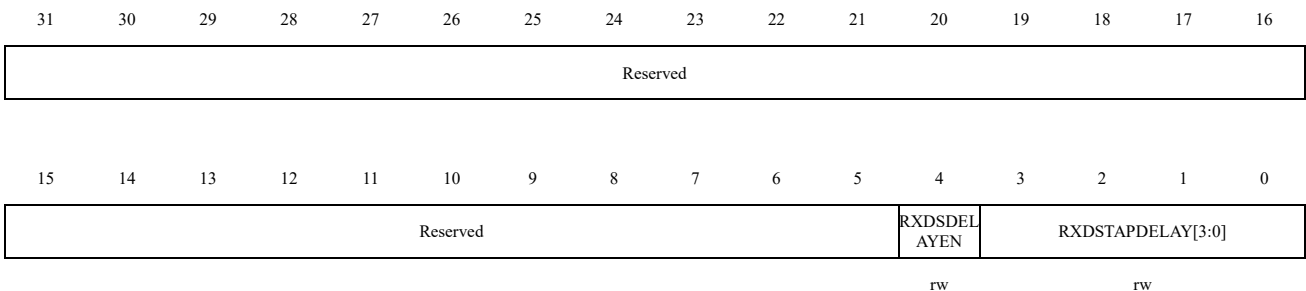


Bit field	Name	Description
31:0	TPP[31:0]	<p>序寄存器用于指示闪存页面编程时间（tpp）。</p> <p>该值的设置必须参考 tpp_clk 时钟的频率。例如，若 tpp_clk 时钟频率为 16MHz（即周期为 62.5 纳秒），且页面编程时间为 1250 微秒，则 TPP 寄存器的值应设为 20000（十六进制表示为 32'h4E20）。</p> <p>在执行任何 XIP（原地执行）写操作前，必须设置 TPP 寄存器的值。对于 XIP 写突发传输，xSPI（增强型串行外设接口）会检测写突发传输的终止信号。在写突发传输的最后一个节拍时，xSPI 会在 AHB（高级高性能总线）上插入等待状态（WAIT state），直至闪存页面编程时间结束。</p>

### 37.4.18.40 xSPI RXDS 延时线寄存器（XSPI\_RXDS\_DELAY\_CTRL）

偏移地址：0x0184

复位值：0x0000 0017



Bit field	Name	Description
31:5	Reserved	保留，必须保持复位值。
4	RXDSDELAYEN	<p>1：启用 RXDS 延迟线</p> <p>0：旁路 RXDS 延迟线</p> <p>当启用（该功能）时，输入信号 RXDS 将经过延迟线。RXDS 会被延迟，以实现与 DDR（双倍数据速率）输入数据的近似中心对齐。当禁用（该功能）时，输入的 RXDS 信号将直接用于捕获 DDR 输入数据。在此情况下，电路板需在一定程度上具备适当的延迟，以实现 DDR 输入数据的中心对齐。</p>
3:0	RXDSTAPDELAY[3:0]	<p>RXDS 延迟线是由延迟单元（delay cells）构成的 16 抽头延迟线（16 tapped delay）。每个抽头对应的延迟单元可产生 0.4 纳秒（ns）至 0.6 纳秒（ns）范围内的延迟。用户需根据 DDR（双倍数据速率）输入时序，选择合适的延迟，使 RXDS 信号与数据捕获时刻实现接近中心对齐（nearly center align）。若 RXDS 使能位（RXDSDELAYEN）为 1，则 RXDS 抽头延迟值（RXDSTAPDELAY）设为 0 时，将产生 1 个抽头的延迟。</p>



## 38 灵活的外部存储控制器（FEMC）

FEMC 使用由英国 ARM 公司制作的 Core Link FEMC-353 AXI 静态存储控制器 (SMC) IP 核。有关该控制器的更多信息，可以在 ARM 公司网站上找到 (<http://www.arm.com>)。

### 38.1 介绍

灵活外部存储器控制器 (FEMC) 用于访问各种外部存储器，可根据应用需求方便地扩展不同类型的大容量静态存储器。它可以在不增加外部接口的情况下同时扩展多种类型的静态存储器。所有外部存储器共享 FEMC 控制器输出的地址、数据和控制信号，FEMC 通过唯一的片选信号来区分不同的外部设备。

### 38.2 主要功能

FEMC 支持的主要功能如下所示：

#### 通用功能：

- 26 位外部地址线
- 8 位、16 位或 32 位外部数据宽度可配置
- 最高支持 100MHz 时钟频率
- 支持两种存储器接口：SRAM 接口（4 个片选）和 NAND 接口（2 个片选）
- 时序可编程以支持不同设备
- 外部异步等待控制
- 支持 DMA 访问
- 支持软件复位
- 写 FIFO，深度为 16x32 位
- 读 FIFO，深度为 16x72 位

#### SRAM 接口：

- 支持 1 个内存区域，最高 256MB，包含 4 块 x 512 位（64MB）
- 支持下列设备的扩展：
  - ◇ SRAM
  - ◇ PSRAM
  - ◇ ROM
  - ◇ NOR Flash
  - ◇ LCD (8080/6800)
- 可配置为 16 位或 32 位外部数据宽度
- 每个存储区都有独立的片选信号线
- 每个存储区可独立配置

- 支持突发模式，加快对 NOR Flash、PSRAM 等同步设备的访问速度
- 定时可编程，以支持不同的设备
- 写使能和字节通道选择输出，可用于 PSRAM、SRAM 设备
- 外部异步等待控制
- 异步模式
- 同步突发模式
- 地址/数据总线复用可配置

#### NAND 接口：

- 支持 2 个存储区域，每个区域为 256MB
- 外部数据宽度可配置为 8 位或 16 位
- 每个存储区域都有独立的片选信号
- 每个存储区域的参数可独立配置
- 读写时序可独立配置
- 外部异步等待控制
- 支持硬件 1 位 ECC，ECC 页大小可配置，最大为 2K 字节

### 38.3 框图

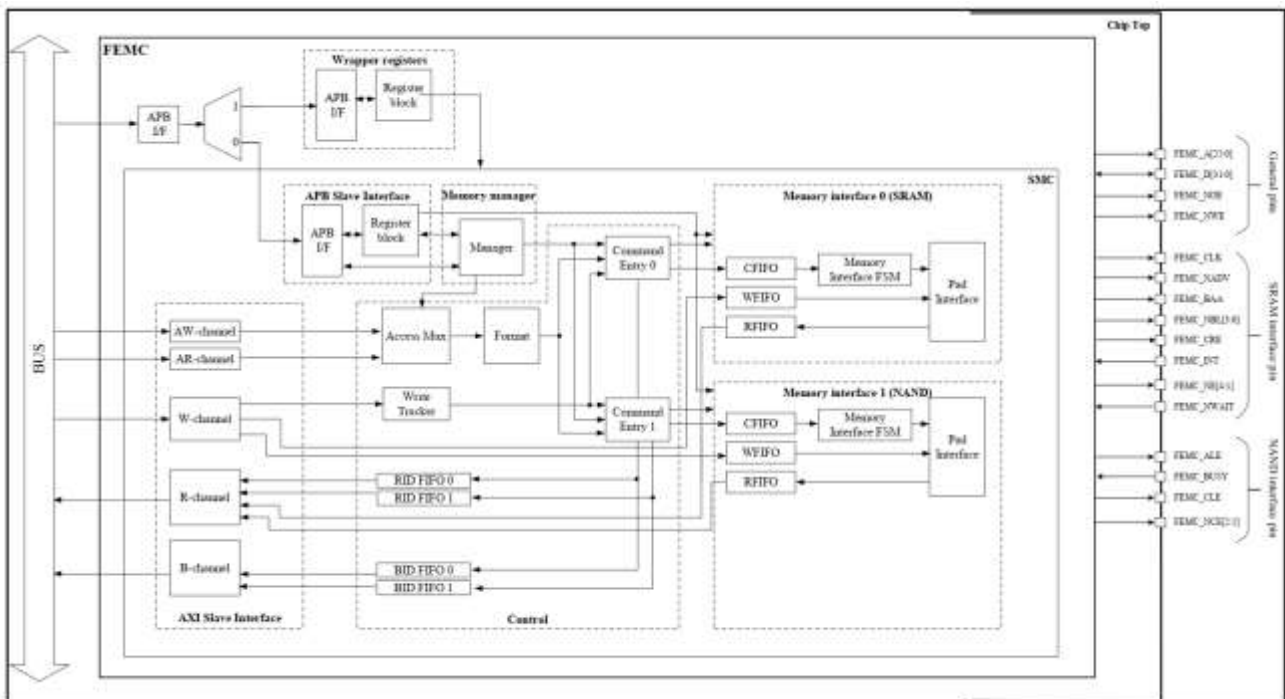
FEMC 由五个模块组成：

- AXI 接口
- FEMC 配置寄存器
- NOR 闪存和 PSRAM 控制器
- NAND 闪存控制器
- 外部设备接口

FEMC 框图如下：



图 38-1 FEMC 框图



## 38.4 引脚定义

表 38-1 显示了 SRAM 和 NAND 使用的引脚及其对应功能。

表 38-1 FEMC 引脚定义

引脚名称	IO 类型	接口类型	描述
FEMC_A[25:0]	输出	共享	地址线
FEMC_D[31:0]	输出\输入	共享	数据线
FEMC_NOE	输出	共享	输出使能信号
FEMC_NWE	输出	共享	写使能信号
FEMC_CLK	输出	SRAM	内存时钟输出信号
FEMC_NADV	输出	SRAM	地址有效信号
FEMC_BAA	输出	SRAM	Burst 地址自动递增信号
FEMC_NBL[3:0]	输出	SRAM	字节通道选通信号
FEMC_CRE	输出	SRAM	配置寄存器写访问信号
FEMC_INT	输入	SRAM	中断输入信号
FEMC_NE[4:1]	输出	SRAM	片选信号 (4 个设备)
FEMC_NWAIT	输入	SRAM	Wait 信号
FEMC_ALE	输出	NAND	地址锁存信号
FEMC_BUSY	输入	NAND	Busy 信号
FEMC_CLE	输出	NAND	命令锁存信号
FEMC_NCE[2:1]	输出	NAND	片选信号 (2 个设备)

## 38.5 时钟和复位

FEMC 有 4 个时钟域：

- APB 总线域：用于 APB 寄存器配置。最高时钟频率为 150Mhz。
- AXI 总线域 (aclk)：用于 AXI 传输访问。最高时钟频率为 300Mhz。
- SRAM 接口域 (mclk0)：用于存储器接口 0 (SRAM/PSRAM/NOR Flash) 的访问。最高时钟频率为 100Mhz。该域包括内存时钟的反相版本、提供给外部存储设备的输出时钟和来自 pad 的反馈时钟
- NAND 接口域 (mclk1)：用于访问内存接口 1 (NAND Flash)。最高时钟频率为 100Mhz。该域包括内存时钟的反相版本

可编程配置内存时钟和 AXI 时钟之间的同步或异步：

### 同步时钟

同步时钟的优势在于，可以通过移除时钟域之间的同步寄存器来减少读写延迟，但是由于时钟之间存在整数关系，外部存储器时钟速度对总线频率的限制，可能无法实现系统的最高性能。

在同步时钟模式下，aclk 和 mclk<x>时钟域之间的握手使两个时钟能够以彼此的倍数（即 n:1 和 1:m 的比率）同步运行。时钟的同步运行比率可以是 1:1、n:1 或 1:n。

### 异步时钟

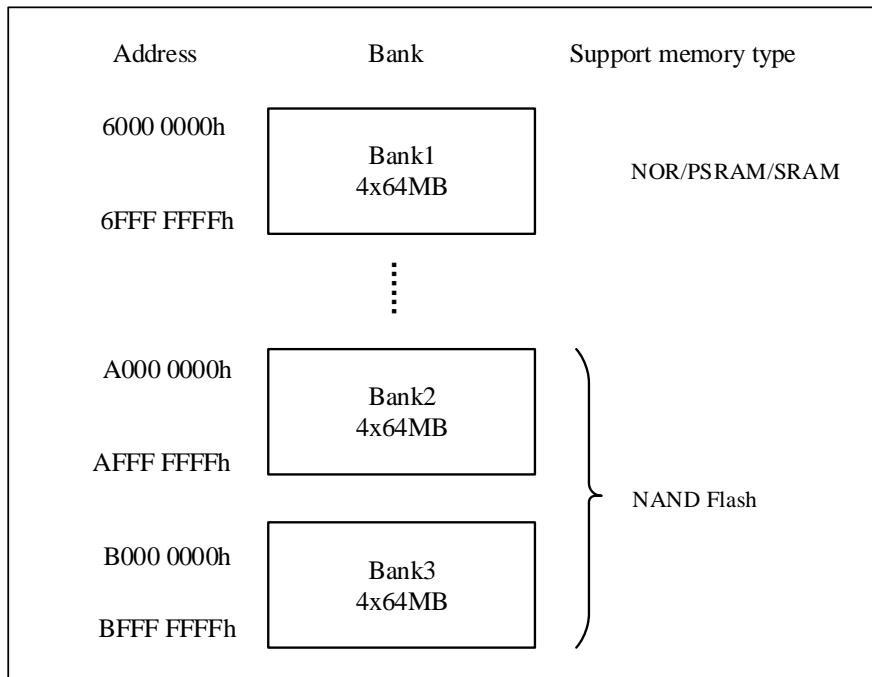
异步时钟的主要优势在于，可以最大限度地提高系统性能，同时以固定的系统频率运行内存接口。此外，在系统不需要执行大量工作的睡眠模式下，可以降低频率以降低功耗。

## 38.6 外部设备地址映像

FEMC 把外部存储器划分为固定大小的三个 Bank，其中 Bank1 又分为 4 个区域，每个区域占 64M 字节，总共 256M 字节。Bank2 和 Bank3 大小分别为 256M，见下图。

- Bank1 用于访问 NOR 闪存或 SRAM/PSRAM 存储设备。这个存储区被划分为 4 个 NOR/PSRAM 区并有 4 个专用的片选，所以 BANK1 最多可以访问四个外部存储设备。
- Bank2 和 Bank3 用于访问 NAND 闪存设备，每个 Bank 可以连接一个 NAND 闪存。

每一个 Bank 或 Region 上的存储器类型都能进行独立的配置，由用户在相应配置寄存器中定义。

**图 38-2 FEMC 存储块**


## 38.7 内存控制操作

### 38.7.1 芯片配置寄存器

FEMC 提供了一种机制，用于将操作模式的切换与存储器设备的切换同步。

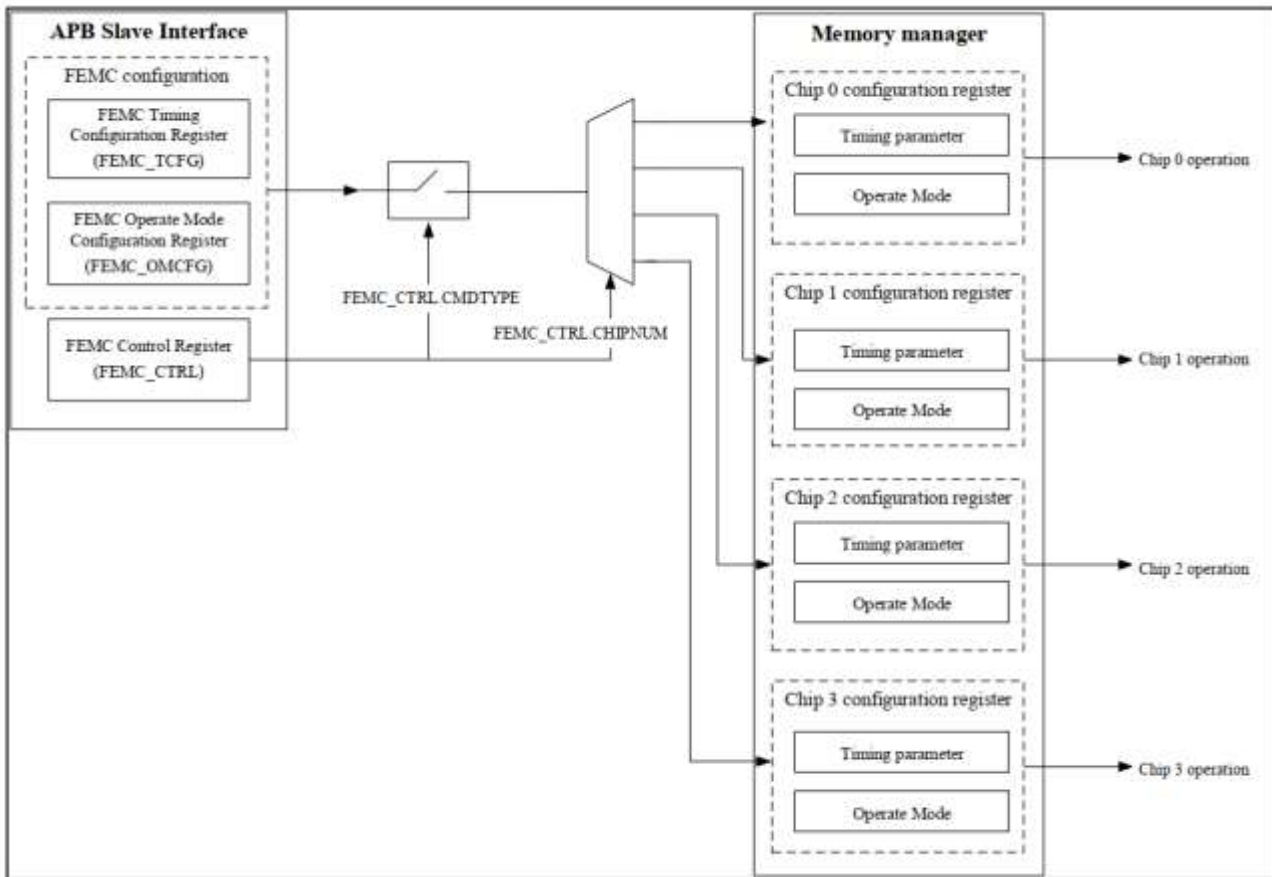
FEMC 时序配置寄存器 (FEMC\_TCFG) 和 FEMC 工作模式配置寄存器 (FEMC\_OPCFG) 用作新工作参数的保持寄存器，直到 FEMC 检测到存储设备已切换模式。这使得存储设备能够在仍在访问的情况下更改其工作模式。

图 38-3 显示了内存管理器，其中包含 FEMC 支持的每个内存芯片的一组配置寄存器。管理器寄存器组包含所有时序参数和操作模式。这些参数是 FEMC 正确定时访问所支持内存类型的必要条件。

APB 寄存器 FEMC 时序配置寄存器 (FEMC\_TCFG) 和 FEMC 工作模式配置寄存器 (FEMC\_OPCFG) 用作保持寄存器，管理器内的配置寄存器仅在以下任一情况下更新：

- FEMC 控制寄存器指示仅发生寄存器更新
  - FEMC 控制寄存器指示使用 FEMC 控制寄存器或使用 AXI 接口的模式寄存器访问，并且命令已完成
- 芯片配置寄存器在 APB 接口的地址映射中可用作只读寄存器。

图 38-3 芯片配置寄存器



### 38.7.1.1 控制命令

FEMC 支持的控制命令包括：

- **UpdateRegs and AXI:** 当内存使用一系列 AXI 命令配置时，使用此方法来同步寄存器更新。FEMC\_CTRL.ADDR[19:0]字段会与 AXI 写入数据进行比较，以控制 FEMC 何时更新以下寄存器：
  - ◇ SRAM/NOR Flash Operate Mode Status Register
  - ◇ 对于 SRAM 设备 SRAM/NOR Flash Timing Status Register，对于 Nand 设备 NAND Flash Timing Status Register
- **ModeReg:** 编程内存设备中的配置寄存器
- **UpdateRegs:** FEMC 将 APB Slave 接口中的 FEMC Timing Configuration Register (FEMC\_TCFG) 内容复制到内存管理器中的 Timing Status Register；FEMC Operate Mode Configuration Register (FEMC\_OMCFG) 内容复制到内存管理器中的 Operate Mode Status Register
- **ModeReg and UpdateRegs:** FEMC 同时执行 ModeReg 命令类型和 UpdateRegs 命令类型指定的操作。这个组合命令能够在内存访问进行的同时修改内存配置。这允许 FEMC 能够从内存中执行，同时从软件角度来看，将同一芯片切换到不同的工作模式。FEMC 通过将芯片配置寄存器的更新与内存配置寄存器的写入同步来实现这一点。FEMC 提供两种机制来同时更新控制器和内存配置寄存器。它们是：

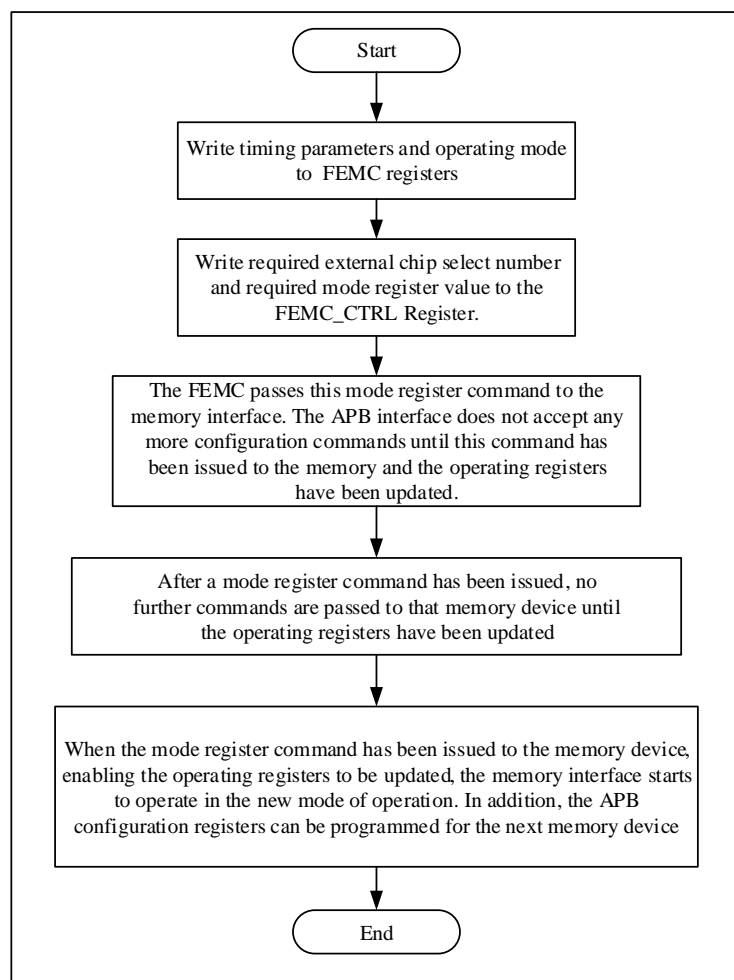
#### 38.7.1.1.1 设备引脚机制

对于使用输入引脚来指示写操作是针对配置寄存器的存储器，例如一些 PSRAM 设备，可以使用 FEMC 控

制寄存器来实现写入机制。图 38-4 显示了事件的顺序。

1. 启动
2. 将时序参数和操作模式写入 FEMC 寄存器
3. 将所需的外部片选编号和所需的模式寄存器值写入 FEMC\_CTRL 寄存器
4. FEMC 将此模式寄存器命令传递给内存接口。在此命令已发送到内存并且操作寄存器已更新之前, APB 接口不会接受任何其他配置命令
5. 在发出模式寄存器命令后, 除非操作寄存器已更新, 否则不会向该存储器设备传递其他命令
6. 当模式寄存器命令已发送到存储器设备, 使操作寄存器能够被更新时, 存储器接口开始在新的操作模式下运行。此外, 可以为下一个存储器设备编程 APB 配置寄存器
7. 结束

图 38-4 设备引脚机制

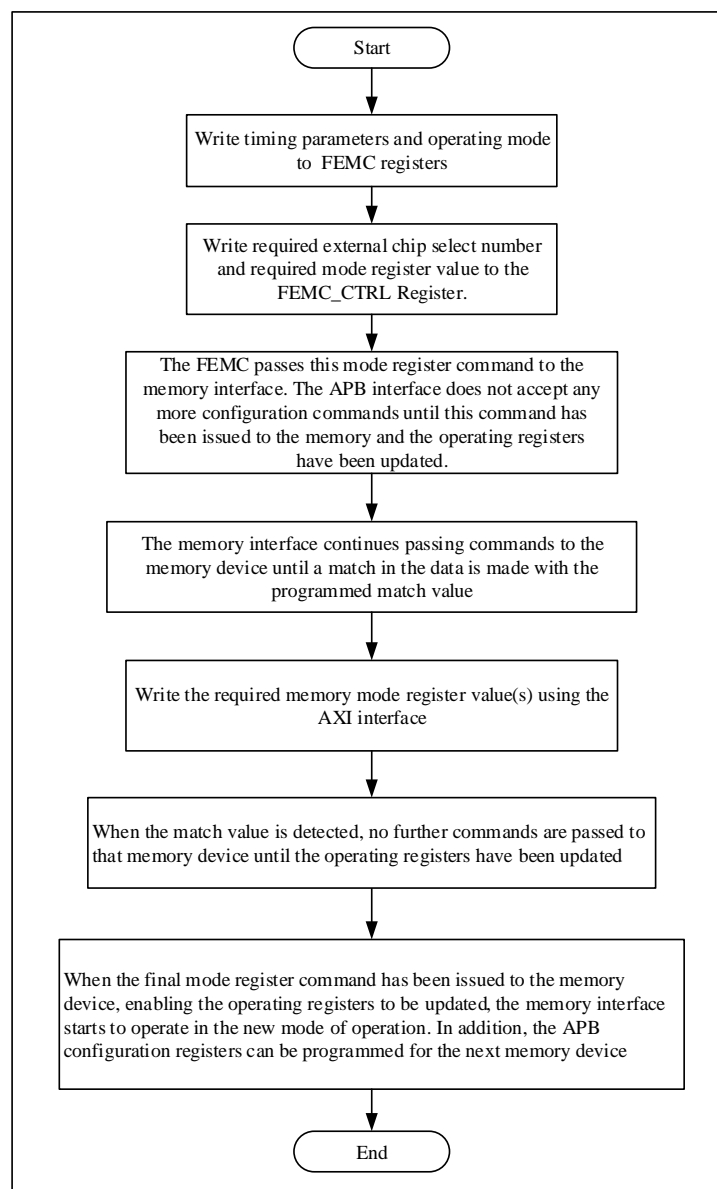


### 38.7.1.1.2 软件机制

对于需要一系列读写命令的存储器, 例如, 大多数 NOR 闪存设备使用 AXI 接口, 写数据总线用于指示最后一次传输何时完成, 以及 FEMC 何时可以安全地更新芯片配置寄存器。图 38-5 显示了事件的顺序。

1. 启动

2. 将时序参数和操作模式写入 FEMC 寄存器
3. 将所需的外部片选编号和所需的模式寄存器值写入 FEMC\_CTRL 寄存器
4. FEMC 将此模式寄存器命令传递给内存接口。在此命令已发送到内存并且操作寄存器已更新之前, APB 接口不会接受任何其他配置命令
5. 内存接口会继续向内存设备发送命令, 直到数据与预设匹配值相符为止
6. 使用 AXI 接口写入所需的内存模式寄存器值
7. 当检测到匹配值时, 除非操作寄存器已更新, 否则不会向该存储器设备传递进一步的命令
8. 当向存储器设备发出最终模式寄存器命令, 使操作寄存器可以更新时, 存储器接口将开始在新的操作模式下运行。此外, 可以对下一个存储器设备进行 APB 配置寄存器的编程
9. 结束

**图 38-5 软件机制**


## 38.8 SRAM 接口内存访问

### 38.8.1 标准 SRAM 访问

FEMC 程序员的视图是一个平坦的内存区域。读取或写入总线的地址高字节 `Address[31:24]` 以及 `FEMC_SNADDRx.ADDRMCH[7:0]`和 `FEMC_SNADDRx.ADDRMSK[7:0]` 位的值将根据以下公式决定正在访问的芯片选择信号:

**`Address[31:24] & FEMC_SNADDRx.ADDRMSK[7:0] must equal FEMC_SNADDRx.ADDRMCH[7:0]`**

`FEMC_SNADDRx.ADDRMCH[7:0]`和 `FEMC_SNADDRx.ADDRMSK[7:0]`的值必须设置为确保没有地址映射到多个芯片, 否则 FEMC 的行为将无法定义。如果访问未映射到任何存储设备的地址, 则 FEMC 会在 SRAM 接口上执行异步传输, 并且所有片选信号均未激活。传输完成后, FEMC 会提供一个 OKAY 响应。除了读写操作外, 还支持符合 AMBA AXI 协议规范的独占读写操作。成功的独占访问会有 EXOKAY 响应。所有其他访问, 包括独占失败访问, 都会收到 OKAY 响应。

#### 38.8.1.1 内存地址移位

为了生成提供给存储器设备的地址, AXI 地址需要与存储器宽度对齐。这是因为 AXI 地址是按字节对齐的地址, 而存储器地址是按存储器宽度对齐的地址。

*注意: 在存储设备的初始配置过程中, 可以通过一系列传输到特定地址的指令来访问内存模式寄存器。访问内存模式寄存器时, 必须考虑 FEMC 的移位性能。*

#### 38.8.1.2 内存突发对齐

FEMC 提供了一种可编程选项, 通过 `FEMC_OMCFG.BSTAGN[2:0]`位来控制内存传输的格式, 以适应内存突发边界。

设置 `FEMC_OMCFG.BSTAGN[2:0]`位后, 内存突发将与内存突发边界对齐。此设置适用于使用内部页面概念的内存, 这可以是异步页面模式内存, 也可以是同步 PSRAM。如果 AXI 突发跨越内存突发边界, FEMC 会将 AXI 传输划分为多个内存突发, 并在突发边界处终止内存传输。请确保页面大小是突发长度的整数倍, 以避免内存突发跨越页面边界。

如果未设置 `FEMC_OMCFG.BSTAGN[2:0]`位, FEMC 在将 AXI 命令映射到内存命令时会忽略内存突发边界。此设置适用于 NOR-Flash 等设备, 这些设备没有页面的概念。

#### 38.8.1.3 内存突发长度

FEMC 允许您根据单个芯片编程内存突发长度, 范围从 1 到 32 个节拍, 或连续突发。但是, 内存突发的长度会自动受到读取或写入数据 FIFO 大小的限制。

对于读取传输, 存储器接口上的最大存储器突发长度等于读取数据 FIFO 的深度。

对于写入传输, 最大突发长度取决于:

- AXI 传输的节拍大小
- 内存数据总线宽度 (mw)
- 写入数据的 FIFO 深度 (wfifo\_depth)

确定最大内存写入突发长度的公式为:

$$\text{Memory write burst length} = \frac{(1 \ll \text{AXI burst size}) * \text{wfifo\_depth}}{1 \ll \text{mw}}$$

### 38.8.2 SRAM 接口时序图

本节描述 SRAM 接口（SRAM/PSRAM/NOR Flash）访问的时序图。本节中的图表采用以下信号符号：

- *mclk* SRAM 接口内存时钟（等于 FEMC\_CLK）
- *fbclk* 反馈时钟，*mclk* 的延迟版本，用于补偿 *pad* 上 *mclk* 的延迟
- *cs\_n* 片选（等于 FEMC\_NE）
- *oe\_n* 输出使能（等于 FEMC\_NOE）
- *add/address* 地址（等于 FEMC\_A）
- *adv* 地址有效（等于 FEMC\_NADV）
- *we\_n* 写入使能（等于 FEMC\_NWE）
- *wait* 等待信号（等于 FEMC\_NWAIT）
- *wait\_reg\_fbclk* 等待信号由 *fbclk* 采样，用于 FEMC 内部逻辑
- *wait\_reg\_mclk* 等待信号由 *mclk* 采样，用于 FEMC 内部逻辑
- *data* 双向数据（等于 FEMC\_D）
- *data\_en* 数据输出使能（0：数据输入 1：数据输出）
- *data\_in* 数据输入至 FEMC（用于读取数据）
- *data\_out* FEMC 的数据输出（用于写入数据，或复用模式下的地址）
- *read\_data* 读取由 *mclk* 采样的数据，用于 FEMC 内部逻辑

SRAM 接口通过 FEMC Timing Configuration Register（FEMC\_TCFG）编程存储芯片时序信号，FEMC 可编程的时序参数包括：

表 38-2 SRAM 接口支持时序参数

参数名称	参数取值范围	参数说明
FEMC_TCFG.RC[3:0]	2 ~ 15	读周期
FEMC_TCFG.WC[3:0]	2 ~ 15	写周期
FEMC_TCFG.CERE[2:0]	1 ~ 7	FEMC_NOE 信号断言延迟时间
FEMC_TCFG.WP[2:0]	1 ~ 7	FEMC_NEW 信号脉冲宽度
FEMC_TCFG.PCCLR[2:0]	1 ~ 7	页面读取周期
FEMC_TCFG.TRAR[2:0]	1 ~ 7	周转时间
FEMC_TCFG.WERR	0 或 1	异步复用写传输模式下的 FEMC_NWE 和 FEMC_NE 信号同步方法 0: FEMC_NWE 拉低发生 FEMC_NE 拉低两个时钟周期后 1: FEMC_NE 拉低时 FEMC_NWE 也即刻拉低

#### 38.8.2.1 异步读取

表 38-3 显示了异步读取的寄存器设置示例：

表 38-3 异步读取的寄存器设置

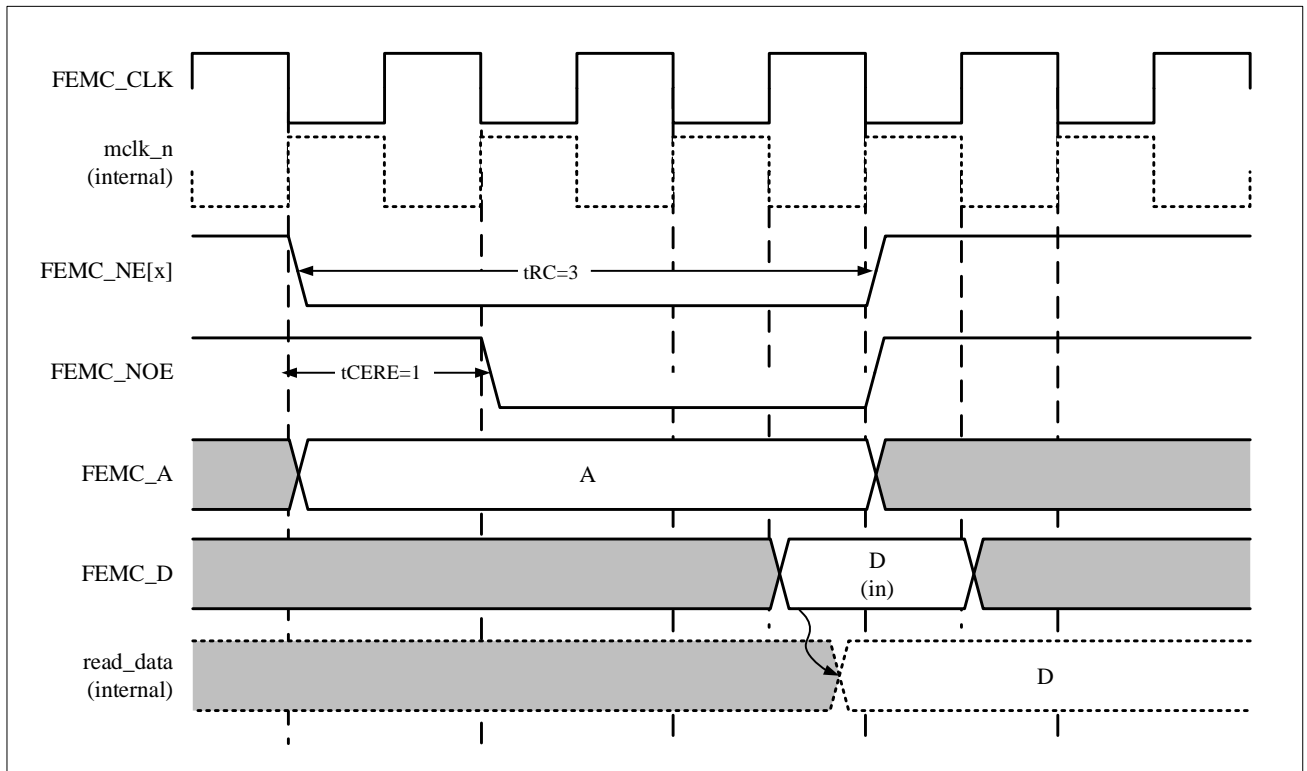
FEMC_OMCFG									FEMC_TCFG						
BSTAGN	BLSS	ADV	BAA	WRBL	WRSYN	RDBL	RDSYN	MDBW	WERR	TRAR	PCCLR	WP	CERE	WC	RC
--	--	--	--	--	--	b000	0	b01	--	--	--	--	b001	---	b0011



								或 b10							
--	--	--	--	--	--	--	--	----------	--	--	--	--	--	--	--

图 38-6 显示了一次异步读传输，其读周期  $t_{RC} = 3$  个周期，FEMC\_NOE 输出使能有效延迟  $t_{CERE} = 1$  个周期。

图 38-6 一次异步读传输



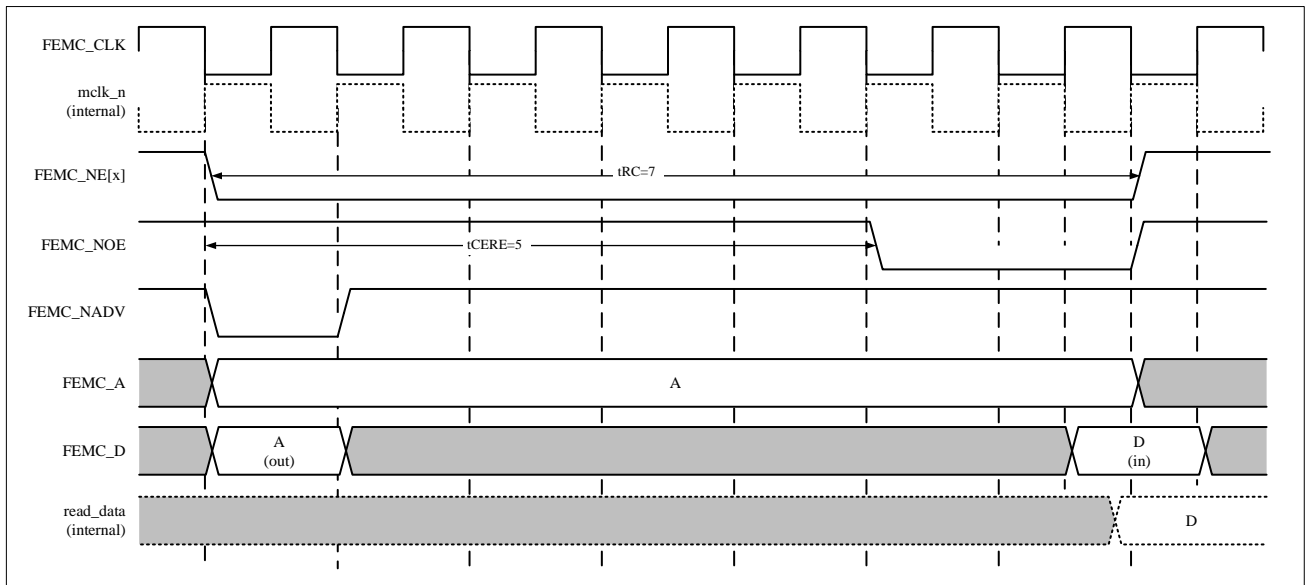
### 38.8.2.2 复用模式下异步读取

表 38-4 显示了复用模式下异步读取的寄存器设置示例：

表 38-4 复用模式异步读取的寄存器设置

FEMC_OMCFG									FEMC_TCFG						
BSTAGN	BLSS	ADV	BAA	WRBL	WRSYN	RDBL	RDSYN	MDBW	WERR	TRAR	PCCLR	WP	CERE	WC	RC
--	--	1	--	--	--	b000	0	b01 或 b10	--	--	--	--	b101	---	b0011

图 38-7 显示了复用模式下的单次异步读取传输，其读周期  $t_{RC} = 3$  个周期，FEMC\_NOE 输出使能有效延迟  $t_{CERE} = 5$  个周期。FEMC\_OMCFG.ADV = 1 设置地址有效信号 FEMC\_NADV 输出有效。

**图 38-7 复用模式下一次异步读传输**


注意:

- (1) 本IP 只支持FEMC\_A[15:0]与FEMC\_D[15:0]复用
- (2) 本IP 中FEMC\_NADV 有效周期固定为一个FEMC\_CLK 周期
- (3) 在复用模式下,FEMC 会在 data\_out 总线上输出地址和数据。读取数据会在 data\_in 总线上接收。在复用模式下, 地址仍然会被驱动到地址总线上。这样, 当存储器需要的地址位多于数据位时, 就可以使用高位地址。

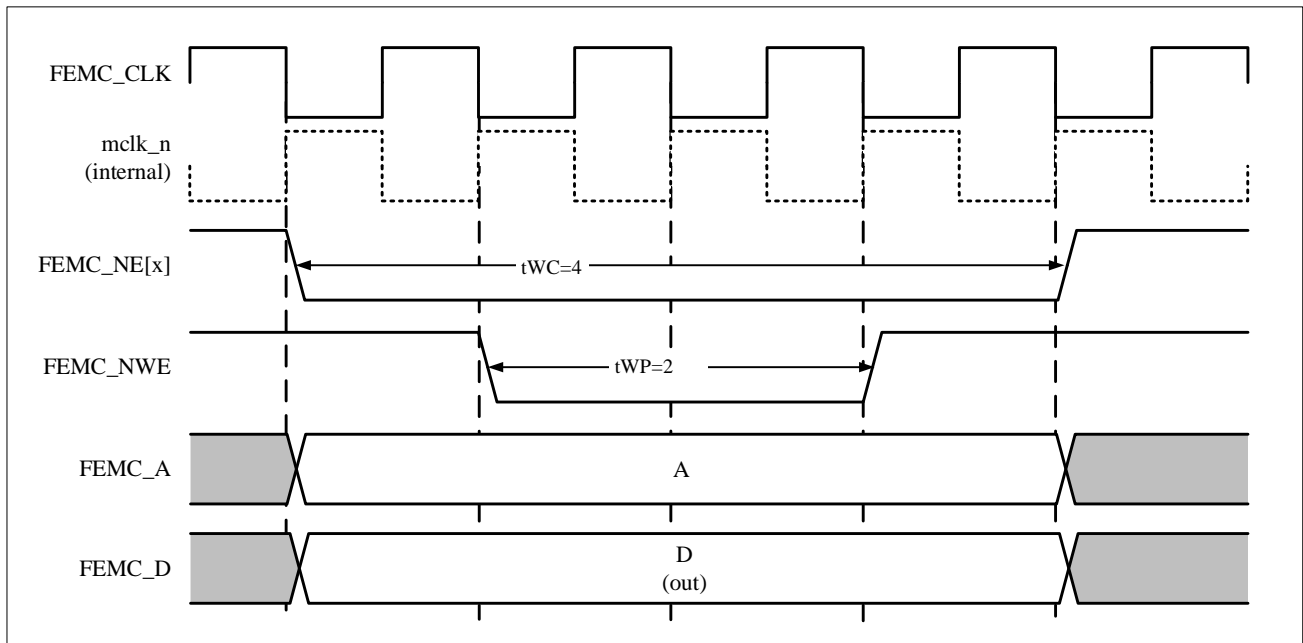
### 38.8.2.3 异步写入

表 38-5 显示了异步写入的寄存器设置示例:

**表 38-5 异步写入的寄存器设置**

FEMC_OMCFG									FEMC_TCFG						
BSTAGN	BLSS	ADV	BAA	WRBL	WRSYN	RDBL	RDSYN	MDBW	WERR	TRAR	PCCLR	WP	CERE	WC	RC
--	--	--	--	b000	0	--	--	b01 或 b10	0	--	--	b010	---	b0100	---

图 38-8 显示了一次异步写入传输, 其写周期  $t_{wc} = 4$  个周期, FEMC\_NEW 脉宽  $t_{wp} = 2$  个周期。

**图 38-8 一次异步写传输**


注意:

- (1) 本 IP 中 FEMC\_NEW 信号始终在 FEMC\_NE 信号置低一个 FEMC\_CLK 周期后置低, 以确保地址总线有效
- (2) 时序参数  $t_{WP}$  控制 FEMC\_NEW 的置低持续时间, 可使用该参数改变 FEMC\_NE、FEMC\_A、FEMC\_D 的保持时间

### 38.8.2.4 复用模式下异步写入

表 38-6 显示了复用模式下异步写入的寄存器设置示例:

**表 38-6 复用模式异步写入的寄存器设置**

FEMC_OMCFG									FEMC_TCFG						
BSTAGN	BLSS	ADV	BAA	WRBL	WRSYN	RDBL	RDSYN	MDBW	WERR	TRAR	PCCLR	WP	CERE	WC	RC
--	--	1	--	b000	0	--	--	b01 或 b10	0 或 1	--	--	b100	---	b0111	---

图 38-9 显示了 FEMC\_TCFG.WERR=0 时复用模式下异步写入传输, 其写周期  $t_{WC}=7$  个周期, FEMC\_NEW 脉宽  $t_{WP}=4$  个周期, FEMC\_TCFG.WERR=0 则 FEMC\_NEW 在 FEMC\_NE 置低后两个 FEMC\_CLK 时钟周期后置低。

图 38-9 复用模式异步写传输 (FEMC\_TCFG.WERR=0)

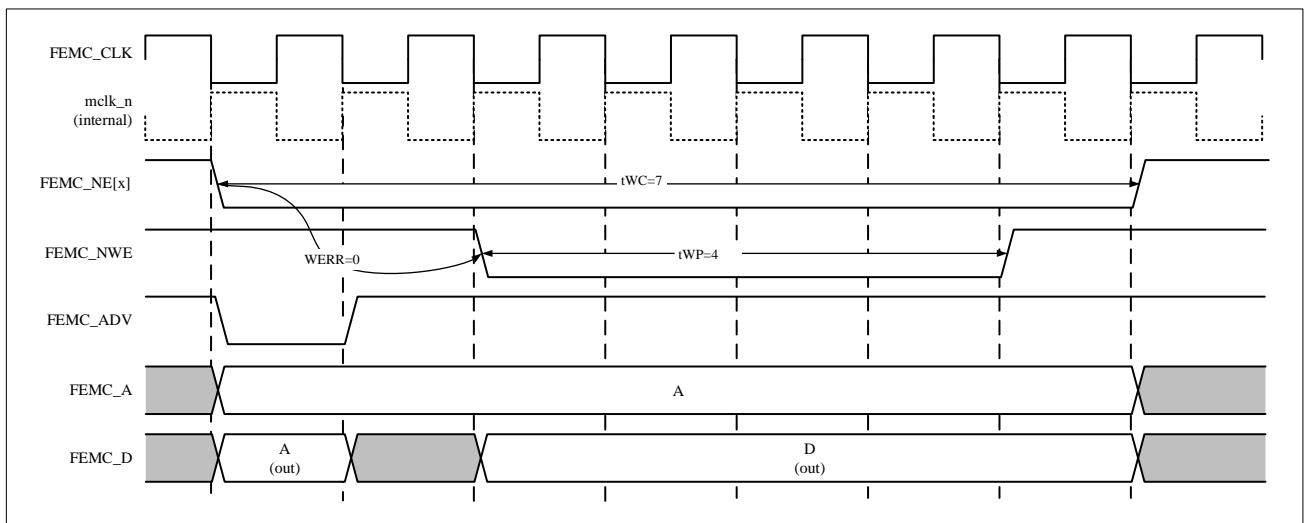
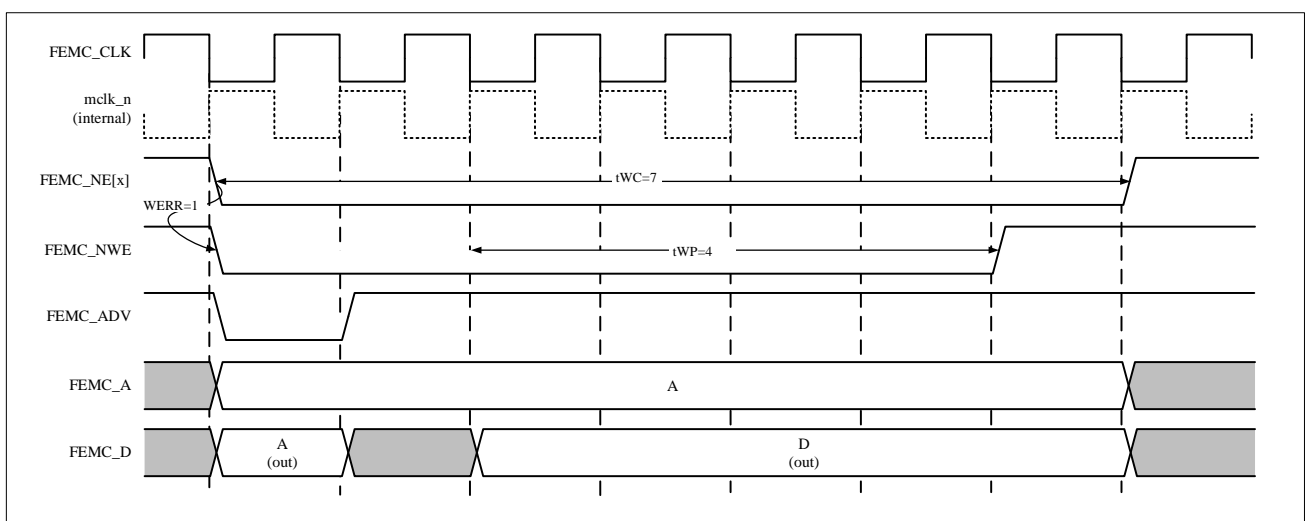


图 38-10 显示了 FEMC\_TCFG.WERR=1 时复用模式下异步写入传输，其写周期  $t_{WC} = 7$  个周期，FEMC\_NEW 脉宽  $t_{WP} = 4$  个周期，FEMC\_TCFG.WERR=1 则 FEMC\_NEW 与 FEMC\_NE 同步置低。

图 38-10 复用模式异步写传输 (FEMC\_TCFG.WERR=1)



### 38.8.2.5 异步页面模式读取

异步 SRAM 的存储阵列通常被划分为若干“页面”，每个页面有固定的行地址（高位地址）和可变的列地址（低位地址）组成。页面模式下保持行地址不变，仅切换列地址连续读取数据，从而跳过重复锁存行地址的时间。

普通异步 SRAM 确实无法实现真正的硬件级突发（Burst）传输，但是通过异步页面读取模式，可以模拟类似“突发”的效果。页面模式工作原理

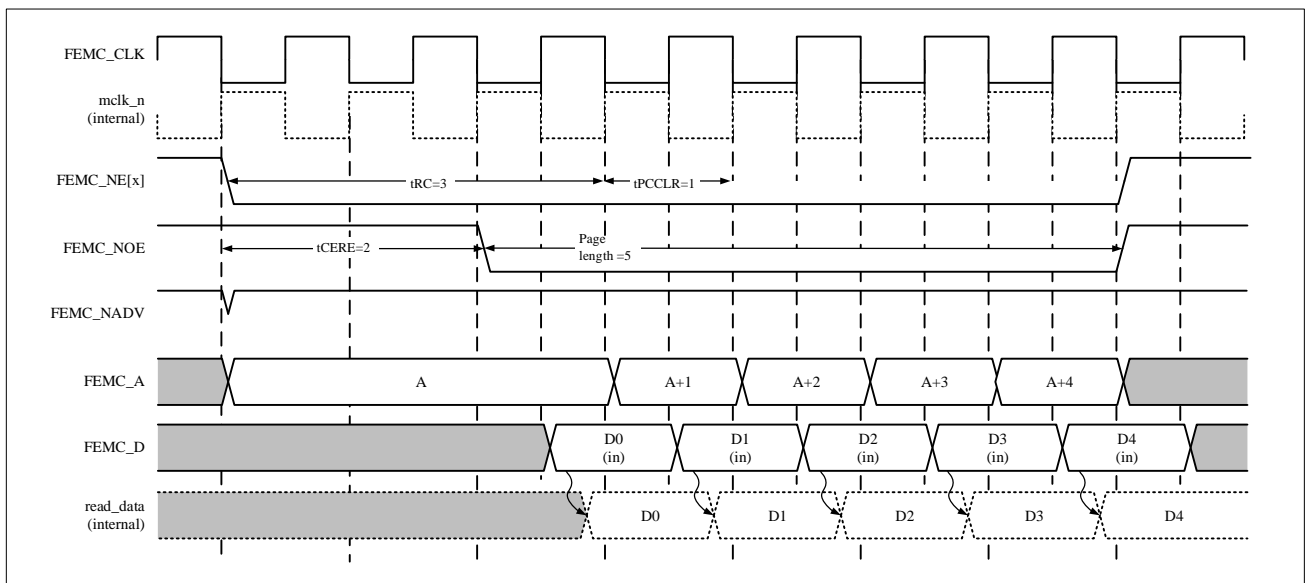
- 首次访问：FEMC 控制器向存储设备发送完整的地址（行地址 + 列地址），存储设备锁存行地址
- 连续访问：保持行地址不变，仅更新列地址，等待 FEMC\_TCFG.PCCLR 周期后读取新数据

表 38-7 显示了异步页面模式读取的寄存器设置示例，将 FEMC\_OMCFG 寄存器设置为异步读取，并将突发长度设置为页面大小可使用 FEMC 中页面读取模式。

**表 38-7 异步页面模式读取的寄存器设置**

FEMC_OMCFG									FEMC_TCFG						
BSTAGN	BLSS	ADV	BAA	WRBL	WRSYN	RDBL	RDSYN	MDBW	WERR	TRAR	PCCLR	WP	CERE	WC	RC
1	--	--	--	--	--	Page length	0	b01 或 b10	--	--	b001	--	b010	--	b0011

图 38-11 显示了页面读取访问,其第一次读访问读周期  $t_{RC}=3$  个周期,FEMC\_NOE 输出使能有效延迟  $t_{CERE}=2$  个周期,页面访问时间  $t_{PCCLR}=1$  个周期。

**图 38-11 异步页面模式读取传输**


注意:

- (1) 不支持多路复用模式页面访问
- (2) 当列地址递增到页面末尾时,需重新加载行地址(跨页面时性能会下降)

### 38.8.2.6 同步突发读取

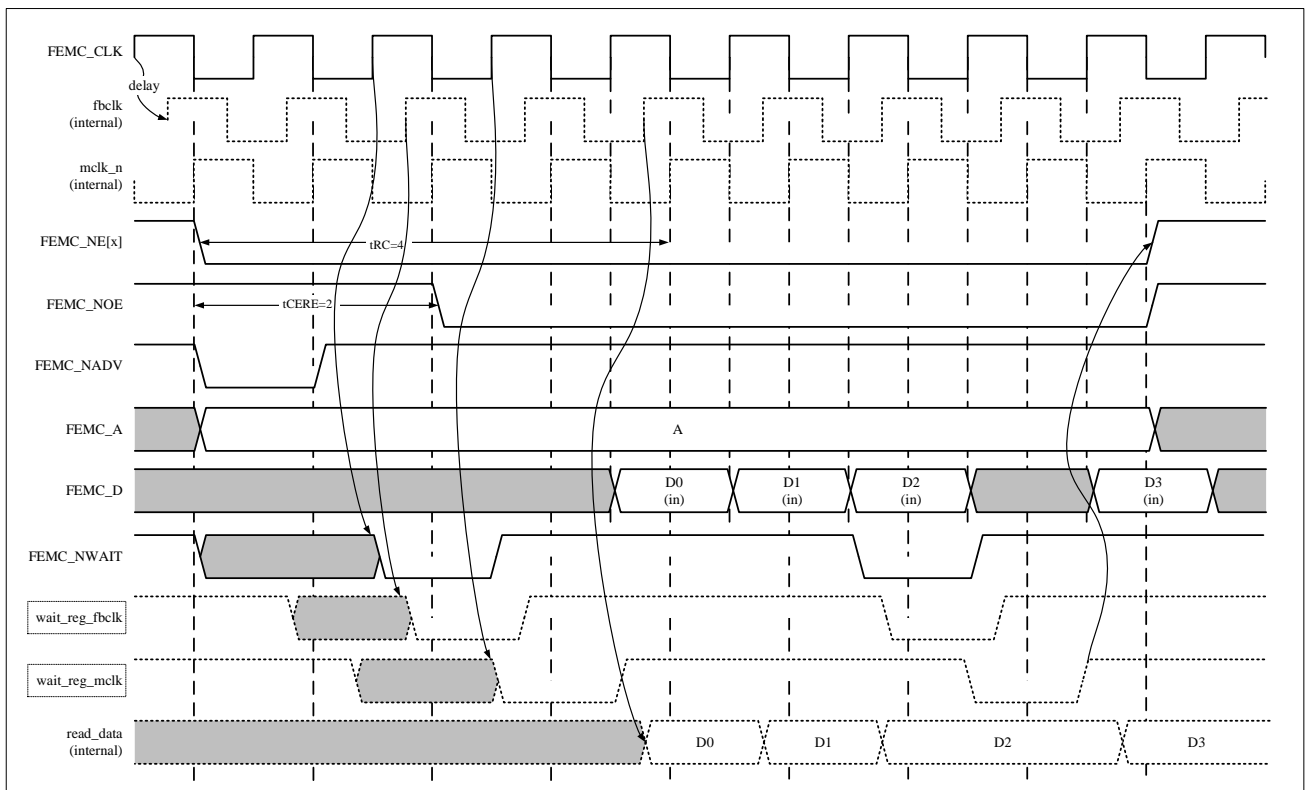
表 38-8 显示了同步突发读取的寄存器设置示例:

**表 38-8 同步突发读取的寄存器设置**

FEMC_OMCFG									FEMC_TCFG						
BSTAGN	BLSS	ADV	BAA	WRBL	WRSYN	RDBL	RDSYN	MDBW	WERR	TRAR	PCCLR	WP	CERE	WC	RC
--	--	1	--	--	--	Burst length	1	b01 或 b10	--	--	--	--	b010	--	b0100

图 38-12 显示了使用内存的 wait 输出来延迟传输的突发读取。

图 38-12 同步突发读取传输



注意:

- (1) 同步存储器具有一个配置寄存器，使得可以在延迟数据的同一时钟周期或提前一个周期断言等待信号。FEMC 仅支持等待信号提前一个周期断言，使得 wait 信号可以先随着反馈时钟采样，然后再与 mclk 一起采样后由 FSM 使用。这实现了最简单的时序闭合。此外，必须将存储器配置为等待信号为低电平有效。
- (2) 在同步操作中，FEMC 依赖 wait 信号被拉高以指示内存可以完成传输。在同步模式下，某些内存存在非阵列读取传输期间不会释放等待信号。非阵列读取传输通常是状态寄存器读取。为了避免这些内存导致系统停滞，在同步模式下，不能对内存和 FEMC 执行非阵列读取传输。
- (3) 必须将 tRC 设置为一个允许 wait\_reg\_mclk 稳定的值

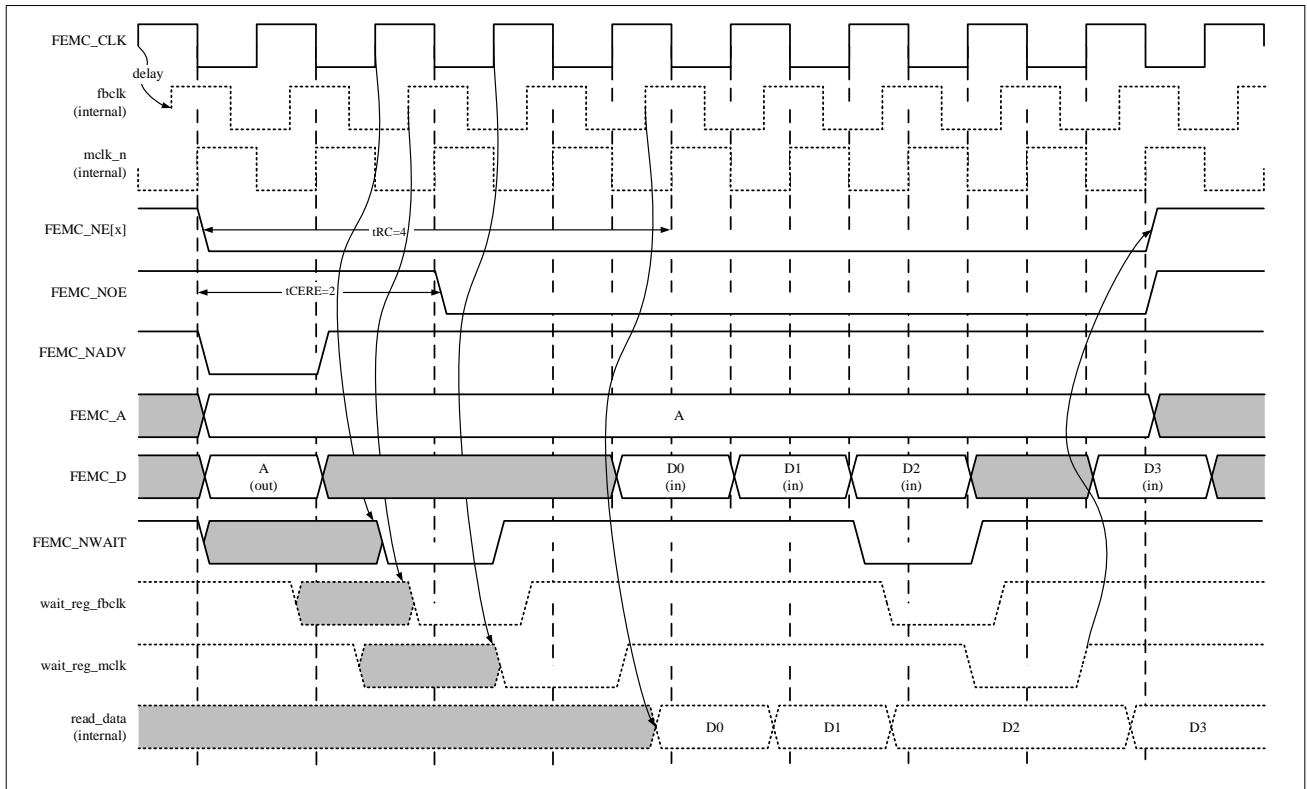
### 38.8.2.7 多路复用模式下同步突发读取

表 38-9 显示了复用模式下同步突发读取的寄存器设置示例:

表 38-9 复用模式下同步突发读取的寄存器设置

FEMC_OMCFG									FEMC_TCFG						
BSTAGN	BLSS	ADV	BAA	WRBL	WRSYN	RDBL	RDSYN	MDBW	WERR	TRAR	PCCLR	WP	CERE	WC	RC
--	--	1	--	--	--	Burst length	1	b01 或 b10	--	--	--	--	b010	--	b0100

图 38-13 显示了复用模式下突发读取。

**图 38-13 复用模式下同步突发读取传输**


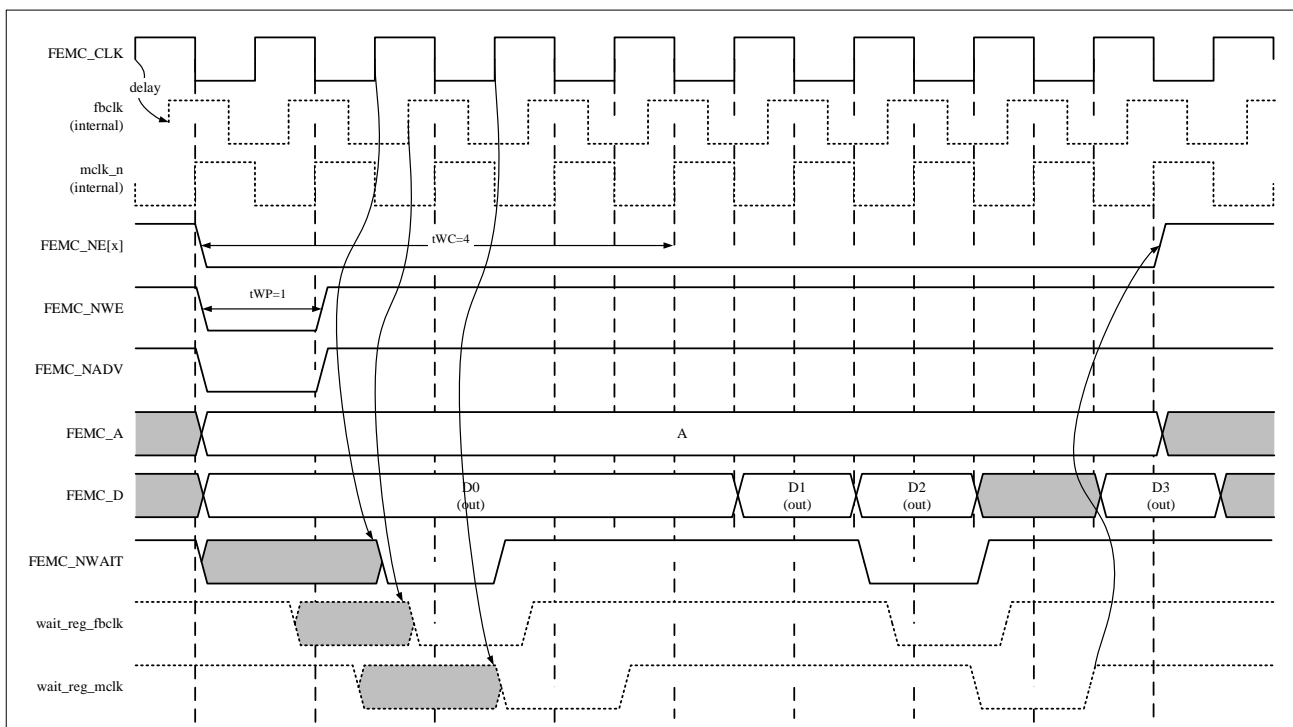
### 38.8.2.8 同步突发写入

表 38-10 显示了同步突发写入的寄存器设置示例：

**表 38-10 同步突发写入的寄存器设置**

FEMC_OMCFG									FEMC_TCFG						
BSTAGN	BLSS	ADV	BAA	WRBL	WRSYN	RDBL	RDSYN	MDBW	WERR	TRAR	PCCLR	WP	CERE	WC	RC
--	--	1	--	Burst length	1	--	--	b01 或 b10	0	--	--	b001	--	b0100	--

图 38-14 显示由于 wait 信号而延迟的同步突发写传输。必须将存储器配置为提前一个周期置位 wait 信号，并将其设置为低电平有效。wait 信号在使用前会再次注册到反馈时钟和 mclk 中。wait 信号在 mclk 域中用于存储器接口 FSM。

**图 38-14 同步突发写入传输**


注意:

- (1) 同步存储器具有一个配置寄存器，使得可以在延迟数据的同一时钟周期或提前一个周期断言等待信号。FEMC 仅支持等待信号提前一个周期断言，使得 wait 信号可以先随着反馈时钟采样，然后再与 mclk 一起采样后由 FSM 使用。这实现了最简单的时序闭合。此外，必须将存储器配置为等待信号为低电平有效
- (2) 必须将  $t_{WC}$  设置为一个允许 wait\_reg\_mclk 稳定的值

### 38.8.2.9 多路复用模式下同步突发写入

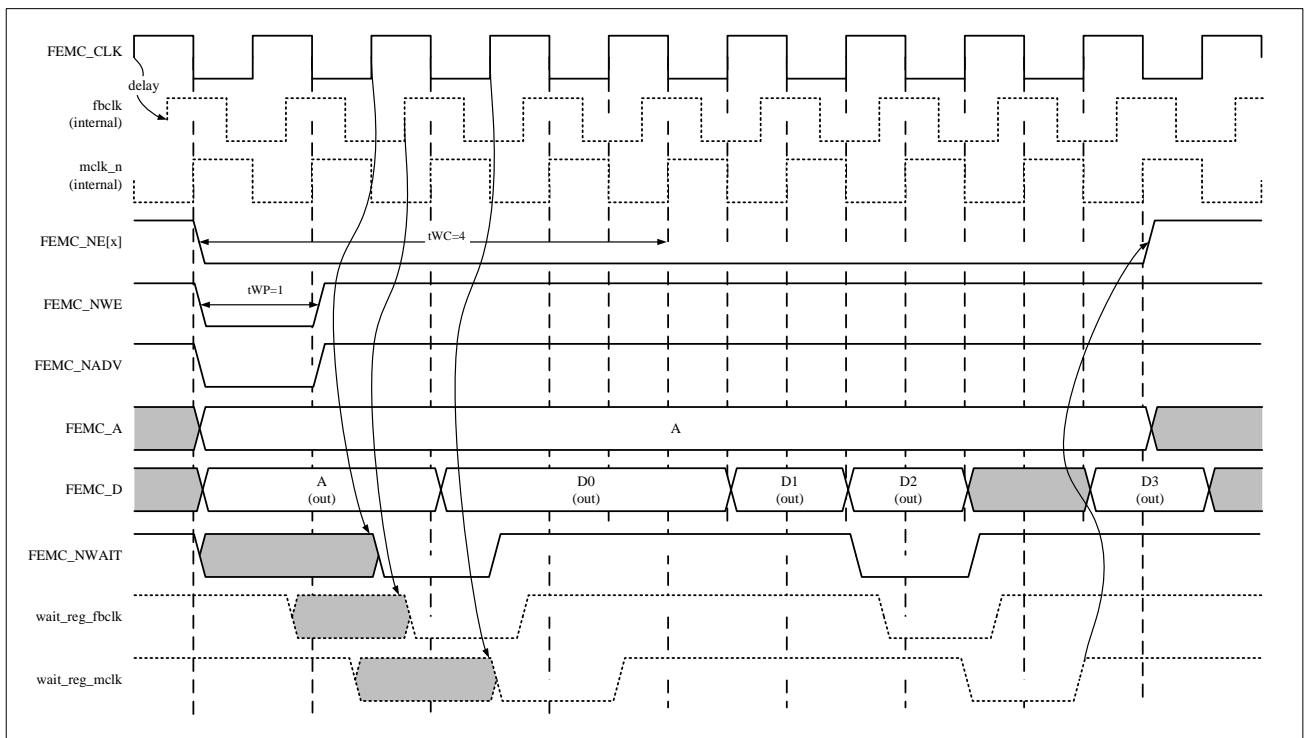
表 38-11 显示了复用模式下同步突发写入的寄存器设置示例:

**表 38-11 复用模式下同步突发写入的寄存器设置**

FEMC_OMCFG									FEMC_TCFG						
BSTAGN	BLSS	ADV	BAA	WRBL	WRSYN	RDBL	RDSYN	MDBW	WERR	TRAR	PCCLR	WP	CERE	WC	RC
--	--	1	--	Burst length	1	--	--	b01 或 b10	0	--	--	b001	--	b0100	--

图 38-15 显示了复用模式下同步突发写入。



**图 38-15 复用模式下同步突发写入传输**


### 38.8.2.10 同步读取和异步写入

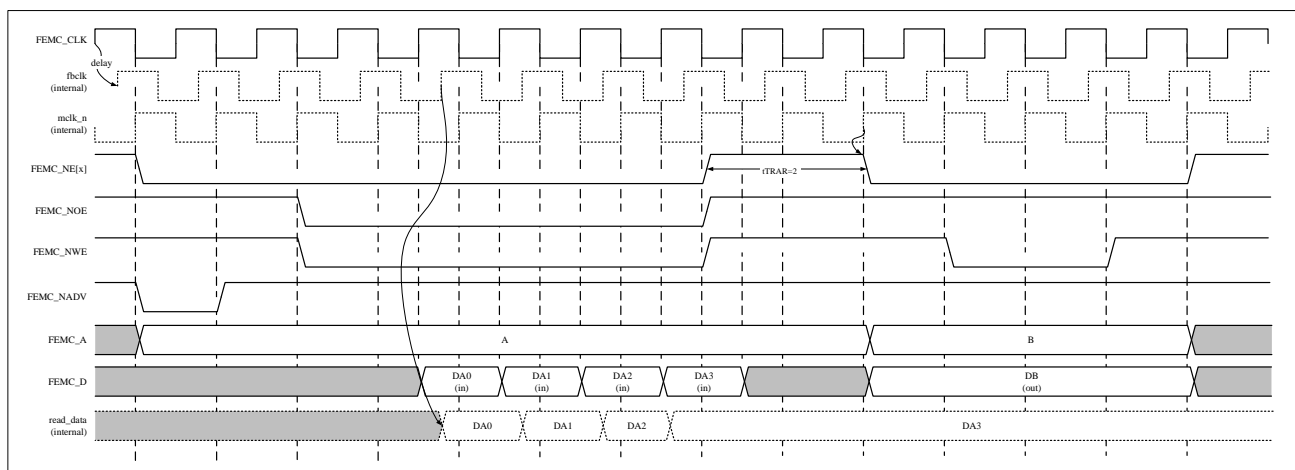
表 38-12 显示了复用模式下同步突发写入的寄存器设置示例：

**表 38-12 同步读取和异步写入的寄存器设置**

FEMC_OMCFG									FEMC_TCFG						
BSTAGN	BLSS	ADV	BAA	WRBL	WRSYN	RDBL	RDSYN	MDBW	WERR	TRAR	PCCLR	WP	CERE	WC	RC
--	0	1	0	b000	0	b001	1	b01 或 b10	--	b001	--	b001	b010	b0110	b0100

图 38-16 显示了同步读取和异步写入之间的周转时间  $t_{TRAR} = 1$  个周期，周转时间在以下操作之间强制执行：

- 先读后写
- 先写后读
- 从不同的芯片选择读取之后进行读取
- 复用地址/数据模式下的任意两次连续访问

**图 38-16 同步读取、异步写入传输**


### 38.8.2.11 同步模式下，对 $t_{RC}$ 和 $t_{WC}$ 进行编程

对于读周期  $t_{RC}$ :

- 当内存设备不支持 wait 输出时，必须将  $t_{RC}$  编程为在 FEMC\_NE 置位后有效数据可用之前所需的时钟周期数
- 当内存设备支持 wait 输出时，必须将  $t_{RC}$  设置为在 FEMC\_NE 置位后 wait 信号变为有效且稳定所需的时钟周期数： $t_{RC} = 3 + t_{CERE}$

*注意：仅当 FEMC\_NOE 变为低电平时且 wait 信号有效时才需要  $t_{CERE}$*

对于写周期  $t_{WC}$ :

- 当内存设备不支持 wait 输出时，必须将  $t_{WC}$  编程为在 FEMC\_NE 置位后写入第一个数据之前所需的时钟周期数
- 当内存设备支持 wait 输出时，必须将  $t_{WC}$  编程为 FEMC\_NE 置位后 wait 信号变为有效且稳定所需的时钟周期数： $t_{WC} = 3$

*注意：如果存储设备配置为在 wait 断言和需要数据之间只有两个或更少的时钟周期，则必须将  $t_{WC}$  编程为仿佛该存储设备不支持 wait 输出。*

### 38.8.2.12 SRAM 内存接口的片选断言

在重复访问同一芯片时，FEMC 可以保持片选信号为有效状态。为了支持需要定期取消片选信号的存储器（例如 PSRAM），可以编程 FEMC\_RPE.REFPRD[3:0] 位来设置连续内存突发的最大次数。可以将连续突发的次数设置为 1 到 15 之间的任意值。

## 38.8.3 Nand 接口内存访问

### 38.8.3.1 两阶段 Nand 访问

FEMC 定义了在与 NAND 闪存之间传输数据时的两个命令阶段：

- **命令阶段：**命令和可选的地址信息被写入 NAND 闪存。命令和地址可以与数据阶段操作（用于写入或读取阵列）相关联，也可以与状态/ID 寄存器传输相关联
- **数据阶段：**数据被写入到 NAND 闪存或从到 NAND 闪存读取。这些数据可以是传输到阵列或从阵列传输的数据，也可以是状态/ID 寄存器信息

FEMC 使用 AXI 地址总线中包含的信息 (awaddr[] 或 araddr[] 信号) 来确定 AXI 传输是命令阶段还是数据阶段访问。AXI 地址总线中包含的信息还确定:

- 命令值
- 地址周期数
- 要访问的芯片选择

在命令阶段传输期间, 使用 AXI 写入通道将要写入 NAND 存储器的地址传输到 FEMC。

*注意: 数据阶段传输的 AXI 传输大小必须大于内存接口的宽度。*

表 38-13 显示了控制 NAND 闪存传输的 awaddr[] 和 araddr[] 信号的字段。

**表 38-13 awaddr[] 和 araddr[] 信号字段含义**

AXI address	命令阶段		数据阶段
[32:24]	片选地址		片选地址
[23]	NoOfAddCycles2	地址周期数: 000: 0 个地址周期 001: 1 个地址周期 010: 2 个地址周期 ..... 111: 7 个地址周期	保留
[22]	NoOfAddCycles1		保留
[21]	NoOfAddCycles0		是否清除 FEMC_NCE 片选信号 0: 不清除片选信号 1: 清除片选信号
[20]	结束命令有效		结束命令有效 <sup>(1)</sup>
[19]	0		1
[18:11]	结束命令		结束命令 <sup>(2)</sup>
[10:3]	起始命令		[10]: ECC Last
			[9:3]: 保留
[2:0]	保留 <sup>(3)</sup>		保留

*注意:*

- (1) 对于读取数据阶段事务, 结束命令有效必须为 0
- (2) 如果结束命令有效不为真, 则忽略结束命令数据
- (3) NAND 访问的低三位决定有效数据字节通道, 与标准 AXI 访问相同

### 38.8.3.2 Nand 命令阶段传输

命令阶段传输始终以 AXI 写入操作执行。AXI awaddr[] 总线和表 38-13 包含以下信息:

- **地址周期:** 地址周期数可以是 0~7 之间的任意值。通常, 在阵列读写过程中最多使用 5 个周期, 但最多 7 个周期是为了支持未来的设备
- **启动命令:** 启动命令用于启动所需的操作, 例如:
  - ◇ Page read
  - ◇ Page program
  - ◇ Random page read
  - ◇ Status or ID register read
- **结束命令:** 第二个命令的值 (如果需要)。此命令在所有地址周期完成后执行。例如, 某些 NAND 存储器需要在地址周期之后执行一个附加命令, 以进行页面读取
- **结束命令有效:** 指示是否必须向 NAND 闪存发出结束命令

每个地址周期消耗 8 位地址信息。这些信息通过 AXI 写入通道传输到 FEMC。

注：为了简化系统集成，FEMC 支持使用多个 AXI 写入事务来传输地址信息。此情况下适用以下限制：

1. AXI 地址 [31:3] 位在事务之间不得更改。第一个事务必须是双字对齐的
2. 除 transaction 长度外，所有其他地址信息必须相同
3. 数据必须以递增、连续的访问方式传输，即不能以回绕、固定或稀疏的方式传输
4. 上次 transaction 中多余的或未使用的节拍必须禁用写入选通
5. 总节拍数必须小于写入 FIFO 深度

### 38.8.3.3 Nand 数据阶段传输

将数据传输到 NAND 闪存或从 NAND 闪存中读取数据，并可根据需要操作执行 AXI 读取或写入操作。araddr[ ] 或 awaddr[ ] 总线以及表 38-13 包含以下信息：

- **结束命令：**数据传输后发出的命令值。某些存储器需要此命令来指示在写入数据输入后进行的页编程

注：读取数据阶段传输不支持结束命令

- **结束命令有效：**指示是否必须向 NAND 闪存发出结束命令
- **ClearCS 是否清除片选信号**
  - ◇ ClearCS = 1 时：NAND 闪存的片选信号在该命令完成后将失效
  - ◇ ClearCS = 0 时，芯片选择信号保持有效
- **ECC Last：**设置后，此位向 ECC 模块指示当前命令是最后一次访问 NAND 页。如果 ECC 模块未启用，则忽略此位

由于 NAND 存储器的页面大小较大，NAND 闪存数据阶段的写入或读取操作预计需要多次 AXI 传输。某些存储设备要求在页面访问期间保持片选有效。FEMC 会在以下情况下保持片选有效：

- **命令阶段到数据阶段的转换：**当 FEMC\_NMOD. CSL=1 时
- **数据阶段到数据阶段的转换：**当 ClearCS 未设置时，FEMC 会在多个 AXI 传输过程中断言片选，从而将数据传入或传出 NAND 闪存内部页面。在最后一次 AXI 传输中，可以通过设置 ClearCS 位来取消片选

图 38-17 和图 38-18 分别显示了执行 NAND 闪存页读取和页编程操作的步骤。

图 38-17 Nand 闪存页读取操作步骤

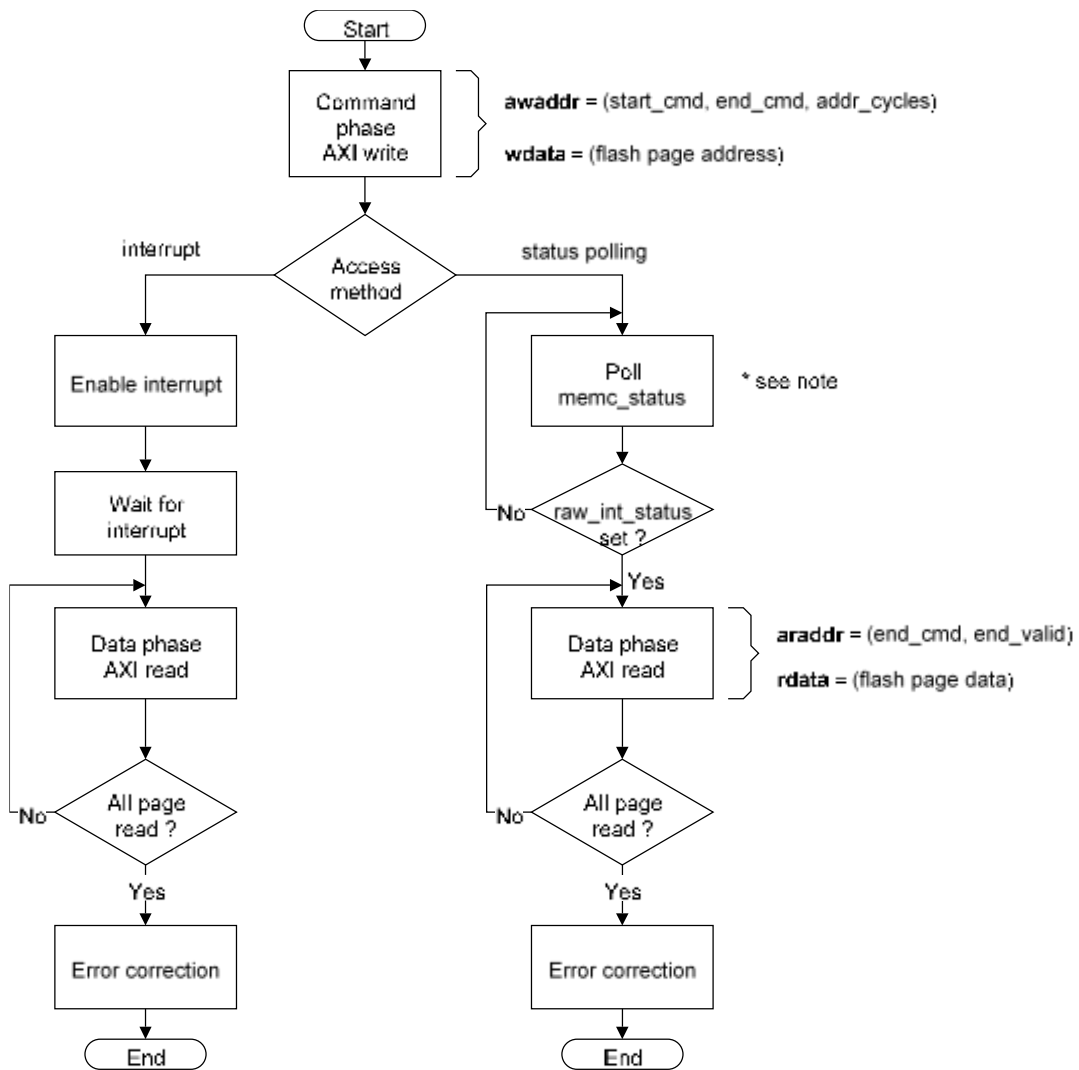
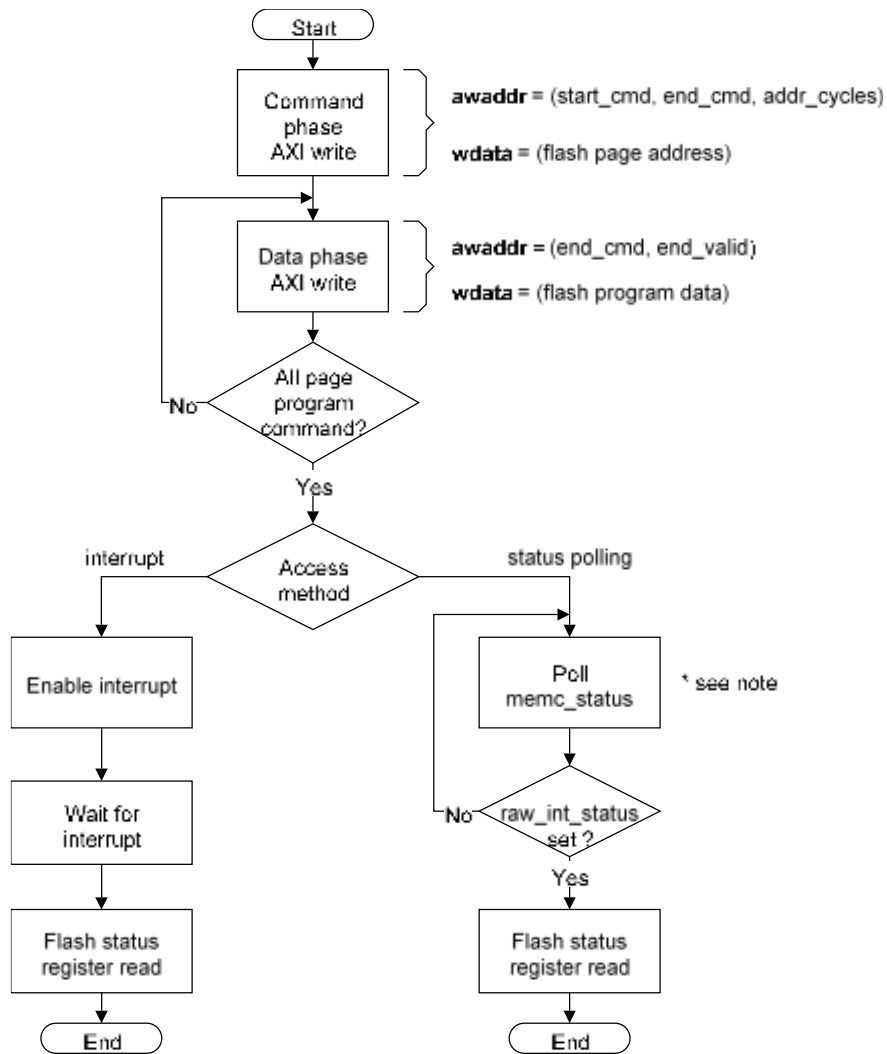


图 38-18 Nand 闪存页编程操作步骤



注意：可以通过两种方式轮询页面编程或页面读取完成情况：

1. 轮询 FEMC\_STS.RINTIF 位以确定内存 busy 输出何时变为高电平，指示页面编程完成或读取数据就绪
2. 在有多个 NAND 闪存设备连接到 FEMC 的系统中，busy 输出通过线与运算产生单个 busy 输入，该输入仅当所有设备都完成时才会变为高电平。您可以通过读取单个设备的状态寄存器来确定每个 NAND 芯片的状态寄存器

图 38-19 显示了执行 NAND 闪存状态寄存器读取的步骤。

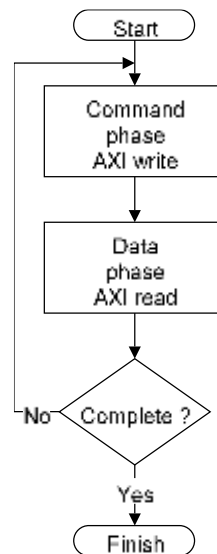
**图 38-19 Nand 闪存状态寄存器读取步骤**


图 38-19 所示的流程框定义如下：

■ 命令阶段 AXI 写入

**awaddr** = (start\_cmd = STATUS\_READ\_CMD, end\_cmd = 0x0, end\_valid = 0x0, addr\_cycles = 0x0)

注意：确保突发长度为 1，awlen = 0x0

**wdata** = (don't care)

■ 数据阶段 AXI 读取

**araddr** = (ClearCS = 0x1)

注意：确保突发长度为 1，arlen = 0x0。传输大小为 8 或 16，arsize = 0x0 或 0x1

**rdata** = NAND flash status output

注：某些 NAND 闪存设备可以支持多次读取状态寄存器，而无需重新发出 STATUS\_READ\_CMD。在这种情况下，您可以修改 NAND 闪存状态寄存器读取描述的流程，使其在每个命令阶段传输中包含多个数据阶段传输。

与 SRAM 接口存储器访问类似，地址读取或写入总线的高字节 Address[31:24] 以及设置地址寄存器的 FEMC\_NADDR.ADDRMCH[7:0] 和 FEMC\_NADDR.ADDRMSK[7:0] 位的值根据以下公式确定正在访问的芯片选择：

**Address[31:24] & FEMC\_NADDR.ADDRMSK[7:0] must equal FEMC\_NADDR.ADDRMCH[7:0]**

必须设置 FEMC\_NADDR.ADDRMCH[7:0] 和 FEMC\_NADDR.ADDRMSK[7:0] 位的值，以确保任何地址都不会映射到多个芯片，否则 FEMC 的行为将无法定义。如果 AXI 访问未映射到任何存储设备，则 FEMC 会在存储器接口 1 上执行异步传输，并将所有芯片选择置为无效。传输完成后，FEMC 会提供 OKAY 响应。

### 38.8.3.4 Nand 接口时序图

所有 NAND 控制信息和数据输出均在 mclkn 的上升沿（相当于 mclk 的下降沿）上锁存。此外，从存储器件读取的数据在 mclkn 的上升沿由 FEMC 锁存，然后推送到读取数据 FIFO。

注意：本节不描述 FEMC\_OMCFG 寄存器的设置，因为对于 NAND 设备，您只能对内存宽度字段进行编程。

Nand 接口通过 FEMC Timing Configuration Register ( FEMC\_TCFG) 编程存储芯片时序信号, FEMC 可编程的时序参数包括:

表 38-14 Nand 接口时序参数

参数名称	参数取值范围	参数说明
FEMC_TCFG.RC[3:0]	2 ~ 15	读周期
FEMC_TCFG.WC[3:0]	2 ~ 15	写周期
FEMC_TCFG.CERE[2:0]	1 ~ 7	FEMC_NOE 信号断言延迟时间
FEMC_TCFG.WP[2:0]	1 ~ 7	FEMC_NWE 信号脉冲宽度
FEMC_TCFG.PCCLR[2:0]	0 ~ 7	最近的命令锁存信号 FEMC_CLE 的下降沿与新的数据阶段之间插入的延时
FEMC_TCFG.TRAR[2:0]	0 ~ 7	最近的地址锁存信号 FEMC_ALE 的下降沿与新的数据阶段之间插入的延时
FEMC_TCFG.WERR[3:0]	0 ~ 15	数据阶段命令与另一数据选通信号的触发之间的周期延时, 即 <ul style="list-style-type: none"> <li>■ 写数据阶段与下一次 FEMC_NOE 的触发之间</li> <li>■ 读数据阶段与下一次 FEMC_NWE 的触发之间</li> </ul>

注意:

- (1) 对于  $t_{PCCLR}$ , 典型情况是仅有启动命令阶段 (不包括地址和结束命令阶段), 然后是数据阶段, 实际 FEMC\_CLE 的下降沿与新的数据阶段之间时间正好是  $t_{PCCLR}$ 。对于启动命令 -> 地址 -> 结束命令 -> 数据阶段的情况也是类似的 (注意在结束命令阶段 FEMC\_CLE 同样被置位)。在启动命令 -> 地址 -> 数据阶段的情况下, 实际 FEMC\_CLE 的下降沿与新的数据阶段之间的时间为  $Max(t_{PCCLR}, 地址周期)$
- (2) 对于  $t_{TRAR}$ , 典型情况是地址阶段 (不包括结束命令阶段) 然后是数据阶段, 实际的 FEMC\_ALE 的下降沿到新的数据阶段之间时间正好是  $t_{TRAR}$ 。如果包括结束命令阶段, 实际的 FEMC\_ALE 的下降沿到新的数据阶段之间时间为  $Max(t_{TRAR}, 结束命令周期)$ 。

以下内容适用于 NAND 访问:

- **命令阶段:** 当发出地址周期为零的命令阶段访问时, 必须始终启用至少一个字节通道
- **数据阶段:** 读取数据阶段不能有与之关联的结束命令

注意: 内部信号 *read\_data* 包含在读取传输波形中, 用于指示 FEMC 锁存数据的时钟边沿

### 38.8.3.4.1 命令阶段访问

表 38-15 给出了 NAND Flash 地址输入的寄存器设置示例:

表 38-15 NAND Flash 地址输入的寄存器设置

FEMC_OMCFG									FEMC_TCFG						
BSTAGN	BLSS	ADV	BAA	WRBL	WRSYN	RDBL	RDSYN	MDBW	WERR	TRAR	PCCLR	WP	CERE	WC	RC
--	--	--	--	--	--	--	--	b00 或 b01	--	--	--	b001	--	b0010	--

图 38-20 显示了命令阶段地址输入时写周期  $t_{wc}=2$  个周期, FEMC\_NEW 脉宽  $t_{wp}=1$  个周期。该地址由三个周期组成, 并且还需要结束命令。



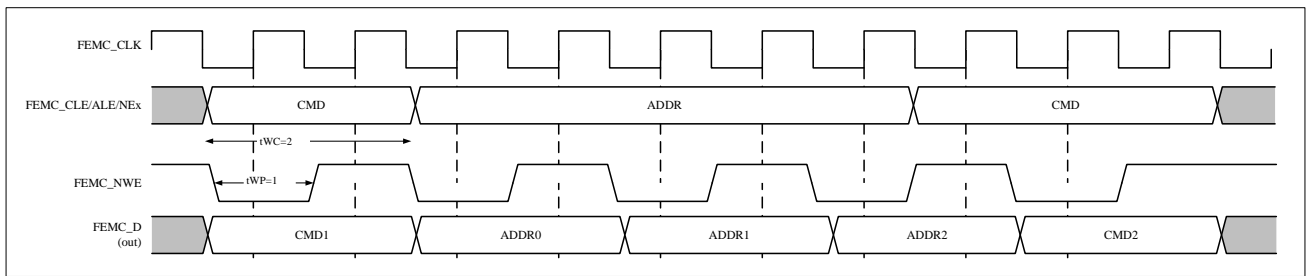
**图 38-20 命令阶段地址输入**


表 38-16 显示了 NAND 闪存地址输入的示例 awaddr 字段。

**表 38-16 地址输入 awaddr 字段的示例**

awaddr 位	值	说明
[31:24]	片选地址	--
[23:21]	b011	3 个地址周期
[20]	1	结束命令有效
[19]	0	命令阶段传输
[18:11]	CMD2	--
[10:3]	CMD1	--
[2:0]	b000	地址对齐

### 38.8.3.4.2 数据阶段访问

表 38-17 给出了 NAND Flash 读取的寄存器设置示例：

**表 38-17 NAND Flash 读取的寄存器设置**

FEMC_OMCFG									FEMC_TCFG						
BSTAGN	BLSS	ADV	BAA	WRBL	WRSYN	RDBL	RDSYN	MDBW	WERR	TRAR	PCCLR	WP	CERE	WC	RC
--	--	--	--	--	--	--	--	b00 或 b01	--	--	--	--	b010	--	b0011

图 38-21 显示了 NAND 闪存读取数据的操作，读周期  $t_{RC}=3$  个周期，FEMC\_NOE 输出使能有效延迟  $t_{CERE}=2$  个周期。读取了 3 个数据项。

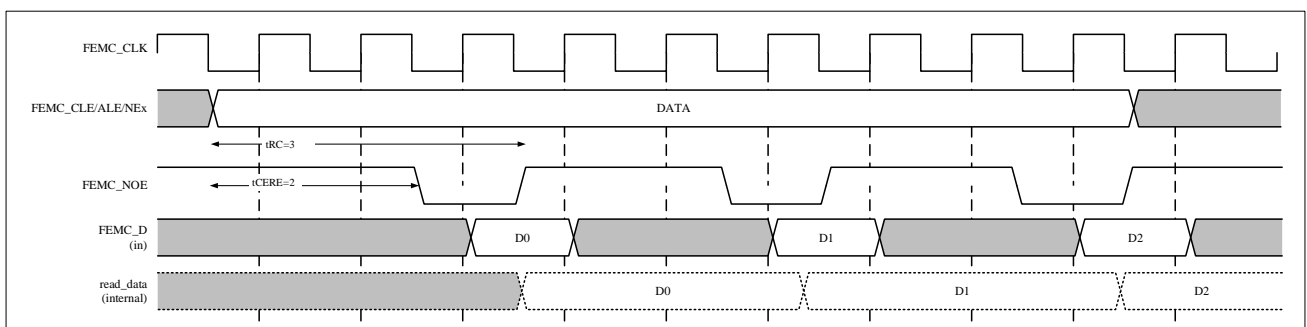
**图 38-21 NAND 闪存读取数据**


表 38-18 显示了 NAND 闪存页面读取的示例 awaddr 字段。

**表 38-18 地址输入 awaddr 字段的示例**

awaddr 位	值	说明
[31:24]	片选地址	--
[23:22]	b00	保留
[21]	1	最后一次传输，当传输完成后拉高片选
[20]	0	结束命令有效
[19]	1	数据阶段传输
[18:11]	CMD2	--
[10]	0	ECC Last
[9:3]	b000_0000	保留
[2:0]	b000	地址对齐

### 38.8.3.4.3 命令到数据阶段访问

表 38-19 给出了地址锁存到数据阶段的寄存器设置示例：

**表 38-19 地址锁存到数据阶段的寄存器设置**

FEMC_OMCFG									FEMC_TCFG						
BSTAGN	BLSS	ADV	BAA	WRBL	WRSYN	RDBL	RDSYN	MDBW	WERR	TRAR	PCCLR	WP	CERE	WC	RC
--	--	--	--	--	--	--	--	b00 或 b01	--	b010	--	b001	b010	b0010	b0011

图 38-22 显示了地址锁存 FEMC\_ALE 下降沿到新的数据阶段命令开始之间的额外周期延迟数  $t_{TRAR}=2$ 。

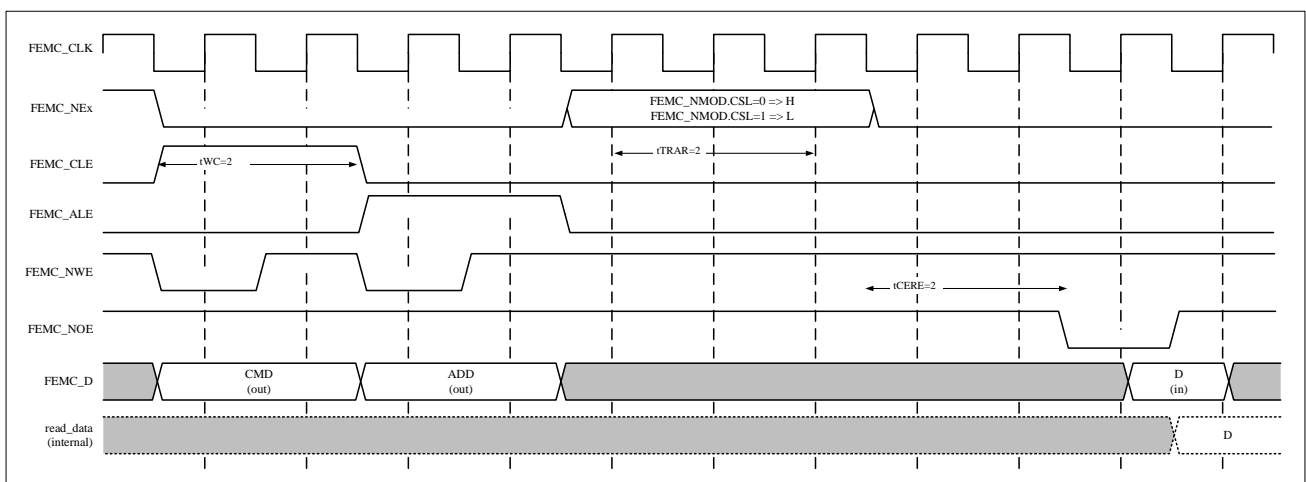
**图 38-22 地址锁存到数据阶段时序图**


表 38-20 给出了命令锁存到数据阶段的寄存器设置示例：

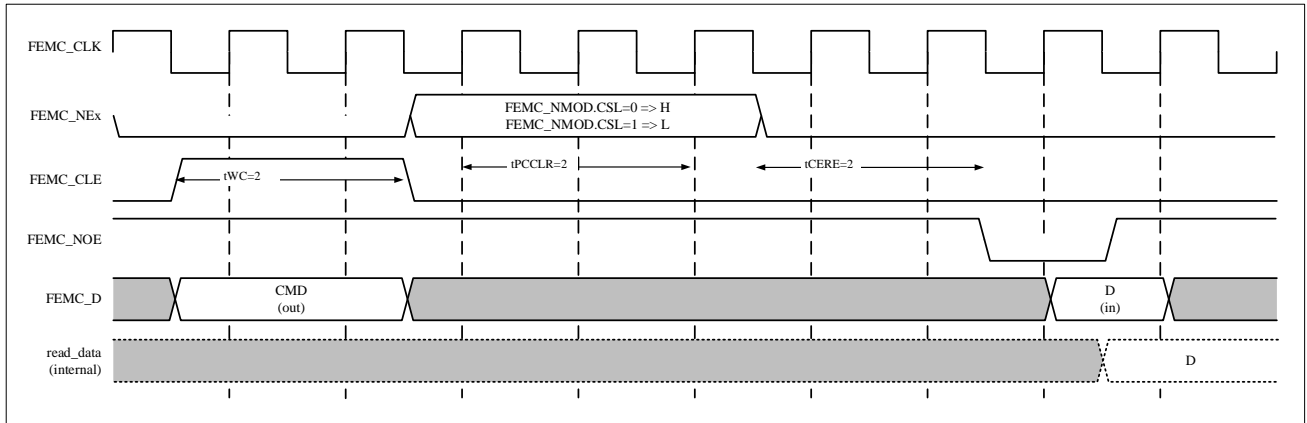
**表 38-20 命令锁存到数据阶段的寄存器设置**

FEMC_OMCFG									FEMC_TCFG						
BSTAGN	BLSS	ADV	BAA	WRBL	WRSYN	RDBL	RDSYN	MDBW	WERR	TRAR	PCCLR	WP	CERE	WC	RC

--	--	--	--	--	--	--	--	b00 或 b01	--	--	b010	b001	b010	b0010	b0011
----	----	----	----	----	----	----	----	-----------------	----	----	------	------	------	-------	-------

图 38-23 显示了命令锁存 FEMC\_CLE 下降沿到新的数据阶段命令开始之间的额外周期延迟数  $t_{PCCLR}=2$ 。

图 38-23 命令锁存到数据阶段时序图



注意： $t_{PCCLR}$  延迟在读取和写入数据阶段命令之前应用。

#### 38.8.3.4.4 数据到命令阶段访问

表 38-21 给出了数据阶段到命令阶段的寄存器设置示例：

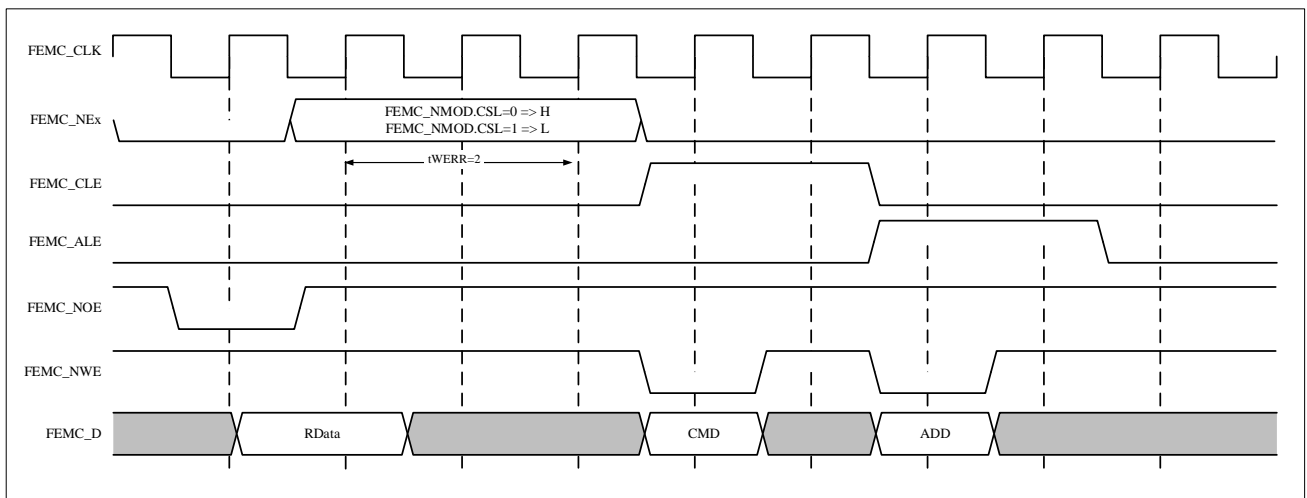
表 38-21 命令锁存到数据阶段的寄存器设置

FEMC_OMCFG									FEMC_TCFG						
BSTAGN	BLSS	ADV	BAA	WRBL	WRSYN	RDBL	RDSYN	MDBW	WERR	TRAR	PCCLR	WP	CERE	WC	RC
--	--	--	--	--	--	--	--	b00 或 b01	b0010	--	--	b001	b001	b0010	b0010

FEMC 还使用  $t_{WERR}$  表示数据阶段命令与其他数据选通信号断言之间的周期延迟数，即：

- 写入数据阶段和 FEMC\_NOE 的下一个断言
- 读取数据阶段和 FEMC\_NWE 的下一个断言，如图 38-24 所示

图 38-24 读取数据阶段和 FEMC\_NWE 的下一个断言时序图



### 38.8.3.5 Nand 事务格式

NAND 设备的事务需要一些特定的操作来将事务格式化为正确的格式，以便 FEMC 将事务正确映射到 NAND 设备。

图 38-25 至图 38-28 显示了设备驱动程序如何格式化 FEMC 的 NAND 命令：

- 对于命令阶段访问，NAND 存储器地址以数据形式传递
- 对于数据阶段访问，数据通过数据总线传递

图 38-25 Nand 读格式示例 (1/2)

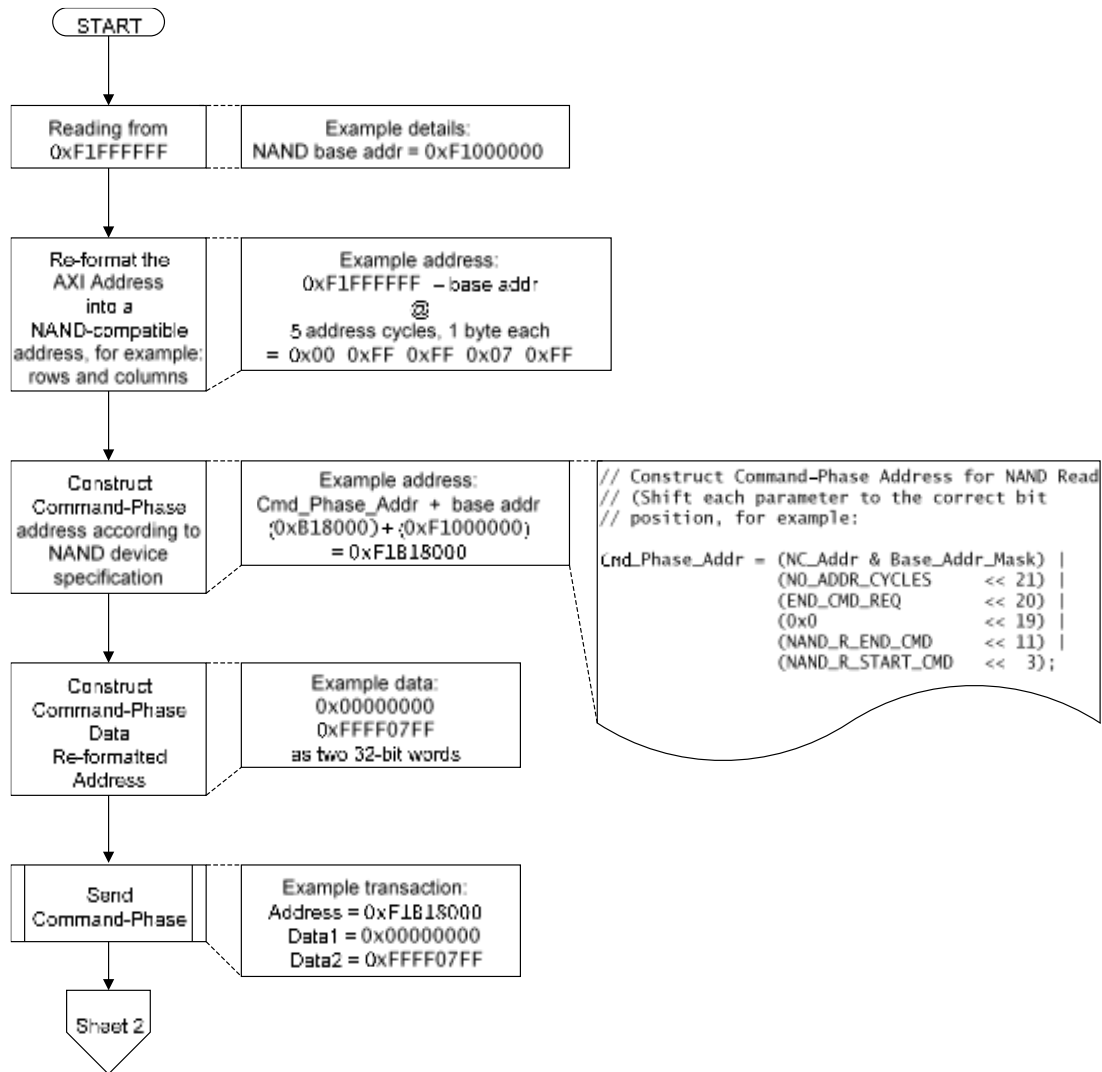


图 38-26 Nand 读格式示例 (2/2)

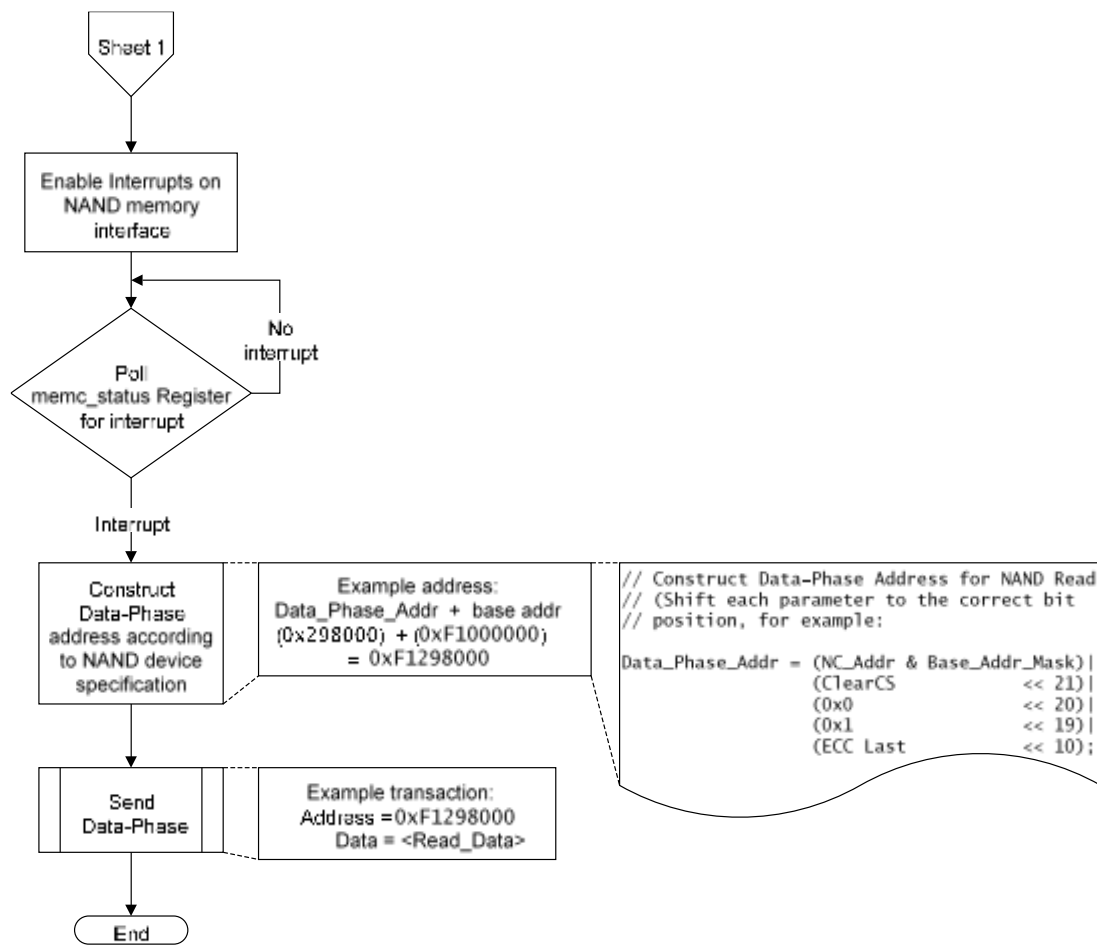


图 38-27 Nand 写格式示例 (1/2)

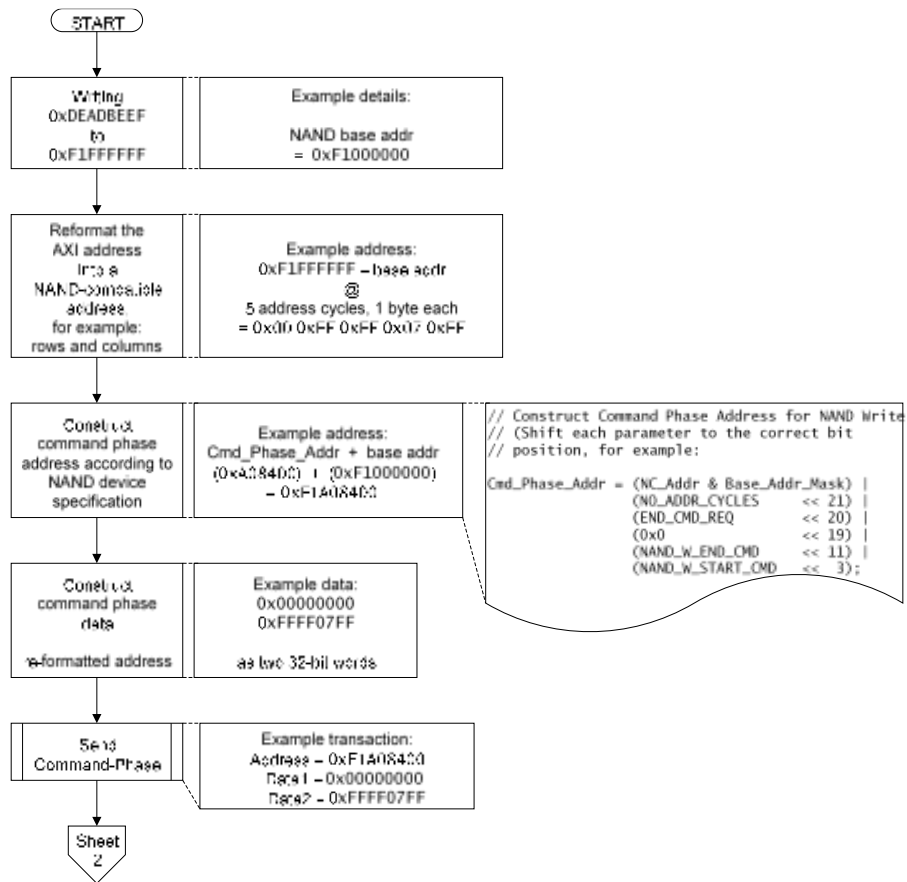
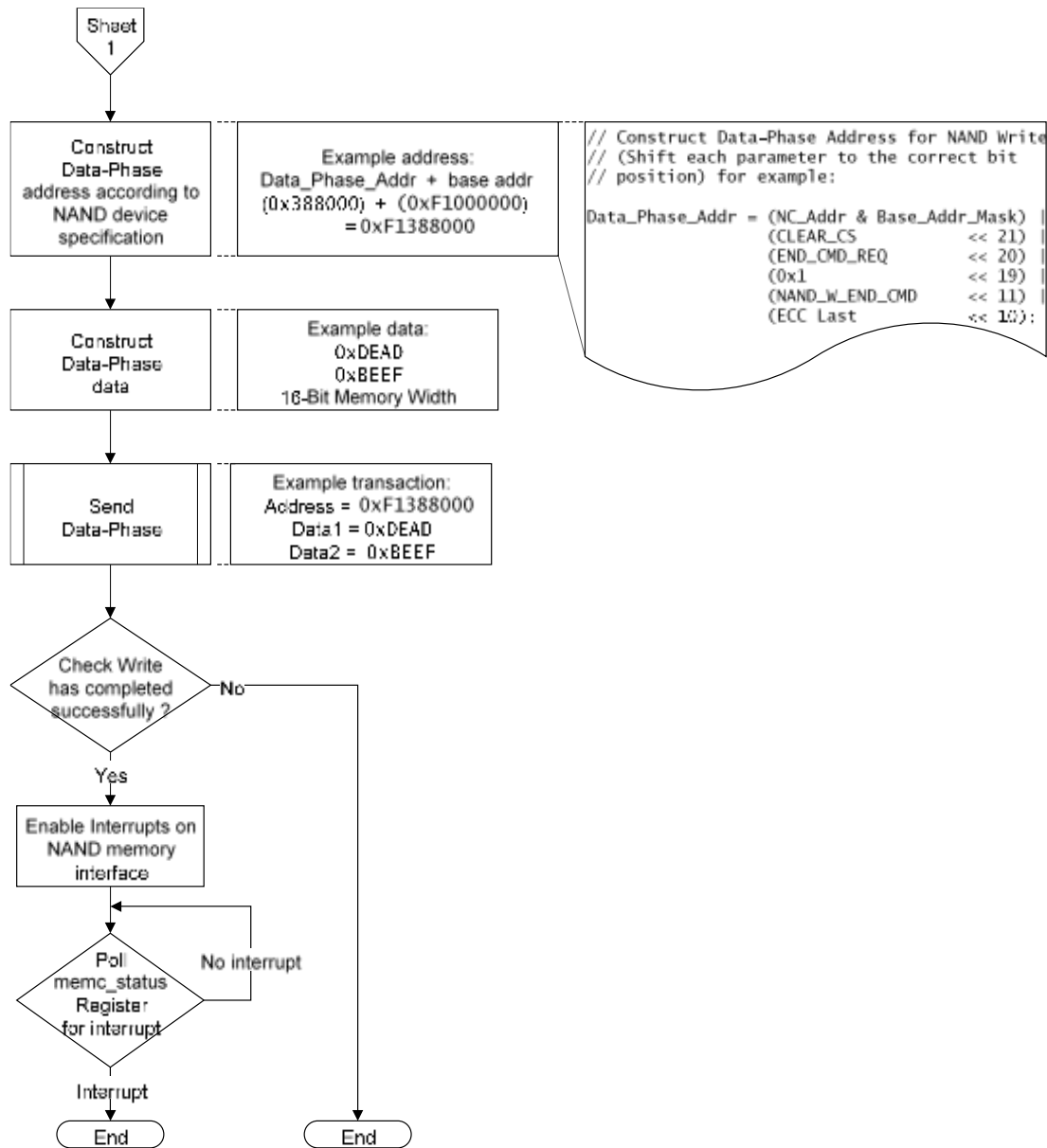


图 38-28 Nand 写格式示例 (2/2)



### 38.8.4 错误纠正码 (ECC)

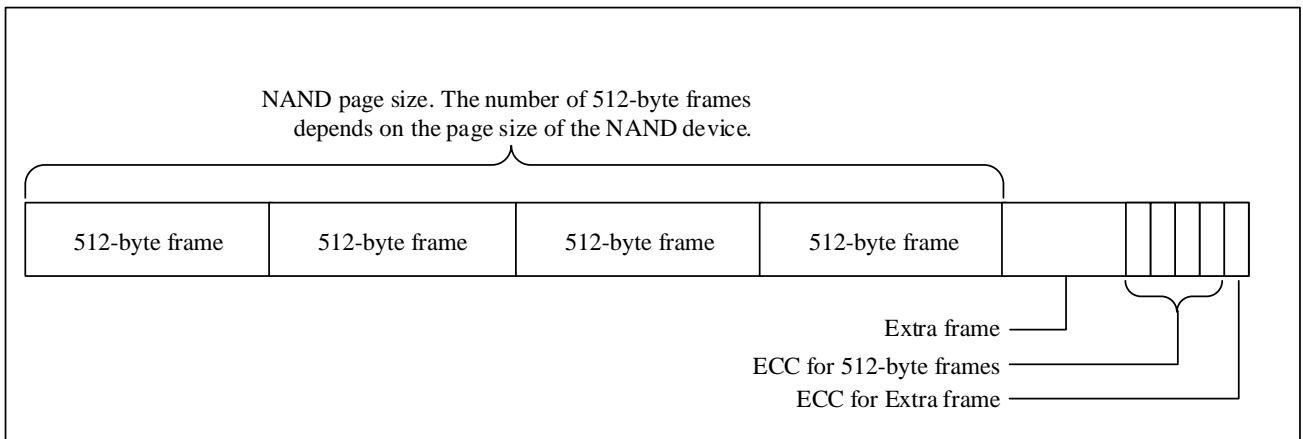
在配置阶段，每个 NAND 接口都可以包含一个 ECC 块。该块对 NAND 存储器的多个 512 字节帧进行操作，并可进行编程，将 ECC 代码存储在存储器中的数据之后。对于写入操作，ECC 代码会写入页面的 spare 区域。对于读取操作，帧 ECC 校验的结果将提供给设备驱动程序

*注意：由于 NAND 内存设备没有标准接口，因此在启用 FEMC 使用 ECC 功能之前，了解特定内存类型的特性非常重要。*

配置选项允许在页面末尾 (ECC 数据开始之前) 包含一个 4、8、16 或 32 字节的额外帧。图 38-29 显示了内存中的 ECC 块结构。



图 38-29 ECC 块结构

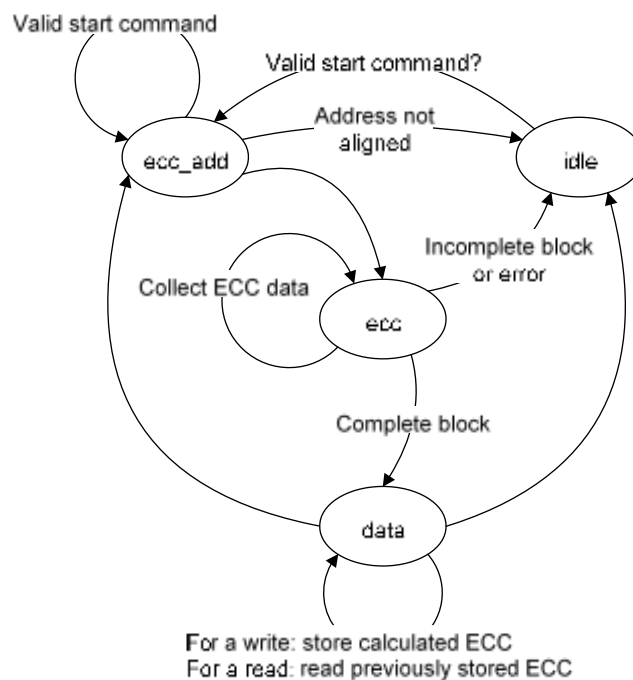


### 38.8.4.1 操作

ECC 计算使用简单的汉明码，采用 1 位校正 2 位检测。当在内存接口上检测到带有 512 字节对齐地址的有效读或写命令，并且通过 NAND ECC 配置寄存器启用该块时，它就会开始工作。存储在 NAND ECC Command0 寄存器 (FEMC\_ECCMD0) 和 NAND ECC Command1 寄存器 (FEMC\_ECCMD1) 中的值用于检测地址阶段访问的开始。

图 38-30 显示了 ECC 运行的概览。

图 38-30 ECC 状态框图

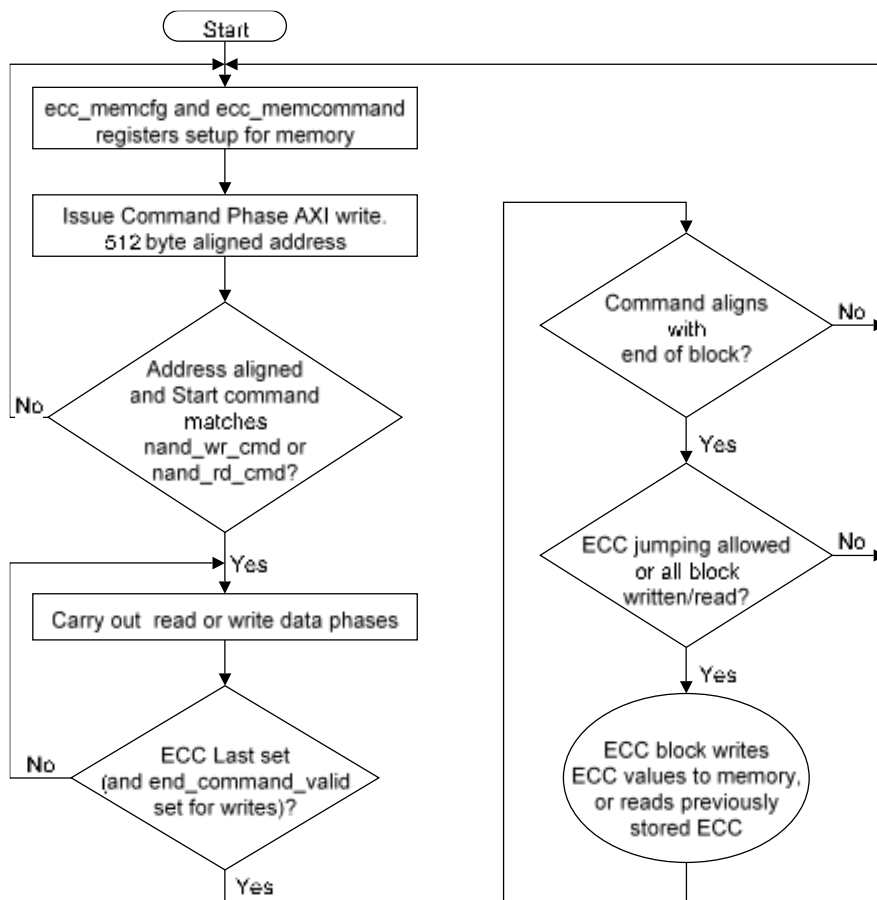


每个 512 字节帧都会生成一个 24 位 ECC 值，而额外的帧则会生成一个 10 到 16 位之间的较短代码。

注意：对于 16 位接口，ECC 值将写入与 16 位边界对齐的内存。

图 38-31 显示了块之间不读取 ECC 值的基本操作。

图 38-31 ECC 基本操作



### 38.8.4.2 寻址

ECC 块支持两种寻址模式。必须根据所使用的内存类型正确设置，因为它用于生成在 NAND 页面上移动的地址，以及检测 512 字节对齐的地址。

#### 38.8.4.2.1 正常模式寻址

正常模式将 FEMC\_ECCCFG.A8OUTMSK 位设置为 0，预计前两个字节仅包含列地址位，如表 38-22 所示。

表 38-22 正常模式寻址

Cycle	IO7	IO6	IO5	IO4	IO3	IO2	IO1	IO0
1st	A7	A6	A5	A4	A3	A2	A1	A0
2nd	La	La	La	La	A11 <sup>b/L</sup>	A10	A9	A8
3rd~7th	Don't care							

- a. 这些位必须为低；否则，行为未定义。
- b. 可能存在 A11，具体取决于内存宽度

此模式支持所有随机访问、列更改命令以及最多四个 512 字节帧。

#### 38.8.4.2.2 第二种寻址模式

第二种寻址模式将 FEMC\_ECCCFG.A8OUTMSK 位设置为 1，支持 512 位存储器，其中地址格式如表 38-23 所示。

**表 38-23 第二模式寻址**

Cycle	IO7	IO6	IO5	IO4	IO3	IO2	IO1	IO0
1st	A7	A6	A5	A4	A3	A2	A1	A0
2nd	Don't care							
3rd~7th	Don't care							

注意：在此模式下，A8 作为 start command 的一部分传递，并不存在于数据中。

在此模式下，不可能进行随机访问。FEMC\_ECCMD1.RDCOL[7:0]字段可以用作替代的读取开始命令。这使得 ECC 计算仅在页面末尾的额外帧上进行。

对于写操作，发出零地址周期、指针更改命令，该命令与 FEMC\_ECCMD1.RDCOL[7:0]命令相匹配，告诉 ECC 块下一次写命令是针对额外位的。这仅适用于后续写入命令，即使存储器在多次写入操作中只需要一次指针访问。

### 38.8.4.3 数据

发送有效的起始地址后，可以使用一系列 NAND 数据阶段命令读取或写入数据。最后一次访问必须与 512 字节帧的末尾对齐，或者如果启用了额外帧，则与额外帧对齐。必须在最后一次数据阶段访问时设置 ECC Last，以告知 ECC 块不再需要任何数据。

如果在 ECC 操作期间收到对其他芯片的访问，ECC 块将中止，并设置 FEMC\_ECCSTS.LASTS[1:0]字段，以指示数据在未完成的块后停止。此后，将不再向内存读取或写入 ECC 数据。

### 38.8.4.4 地址跳转

为了使您能够写入单独的 512 字节帧或 ECC 额外帧，FEMC 可以发出地址阶段命令来在 NAND 页面中移动。

FEMC\_ECCCFG.JUMP[1:0] 字段控制 FEMC 如何跳转到内存中的正确位置。可以对 FEMC\_ECCCFG.JUMP[1:0]进行编程，使其执行以下操作：

#### 38.8.4.4.1 使用完整命令跳转

FEMC 使用存储在 FEMC\_ECCMD0 寄存器中的命令来控制 NAND 地址指针。它还使用这些命令来检测 NAND 读写操作的开始。

#### 38.8.4.4.2 使用列更改命令跳转

FEMC 使用存储在 FEMC\_ECCMD1 寄存器中的指令。作为写访问的结束指令使用的值直接取自之前 AXI 指令中已设置 end\_command\_valid 位的指令。

#### 38.8.4.4.3 禁止跳转

FEMC 仅在页面末尾读取或写入 ECC 数据。必须将页面中的所有帧都读取/写入。

写入操作的 ECC 值仅在收到结束命令后才会写入内存。对于读取操作，可以使用 FEMC\_ECCCFG.RMOD 位设置在每个帧之间从内存读取 ECC 数据。

### 38.8.4.5 地址模式

以下部分描述了写入 ECC 值时用于控制地址指针的不同方法：

- FEMC\_ECCCFG.JUMP[1:0] = 00，禁止跳转，读和写仅在页面末尾进行
- FEMC\_ECCCFG.JUMP[1:0] = 01，使用列更改命令跳转

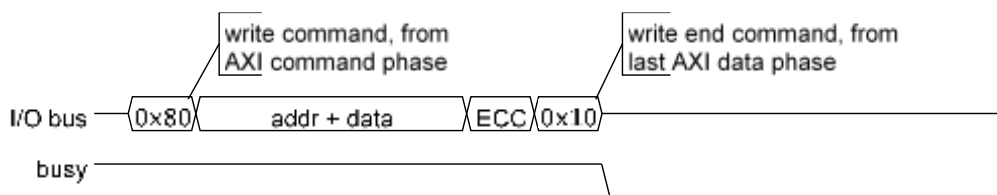
- FEMC\_ECCCFG.JUMP[1:0] = 10，使用完整命令跳转
- FEMC\_ECCCFG.JUMP[1:0] != 00 并且 FEMC\_ECCCFG.A8OUTMSK = 1 禁止 A8 输出

注意：相同的方法也可以应用于读取操作，只是如果在 NAND ECC 命令寄存器中启用了相关功能，结束命令可能会在地址之后输出，但绝不会在数据传输之后输出。

### 38.8.4.5.1 FEMC\_ECCCFG.JUMP[1:0] = 00 禁止跳转

如果 FEMC\_ECCCFG.JUMP[1:0] = 00 禁止跳转，且并非页面中的所有帧都已读取或写入，则会产生错误。但是，计算出的 ECC 值可在 FEMC\_ECCBL 寄存器中找到。如果需要，您可以使用软件将它们写入内存。

图 38-32 ECC 禁止跳转写

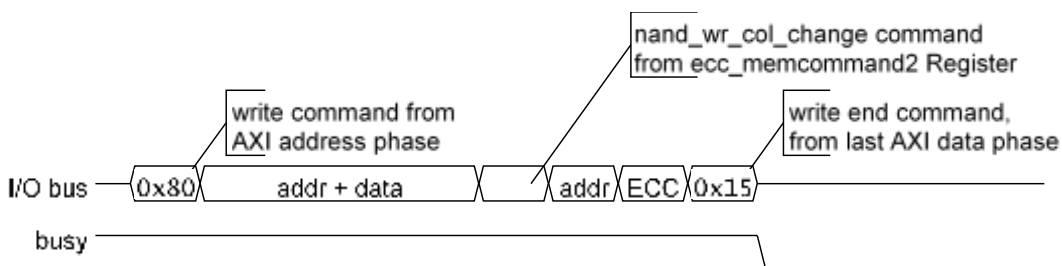


注意：这些图中显示的值（例如 0x80、0x10 或 0x15）仅具有代表性，可能与您的特定 NAND 设备不匹配。

### 38.8.4.5.2 FEMC\_ECCCFG.JUMP[1:0] = 01 列更改命令跳转

如果 FEMC\_ECCCFG.JUMP[1:0] = 01 列更改命令跳转，FEMC 会发出列更改命令，其中包含两个地址周期。图 38-33 并非每个块都写入，随机访问。

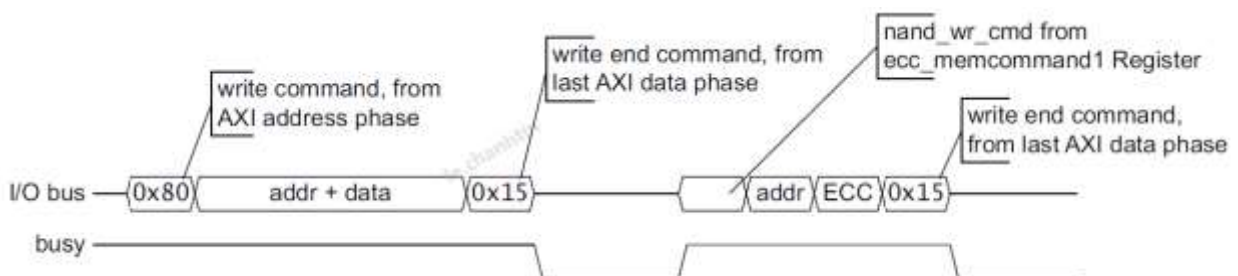
图 38-33 ECC 列更改命令跳转写



### 38.8.4.5.3 FEMC\_ECCCFG.JUMP[1:0] = 10 完整命令跳转

如果 FEMC\_ECCCFG.JUMP[1:0] = 10 使用完整命令，FEMC 将发出一个全新的命令阶段访问，其地址周期数与初始写入相同。

图 38-34 ECC 完整命令跳转写



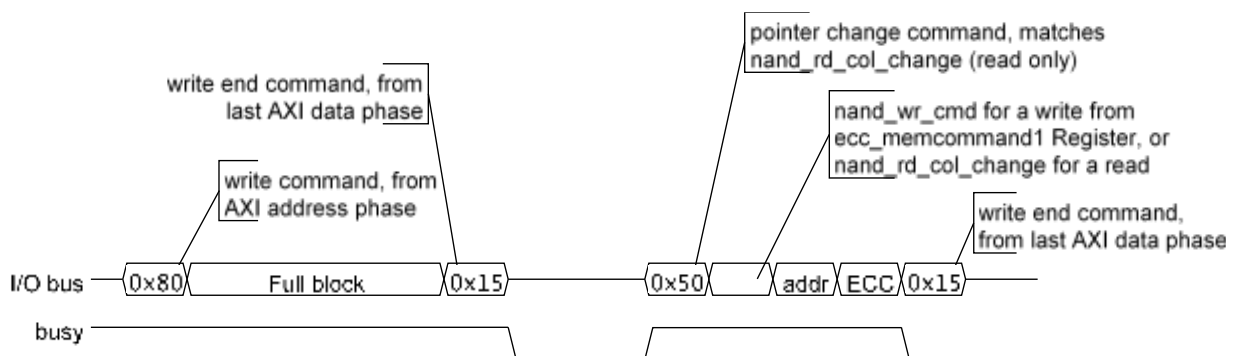
注意：

- (1) 如果  $FEMC\_ECCCFG.JUMP[1:0] = 10$  设置为使用完整命令，这将计入 NAND 页必须擦除之前的最大程序操作次数
- (2) 如果将  $FEMC\_ECCCFG.RMOD$  位设置为在帧之间读取，则每个边界必须与数据阶段访问的结束对齐。否则，数据阶段访问可以跨越帧之间的边界

#### 38.8.4.5.4 FEMC\_ECCCFG.JUMP[1:0] != 00 并且禁止 A8 输出

如果并非所有帧都已写入，仍要写 ECC 值到内存设备，FEMC 会使用  $FEMC\_ECCMD1.WRCOL[7:0]$ 字段的值发出指针更改命令。对于读取操作，即并非所有帧都读出，仍要读内存设备中的 ECC 值，将使用  $FEMC\_ECCMD1.RDCOL [7:0]$ 字段代替标准读取命令，以访问页面末尾的额外位。

图 38-35 FEMC\_ECCCFG.JUMP[1:0] != 00 并且禁止 A8 输出



注意：在第二种寻址模式下写入或读取 ECC 值后，ECC 模块不会将指针恢复到其先前的状态。软件可能需要更正指针，具体取决于内存情况以及 ECC 模块是否被强制跳转到额外数据区域。

#### 38.8.4.6 Cache 模式访问

如果执行 Cache 模式读取，则必须读取整个页面，并且仅在最后一页的最后一个数据阶段访问时发出 ECC Last。如果尝试读取超出页面大小的数据，则会出现未定义的行为。

注意：

1. 必须将  $FEMC\_ECCCFG.JUMP[1:0] = 00$  禁止跳转，以防止 FEMC 尝试在 Cache 寄存器周围移动地址指针
2. 如果读取了多个页面，则软件必须维护页面数量的计数。读取新页面的第一帧时，所有块有效和读取标志都会被清除

#### 38.8.4.7 错误码

$FEMC\_ECCSTS$  寄存器中的错误代码适用于之前的 ECC 操作。该错误代码仅在 ECC 块空闲时才有效。

#### 38.8.4.8 ECC 中断

发生以下事件时可以产生中断：

- 当 ECC 块在读取时检测到错误
- 当从内存读取 ECC 数据时，如果  $FEMC\_ECCCFG.RDCINT$  位被设置
- 发生错误时，如果  $FEMC\_ECCCFG.ABTINT$  位被设置

可以通过以下方式清除中断标志：

- 写入  $FEMC\_ECCSTS.INTF[5:0]$ 寄存器中的中断标志

- 将任意值写入 FEMC\_ECCBL.INTF 位

注意：要启用外部中断，必须 FEMC\_CFGE.CCINTEN 使能 ECC 中断。

### 38.8.4.9 纠正错误

FEMC 识别错误的发生和位置，以便软件可以纠正这些错误。如果发生错误，则硬件置位 FEMC\_ECCSTS.FAILF[4:0]相应位。如果错误可以纠正，则在相应的 FEMC\_ECCSTS.CORCTF[4:0]位置位，并且 FEMC\_ECCBLK.VAL[23:0]字段提供必须纠正的位的位置。

表 38-24 显示了 FEMC\_ECCSTS.FAILF[4:0]位和 FEMC\_ECCSTS.CORCTF[4:0]位的解码含义。

表 38-24 FEMC\_ECCSTS.FAILF[4:0]位和 FEMC\_ECCSTS.CORCTF[4:0]位的解码含义

FEMC_ECCSTS.FAILF[4:0]	FEMC_ECCSTS.CORCTF[4:0]	含义
0	0	No error
0	1	Parity error
1	0	Multiple error
1	1	Single error

FEMC\_ECCBLK.VAL[23:0]字段的最低三位表示位号，其余 21 位表示哪个字节包含错误。例如，FEMC\_ECCBLK.VAL[23:0] 为 0x101 表示第 32 个字节的第 1 位不正确。0x101--->0001 0000 0001，低 3 位 001 表示位号即第 1 位，剩余 21 位 10 0000（32）表示第 32 个字节，所以表示第 32 个字节的第 1 位不正确。

## 38.8.5 中断

该 IP 只有一个中断信号，由各个内存接口中断和 ECC 中断组合而成。中断在以下上升沿触发：

- SRAM 内存接口类型的 int 输入，或
- NAND 存储器接口类型的 busy 输入，或
- ECC 中断（仅限 NAND 内存接口）

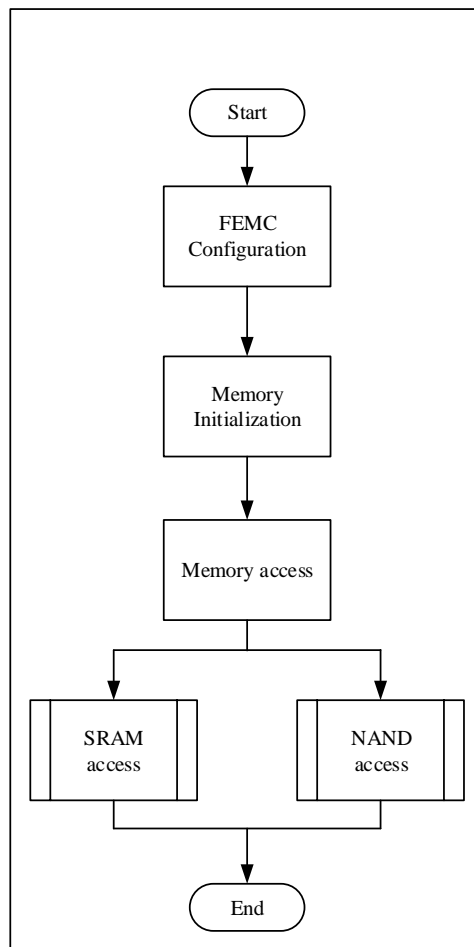
中断标志通过下列的方式可清除：

- 对于由 int 输入产生的中断：当下一次对 SRAM 存储器接口类型发起 AXI 读取时，或者写入 FEMC\_CCF.INT0CLR=1 时，它将被清除
- 对于由 busy 输入产生的中断：当有下一个发送到 NAND 存储器接口类型的 AXI 读操作时，或者写入 FEMC\_CCF.INT1CLR=1 时，它会被清除。
- 通过写入相应的寄存器位来清除 ECC 中断标志

## 38.8.6 编程指南

该控制器提供大量寄存器，允许用户配置 FEMC、内部 SMC 核、外部存储器以及存储器访问的时序操作模式。用户设置存储器访问操作的通用编程流程如图 38-36 所示。

图 38-36 通用编程流程



### 38.8.6.1 FEMC 配置

用户可以更改以下 FEMC 配置：

- 每个外部存储器组的地址映射  
用户可以设置 FEMC\_SNADDR 寄存器和 FEMC\_NADDR 寄存器的 ADDRMC 和 ADDRMSK 位来重新定义每个设备的实际地址映射范围  
*注意：必须将地址映射更改为仅针对该 bank 的原始系统内存映射的子范围。否则，对外部存储器的访问将无法正确解码*
- AXI 时钟与内存时钟之间的同步  
该控制器允许内存时钟与 AXI 时钟同步或异步。用户可以通过设置 FEMC\_SNMOD 寄存器或 FEMC\_NMOD 寄存器的 SYNC 位来选择
- SRAM 接口模式（重新映射、复用地址/数据）
- NAND 接口模式（片选时序）

由于这些设置会影响 SMC 内核的初始值和后续操作，从而影响 FEMC 的操作，因此只能在 SMC 内核复位期间更改这些设置。

### 38.8.6.2 内存初始化

使用寄存器设置来初始化 FEMC 和存储设备，以确保在访问内存之前它们是同步且兼容的。

图 38-37 和图 38-38 显示了设备驱动程序必须执行的事件序列，以初始化 FEMC 和内存设备，以确保两者的配置同步。

通常，PSRAM 设备可以仅使用地址总线对模式寄存器进行编程。NOR 闪存设备是需要使用地址总线 and 数据总线的访问序列来进行模式寄存器访问的存储器实例。请查阅您正在配置的具体存储器设备的数据手册以确定配置方法。

图 38-37 FEMC 和内存初始化流程 (1/2)

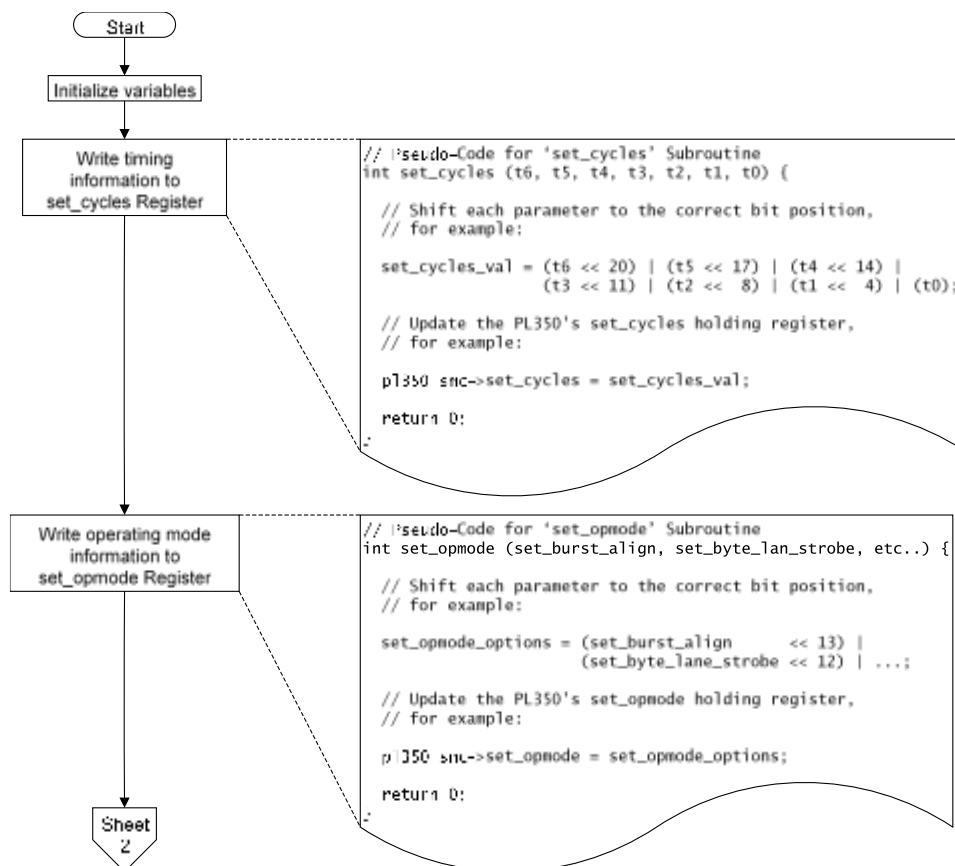
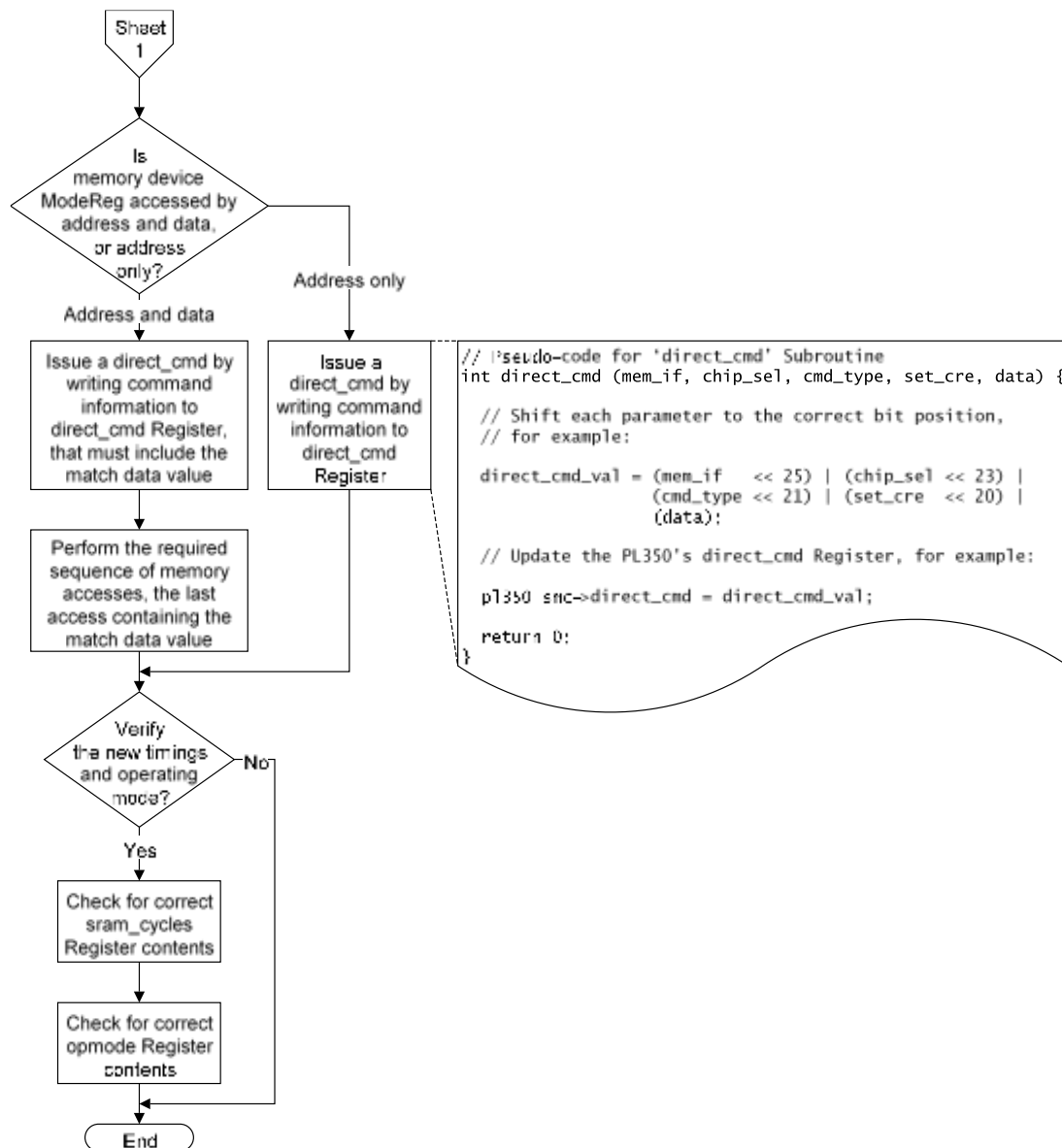




图 38-38 FEMC 和内存初始化流程 (2/2)



### 38.8.6.3 内存访问

使用 AXI 事务访问内存。该 IP 将 AXI 事务转换为相应的内存访问。

- 对于 SRAM 访问，只要内存初始化正确执行，AXI 突发属性就没有特殊限制。需要注意的是，虽然可以发出未完成的并行 AXI 突发，但转换后的内存访问是串行发出的。
- 对于 NAND 访问，需要进行一些特定的操作才能将事务格式化为正确的格式，以便 FEMC 能够将事务正确映射到 NAND 设备。

## 38.9 FEMC 寄存器

FEMC 基地址：0xA000 0000

### 38.9.1 FEMC 状态寄存器 (FEMC\_STS)

地址偏移：0x000

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16				
Reserved																			
rw	rw	rw																	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Reserved			RECC INTF	Reserved		ECC INTF	Reserved		ECCINTENF	Reserved		RINT1F	RINT0F	INT1F	INT0F	INT1 ENF	INT0 ENF	Reserved	
			r			r			r			r	r	r	r	r	r		

字段	名称	描述
31:13	Reserved	保留，必须保持复位值。
12	RECCINTF	ECC 中断信号的原始状态。
11	Reserved	保留，必须保持复位值。
10	ECCINTF	ECC 中断状态
9	Reserved	保留，必须保持复位值。
8	ECCINTENF	ECC 中断使能状态 0: 失能中断 1: 使能中断
7	Reserved	保留，必须保持复位值。
6	RINT1F	INT1 (Nand) 中断信号的原始状态。
5	RINT0F	INT0 (SRAM) 中断信号的原始状态。
4	INT1F	INT1 (Nand) 中断信号的状态。
3	INT0F	INT0 (SRAM) 中断信号的状态。
2	INT1ENF	INT1 (Nand) 中断使能状态 0: 失能中断 1: 使能中断
1	INT0ENF	INT0 (SRAM) 中断使能状态 0: 失能中断 1: 使能中断
0	Reserved	保留，必须保持复位值。

### 38.9.2 FEMC 状态寄存器 1 (FEMC\_STS1)

地址偏移: 0x004

复位值: 0x0000 162D

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
rw	rw	rw													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														M0TYPE[1:0]	
														r	

字段	名称	描述
31:2	Reserved	保留，必须保持复位值。
1:0	M0TYPE[1:0]	返回内存接口 0 (SRAM) 类型： 00: reserved 01: SRAM 非复用 10: reserved 11: SRAM 复用

### 38.9.3 FEMC 配置寄存器 (FEMC\_CFG)

地址偏移: 0x008

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							ASYNC ADV	Reserved	ECCINT EN	Reserved				INT1EN	INT0EN
							w		w					w	w

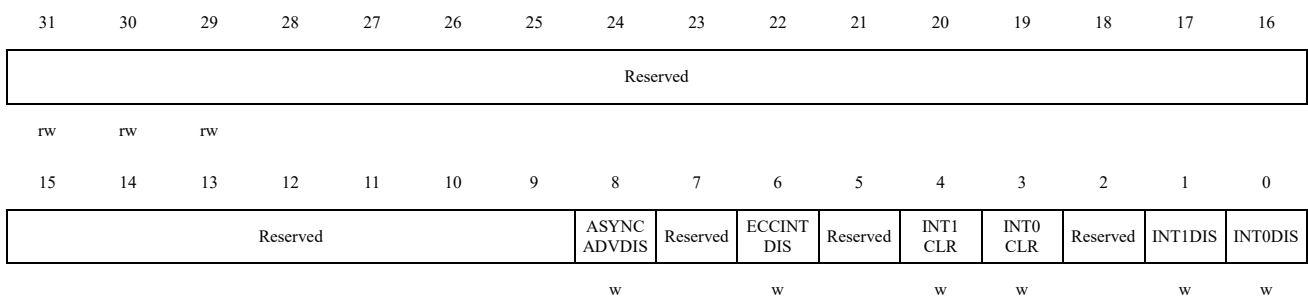
字段	名称	描述
31:9	Reserved	保留，必须保持复位值。
8	ASYNCADV	0: 无效 (写 0 无效) 1: 异步模式 ADV 信号与多路复用模式相同
7	Reserved	保留，必须保持复位值。
6	ECCINTEN	0: 无效 (写 0 无效)

字段	名称	描述
		1: 使能 ECC 中断
5:2	Reserved	保留, 必须保持复位值。
1	INT1EN	0: 无效 (写 0 无效) 1: 使能 INT1 (Nand) 中断
0	INT0EN	0: 无效 (写 0 无效) 1: 使能 INT0 (SRAM) 中断

### 38.9.4 FEMC 配置清除寄存器 (FEMC\_CCFG)

地址偏移: 0x00C

复位值: 0x0000 0000

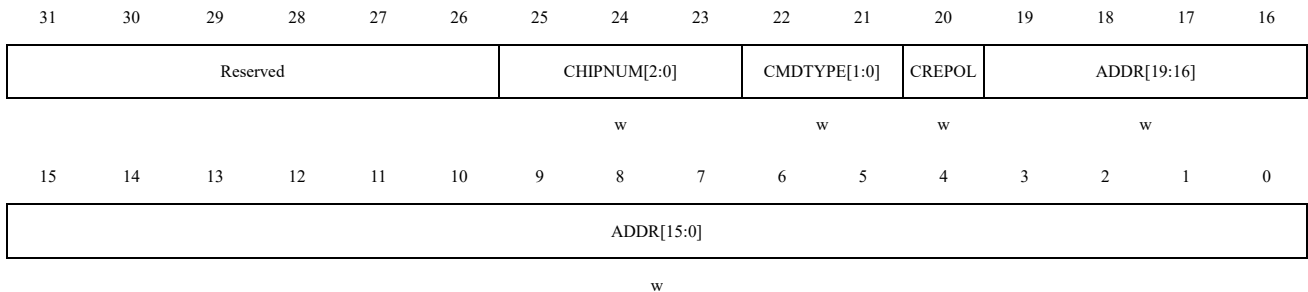


字段	名称	描述
31:9	Reserved	保留, 必须保持复位值。
8	ASYNCADVDIS	0: 无效 (写 0 无效) 1: 异步模式没有 ADV 信号
7	Reserved	保留, 必须保持复位值。
6	ECCINTDIS	0: 无效 (写 0 无效) 1: 失能 ECC 中断
5	Reserved	保留, 必须保持复位值。
4	INT1CLR	0: 无效 (写 0 无效) 1: 清除 INT1 (Nand) 中断标志
3	INT0CLR	0: 无效 (写 0 无效) 1: 清除 INT0 (SRAM) 中断标志
2	Reserved	保留, 必须保持复位值。
1	INT1DIS	0: 无效 (写 0 无效) 1: 失能 INT1 (Nand) 中断
0	INT0DIS	0: 无效 (写 0 无效) 1: 失能 INT0 (SRAM) 中断

### 38.9.5 FEMC 控制寄存器 (FEMC\_CTRL)

地址偏移: 0x010

复位值: 0x0000 0000



字段	名称	描述
31:26	Reserved	保留，必须保持复位值。
25:23	CHIPNUM[2:0]	选择要更新的芯片配置寄存器组，并根据 CMDTYPE[1:0]启用芯片模式寄存器访问。编码如下： 000~011：选择内存接口 0 上的芯片 1~4 100~110：选择内存接口 1 上的芯片 1~2
22:21	CMDTYPE[1:0]	选择命令类型： 00: UpdateRegs and AXI 01: ModeReg 10: UpdateReg (将 FEMC_OMCFG 或 FEMC_TCFG 寄存器设置为相应的状态寄存器) 11: ModeReg and UpdateRegs。
20	CREPOL	当发出 ModeReg 命令时，映射到配置寄存器使能信号 CRE。编码如下： 0: CRE 为低电平 1: 当发生 ModeReg 写入时，CRE 为高电平。
19:0	ADDR[19:0]	当 CMDTYPE[1:0]=00 时：位[15:0]用于匹配 wdata[15:0]，位[19:16]保留，写入为零。 当 CMDTYPE[1:0]=01 或 11 时：这些位映射到外部存储器地址的位[19:0] 当 CMDTYPE[1:0]=10 时，这些位保留，写入为零。

### 38.9.6 FEMC 时序配置寄存器 (FEMC\_TCFG)

地址偏移: 0x014

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								WERR[3:0]			TRAR[2:0]			PCCLR[2:0]	
								w			w			W	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PCCLR[2:0]		WP[2:0]		CERE[2:0]			WC[3:0]			RC[3:0]					
w		w		w			w			w					

字段	名称	描述
31:24	Reserved	保留，必须保持复位值。
23:20	WERR[3:0]	<ul style="list-style-type: none"> <li>■ 对于 SRAM 接口：异步复用写传输模式下的 FEMC_NWE 和 FEMC_NE 信号同步方式 0: FEMC_NWE 拉低发生 FEMC_NE 拉低两个时钟周期后 1: FEMC_NE 拉低时 FEMC_NWE 也即刻拉低</li> <li>■ 对于 Nand 接口：数据阶段命令与另一数据选通信号的触发之间的周期延时时间 <i>注意：该参数的取值可以在 Min_Data = 0 和 Max_Data = 0x0F 之间</i></li> </ul>
19:17	TRAR[2:0]	<ul style="list-style-type: none"> <li>■ 对于 SRAM 接口：周转时间 <i>注意：该参数的取值可以在 Min_Data = 1 和 Max_Data = 0x07 之间</i></li> <li>■ 对于 Nand 接口：最近的地址锁存信号 FEMC_ALE 的下降沿与新的数据阶段之间插入的延时时间 <i>注意：该参数的取值可以在 Min_Data = 0 和 Max_Data = 0x07 之间</i></li> </ul>
16:14	PCCLR[2:0]	<ul style="list-style-type: none"> <li>■ 对于 SRAM 接口：页读取周期 <i>注意：该参数的取值可以在 Min_Data = 1 和 Max_Data = 0x07 之间</i></li> <li>■ 对于 Nand 接口：最近的命令锁存信号 FEMC_CLE 的下降沿与新的数据阶段之间插入的延时时间 <i>注意：该参数的取值可以在 Min_Data = 0 和 Max_Data = 0x07 之间</i></li> </ul>
13:11	WP[2:0]	FEMC_NWE 脉宽 <i>注意：该参数的取值可以在 Min_Data = 1 和 Max_Data = 0x07 之间</i>
10:8	CERE[2:0]	FEMC_NOE 断言延时时间 <i>注意：该参数的取值可以在 Min_Data = 1 和 Max_Data = 0x07 之间</i>
7:4	WC[3:0]	写周期 <i>注意：该参数的取值可以在 Min_Data = 2 和 Max_Data = 0x0F 之间</i>
3:0	RC[3:0]	读周期 <i>注意：该参数的取值可以在 Min_Data = 2 和 Max_Data = 0x0F 之间</i>

### 38.9.7 FEMC 操作模式配置寄存器 (FEMC\_OMCFG)

地址偏移：0x018

复位值：0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

BSTAGN[2:0]	BLSS	ADV	BAA	WRBL[2:0]	WRSYN	RDBL[2:0]	RDSYN	MDBW[1:0]
w	w	w	w	w	w	w	w	w

字段	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:13	BSTAGN[2:0]	同步模式下 Burst 对齐设置： 当内存执行同步传输时，这些位控制内存突发是否在内存突发边界被拆分： 000：突发可以跨越任何地址边界 001：突发在内存突发边界上拆分，即连续 32 次传输 010：在 64 拍边界上突发拆分 011：在 128 拍边界上突发拆分 100：在 256 拍边界上突发拆分 Other values：保留 <i>注意：仅 SRAM 存储器接口使用。</i>
12	BLSS	BLS 信号同步设置： 0：BLS 信号和 FEMC_NE 信号改变同步 1：BLS 信号和 FEMC_NWE 信号改变同步 <i>注意：仅 SRAM 存储器接口使用。</i>
11	ADV	ADV 信号使能位： 0：失能 ADV 信号，ADV 信号无效 1：使能 ADV 信号，ADV 信号有效 <i>注意：仅 SRAM 存储器接口使用。</i>
10	BAA	BAA 信号使能位： 0：失能 BAA 信号，BAA 信号无效 1：使能 BAA 信号，BAA 信号有效 <i>注意：仅 SRAM 存储器接口使用。</i>
9:7	WRBL[2:0]	内存写 burst 长度： 000：1 beat 001：4 beats 010：8 beats 011：16 beats 100：32 beats 101：continuous 110~111：reserved. <i>注意：仅 SRAM 存储器接口使用。</i>
6	WRSYN	同步写使能位： 0：异步写

字段	名称	描述
		1: 同步写 注意: 仅 SRAM 存储器接口使用。
5:3	RDBL[2:0]	内存读 burst 长度: 000: 1 beat 001: 4 beats 010: 8 beats 011: 16 beats 100: 32 beats 101: continuous 110~111: reserved. 注意: 仅 SRAM 存储器接口使用。
2	RDSYN	同步读使能位: 0: 异步读 1: 同步读 注意: 仅 SRAM 存储器接口使用。
1:0	MDBW[1:0]	内存数据总线位宽: 00: 8 bits 01: 16 bits 10: 32 bits 11: reserved.

### 38.9.8 FEMC 刷新周期寄存器 (FEMC\_PRE)

地址偏移: 0x020

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													REFPRD[3:0]		
rw															

字段	名称	描述
31:4	Reserved	保留, 必须保持复位值。
3:0	REFPRD[3:0]	刷新周期设备: 0000: 禁用连续突发之间空闲周期的插入 0001: 每次突发后都会插入 1 个空闲周期 0010: 每次突发后都会插入 2 个空闲周期



字段	名称	描述
		0011: 每次突发后都会插入 3 个空闲周期 0100: 每次突发后都会插入 4 个空闲周期 ... 1111: 每次突发后都会插入 15 个空闲周期 注意: (1) 在连续模式下, 内存突发次数限制为 32 拍 (2) 仅 SRAM 存储器接口使用

### 38.9.9 SRAM/NOR-Flash 时序状态寄存器 (FEMC\_SNTSTS1/2/3/4)

地址偏移:  $0x100 + 0x20 * (x-1)$ , ( $x=1,2,3,4$ )

复位值: 0x0002 B3CC

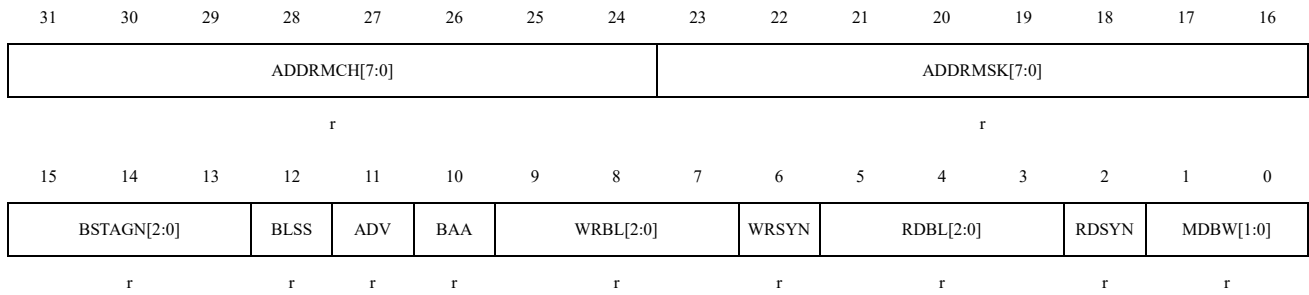
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved											WECS	TR[2:0]		PC[2]	
											r	r		r	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PC[1:0]		WP[2:0]		CERE[2:0]		WC[3:0]			RC[3:0]						
r		r		r		r			r						

字段	名称	描述
31:21	Reserved	保留, 必须保持复位值。
20	WECS	返回异步复用写传输模式下的 FEMC_NWE 和 FEMC_NE 信号同步方法 0: FEMC_NWE 拉低发生 FEMC_NE 拉低两个时钟周期后 1: FEMC_NE 拉低时 FEMC_NWE 也即刻拉低
19:17	TR[2:0]	返回周转时间
16:14	PC[2:0]	返回页面读取周期
13:11	WP[2:0]	返回 FEMC_NWE 信号脉冲宽度
10:8	CEOE[2:0]	返回 FEMC_NOE 信号断言延迟时间
7:4	WC[3:0]	返回写周期
3:0	RC[3:0]	返回读周期

### 38.9.10 SRAM/NOR-Flash 操作状态寄存器 (FEMC\_SNOMSTS1/2/3/4)

地址偏移:  $0x104 + 0x20 * (x-1)$ , ( $x=1,2,3,4$ )

复位值: 0x60FC 0802



字段	名称	描述
31:24	ADDRMCH[7:0]	返回地址匹配的值，这是用于比较地址位 [31:24] 以确定选中的芯片的比较值。 <i>注意：当 <math>araddr/awaddr[31:24] \&amp; ADDRMSK = ADDR MCH</math> 时，选中芯片</i>
23:16	ADDRMSK[7:0]	返回地址掩码的值，该掩码用于地址位 [31:24]。逻辑 1 表示该位用于比较。 <i>注意：当 <math>araddr/awaddr[31:24] \&amp; ADDRMSK = ADDR MCH</math> 时，选中芯片</i>
15:13	BSTAGN[2:0]	返回同步传输中的内存突发操作模式： 000：突发可以跨越任意地址边界，默认设置。 001：在内存突发边界上拆分突发，即连续 32 个节拍 010：在 64 个节拍边界上拆分突发 011：在 128 个节拍边界上拆分突发 100：在 256 个节拍边界上拆分突发 Other values：保留
12	BLSS	返回 SRAM 存储器接口的 BLS 信号操作模式： 0：BLS 信号和 FEMC_NE 信号同步变化 0：BLS 信号和 FEMC_NWE 信号同步变化
11	ADV	返回 SRAM 存储器接口的 ADV 信号工作模式： 0：ADV 信号为高电平 1：ADV 信号为低电平
10	BAA	返回 SRAM 存储器接口的 BAA 信号工作模式： 0：BAA 信号为高电平 1：BAA 信号为低电平
9:7	WRBL[2:0]	返回 SRAM 存储器接口写入操作的内存 burst 长度：： 000：1 beat. 默认设置 001：4 beats 010：8 beats 011：16 beats 100：32 beats 101：Continuous Other values：Reserved.
6	WRSYN	返回 SRAM 内存接口上写模式： 0：FEMC 执行异步写 1：FEMC 执行同步写
5:3	RDBL[2:0]	返回 SRAM 存储器接口读取操作的内存 burst 长度：： 000：1 beat. 默认设置

字段	名称	描述
		001: 4 beats 010: 8 beats 011: 16 beats 100: 32 beats 101: Continuous Other values: Reserved.
2	RDSYN	返回 SRAM 内存接口上读模式： 0: FEMC 执行异步读 1: FEMC 执行同步读
1:0	MDBW[1:0]	返回内存数据总线位宽： 00: 8 bits 01: 16 bits 10: 32 bits 11: Reserved

### 38.9.11 Nand Flash 时序状态寄存器 (FEMC\_NTSTS1/2)

地址偏移:  $0x180 + 0x20 * (x-1)$ , ( $x=1,2$ )

复位值: 0x0024 ABCC



字段	名称	描述
31:24	Reserved	保留, 必须保持复位值。
23:20	RR[3:0]	返回数据阶段命令与另一数据选通信号的触发之间的周期延时时间, 即 <ul style="list-style-type: none"> <li>■ 写数据阶段与下一次 FEMC_NOE 的触发之间</li> <li>■ 读数据阶段与下一次 FEMC_NWE 的触发之间</li> </ul>
19:17	AR[2:0]	返回最近的地址锁存信号 FEMC_ALE 的下降沿与新的数据阶段之间插入的延时时间
16:14	CLR[2:0]	返回最近的命令锁存信号 FEMC_CLE 的下降沿与新的数据阶段之间插入的延时时间
13:11	WP[2:0]	返回 FEMC_NWE 信号脉冲宽度
10:8	REA[2:0]	返回 FEMC_NOE 信号断言延迟时间
7:4	WC[3:0]	返回写周期

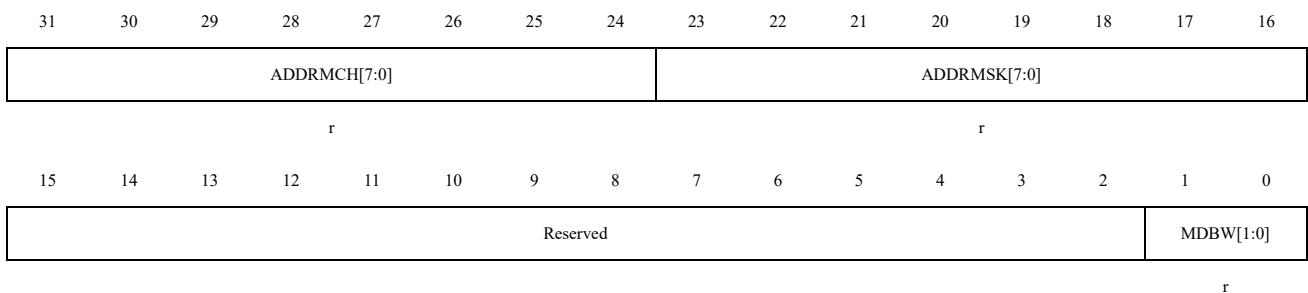
字段	名称	描述
3:0	RC[3:0]	返回读周期

### 38.9.12 Nand Flash 操作模式状态寄存器 (FEMC\_NTSTS1/2)

地址偏移:  $0x184 + 0x20 * (x-1)$ , ( $x=1,2$ )

复位值:  $0xA0F0\ 0001$  ( $x=1$ )

复位值:  $0xB0F0\ 0001$  ( $x=2$ )

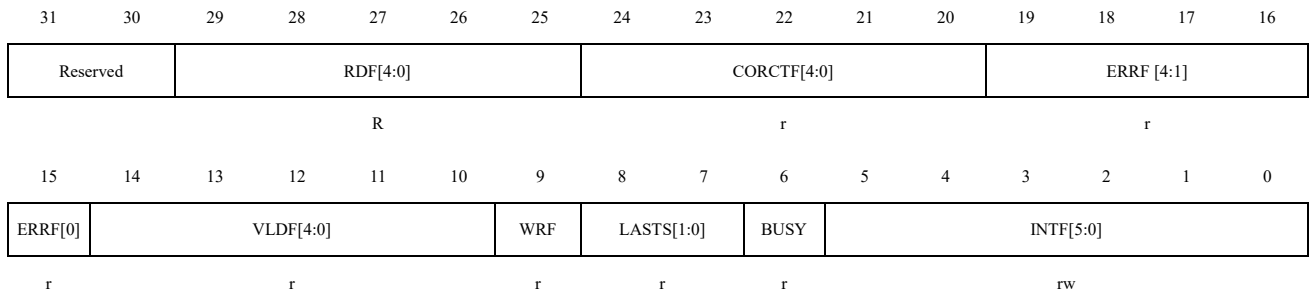


字段	名称	描述
31:24	ADDRMCH[7:0]	返回地址匹配的值, 这是用于比较地址位 [31:24] 以确定选中的芯片的比较值。 <i>注意: 当 <math>araddr/awaddr[31:24] \&amp; ADDRMSK = ADDRMSK</math> 时, 选中芯片</i>
23:16	ADDRMSK[7:0]	返回地址掩码的值, 该掩码用于地址位 [31:24]。逻辑 1 表示该位用于比较。 <i>注意: 当 <math>araddr/awaddr[31:24] \&amp; ADDRMSK = ADDRMSK</math> 时, 选中芯片</i>
15:2	Reserved	保留, 必须保持复位值。
1:0	MDBW[1:0]	返回内存数据总线位宽: 00: 8 bits 01: 16 bits 10: 32 bits 11: Reserved

### 38.9.13 Nand ECC 状态寄存器 (FEMC\_ECCSTS)

地址偏移:  $0x400$

复位值:  $0x0000\ 0000$



字段	名称	描述
31:30	Reserved	保留，必须保持复位值。
29:25	RDF[4:0]	ECC 块的读取标志。指示是否已从内存中读取每个块的存储 ECC 值： 0: 未读取 1: 已读取 [29]: ECC Block Extra [28]: ECC Block 3 [27]: ECC Block 2 [26]: ECC Block 1 [25]: ECC Block 0
24:20	CORCTF[4:0]	每个 ECC 块的可纠错标志。指示检测到的错误是否可纠正： 0: 不可纠正 1: 可纠正 [24]: ECC Block Extra [23]: ECC Block 3 [22]: ECC Block 2 [21]: ECC Block 1 [20]: ECC Block 0
19:15	FAILF[4:0]	每个 ECC 块的通过/失败标志： 0: ECC 块校验通过 1: ECC 块校验失败 [19]: ECC Block Extra [18]: ECC Block 3 [17]: ECC Block 2 [16]: ECC Block 1 [15]: ECC Block 0
14:10	VLDF[4:0]	每个 ECC 块的有效标志： 0: 有效 1: 无效 [14]: ECC Block Extra [13]: ECC Block 3 [12]: ECC Block 2 [11]: ECC Block 1 [10]: ECC Block 0

字段	名称	描述
9	WRF	ECC 写入读取标志： 0: ECC 写 1: ECC 读
8:7	LASTS[1:0]	ECC 最后状态 00: 成功完成 01: 地址未对齐，或超出范围 10: 数据在不完整的块后停止 11: 数据停止，但由于 FEMC_ECCCFG. JUMP[1:0] 值而未读取/写入值。 <i>注意：LASTS[1:0] 位仅在 ECC 计算完成时更新。</i>
6	BUSY	ECC 块状态： 0: idle 1: busy
5:0	INTF[5:0]	ECC 块中断标志： [5]: Abort [4]: Extra block (如果使用)。 [3]: Block 3 [2]: Block 2 [1]: Block 1 [0]: Block 0 要清除中断标志，请向相应的位写入 1。

### 38.9.14 Nand ECC 配置寄存器 (FEMC\_ECCCFG)

地址偏移: 0x404

复位值: 0x0000 0043

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		EBLKSIZ[1:0]		EBLKEN	ABTINT	RDCINT	ABOUT MSK	JUMP[1:0]		RMOD	MOD[1:0]		BLKNUM[1:0]		
		rw		rw	rw	rw	rw	rw		rw	rw		rw		

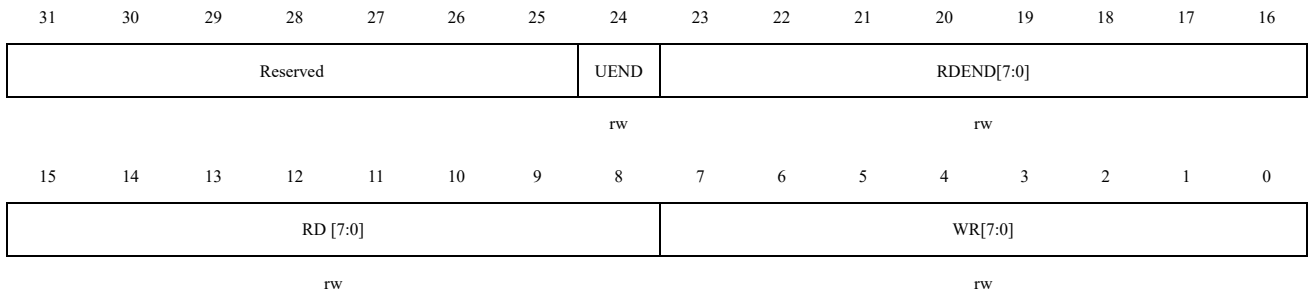
字段	名称	描述
31:13	Reserved	保留，必须保持复位值。
12:11	EBLKSIZ[1:0]	最后一个 512 字节块之后内存中 extra block 的大小： 00: 4 字节 01: 8 字节 10: 16 字节

字段	名称	描述
		11: 32 字节
10	EBLKEN	在页面中最后一个 512 字节块之后启用用于额外信息的小块 0: 禁用 extra Block 1: 启用 extra Block
9	ABTINT	ECC 中止中断使能位: 0: 失能中断 1: 使能中断
8	RDCINT	从内存中读取 ECC 值正确中断使能位: 0: 失能中断 1: 使能中断
7	A8OUTMSK	指示 A8 是否随地址输出, 用于找到块的对齐起始位置: 0: 输出 A8 1: 不输出 A8
6:5	JUMP[1:0]	地址跳转模式: 00: 禁止跳转, 读写仅在页面末尾进行 01: 使用列地址更改命令跳转 10: 使用完整命令跳转 11: Reserved
4	RMOD	指定 ECC 读模式: 0: 块的 ECC 值必须在块之后立即读取。数据访问必须在 512 字节边界停止。 1: 所有块的 ECC 值在页面末尾读取。
3:2	MOD[1:0]	指定 ECC 块的模式: 00: bypassed 01: ECC 值会被计算并通过 APB 接口提供, 但它们不会被从内存读取或写入内存 10: ECC 值被计算并读/写到内存中。对于读取操作, 会检查 ECC 值, 并将检查结果提供给 APB 接口 11: Reserved
1:0	BLKNUM[1:0]	页面中 512 字节块的数量: 00: 没有 512 字节块。如果未配置 FEMC_ECCCFG.EBLKEN, 或者已配置 FEMC_ECCCFG.EBLKEN 但未启用, 则保留。 01: 一个 512 字节块。 10: 两个 512 字节块。 11: 四个 512 字节块。

### 38.9.15 Nand ECC 命令 0 寄存器 (FEMC\_ECCMD0)

地址偏移: 0x408

复位值: 0x0130 0080

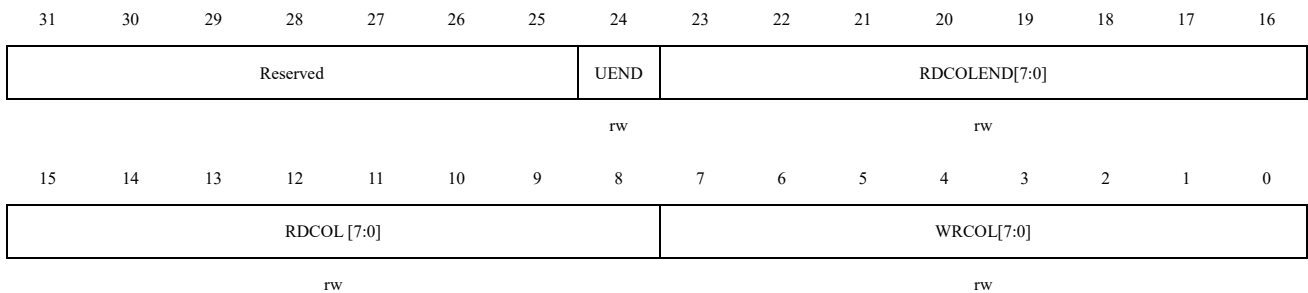


字段	名称	描述
31:25	Reserved	保留，必须保持复位值。
24	UEND	使用结束命令 0：不使用结束命令 1：使用结束命令
23:16	RDEND[7:0]	读取结束的 NAND 命令（如：0x30）
15:8	RD[7:0]	用于启动读取的 NAND 命令（如：0x00）
7:0	WR[7:0]	用于启动写入的 NAND 命令（如：0x80）

### 38.9.16 Nand ECC 命令 1 寄存器 (FEMC\_ECCMD1)

地址偏移：0x40C

复位值：0x01E00585



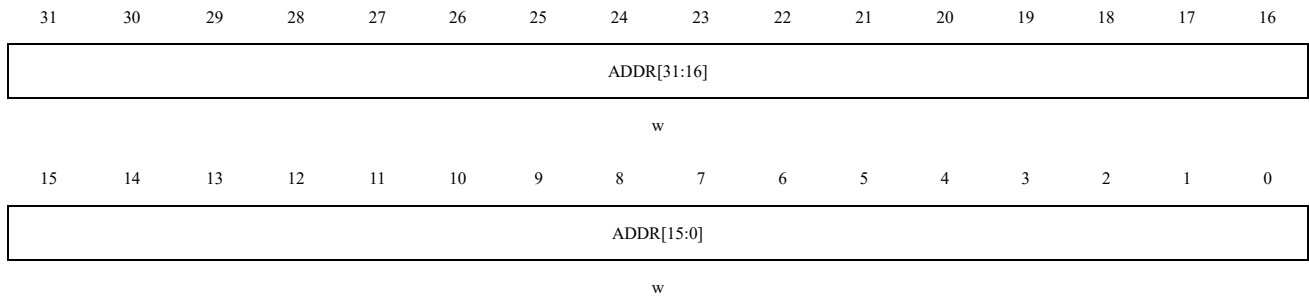
字段	名称	描述
31:25	Reserved	保留，必须保持复位值。
24	UEND	使用结束命令 0：不使用结束命令 1：使用结束命令
23:16	RDCOLEND[7:0]	用于指示列更改读取结束的 NAND 命令（如：0xE0）
15:8	RDCOL[7:0]	NAND 命令（如：0x05）要么是： <ul style="list-style-type: none"> <li>■ 一个用于启动列更改读取的命令</li> <li>■ 一个 spare bits 指针命令。</li> </ul>
7:0	WRCOL[7:0]	用于启动列更改写入的 NAND 命令（如：0x85）



### 38.9.17 Nand ECC 地址 0 寄存器 (FEMC\_ECCADDR0)

地址偏移: 0x410

复位值: 0x0000 0000

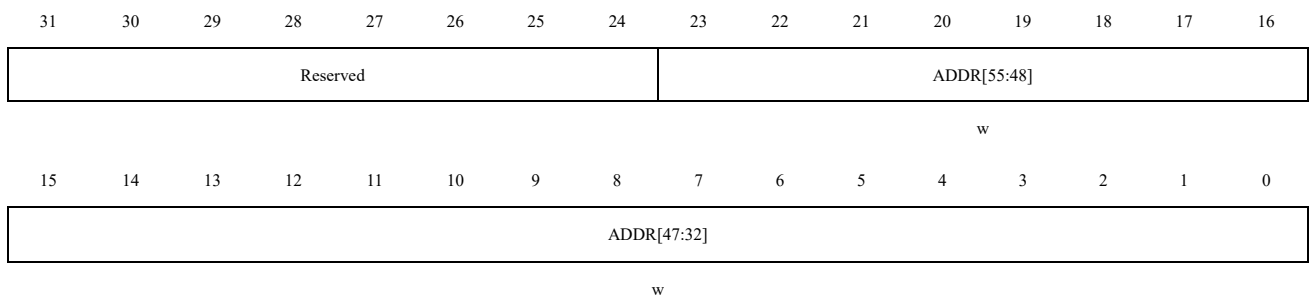


字段	名称	描述
31:0	ADDR[31:0]	NAND 的地址位[31:0]

### 38.9.18 Nand ECC 地址 1 寄存器 (FEMC\_ECCADDR1)

地址偏移: 0x414

复位值: 0x0000 0000

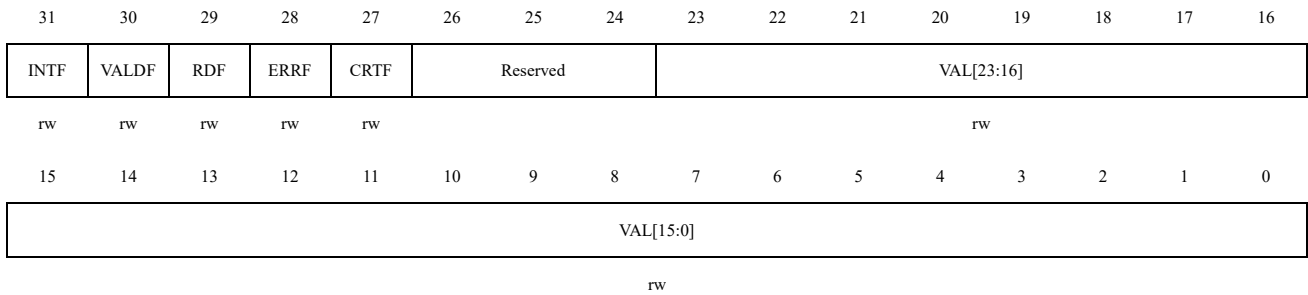


字段	名称	描述
31:24	Reserved	保留, 必须保持复位值。
23:0	ADDR[55:32]	NAND 的地址位[55:32]

### 38.9.19 Nand ECC 块寄存器 (FEMC\_ECCBLK0/1/2/3)

地址偏移: 0x418+ 4\* x, (x=0,1,2,3)

复位值: 0x0000 0000

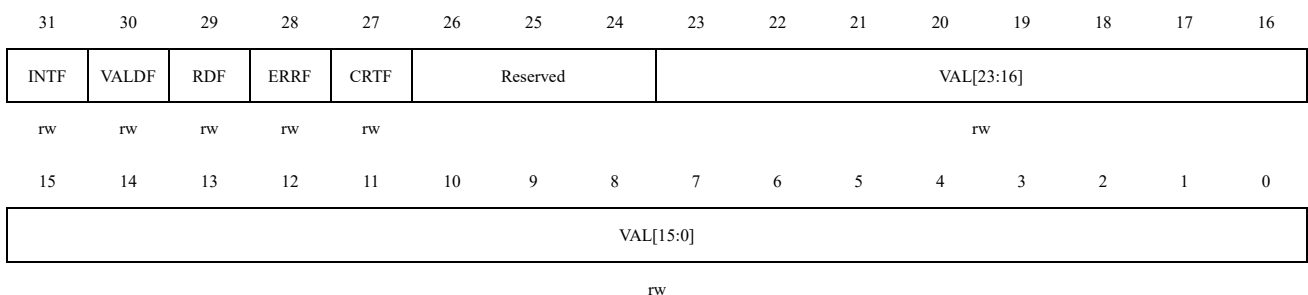


字段	名称	描述
31	INTF	指示对应块的 ECC 中断标志 0: 未产生 ECC 中断 1: 产生 ECC 中断 要清除此位可向该位写入任意值
30	VALDF	指示对应块的 ECC 值是否有效: 0: ECC 值无效 1: ECC 值有效
29	RDF	指示对应块的 ECC 值是否已从内存中读取: 0: 未读取 1: 已读取
28	ERRF	指示对应块的 ECC 值是否出错: 0: 无错误 1: 有错误
27	CRTF	指示对应块是否可以纠正: 0: 可纠正 1: 不可纠正
26:24	Reserved	保留, 必须保持复位值。
23:0	VAL[23:0]	对应块的校验结果的 ECC 值

### 38.9.20 Nand ECC Extra 块寄存器 (FEMC\_ECCEBLK)

地址偏移: 0x428

复位值: 0x0000 0000



字段	名称	描述
31	INTF	指示 Extra Block 的 ECC 中断标志 0: 未产生 ECC 中断 1: 产生 ECC 中断 要清除此位可向该位写入任意值
30	VALDF	指示 Extra Block 的 ECC 值是否有效: 0: ECC 值无效 1: ECC 值有效
29	RDF	指示 Extra Block 的 ECC 值是否已从内存中读取: 0: 未读取 1: 已读取
28	ERRF	指示 Extra Block 的 ECC 值是否出错: 0: 无错误 1: 有错误
27	CRTF	指示 Extra Block 是否可以纠正: 0: 可纠正 1: 不可纠正
26:24	Reserved	保留, 必须保持复位值。
23:0	VAL[23:0]	Extra Block 的校验结果的 ECC 值

### 38.9.21 FEMC SRAM/NOR 设置地址寄存器 (FEMC\_SNADDR1/2/3/4)

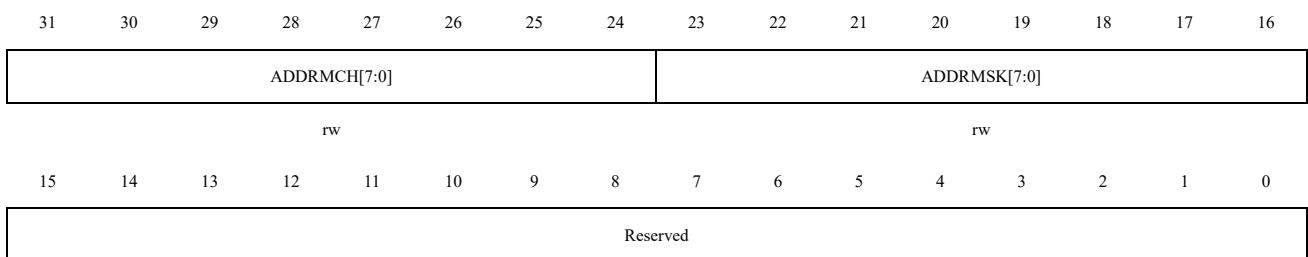
地址偏移:  $0x500 + 4 * (x-1)$ , ( $x=1,2,3,4$ )

复位值:  $0x60FC\ 0000(x=1)$

复位值:  $0x64FC\ 0000(x=2)$

复位值:  $0x68FC\ 0000(x=3)$

复位值:  $0x6CFC\ 0000(x=4)$



字段	名称	描述
31:24	ADDRMCH[7:0]	为内存接口 0 (SRAM) 的片选设置地址匹配。用于确定片选基地址的比较值。
23:16	ADDRMSK[7:0]	为内存接口 0 (SRAM) 的芯片选择设置地址掩码。在与相应的地址匹配值进行比

字段	名称	描述
		较之前，将掩码应用于 AXI 地址位[31:24]。
15:0	Reserved	保留，必须保持复位值。

### 38.9.22 FEMC Nand 设置地址寄存器 (FEMC\_NADDR1/2)

地址偏移:  $0x510 + 4 * (x-1)$ , ( $x=1,2$ )

复位值:  $0xA0F00000$  ( $x=1$ )

复位值:  $0xA0F00000$  ( $x=1$ )

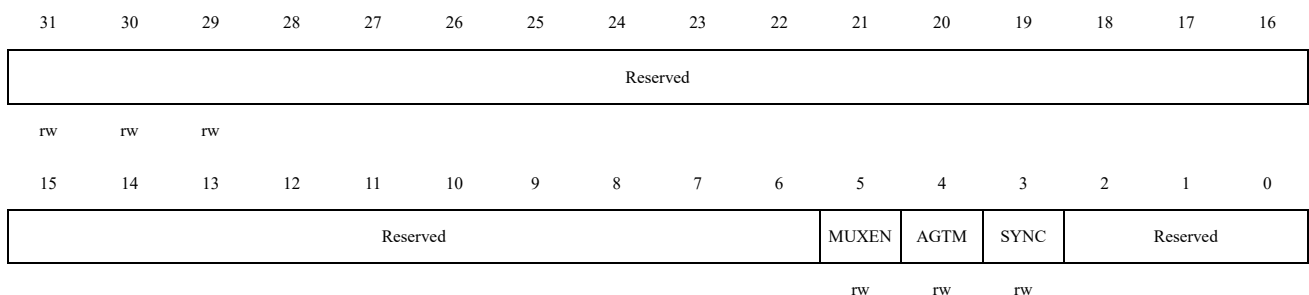


字段	名称	描述
31:24	ADDRMCH[7:0]	为内存接口 1 (Nand) 的片选设置地址匹配。用于确定片选地址的比较值。
23:16	ADDRMSK[7:0]	为内存接口 1 (Nand) 的芯片选择设置地址掩码。在与相应的地址匹配值进行比较之前，将掩码应用于 AXI 地址位[31:24]。
15:0	Reserved	保留，必须保持复位值。

### 38.9.23 FEMC SRAM/NOR 模式寄存器 (FEMC\_SNMOD)

地址偏移:  $0x520$

复位值:  $0x0000\ 0019$



字段	名称	描述
31:6	Reserved	保留，必须保持复位值。
5	MUXEN	地址/数据复用使能，当该位被置位时，地址的低 16 位和数据将共享数据总线。此位仅对 NOR 和 PSRAM 存储器有效。 0: 地址/数据不复用 1: 地址/数据在数据总线上复用
4	AGTM	mclk0 与 aclk 的时钟频率关系： 0: aclk 比 mclk0 慢或相同，并且与 mclk0 同步 1: aclk 比 mclk0 快，并且与 mclk0 同步 <i>注意：仅当 SYNC = 1 时有效</i>
3	SYNC	mclk0 与 aclk 的时钟关系： 0: 异步模式 1: 同步模式
2:0	Reserved	保留，必须保持复位值。

### 38.9.24 FEMC Nand 模式寄存器 (FEMC\_NMOD)

地址偏移: 0x524

复位值: 0x0000 0018

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
rw	rw	rw													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved									CSL	Reserved	AGTM	SYNC	Reserved		
									rw		rw	rw			

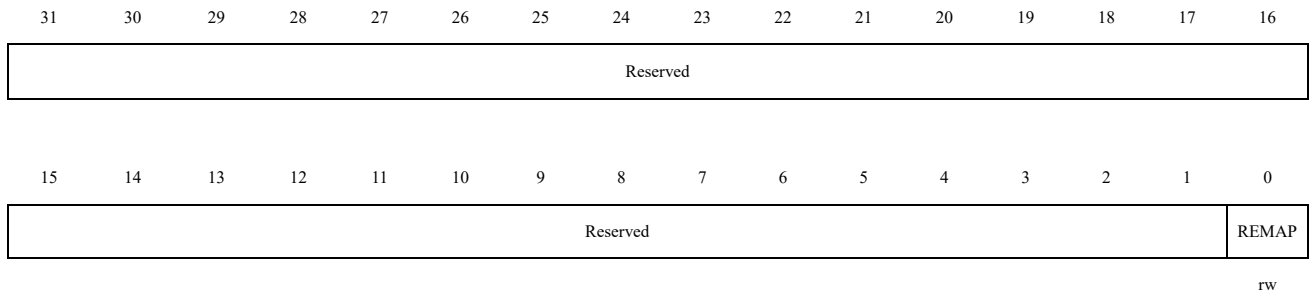
字段	名称	描述
31:7	Reserved	保留，必须保持复位值。
6	CSL	在 NAND 接口的传输中，片选信号 FEMC_NCE 在地址阶段和数据阶段之间状态 0: 在地址阶段和数据阶段之间不保持选通状态 1: 在地址阶段和数据阶段之间保持选通状态
5	Reserved	保留，必须保持复位值。
4	AGTM	mclk1 与 aclk 的时钟频率关系： 0: aclk 比 mclk1 慢或相同，并且与 mclk1 同步 1: aclk 比 mclk1 快，并且与 mclk1 同步 <i>注意：仅当 SYNC = 1 时有效</i>
3	SYNC	mclk1 与 aclk 的时钟关系： 0: 异步模式 1: 同步模式

字段	名称	描述
2:0	Reserved	保留，必须保持复位值。

### 38.9.25 FEMC 重映射模式寄存器 (FEMC\_REMAP)

地址偏移: 0x528

复位值: 0x0000 0018



字段	名称	描述
31:1	Reserved	保留，必须保持复位值。
0	REMAP	FEMC 内存区域重映射到 SDRAM1 区域 (0xC0000000) 0: 不重映射到 SDRAM1 区域 1: 重映射到 SDRAM1 区域 <i>注意: 只有 SRAM 内存区域可以重新映射到 SDRAM1 区域。NAND 内存区域不能重新映射。</i>

## 39 安全数字多媒体卡(SDMMC)

### 39.1 简介

SDMMC 为 SD 存储卡、SDIO 卡和 MMC 设备提供主机接口，一次只支持一个协议栈版本的 SD/SDIO/MMC 卡。

总线通信的基本传输是命令/响应，这些类型的总线传输直接在命令或响应结构中传输信息，数据传输包括块模式、SDIO 多字节模式和 MMC 连续数据流模式。

HC：主机控制器，即 SDMMC

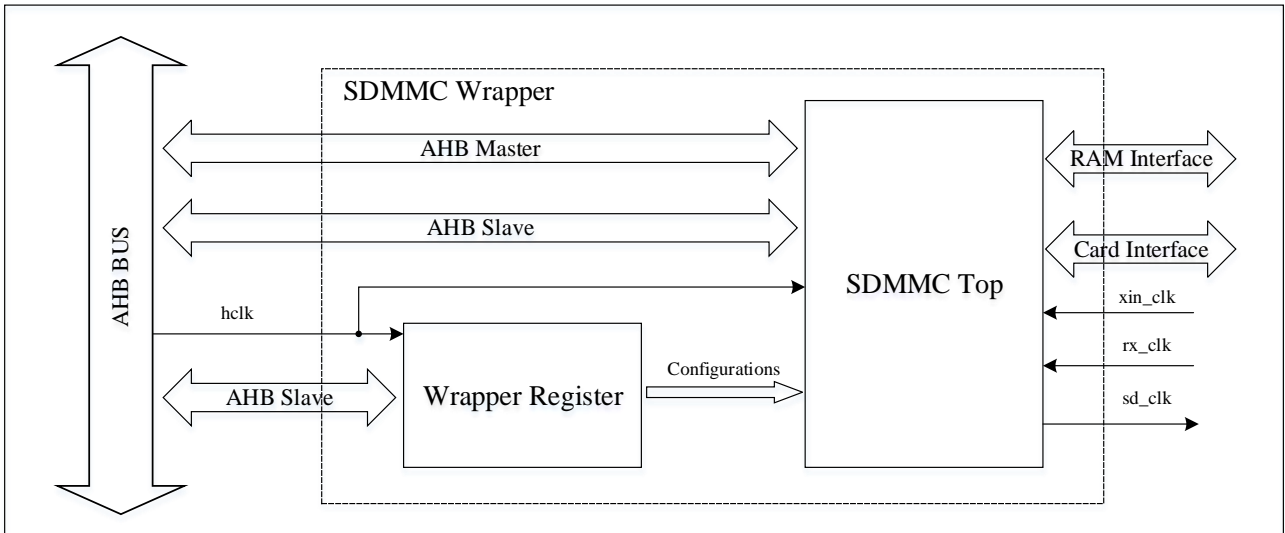
HD：主机驱动程序，即用户配置

### 39.2 主要特性

- 兼容 SD 主控制器标准规范 V3.00
- 兼容 SD 物理层接口规范 V3.00
- 兼容 SDIO 标准规范 V3.00
- 兼容 eMMC 标准规范 V4.51
- 支持 1 位/4 位 SD 卡和 SDIO 模式
- 支持 UHS-I 接口，当外部设备采用 1.8V 供电时需要电平转换
- 支持 DS、HS、SDR12、SDR25、SDR50、DDR50 和 SDR104 传输模式
- 支持 1 位、4 位和 8 位 MMC 模式和 BOOT 模式
- 支持单块/多块读写
- SD&SDIO 模式支持最大 512 字节的块大小，eMMC 模式支持最大 2048 字节的块大小
- EMMC 最大时钟频率 200MHz（受限于最大 I/O 频率），最大传输速率高达 1.6Gbps（HS200 模式，8 位）
- 完全可配置的 2048\*2 字节读写 FIFO
- 支持内部专用 DMA 功能

### 39.3 框图

图 39-1 SDMMC 顶层示意图



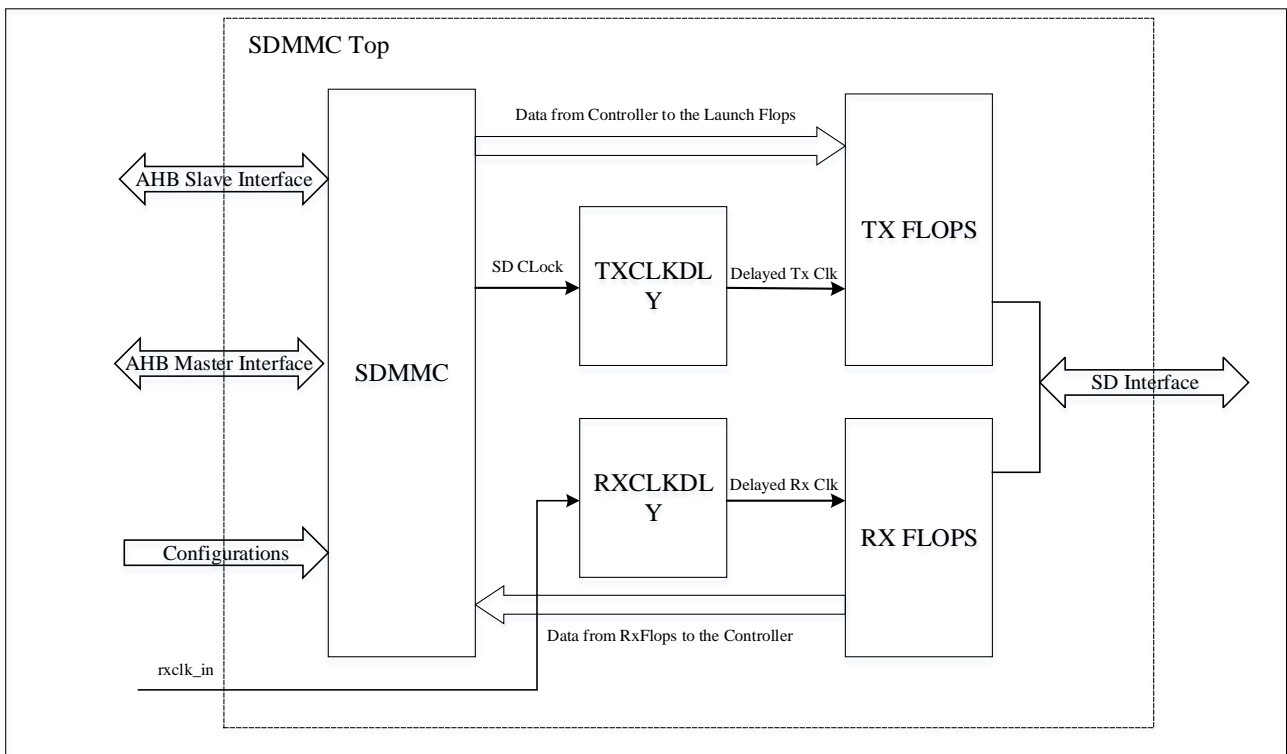
#### 封装寄存器

包含带有独立 AHB 接口的 SDMMC 配置。

#### SDMMC Top

主机控制器顶层。SDMMC Top 的框图如下：

图 39-2 SDMMC Top 框图





### RxClk Delay 模块

RxClk 延迟模块用于支持接收时钟调整，使接收数据与接收时钟居中对齐。接收时钟延迟有两种模式。第一种是在 SDR104 模式下运行时自动调整接收时钟，或在 SDR50 模式下实施调整时选择自动调整接收时钟。第二个是手动控制，用于抵消硬件延迟等。在 HS 模式和 SDR25/SDR50/DDR50 模式下，使用 SDMMC\_DLYCTRL.ITDS[4:0]（输入分接延时选择）和 SDMMC\_DLYCTRL.ITDE（输入分接延时使能）信号实现手动控制。该模块通过分接延迟线实现，用于产生不同相位的时钟并选择其中一个相位的时钟。分接延迟（时钟相位）的最大数量为 32。典型的实现方法是使用 4 或 8 个分接延迟线（时钟相位）。

### Rx Flops 模块

RX Flops 模块用于将 SD 接口的 CMD/DAT 线翻转到 RxClk 延迟模块的输出上。为了支持两种 DDR 工作模式，信号在接收时钟的正边和负边都被锁存。这些触发器的输出被传递到 SDMMC 内核进行进一步处理。

### TxClk Delay 模块

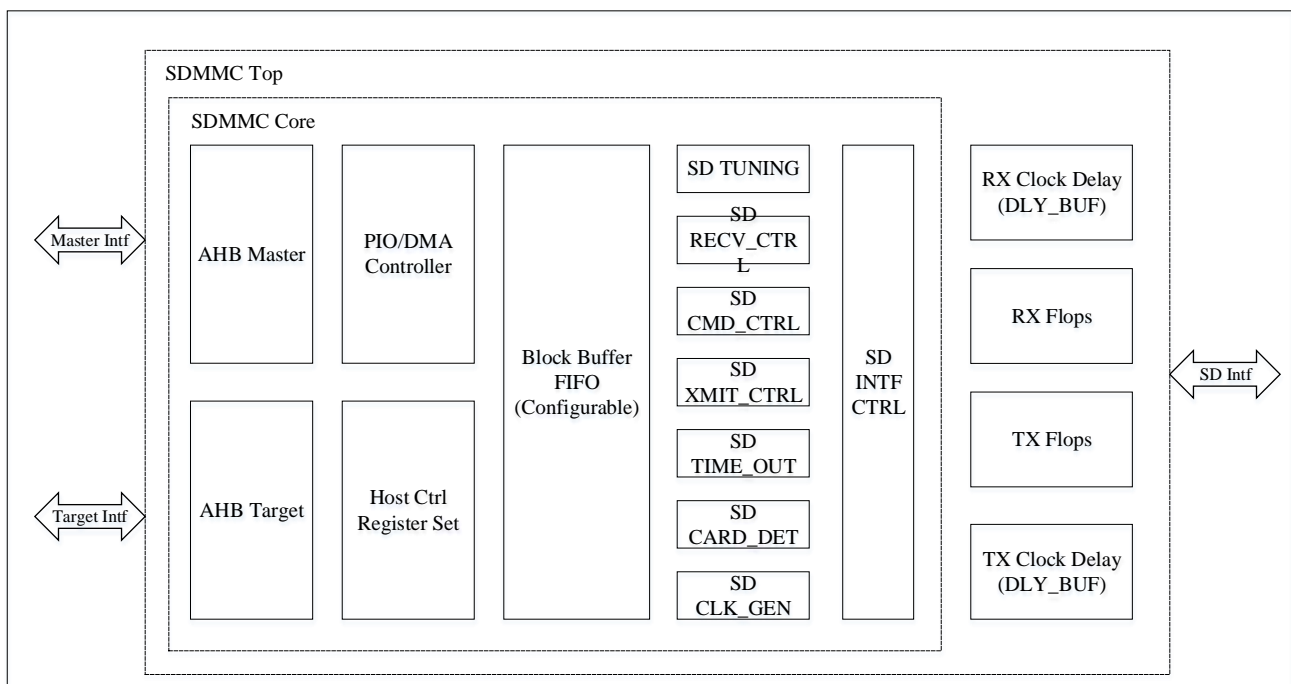
CMD 和 DAT 输出需要相对于输出 SD\_CLK 信号延迟，以满足各种操作模式下的保持时间要求。输出的 SD 时钟被延迟，延迟后的时钟用于翻转 CMD/DAT 线路，并利用该输出驱动 SD 接口。SD\_CLK 输出本身不会延迟。

### Tx Flops 模块

SDMMC 内核的 SD 输出在延迟 Tx 时钟上翻转。此外，为了支持 DDR 运行模式，从内核接收的一组独立输出将在延迟时钟的正负边沿上驱动。

SDMMC（主机控制器）示意图如下

图 39-3 SDMMC 框图



## AHB Master 接口

主总线由 DMA 控制器使用（使用 DMA 或 ADMA2 模式时）。DMA 控制器使用主 DMA 接口在内部块缓冲器和系统内存之间传输数据，反之亦然。在 ADMA2 模式下运行时，DMA 控制器还使用主接口获取描述符。

## AHB Target 接口

目标总线用于访问主机控制器内的寄存器。此外，在 PIO(Programmed In/Out) 模式下运行时，驱动程序可通过该接口访问 SDHOST buffer 数据端口寄存器 (SDHOST\_BUFDAT)。这是主机驱动器使用缓冲器数据端口寄存器传输数据的 PIO 方法。目标总线仅支持单次传输访问（不支持突发）。

## Host Controller Register Set

SDMMC 内核的主机控制器寄存器集实现了 SD 主机控制器规范（3.00 版）所定义的寄存器。这些寄存器可从目标接口访问。主机控制器寄存器集还实现了用于 PIO 模式传输的数据端口寄存器。寄存器集为设计中的其他模块提供控制信号，并监控来自模块的状态信号，以设置中断状态位，最终向系统生成中断信号。主机控制器寄存器组是 CPU 和 SDMMC 之间的桥梁。CPU 通过 AHB 目标接口对 SD/SDIO 控制寄存器进行编程。CPU 根据中断状态寄存器和中断使能寄存器中设置的值生成中断。

## PIO/DMA Controller

PIO/DMA 控制器模块实现 SD 主机控制器规范中定义的 SDMA 和 ADMA2 引擎，并维护 PIO 操作的块传输计数。它与寄存器集交互，并在涉及数据传输命令时启动 DMA 引擎。DMA 控制器与 AHB 主模块接口以生成传输，另一端与块缓冲器接口以存储/获取块数据。DMA 控制器为 SDMA 操作实现了单独的 DMA，为 ADMA2 操作实现了单独的 DMA。此外，它还实现了主机传输生成器，为 AHB 主接口模块生成控制。

## Block Buffer

SDMMC 使用双端口块缓冲区（两个端口均可读写），用于在 SD 传输过程中存储块数据。块缓冲区的大小是可配置的，最小为 1 块。块缓冲区大小为 4KB，是 SDMMC 支持的最大块大小（2KB）的两倍。块缓冲区采用圆形缓冲区架构。块缓冲器的一侧与 DMA 控制器连接，并根据系统时钟工作。块缓冲器的另一端与 SD 控制逻辑相连，并根据 SD 时钟工作。在写入传输（数据从 CPU 传输到 SD/SDIO/eMMC 卡）期间，数据从系统内存获取并存储在块缓冲器中。当数据块可用时，SD 控制逻辑会将其传输到 SD 接口。当块缓冲器有空间时，DMA 控制器会继续获取其他数据块。在读取传输（数据从卡传输到 CPU）期间，卡中的数据将被写入块缓冲器，最后当块的 CRC 有效时，数据将被提交。当一个数据块可用时，DMA 控制器会将该数据传输到系统内存。同时，SD 控制逻辑接收下一个数据块，前提是数据块缓冲器中还有空间。如果 SDMMC 无法接收来自卡的任何数据，则会发出读取等待（如果卡支持读取等待机制），以停止来自卡的数据传输或停止时钟。

## SD 时钟发生器

SD 时钟发生器模块根据 SDHOST\_CTRL2 寄存器中的控制程序，从参考时钟 (xin\_clk) 生成 SD 时钟。这

些控制包括时钟分频值、SD 时钟使能等。该模块的输出为 SD\_CLK 和 SD\_CARD 时钟。SD\_CLK 由 SD 控制逻辑使用，并与 SD 接口上的 “CLK ” 引脚相连。该模块还可生成各种时钟域的系统复位。

## SD 卡检测

SD 卡检测逻辑监控 SD\_CD# 引脚的卡插入/拔出事件。它实现了去抖逻辑，以过滤 SD\_CD# 引脚上的错误转换。卡插入和移除事件会报告给 SD 主机寄存器集，最终从中产生中断。

## SD 超时控制

SD 超时控制逻辑实现了数据块传输之间的超时检查。它使用 SDHOST\_CTRL2 寄存器中数据超时计数器值的内容来实现块之间的超时。

该模块在发送控制模块和接收控制模块（基于方向）的控制下运行。检测到超时，事件将报告给发送控制模块或接收控制模块。

## SD 命令控制

对于软件编程的每一条新命令，SD 命令控制模块都会在 SD 接口的 CMD 线路上生成命令序列。命令控制模块还负责接收响应并检查响应的有效性。它使用响应类型字段来确定响应的长度和是否存在 CRC7 字段。响应通过接收时钟（循环时钟或调谐时钟）接收。收到响应后，将对响应内容（起始位、命令索引、CRC7、结束位）进行验证，并将响应状态转发给寄存器设置模块，以设置各种状态位。它还对响应接收进行超时检查，以确保在规定时间内（根据命令类型为 5 或 64 个时钟）内收到响应。接收到的响应会存储到响应寄存器的相应位中。SD 命令控制模块根据传输方向生成 SD 发送控制和 SD 接收控制。

## SD 发送控制

SD 传输控制模块用于向存储卡传输数据的写入传输。一旦发出指令，该模块就会等待数据块缓冲器中的数据块，并将其传输到 SD DAT 线路上。根据数据线的配置（1 位、4 位、8 位或 SPI），数据块缓冲器中的数据会被适当路由。CRC16 以每个通道为单位单独计算，并在块传输结束时附加到 END 位之前。如果是 DDR 操作，则在每个时钟沿执行单独的 CRC16。

在块传输结束时，它会等待 DAT0 线路上的 CRC 响应，并将 CRC 校验结果报告给寄存器组。

在传输下一个数据块之前，该模块还会检查写忙指示（DAT0 线路）。超时检查用于确保 “写入繁忙 ” 指示不超过所需的限制。

## SD 接收控制

SD 接收控制模块用于读取传输，从存储卡接收数据。一旦发出指令，该模块就会等待从存储卡接收数据块。根据数据线的配置（1 位、4 位、8 位或 SPI），来自 SD 接口的数据被组合成字节，最终变成 32 位字，然后写入块缓冲器。CRC16 以每个通道为单位单独计算，并在块传输结束时，在 END 位之前与接收到的 CRC16 进行核对。在 DDR 操作中，它为每个时钟沿实现单独的 CRC16 校验。数据通过接收时钟接收。接收时钟可以是环回时钟（来自 IO 的 SDCARD\_CLK），也可以是使用延迟元件的调谐时钟。超时检查用于确保数据块之间的间隙不超过所需的限制。

## SD 调谐块

SD 调谐块用于 SDR104 或 SDR50（启用时可选择）和 eMMC HS200 模式调谐接收时钟。调谐块生成外部延迟控制器模块的延迟控制。调谐模块接收 64 字节调谐块（SD 模式）或 128 字节调谐块（eMMC 模式），并保持一个调谐向量以确定最佳延迟。调谐块可配置支持的延迟抽头数（最多 32 个）。调谐块利用这一功能进行调谐，并为接收时钟选择最佳分接点。

## SD 接口控制

SD 接口控制块将内部信号映射到外部 SD 接口，反之亦然。根据总线宽度（1/4/8），内部信号会被适当驱动。如果是 DS，则在 sd\_clk 负边沿驱动输出。

来自 Rx Flops 模块的输入被锁存在 rx\_clk（回环时钟或调谐时钟）上，并输出到接收控制模块进行进一步处理。

## 39.4 引脚定义

表 39-1 列出了 SDMMC1 使用的引脚及其相应功能。

表 39-1 SDMMC1 引脚定义

引脚名称	功能名称	描述
PB13_AF2 PC8_AF0	双向数据 0 引脚	数据 0 输入/输出。在 SD/SDIO/MMC 模式下使用。
PC9_AF1	双向数据 1 引脚	数据 1 输入/输出。在 SD/SDIO/MMC 模式下使用。
PC10_AF1	双向数据 2 引脚	数据 2 输入/输出。在 SD/SDIO/MMC 模式下使用。
PC11_AF1	双向数据 3 引脚	数据 3 输入/输出。在 SD/SDIO/MMC 模式下使用。
PB8_AF2 PD14_AF3	双向数据 4 引脚	数据 4 输入/输出。用于 MMC 8 位模式。
PB9_AF1 PD15_AF3	双向数据 5 引脚	数据 5 输入/输出。用于 MMC 8 位模式。
PB6_AF2 PC6_AF1	双向数据 6 引脚	数据 6 输入/输出。用于 MMC 8 位模式。
PB7_AF1 PC7_AF1	双向数据 7 引脚	数据 7 输入/输出。用于 MMC 8 位模式。
PD2_AF2	双向命令引脚	命令输入/输出，用于发送命令或接收卡的响应。
PD0_AF2	写保护输入引脚	高电平有效。SD 卡写保护。 0: 卡无写保护 1: 卡受写保护。
PD1_AF2	卡检测输入引脚	低电平有效。该引脚用于插卡检测。 0: 卡已插入 1: 卡未插入
PB8_AF1	回环时钟输入引脚	从 PAD 回环的时钟
PC12_AF1	SD 时钟输出引脚	SD/SDIO/MMC 到卡时钟
PB9_AF0	命令方向输出引脚	0: 命令引脚为输入

引脚名称	功能名称	描述
		1: 命令引脚为输出
PC6_AF0	数据 0 方向输出引脚	0: 数据 0 为输入 1: 数据 0 为输出
PC7_AF0	数据 1/2/3 方向输出引脚	0: 数据 1/2/3 为输入 1: 数据 1/2/3 输出
PE8_AF4 PF9_AF3 PI1_AF1	LED 控制输出引脚	LED 输出指示 0 (LED 熄灭): 无功能 1 (LED 亮起): 警告用户在访问 SD 卡时不要取出卡。
PA11_AF0 PI8_AF1 PJ12_AF0	1.8V 切换使能输出引脚	1.8V 信号使能 0: 禁用 1.8V 切换 1: 使能 1.8V 切换
PD3_AF0	EMMC 硬件复位输出引脚	低电平有效。EMMC 硬件复位 0: 复位激活 1: 复位未激活

表 39-2 列出了 SDMMC1 使用的引脚及其相应功能。

表 39-2 SDMMC2 引脚定义

引脚名称	功能名称	描述
PB14_AF1 PG9_AF2	双向数据 0 引脚	数据 0 输入/输出。在 SD/SDIO/MMC 模式下使用。
PB15_AF1 PG10_AF3	双向数据 1 引脚	数据 1 输入/输出。在 SD/SDIO/MMC 模式下使用。
PB3_AF0 PG11_AF3	双向数据 2 引脚	数据 2 输入/输出。在 SD/SDIO/MMC 模式下使用。
PB4_AF1 PG12_AF2	双向数据 3 引脚	数据 3 输入/输出。在 SD/SDIO/MMC 模式下使用。
PB8_AF3 PG4_AF3	双向数据 4 引脚	数据 4 输入/输出。用于 MMC 8 位模式。
PB9_AF2 PG5_AF4	双向数据 5 引脚	数据 5 输入/输出。用于 MMC 8 位模式。
PC6_AF2 PG13_AF2	双向数据 6 引脚	数据 6 输入/输出。用于 MMC 8 位模式。
PC7_AF2 PG14_AF3	双向数据 7 引脚	数据 7 输入/输出。用于 MMC 8 位模式。
PA0_AF1 PD7_AF1	双向命令引脚	命令输入/输出，用于发送命令或接收卡的响应。
PD4_AF1	写保护输入引脚	高电平有效。SD 卡写保护。 0: 卡无写保护 1: 卡受写保护。
PD5_AF1 PG5_AF3	卡检测输入引脚	低电平有效。该引脚用于插卡检测。 0: 卡已插入 1: 卡未插入

引脚名称	功能名称	描述
PC4_AF2 PG4_AF2	回环时钟输入引脚	从 PAD 回环的时钟
PC1_AF2 PD6_AF1	SD 时钟输出引脚	SD/SDIO/MMC 到卡时钟
PG5_AF3	命令方向输出引脚	0: 命令引脚为输入 1: 命令引脚为输出
PG13_AF1	数据 0 方向输出引脚	0: 数据 0 为输入 1: 数据 0 为输出
PG14_AF2	数据 1/2/3 方向输出引脚	0: 数据 1/2/3 为输入 1: 数据 1/2/3 输出
PE9_AF4 PF8_AF3 PI1_AF2	LED 控制输出引脚	LED 输出指示 0 (LED 熄灭): 无功能 1 (LED 亮起): 警告用户在访问 SD 卡时不要取出卡。
PC5_AF8 PI8_AF2 PJ13_AF0	1.8V 切换使能输出引脚	1.8V 信号使能 0: 禁用 1.8V 切换 1: 使能 1.8V 切换
PG15_AF3	EMMC 硬件复位输出引脚	低电平有效。EMMC 硬件复位 0: 复位激活 1: 复位未激活

## 39.5 功能描述

### 39.5.1 时钟

以下是对 SDMMC 时钟的描述

#### xin\_clk

这是用于 SDMMC 内核 SD 接口端的主时钟。该时钟输入用于根据用户配置编程的除数值生成 SD 时钟。为达到最高效率，该频率应为 104Mhz（最大 IO 频率）（SD3.0 和 eMMC4.51）/52Mhz（eMMC 4.5）和 50Mhz（SD2.0）左右。

#### hclk

这是系统总线时钟。该时钟用于 AHB 从模块和主模块。SD 寄存器集和 DMA 控制器也在此时钟上运行。

#### sd\_clk

该时钟由内部产生。它来自 xin\_clk，基于用户设置编程的控制寄存器 (SDHOST\_CTRL2) 值。大部分 SD 控制逻辑（SD 命令控制、SD 传输控制、SD 调谐模块和块缓冲器第二端）都使用该时钟。

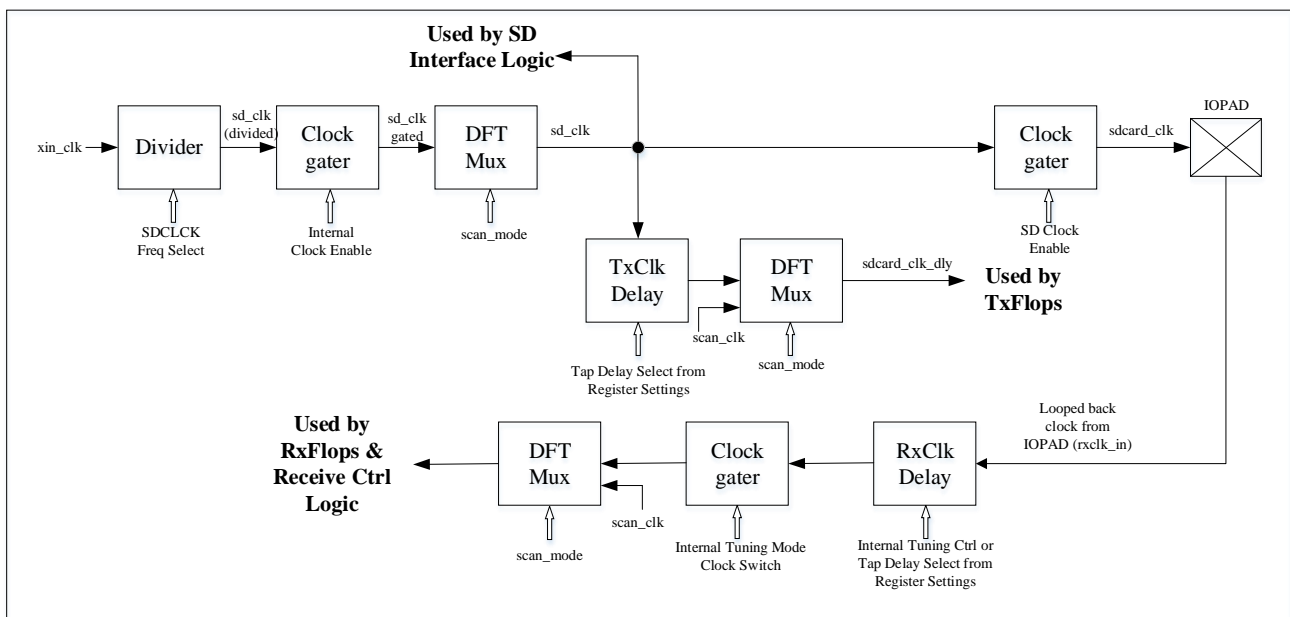
### SD 卡时钟

与 sd\_clk 相同，但只有在用户设置中设置了 SD 时钟使能 (SD Clock Enable) 时才能使用。这是提供给 SD 卡的时钟。SDMMC 支持全速卡和高速卡。对于高速卡，SDMMC 在 sd\_clk 的上升沿输出数据；对于全速卡，SDMMC 在 sd\_clk 的下降沿输出数据。在读取过程中，当读取 FIFOs 已满，没有空间接受来自卡的一个数据块时，SDMMC 将停止向卡发送时钟，这样 SD 侧就不会出现超限情况。

### rxclk\_in

这是来自 sdcard\_clk PAD (CLK) 的环回时钟。这将考虑到通过芯片和 IO PAD 驱动 SD 接口的 CLK 的延迟。

图 39-4 SDMMC 时钟架构



### 39.5.2 复位

SDMMC 使用异步复位来复位，尽管复位本身与相应的时钟域同步。来自系统总线域的复位是主要的复位输入，与 hclk 同步。内部为每个时钟域生成独立的复位信号。此外，当设置 SD 时钟使能时，将产生复位，以确保在 sd\_clk 上运行的逻辑能正确复位。同样，当设置 SDCARD 时钟使能时，也会产生复位，以确保在 rx\_clk 上运行的逻辑被正确复位。预计系统总线复位至少会持续 16 个时钟。任何内部产生的复位信号都至少要产生 16 个时钟，以确保在取消复位时所有触发器都处于复位状态。此外，软件生成的复位事件也可用于复位设计中的触发器/逻辑电路。

### 39.5.3 频率范围

系统总线时钟频率取决于系统配置。

sd\_clk 的频率范围为 400 KHz 至 104 MHz。对于 SD2.0，最高频率为 50 MHz。

## 39.5.4 DMA 和非 DMA 传输中的 FIFO 超限和欠限条件

### 写入

在写入过程中，SDMMC 只有在一个数据块准备好传输，并且卡没有忙时才会向卡传输数据。因此，SD 端不会出现欠载情况。在 DMA 模式下，只有在 SDMMC 存储器有足够空间接受数据块时，SDMMC 才会启动 DMA 读取。在非 DMA 模式下，只有在有空间接受数据块时，SDMMC 才会断言缓冲区写就绪中断。

### 读取

在读取传输过程中，当内部块缓冲区已满时，将无法再接受来自卡的任何数据。在这种情况下，SDMMC 将停止向卡发送时钟，以避免出现缓冲区超限情况。在启用 SDIO 模式和读取等待的情况下，读取等待信号将被断言，以阻止卡发送更多数据。在 DMA 模式下，主机控制器只有在接收到卡发送的数据块后，才会向 SDMMC 存储器发送 DMA 写入信号。在非 DMA 模式下，SDMMC 只有在接收到来自卡的数据块时才会断言缓冲区读就绪中断。

## 39.5.5 发送 CMD/DAT 延迟

TX CMD/DAT 延迟用于延迟 CMD/DAT 线路，以避免因电路板布局时序问题而导致卡中的保持时间违规。在某些情况下，电路板布局可能并不理想，CMD/DAT 线路可能会在板卡上出现保持时间违规现象，因为 CLK 和 CMD/DAT 对于板卡来说是同步的。

SDMMC 实现了延迟链，以延迟 CLK 线上发送的内部 sd\_clk（作为 sdcard\_clk），并使用此延迟时钟翻转 CMD/DAT 线。TXClkDly 模块对延迟缓冲器进行阻抗，以产生相移时钟。用户可以通过设置 SDMMC 封装寄存器中的延迟控制寄存器（SDMMC\_DLYCTRL），对可变延迟输出的分接延迟进行编程。

- OTDS[3:0]：用于从 1-16 个分接延迟线中选择最佳延迟。
- OTDE：用于启用输出分接延时。

TxFlops 模块使用该延迟时钟实现末级寄存器。TxFlops 还为每条 CMD/DAT 线路实现了两套寄存器（一套用于正边沿输出，另一套用于负边沿输出）。在 DDR 模式下，我们同时使用两个触发器，而在 SDR 模式下，我们只使用正边沿输出（DS 模式使用负边沿输出）。

在默认 DS 模式下运行时，输出在时钟的下降沿驱动，以便存储卡在锁存数据时有足够的设置/保持时间。在这种情况下，无需使用输出分接延时控制，应将其禁用。在 HS 模式和其他 SDR 模式下运行时，输出数据在时钟上升沿驱动。同样的时钟也会输出到存储卡（SD 接口）。根据硅后电路板的布局，CMD/DAT 线路可能会出现保持时间违规。为避免这种情况，可在用户控制下对输出分接延迟线进行编程。

## 39.5.6 接收时钟分接延时

RX Clock Delay（接收时钟延迟）用于调整/延迟接收时钟，以便将时钟对准数据窗口的中心。它用于自动调整（SDR50 和 SDR104 模式）和可选的手动调整（DDR 等高速模式）。

在读取操作过程中，SDMMC 充当接收器，数据可能与时钟不完全一致。可通过自动调谐或手动调谐延迟时钟信号，使时钟与接收数据对齐。

对于 SDR104 模式或 SDR50（可选），将执行自动调谐。SDMMC 有一种算法，可正确找到眼中心，以获得更好的定时。每次迭代时，调谐程序都会选择一个时钟相位（rxclk\_in）。调谐结束时，将选择位于数据中



心的正确时钟相位。

在其他模式下（例如：DDR50），可以使用 SDMMC 封装寄存器中延迟控制寄存器（SDMMC\_DLYCTRL）中的用户配置来手动调整 `sdcard_clk (rxclk_in)`。

- ITDS[4:0]：用于从 1-32 个分接延迟线中选择最佳延迟。
- ITDE：用于启用输入分接延时。

时钟延迟通过分接延迟实现，分接延迟产生多相时钟。支持的最大相数（分接延时）为 32，尽管典型的相数（分接延时）为 4 或 8。

对于自动调谐，应将调谐计数配置（SDMMC\_CFG1.TCNT[5:0]）编程为生成时钟的相数。

例如，当时钟相位数为 4 时，则时钟的四个相位分别为 `clk_00`、`clk_90`、`clk_180`、`clk_270`。同样，当时钟相位数为 8 时，时钟的 8 个相位分别为 `clk_00`、`clk_45`、`clk_90`，以此类推。当使用全部 32 相时钟时，两相时钟之间的差异为 `rxclk_in` 的 1/32。

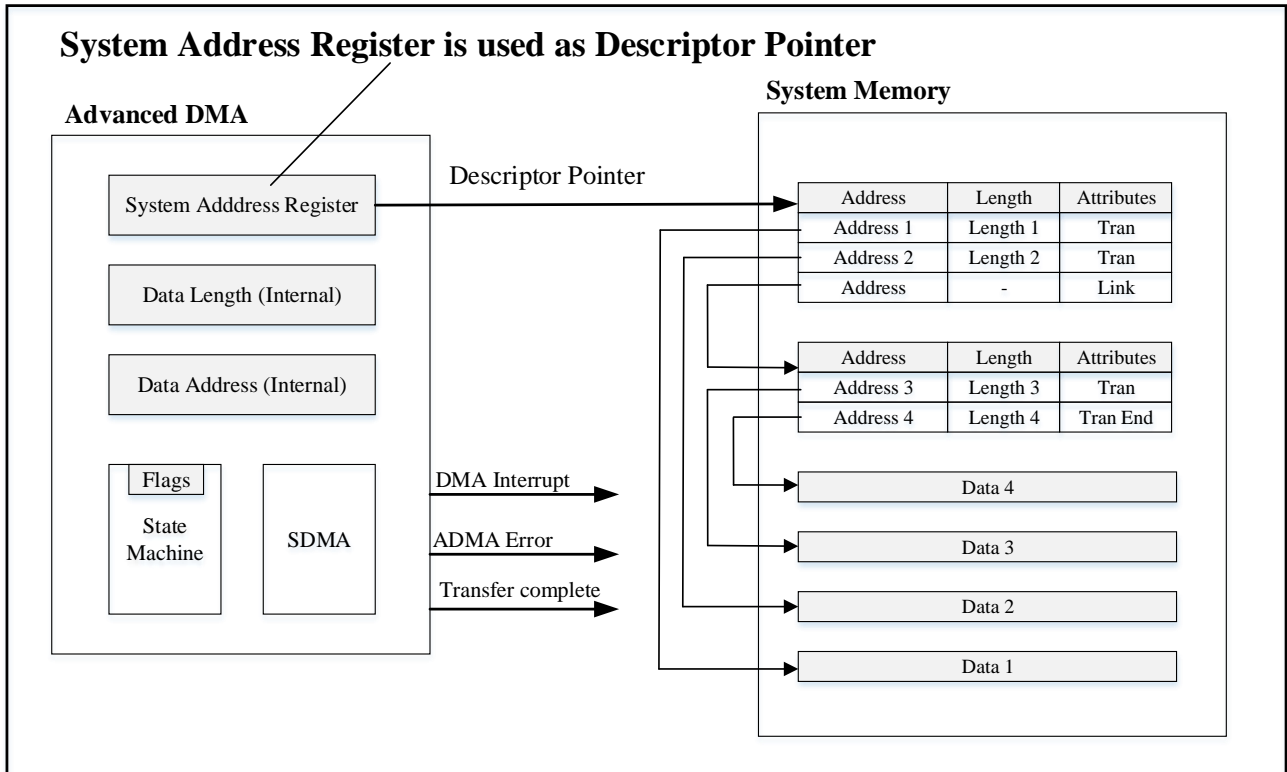
### 39.5.7 高级 DMA (ADMA)

SD 主机控制器标准规范 2.00 版定义了 ADMA（高级 DMA）传输算法。1.00 版 SD 主机控制器标准规范中定义的 DMA 算法称为 SDMA（单操作 DMA）。SDMA 的缺点是在每个页面边界都会产生 DMA 中断，干扰 CPU 重新编程新的系统地址。这种 SDMA 算法在每个页面边界都会中断，形成了性能瓶颈。ADMA 采用散点聚集 DMA 算法，因此数据传输速度更高。在执行 ADMA 之前，用户程序可将系统内存与 SD 卡之间的数据传输列表编入描述符表。这样，ADMA 就能在不中断 CPU 的情况下运行。

ADMA 有两种类型：ADMA1 和 ADMA2。ADMA1 仅支持系统内存中 4KB 对齐数据的数据传输。ADMA2 改进了这一限制，可以在系统内存中传输任意位置和任意大小的数据。两者的描述符表格式不同。主机控制器规范 Ver2.00 将 ADMA2 定义为标准 ADMA，建议支持 ADMA2 而不是 ADMA1。标准主机控制器 3.0 及更高版本不支持 DMA 模式 ADMA1。本文中使用的“ADMA”一词指的是 ADMA2。

### 39.5.7.1 ADMA2 框图

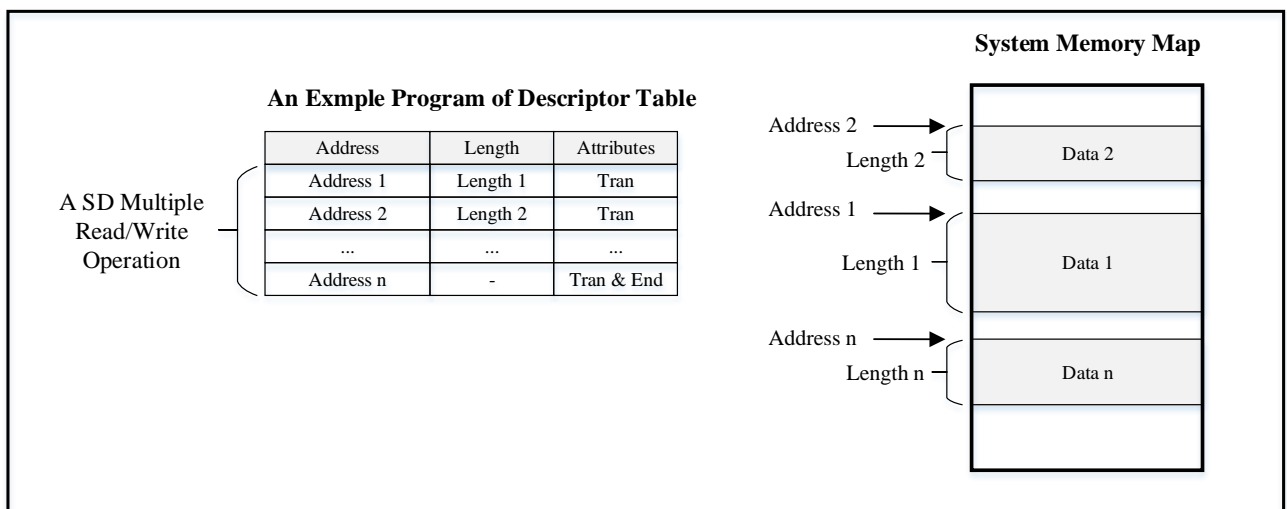
图 39-5 ADMA2 框图



32 位描述符表由用户程序在系统内存中创建。每个描述符行（一个可执行单元）由地址、长度和属性字段组成。属性指定描述符行的操作。ADMA2 包括 SDMA、状态机和寄存器电路。ADMA2 不使用 32 位 SDMA 系统地址寄存器（SDHOST\_DSADD - 偏移量 00h），而是使用 64 位高级 DMA 系统地址寄存器（SDHOST\_ASADD0/1 偏移量 058h）作为描述符指针。写入命令寄存器会触发 ADMA2 传输。ADMA2 抓取一行描述符并执行。此过程重复进行，直至找到描述符的结束符（属性中 End=1）。

### 39.5.7.2 AMDA2 编程示例

图 39-6 ADMA2 数据传输示例



上图显示了一个典型的 ADMA2 描述符程序。用户程序描述描述符表，每个片段都放置在连续的系统内存中。它描述了描述符表的地址、长度和属性集。每个切片数据按照描述符中的编程顺序轮流传输。

### 39.5.7.3 数据地址和数据长度要求

对描述符编程有 3 个要求。

最小地址单位为 4 字节。

每行描述符的最大数据长度小于 64KB。

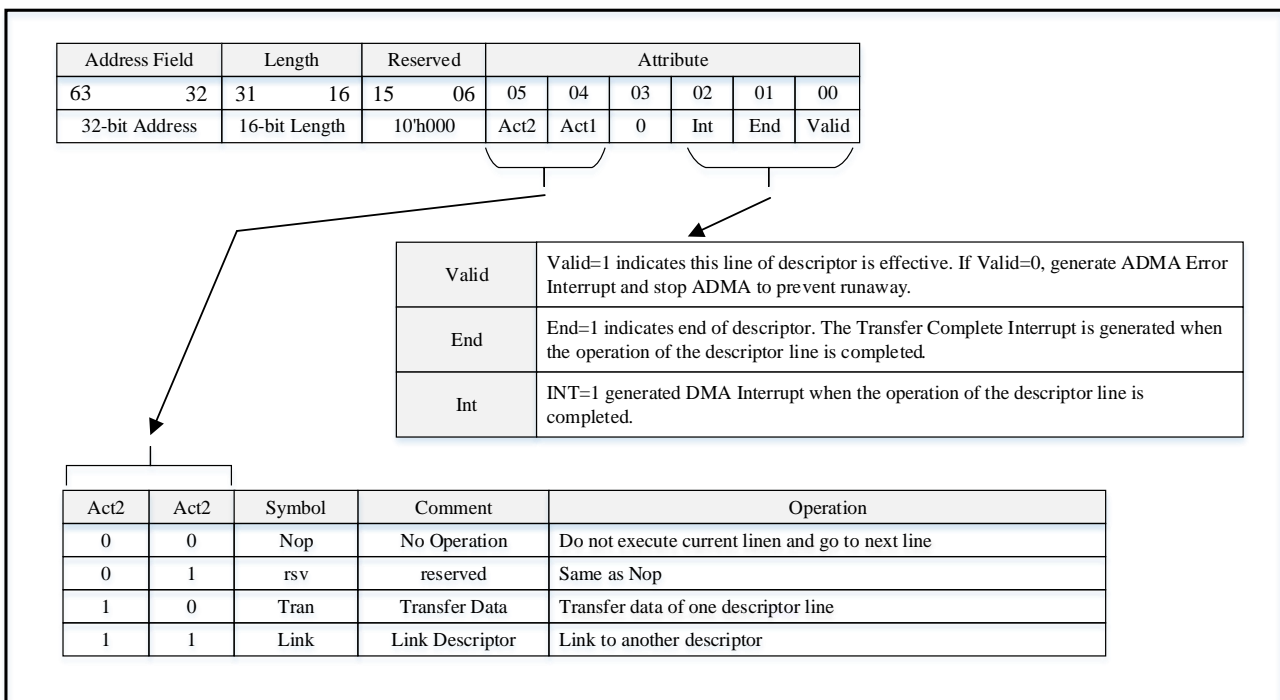
总长度 = 长度 1 + 长度 2 + 长度 3 + ... + 长度 n = 块大小的倍数

如果描述符的总长度不是块大小的倍数，ADMA2 传输可能无法中止。在这种情况下，应通过数据超时中止传输。

SDHOST 块计数和大小配置寄存器 (SDHOST\_BLKCFG) 中的块计数设置限制了 65535 块的最大传输量。如果 ADMA2 操作小于或等于 65535 个数据块传输，则可使用块计数设置。在这种情况下，描述符表的总长度应等于块大小和块计数的乘积。如果 ADMA2 操作传输的数据块超过 65535 个，则应通过将传输模式寄存器 (SDHOST\_TMODE) 中的“块计数使能”设置为 0 来禁用“块计数”设置。在这种情况下，数据传输长度不是由块计数指定，而是由描述符表指定。因此，SD 总线上最后一个数据块的检测时间可能会不同，这将影响当前状态寄存器 (SDHOST\_PRESTS) 中读取传输激活、写入传输激活和 DAT 线激活的控制。在读取操作的情况下，可能会有多个数据块的读取超过要求。如果读取的是内存区域的最后一个数据块，用户程序将忽略超出范围的错误。

### 39.5.7.4 描述符表

图 39-7 32 位描述符表



上图显示了 32 位地址描述符表的定义。一行描述符占用 64 位(8 字节)内存空间。属性用于控制描述符。指定了 3 个操作符号。“Nop”操作跳过当前描述符行，获取下一行。“Tran”操作用于传输由地址和长度字段指定的数据。“Link”操作用于连接分开的两个描述符。链接的地址字段指向下一个描述符表。Act2=0 和

Act1=1 的组合是保留的，其定义与 “Nop ” 操作相同。未来版本的 SDMMC 可能会使用该字段重新定义新的操作。32 位地址存储在 64 位地址寄存器的低 32 位。对于 32 位地址描述符表，地址字段应设置在 32 位边界（低 2 位始终设置为 0）。

下表列出了描述符表中长度字段的定义。

**表 39-3 ADMA 长度字段**

长度字段	长度值
0x0000	65536 bytes
0x0001	1 byte
0x0002	2 bytes
.....	.....
0xFFFF	65535 bytes

### 39.5.7.5 ADMA2 状态

下图显示了 ADMA2 的状态图。定义了 4 个状态：“读取描述符 ” 状态、“更改地址 ” 状态、“传输数据 ” 状态和 “停止 ADMA ” 状态。各状态的操作说明见下表。

图 39-8 ADMA2 状态图

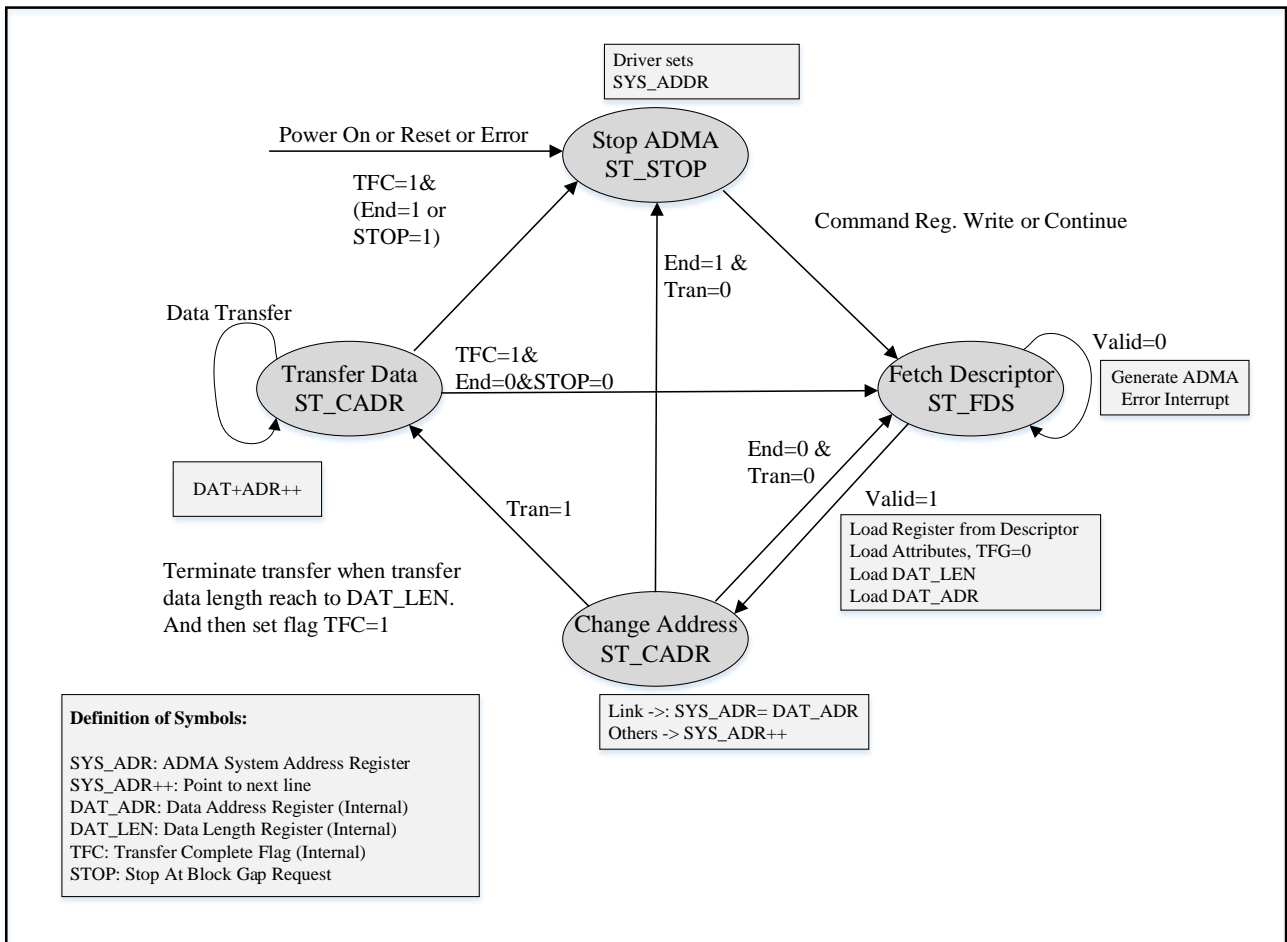


表 39-4 ADMA2 状态

状态名	运行
ST_FDS (Fetch Descriptor)	ADMA2 获取描述符行并在内部寄存器中设置参数。接下来进入 ST_CADR 状态
ST_CADR (Change Address)	链接操作将另一个描述符地址载入 ADMA 系统地址寄存器。在其他操作中，ADMA 系统地址寄存器递增，指向下一个描述符行。如果 End=0，则进入 ST_TFR 状态。在此状态下，即使发生错误，也不会停止 ADMA2。
ST_TFR (Transfer Data)	在系统内存和 SD 卡之间执行一行描述符的数据传输。 如果数据传输继续 (End=0)，则进入 ST_FDS 状态。如果数据传输完成，则进入 ST_STOP 状态。
ST_STOP (Stop DMA)	在下列情况下，ADMA2 会保持这种状态： (1) 开机复位或软件复位后。 (2) 完成所有描述符数据传输。 如果通过写命令寄存器启动新的 ADMA2 操作，则进入 ST_FDS 状态。

ADMA2 不支持挂起/恢复功能，但提供停止和继续功能。在 ADMA2 运行期间，如果 SDHOST Control 1 寄存器中的 Stop At Block Gap Request (SDHOST\_CTRL1.SABGREQ) 被设置，则 ADMA2 在块间隙停止

时会产生块间隙事件中断。SDMMC 应通过读取等待或停止 SD 时钟来停止 ADMA2 读操作。在停止 ADMA2 时，不能发出任何 SD 命令。

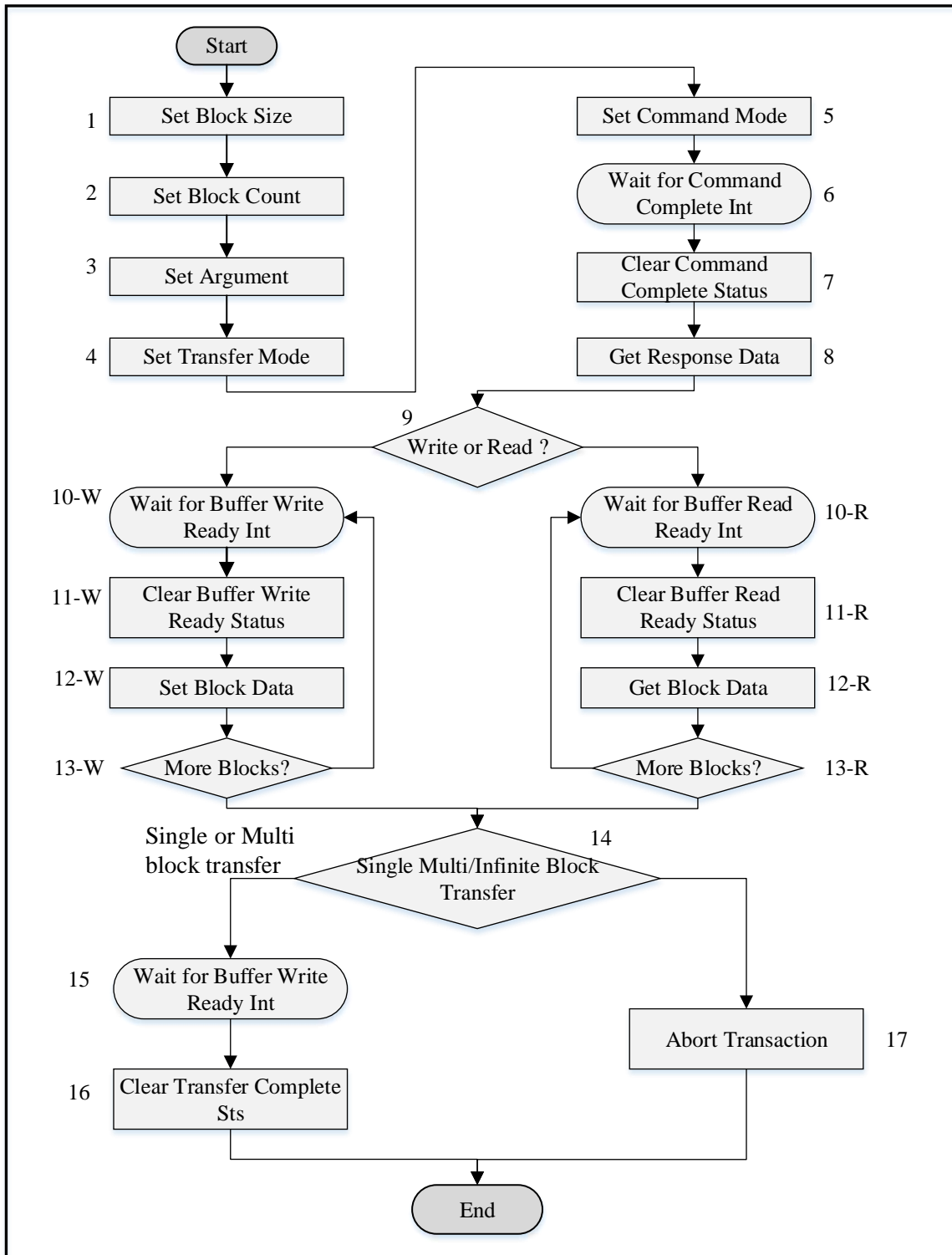
在 ADMA2 传输过程中发生错误时，可能会停止 ADMA2 运行并产生 ADMA 错误中断。ADMA 错误状态寄存器 (SDHOST\_ADMAESTS) 中的 ADMA 错误状态字段保持 ADMA2 停止的状态。用户程序可通过以下方法识别错误描述符位置：如果 ADMA 在 ST\_FDS 状态下停止，则 ADMA 系统地址寄存器指向错误描述符行。如果 ADMA 在 ST\_TFR 或 ST\_STOP 状态下停止，则 ADMA 系统地址寄存器指向错误描述符行的下一个位置。因此，ADMA2 不得在 ST\_CADR 状态下停止。

## 39.5.8 编程序列

### 39.5.8.1 非 DMA 传输

不使用 DMA 的序列如下所示：

图 39-9 使用 DAT 行序列进行数据传输（不使用 DMA）



**表 39-5 非 DMA 传输**

步骤	描述
1	SDHOST_BLKCFG.SIZE[11:0]设置相对应的值。
2	SDHOST_BLKCFG.CNT[15:0]设置相对应的值。
3	在参数 1 寄存器 (SDHOST_CMDARG1) 中设置与发出的命令相对应的值。
4	SDHOST_TMODE.BLKSEL 和 SDHOST_TMODE.NCNTE 位设置值。在传输模式寄存器 (SDHOST_TMODE) 中为数据传输方向、自动 CMD12 使能设置与发出的命令设置相对应的值。
5	为传输模式寄存器 (SDHOST_TMODE) 设置与发出的命令相对应的值。写入寄存器的命令索引字段 (CMDX[5:0]) 时, 将发出 SD 命令。
6	等待 SDHOST_INTSTS.CMDC 位置 1。
7	向 SDHOST_INTSTS.CMDC 位写 1 清除该位。
8	读取响应寄存器 (SDHOST_CMDRSP0/1/2/3), 根据发出的命令获取必要信息。
9	如果该序列用于写入存储卡, 则转至步骤 (10-W)。如果是读卡, 则转至步骤 (10-R)。
10-W	<p>等待中断状态寄存器 (SDHOST_INTSTS) 中的缓冲区写就绪中断。</p> <p><b>非 DMA 写入传输</b></p> <p>收到缓冲区写就绪中断后, CPU 将作为主控程序, 开始通过缓冲区数据端口寄存器 (SDHOST_BUFDAT) 传输数据。当缓冲区数据端口寄存器中的数据块就绪时, 发送器开始在 SD 总线上发送数据。在 SD 总线上传输数据时, 缓冲器写就绪中断会发送到 CPU, 以获取第二个数据块。CPU 将作为主站, 开始通过缓冲区数据端口寄存器发送第二个数据块。只有当内部 FIFO 空以接收数据块时, 才会发出缓冲区写就绪中断 (SDHOST_INTSTS.BUFWRDY)。</p>
11-W	向 SDHOST_INTSTS.BUFWRDY 位写 1, 以清除该位。
12-W	向缓冲区数据端口寄存器写入块数据 (以步骤 (1) 中指定的字节数为单位)。
13-W	重复上述步骤, 直到发送完所有数据块, 然后转到步骤 (14)。
10-R	<p><b>非 DMA 读取传输</b></p> <p>每当内部 FIFO 中的一个数据块就绪时, 就会发出缓冲区读就绪中断。收到缓冲区读就绪中断后, CPU 将作为主控器, 开始通过缓冲区数据端口寄存器读取数据。只有当 FIFO 空以接收数据块时, 接收器才开始从 SD 总线读取数据。当 FIFO 已满时, SDMMC 将通过读取等待机制 (如果卡支持读取等待) 或通过时钟停止来停止来自卡的数据。</p> <p>等待缓冲区读就绪中断 (SDHOST_INTSTS.BUFRRDY)</p>
11-R	向SDHOST_INTSTS.BUFRRDY写 1, 以清除该位。
12-R	从缓冲区数据端口寄存器(SDHOST_BUFDAT)读取块数据 (按步骤 (1) 指定的字节数读入)。



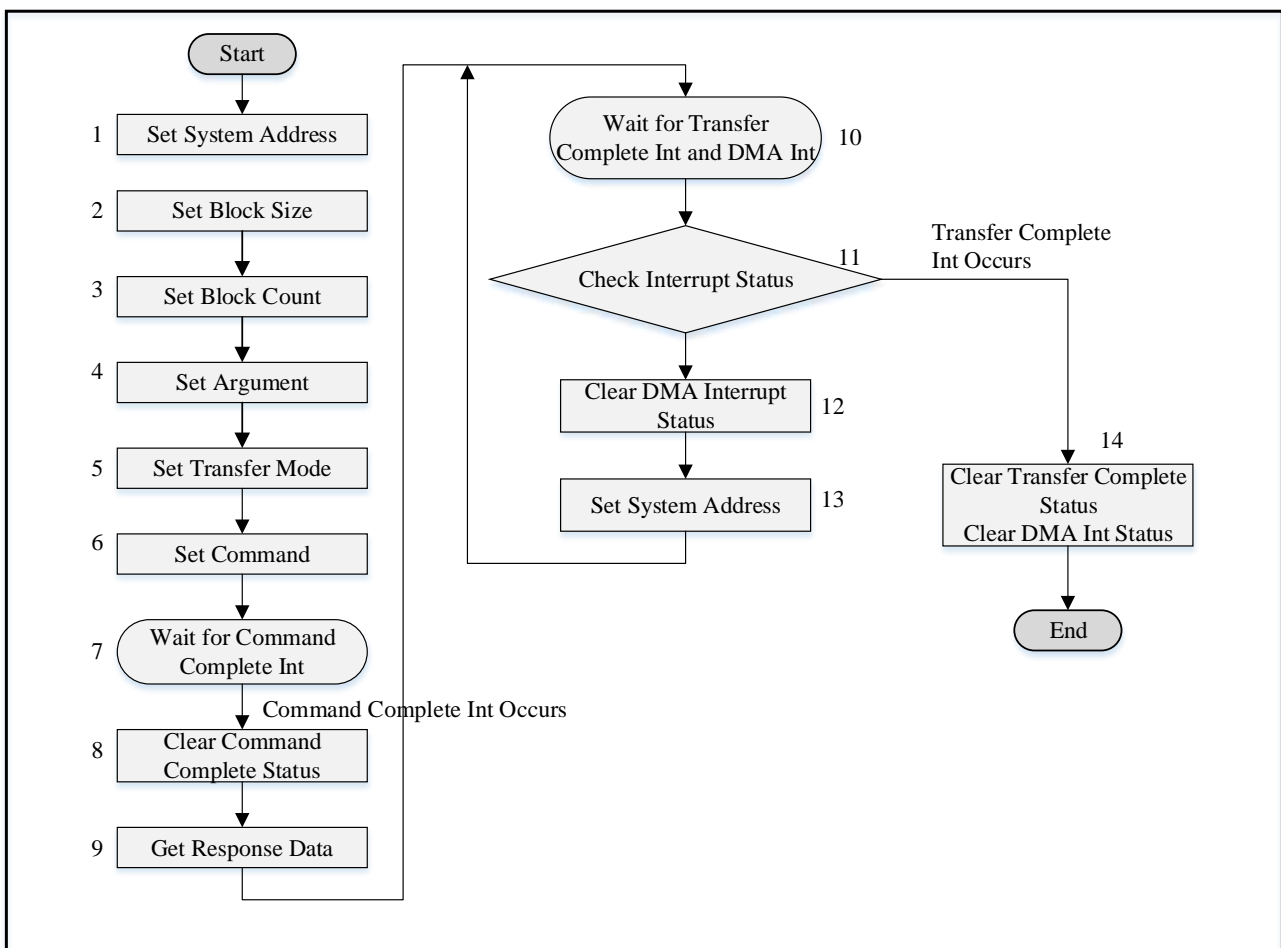
13-R	重复上述步骤，直到收到所有区块，然后转到步骤 (14)。
14	如果该序列用于单块或多块传送，则转至步骤 (15)。如果是无限区块传送，转至步骤 (17)。
15	等待 SDHOST_INTSTS.TC 位置 1。
16	向 SDHOST_INTSTS.TC 写 1 可清除该位。
17	执行 “中止传输” 的顺序。

注：步骤 1 和 2 可同时执行。步骤 4 和 5 可同时执行。

### 39.5.8.2 DMA 传输

使用 DMA 的序列如下所示：

图 39-10 使用 DAT 行序列传输数据（使用 DMA）



**表 39-6 DMA 传输**

步骤	描述
1	在 SDHOST_DSADD 寄存器中设置 DMA 的系统地址。
2	设置 SDHOST_BLKCFG.SIZE[11:0] 相对应的值。
3	设置 SDHOST_BLKCFG.CNT[15:0] 相对应的值。
4	在参数 1 寄存器 (SDHOST_CMDARG1) 中设置与发出的命令相对应的值。
5	将值设为 SDHOST_TMODE.BLKSEL 和 SDHOST_TMODE.NCNTE。在传输模式寄存器 (SDHOST_TMODE) 中为数据传输方向、自动 CMD12 使能和 DMA 使能设置与发出的命令相对应的值。
6	为传输模式寄存器 (SDHOST_TMODE) 设置与发出的命令相对应的值。写入寄存器的命令索引字段 (CMDX[5:0]) 时, 将发出 SD 命令。
7	等待 SDHOST_INTSTS.CMDC 置 1。
8	向 SDHOST_INTSTS.CMDC 位写 1 可清除该位。
9	<p>读取响应寄存器, 并根据发出的命令获取必要信息。</p> <p><b>DMA 读传输</b></p> <p>从卡上接收到写入命令的响应结束位 (数据从 SDMMC 流向卡) 后, SDMMC 将作为主设备请求系统总线。收到授权后, SDMMC 将开始从系统内存中读取数据块, 并填充第一个 FIFO。每当一个数据块准备就绪, 发送器就会开始在 SD 总线上发送数据。在 SD 总线上发送数据时, SDMMC 会请求总线将第二个数据块填入第二个 FIFO。乒乓 FIFO 用于提高吞吐量。同样, 每当一个 FIFO 空时, SDMMC 就会从系统内存中读取一个数据块。这种情况会一直持续, 直到从系统内存中读取完所有数据块。只有将所有数据块传输到卡上后, 才会设置传输完成中断。</p> <p><b>DMA 写传输</b></p> <p>从卡接收到的数据块 (从卡流向主机的数据) 存储在 FIFO 的前半部分。每当一个数据块准备就绪时, SDMMC 就会充当主控器, 请求进入系统总线。收到授权后, 主机控制器将开始从第一个 FIFO 向系统内存写入数据块。在向系统内存传输数据的同时, SDMMC 将接收第二个数据块并存储到第二个 FIFO 中。同样, 只要数据就绪, SDMMC 就会向系统内存写入一个数据块。这一过程将持续到所有数据块都传输到系统内存为止。只有将所有数据块传输到系统内存后, 才会设置传输完成中断。</p> <p><i>注意: SDMMC 只有在 FIFO 中有空间存储数据块时, 才会从卡中接收数据块。当两个 FIFO 都已满时, SDMMC 将通过读取等待机制 (如果卡支持读取等待) 或通过时钟停止来停止来自卡的数据。</i></p>
10	等待 SDHOST_INTSTS.TC 和 SDHOST_INTSTS.DMAINT 置 1。
11	如果 SDHOST_INTSTS.TC 设置为 1, 则转到步骤 (14), 否则, 如果 SDHOST_INTSTS.DMAINT 设置为 1, 则转到步骤 (12)。SDHOST_INTSTS.TC 的优先级高于 SDHOST_INTSTS.DMAINT。

12	向 SDHOST_INTSTS.DMAINT 写 1 可清除该位。
13	将下一个数据位置的下一个系统地址设置到系统地址寄存器中，然后进入步骤 (10)。
14	向 SDHOST_INTSTS.TC 和 SDHOST_INTSTS.DMAINT 写 1 可清除该位。

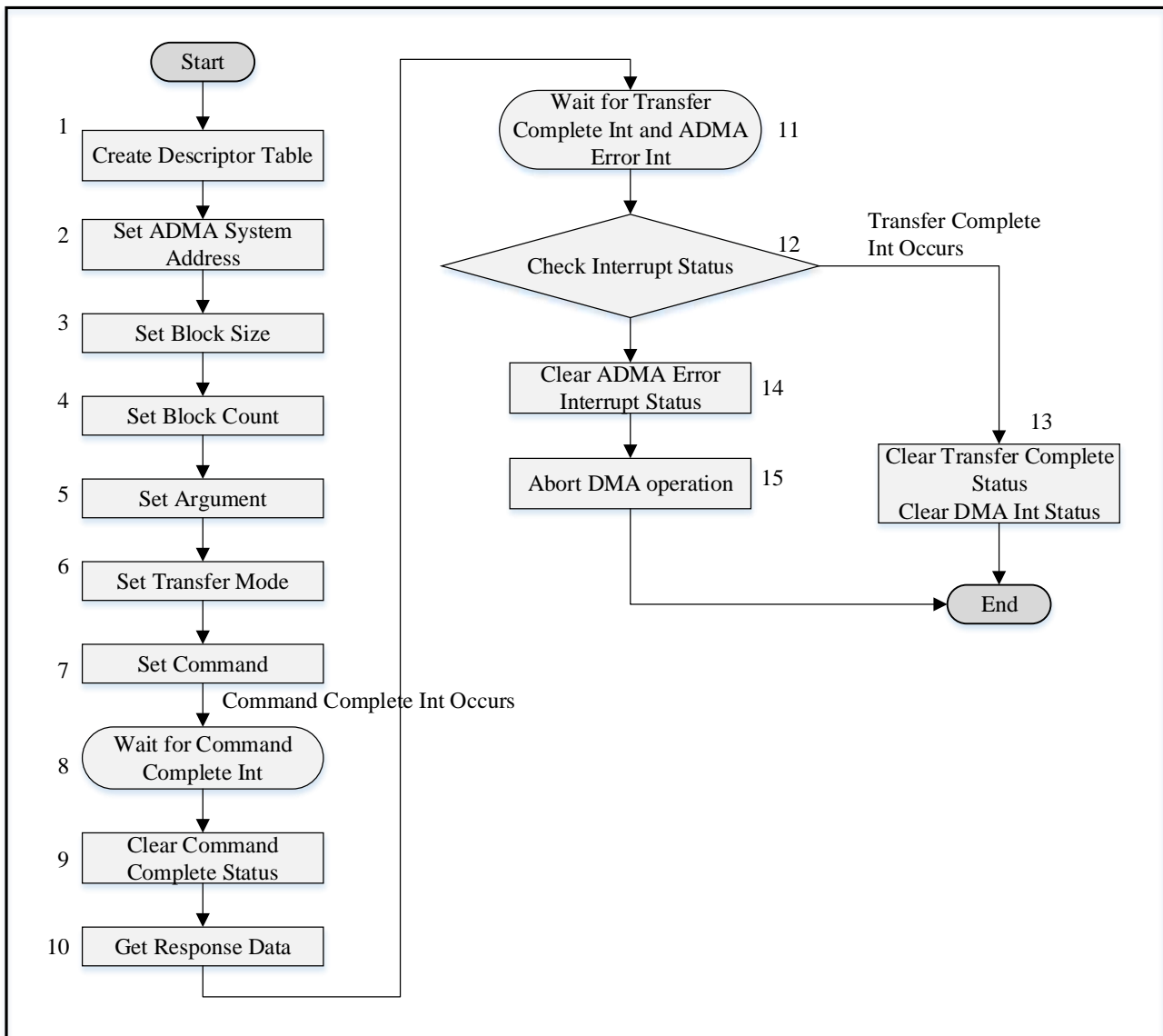
注：步骤 2 和 3 可同时执行。步骤 5 和 6 可同时执行

例如，如果 SDMMC 要向存储卡传输 4KB 的数据。假设最大数据块大小为 512 字节，则用户需要将数据块大小编程为 512，将数据块计数编程为 8。

驻留在 SDMMC 内部的 AHB 主控器和发送器将从这些寄存器中获取信息（需要传输多少数据）。利用上述信息，AHB 主控器将充当主控器并启动数据读取传输（从系统内存中读取一个数据块 - 512 字节）。每当 FIFO 中的数据块准备就绪，发送器就会开始在 SD 总线上传输数据块（512）。向存储卡发送整个数据块后，发送器将等待存储卡的状态响应。发送器只有在收到卡对上一个数据块的良好状态响应后，才会发送下一个数据块，否则将中止交易，主机将重新进行交易。

### 39.5.8.3 ADMA 传输

下图和表格描述了 ADMA 传输顺序。

**图 39-11 ADMA 传输流**

**表 39-7 ADMA 传输流**

步骤	描述
1	在系统内存中为 ADMA 创建描述符表
2	在 ADMA 系统地址寄存器中设置 ADMA 的描述符地址。
3	设置与 SDHOST_BLKCFG.SIZE[11:0] 相对应的值。
4	设置与 SDHOST_BLKCFG.CNT[15:0] 相对应的值。 如果 SDHOST_TMODE.BCNTE 设置为 1，则数据总长度可以由块计数和描述符表指定。这两个参数应显示相同的数据长度。但是，传输长度受到 16 位块计数的限制。如果 SDHOST_TMODE.BCNTE 设置为 0，则总数据长度不是由块计数而是由描述符表指定。在这种情况下，ADMA 从 SD 卡读取的数据会超过描述符中编程的长度。过多的读取操作会异步

	中止，ADMA 完成后会丢弃多余的读取数据。
5	在参数 1 寄存器 (SDHOST_CMDARG1) 中设置与发出的命令相对应的值。
6	为 SDHOST_TMODE.BLKSEL 和 SDHOST_TMODE.NCNTE 设置值。在传输模式寄存器 (SDHOST_TMODE) 中为数据传输方向、自动 CMD12 启用和 DMA 启用设置与发出的命令相对应的值。
7	为传输模式寄存器 (SDHOST_TMODE) 设置与发出的命令相对应的值。写入寄存器的命令索引字段 (CMDX[5:0]) 时，将发出 SD 命令。
8	等待 SDHOST_INTSTS.CMDC 置 1。
9	向 SDHOST_INTSTS.CMDC 位写 1 可清除该位。
10	读取响应寄存器，根据发出的命令获取必要信息。
11	等待 SDHOST_INTSTS.TC 和 SDHOST_INTSTS.ADMAERR 置 1。
12	如果 SDHOST_INTSTS.TC 设置为 1，转至步骤 (13)，否则，如果 SDHOST_INTSTS.ADMAERR 设置为 1，转至步骤 14
13	向 SDHOST_INTSTS.TC 写 1 可清除该位。
14	向 SDHOST_INTSTS.ADMAERR 写 1 可清除该位。
15	中止 ADMA 操作。应通过发出中止命令停止 SD 卡操作。必要时，用户程序检查 ADMA 错误状态寄存器，以检测 ADMA 错误产生的原因。

注：步骤 3 和 4 可同时执行。步骤 6 和 7 可同时执行

#### 39.5.8.4 中止传输

对于 SD 存储卡，可使用 CMD12 执行中止事务；对于 SDIO 卡，可使用 CMD52 执行中止事务。在两种情况下，HD 需要执行中止事务。

- (1) 当用户程序停止无限块传输时。
- (2) 用户程序在进行多数据块传输时停止传输。

发出中止命令有两种方式。第一种是异步中止。第二种是同步中止。在异步中止序列中，用户程序可以随时发出中止命令，除非当前状态寄存器 (SDHOST\_PRESTS) 中的命令禁止 (CMD) 设置为 1。在同步中止中，用户程序应在数据传输停止后，通过使用 SDHOST 控制 1 寄存器 (SDHOST\_CTRL1.SABGREQ) 中的停止在块间隙请求来发出中止命令。

##### 39.5.8.4.1 同步中止

同步中止的流程如下：

图 39-12 同步中止传输

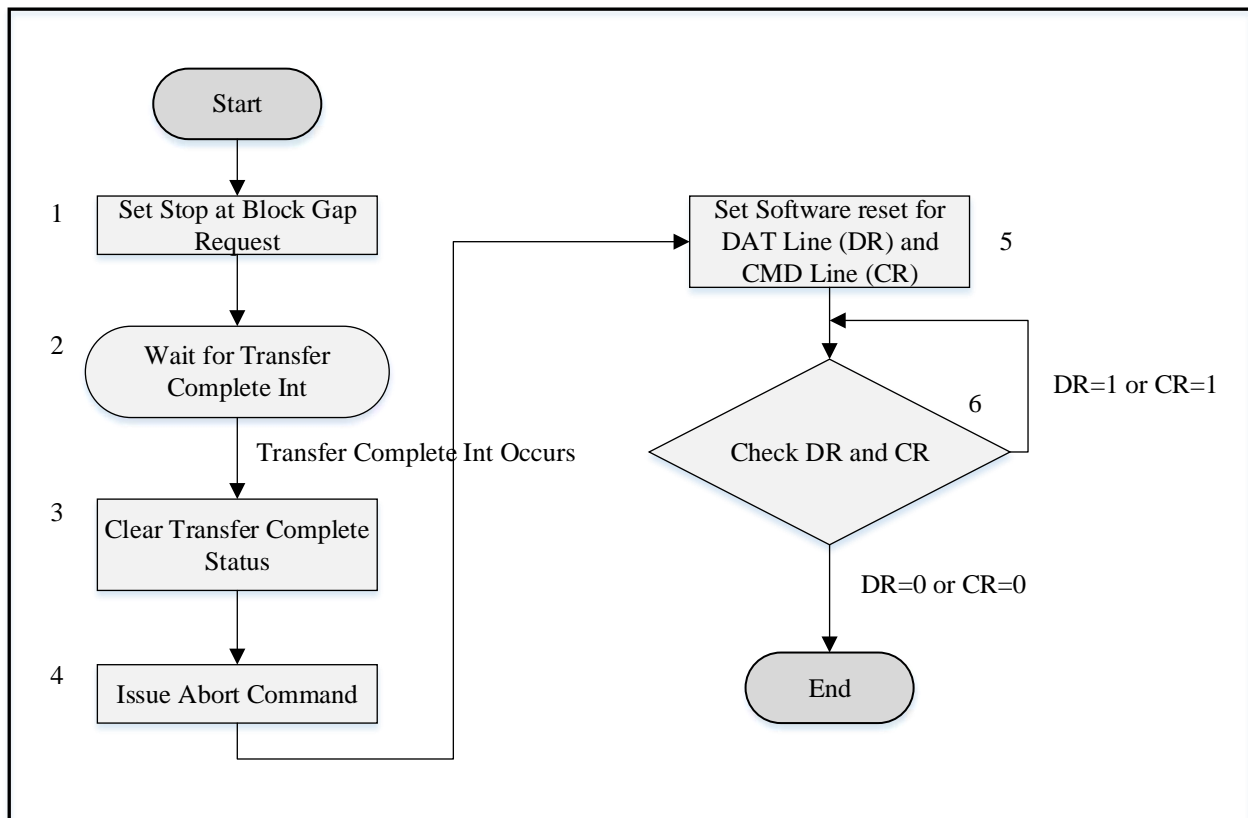


表 39-8 同步中止流

步骤	描述
1	将 SDHOST_CTRL1.SABGREQ 设置为 1，以停止 SD 传输。
2	等待 SDHOST_INTSTS.TC 置 1。
3	向 SDHOST_INTSTS.TC 写 1 可清除该位。
4	发出中止命令
5	将 SDHOST_CTRL2.SWRSTD L 和 SDHOST_CTRL2.SWRSTCL 设置为 1，以进行软件复位。
6	检查 SDHOST_CTRL2.SWRSTD L 和 SDHOST_CTRL2.SWRSTCL。如果 SDHOST_CTRL2.SWRSTD L 和 SDHOST_CTRL2.SWRSTCL 均为 0，则转到“结束”。如果 SDHOST_CTRL2.SWRSTD L 或 SDHOST_CTRL2.SWRSTCL 均为 1，则重复步骤(6)。

#### 39.5.8.4.2 异步中止

异步中止的流程如下：

图 39-13 异步中止流

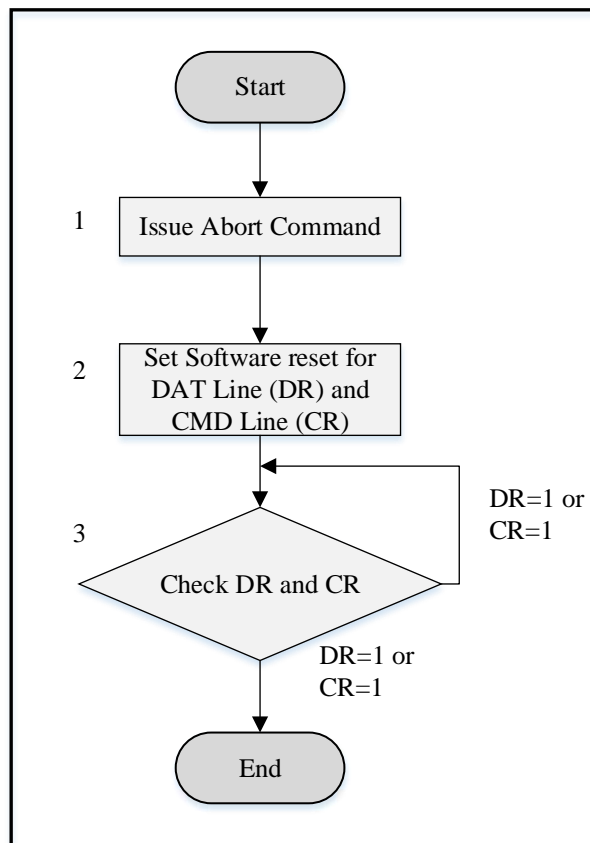


表 39-9 异步中止流

步骤	描述
1	发出中止命令
2	将 SDHOST_CTRL2.SWRSTD L 和 SDHOST_CTRL2.SWRSTCL 设置为 1, 以进行软件复位。
3	检查 SDHOST_CTRL2.SWRSTD L 和 SDHOST_CTRL2.SWRSTCL 。如果 SDHOST_CTRL2.SWRSTD L 和 SDHOST_CTRL2.SWRSTCL 均为 0, 则转到 “结束”。如果 SDHOST_CTRL2.SWRSTD L 或 SDHOST_CTRL2.SWRSTCL 均为 1, 则重复步骤 (3)。

### 39.5.8.5 启动操作

启动操作说明如下：

#### 39.5.8.5.1 正常启动操作

用户程序根据 eMMC4.3+ 规范将启动超时值写入启动超时控制寄存器 (SDHOST\_BOOTCTRL)。当用户程序将控制 1 寄存器 (SDHOST\_CTRL1) 中的 “BOOTEN” 位设置为 1, 并将传输模式寄存器 (SDHOST\_TMODE) 中的数据传输方向选择 (DATDIR) 位设置为 “1” 时, SDMMC 将 CMD 线驱动为 “0”, 以进行启动操作。

如果 SDMMC 被配置为等待 eMMC4.3+ 设备的启动确认, 它将接收启动确认并向 CPU 发出启动确认中断。

如果 SDMMC 在超时值内没有收到设备的启动确认，则会发出数据超时错误中断。

处理完启动确认中断或数据超时错误中断后，用户将启动数据超时值写入启动超时控制寄存器。

eMMC4.3+ 设备开始在数据线上发送启动数据，而 SDMMC 在收到设备发送的数据块时也会向系统发送同样的数据。

当向系统传送的数据块达到设定的数目时，SDMMC 将终止启动操作。用户程序可将 SDHOST\_CTRL1.BOOTEN 写为“0”，然后等待启动终止中断。启动终止中断发生后，用户程序向 SDMMC 的 DATA 线发出软复位，将数据状态机复位到空闲状态。

启动操作也可以在启动传输之间终止。当传输正在进行时，将 SDHOST\_CTRL1.SABGREQ 置 1，等待传输完成中断。用户程序收到传输完成中断后，应清除启动使能，然后对 SDMMC 的 DATA 线进行软复位，将数据状态机复位到空闲状态。

如果在启动操作过程中发生数据超时中断，则无需执行错误恢复序列（即忽略发送中止命令、软复位，只需清除超时中断并继续启动流程）。

如果设备向 SDMMC 发送错误的确认信息，它将向 CPU 发出数据 CRC 错误中断信号。在这种情况下，用户程序必须将 BOOTEN 设置为“0”，并写入 CMD 和数据线的软复位，以停止启动模式操作。

如果设备向 SDMMC 发送的结束位确认为“0”，则会向 CPU 发出数据结束位错误中断。

用户程序通过将控制 1 寄存器中的 BOOTEN 设置为“0”并写入 CMD 和数据线软复位来停止启动模式操作。

*注意：在启动操作过程中，使能 SDHOST\_CTRL1.BOOTACKC 位。如果失败，SDMMC 将不等待卡的启动确认，并在卡先发送启动确认后发送启动数据时发出数据 CRC 错误。*

### 39.5.8.5.2 备用启动操作

用户程序根据 eMMC4.3+ 规范将启动超时值写入启动超时控制寄存器（SDHOST\_BOOTCTRL）。

如果 SDHOST\_CTRL1.BOOTINALT（以备用模式启动）和 SDHOST\_CTRL1.BOOTEN 设置为“1”，且数据传输方向选择（SDHOST\_TMODE.DATDIR）位设置为“1”，SDMMC 将在 CMD 线路上驱动 CMD0（0xFFFFFFFF）。

在启动确认接收（BOOTACKR）中断之前，系统应等待命令完成中断。

如果 SDMMC 被配置为等待 eMMC4.3+ 设备的启动确认，它将接收启动确认并向 CPU 发出启动确认中断。

eMMC4.3+ 设备开始在数据线上发送启动数据，而 SDMMC 在收到设备发送的数据块时也会向系统发送同样的数据。

当向系统传送的数据块达到设定的数量时，SDMMC 将终止启动操作。用户程序可将“SDHOST\_CTRL1.BOOTEN”和“SDHOST\_CTRL1.BOOTINALT”写为“0”，然后等待启动终止中断。一旦 CPU 接收到启动终止中断。CPU 需要对 SDMMC 进行编程，以发送 CMD0 通知设备引导操作已完成。它应为 CMD0（CMD 类型为 ABORT）编写参数为“0x00000000”，并等待命令完成。之后，用户程序需要向 SDMMC 发出数据软复位，将数据状态机复位到空闲状态。

启动操作可随时终止。在传输正在进行时，对 SDHOST\_CTRL1.SABGREQ 进行编程，然后等待传输完成中断。CPU 收到传输完成中断后，应清除 BOOTEN 和 BOOTINALT，然后用户程序需要发送 CMD0 通知设备引导操作完成。用户程序应为 CMD0（CMD 类型为 ABORT）编写参数为“0x00000000”，并等待



命令完成。之后，驱动程序需要向 SDMMC 发出数据软复位，将数据状态机复位到空闲状态。

如果 SDMMC 在超时值内没有收到设备的确认，则会发出数据超时错误中断。用户在启动超时控制寄存器中设置启动数据超时值。

出现上述数据超时中断时，无需执行错误恢复序列。

如果设备向 SDMMC 发送错误的确认，则会向 CPU 发出数据 CRC 错误中断。在这种情况下，用户程序必须通过将 SDHOST\_CTRL1.BOOTEN 和 SDHOST\_CTRL1.BOOTINALT 设置为 “0” 来停止启动模式操作，并对 CMD 和数据线写入软复位。

如果设备在向 SDMMC 发送的确认中将结束位设为 “0”，则会向 CPU 发出数据结束位错误中断。

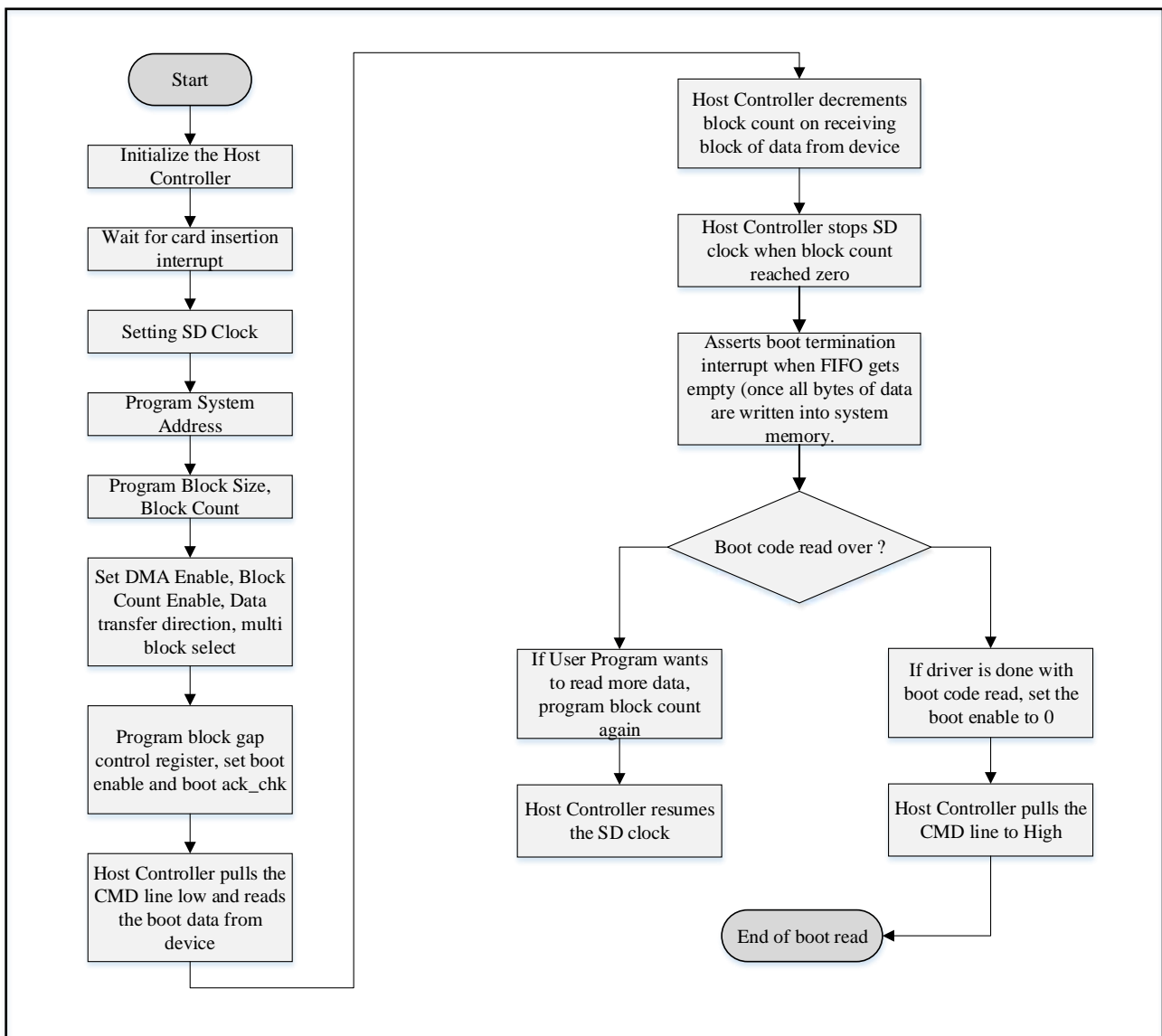
用户程序将 SDHOST\_CTRL1.BOOTEN 和 SDHOST\_CTRL1.BOOTINALT 设置为 “0”，并写入 CMD 和数据线的软复位，从而停止启动模式操作。

*注意：在启动操作过程中，使能 SDHOST\_CTRL1.BOOTACKC 位。如果失败，SDMMC 将不等待卡的启动确认，并在卡先发送启动确认后发送启动数据时发出数据 CRC 错误。*

### 39.5.8.5.3 读取启动代码块操作

下图解释了以数据块为单位读取启动代码的情况（即用户程序可读取 2K、4K、1K 和 8K 等启动数据，而不是每次 128K）。

图 39-14 启动代码访问流程图



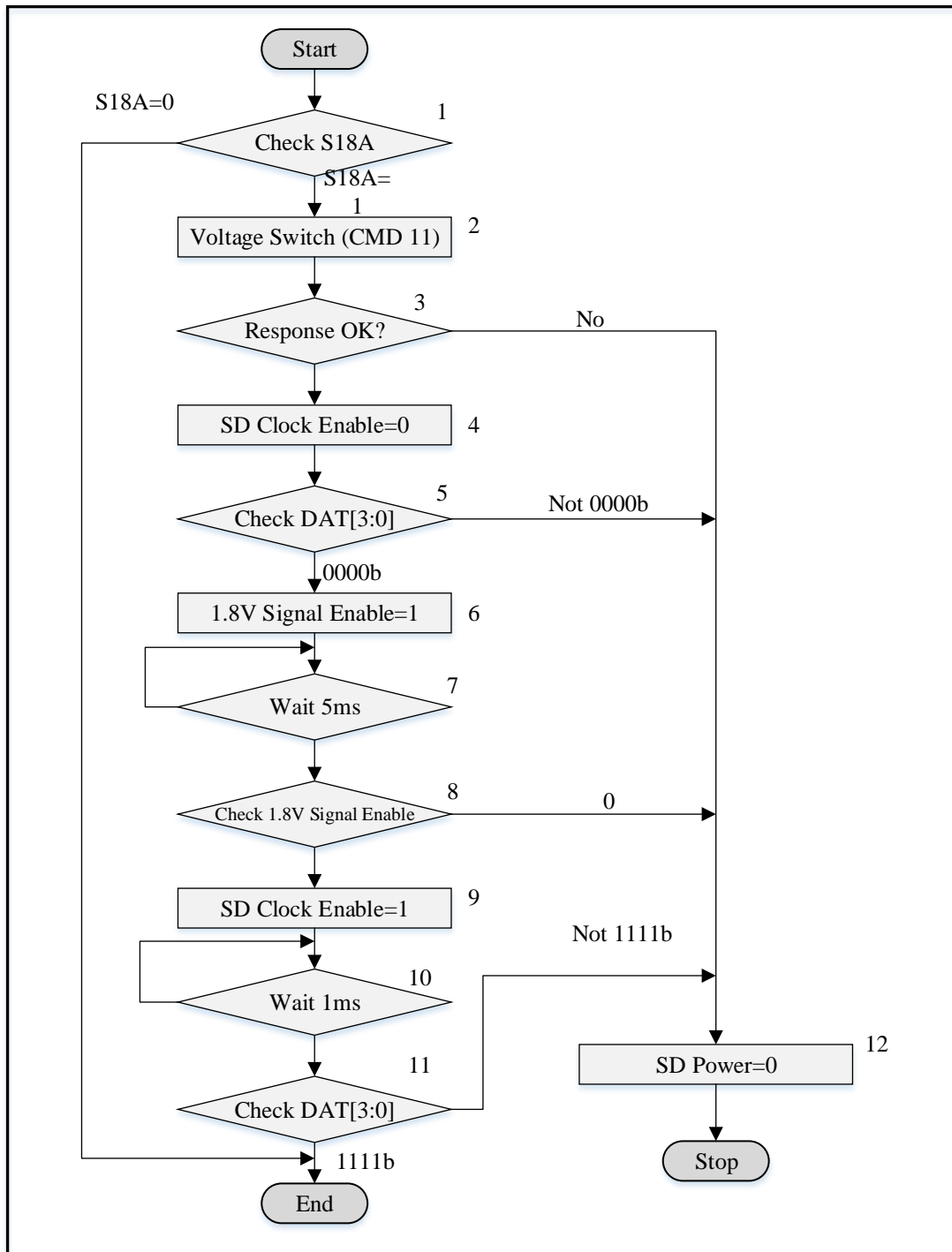
- 开机复位后，初始化 SDMMC（主机控制器）
- 等待插卡中断
- 在 SDHOST\_CTRL2 寄存器设置 SD 时钟
- 对系统地址寄存器进行编程
- 在块计数和大小配置寄存器中编程块大小和块计数
- 设置 SDHOST\_TMDE.DMAE、SDHOST\_TMDE.BCNTE、SDHOST\_TMDE.DATDIR 和 SDHOST\_TMDE.BLKSEL。
- 编程 SDHOST\_CTRL1.BOOTEN, SDHOST\_CTRL1.BOOTACKC 位。
- SDMMC 将 CMD 线路拉低，并从设备读取启动数据。
- SDMMC 从设备接收数据块时递减数据块计数（\*）。
- 当块计数为零时，SDMMC 停止 SD 时钟。

- 当所有数据字节写入系统内存后，FIFO 变空时，SDMMC 发出启动终止中断。
- 如果用户程序希望读取更多数据，请重新编程块计数。然后 SDMMC 恢复 SD 时钟并重复带(\*)步骤。
- 如果用户程序完成了启动代码的读取，则将 SDHOST\_CTRL1.BOOTEN 设置为“0”。
- SDMMC 将 CMD 线拉至高电平，完成程序。

### 39.5.8.6 电压切换顺序

电压切换顺序如下所述：

图 39-15 电压切换顺序



如果 CMD5 的 S18A 或 ACMD41 的 S18A 设置为 1，则按照以下步骤进行信号电压切换。否则，不执行本步骤。

表 39-10 电压切换顺序

步骤	描述
1	发出 CMD11

2	检查响应，如果检测到错误，转至步骤 (12)
3	停止向存储卡提供 SD 时钟。
4	检查 DAT[3:0] 电平。如果电平为 0000b，则卡已准备好启动电压转换序列。否则，转至 (12) 以退出序列。
5	设置 SDHOST_CTRLSTS.V18SE
6	等待 5 毫秒。在此期间，1.8V 电压调整器应保持稳定。
7	如果 SDMMC 已清除 SDHOST_CTRLSTS.V18SE，则转至步骤 (12)。
8	再次为存储卡提供 SD 时钟
9	等待 1ms.
10	检查 DAT[3:0] 电平。如果电平为 1111b，则成功切换至 1.8V 信号电平。否则，转至 (12)。
11	如果在电压切换过程中出现错误，转至步骤 12
12	停止向卡片供电。

### 39.5.8.7 重新调谐程序

重新调谐程序描述如下：

#### 39.5.8.7.1 采样时钟调谐

SD 总线可以在高时钟频率模式下运行，这样来自卡的 CMD 和 DAT[3:0] 线数据窗口就会变小。数据窗口的位置因卡和主机系统的实现方式而异。因此，当使用 SDR104 或 SDR50 时（如果 SDHOST\_CAP1STS.UTFSDR50 设置为 1），SDMMC 应通过执行调谐程序和调整采样时钟来支持调谐电路。SD 主机控制状态寄存器（SDHOST\_CTRLSTS）中的执行调谐（ETUN）和采样时钟选择（SCS）位用于控制调谐电路。

#### 39.5.8.7.2 调谐模式

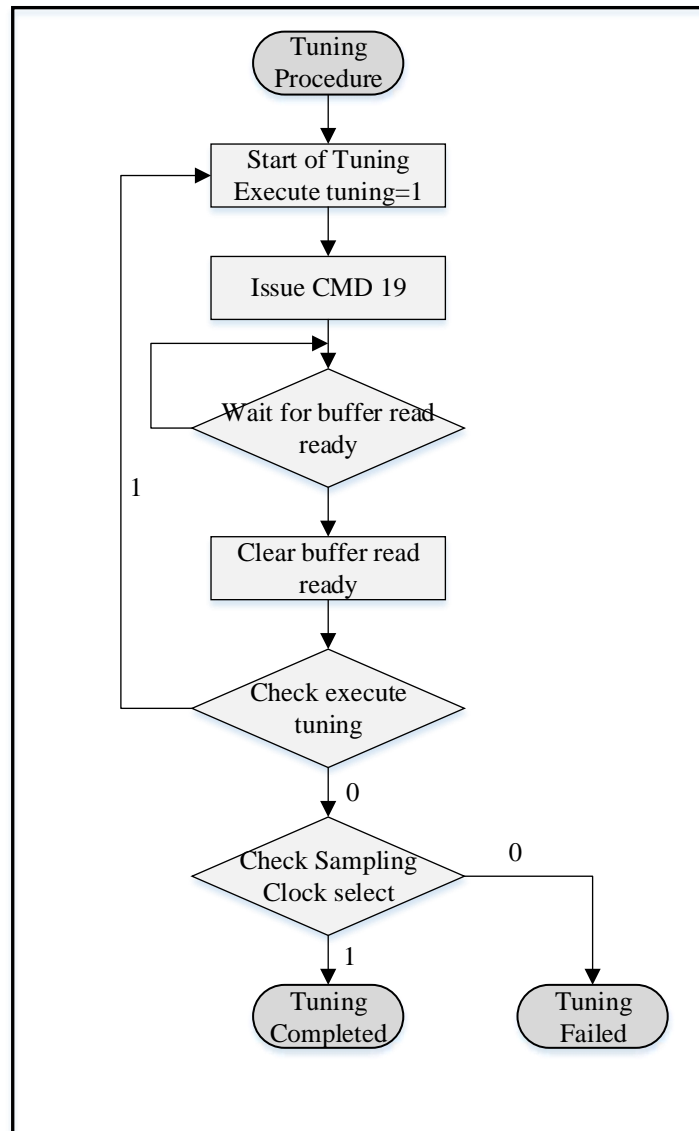
用户程序准备的重新调谐计时器的到期时间。

##### (1) 重调模式 1（仅 SDMMC 支持该模式）

SDMMC 没有任何内部逻辑来检测何时需要执行重调。在这种情况下，用户程序应使用重调定时器来保持所有重调时序。为了能在数据传输过程中插入重新调谐程序，每条读/写命令的数据长度应限制在 4MB 以内。

39.5.8.7.3 时钟调谐程序

图 39-16 时钟调谐过程



上图定义了 SDMMC 支持的采样时钟调整程序。默认情况下，在较低频率工作时，使用固定采样时钟接收 CMD 和 DAT[3:0] 上的信号。在使用 SDR104 之前，需要对采样时钟进行调整。将 Execute Tuning（执行调整）设为 1，将 Sampling Clock Select（采样时钟选择）设为 0，即可要求开始采样时钟调整。

用户程序反复发出 CMD19，直到 SDMMC 将 Execute Tuning 复位为 0。当调谐完成或调谐在 40 次内未完成时，SDMMC 将 Execute Tuning 复位为 0。用户程序可通过 40 次 CMD19 或 150 毫秒超时终止此循环。

如果调谐成功，SDMMC 将“采样时钟选择”置 1，表示开始使用调谐后的采样时钟。如果调谐失败，SDMMC 会将“采样时钟选择”保持为 0，将“采样时钟选择”写入 0 后，采样时钟将从调谐采样时钟切换为固定采样时钟。重新调谐时间将小于第一次调谐时间。调谐时不会显示 CMD19 响应错误。

通过可变采样点检测选择时钟调整分接延迟值。固定分接延迟值用于固定调谐时钟方法。

### 39.5.9 调谐框图

各种时序图如下：

图 39-17 SD/SDIO 写中断周期

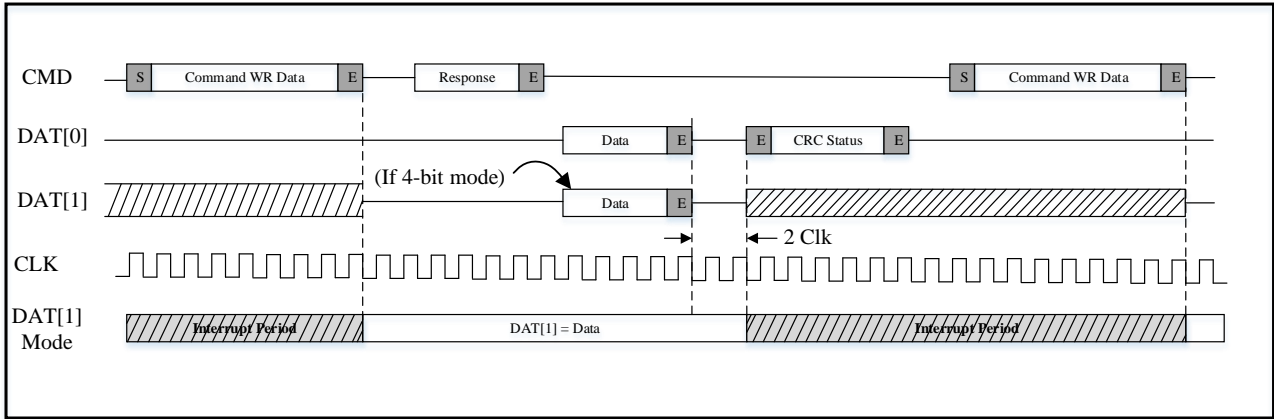


图 39-18 SD/SDIO 读中断周期

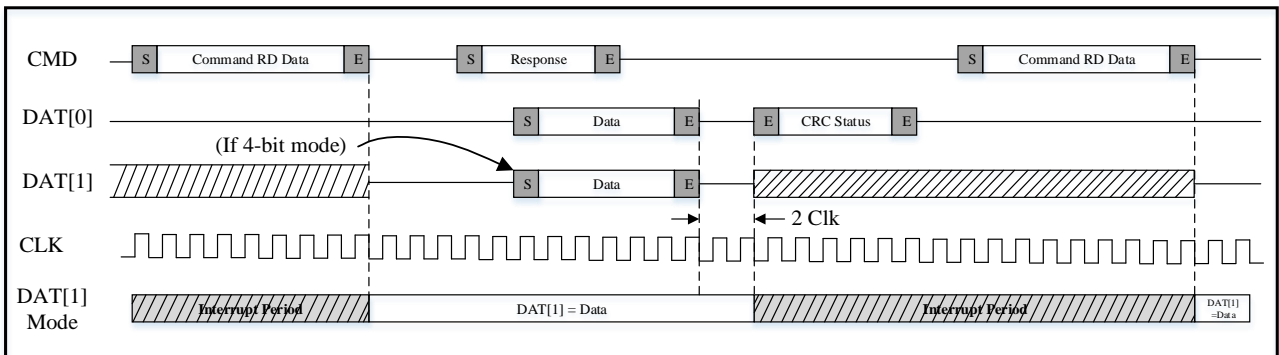


图 39-19 SD/SDIO 挂起/恢复时序

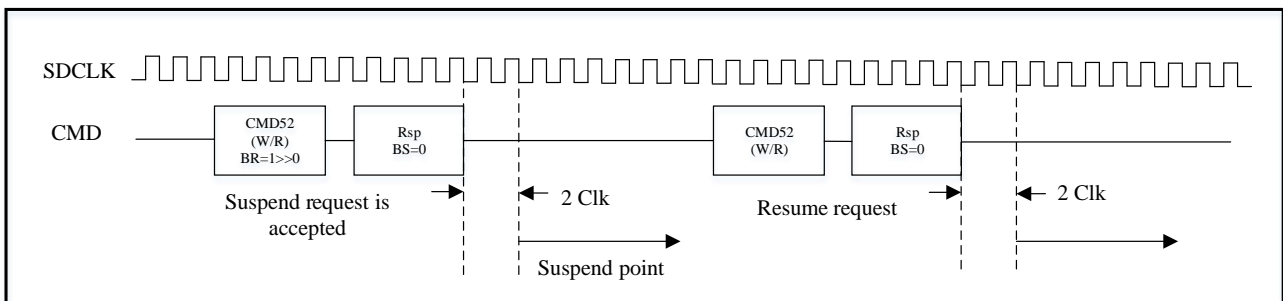


图 39-20 在连续数据块之间终止的启动操作时序

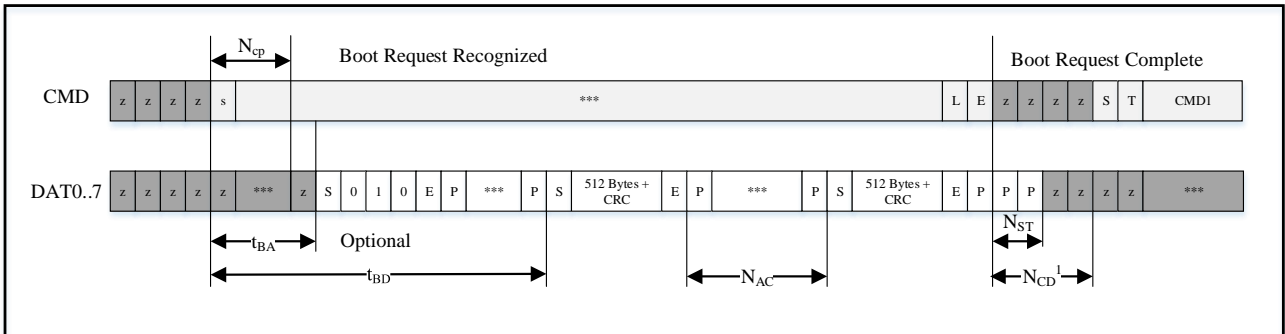


图 39-21 传输过程中终止的启动操作时序

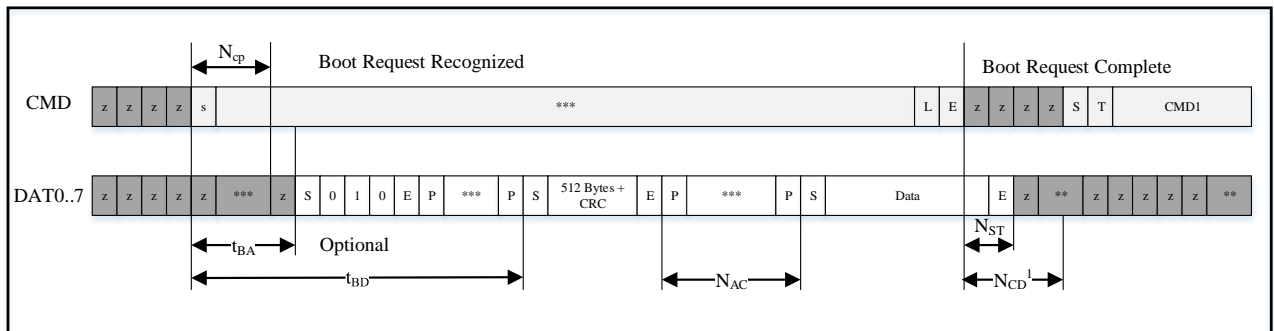
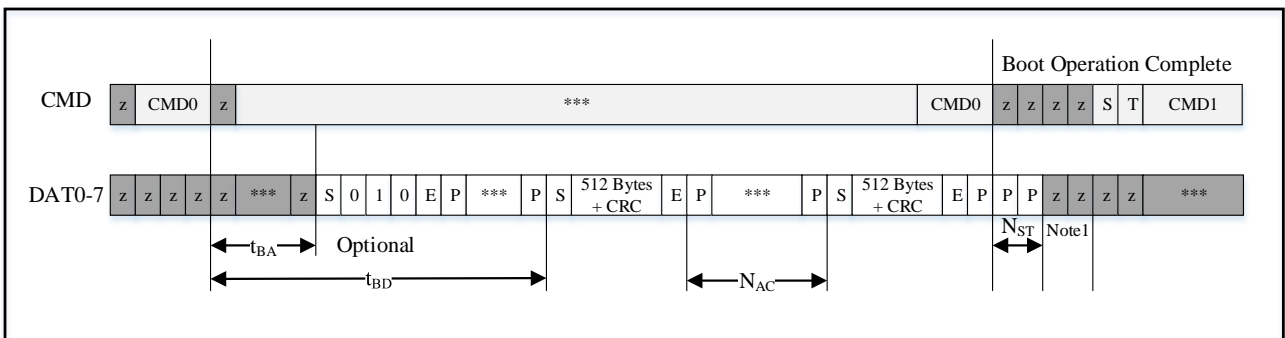


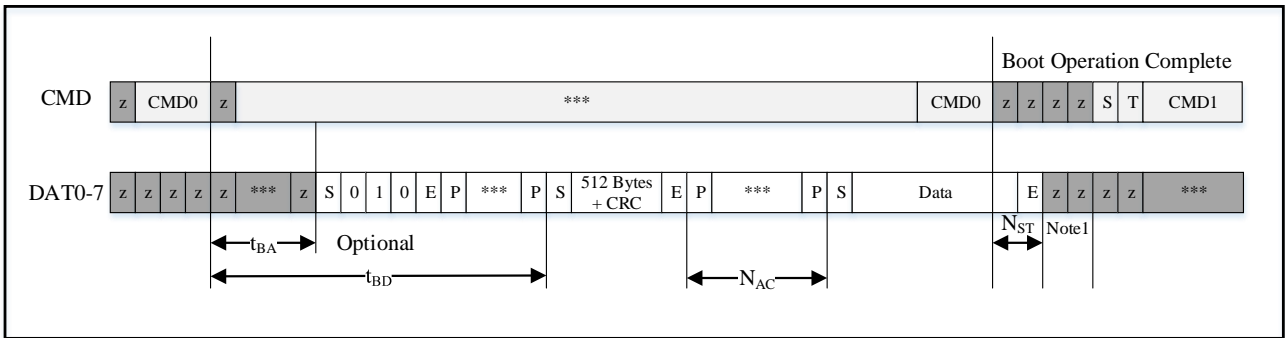
图 39-22 备用启动操作，在连续数据块之间终止



Note 1: CMD0 with argument 0xFFFF\_FFFA



图 39-23 备用启动操作，传输过程中终止



Note 1: CMD0 with argument 0xFFFFF\_FFFA

DDR50 模式下的数据包格式 - 普通数据

图 39-24 DDR50 模式下的数据包格式 - 普通数据

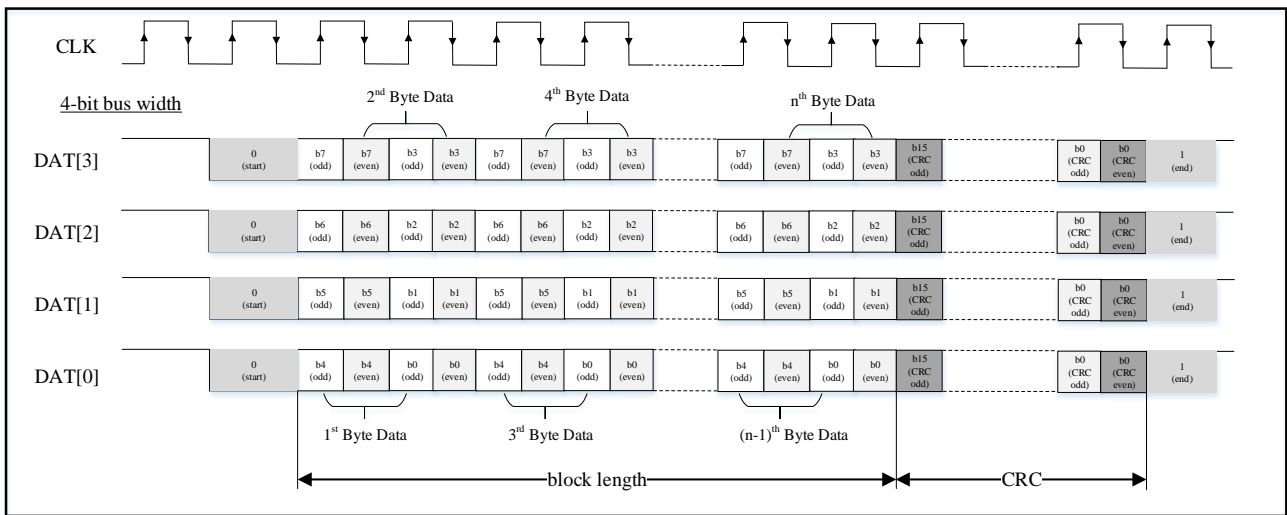
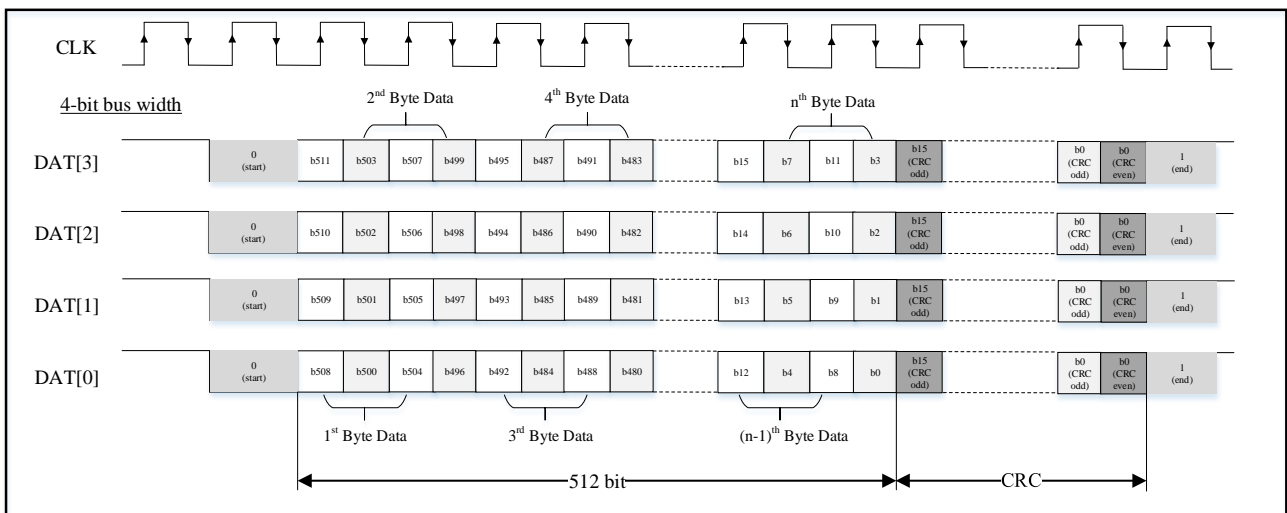


图 39-25 DDR50 模式下的数据包格式 - 宽幅数据



## 39.6 SDMMC 封装寄存器

SDMMC1 基地址: 0x51107000

SDMMC2 基地址: 0x4004A000

### 39.6.1 SDMMC 配置 1 寄存器(SDMMC\_CFG1)

偏移地址: 0x00

复位值: 0x0034 00C1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								MBL[1:0]		BCLKF[7:2]					
								rw							rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BCLKF[1:0]		TCLKU	Reserved					TCNT[5:0]					WSGM		
rw		rw						rw					rw		

位域	名称	描述
31:24	Reserved	保留, 必需保持复位值。
23:22	MBL[1:0]	核/设备支持的最大块长度(Maximum Block Length supported by the Core/Device) 00: 512(字节) 01: 1024(字节) 10: 2048(字节) 11: 保留
21:14	BCLKF[7:0]	SD 时钟的基准时钟频率(Base Clock Frequency for SD Clock) 这是 xin_clk 的频率。 8 位基准时钟频率, 单位值为 1MHz。支持的时钟范围为 10MHz 至 104MHz。 0x69 - 0xFF:保留, 不允许配置 0x68: 104 MHz ... 0x0A: 10 MHz 0x09 - 0x00:保留, 不允许配置 <i>注 1: 此值为 RCC 分频后给到 SDMMC 的 xin_clk 实际值</i> <i>注 2: 如果实际频率为 16.5MHz, 则应设置较大值 00010001b (17MHz), 因为 HD 使用该值计算时钟分频值 (SDHOST_CTRL2.SDCLKSEL[9:0]), 且该值不得超过 SD 时钟频率的上限。</i>
13	TCLKU	超时时钟单元(Timeout Clock Unit) 建议值 0 (KHz). 该位显示用于检测数据超时错误的基准时钟频率单位。 0 - KHz 1 - Mhz

位域	名称	描述
12:7	Reserved	保留，必需保持复位值。
6:1	TCNT[5:0]	调谐计数(Tuning Count) 配置调谐 rxclk_in 时支持的延迟 tap 数。在调谐过程中，调谐状态机会在此配置数量范围内选择合适的延迟 tap 数量。 用于调谐的时钟：rxclk_in 0x00: 无 tap 使用 0x01: 最大使用 1 tap ... 0x20: 最大使用 32 taps 0x21~0x3F: 保留，不允许配置。
0	WSGM	唤醒信号生成模式(Wakeup Signal Generation Mode) 该配置用于确定唤醒事件的生成方式。唤醒事件是指插卡或拔卡时的中断。 0: 唤醒事件与控制器时钟(xin_clk)同步。需要提供 Xin_clk。可以关闭系统时钟(ahb_clock)。 1: 唤醒事件与 xin_clk 异步，可以在没有任何时钟的情况下生成(待机模式)。

### 39.6.2 SDMMC 配置 2 寄存器(SDMMC\_CFG2)

偏移地址：0x04

复位值：0x0003 F2EE

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved											SPIBMOD	SPIMOD	Reserved		
											rw	rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	DDR50	SDR104	SDR50	STYP[1:0]	ASYNC INT	Reserved				VS33	SRS	SDMA	HS	ADMA2	EMBUS
	rw	rw	rw	rw	rw					rw	rw	rw	rw	rw	rw

位域	名称	描述
31:20	Reserved	保留，必需保持复位值。
19	SPIBMOD	SPI 块模式(SPI Block Mode) 0: 不支持 1: 支持
18	SPIMOD	SPI 模式(SPI Mode) 0: 不支持 1: 支持
17:15	Reserved	保留，必需保持复位值。
14	DDR50	DDR50 支持(DDR50 Support) 0: 不支持 DDR50 1: 支持 DDR50
13	SDR104	SDR104 支持(SDR104 Support)

位域	名称	描述
		0: 不支持 SDR104 1: 支持 SDR104 <i>注意: SDR104 需要调谐</i>
12	SDR50	SDR50 支持(SDR50 Support) 0: 不支持 SDR50 1: 支持 SDR50 <i>注意: 如果支持 SDR104, 则该位应设为 1。位 UTFSDR50 表示 SDR50 是否需要调整。</i>
11:10	STYP[1:0]	卡槽类型(Slot Type) 标准 HD 只能控制一个 SD 总线插槽连接一个可移动卡或一个嵌入式设备。 00b 可移动卡插槽(SD/SDIO) 01b 一个设备的嵌入式插槽(eMMC) 10b 保留 11b 保留
9	ASYNCINT	异步中断(Asynchronous Interrupt) 有关异步中断, 请参阅 SDIO 规范 3.00 版。 0: 不支持异步中断 1: 支持异步中断
8:6	Reserved	保留, 必需保持复位值。
5	VS33	3.3V 支持(3.3V Support) 0 – 3.3V 不支持 1 – 3.3V 支持 <i>注意: 必须配置为 1</i>
4	SRS	支持暂停/恢复(Suspend/Resume Support) 该位表示 HC 是否支持暂停/恢复功能。如果该位为 0, 则不支持 “暂停 ” 和 “恢复 ” 机制, HD 也不应发出 “暂停 ” / “恢复 ” 命令。 0 - 不支持 1 - 支持
3	SDMA	SDMA 支持(SDMA Support) 该位指示 HC 是否能够使用 DMA 在系统内存和 HC 之间直接传输数据。 0 - 不支持 SDMA 1 - 支持 SDMA。
2	HS	支持高速(High Speed Support) 该位表示 HC 和 MCU 是否支持高速模式, 是否可以提供 25Mhz 至 50 Mhz (SD) / 20MHz 至 52MHz (MMC) 的 SD 时钟频率。 0 - 不支持高速 1 - 支持高速
1	ADMA2	ADMA2 模式(ADMA2 Mode) 0 – 不支持 ADMA2 1 – 支持 ADMA2
0	EMBUS	嵌入式设备 8 位支持(8-bit Support for Embedded Device) 该位指示 HC 是否能够使用 8 位总线宽度模式。

位域	名称	描述
		0 - 不支持扩展媒体总线 1 - 支持扩展媒体总线

### 39.6.3 SDMMC 配置 3 寄存器(SDMMC\_CFG3)

偏移地址: 0x08

复位值: 0x0000 0013

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											UTF SDR50	Reserved			
rw															

位域	名称	描述
31:5	Reserved	保留, 必需保持复位值。
4	UTFSDR50	SDR50 使用调谐(Use Tuning for SDR50) 如果应用程序希望在 SDR50 模式下使用调谐功能, 则应设置该位。只要时钟可以通过分接延时进行手动调谐, 那么在 SDR50 模式下, 无论是否使用调谐功能, HC 都可以运行。 0: SDR50 不需要调谐 1: SDR50 需要调谐
3:0	Reserved	保留, 必需保持复位值。

### 39.6.4 SDMMC 预设值 0 控制寄存器(SDMMC\_PV0CTRL)

偏移地址: 0x0C

复位值: 0x0000 8000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved											CLKFS_DS[9:3]				
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CLKFS_DS[2:0]			Reserved			CLKFS_INIT[9:0]									
rw			rw												

位域	名称	描述
31:23	Reserved	保留, 必需保持复位值。

位域	名称	描述
22:13	CLKFS_DS [9:0]	默认速度的 SDCLK 频率选择值(SDCLK Frequency Select Value for Default Speed) 10 位预设值，用于设置 SDHOST_CTRL2.SDCLKSEL[9:0]中的 SDCLK 频率选择，由主机系统描述。 0x000: 基本时钟 (10 MHz - 104MHz) 0x001: 1/2 分频时钟 0x002: 1/4 分频时钟 ... N: 1/2N 分频时钟 (占空比 50%) ... 0x3FF: 1/2046 分频时钟
12:10	Reserved	保留，必需保持复位值。
9:0	CLKFS_INIT [9:0]	初始化的 SDCLK 频率选择值(SDCLK Frequency Select Value for Initialization) 10 位预设值，用于设置 SDHOST_CTRL2.SDCLKSEL[9:0]中的 SDCLK 频率选择，由主机系统描述。 0x000: 基本时钟 (10 MHz - 104MHz) 0x001: 1/2 分频时钟 0x002: 1/4 分频时钟 ... N: 1/2N 分频时钟 (占空比 50%) ... 0x3FF: 1/2046 分频时钟

### 39.6.5 SDMMC 预设值 1 控制寄存器(SDMMC\_PV1CTRL)

偏移地址: 0x10

复位值: 0x0000 8002

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved										CLKFS_SDR12[9:3]					
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CLKFS_SDR12[2:0]			Reserved			CLKFS_HS[9:0]									
rw			rw												

位域	名称	描述
31:23	Reserved	保留，必需保持复位值。
22:13	CLKFS_SDR12 [9:0]	SDR12 的 SDCLK 频率选择值(SDCLK Frequency Select Value for SDR12) 10 位预设值，用于设置 SDHOST_CTRL2.SDCLKSEL[9:0]中的 SDCLK 频率选择，由主机系统描述。 0x000: 基本时钟 (10 MHz - 104MHz) 0x001: 1/2 分频时钟

位域	名称	描述
		0x002: 1/4 分频时钟 ... N: 1/2N 分频时钟 (占空比 50%) ... 0x3FF: 1/2046 分频时钟
12:10	Reserved	保留, 必需保持复位值。
9:0	CLKFS_HS [9:0]	高速的 SDCLK 频率选择值(SDCLK Frequency Select Value for High Speed) 10 位预设值, 用于设置 SDHOST_CTRL2.SDCLKSEL[9:0]中的 SDCLK 频率选择, 由主机系统描述。 0x000: 基本时钟 (10 MHz - 104MHz) 0x001: 1/2 分频时钟 0x002: 1/4 分频时钟 ... N: 1/2N 分频时钟 (占空比 50%) ... 0x3FF: 1/2046 分频时钟

### 39.6.6 SDMMC 预设值 2 控制寄存器(SDMMC\_PV2CTRL)

偏移地址: 0x14

复位值: 0x0000 2002

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved										CLKFS_SDR50[9:3]					
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CLKFS_SDR50[2:0]			Reserved			CLKFS_SDR25[9:0]									
rw						rw									

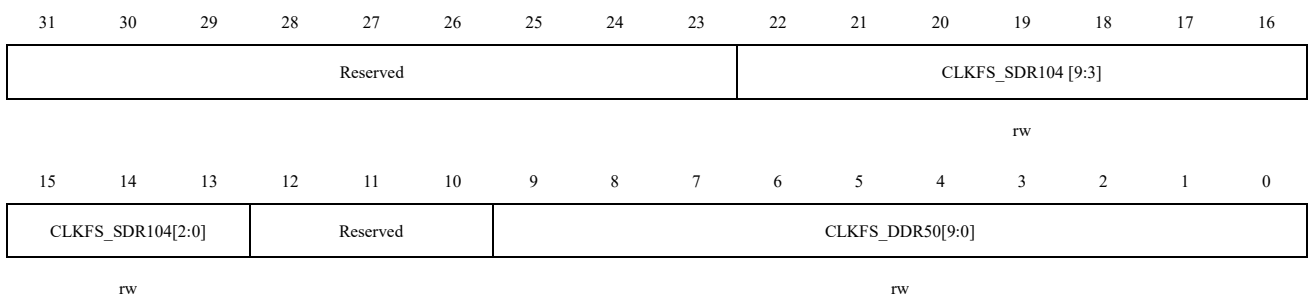
位域	名称	描述
31:23	Reserved	保留, 必需保持复位值。
22:13	CLKFS_SDR50 [9:0]	SDR50 的 SDCLK 频率选择值(SDCLK Frequency Select Value for SDR50) 10 位预设值, 用于设置 SDHOST_CTRL2.SDCLKSEL[9:0]中的 SDCLK 频率选择, 由主机系统描述。 0x000: 基本时钟 (10 MHz - 104MHz) 0x001: 1/2 分频时钟 0x002: 1/4 分频时钟 ... N: 1/2N 分频时钟 (占空比 50%) ... 0x3FF: 1/2046 分频时钟

位域	名称	描述
12:10	Reserved	保留，必需保持复位值。
9:0	CLKFS_SDR25 [9:0]	SDR25 的 SDCLK 频率选择值(SDCLK Frequency Select Value for SDR25) 10 位预设值，用于设置 SDHOST_CTRL2.SDCLKSEL[9:0]中的 SDCLK 频率选择，由主机系统描述。 0x000: 基本时钟 (10 MHz - 104MHz) 0x001: 1/2 分频时钟 0x002: 1/4 分频时钟 ... N: 1/2N 分频时钟 (占空比 50%) ... 0x3FF: 1/2046 分频时钟

### 39.6.7 SDMMC 预设值 3 控制寄存器(SDMMC\_PV3CTRL)

偏移地址: 0x18

复位值: 0x0000 0002



位域	名称	描述
31:23	Reserved	保留，必需保持复位值。
22:13	CLKFS_SDR10 4[9:0]	SDR104 的 SDCLK 频率选择值(SDCLK Frequency Select Value for SDR104) 10 位预设值，用于设置 SDHOST_CTRL2.SDCLKSEL[9:0]中的 SDCLK 频率选择，由主机系统描述。 0x000: 基本时钟 (10 MHz - 104MHz) 0x001: 1/2 分频时钟 0x002: 1/4 分频时钟 ... N: 1/2N 分频时钟 (占空比 50%) ... 0x3FF: 1/2046 分频时钟
12:10	Reserved	保留，必需保持复位值。
9:0	CLKFS_DDR5 0[9:0]	SDR104 的 SDCLK 频率选择值(SDCLK Frequency Select Value for DDR50) 10 位预设值，用于设置 SDHOST_CTRL2.SDCLKSEL[9:0]中的 SDCLK 频率选择，由主机系统描述。 0x000: 基本时钟 (10 MHz - 104MHz)



位域	名称	描述
		0x001: 1/2 分频时钟 0x002: 1/4 分频时钟 ... N: 1/2N 分频时钟 (占空比 50%) ... 0x3FF: 1/2046 分频时钟

### 39.6.8 SDMMC TX 和 RX 延迟控制寄存器(SDMMC\_DLYCTRL)

偏移地址: 0x20

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
												rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				OTDE	OTDS[3:0]			ITCW	ITDE	ITDS[4:0]					
				rw	rw			rw	rw	rw					

位域	名称	描述
31:12	Reserved	保留, 必需保持复位值。
11	OTDE	输出分接延时启用(Output tap Delay Enable) 用于手动控制 txclk tap 延时。 0: 禁用 1: 使能
10:7	OTDS[3:0]	输出分接延时选择(Output Tap Delay Select) 用于手动控制 txclk tap 延时, 翻转末级触发器, 以满足 eMMC 接口的保持要求。 Tap 延时时钟: txclk 0x00: use 1 delay tap ... 0x0F: use 16 delay taps
6	ITCW	输入分接改变窗口(Input Tap Change Window) 当此位为 0 时, 不应再改变 ITDS[4:0]的值。它用于对 rxclk 进行门控, 以避免分接变化时出现时钟闪烁。 0: rxclk 不被门控 1: rxclk 被门控
5	ITDE	输入分接延时启用(Input Tap Delay Enable) 用于在非 SDR104 模式下手动控制 rxclk 分接延时。 0: 禁用 1: 使能
4:0	ITDS[4:0]	输入分接延时选择(Input Tap Delay Select)

位域	名称	描述
		用于在非 SDR104 模式下手动控制 rxclk 分接延时。 Tap 延时时钟: rxclk 0x00: 使用 1 延时 Tap ... 0x1F: 使用 32 延时 Taps

## 39.7 SDHOST 寄存器

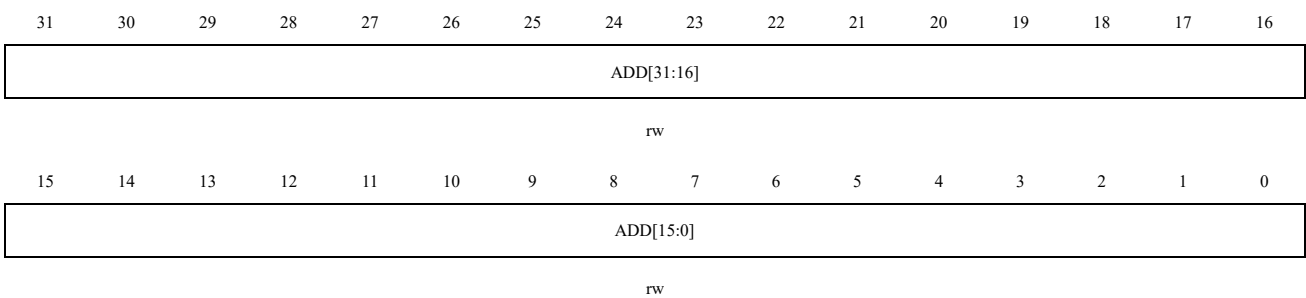
SDHOST1 基地址: 0x51110000

SDHOST2 基地址: 0x40050000

### 39.7.1 SDHOST SDMA 系统地址/参数 2 寄存器(SDHOST\_DSADD)

偏移地址: 0x00

复位值: 0x0000 0000



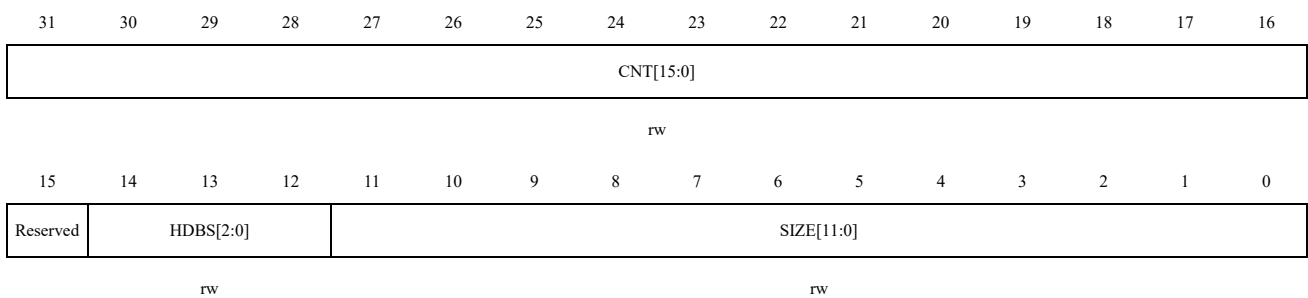
位域	名称	描述
31:0	ADD[31:0]	该寄存器包含用于 DMA 传输的物理系统内存地址或自动 CMD23 的第二个参数。 (1)SDMA 系统地址 该寄存器包含 SDMA 传输的系统内存地址。当 HC 停止 SDMA 传输时, 该寄存器将指向下一个连续数据位置的系统地址。只有在无传输执行时(即传输停止后)才能访问该寄存器。传输过程中的读取操作可能会返回无效值。HD 应在开始 SDMA 传输之前初始化该寄存器。SDMA 停止后, 可从该寄存器读取下一个连续数据位置的下一个系统地址。SDMA 传输在 SDHOST_BLKCFG.HDBS[2:0] 位指定的每个边界处等待。HC 产生 DMA 中断, 要求 HD 更新该寄存器。HD 将下一个数据位置的下一个系统地址设置到该寄存器中。 写入寄存器的最高字节([31:24])时, HC 将重新启动 SDMA 传输。通过 Resume (恢复) 命令或通过设置 SDHOST_CTRL1.CONTREQ 位重新启动 SDMA 时, HC 应从 SDMA 系统地址寄存器中存储的下一个连续地址开始。ADMA 不使用该寄存器。 (2)参数 2 该寄存器与自动 CMD23 一起使用, 用于在执行自动 CMD23 时为 CMD23 参数

位域	名称	描述
		设置 32 位块计数值。如果自动 CMD23 与 ADMA 一起使用，则可以使用完整的 32 位块计数值。如果在不使用 AMDA 的情况下使用自动 CMD23，则可用的块计数值受 SDHOST_BLKCFG.CNT[15:0]位的限制。在这种情况下，65535 块是最大值

### 39.7.2 SDHOST 块计数和大小配置寄存器(SDHOST\_BLKCFG)

偏移地址：0x04

复位值：0x0000 000



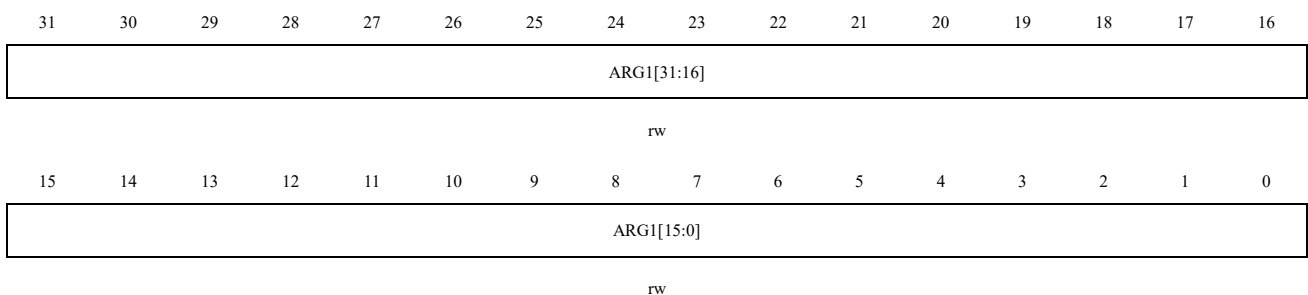
位域	名称	描述
31:16	CNT[15:0]	当前传输的块计数(Blocks Count for Current Transfer) 当 SDHOST_TMODE.BCNT 位设置为 1 时，该寄存器将被启用，并且仅对多块传输有效。HC 会在每次块传输后递减块计数，并在计数为零时停止。只有在无传输执行时（即传输停止后）才能访问 HC。传输过程中的读操作会返回无效值，而写操作则会被忽略。在根据暂停命令保存传输上下文时，可以通过读取该寄存器来确定尚未传输的块数。在发出“恢复”(Resume)命令之前恢复传输上下文时，HD 将恢复先前保存的数据块计数。 0x0000 - 停止计数 0x 0001 - 1 个数据块 0x 0002 - 2 个数据块 --- 0x FFFF - 65535 个区块
15	Reserved	保留，必需保持复位值。
14:12	HDBS[2:0]	主机 SDMA 缓冲区大小(Host SDMA Buffer Size) 为了执行长时间的 DMA 传输，在 DMA 传输过程中，系统地址寄存器应在每个系统边界进行更新。这些位指定了系统内存中连续缓冲区的大小。DMA 传输应在这些字段指定的每个边界等待，HC 产生 DMA 中断，请求 HD 更新 SDHOST_DSADD 寄存器。 当 SDDMC_CFG2.SDMA 设置为 1 时，这些位支持；当 SDHOST_TMODE.DMAE 位设置为 1 时，该功能激活。 000b - 4KB (检测 A11 进行) 001b - 8KB (检测 A12 进行) 010b - 16KB (检测 A13 进行)

位域	名称	描述
		011b - 32KB (检测 A14 进行) 100b - 64KB (检测 A15 进行) 101B - 128KB (检测 A16 进行) 110b - 256KB (检测 A17 进行) 111b - 512KB (检测 A18 进行)
11:0	SIZE[11:0]	传输块大小(Transfer Block Size) 该寄存器用于指定 CMD17、CMD18、CMD24、CMD25 和 CMD53 的块数据传输大小。只有在无传输执行时(即传输停止后)才能访问该寄存器。传输期间的读操作将返回无效值,写操作将被忽略。 0x0000 - 无数据传输 0x0001: 1 Byte 0x0002: 2 Bytes 0x0003: 3 Bytes 0x0004: 4 Bytes ... 0x01FF: 511 Bytes 0x0200: 512 Bytes ... 0x0800: 2048 Bytes

### 39.7.3 SDHOST 参数 1 寄存器(SDHOST\_CMDARG1)

偏移地址: 0x08

复位值: 0x0000 0000



位域	名称	描述
31:0	ARG1[31:0]	SD 命令参数指定为命令格式的第 39-8 位。

### 39.7.4 SDHOST 发送模式寄存器(SDHOST\_TMODE)

偏移地址: 0x0C

复位值: 0x0000 0000



Reserved	INDEX[5:0]					TYPE[1:0]	DPRESEL	CMDXCK	CRCK	Reserved	RTYPES[1:0]				
rw					rw					rw					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							BLKSEL	DATDIR	ACMDE[1:0]			BCNTE	DMAE		
							rw		rw		rw		rw		

位域	名称	描述
31:30	Reserved	保留，必需保持复位值。
29:24	CMDX[5:0]	命令索引(Command Index) 该位应设置为命令编号(CMD0-63, ACMD0-63)。
23:22	TYPE[1:0]	命令类型(Command Type) 有三种特殊命令。暂停、恢复和中止。所有其他命令均应将这些位设置为 00b。 <b>暂停命令</b> 如果挂起命令成功，HC 将假定 SD 总线已被释放，并且可以发出使用 DAT 线的下一条命令。HC 将取消对读取传输的“读取等待”，并停止对写入传输的“busy”检查。中断周期将以 4 位模式启动。如果暂停命令失败，HC 应保持当前状态，HD 应通过在设置 SDHOST_CTRL1.CONTREQ 位来重新启动传输。 <b>恢复命令</b> HD 将寄存器恢复到 000-00Dh 范围内，重新启动数据传输。在开始写入传输之前，HC 应检查是否繁忙。 <b>中止命令</b> 如果在执行读取传输时设置了该命令，HC 将停止对缓冲区的读取。如果在执行写传输时设置了该命令，HC 将停止驱动 DAT 线。发出中止命令后，HD 应发出软件复位 00b - 正常 01b - 暂停 10b - 恢复 11b - 中止
21	DPRESEL	数据存在选择(Data Present Select) 该位设置为 1 表示数据存在，应使用 DAT 线路传输数据。 如果设置为 0，则表示以下情况： 1. 仅使用 CMD 线的命令（如 CMD52） 2. 没有数据传输但使用 DAT[0] 线的忙信号的命令（R1b 或 R5b，例如 CMD38） 3. 恢复命令 0: 无数据 1: 有数据
20	CMDXCK	命令索引检查使能(Command Index Check Enable) 如果该位设置为 1，HC 将检查响应中的索引字段是否与命令索引值相同。如果不一致，则报告为“命令索引错误”。如果该位设置为 0，则不检查索引字段。 0: 禁用 1: 使能

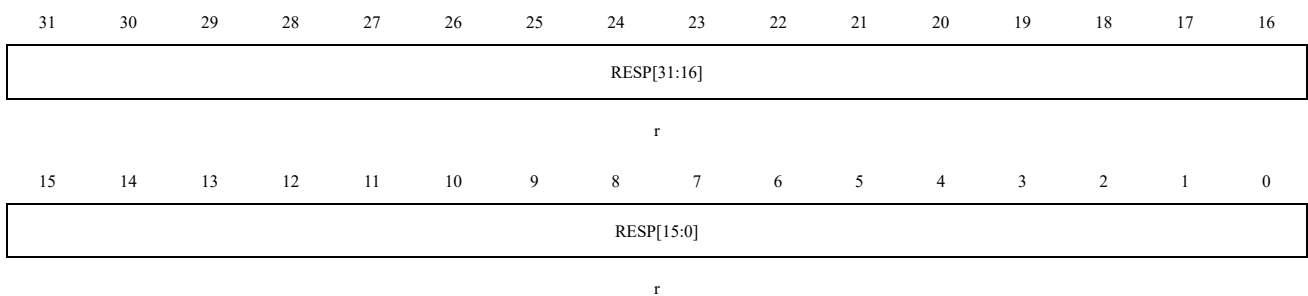
位域	名称	描述
19	CRCK	命令 CRC 校验使能(Command CRC Check Enable) 如果该位设置为 1, HC 将检查响应中的 CRC 字段。如果检测到错误, 则报告为“命令 CRC 错误”。如果该位设置为 0, 则不检查 CRC 字段。 0: 禁用 1: 使能
18	Reserved	保留, 必需保持复位值。
17:16	RTYPES[1:0]	响应类型选择(Response Type Select) 00 – 无响应 01 – 响应长度 136 10 – 响应长度 48 11 – 响应长度 48 响应后检查 busy
15:6	Reserved	保留, 必需保持复位值。
5	BLKSEL	多/单块选择(Multi / Single Block Select) 该位启用多块数据传输。 0 - 单数据块 1 - 多数据块
4	DATDIR	数据传输方向选择(Data Transfer Direction Select) 该位定义数据传输方向。 0 - 写 (主机到存储卡) 1 - 读 (卡到主机)
3:2	ACMDE[1:0]	自动 CMD 使能(Auto CMD Enable) 该字段决定自动命令功能的使用 00b - 禁用自动命令 01b – 使能自动 CMD12 10b – 使能自动 CMD23 11b - 保留 有两种方法可以停止多数据块读写操作。 (1) 自动 CMD12 使能 内存的多块读写命令需要 CMD12 来停止操作。当此字段设置为 01b 时, HC 会在最后一个块传输完成后自动发出 CMD12。自动 CMD12 错误会在自动 CMD 错误状态寄存器中显示。 如果命令不需要 CMD12, HD 不应设置该位。 (2)自动 CMD23 使能 当该位字段设置为 10b 时, HC 将在发出命令寄存器中指定的命令前自动发出 CMD23。 使用自动 CMD23 需要满足以下条件。 - 支持自动 CMD23 - 支持 CMD23 的存储卡 (SCR[33]=1) - 如果使用 DMA, 则应为 ADMA。 - 仅当发出 CMD18 或 CMD25 时 通过写入命令寄存器, HC 首先发出 CMD23, 然后发出由命令寄存器中的命令索引指定的命令 CMD23 的 32 位块计数值被设置为 SDMA 系统地址/参数 2 寄存器的值

位域	名称	描述
1	BCNTE	块计数使能(Block Count Enable) 该位用于使能 SDHOST_BLKCFG.CNT[15:0]位, 仅适用于多块传输。当该位为 0 时, SDHOST_BLKCFG.CNT[15:0]被禁用, 这在执行无限传输时非常有用。 0: 禁用 1: 使能
0	DMAE	DMA 使能(DMA Enable) 只有设置了 SDMMC_CFG2.SDMA/ SDMMC_CFG2.ADMA2 支持位, 才能使能 DMA。如果该位设置为 1, 则当 HD 向 SDHOST_TMODE.COMDX[5:0]位写入数据时, DMA 操作将开始。 0: 禁用 1: 使能

### 39.7.5 SDHOST 命令响应 0 寄存器(SDHOST\_CMDRSP0)

偏移地址: 0x10

复位值: 0x0000 0000

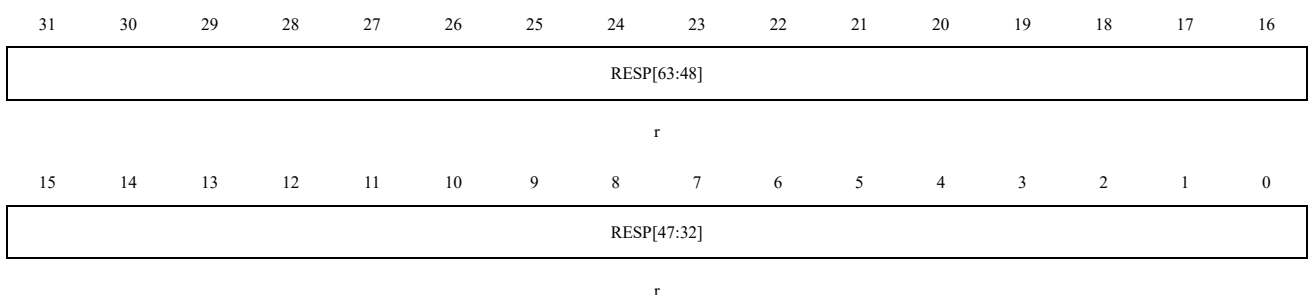


位域	名称	描述
31:0	RESP0[31:0]	命令响应位 31:0

### 39.7.6 SDHOST 命令响应 1 寄存器(SDHOST\_CMDRSP1)

偏移地址: 0x14

复位值: 0x0000 0000

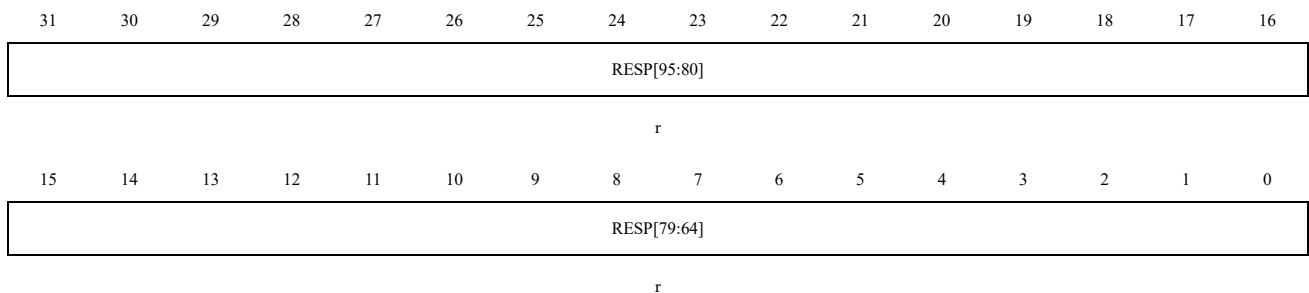


位域	名称	描述
31:0	RESP1[31:0]	命令响应位 63:32

### 39.7.7 SDHOST 命令响应 2 寄存器(SDHOST\_CMDRSP2)

偏移地址：0x18

复位值：0x0000 0000

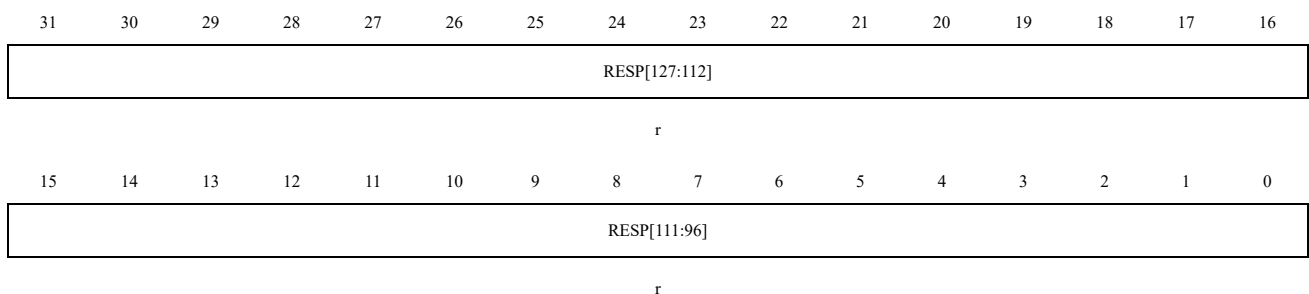


位域	名称	描述
31:0	RESP2[31:0]	命令响应位 95:64

### 39.7.8 SDHOST 命令响应 3 寄存器(SDHOST\_CMDRSP3)

偏移地址：0x1C

复位值：0x0000 0000

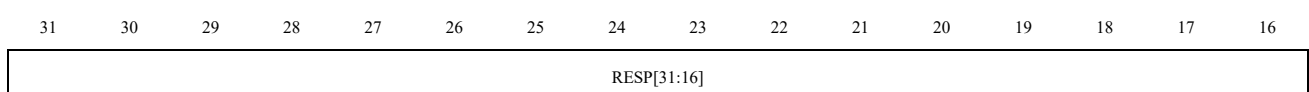


位域	名称	描述
31:0	RESP[31:0]	命令响应位 127:96

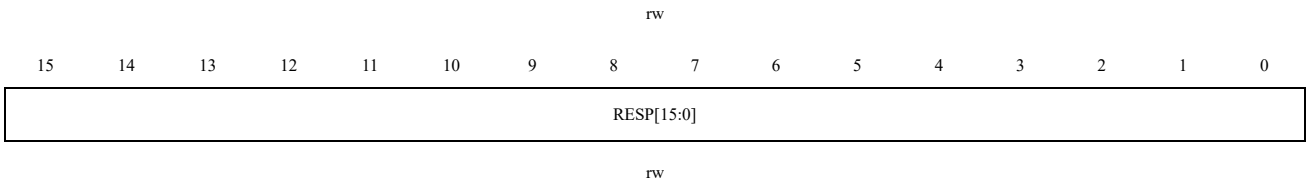
### 39.7.9 SDHOST Buffer 数据端口寄存器(SDHOST\_BUFDAT)

偏移地址：0x20

复位值：0x0000 0000





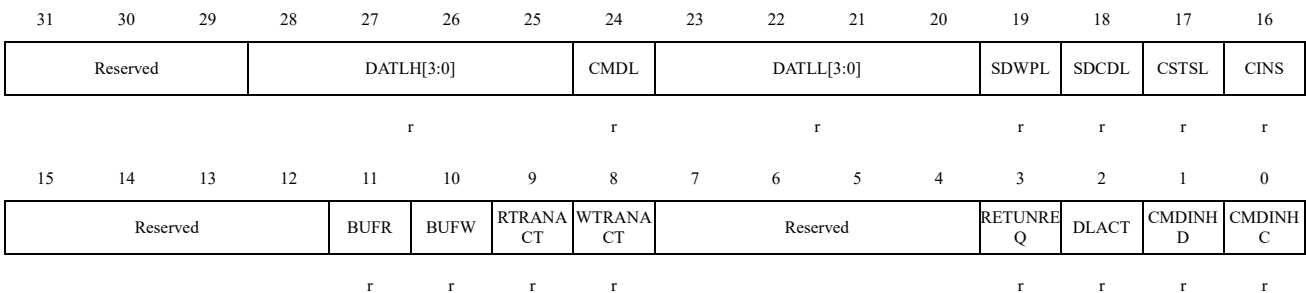


位域	名称	描述
31:0	DAT[31:0]	数据内容(Data content) 该字段用于访问内部 buffer。

### 39.7.10 SDHOST 当前状态寄存器(SDHOST\_PRESTS)

偏移地址：0x24

复位值：0x000C 0000



位域	名称	描述
31:29	Reserved	保留，必需保持复位值。
28:25	DATLH[3:0]	DAT[7:4] 线信号电平(DAT[7:4] Line Signal Level) 该状态用于检查 DAT 线电平，以从错误中恢复，并用于调试。 D28 - DAT[7] D27 - DAT[6] D26 - DAT[5] D25 - DAT[4]
24	CMDL	命令线信号电平(CMD Line Signal Level) 该状态用于检查 CMD 线电平，以便从错误中恢复，并用于调试。
23:20	DATLL[3:0]	DAT[3:0] 线信号电平(DAT[3:0] Line Signal Level) 该状态用于检查 DAT 线电平，以便从错误中恢复，并用于调试。这对于检测 DAT[0] 的忙信号电平尤其有用。 D23 - DAT[3] D22 - DAT[2] D21 - DAT[1] D20 - DAT[0]
19	SDWPL	写保护开关引脚电平(Write Protect Switch Pin Level) 内存卡和组合卡支持写保护开关。该位反映 SDWP# 引脚。

位域	名称	描述
		0 - 写保护 (SDWP# = 0) 1 - 写使能 (SDWP# = 1)
18	SDCDL	卡检测引脚电平(Card Detect Pin Level) 该位反映 SDCD# 引脚的反向值。 0 - 无卡 (SDCD# = 1) 1 - 有卡 (SDCD# = 0)
17	CSTSL	卡状态稳定(Card State Stable) 该位用于测试。如果该位为 0, 则卡检测引脚电平不稳定。如果该位设置为 1, 则表示卡检测引脚电平稳定。SDHOST_CTRL2.SWRSTALL 位不会影响该位。 0 - 复位去抖 1 - 无卡或已插入
16	CINS	已插入存储卡(Card Inserted) 该位指示是否已插入卡。从 0 变为 1 会将卡插入中断状态 (SDHOST_INTSTS.CINS)置 1, 而从 1 变为 0 则会将卡移除中断状态 (SDHOST_INTSTS.CRMV)置 1。SDHOST_CTRL2.SWRSTALL 位不会影响该位。如果卡在电源开启和时钟振荡时被移除, HC 应清除 SDHOST_CTRL1.SDPWR 位和 SDHOST_CTRL2.SDCLK 位。此外, HD 应通过 SDHOST_CTRL2.SWRSTALL 位清除 HC。无论 SDHOST_CTRL1.SDPWR 如何, 卡检测都处于激活状态。 0 - 复位或退卡或无卡 1 - 已插卡
15:12	Reserved	保留, 必需保持复位值。
11	BUFR	Buffer 读使能(Buffer Read Enable) 该状态用于非 DMA 读取传输。该只读标志指示主机侧 buffer 状态中存在有效数据。如果该位为 1, 则表示 buffer 中存在可读数据。从 buffer 读取所有块数据时, 该位从 1 变为 0。当 buffer 中所有块数据就绪时, 该位从 0 变为 1, 并产生缓冲区读就绪中断(SDHOST_INTSTS.BUFRDY)。 0 - 禁用读取 1 - 使能读取
10	BUFW	Buffer 写使能(Buffer Write Enable) 该状态用于非 DMA 写入传输。该只读标志指示是否有空间可用于写入数据。如果该位为 1, 则数据可以写入 buffer。当所有块数据都写入 buffer 时, 该位从 1 变为 0。当数据块顶部的数据可以写入 buffer 时, 该位从 0 变为 1, 并产生缓冲区写就绪中断(SDHOST_INTSTS.BUFRDY)。 0 - 禁用写 1 - 使能写。
9	RTRANACT	读取传输激活(Read Transfer Active) 该状态用于检测读取传输是否完成。 在以下任一情况下, 该位被置 1: - 在读取命令的结束位之后 - 将 1 写入 SDHOST_CTRL1.CONTREQ 位以重新启动读取传输时 该位在以下任一情况下清零为 0: - 根据数据块长度指定的最后一个数据块传输到系统时。

位域	名称	描述
		- 当所有有效数据块都已传输到系统，且由于 SDHOST_CTRL1.SABGBEQ 位设置为 1，当前没有数据块传输。当该位变为 0 时，将产生传输完成中断 (SDHOST_INTSTS.TC)。 0 - 无有效数据 1 - 正在传输数据
8	WTRANACT	写入传输激活(Write Transfer Active) 该状态表示写入传输激活。如果该位为 0，则表示 HC 中不存在有效的写入数据。该位在以下任一情况下被置位： <ul style="list-style-type: none"> <li>- 写命令的结束位之后。</li> <li>- 将 SDHOST_CTRL1.CONTREQ 位写入 1 以重新启动写传输。</li> </ul> 该位在以下任一情况下清零： <ul style="list-style-type: none"> <li>- 获得由传输计数（单次或多次）指定的最后一个数据块的 CRC 状态后</li> <li>- 收到任何数据块的 CRC 状态后，SDHOST_CTRL1.SABGBEQ 置位停止数据传输。在写入传输期间，由于设置了 SDHOST_CTRL1.SABGBEQ 位，当该位变为 0 时，将产生“块间隙事件”中断(SDHOST_INTSTS.BLKGAPE)。该状态有助于 HD 确定何时在写入繁忙时发出命令。</li> </ul> 0 - 无有效数据 1 - 正在传输数据
7:4	Reserved	保留，必需保持复位值。
3	RETUNREQ	重新调谐请求(Re-Tuning Request) 重新调谐请求 当数据窗口因温度漂移而偏移，调谐后的采样点没有足够的余量接收正确数据时，主控制器可通过设置该位请求主机驱动器执行重新调谐序列。当通过设置 SDHOST_CTRLSTS.ETUN 位发出命令时，该位将被清零。将该位从 0 改为 1 会产生重新调谐事件。详情请参阅 SDHOST_INTSTS 寄存器。 如果 SDHOST_CTRLSTS.SCS 位选择设为 0（使用固定采样时钟），则该位不会设为 1。 0 固定或调整良好的采样时钟 1 采样时钟需要重新调整
2	DLACT	DAT 线激活(DAT Line Active) 该位指示 SD 总线上的一条 DAT 线是否正在使用。 0 - DAT 线未激活 1 - DAT 线激活
1	CMDINH D	命令禁止 (DAT)( Command Inhibit (DAT)) 如果 DLACT 位或 RTRANACT 位设置为 1，则置位该状态位。如果该位为 0，则表示 HC 可以发出下一条 SD 命令。带忙信号的命令属于命令禁止 (DAT)（如 R1b、R5b 类型）。从 1 变为 0 会在 SHOST_INTSTS 寄存器中产生传输完成中断(SHOST_INTSTS.TC)。 <i>注意：该位从 1 变为 0 后，HD 可保存寄存器 000-00Dh 范围内的挂起传输。</i> 0 - 可以发出使用 DAT 线的命令 1 - 不能发出使用 DAT 线的命令
0	CMDINH C	命令禁止 (CMD)( Command Inhibit (CMD)) 如果该位为 0，则表明 CMD 线未被使用，HC 可以使用 CMD 线发出 SD 命

位域	名称	描述
		令。写入 SDHOST_TMODE.CMDX[5:0]位后，该位立即被置位。收到命令响应后，该位清零。 即使 CMDINH 位设置为 1，如果该位为 0，也可以仅使用 CMD 线发出命令。从 1 变为 0 会在 SDHOST_INTSTS 寄存器中产生命令完成中断 (SHOST_INTSTS.CMDC)。如果 HC 因命令冲突错误或因自动 CMD12 错误未发出命令而无法发出命令，则该位应保持为 1，且不设置 SHOST_INTSTS.CMDC。不能从该位读取发出自动 CMD12 的状态。 自动 CMD12 和自动 CMD23 包括两个响应。在这种情况下，该位不会被 CMD12 或 CMD23 的响应清除，而是被读/写命令的响应清除。不会从该位读取发出自动 CMD12 的状态。因此，如果在自动 CMD12 操作期间发出命令，HC 将发出两条命令：CMD12 和命令寄存器设置的命令。

### 39.7.11 SDHOST 控制 1 寄存器(SDHOST\_CTRL1)

偏移地址：0x28

复位值：0x0080 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved					RMVWVK UP	INSTWK UP	INTWKUP	BOOTAC KC	BOOTINA LT	BOOTEN	SPIMODE	INTATBG	RWAITCT RL	CONTR EQ	SABGRE Q
					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		HWRST	SDBVSEL[2:0]			SDPWR	CDS	CDTL	EDTWIDT H	DMASEL[1:0]		HSEN	DTWIDT H	LEDCTRL	
		rw	rw			rw	rw	rw	rw	rw		rw	rw	rw	

位域	名称	描述
31:27	Reserved	保留，必需保持复位值。
26	RMVWVKUP	SD 卡移除时唤醒事件使能 (Wakeup Event Enable On SD Card Removal) 该位通过 SDHOST_INTSTS.CRMV 断言使能唤醒事件。 0 – 禁用 1 – 使能
25	INSTWKUP	插入 SD 卡时唤醒事件使能(Wakeup Event Enable On SD Card Insertion) 该位通过 SDHOST_INTSTS.CINS 断言使能唤醒事件。 0 – 禁用 1 – 使能
24	INTWKUP	卡中断唤醒事件使能(Wakeup Event Enable On Card Interrupt) 该位通过 SDHOST_INTSTS.CINT 断言使能唤醒事件。 0 – 禁用 1 – 使能
23	BOOTACKC	Boot Ack 检查(Boot Ack Check) 检查启动操作中的启动确认。 0 - 不等待 eMMC 卡的启动应答

位域	名称	描述
		1 - 等待 eMMC 卡的启动应答
22	BOOTINALT	在备用模式下的开始启动代码访问(To start boot code access in alternative mode) 0 - 停止复用启动模式访问 1 - 启动复用启动模式访问
21	BOOTEN	开始启动代码访问(To start boot code access) 0 - 停止启动代码访问 1 - 开始启动代码访问
20	SPI MODE	SPI 模式使能(SPI mode enable) 0 - SD 模式 1 - SPI 模式
19	INTATBG	块间隙中断(Interrupt At Block Gap) 该位仅在 SDIO 卡的 4 位模式下有效, 用于选择中断周期中的采样点。设置为 1 可在多数数据块传输的数据块间隙处进行中断检测。如果 SD 卡无法在多数数据块传输期间发出中断信号, 则应将该位设置为 0。当 HD 检测到 SD 卡插入时, 应根据 SDIO 卡的 CCCR 设置该位。
18	RWAITCTRL	读取等待控制(Read Wait Control) 对于 SDIO 卡, 读取等待功能是可选的。如果卡支持读取等待, 则设置该位以启用读取等待协议, 使用 DAT[2] 线停止读取数据。否则, HC 必须停止 SD 时钟以保持读取数据, 从而限制了命令的生成。当 HD 检测到 SD 卡插入时, 应根据 SDIO 卡的 CCCR 设置该位。如果卡不支持读取等待, 则该位绝对不能设置为 1, 否则可能会发生 DAT 线路冲突。如果将该位设置为 0, 则不支持挂起/恢复。 0 - 禁用读取等待控制 1 - 启用读取等待控制
17	CONTREQ	继续请求(Continue Request) 该位用于重新启动使用 SABGREQ 位停止的传输。要取消在区块间隙停止, 请将 SABGREQ 位设置为 0, 然后设置该位以重新启动传输。 在以下任一情况下, HC 会自动清除该位: 1) 在读取传输的情况下, 当读取传输重新开始时, DAT 线活动从 0 变为 1。 2) 如果是写传输, 写传输重启时, 写传输活动状态从 0 变为 1。 如果将 SABGREQ 位设置为 1, 则对该位的任何写入都将被忽略。 0 - 忽略 1 - 重新启动
16	SABGREQ	块间隙停止请求(Stop At Block Gap Request) 对于非 DMA、SDMA 和 ADMA 传输, 该位用于在下一个块间隙停止执行传输。在 SDHOST_INTSTS.TC 位设置为 1 (表示传输完成) 之前, HD 应将该位设置为 1。同时清除 SABGREQ 和 CONTREQ 不会导致传输重启。读取等待用于在块间隙处停止读取交易。对于写入传输, HC 应执行 “停止在块间隙请求”, 但对于读取传输, SD 卡必须支持 “读取等待”。 因此, 除非 SD 卡支持 “读取等待” 并将 RWAITCTRL 位设置为 1, 否则 HD 在读取传输过程中不得设置该位。在写传输过程中, 如果 HD 将数据写入 SDHOST_BUFDAT 寄存器, 则 HD 应在写入所有块数据后设置该位。如果该位设置为 1, 则 HD 不得向 SDHOST_BUFDAT 寄存器写入数据。该位影响

位域	名称	描述
		SDHOST_PRESTS 寄存器中的 “RTRANACT”、“WTRANACT”、“DLACT ” 和 “CMDINH”。
		0 - 传输 1 - 停止
15:13	Reserved	保留，必需保持复位值。
12	HWRST	硬件复位(Hardware reset) 当设置该位时，将为 eMMC 卡生成硬件复位信号
		0 - 断开硬件复位引脚 1 - 驱动硬件复位引脚为零（eMMC 卡为低电平有效）
11:9	SDBVSEL[2:0]	SD 总线电压选择(SD Bus Voltage Select)
		111b: 3.3V，必须配置成 3.3V Others: 保留
8	SDPWR	SD 总线电源(SD Bus Power)
		在设置该位之前，HD 应设置 SDBVSEL[2:0]。如果 HC 检测到无卡状态，则应清除该位。
		1 - 电源开启 0 - 电源关闭
7	CDS	卡检测信号检测(Card detect signal detection)
		该位选择卡检测信号源。
		0 - 选择 SDCD#（正常使用） 1 - 选择卡检测测试电平
6	CDTL	卡检测测试电平(Card Detect Test Level)
		当 CDS 选择设为 1 时，该位被启用，它表示卡是否插入。当 SDHOST_IE 的中断位被设置时，产生（插卡或移卡）中断。
		0 - 无卡 1 - 插卡
5	EDTWIDTH	扩展数据传输宽度(Extended Data Transfer Width)
		该位控制嵌入式设备的 8 位总线宽度模式。SDMMC_CFG.EMBUS 位说明了对该功能的支持。如果设备支持 8 位总线模式，则可将该位设置为 1。如果该位为 0，则总线宽度由 DTWIDTH 位控制。
		0 - 总线宽度由 DTWIDTH 位选择 1 - 8 位总线宽度
4:3	DMASEL[1:0]	DMA 选择(DMA Select)
		可从支持的 DMA 模式中选择一种。HD 应通过 SDMMC_CFG2 寄存器检查 DMA 模式的支持情况。
		00 - 选择 SDMA 01 - 保留 10 - 已选择 32 位地址 ADMA2 11 - 保留
2	HSEN	高速使能(High Speed Enable)
		该位为可选位。在设置该位之前，HD 应检查 SDMMC_CFG.HS 位。如果该位设置为 0(默认值)，HC 将在 SD 时钟下降沿输出 CMD 线和 DAT 线(MMC 最

位域	名称	描述
		高为 25 MHz/20MHz)。如果该位设置为 1, HC 将在 SD 时钟上升沿 (SD 最高 50MHz/MMC 最高 52MHz) /208Mhz (SD3.0) 输出 CMD 线和 DAT 线。 如果 SDHOST_CTRLSTS.PREVE 位 (预设值使能) 设置为 1, 则 HD 需要在更改该字段前重置 SDHOST_CTRL2.SDCLKE (SD 时钟使能), 以避免产生时钟闪烁。设置该字段后, HD 将再次设置 SDHOST_CTRL2.SDCLKE (SD 时钟使能)。 0 - 正常速度模式 1 - 高速模式
1	DTWIDTH	数据传输宽度(Data Transfer Width) 该位选择 HC 的数据宽度。HD 应根据 SD 卡的数据宽度进行选择。 0 - 1 位模式 1 - 4 位模式
0	LEDCTRL	LED 控制(LED Control) 该位用于提醒用户在访问 SD 卡时不要取出卡。如果软件要发出多个 SD 命令, 则可在所有传输中设置该位。不必在每次交易中都进行更改。 0 - LED 关闭 1 - LED 亮起

### 39.7.12 SDHOST 控制 2 寄存器(SDHOST\_CTRL2)

偏移地址: 0x2C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved					SWRST DL	SWRST CL	SWRST ALL	Reserved					DTCNT[3:0]		
					rw1_ac	rw1_ac	rw1_ac						rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDCLKSEL[7:0]						SDCLKSEL[9:8]		Reserved			SDCLKE	INCLKSTS	INCLKE		
rw						rw					rw	r	rw		

位域	名称	描述
31:27	Reserved	保留, 必需保持复位值。
26	SWRSTDL	数据线的软件复位(Software Reset for DAT Line) 仅复位部分数据电路。该位将清除下列寄存器和位: SDHOST_BUFDAT 寄存器: 缓冲区已清零并初始化。 SDHOST_PRESTS 寄存器: BUFR/ BUFW/ RTRANACT/ WTRANACT/ DLACT/ CMDINH 位 SDHOST_CTRL1 寄存器: CONTREQ / SABGREQ 位 SDHOST_INTSTS 寄存器: BUFRRDY / BUFWRDY/ BLKGAPE/ TC 位

位域	名称	描述
		0 - 工作 1 - 复位
25	SWRSTCL	命令线的软件复位(Software Reset for CMD Line) 仅复位部分指令电路。 该位将清除下列寄存器和位： SDHOST_PRESTS 寄存器： CMDINHC 位 SDHOST_INTSTS 寄存器： CMDC 位  0 - 工作 1 - 复位
24	SWRSTALL	软件全部复位(Software Reset for All) 除卡检测电路外，该复位会影响整个 SDHOST 寄存器。在初始化过程中，HD 应将该位设置为 1 以复位 HC。 当能力寄存器有效且 HD 可以读取时，HC 应将该位重置为 0。额外使用 “软件全部复位” 可能不会影响能力寄存器的值。如果该位设置为 1，SD 卡将自行复位，必须由 HD 重新初始化。  0 - 工作 1 - 复位
23:20	Reserved	保留，必需保持复位值。
19:16	DTCNT[3:0]	数据超时计数器值(Data Timeout Counter Value) 该值决定检测 DAT 线路超时的时间间隔。有关产生超时的因素，请参阅 SDHOST_INTSTS.DTERR 位。设置该寄存器时，应清除 SDHOST_IE.DTEE 位，以防止发生意外超时事件。 TMCLK:由 SDMMC_CFG1.TCLKU 位决定，1KHz 或 1MHz。 1111 - 保留 1110 - $TMCLK * 2^{27}$ ----- ----- 0001 - $TMCLK * 2^{14}$ 0000 - $TMCLK * 2^{13}$
15:8	SDCLKSEL [7:0]	SDCLK 频率选择(SDCLK Frequency Select) 该寄存器用于选择 SDCLK 引脚的频率。该频率不直接编程，而是作为 SDMMC_CFG1.BCLKF[7:0]位的除数。只允许以下设置。 分频器长度扩展为 10 位，支持所有分频器值。 该位取决于 SDHOST_CTRLSTS.PREVE 位的设置。 如果 SDHOST_CTRLSTS.PREVE = 0，则该位由 HD 设置。 如果 SDHOST_CTRLSTS.PREVE = 1，则该位自动设置为 SDMMC_PVxCTRL 寄存器中指定的值。 0x000：基本时钟（10 MHz - 104MHz）



位域	名称	描述
		0x001: 1/2 分频时钟 0x002: 1/4 分频时钟 ... N: 1/2N 分频时钟 (占空比 50%) ... 0x3FF: 1/2046 分频时钟
7:6	SDCLKSEL [9:8]	SDCLK 频率选择(SDCLK Frequency Select) 与 SDCLKSEL[7:0]合用
5:3	Reserved	保留, 必需保持复位值。
2	SDCLKE	SD 时钟使能(SD Clock Enable) 当将该位写入 0 时, HC 将停止 SDCLK。当该位为 0 时, 可以更改 SDCLK 频率选择。然后, HC 将保持相同的时钟频率, 直到 SDCLK 停止。如果 HC 检测到无卡状态, 则应清除该位。 0 - 禁用 1 - 使能
1	INCLKSTS	内部时钟稳定(Internal Clock Stable) 将 INCLKE 位写 1 后, 当 SD 时钟稳定时, 该位置 1。HD 应等待设置 SDCLKE 位, 直到该位置 1。 注意: 当使用 PLL 时钟振荡器需要设置时间时, 该位非常有用。 0 - 未就绪 1 - 就绪
0	INCLKE	内部时钟启用(Internal Clock Enable) 当 HD 不使用 HC 或 HC 等待唤醒事件时, 该位设置为 0。HC 应停止内部时钟, 进入超低功耗状态。但寄存器仍可读写。当该位设置为 1 时, 时钟开始振荡。当时钟振荡稳定时, HC 将 INCLKSTS 位设为 1。 0 - 停止 1 - 振荡

### 39.7.13 SDHOST 中断状态寄存器(SDHOST\_INTSTS)

偏移地址: 0x30

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved			TRGR ERR	Reserved			ADMA ERR	ACMD ERR	Reserved	DEND ERR	DCRC ERR	DTERR	CINX ERR	CENDB ERR	CCRC ERR	CTERR
			rc_w1				rc_w1	rc_w1			rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
ALLERR	BOOTTE R	BOOTAC KR	RETUNE	Reserved			CINT	CRMV	CINS	BUFRRD Y	BUFWRD Y	DMAINT	BLKGAP E	TC	CMDC	
r	rc_w1	rc_w1	r				r	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

位域	名称	描述
31:29	Reserved	保留，必需保持复位值。
28	TRGRERR	目标响应错误(Target Response error) 在 DMA 传输中检测到 ERROR 时发生 0 - 无错误 1 - 错误
27:26	Reserved	保留，必需保持复位值。
25	ADMAERR	ADMA 错误(ADMA Error) 当 HC 在基于 ADMA 的数据传输过程中检测到错误时，该位被置位。ADMA 出错时的状态保存在 ADMA 错误状态寄存器中。 0 - 无错误 1 - 错误
24	ACMDERR	自动 CMD 错误(Auto CMD Error) 自动 CMD12 和自动 CMD23 使用此错误状态。当检测到自动 CMD 错误状态寄存器中的一位 D00-D04 从 0 变为 1 时，该位被置位。对于自动 CMD12，该位不仅在自动 CMD12 发生错误时被置 1，而且在自动 CMD12 因前一条命令错误而未执行时也被置 1。 0 - 无错误 1 - 错误
23	Reserved	保留，必需保持复位值。
22	DENDERR	数据结束位错误(Data End Bit Error) 当检测到使用 DAT 线路的读取数据的结束位位置为 0 或 CRC 状态的结束位位置为 0 时发生。 0 - 无错误 1 - 错误
21	DCRCERR	数据 CRC 错误(Data CRC Error) 在传输使用 DAT 线路的读取数据时检测到 CRC 错误，或在检测到写入 CRC 状态的值不是“010”时发生。 写入 CRC 状态的值不是“010”时发生。 0 - 无错误 1 - 错误
20	DTERR	数据超时错误(Data Timeout Error) 检测到下列超时条件之一时发生。 1. R1b 和 R5b 类型的忙超时。 2. 写入 CRC 状态后忙超时 3. 写入 CRC 状态超时 4. 读取数据超时 0 - 无错误 1 - 超时
19	CINXERR	命令索引错误(Command Index Error) 如果命令响应中出现命令索引错误，则会出现该错误。 0 - 无错误 1 - 错误

位域	名称	描述
18	CENDBERR	命令结束位错误(Command End Bit Error) 当检测到命令响应的结束位为 0 时发生。 0 - 无错误 1 - 产生结束位错误
17	CCRCERR	命令 CRC 错误(Command CRC Error) 命令 CRC 错误在两种情况下产生。 1. 如果返回响应且命令超时错误设置为 0, 则在检测到命令响应中的 CRT 错误时将该位设置为 1。 2. HC 通过在发出命令时监控 CMD 线路来检测 CMD 线路冲突。如果 HC 将 CMD 线驱动为 1 电平, 但在下一个 SDCLK 边沿检测到 CMD 线为 0 电平, 则 HC 应中止命令(停止驱动 CMD 线)并将该位设置为 1。命令超时错误也应设置为 1 以区分 CMD 线冲突。 0 - 无错误 1 - 产生 CRC 错误
16	CTERR	命令超时错误(Command Timeout Error) 仅在从命令结束位开始的 64 个 SDCLK 周期内无响应返回时发生。如果 HC 检测到 CMD 线路冲突, 命令 CRC 错误也将被置位。无需等待 64 个 SDCLK 周期即可设置该位, 因为 HC 将中止该命令。 0 - 无错误 1 - 超时
15	ALLERR	错误中断(Error Interrupt) 任何错误状态位(位 28,位 25~位 16)被置位, 则该位被置位。因此, HD 可以通过首先检查该位来测试是否有错误。 0 - 无错误。 1 - 错误。
14	BOOTTER	启动中止中断(Boot terminate Interrupt) 如果启动操作被中止, 则设置此状态 0 - 启动操作未中止。 1 - 启动操作已中止
13	BOOTACKR	启动应答回复(Boot ack rcv) 如果收到设备的启动确认, 则设置该状态。 0 - 未收到启动应答。 1 - 收到启动应答。
12	RETUNE	重新调谐事件(Re-Tuning Event) 如果 SDHOST_PRESTS.RETUNREQ 位从 0 变为 1, 则设置该状态。 HC 请求 HD 为下一次数据传输执行重新调谐。当前数据传输(非大数据块计数)无需重新调整即可完成。 0 不需要重新调整 1 应执行重新调谐
11:9	Reserved	保留, 必需保持复位值。
8	CINT	卡中断(Card Interrupt) 将该位写 1 不会清除该位。它将通过重置 SD 卡中断因子而被清除。在 1 位模式下, HC 应在无 SD 时钟的情况下检测卡中断, 以支持唤醒。在 4 位模式下,

位域	名称	描述
		卡中断信号在中断周期内采样，因此从卡发出中断信号到主机系统收到中断信号之间会有一些采样延迟。 当该状态被设置且 HD 需要启动中断服务时，应将 SDHOST_IE.CINTE 位设置为 0，以清除 HC 中锁定的卡中断状态，并停止驱动主机系统。完成卡中断服务后（SD 卡中的复位因子和中断信号可能不会被断言），将卡中断状态使能设置为 1，并重新开始对中断信号采样。 每个插槽有一张卡时，支持 DAT[1] 检测到的中断。 0 - 无卡中断 1 - 生成卡中断
7	CRMV	卡移除(Card Removal) 如果 SDHOST_PRESTS.CINS 位从 1 变为 0，则设置该状态。 当 HD 将该位写入 1 以清除该状态时，应确认 SDHOST_PRESTS.CINS 位的状态。由于当 HD 清除该位时，卡检测可能会发生变化，因此可能不会产生中断事件。 0 - 卡状态稳定或退卡 1 - 卡已取出
6	CINS	卡插入(Card Insertion) 如果 SDHOST_PRESTS.CINS 位从 0 变为 1，则该状态被置位。当 HD 将该位写入 1 以清除该状态时，应确认 SDHOST_PRESTS.CINS 位状态。由于当 HD 清除该位时，卡检测可能会发生变化，因此可能不会产生中断事件。 0 - 卡状态稳定或退卡 1 - 插卡
5	BUFRRDY	缓冲区读取就绪(Buffer Read Ready) 如果 SDHOST_PRESTS.BUFR 位从 0 变为 1，该状态将被设置。 在调整程序中，每次执行 CMD19 时，BUFRRDY 位都会设置为 1。 0 - 未准备好读取缓冲区。 1 - 准备读取缓冲区。
4	BUFWRDY	缓冲区写就绪(Buffer Write Ready) 如果 SDHOST_PRESTS.BUFW 位从 0 变为 1，则设置该状态。 0 - 未准备好写入缓冲区。 1 - 准备好写入缓冲区。
3	DMAINT	DMA 中断(DMA Interrupt) 如果 HC 检测到 SDHOST_BLKCFG.HDBS[2:0]设置的边界，则设置此状态。 0 - 无 DMA 中断 1 - 产生 DMA 中断
2	BLKGAPE	区块间隙事件(Block Gap Event) 如果设置了 SDHOST_CTRL1.SABGREQ 位，则该位被设置。 读取传输： 该位在 SDHOST_PRESTS.DLACT 位状态的下降沿被设置（当传输在 SD 总线定时停止时。必须支持“读取等待”才能使用此功能）。 写传输： 该位在 SDHOST_PRESTS.WTRANACT 位状态的下降沿置位（在 SD 总线时序获得 CRC 状态后）。

位域	名称	描述
		0 - 无块间隙事件 1 - 传输在块间隙时停止
1	TC	传输完成(Transfer Complete) 读/写传输完成时，该位被置位。 读取传输： 该位在 SDHOST_PRESTS.RTRANACT 状态下降沿时置位。 在两种情况下会产生中断。第一种情况是数据传输已按数据长度完成（最后一个数据已读入主机系统后）。第二种情况是数据在块间隙处停止，并通过置位 SDHOST_CTRL1.SABGREQ 位完成数据传输（在向主机系统读取有效数据后）。 写入传输： 该位在 SDHOST_PRESTS.DLACT 位状态下降沿设置。在两种情况下会产生中断。第一种情况是最后一个数据按照数据长度写入卡中，且忙信号释放。第二种情况是通过置位 SDHOST_CTRL1.SABGREQ 位，在块间隙处停止数据传输，并完成数据传输。（有效数据写入 SD 卡且忙信号释放后）。 注意：TC 位优先级高于 DTERR 位。如果两个位都置 1，则可认为数据传输已完成。 注意：在执行调谐程序时（SDHOST_CTRLSTS.ETUN 位设置为 1），传输完成不会设置为 1。 0 - 无数据传输完成 1 - 数据传输完成
0	CMDC	命令完成(Command Complete) 当收到命令响应的结束位时，该位被置位（自动 CMD12 和自动 CMD23 除外） 注意：“CTERR”的优先级高于“CMDC”。如果这两个位都被置 1，则可以认为没有正确接收到响应。 0 - 无命令完成 1 - 命令已完成

### 39.7.14 SDHOST 中断状态使能寄存器(SDHOST\_IE)

偏移地址：0x34

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			TRGREE	Reserved		ADMAEE	ACMDEE	Reserved	DENDEE	DCRCEE	DTEE	CINXEE	CENDBEE	CCRCEE	CTEE
			rw			rw	rw		rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	BOOTTIE	BOOTACKRE	RTUNE	Reserved			CINTE	CRMVE	CINSE	BUFRDYE	BUFRDYE	DMAINTE	BLKGAP EE	TCE	CMDCE
	rw	rw	rw				rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:29	Reserved	保留，必需保持复位值。

位域	名称	描述
28	TRGREE	目标响应错误/主机错误状态使能(Target Response Error /Host Error Status Enable) 0 - 屏蔽 1 - 使能
27:26	Reserved	保留, 必需保持复位值。
25	ADMAEE	ADMA 错误状态使能(ADMA Error Status Enable) 0 - 屏蔽 1 - 使能
24	ACMDEE	自动 CMD12 错误状态使能(Auto CMD12 Error Status Enable) 0 - 屏蔽 1 - 使能
23	Reserved	保留, 必需保持复位值。
22	DENDEE	数据结束位错误状态使能(Data End Bit Error Status Enable) 0 - 屏蔽 1 - 使能
21	DCRCEE	数据 CRC 错误状态使能(Data CRC Error Status Enable) 0 - 屏蔽 1 - 使能
20	DTEE	数据超时错误状态使能(Data Timeout Error Status Enable) 0 - 屏蔽 1 - 使能
19	CINXEE	命令索引错误状态使能(Command Index Error Status Enable) 0 - 屏蔽 1 - 使能
18	CENDBEE	命令结束位错误状态使能(Command End Bit Error Status Enable) 0 - 屏蔽 1 - 使能
17	CCRCEE	命令 CRC 错误状态使能(Command CRC Error Status Enable) 0 - 屏蔽 1 - 使能
16	CTEE	命令超时错误状态使能(Command Timeout Error Status Enable) 0 - 屏蔽 1 - 使能
15	Reserved	保留, 必需保持复位值。
14	BOOTIE	启动中止中断使能(Boot terminate Interrupt enable) 0 - 屏蔽 1 - 使能
13	BOOTACKRE	启动应答回复使能(Boot ack rcv enable) 0 - 屏蔽 1 - 使能
12	RTUNE	重调谐事件状态使能(Re-Tuning Event Status Enable) 0 - 屏蔽 1 - 使能

位域	名称	描述
11:9	Reserved	保留，必需保持复位值。
8	CINTE	卡中断状态使能(Card Interrupt Status Enable) 如果该位设置为 0，HC 将清除向系统发出的中断请求。当该位被清除时，卡中断检测将停止；当该位被设置为 1 时，卡中断检测将重新启动。HD 可在为卡中断提供服务前清除卡中断状态使能，并可在清除来自卡的所有中断请求后再次设置该位，以防止意外中断。 0 - 屏蔽 1 - 使能
7	CRMVE	卡移除状态使能(Card Removal Status Enable) 0 - 屏蔽 1 - 使能
6	CINSE	卡插入状态使能(Card Insertion Status Enable) 0 - 屏蔽 1 - 使能
5	BUFRRDYE	Buffer 读就绪状态使能(Buffer Read Ready Status Enable) 0 - 屏蔽 1 - 使能
4	BUFWRDYE	Buffer 写就绪状态使能(Buffer Write Ready Status Enable) 0 - 屏蔽 1 - 使能
3	DMAINTE	DMA 中断状态使能(DMA Interrupt Status Enable) 0 - 屏蔽 1 - 使能
2	BLKGAPEE	块间隙事件状态使能(Block Gap Event Status Enable) 0 - 屏蔽 1 - 使能
1	TCE	发送完成状态使能(Transfer Complete Status Enable) 0 - 屏蔽 1 - 使能
0	CMDCE	命令完成状态使能(Command Complete Status Enable) 0 - 屏蔽 1 - 使能

### 39.7.15 SDHOST 中断信号使能寄存器(SDHOST\_ISE)

偏移地址：0x38

复位值：0x0000 0000

该寄存器用于选择向主机系统显示的中断状态。这些状态字段共享相同的中断线路。将这些字段中的任何一个设置为 1，都能产生中断。当相应的中断信号使能字段被设置时，相应的状态寄存器字段就会产生中断。

31      30      29      28      27      26      25      24      23      22      21      20      19      18      17      16

Reserved			TRGRESE	Reserved		ADMAESE	ACMDESE	Reserved	DENDESE	DCRCSESE	DTESE	CINXESE	CENDBESE	CCRCESE	CTESE
			rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	BOOTTISE	BOOTACKRSE	RTUNSE	Reserved			CINTSE	CRMVSE	CINSSE	BUFRDYSE	BUFRDYSE	DMAINTE	BLKGAPSE	TCSE	CMDCSE
	rw	rw	rw				rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:29	Reserved	保留，必需保持复位值。
28	TRGRESE	目标响应错误/主机错误信号使能(Target Response Error /Host Error Signal Enable) 0 - 屏蔽 1 - 使能
27:26	Reserved	保留，必需保持复位值。
25	ADMAESE	ADMA 错误信号使能(ADMA Error Signal Enable) 0 - 屏蔽 1 - 使能
24	ACMDESE	自动 CMD12 错误信号使能(Auto CMD12 Error Signal Enable) 0 - 屏蔽 1 - 使能
23	Reserved	保留，必需保持复位值。
22	DENDESE	数据结束位错误信号使能(Data End Bit Error Signal Enable) 0 - 屏蔽 1 - 使能
21	DCRCSESE	数据 CRC 错误信号使能(Data CRC Error Signal Enable) 0 - 屏蔽 1 - 使能
20	DTESE	数据超时错误信号使能(Data Timeout Error Signal Enable) 0 - 屏蔽 1 - 使能
19	CINXESE	命令索引错误信号使能(Command Index Error Signal Enable) 0 - 屏蔽 1 - 使能
18	CENDBESE	命令结束位错误信号使能(Command End Bit Error Signal Enable) 0 - 屏蔽 1 - 使能
17	CCRCESE	命令 CRC 错误信号使能(Command CRC Error Signal Enable) 0 - 屏蔽 1 - 使能
16	CTESE	命令超时错误信号使能(Command Timeout Error Signal Enable) 0 - 屏蔽 1 - 使能
15	Reserved	保留，必需保持复位值。



位域	名称	描述
14	BOOTTISE	启动中止中断信号使能(Boot terminate Interrupt signal enable) 0 - 屏蔽 1 - 使能
13	BOOTACKRSE	启动应答回复信号使能(Boot ack rcv signal enable) 0 - 屏蔽 1 - 使能
12	RTUNSE	重调谐事件信号使能(Re-Tuning Event signal Enable) 0 - 屏蔽 1 - 使能
11:9	Reserved	保留，必需保持复位值。
8	CINTSE	卡中断信号使能(Card Interrupt Signal Enable) 0 - 屏蔽 1 - 使能
7	CRMVSE	卡移除信号使能(Card Removal Signal Enable) 0 - 屏蔽 1 - 使能
6	CINSSE	卡插入信号使能(Card Insertion Signal Enable) 0 - 屏蔽 1 - 使能
5	BUFRRDYSE	Buffer 读就绪信号使能(Buffer Read Ready Signal Enable) 0 - 屏蔽 1 - 使能
4	BUFWRDYSE	Buffer 写就绪信号使能(Buffer Write Ready Signal Enable) 0 - 屏蔽 1 - 使能
3	DMAINTSE	DMA 中断信号使能(DMA Interrupt Signal Enable) 0 - 屏蔽 1 - 使能
2	BLKGAPSE	块间隙事件信号(Block Gap Event Signal Enable) 0 - 屏蔽 1 - 使能
1	TCSE	发送完成信号使能(Transfer Complete Signal Enable) 0 - 屏蔽 1 - 使能
0	CMDCSE	命令完成信号使能(Command Complete Signal Enable) 0 - 屏蔽 1 - 使能

### 39.7.16 SDHOST 控制状态寄存器(SDHOST\_CTRLSTS)

偏移地址：0x3C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
PREVE	ASYNCIE	Reserved						SCS	ETUN	Reserved			V18SE	UHSMOD[2:0]		
rw	rw							rw	rw				rw	rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved							ACMD12 E	Reserved			ACMDIN XE	ACMDE BE	ACMDCR CE	ACMDTE	ACMD12 NE	
							r				r	r	r	r	r	

位域	名称	描述
31	PREVE	<p>预设值使能(Preset Value Enable)</p> <p>由于工作中 SDCLK 频率和 I/O 驱动器强度取决于 MCU 的实现,因此很难在标准 HD 中确定这些参数。当预设值使能设置为自动时。该位将启用预设值寄存器中定义的功能。</p> <p>0: SDCLK 由 HD 控制</p> <p>1: 使能预设值自动选择功能</p> <p>如果该位设置为 0, 则 SDHOST_CTRL2.SDCLKSEL[9:0]由 HD 设置。</p> <p>如果该位设置为 1, 则 SDHOST_CTRL2.SDCLKSEL[9:0]由 HC 按照预设值寄存器中的规定进行设置。</p>
30	ASYNCIE	<p>异步中断使能(Asynchronous Interrupt Enable)</p> <p>如果卡支持异步中断, 且 SDMMC_CFG2.ASYNCINT 位设置为 1, 则可将该位设置为 1。异步中断在 4 位 SD 模式下使用 DAT[1] 中断时有效。如果将该位设置为 1, 主机驱动器可在异步中断期间停止 SDCLK, 以节省功耗。在此期间, 当卡断言中断时, HC 将继续向主机发送卡中断。</p> <p>0: 禁用</p> <p>1: 使能</p>
29:24	Reserved	保留, 必需保持复位值。
23	SCS	<p>采样时钟选择(Sampling Clock Select)</p> <p>当执行调谐清除时, 该位通过调谐程序设置。向该位写 1 无意义, 可忽略不计。置 1 表示调谐成功完成, 置 0 表示调谐失败。HC 使用该位选择接收 CMD 和 DAT 的采样时钟。写入 0 将清除该位。在 HC 接收响应或读取数据块时, 不允许更改该位。</p> <p>0: 固定时钟用于数据采样</p> <p>1: 使用调谐时钟采样数据</p>
22	ETUN	<p>执行调谐(Execute Tuning)</p> <p>该位设置为 1 时启动调谐程序, 调谐程序完成后自动清零。调整结果显示在采样时钟选择中。</p> <p>调谐程序被中止通过写 0。</p> <p>0: 未调谐或调谐已完成</p> <p>1: 执行调谐</p>
21:20	Reserved	保留, 必需保持复位值。
19	V18SE	<p>1.8V 信号使能(1.8V Signaling Enable)</p> <p>该位控制 I/O 单元的电压调节器。无论信号电压如何, 都会向卡提供 3.3V 电</p>

位域	名称	描述
		压。 将该位从 0 设置为 1 时，信号电压将从 3.3V 变为 1.8V。 1.8V 稳压器输出应在 5ms 内保持稳定。如果切换到 1.8V 信号电压失败，HC 将清除该位。 将该位从 1 清除到 0，信号电压开始从 1.8V 切换到 3.3V。 3.3V 稳压器输出应在 5ms 内保持稳定。 当 HC 支持 1.8V 信号（能力寄存器中的支持位之一被设为 1：SDR50、SDR104 或 DDR50）且卡或设备支持 UHS-I 时，HD 可将该位设为 1。 0 - 3.3V 信号 1 - 1.8V 信号
18:16	UHSMOD[2:0]	UHS 模式选择(UHS Mode Select) 该字段用于选择 UHS-I 模式之一，在 V18SE 位设为 1 时有效。 如果 PREVE 位设置为 1，HC 将根据预设值寄存器设置 SDHOST_CTRL2.SDCLKSEL[9:0]。在这种情况下，该字段将选择其中一个预设值寄存器。在更改该字段之前，HD 需要重置 SD 时钟使能，以避免产生时钟闪烁。设置该字段后，HD 将再次设置 SD 时钟使能。 000b - SDR12 001b - SDR25 010: SDR50(SD card)/SDR(eMMC card) 011: SDR104(SD card)/HS200(eMMC card) 100: DDR50(SD card)/DDR(eMMC card) 101b – 111b 保留 当 SDIO 卡选择 SDR50、SDR104 或 DDR50 时，不应使用块间隙中断检测。在这些模式下，读取等待时序会发生变化。更多详情，请参阅 SDIO 规范 3.00 版。
15:8	Reserved	保留，必需保持复位值。
7	ACMD12E	将该位设置为 1 表示由于该寄存器中的自动 CMD12 错误（D04 - D01）而不执行 CMD。 当自动 CMD12 产生自动 CMD 错误时，该位被设置为 0。 0 - 无错误 1 - 未发出
6:5	Reserved	保留，必需保持复位值。
4	ACMDINXE	自动 CMD 索引错误(Auto CMD Index Error) 如果在响应命令时出现命令索引错误，则会发生此错误。 0 - 无错误 1 - 错误
3	ACMDEBE	自动 CMD 结束位错误(Auto CMD End Bit Error) 检测到命令响应的结束位为 0 时发生。 0 - 无错误 1 - 产生结束位错误
2	ACMDCRCE	自动 CMD CRC 错误(Auto CMD CRC Error) 当检测到命令响应中出现 CRC 错误时发生。 0 - 无错误

位域	名称	描述
		1 - 产生 CRC 错误
1	ACMDTE	自动 CMD 超时错误(Auto CMD Timeout Error) 如果从命令结束位开始的 64 个 SDCLK 周期内没有返回任何响应, 则发生此错误。 如果该位设置为 1, 则其他错误状态位 (D04 - D02) 无效。 0 - 无错误 1 - 超时
0	ACMD12NE	未执行自动 CMD12(Auto CMD12 not Executed) 如果内存多数据块数据传输因命令错误而未启动, 则不设置该位, 因为不需要发出自动 CMD12。将该位设置为 1 表示 HC 因某些错误而无法发出 Auto CMD12 以停止内存多数据块传输。如果将该位设置为 1, 其他错误状态位 (D04 - D01) 将毫无意义。 当自动 CMD23 产生自动 CMD 错误时, 该位被置 0。 0 - 已执行 1 - 未执行

### 39.7.17 SDHOST 能力 0 状态寄存器(SDHOST\_CAP0STS)

偏移地址: 0x40

复位值: 0x2768 D001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
STYP[1:0]		ASYNC INT	Reserved				VS33	SRS	SDMA	HS	Reserved	ADMA2	EMBUS	MBL[1:0]	
r		r					r	r	r	r		r	r	r	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BCLKF[7:0]								TCLKU	Reserved						
r								r							

位域	名称	描述
31:30	STYP[1:0]	插槽类型(Slot Type) 标准 HD 只能控制一个 SD 总线插槽连接一个可移动卡或一个嵌入式设备。 00b 可移动卡插槽 01b 一个设备的嵌入式插槽 10b 保留 11b 保留
29	ASYNCINT	异步中断支持(Asynchronous Interrupt Support) 有关异步中断, 请参阅 SDIO 规范 3.00 版。 0 不支持异步中断 1 支持异步中断
28:25	Reserved	保留, 必需保持复位值。
24	VS33	电压支持 3.3V(Voltage Support 3.3V)

位域	名称	描述
		0 – 3.3 V 不支持 1 – 3.3 V 支持
23	SRS	暂停/恢复支持(Suspend / Resume Support) 该位表示 HC 是否支持暂停/恢复功能。如果该位为 0，则不支持暂停和恢复机制，HD 也不应发出暂停/恢复命令。 0 - 不支持 1 - 支持
22	SDMA	支持 SDMA(SDMA Support) 该位指示 HC 是否能够使用 DMA 在系统内存和 HC 之间直接传输数据。 0 - 不支持 SDMA 1 - 支持 SDMA。
21	HS	支持高速模式(High Speed Support) 该位表示 HC 和主机系统是否支持高速模式，是否能提供 25Mhz 至 50 Mhz (SD) / 20MHz 至 52MHz (MMC) 的 SD 时钟频率。 0 - 不支持高速 1 - 支持高速
20	Reserved	保留，必需保持复位值。
19	ADMA2	0 - ADMA2 不支持 1 - ADMA2 支持
18	EMBUS	外部多媒体总线支持(Extended Media Bus Support) 该位指示 HC 是否能够使用 8 位总线宽度模式。 0 - 不支持扩展媒体总线 1 - 支持扩展媒体总线
17:16	MBL[1:0]	最大块长度(Max Block Length) 该值表示 HD 可以读取和写入 HC 中缓冲器的最大数据块大小。 缓冲器应在无等待周期的情况下传输此大小的数据块。可定义三种大小，如下所示。 00 - 512 字节 01 - 1024 字节 10 - 2048 字节 11 - 保留
15:8	BCLKF[7:0]	SD 时钟的基准时钟频率(Base Clock Frequency for SD Clock) 单位值为 1MHz。支持的时钟范围为 10MHz 至 255MHz。 FFh 255MHz ... 0Ah 10MHz 09h~00h:保留，不允许配置 如果实际频率为 16.5MHz，则应设置较低值 00010001b (17MHz)，因为 HD 使用该值计算时钟分频值（参见 SDHOST_CTRL2.SDCLKSEL[9:0]位），且该值不得超过 SD 时钟频率的上限。
7	TCLKU	超时时钟单位(Timeout Clock Unit) 该位显示用于检测数据超时错误的基准时钟频率单位。

位域	名称	描述
		0 - KHz 1 - MHz
6:0	Reserved	保留，必需保持复位值。

### 39.7.18 SDHOST 能力 1 状态寄存器(SDHOST\_CAP1STS)

偏移地址：0x44

复位值：0x0000 2377

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved						SPIBMOD	SPIMOD	Reserved							
						r	r								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		UTFSDR50	Reserved										DDR50	SDR104	SDR50
		r											r	r	r

位域	名称	描述
31:26	Reserved	保留，必需保持复位值。
25	SPIBMOD	SPI 块模式(SPI block mode) 0 - 不支持 1 - 支持
24	SPIMOD	SPI 模式(SPI mode) 0 - 不支持 1 - 支持
23:14	Reserved	保留，必需保持复位值。
13	UTFSDR50	SDR50 使用调谐(Use Tuning for SDR50) 如果应用程序希望在 SDR50 模式下使用调谐功能，则应设置该位。只要时钟可以通过分接延时进行手动调谐，那么在 SDR50 模式下，无论是否使用调谐功能，HC 都可以运行。 0: SDR50 不需要调谐 1: SDR50 需要调谐
12:3	Reserved	保留，必需保持复位值。
2	DDR50	DDR50 支持(DDR50 Support) 0: 不支持 DDR50 1: 支持 DDR50
1	SDR104	SDR104 支持(SDR104 Support) 0: 不支持 SDR104 1: 支持 SDR104 <i>注意: SDR104 需要调谐</i>
0	SDR50	SDR50 支持(SDR50 Support)

位域	名称	描述
		0: 不支持 SDR50 1: 支持 SDR50 注意: 如果支持 SDR104, 则该位应设为 1。位 UTFSDR50 表示 SDR50 是否需要调整。

### 39.7.19 SDHOST 状态强制事件寄存器(SDHOST\_STSFE)

偏移地址: 0x50

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved						ADMAE	ACMDE	Reserved	DEBE	DCRCE	DTE	CINXE	CEBE	CCRCE	CTE
						w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								ACMD12E	Reserved	ACMDINXE	ACMDEBE	ACMDCRCE	ACMDTE	ACMD12NE	
								w		w	w	w	w	w	

位域	名称	描述
31:26	Reserved	保留, 必需保持复位值。
25	ADMAE	ADMA 错误的强制事件(Force Event for ADMA Error) 0 - 无中断 1 - 产生中断
24	ACMDE	自动 CMD 错误的强制事件(Force Event for Auto CMD Error) 0 - 无中断 1 - 产生中断
23	Reserved	保留, 必需保持复位值。
22	DEBE	数据结束位错误的强制事件(Force Event for Data End Bit Error) 00 - 无中断 1 - 产生中断
21	DCRCE	数据 CRC 错误的强制事件(Force Event for Data CRC Error) 0 - 无中断 1 - 产生中断
20	DTE	数据超时错误的强制事件(Force Event for Data Timeout Error) 0 - 无中断 1 - 产生中断
19	CINXE	命令索引错误的强制事件(Force Event for Command Index Error) 0 - 无中断 1 - 产生中断
18	CEBE	命令结束位错误的强制事件(Force Event for Command End Bit Error) 0 - 无中断

位域	名称	描述
		1 - 产生中断
17	CCRCE	命令 CRC 错误的强制事件(Force Event for Command CRC Error) 0 - 无中断 1 - 产生中断
16	CTE	命令超时错误的强制事件(Force Event for Command Timeout Error) 0 - 无中断 1 - 产生中断
15:8	Reserved	保留, 必需保持复位值。
7	ACMD12E	命令不是由自动 CMD12 发出的错误强制事件(Force Event for command not issued by Auto CMD12 Error) 0 - 无中断 1 - 产生中断
6:5	Reserved	保留, 必需保持复位值。
4	ACMDINXE	自动 CMD 索引错误的强制事件(Force Event for Auto CMD Index Error) 0 - 无中断 1 - 产生中断
3	ACMDEBE	自动 CMD 结束位错误的强制事件(Force Event for Auto CMD End bit Error) 0 - 无中断 1 - 产生中断
2	ACMDCRCE	自动 CMD CRC 错误的强制事件(Force Event for Auto CMD CRC Error) 0 - 无中断 1 - 产生中断
1	ACMDTE	自动 CMD 超时错误的强制事件(Force Event for Auto CMD timeout Error) 0 - 无中断 1 - 产生中断
0	ACMD12NE	自动 CMD12 未执行的强制事件(Force Event for Auto CMD12 NOT Executed) 0 - 无中断 1 - 产生中断

### 39.7.20 SDHOST ADMA 错误状态寄存器(SDHOST\_ADMAESTS)

偏移地址: 0x54

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													ADMALM E	ADMAE[1:0]	

r r

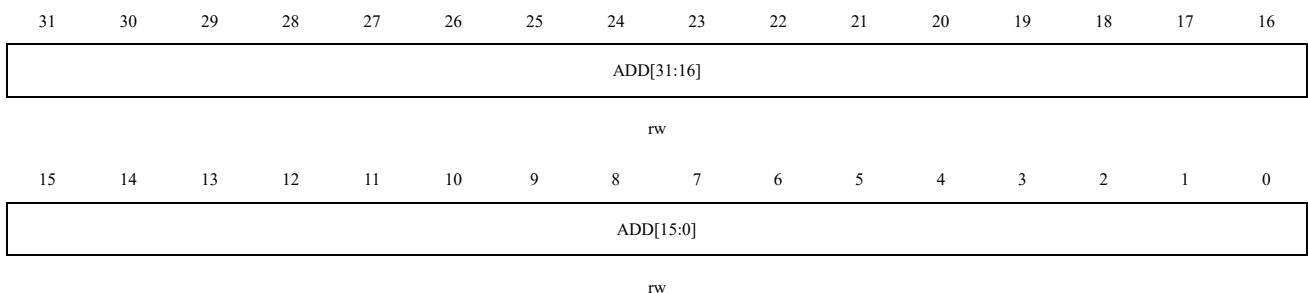


位域	名称	描述
31:3	Reserved	保留，必需保持复位值。
2	ADMALME	ADMA 长度不匹配错误(ADMA Length Mismatch Error) 在以下两种情况下会出现此错误。 在设置 SDHOST_TMODE.BCNCNT 时，描述符表指定的数据总长度与块计数和块长度指定的数据总长度不同。数据总长度无法除以块长度。 0 - 无错误 1 - 错误
1:0	ADMAE[1:0]	ADMA 出错状态(ADMA Error State) 该字段表示 ADMA 数据传输过程中发生错误时的 ADMA 状态。该字段从不显示“10”，因为 ADMA 在此状态下从不停止。 00 - ST_STOP (停止 DMA) 指向下一个错误描述符 01 - ST_FDS (取回描述符) 指向错误描述符 10 - 永不设置此状态 (未使用) 11 - ST_TFR (传输数据) 指向下一个错误描述符

### 39.7.21 SDHOST ADMA 系统地址 0 寄存器(SDHOST\_ASADD0)

偏移地址：0x58

复位值：0x0000 0000



位域	名称	描述
31:0	ADD[31:0]	ADMA 系统地址(ADMA System Address) 该寄存器保存描述符表中执行命令的字节地址。32 位地址描述符使用该寄存器的低 32 位。ADMA 启动时，HD 应设置描述符表的起始地址。每获取一行描述符时，ADMA 都会递增该寄存器地址，使其指向下一行。当 ADMA 错误中断发生时，该寄存器将根据 ADMA 状态保持有效的描述符地址。HD 应按 32 位边界对描述符表进行编程，并将 32 位边界地址设置到该寄存器中。ADMA2 将忽略该寄存器的低 2 位，并假定其为 00b。 32 位地址 ADMA 寄存器值 32 位系统地址 xxxxxxx 00000000h 00000000h xxxxxxx 00000004h 00000004h ..... xxxxxxx FFFFFFFFh FFFFFFFFh

### 39.7.22 SDHOST ADMA 系统地址 1 寄存器(SDHOST\_ASADD1)

偏移地址: 0x5C

复位值: 0x0000 0000

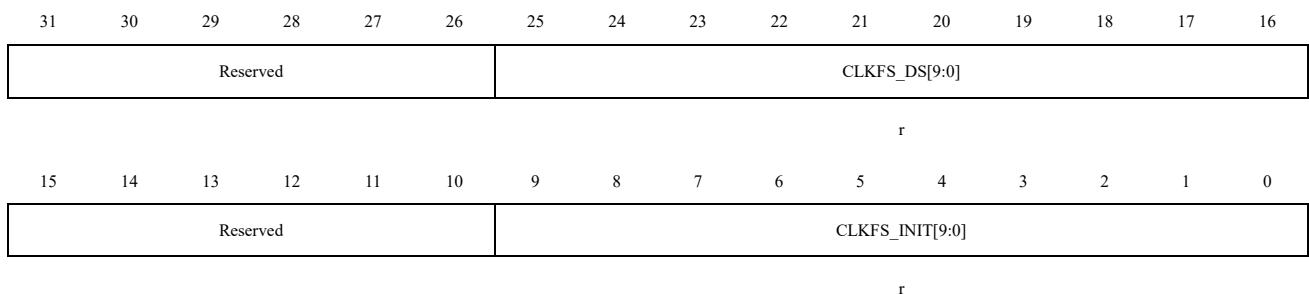


位域	名称	描述
31:0	ADD[63:32]	ADMA 系统地址(ADMA System Address) 该寄存器保存描述符表中执行命令的字节地址。32 位地址描述符使用该寄存器的低 32 位。ADMA 启动时, HD 应设置描述符表的起始地址。每获取一行描述符时, ADMA 都会递增该寄存器地址, 使其指向下一行。当 ADMA 错误中断发生时, 该寄存器将根据 ADMA 状态保持有效的描述符地址。HD 应按 32 位边界对描述符表进行编程, 并将 32 位边界地址设置到该寄存器中。ADMA2 将忽略该寄存器的低 2 位, 并假定其为 00b。 32 位地址 ADMA 寄存器值 32 位系统地址 xxxxxxxx 00000000h 00000000h xxxxxxxx 00000004h 00000004h ..... xxxxxxxx FFFFFFFFCh FFFFFFFFCh

### 39.7.23 SDHOST 预设值 0 状态寄存器(SDHOST\_PV0STS)

偏移地址: 0x60

复位值: 0x0004 0000



位域	名称	描述
31:26	Reserved	保留，必需保持复位值。
25:16	CLKFS_DS [9:0]	默认速度的 SDCLK 频率选择值(SDCLK Frequency Select Value for Default Speed) 10 位预设值，用于设置 SDHOST_CTRL2.SDCLKSEL[9:0]中的 SDCLK 频率选择，由主机系统描述。 0x000: 基本时钟 (10 MHz - 104MHz) 0x001: 1/2 分频时钟 0x002: 1/4 分频时钟 ... N: 1/2N 分频时钟 (占空比 50%) ... 0x3FF: 1/2046 分频时钟
15:10	Reserved	保留，必需保持复位值。
9:0	CLKFS_INIT [9:0]	初始化的 SDCLK 频率选择值(SDCLK Frequency Select Value for Initialization) 10 位预设值，用于设置 SDHOST_CTRL2.SDCLKSEL[9:0]中的 SDCLK 频率选择，由主机系统描述。 0x000: 基本时钟 (10 MHz - 104MHz) 0x001: 1/2 分频时钟 0x002: 1/4 分频时钟 ... N: 1/2N 分频时钟 (占空比 50%) ... 0x3FF: 1/2046 分频时钟

### 39.7.24 SDHOST 预设值 1 状态寄存器(SDHOST\_PV1STS)

偏移地址: 0x64

复位值: 0x0004 0002

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved						CLKFS_SDR12 [9:0]									
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						CLKFS_HS[9:0]									
r															

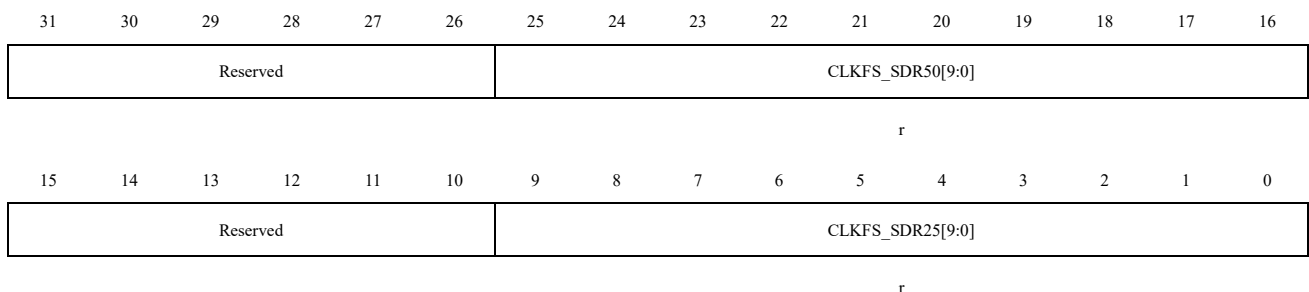
位域	名称	描述
31:26	Reserved	保留，必需保持复位值。
25:16	CLKFS_SDR12 [9:0]	SDR12 的 SDCLK 频率选择值(SDCLK Frequency Select Value for SDR12) 10 位预设值，用于设置 SDHOST_CTRL2.SDCLKSEL[9:0]中的 SDCLK 频率选择，由主机系统描述。 0x000: 基本时钟 (10 MHz - 104MHz)

位域	名称	描述
		0x001: 1/2 分频时钟 0x002: 1/4 分频时钟 ... N: 1/2N 分频时钟 (占空比 50%) ... 0x3FF: 1/2046 分频时钟
15:10	Reserved	保留, 必需保持复位值。
9:0	CLKFS_HS [9:0]	高速的 SDCLK 频率选择值(SDCLK Frequency Select Value for High Speed) 10 位预设值, 用于设置 SDHOST_CTRL2.SDCLKSEL[9:0]中的 SDCLK 频率选择, 由主机系统描述。 0x000: 基本时钟 (10 MHz - 104MHz) 0x001: 1/2 分频时钟 0x002: 1/4 分频时钟 ... N: 1/2N 分频时钟 (占空比 50%) ... 0x3FF: 1/2046 分频时钟

### 39.7.25 SDHOST 预设值 2 状态寄存器(SDHOST\_PV2STS)

偏移地址: 0x68

复位值: 0x0001 0002



位域	名称	描述
31:26	Reserved	保留, 必需保持复位值。
25:16	CLKFS_SDR50 [9:0]	SDR50 的 SDCLK 频率选择值(SDCLK Frequency Select Value for SDR50) 10 位预设值, 用于设置 SDHOST_CTRL2.SDCLKSEL[9:0]中的 SDCLK 频率选择, 由主机系统描述。 0x000: 基本时钟 (10 MHz - 104MHz) 0x001: 1/2 分频时钟 0x002: 1/4 分频时钟 ... N: 1/2N 分频时钟 (占空比 50%) ...

位域	名称	描述
		0x3FF: 1/2046 分频时钟
15:10	Reserved	保留, 必需保持复位值。
9:0	CLKFS_SDR25 [9:0]	SDR25 的 SDCLK 频率选择值(SDCLK Frequency Select Value for SDR25) 10 位预设值, 用于设置 SDHOST_CTRL2.SDCLKSEL[9:0]中的 SDCLK 频率选择, 由主机系统描述。 0x000: 基本时钟 (10 MHz - 104MHz) 0x001: 1/2 分频时钟 0x002: 1/4 分频时钟 ... N: 1/2N 分频时钟 (占空比 50%) ... 0x3FF: 1/2046 分频时钟

### 39.7.26 SDHOST 预设值 3 状态寄存器(SDHOST\_PV3STS)

偏移地址: 0x6C

复位值: 0x0002 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved						CLKFS_DDR50[9:0]									
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						CLKFS_SDR104[9:0]									
r															

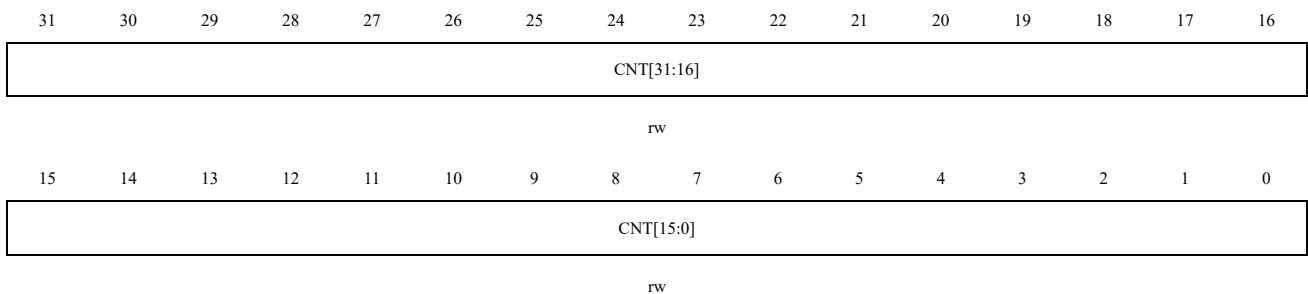
位域	名称	描述
31:26	Reserved	保留, 必需保持复位值。
25:16	CLKFS_DDR5 0[9:0]	SDR104 的 SDCLK 频率选择值(SDCLK Frequency Select Value for DDR50) 10 位预设值, 用于设置 SDHOST_CTRL2.SDCLKSEL[9:0]中的 SDCLK 频率选择, 由主机系统描述。 0x000: 基本时钟 (10 MHz - 104MHz) 0x001: 1/2 分频时钟 0x002: 1/4 分频时钟 ... N: 1/2N 分频时钟 (占空比 50%) ... 0x3FF: 1/2046 分频时钟
15:10	Reserved	保留, 必需保持复位值。
9:0	CLKFS_SDR10 4[9:0]	DDR50 的 SDCLK 频率选择值(SDCLK Frequency Select Value for SDR104) 10 位预设值, 用于设置 SDHOST_CTRL2.SDCLKSEL[9:0]中的 SDCLK 频率选择, 由主机系统描述。

位域	名称	描述
		0x000: 基本时钟 (10 MHz - 104MHz) 0x001: 1/2 分频时钟 0x002: 1/4 分频时钟 ... N: 1/2N 分频时钟 (占空比 50%) ... 0x3FF: 1/2046 分频时钟

### 39.7.27 SDHOST 启动超时控制寄存器(SDHOST\_BOOTCTRL)

偏移地址: 0x70

复位值: 0x0000 0000



位域	名称	描述
31:0	CNT[31:0]	启动数据超时计数器值(Boot Data Timeout Counter Value) 该值用于确定 eMMC 卡启动操作期间检测 DAT 线路超时的时间间隔。 该值以 sd 时钟数为单位。

## 40 通用串行总线高速双角色接口 (USB\_HS\_Host/Device)

### 40.1 概述

USB 高速双角色接口 (USB HS Dual Role), 以下称 USBHS。USBHS 控制器旨在提供高速数据传输和连接外部设备的标准接口。USBHS 支持 Host 模式和 Device 模式, USBHS 包含了一个内部的 USB 高速 PHY, 可以配置成高速、全速, 不再需要外部 PHY 芯片。USBHS 可以支持 USB 2.0 协议所定义的所有四种传输方式 (控制传输、批量传输、中断传输和同步传输)。另外, 在 USBHS 内部还有一个 DMA, 可作为 AHB 总线主机在 USBHS 和系统之间加速数据传输。

### 40.2 USBHS 主要特性

USBHS主要特性如下:

- 支持 USB 2.0 高速 (480Mb/s) /全速 (12Mb/s) /低速 (1.5Mb/s) Host 模式
- 支持 USB 2.0 高速 (480Mb/s) /全速 (12Mb/s) Device 模式

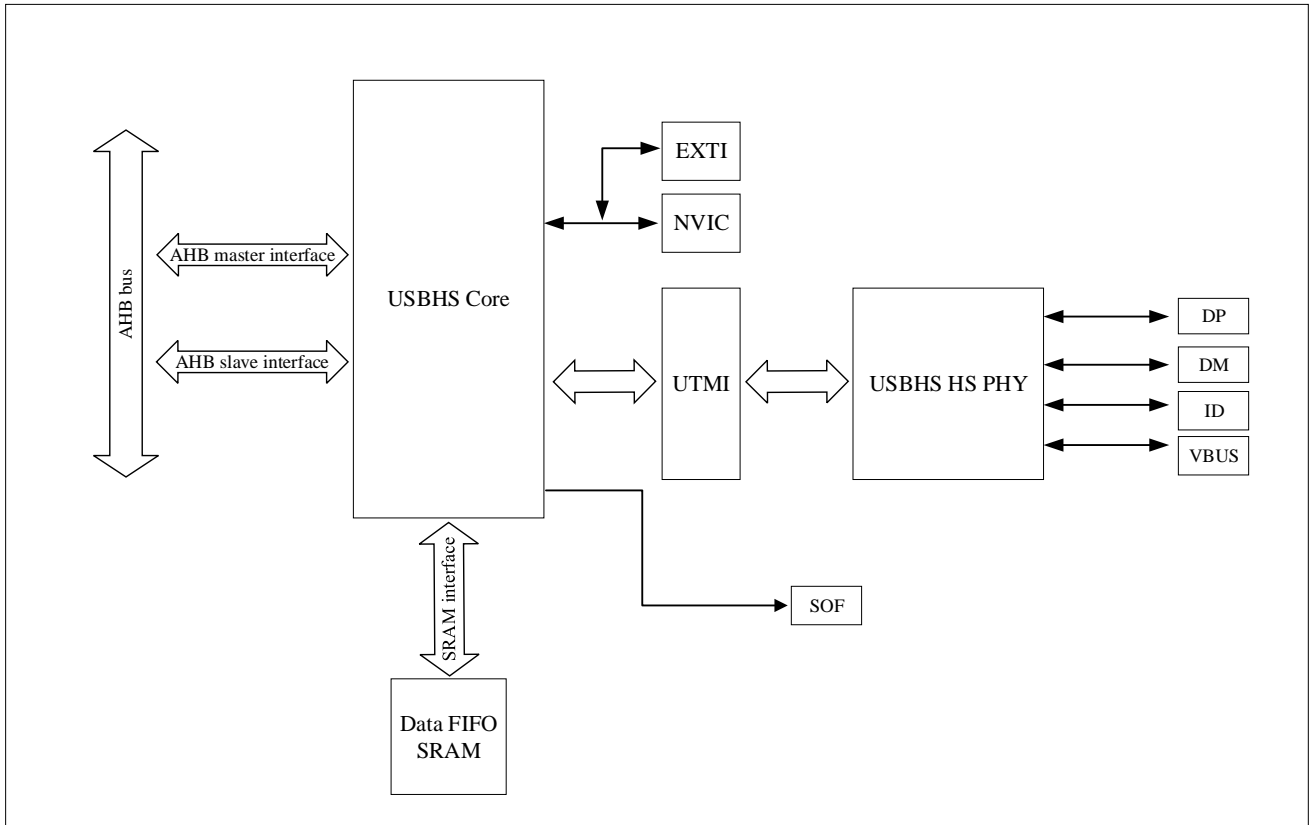
- 支持所有的 4 种传输方式：控制传输、批量传输、中断传输和同步传输
- USBHS 内置高速 PHY，支持高速，全速和低速，无需外接 PHY
- 支持 HS SOF，FS SOF 和 LS Keep-alive 令牌
- SOF 脉冲可通过 PAD 输出
- SOF 脉冲通过内部连接到定时器 (TIMx)
- 支持 A-B 器件识别 (ID 线)
- USBHS 在 DMA 模式下嵌入了支持阈值的内部 DMA，并且可以通过软件选择 AHB 突发类型
- 具有省电功能，例如在 USB 挂起期间停止系统、关闭数字模块时钟、对 PHY 和 DFIFO 电源加以管理
- 具有 4 KB 专用 RAM
- Host 模式下包含 16 个主机通道，每个通道都支持任何类型的 USB 传输
- Host 模式下内置硬件调度器：
  - 在周期性硬件队列中存储多达 16 个中断和同步传输请求
  - 在非周期性硬件队列中存储多达 16 个控制和批量传输请求
- Host 模式下包含一个 RX FIFO、一个周期性传输 TX FIFO 和一个非周期性传输 TX FIFO
- Device 模式下包含 1 个双向控制端点 0，还包含 8 个 IN 端点和 OUT 端点，IN 端点和 OUT 端点均可配置为批量传输、中断传输或同步传输
- Device 模式包含一个共享 RX FIFO 和一个 TX-OUT FIFO，还包含 9 个专用 TX-IN FIFO
- 支持软断开功能

注：N32H760xxxx 的 USB\_HS\_DM/USB\_HS\_DP 引脚不支持高速 USB，但支持全速 USB 以及其他复用功能。N32H788xxxx 的 USB\_HS\_DM/USB\_HS\_DP 引脚支持高速 USB，但不支持除 USB 以外的功能（包括 GPIO 功能）。

## 40.3 USBHS 功能说明

### 40.3.1 USBHS 框图

图 40-1 USBHS 模块框图



### 40.3.2 USBHS 引脚和内核信号

表 40-1 USBHS 输入/输出信号

I/O 端口	信号类型	说明
VBUS	输入	总线电源端口
DM	输入/输出	差分信号线-端口
DP	输入/输出	差分信号线+端口
ID	输入	USB 识别；微连接器识别接口

### 40.3.3 USBHS 内置高速 PHY

USBHS 内置高速 PHY，支持高速，全速和低速，无需外接 PHY。集成 ID 上拉电阻，用于对 ID 线进行采样，以便 USBHS 配置成 Host 模式或 Device 模式。由 USBHS 模块控制的 DP/DM 集成上拉电阻和下拉电阻，具体使能哪种电阻取决于当前模式。



## 40.4 USBHS 双角色设备

### 40.4.1 ID 线检测

采取 Host 还是 Device（默认设置）角色取决于 ID 输入引脚的电平。

如果 USB 电缆的 B 端连接了浮空 ID 线，集成上拉电阻会检测到 ID 线高电平，并确认默认的 Device 模式。

如果 USB 电缆的 A 端连接了一个接地的 ID 线，USBHS 会发出 ID 线路状态变化中断（OTG\_GINTSTS.CIDSCHG 位）以供主机软件初始化，并自动切换到 Host 模式。

## 40.5 USB 设备

本节介绍了 USBHS 在 USB 设备模式下所具有的功能。在以下情形下，USBHS 用作 USB 设备：

- B 器件插入 USB 电缆 B 端时的默认状态
- 将 USBHS 配置寄存器中的强制设备模式位(USBHS\_GCFG.FDMODE)置 1，从而将 USBHS 内核强制为仅 USB 设备。这种情况下，即使 USB 连接器上存在 ID 线，也会将该 ID 线忽略。

### 40.5.1 USB 设备状态

#### 40.5.1.1 供电状态

供电状态下，USBHS 期望收到来自主机的复位信号。其它 USB 操作则无法执行。收到复位信号后，立即生成检测到复位中断（USBHS\_GINTSTS.USBRSTIF）。复位信号结束后，将生成枚举完成中断（USBHS\_GINTSTS.ENUMDIF 位），USBHS 随即进入默认状态。

##### 40.5.1.1.1 默认状态

默认状态下，USBHS 期望从主机收到 SET\_ADDRESS 命令。其它 USB 操作则无法执行。当 USB 上解码出有效 SET\_ADDRESS 命令时，应用程序会将相应的数值写入设备配置寄存器中的设备地址字段（USBHS\_DCFG.DEVADD[6:0]位）。USBHS 随即进入地址状态，并准备好为所配置的 USB 地址对主机事务进行应答。

##### 40.5.1.1.2 软断开

供电状态可借助软断开功能通过软件退出。将设备控制寄存器中的软断开位（USBHS\_DCTRL.SFTDIS 位）置 1 即可移除 DP 上拉电阻，此时尽管没有从主机端口实际拔出 USB 端口，但主机端仍会发生设备断开检测中断。

##### 40.5.1.1.3 挂起状态

USBHS 设备持续监视 USB 活动。在 USB 空闲时间达到 3 ms 后，将发出早期挂起中断（USBHS\_GINTSTS.ESUSPIF），并在 3 ms 后由挂起中断（USBHS\_GINTSTS.USBSUSPIF）确认设备进入挂起状态。然后，设备状态寄存器中的设备挂起位（USBHS\_DSTS.SUSPF 位）自动置 1，USBHS 随即进入挂起状态。

可通过设备本身退出挂起状态。这种情况下，应用程序会将设备控制寄存器中的远程唤醒信号位（USBHS\_DCTRL.RMWKUP）置 1，并在 1 ms 到 15 ms 后将其清零。但若设备检测到主机发出的恢复信号时，将产生恢复中断（USBHS\_GINTSTS.WKUPIF），设备挂起位自动清零。

## 40.5.2 USB 设备端点

设备端点共有 1 个控制端点 0，8 个 IN 端点和 8 个 OUT 端点；其中端点 0 为双向端点，仅处理控制传输，IN 和 OUT 端点可配置为同步传输、批量传输或中断传输类型。

设备每个端点均有独立的控制寄存器、中断状态寄存器、传输大小寄存器和 DMA 地址寄存器，其中端点 0 的控制寄存器和传输大小寄存器中可用的位组与其它端点中稍有不同，具体可查看寄存器配描述。

### 40.5.2.1 端点控制

应用程序可通过设备端点 x IN/OUT 控制寄存器 (USBHS\_DIEPxCTRL/USBHS\_DOEPxCTRL) 对端点采取以下控制：

- 端点使能/禁止
- 在当前配置下激活端点
- 设置USB传输类型（同步、批量和中断）
- 设置支持的数据包大小
- 设置与IN端点相关的TX FIFO编号
- 设置希望收到的或发送时要使用到的DATA0/DATA1 PID（仅限批量/中断传输）
- 设置接收或发送事务时所对应的奇数/偶数帧（仅限同步传输）
- 可以设置NAK位，从而不论此时FIFO的状态如何，都对主机的请求回复NAK
- 可以设置STALL位，使得主机对该端点的令牌都被硬件回复STALL
- 可以将OUT端点设置为侦听模式，即对接收到的数据不进行CRC检查

### 40.5.2.2 端点传输

设备端点 x 传输大小寄存器 (USBHS\_DINEPxTSIZ/USBHS\_DOUTEPxTSIZ) 允许应用程序对传输大小参数进行编程并读取传输状态。必须在端点控制寄存器中的端点使能位置 1 之前完成对此寄存器的设置。使能端点后，这些字段立即变为只读状态，同时 USBHS 模块根据当前传输状态对这些字段进行更新。

可对以下传输参数进行编程：

- 以字节为单位的传输大小
- 构成整个传输的数据包个数

### 40.5.2.3 端点状态/中断

设备端点 x 中断寄存器 (USBHS\_DINEPxINT/USBHS\_DOUTPEPxINT) 指示端点在出现 USB 和 AHB 相关事件时的状态。当模块中断寄存器中的 OUT 端点中断位或 IN 端点中断位（分别为 USBHS\_GINTSTS.OUTEPIF 位或 USBHS\_GINTSTS.INEPIF 位）置 1 时，应用程序必须读取这些寄存器以获得详细信息。在应用程序读取这些寄存器之前，必须先读取设备全体端点中断 (USBHS\_DAINTEP) 寄存器，以获取设备端点 x 中断寄存器的端点编号。应用程序必须将此寄存器中的相应位清零，才能将 USBHS\_DAEPINTSTS 和 USBHS\_GINTSTS 寄存器中的相应位清零。

## 40.6 USB 主机

本节介绍了 USBHS 在 USB 主机模式下所具有的功能。在以下情形下，USBHS 用作 USB 主机：

- A 器件插入 USB 电缆 A 端时的默认状态
- 将 USBHS 配置寄存中的强制设备模式位(USBHS\_GCFG.FHMODE)置 0，从而将 USBHS 内核配置成正常模式。这种情况下，USB 根据 ID 线状态，切换主机模式或者设备模式，当 ID 线接地时，USBHS 为主机模式。

### 40.6.1 USB 主机状态

#### 40.6.1.1 给主机端口供电

不支持片上 5 V VBUS 生成。因此，必须在外部添加充电泵，或者如果开发板上有 5 V，可添加一个基本电源开关，以驱动 5 V VBUS 线路。当应用程序决定为 VBUS 供电时，还必须在主机端口控制和状态寄存器 (USBHS\_HPCS.PPWR) 中设置端口电源位。

#### 40.6.1.2 主机检测设备连接

USB 设备或 B 器件将在连接后立即被检测到。USBHS 模块将发出主机端口中断信号，该中断由主机端口控制和状态寄存器中的设备连接位 (USBHS\_HPCS.PCDET) 触发。

#### 40.6.1.3 主机检测设备断开

设备断开事件将触发断开连接检测中断 (USBHS\_GINTSTS.DISCIF 位)。

#### 40.6.1.4 主机枚举

检测到设备连接后，若又有新的设备连接进来，主机必须通过向新的设备发送 USB 复位和配置命令来启动枚举过程。

应用程序通过将主机端口控制和状态寄存器中的端口复位位 (USBHS\_HPCS.PRST 位) 置 1，并保持最少 10 ms，最多 20 ms，在 USB 总线上发出 USB 复位信号。应用程序计算这个过程的持续时间，然后将端口复位位清零。

USB 复位序列完成后，端口使能/禁止更改位 (USBHS\_HPCS.PENC 位) 立即触发主机端口中断，进而向应用程序发出通知，指示可从主机端口控制和状态寄存器中的端口速度字段 (USBHS\_HPCS.PSPD[1:0]) 读取枚举的设备速度，以及主机已经开始驱动 micro-SOF(HS)、SOF(FS) 或 Keep-alive 令牌 (LS)。此时主机已就绪，可通过对设备发送命令来完成对设备的枚举。

#### 40.6.1.5 主机挂起

应用程序通过将主机端口控制和状态寄存器中的端口挂起位 (USBHS\_HPCS.PSUSP) 置 1 来挂起 USB 活动。USBHS 模块停止发送 SOF 并进入挂起状态。

可由远程设备的自主活动 (远程唤醒) 使总线退出挂起状态。这种情况下，远程唤醒信号将触发远程唤醒中断 (USBHS\_GINTSTS.WKUPIF 位)，硬件把主机端口控制和状态寄存器中的端口恢复位 (USBHS\_HPCS.PRST) 自动置位，并通过 USB 自动驱动恢复信号。应用程序必须为恢复窗口定时，然后将端口恢复位清零以退出挂起状态并重新发送 SOF。

如果由主机发起退出挂起状态，则应用程序必须将端口恢复位置 1 以启动主机端口上的恢复信号，为恢复窗口定时并最终将端口恢复位清零。

## 40.6.2 主机通道

USBHS 内核实现了 16 主机通道。每个主机通道均可用于 USB 主机传输（USB 管道）。主机最多能同时处理 16 个传输请求。如果应用程序有 16 个以上的传输请求挂起，则在通道从之前任务释放后（即，接收到传输完成和通道停止中断后），主机控制器驱动器（HCD）必须为未处理的传输请求重新对通道进行分配。

每个主机通道都可配置为支持输入/输出以及周期性/非周期性事务。每个主机通道都使用专用控制（USBHS\_HCHxCTRL）寄存器、传输大小配置（USBHS\_HCHxSIZ）寄存器中断状态（USBHS\_HCHxINTSTS）寄存器以及和其相关的中断使能寄存器（USBHS\_HCHxINTEN）。

### 40.6.2.1 主机通道控制

应用程序可通过主机通道 x 特性寄存器(USBHS\_HCHxCTRL)对主机通道作以下控制：

- 通道使能/禁止
- 设置目标 USB 设备的 HS/FS/LS 速度
- 设置目标 USB 设备的地址
- 设置与该通道通信的目标 USB 设备上的端点的编号
- 设置该通道上的传输方向：IN/OUT
- 设置该通道上的 USB 传输的类型：控制/批量/中断/同步
- 设置与该通道通信的设备端点的最大包长
- 设置要进行周期传输的帧：奇帧/偶帧

### 40.6.2.2 主机通道传输

主机通道传输大小寄存器(USBHS\_HCHxSIZ)允许应用程序对传输大小参数进行编程并读取传输状态。必须在主机通道控制寄存器中的通道使能位置 1 之前完成对此寄存器的设置。使能端点后，数据包计数字段立即变为只读状态，同时 USBHS 模块根据当前传输状态对该字段进行更新。

可对以下传输参数进行编程：

- 以字节为单位的传输大小
- 构成整个传输大小的数据包个数
- 初始数据 PID

### 40.6.2.3 主机通道状态/中断

主机通道 x 中断状态寄存器 (USBHS\_HCHxINTSTS) 指示通道在出现 USB 和 AHB 相关事件时的状态。当模块中断寄存器中的主机通道中断位（USBHS\_GINTSTS.HCHIF 位）置 1 时，应用程序必须读取这些寄存器以获得详细信息。在读取这些寄存器之前，应用程序必须先读取主机全体通道中断 (USBHS\_HACHINT) 寄存器，以获取主机通道 x 中断寄存器的通道编号。应用程序必须将该寄存器中的相应位清零，才能将 USBHS\_HACHINT 和 USBHS\_GINTSTS 寄存器中的对应位清零。USBHS\_HCHxINTEN 寄存器还提供每个通道各中断源的屏蔽位。

主机模块提供以下状态检查和中断产生功能：

- 传输完成中断，指示应用程序 (AHB)和 USB 端均已完成数据传输

- 通道因传输完成、USB 事务错误或应用程序发出禁止命令而停止
- 相关的发送 FIFO 为半空或全空状态（IN 端点）
- 接收到 ACK 响应
- 接收到 NAK 响应
- 接收到 STALL 响应
- 由于 CRC 校验失败、超时、位填充错误和错误的 EOP 导致 USB 事务错误
- 串扰错误
- 帧上溢
- 数据同步错误

### 40.6.3 主机调度器

主机模块内置硬件调度器，可自主对应用程序发出的 USB 事务请求重新排序和管理。每一帧开始时，主机都先执行周期性（同步和中断）事务，然后执行非周期性（控制和批量）事务，以符合 USB 规范对同步和中断传输高优先级的保证。

主机通过请求队列（一个周期性请求队列和一个非周期请求队列）处理 USB 事务。每个请求队列最多可存储 8 个条目。每个条目代表一个应用程序发起但还未得到响应的 USB 事务请求，并存储了执行该 USB 事务所用到的 IN 或 OUT 通道的编号，以及其它相关信息。USB 事务请求在队列中的写入顺序决定了事务在 USB 接口上的执行顺序。

每一帧开始时，主机都先处理周期性请求队列，然后处理非周期性请求队列。如果当前帧结束时，计划在当前帧执行的同步或中断类型的 USB 传输事务请求仍处于挂起状态，则主机将发出未完成周期性传输中断（USBHS\_GINTSTS.PTNCIF）。USBHS 模块全面负责对周期性和非周期性请求队列的管理。周期性发送 FIFO 和队列状态寄存器 (USBHS\_HPTXFQSTS) 与非周期性发送 FIFO 和队列状态寄存器 (USBHS\_GNPTXFSTS) 都为只读寄存器，应用程序可使用它们来读取各请求队列的状态。其中包括：

- 周期性（非周期性）请求队列中当前可用的空闲条目数（最多 8 个）
- 周期性（非周期性）TX FIFO（OUT 事务）中当前可用的空闲空间
- N/OUT 令牌、主机通道编号和其它状态信息

由于每个请求队列最多可存储 8 个 USB 事务请求，因此应用程序可以把主机 USB 事务请求提前发送给调度器；实际的通信最晚会在调度器处理完已挂起的 8 个周期事务和 8 个非周期事务完成之后出现在 USB 总线上。

要向主机调度器（队列）发出事务请求，应用程序必须读取 USBHS\_HPTXFQSTS.PTXRQSAVL[6:0] 或 USBHS\_GNPTXFSTS.NPTXRQSAV[7:0]，确保周期性（非周期性）请求队列中至少有一个可用空间来存储当前请求。

## 40.7 SOF 帧

USBHS 模块在主机和设备模式下都可以监视、跟踪和配置 SOF 帧并且还具备 SOF 脉冲输出连接功能。

### 40.7.1 主机 SOF

主机模式下,可以在主机帧间隔寄存器 (USBHS\_HFRI)中对所产生的两个连续 SOF(HS/FS)或 Keep-alive (LS)令牌期间所出现的 PHY 时钟数进行编程,进而应用程序可对 SOF 帧周期进行控制。帧开始 (USBHS\_GINTSTS.SOFIF)时将生成中断。当前帧编号和出现下一个 SOF 前剩余的时间应用程序在主机帧编号寄存器 (USBHS\_HFNUM)中能够进行跟踪。

SOF 令牌发出的同时会产生 SOF 脉冲信号,并且宽度为 20 个 HCLK 时钟周期。此外,SOE 脉冲信号还在内部与定时器的输入触发相连,因此可通过 SOF 脉冲触发输入捕获功能、输出比较功能和定时器。

### 40.7.2 设备 SOF

在设备模式下,USB 每次接收到 SOF 令牌时,都将触发帧开始中断 (OTH\_GINTSTS.SOFIF)。相应的帧编号可从设备状态寄存器 (USBHS\_DSTS.SOEFN[13:0])读取。还可以生成宽度为 12 个系统时钟周期的 SOE 脉冲信号。此外,SOE 脉冲信号还在内部与 TIM 的输入触发相连,因此可通过 SOE 脉冲触发输入捕获功能、输出比较功能和定时器。

周期性帧结束中断 (USBHS\_GINTSTS.EOPFIF)用于在经过了 80%、85%、90%或 95%的帧间隔时间时通知应用程序,具体取决于设备配置寄存器中的周期性帧间隔字段 (USBHS\_DCFG.PFRITVL[1:0])。此功能可用于确定该帧的所有同步通信是否完成。

### 40.7.3 动态更新 USBHS\_HFRI 寄存器

主机模式下,USB 模块具有对微帧周期进行动态微调的功能,能够将外部设备与 micro-SOF 帧进行同步。如果 USBHS\_HFRI 寄存器在当前 micro-SOF 帧内发生更改,则将在下一个帧中对 SOE 周期进行相应修正。

## 40.8 电源选项

USBHS PHY 的功耗由通用模块配置寄存器中的两个位控制:

- 停止 PHY 时钟 (USBHS\_PWRCTRL.PHYSTP)

将时钟门控控制寄存器中的停止PHY时钟位置1时,会节省模块由于时钟信号翻转带来的动态功耗。还会关掉收发器的大部分单元,只有负责检测异步恢复事件或远程唤醒事件的部分还保持工作状态。

- HCLK 门控 (USBHS\_PWRCTRL.GATEHCLK)

将时钟门控控制寄存器中的Gate HCLK位置 1时,USBHS模块内部的大多数系统时钟域均由时钟门控关闭。只有寄存器读取和写入接口保持活动状态。即使应用程序仍提供时钟输入,也会节省掉模块由于时钟信号翻转带来的动态功耗。

- USB 系统停止

当 USBHS处于USB挂起状态时,应用程序可通过将USB系统中的所有时钟源全部关闭来显著降低总功耗。USB 系统停止可通过以下方式激活:首先将停止PHY时钟位置 1,然后在电源控制系统模块 (PWR)中将系统配置为深度睡眠模式。

USBHS 模块通过对 USB 上的远程唤醒 (作为主机)或恢复 (作为设备)信号进行异步检测,自动重新激活系统时钟和 USB 时钟。

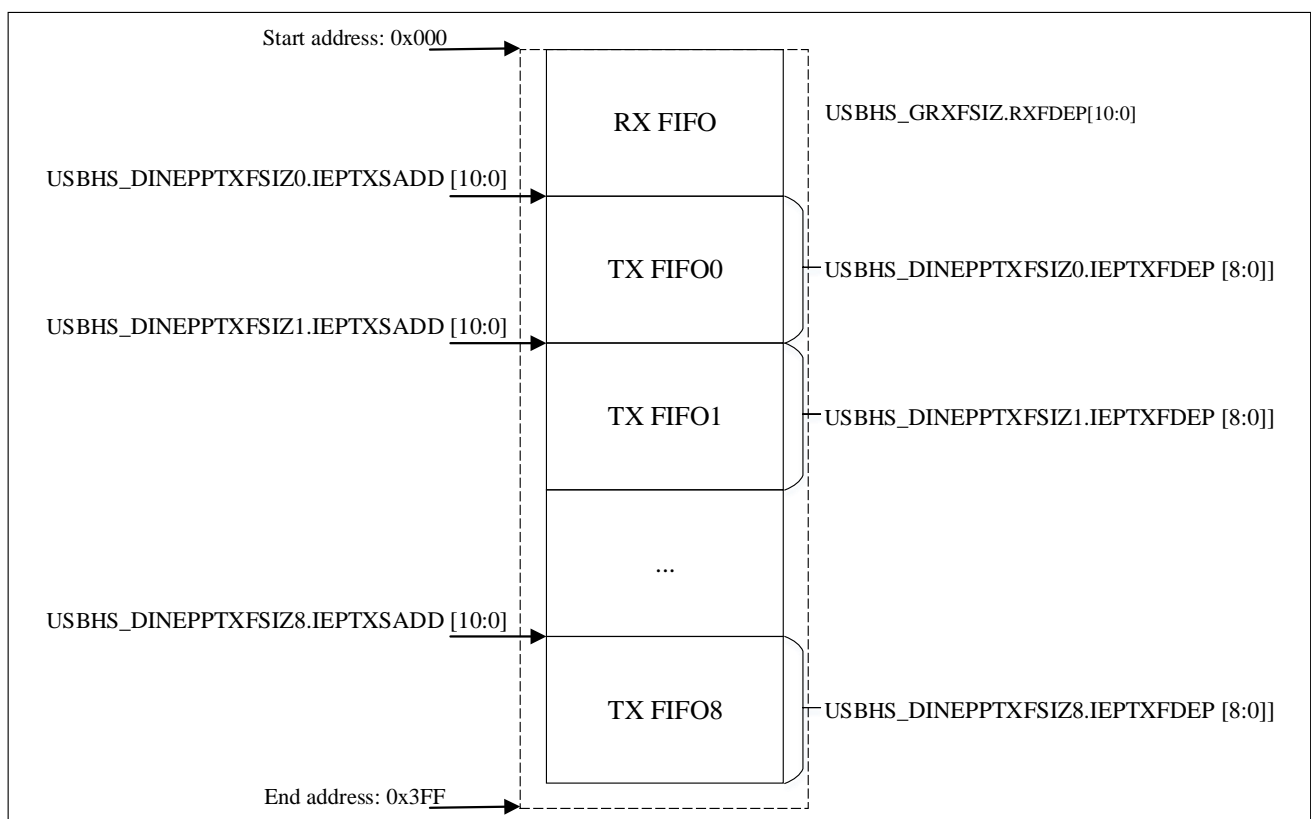
为了节省动态功耗，只在USB数据FIFO被USBHS模块访问时为其提供时钟。

## 40.9 USB 数据 FIFO

USB 系统具有 4 KB 专用 RAM，采用复杂的 FIFO 控制机制。USBHS 模块中的数据包 FIFO 控制器模块将 RAM 空间划分为多个 TX-FIFO（USB 传输前，应用程序将数据压入其中进行短暂存储）和单个 RX FIFO（从 USB 接收到的数据被应用程序读取之前，在其中进行短暂存储）。RAM 中所构建的 FIFO 的数量与组织方式取决于设备的角色。设备模式下，为每个激活的 IN 端点配置一个 TX FIFO。FIFO 的大小均由软件配置，以更好地满足应用要求。

### 40.9.1 设备 FIFO 架构

图 40-2 设备模式下的 FIFO 地址映射



#### 40.9.1.1 设备 RX FIFO

USBHS 设备使用单个接收 FIFO 接收发送到所有 OUT 端点的数据。只要 RX FIFO 中有空余空间，收到的数据包就挨个填入 RX FIFO。除了有效数据外，接收到的数据包状态（包含 OUT 端点目标编号、字节数、数据 PID 和对所接收数据的验证）也由模块进行存储。没有可用空间时，设备会回复主机事务 NAK 应答并在被寻址的端点上触发中断。RX FIFO 的大小在 RX FIFO 大小寄存器 (USBHS\_GRXFSIZ) 中配置。

单个 RX FIFO 架构使得 USB 设备更高效地填充接收 RAM 缓冲区：

- 所有 OUT 端点共享同一个 RAM 缓冲区（共享 FIFO）
- USBHS 模块可将主机发出的任何 OUT 通信序列填充到接收 FIFO，直到没有多余空闲空间

只要至少有一个数据包在 RX FIFO 中可供读取，应用程序就会一直接收 RX FIFO 非空中断

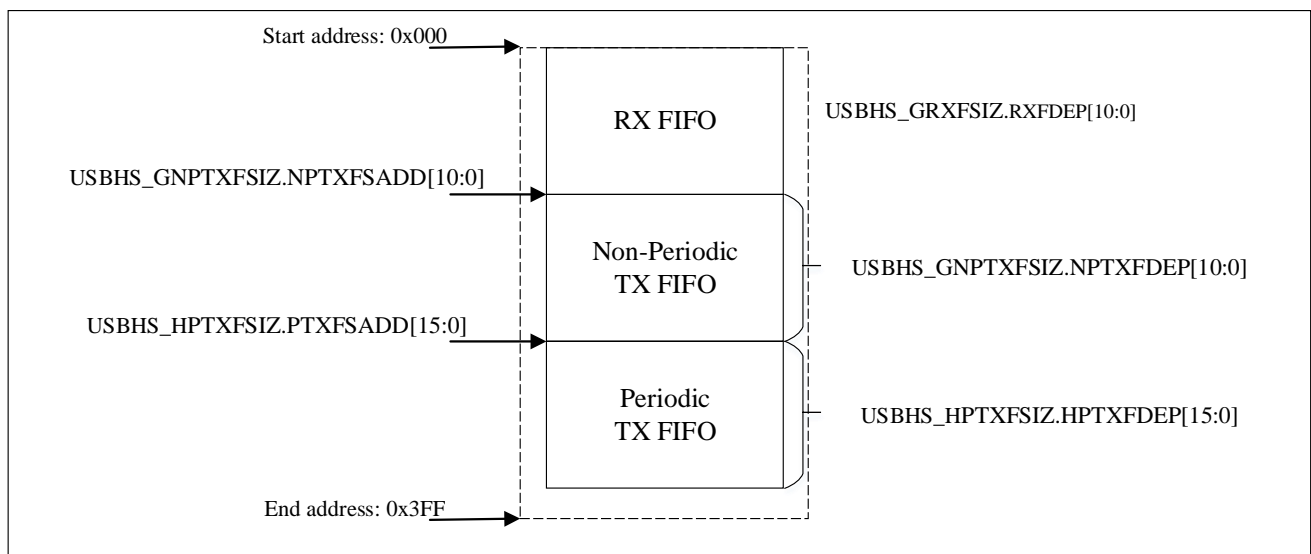
(USBHS\_GINTSTS.RXFNEIF)。应用程序从接收状态读取和弹出寄存器(USBHS\_GRXSTSP) 中读取数据包信息，最后通过读取与端点相关的出栈地址从接收 FIFO 读出相应数据。

### 40.9.1.2 设备 TX FIFO

模块为各个 IN 端点提供了专用的 FIFO。应用程序通过端点 0 发送 FIFO 大小寄存器(USBHS\_DIEP0TXFSIZ) 为 IN 端点 0 配置 FIFO 大小；通过设备 IN 端点发送 FIFOx 寄存器(USBHS\_DIEPxTXFSIZ) 为 IN 端点 x 配置 FIFO 大小。

## 40.9.2 主机 FIFO 架构

图 40-3 主机模式下的 FIFO 地址映射



### 40.9.2.1 主机 RX FIFO

主机使用一个 RX FIFO 处理所有周期和非周期事务。FIFO 用作接收缓冲区以保存从 USB 接收到的数据（接收到的数据包的数据部分），直至这些数据传输到系统存储器。只要 RX FIFO 中有空间，来自设备 IN 端点的数据包就接收进来并挨个存储。接收到的每个数据包的状态（包含主机目标通道、字节数、数据 PID 和对所接收数据的校验）也存储在 RX FIFO 中。RX FIFO 的大小在接收 FIFO 大小寄存器 (USBHS\_GRXFSIZ) 中配置。

单个接收 FIFO 架构使得 USB 主机高效地填充接收数据缓冲区：

- 所有 IN 配置主机通道共享同一个 RAM 缓冲区（共享 FIFO）
- USBHS 模块可将主机发出的任何 IN 通信序列带来的接收数据填充到 RX FIFO，直到没有多余空闲空间。只要至少有一个数据包在 RX FIFO 中可供读取，应用程序就会接收 RX FIFO 非空中断。应用程序从接收状态读取和弹出寄存器中读取数据包信息，最后从 RX FIFO 中读出数据。

### 40.9.2.2 主机 TX FIFO

主机使用一个 TX FIFO 处理所有非周期（控制和批量）OUT 事务，使用另一个 TX FIFO 处理所有周期（同步和中断）OUT 事务。FIFO 用作发送缓冲区以保存要通过 USB 发送的数据（发送数据包）。周期（非周期）TX FIFO 的大小在主机周期（非周期）发送 FIFO 大小 (USBHS\_HPTXFSIZ/USBHS\_GNPTXFSIZ) 寄存器中配置。



两个 TX FIFO 按优先级实施操作，周期性通信的优先级较高，因此在 USB 一帧的时间内首先进行周期性通信。帧起始时，内置的主机调度器先处理周期请求队列，再处理非周期请求队列。

两个 TX FIFO 的架构使得 USB 主机能够对周期和非周期发送数据缓冲区分别进行优化管理：

- 配置为支持周期（非周期）OUT事务的所有主机通道共享同一个RAM缓冲区（共享FIFO）
- USBHS模块可将主机发出的任何OUT通信填充到周期性（非周期性）TX FIFO，直到没有多余空闲空间

只要周期性 TX FIFO 为半空或全空，USBHS 模块就会发出周期性 TX FIFO 空中断（USBHS\_GINTSTS.PTXFEI），具体取决于 AHB 配置寄存器中的周期性 TX FIFO 空阈值（USBHS\_GAHBCFG.PTXFETH）的值。只要周期性 TX FIFO 和周期性请求队列中均存在空闲空间，应用程序便可提前写入发送数据。可通过读取主机周期性 TX FIFO 和队列状态寄存器（USBHS\_HPTXFQSTS）来了解二者的可用空间。

只要非周期性 TX FIFO 为半空或全空，USBHS 模块就会发出非周期性 TX FIFO 空中断（USBHS\_GINTSTS.NPTXFEIF），具体取决于 AHB 配置寄存器中的非周期性 TX FIFO 空阈值（USBHS\_GAHBCFG.NPTXFETH）的值。只要非周期性 Tx FIFO 和非周期性请求队列中均存在空闲空间，应用程序便可写入发送数据。可通过读取全局非周期性发送 FIFO 和队列状态寄存器（USBHS\_GNPTXFSTS）来了解二者的可用空间。

## 40.9.3 FIFO RAM 分配

### 40.9.3.1 Device 模式

**接收 FIFO RAM 分配：**应用程序应为 SETUP 数据包分配 RAM：

- RX FIFO中必须保留10个位置以在控制端点上接收SETUP数据包。USBHS模块不会向这些为SETUP数据包保留的位置写入任何其它数据。
- 将会为全局 OUT NAK 分配一个位置。
- 状态信息随各个接收数据包写入FIFO。因此，必须至少为接收数据包分配（最大数据包大小 / 4）+ 1的空间。如果使能了多个同步端点，则为接收连续数据包分配的空间必须至少为（最大数据包大小 / 4）的两倍 + 1。通常，推荐的空间为（最大数据包/4 + 1）的两倍，这样当上一个数据包向CPU传送时，USB可同时接收后续的数据包。
- 传输完成状态信息和该端点收到的最后一个数据包会一起被推入FIFO。推荐为每个OUT端点分配一个位置存储该端点上的传输状态信息。

Device RX FIFO = (5 \* 控制端点数量 + 8) + ((所使用的最大USB数据包/4) + 1 (用于状态信息)) + (2 \* OUT端点数量) + 1 (用于全局NAK)

例如：周期性USB数据包的MPS是1024个字节，非周期性USB数据包的MPS是512个字节。有三个OUT端点、三个IN端点、一个控制端点和三个主机通道。

则Device RX FIFO = (5 \* 1 + 8) + ((1024/4) + 1) + (2 \* 4) + 1 = 279

**发送 FIFO RAM 分配：**各个IN 端点发送 FIFO 所需的最小 RAM 空间为该特定 IN 端点的最大数据包大小。

*注：为发送IN 端点FIFO 分配的空间越多，USB 的性能就越高。*

### 40.9.3.2 Host 模式

#### 接收 FIFO RAM 分配:

状态信息随各个接收数据包写入 FIFO。因此，必须至少为接收数据包分配（最大数据包大小 / 4）+ 1 的空间。如果使能了多个同步通道，则为接收连续数据包分配的空间必须至少为（最大数据包大小 / 4）的两倍 + 1。通常，推荐的空间为（最大数据包 / 4 + 1）的两倍，这样当上一个数据包向 CPU 传送时，USB 可同时接收后续的数据包。

传输完成状态信息和主机通道中的最后一个数据包会一起被推入 FIFO。因此，必须为此分配一个位置。Host RX FIFO = ((所用的最大 USB 数据包 / 4) + 1 (用于状态信息)) + 1 (用于传输完成)

例如：主机 Rx FIFO = ((1024 / 4) + 1) + 1 = 258

#### 发送 FIFO RAM 分配:

主机非周期性发送 FIFO 所需的最小 RAM 为所支持的所有非周期性 OUT 通道上传输的最大数据包的大小。

通常，推荐的空间为最大数据包大小的两倍，这样当 USB 正在发送当前数据包的同时，AHB 可以往发送 FIFO 填入下一个数据包。

非周期性 TX FIFO = 所用的最大非周期性 USB 数据包 / 4

例如：非周期性 TX FIFO = (512 / 4) = 128

主机周期性 TX FIFO 所需的最小 RAM 为所支持的所有周期性 OUT 通道上传输的最大数据包的大小。如果至少有一个同步 OUT 端点，则空间必须至少为该通道中最大数据包大小的两倍。

主机周期性 TX FIFO = 所用的最大周期性 USB 数据包 / 4

例如：主机周期性 TX FIFO = (1024 / 4) = 256

注：为非周期性发送 FIFO 分配的空间越多，USB 的性能就越高。

## 40.10 USBHS 配置流程

### 40.10.1 模块初始化

应用程序必须执行模块初始化序列。如果上电期间连接电缆，则 USBHS\_GINTSTS 中的当前工作模式位 (USBHS\_GINTSTS.CMODE) 将指示模式。连接“A 型”插头后，USBHS 控制器进入 Host 模式；连接“B 型”插头后，USBHS 控制器进入 Device 模式。

本节介绍了 USBHS 控制器在上电后的初始化过程。无论是以主机模式还是设备模式工作，应用程序都必须遵循初始化序列。根据模块配置对所有模块全局寄存器进行初始化：

1. 在 USBHS\_GAHBCFG 寄存器中编程以下字段：
  - 全局中断屏蔽位 GINTEN = 1
  - RX FIFO 非空 (USBHS\_GINTSTS.RXFNEIF)
  - 周期性 TX FIFO 空阈值
2. 在 USBHS\_GCFG 寄存器中编程以下字段：
  - USBHS 超时校准字段

- USBHS周转时间字段
3. 软件必须使能 USBHS\_GINTEN寄存器中的以下位：
    - USBHS中断使能
  4. 通过读取 USBHS\_GINTSTS.CMODE，软件可确定USBHS控制器是在Host模式还是Device模式下工作。

## 40.10.2 主机初始化

要将模块作为主机进行初始化，应用程序必须执行以下步骤：

1. 编程 USBHS\_GINTEN.HPIEN以打开中断。
2. 编程 USBHS\_HCFG寄存器以选择主机模式（高速、全速、低速）。
3. 将USBHS\_HPCS.PPWR位编程为 1，给 USB总线提供 V<sub>BUS</sub>。
4. 等待 USBHS\_HPCS.PCDET中断。这表示某设备已连接到主机端口。
5. 将USBHS\_HPCS.PRST位编程为 1，在 USB 总线上发出复位信号。
6. 至少等待10 ms，以便完成复位过程。
7. 将USBHS\_HPCS.PRST位编程为 0。
8. 等待 USBHS\_HPCS.PENC中断。
9. 读取 USBHS\_HPRT.PSPD[1:0]位以获取枚举速度。
10. 使用所选 PHY时钟，相应地设置 USBHS\_HFRI.FRI[15:0]I。
11. 编程 USBHS\_GRXFSIZ寄存器以选择接收FIFO的大小。
12. 编程USBHS\_GNPTXFSIZ寄存器，以选择用于非周期性通信事务的非周期性发送 FIFO 的大小和起始地址。
13. 编程USBHS\_HPTXFSIZ寄存器，以选择用于周期性通信事务的周期性发送FIFO的大小和起始地址。

要与设备通信，系统软件必须初始化并使能至少一个通道。

## 40.10.3 设备初始化

上电期间或者从主机模式切换为设备模式后，应用程序必须执行下列步骤来将模块作为设备进行初始化。

1. 在USBHS\_DCFG 寄存器中编程以下字段：
  - 设备速度
  - 非零长度状态 OUT 握手信号
2. 编程 USBHS\_GINTEN寄存器以使能以下中断：
  - USB 复位
  - 枚举完成
  - 早期挂起

- USB 挂起
  - SOF
3. 等待 USBHS\_GINTSTS. USBRSTIF中断。这表示已在 USB 上检测到复位信号，复位过程自接收到此中断后约持续 10 ms。
  4. 待 USBHS\_GINTSTS. ENUMDIF中断。此中断指示 USB 上复位过程结束。接收到此中断时，应用程序必须读取 USBHS\_DSTS寄存器以确定枚举速度并执行端点初始化中所列的步骤。

此时，设备已准备好接受SOF数据包并在控制端点0上执行控制传输。

## 40.11 USBHS 寄存器

这些寄存器在主机模式和设备模式下都可用，且在这两个模式间切换时无需对其进行重新编程。除非特别说明，否则寄存器描述中的位值以二进制表示。

USB 基地址：0x4004 0000

### 40.11.1 USBHS 全局控制和状态寄存器

USBHS1 全局控制和状态寄存器基地址：0x4010 0000

USBHS2 全局控制和状态寄存器基地址：0x4006 0000

#### 40.11.1.1 USBHS 全局控制和状态寄存器（USBHS\_GCTRLSTS）

偏移地址：0x0000

复位值：0x000D 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved										CMODE	Reserved				IDSTS
										r					r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											VBVAL OVAL	VBVAL OVEN	Reserved		
											rw	rw			

位域	名称	描述
31:22	Reserved	保留，必须保持复位值。
21	CMODE	当前工作模式 0: Device 模式 1: Host 模式 <i>备注: Host 模式和 Device 模式下有效</i>
20:17	Reserved	保留，必须保持复位值。
16	IDSTS	ID 引脚状态 0: USBHS 工作在 A 设备模式 1: USBHS 工作在 B 设备模式

位域	名称	描述
15:4	Reserved	保留，必须保持复位值。
3	VBVALOVAL	VBUS 有效覆盖值 此位当 VBVALOVEN=1 时有效 0: Vbusvalid 值为“0” 1: Vbusvalid 值为“1” 备注：仅 Host 模式下有效
2	VBVALOVEN	VBUS 有效覆盖使能 0: 覆盖禁能，从 PHY 接收 vbusvaild 信号 1: 覆盖使能，从 PHY 接收内部 vbusvaild 由 VBVALOVAL 位的值覆盖 备注：仅 Host 模式下有效
1:0	Reserved	保留，必须保持复位值。

#### 40.11.1.2 USBHS 全局 AHB 配置寄存器 (USBHS\_GAHBCFG)

偏移地址：0x0008

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							PTXFETH	NPTXFETH	Reserved	DMAEN	BURSTTYP[3:0]			GINTEN	
							rw	rw		rw				rw	rw

位域	名称	描述
31:9	Reserved	保留，必须保持复位值。
8	PTXFETH	周期性 TX FIFO 空阈值 0: 当周期性 TX FIFO 半空时，将触发 USBHS_GINTSTS.PTXFEIF 标志位 1: 当周期性 TX FIFO 全空时，将触发 USBHS_GINTSTS.PTXFEIF 标志位 备注：仅 Host 模式下有效
7	NPTXFETH	非周期性 TX FIFO 空阈值 Host 模式： 0: 当非周期性 TX FIFO 半空时，将触发 USBHS_GINTSTS.NPTXFEIF 标志位 1: 当非周期性 TX FIFO 全空时，将触发 USBHS_GINTSTS.NPTXFEIF 标志位 Device 模式： 0: 当 IN 端点 TX FIFO 半空时，将触发 USBHS_DINTPxINTSTS.TXFE 标志位 1: 当 IN 端点 TX FIFO 全空时，将触发 USBHS_DINTPxINTSTS.TXFE 标志位 备注：Host 模式和 Device 模式下有效
6	Reserved	保留，必须保持复位值。
5	DMAEN	DMA 使能

位域	名称	描述
		0: DMA 功能禁能 1: DMA 功能使能 备注: Host 模式和 Device 模式下有效
4:1	BURSTTYP [3:0]	Burst 类型 0000: 单次 0001: INCR 0011: INCR4 0101: INCR8 0111: INCR16 其它值: 保留 备注: Host 模式和 Device 模式下有效
0	GINTEN	全局中断使能 0: 全局中断不使能。 1: 全局中断使能 备注: Host 模式和 Device 模式下有效

### 40.11.1.3 USBHS 全局配置寄存器 (USBHS\_GCFG)

偏移地址: 0x000C

复位值: 0x0000 1400

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	FDMODE	FHMODE	Reserved												
	rw	rw													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	TRDTIM[3:0]				Reserved	PHYSEL	Reserved	PHYIF	TOCAL[2:0]						
	rw					rw		rw	rw						

位域	名称	描述
31	Reserved	保留, 必须保持复位值。
30	FDMODE	强制设备模式 向该位写入 1 时, 可将模块强制为设备模式, 而无需考虑 ID 引脚的输入状态。 0: 正常模式 1: 强制设备模式 将强制位置 1 后, 应用程序必须等待至少 25 ms 后更改方可生效。 备注: Host 模式和 Device 模式下有效
29	FHMODE	强制主机模式 向该位写入 1 时, 可将模块强制为主机模式, 而无需考虑 ID 引脚的输入状态。 0: 正常模式 1: 强制主机模式

位域	名称	描述
		将强制位置 1 后，应用程序必须等待至少 25 ms 后更改方可生效。 <i>备注：Host 模式和 Device 模式下有效</i>
28:14	Reserved	保留，必须保持复位值。
13:10	TRDTIM[3:0]	USB 周转时间 以 PHY 时钟为单位设置周转时间。必须根据下表： TRDTIM 值 (HS) 来配置这些位，具体取决于应用程序 AHB 频率。 TRDT 值越高， USB 对 IN 令牌的响应时间就越长，从而可以弥补 AHB 对数据 FIFO 的较长读访问延迟。 <i>备注：仅 Device 模式下有效</i>
9:7	Reserved	保留，必须保持复位值。
6	PHYSEL	PHY 选择 0: USB2.0 高速 PHY 1: USB1.1 全速 PHY <i>备注：Host 模式和 Device 模式下有效</i>
5:4	Reserved	保留，必须保持复位值。
3	PHYIF	PHY 接口类型 0: 8bit 1: 16bit <i>备注：Host 模式和 Device 模式下有效</i>
2:0	TOCAL[2:0]	超时校准 PHY 引入的额外延迟包括应用程序在该字段中设置的 PHY 时钟数，以及模块的高速/全速数据包间超时间隔。不同 PHY 引入的延迟对数据线状态的影响是不同的。 应用可以使用 TOC[2:0]增加该数值（以 PHY 时钟为单位）。在 USB 标准中，高速操作的超时时间为 736~816 个 bit 时间，全速操作的超时时间为 16~18 个 bit 时间，每个 PHY 时钟增加的 bit times 如下： 高速操作 30MHz PHY clock = 16bit times 60MHz PHY clock = 8bit times 全速操作： 30MHz PHY clock = 0.4bit times 60MHz PHY clock = 0.2bit times  000: 增加 0 个 PHY clock 001: 增加 1 个 PHY clock ... 111: 增加 7 个 PHY clock <i>备注：Host 模式和 Device 模式下有效</i>

**表 40-2 TRDTIM 值 (FS)**

AHB 频率范围 (MHz)		TRDTIM 最小值
最小值	最大值	
14.2	15	0xF
15	16	0xE

16	17.2	0xD
17.2	18.5	0xC
18.5	20	0xB
20	21.8	0xA
21.8	24	0x9
24	27.5	0x8
27.5	32	0x7
32	-	0x6

**表 40-3 TRDTIM 值 (HS)**

AHB 频率范围 (MHz)		TRDTIM 最小值
最小值	最大值	
30	15	0x9

#### 40.11.1.4 USBHS 全局复位控制寄存器 (USBHS\_GRSTCTRL)

偏移地址: 0x0010

复位值: 0x8000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AHBIDLE	DMAREQ	SRSTDNE	Reserved												
r	r	rc_wl													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			TXFNUM[4:0]				TXFFLSH	RXFFLSH	Reserved	HFCRST	PFSSRST	CSRST			
			rw				rs	rs		rs	rs				

位域	名称	描述
31	AHBIDLE	AHB 空闲状态 0: AHB 不在空闲状态 1: AHB 在空闲状态 备注: Host 模式和 Device 模式下有效
30	DMAREQ	DMA 请求标志 0: 没有 DMA 请求 1: 有 DMA 请求 备注: Host 模式和 Device 模式下有效
29	SRSTDNE	软件复位完成标志 此位 0: 软件复位没有完成 1: 软件复位完成 备注: Host 模式和 Device 模式下有效
28:11	Reserved	保留, 必须保持复位值。



位域	名称	描述
10:6	TXFNUM[4:0]	<p>TX FIFO 编号</p> <p>使用 TXFFLSH 位来控制刷新对应 TX FIFO 编号的内容，只有当 TXFFLSH 位被清除的时候才能改此字段。</p> <p>Host 模式：</p> <p>00000：仅非周期性 TX FIFO 被刷新</p> <p>00001：仅周期性 TX FIFO 被刷新</p> <p>10000：所有 TX FIFO 均被刷新</p> <p>Device 模式：</p> <p>00000：仅 TX FIFO0 被刷新</p> <p>00001：仅 TX FIFO1 被刷新</p> <p>...</p> <p>01111：仅 TX FIFO15 被刷新</p> <p>10000：所有 TX FIFO 均被刷新</p>
5	TXFFLSH	<p>TX FIFO 刷新控制位</p> <p>应用通过此位来刷新 TX FIFO 数据，并且 TXFNUM[4:0] 决定刷新的 TX FIFO 编号，但是当模块在处理通信事务时无法执行该操作。当刷新完成后，硬件自动清除此位。置位此位后，应用需要等待此位清除，此位需要八个时钟来清零（使用较慢的 PHY_CLK 或 HCLK 时钟），并且在此之前 USBHS 不应有其他任何操作。</p> <p>读-NAK 有效中断确保模块没有对 FIFO 进行读操作</p> <p>写-AHBIDLE 确保模块没有对 FIFO 进行写操作</p> <p>建议在重新配置 TX FIFO 时进行刷新，在设备端点禁止期间进行 TX FIFO 刷新。</p> <p>备注：Host 模式和 Device 模式下有效</p>
4	RXFFLSH	<p>RX FIFO 刷新控制位</p> <p>应用通过置位该控制位来刷新 RX FIFO 数据。但是当模块在处理通信事务时无法执行该操作。当刷新完成后，硬件自动清除此位。置位此位后，应用需要等待此位清除，此位需要八个时钟来清零（使用较慢的 PHY_CLK 或 HCLK 时钟），并且在此之前 USBHS 不应有其他任何操作。</p> <p>备注：Host 模式和 Device 模式下有效</p>
3	Reserved	保留，必须保持复位值。
2	HFCRST	<p>主机帧计数器复位</p> <p>应用通过置位该控制位来复位 USBHS 内的（微）帧计数器。此位置位后，接下来 SOF 的（微）帧计数器将变为 0。当复位操作完成后，硬件自动清除此位。置位此位后，应用需要等待此位清除，并且在此之前 USBHS 不应有其他任何操作。</p> <p>备注：仅 Host 模式下有效</p>
1	PFSSRST	<p>PIU FS 专用控制器软复位</p> <p>PIU 中 FS 专用控制器的所有模块状态机将重置为空闲（IDLE）状态。当出现任何物理层（PHY）错误，如活动丢失或杂乱错误（Babble Error）导致 PHY 在多个帧边界内保持接收（RX）状态时，可用此操作重置 PIU 中的 FS 专用控制器。</p> <p>备注：Host 模式和 Device 模式下有效</p>

位域	名称	描述
0	CSRST	USB 内核软复位 复位 AHB 和 USB 时钟域电路，以及大多数的寄存器，以下寄存器或寄存器位不会被清除： USBHS_GCFG 寄存器 USBHS_PWRCLKCTRL.PDMRST USBHS_PWRCLKCTRL.GATECLK USBHS_PWRCLKCTRL.PHYSTP 备注：Host 模式和 Device 模式下有效

#### 40.11.1.5 USBHS 全局中断状态寄存器 (USBHS\_GINTSTS)

偏移地址：0x0014

复位值：0x0400 0020

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
WKUPIF	Reserved	DISCIF	IDSTSCIF	Reserved	PTXFEIF	HCHIF	HPIF	RSTDIF	FET SUSPIF	PTNCIF ISOUTNCIF	ISOINCIF	OUTEPIF	INEPIF	Reserved	
rc_wl		rc_wl	rc_wl		r	r	r	rc_wl	rc_wl	rc_wl	rc_wl	r	r		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EOPFIF	ISOUT PDIF	ENUMDIF	USB RSTIF	USB SUSPIF	ESUSPIF	Reserved		GOUT NAKEIF	GINNP NAKEIF	NPTXF EIF	RXFNEIF	SOFIF	Reserved	MOD MISIF	CMODE
rc_wl	rc_wl	rc_wl	rc_wl	rc_wl	rc_wl			r	r	r	r	rc_wl		rc_wl	r

位域	名称	描述
31	WKUPIF	恢复/远程唤醒中断标志位 设备模式： 检测到主机发送恢复信号，此标志位被置起 主机模式： 检测到设备发送远程唤醒信号，此标志位被置起 备注：Host 模式和 Device 模式下有效
30	Reserved	保留，必须保持复位值。
29	DISCIF	断开中断标志位 当检测到设备断开，此标志位被置起 备注：仅 Host 模式下有效
28	IDSTSCIF	ID 引脚状态改变中断标志位 当 ID 引脚状态发生改变时， 备注：Host 模式和 Device 模式下有效
27	Reserved	保留，必须保持复位值。
26	PTXFEIF	周期性 TX FIFO 空中断标志位 当周期性 TX FIFO 半空或全空，且周期性请求队列中存在写入至少一个条目时，此标志位被置起。TX FIFO 空阈值由 USBHS_GAHBCFG.PTXFETH 决定。 备注：仅 Host 模式下有效
25	HCHIF	主机通道中断标志位

位域	名称	描述
		当在主机模式下任意通道挂起一个中断时，此标志位被置起。软件需要首先读取 USBHS_HACHINT 寄存器以获取对应通道号，然后读取对应的 USBHS_HCHxINTSTS 寄存器以获取对应通道产生中断的具体标志位。可通过 USBHS_HCHxINTSTS 寄存器将对应通道中断标志位清除，当对应通道的中断标志位被清除后，该中断标志位将自动清除。 备注：仅 Host 模式下有效
24	HPIF	主机端口中断标志位 当 USBHS 在主机模式下检测到端口状态改变时，此标志位被置起。软件需要先读取 USBHS_HPCS 寄存器以获取该中断源。可通过 USBHS_HPCS 寄存器将对应中断标志位清除，当产生端口中断的标志被清除后，该中断标志位将自动清除 备注：仅 Host 模式下有效
23	RSTDIF	复位中断标志位 当 Device 处于挂起模式，当检测到复位时，此标志位被置起。 备注：仅 Device 模式下有效
22	FETSUSPIF	数据获取挂起中断标志位 该中断仅在 DMA 模式下有效。该中断指示，模块因 TXFIFO 空间或请求队列空间不可用而停止为 IN 端点获取数据。应用程序端点不匹配时会用到该中断。 例如，在检测到端点不匹配后，应用程序将执行以下操作： <ul style="list-style-type: none"> <li>- 设置一个全局非周期性 IN NAK 握手信号</li> <li>- 禁止 IN 端点</li> <li>- 清空 FIFO</li> <li>- 根据 IN 令牌序列学习队列确定令牌序列</li> <li>- 重新使能端点</li> <li>- 清楚全局非周期性 IN NAK 握手</li> </ul> 如果全局非周期性 IN NAK 被清除，但模块尚未为 IN 端点获取数据，同时又已接收到 IN 令牌，则清零全局非周期性 IN NAK 握手信号：模块将产生“FIFO 为空时接收到 IN 令牌”中断。然后，将 NAK 响应发送给主机。为避免这种情况的发生，应用程序可以检查此标志位，该中断可确保全局 NAK 握手信号清零之前在 FIFO 是满的。 或者，应用程序可以在将全局 IN NAK 握手信号清零时屏蔽“FIFO 为空时接收到 IN 令牌”中断。 备注：仅 Device 模式下有效
21	PTNCIF	周期性传输未完成中断标志位 Host 模式：在当前帧结束时，仍有周期性事务未完成（此周期性事务计划在当前帧完成传输），此标志位被置起。
	ISOUTNCIF	同步 OUT 传输未完成中断标志位 Device 模式：在当前周期性帧结束时，仍有同步 OUT 端点未完成传输，此标志位被置起（同 EOPFIF 标志位一起置起）。
20	ISOINCIF	同步 IN 传输未完成中断标志位 在当前周期性帧结束时，仍有同步 IN 端点未完成传输，此标志位被置起（同 EOPFIF 标志位一起置起）。

位域	名称	描述
		备注：仅 Device 模式下有效
19	OUTEPIF	OUT 端点中断标志位 任意 OUT 端点挂起一个中断时，此标志位被置起。需要先读取 USBHS_DAEPINTSTS 寄存器获取对应 OUT 端点，然后读取相应的 USBHS_DOUTEPIFINTSTS 寄存器以获取产生中断的标志位。当产生中断的相应端点标志位被清除后，此中断标志位被自动清除。 备注：仅 Device 模式下有效
18	INEPIF	IN 端点中断标志位 当在设备模式下，任意 IN 端点挂起一个中断时，此标志位被置起。软件应该首先读取 USBHS_DAEPINT 寄存器获取对应 IN 端点，然后读取相应的 USBHS_DINEPIFINTSTS 寄存器以获取产生中断的标志位。当产生中断的相应端点标志位被清除后，此中断标志位被自动清除。 备注：仅 Device 模式下有效
17:16	Reserved	保留，必须保持复位值。
15	EOPPIF	周期性帧结束中断标志位 当一帧内 USB 总线时间已经达到 USBHS_DCFG.PFRITVL 定义的数值时，USBHS 将置位该中断标志位。 备注：仅 Device 模式下有效
14	ISOUTPDIF	同步 OUT 包丢失中断标志位 当 USBHS 接收到一个同步 OUT 包，但是 RX FIFO 没有足够的空间来接收同步 OUT 端点最大数据包，此标志位被置起。 备注：仅 Device 模式下有效
13	ENUMDIF	枚举完成中断标志位 当速度枚举完成后，此标志位被置起。 软件能够读取 USBHS_DSTS.ENUMSPD[1:0]，以获取当前设备速度。 备注：仅 Device 模式下有效
12	USBIRSTIF	USB 复位中断标志位 当 USB 总线上检测到一个 USB 复位信号后，此标志位被置起。 备注：仅 Device 模式下有效
11	USBSUSPIF	USB 挂起中断标志位 在 USB 上检测到挂起状态。当数据线上的空闲状态保持一段额外的时间后，模块进入挂起状态。此标志位被置起。 备注：仅 Device 模式下有效
10	ESUSPIF	早期挂起中断标志位 当检测到 USB 总线空闲 3ms 时，此标志位被置起。 备注：仅 Device 模式下有效
9:8	Reserved	保留，必须保持复位值。
7	GOUTNAKEIF	全局 OUT NAK 有效标志位 当 USBHS_DCTRL.SGONAK 位置 1，且在全局 OUT NAK 生效后，此标志位被置起。软件可通过向 USBHS_DCTRL.CGONAK 写 1 来清除该标志位。 备注：仅 Device 模式下有效

位域	名称	描述
6	GINNPNAKEIF	全局非周期性 IN NAK 有效标志位 当 USBHS_DCTRL.SGINAK 位置 1，且在全球 IN NAK 生效后，此标志位被置起。软件可通过向 USBHS_DCTR.CGINAK 写 1 来清除该标志位。 此中断不一定表示 USB 上已发送了一个 NAK 握手信号。STALL 位优先级高于 NAK 位。 备注：仅 Device 模式下有效
5	NPTXFEIF	非周期性 TX FIFO 空中断标志位 当非周期性 TX FIFO 半空或全空，且非周期性请求队列中存在写入至少一个条目时，此标志位被置起。TX FIFO 空阈值由 USBHS_GAHBCFG.NPTXFETH 决定。 备注：Host 模式和 Device 模式下有效
4	RXFNEIF	RX FIFO 非空中断标志位 当 Rx FIFO 中至少有一个数据包等待读取时，此标志位被置起。 备注：Host 模式和 Device 模式下有效
3	SOFIF	起始帧中断标志位 Host 模式：当模块在 USB 总线上已发送一个 SOF(FS)或 micro-SOF(HS) 或 Keep-Alive(LS)后，此标志位被置起。软件可以通过写 1 清除该中断标志位。 Device 模式： 当接收到一个 SOF 令牌包后，此标志位被置起。应用可以读取设备状态寄存器以获取当前帧号。只有运行在 HS 或 FS 模式下才会收到此中断。软件可以通过写 1 清除该中断标志位。 备注：Host 模式和 Device 模式下有效
2	Reserved	保留，必须保持复位值。
1	MODMISIF	模式不匹配中断标志位 当应用程序尝试做以下访问时，此标志位被置起： <ul style="list-style-type: none"> <li>- 模块运行在设备模式下访问主机模式寄存器</li> <li>- 模块运行在主机模式下访问设备模式寄存器</li> </ul> 寄存器访问在 AHB 上以 OKAY 响应结束，但该访问在内部被模块忽略并且不会影响模块运行。 备注：Host 模式和 Device 模式下有效
0	CMODE	当前工作模式 指示当前模式。 0: Device 模式 1: Host 模式 备注：Host 模式和 Device 模式下有效

#### 40.11.1.6 USBHS 全局中断使能寄存器 (USBHS\_GINTEN)

偏移地址：0x0018

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
WKUPIEN	Reserved	DISCIEN	IDSTSCIEN	Reserved	PTXFEIEN	HCHIEN	HPIEN	RSTDIEN	FETSUSPIEN	PTNCIEN ISOUTNCIEN	ISOINCIEN	OUTEPIEN	INEPIEN	Reserved	
rw		rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EOPFIEN	ISOUTPDIEN	ENUMDIEN	USB RSTIEN	USB SUSPIEN	ESUSPIEN	Reserved		GOUT NAKEIEN	GINNP NAKEIEN	NPTXFEIEN	RXFNEIEN	SOFIEN	USBHSIEN	MOD MISIEN	Reserved
rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31	WKUPIEN	恢复/远程唤醒中断使能 0: 禁能唤醒中断 1: 使能唤醒中断 <i>备注: Host 模式和 Device 模式下有效</i>
30	Reserved	保留, 必须保持复位值。
29	DISCIEN	断开中断使能 0: 禁能断开中断 1: 使能断开中断 <i>备注: 仅 Host 模式下有效</i>
28	IDSTSCIEN	ID 引脚状态改变中断使能 0: 禁能 ID 引脚状态改变中断 1: 使能 ID 引脚状态改变中断 <i>备注: Host 模式和 Device 模式下有效</i>
27	Reserved	保留, 必须保持复位值。
26	PTXFEIEN	周期性 TX FIFO 空中断使能 0: 禁能周期性 TX FIFO 空中断 1: 使能周期性 TX FIFO 空中断 <i>备注: 仅 Host 模式下有效</i>
25	HCHIEN	主机通道中断使能 0: 禁能主机通道中断 1: 使能主机通道中断 <i>备注: 仅 Host 模式下有效</i>
24	HPIEN	主机端口中断使能 0: 禁能主机端口中断 1: 使能主机端口中断 <i>备注: 仅 Host 模式下有效</i>
23	RSTDIEN	复位中断使能 0: 禁能复位中断 1: 使能复位中断 <i>备注: 仅 Device 模式下有效</i>
22	FETSUSPIEN	数据获取挂起中断使能 0: 禁能数据获取挂起中断 1: 使能数据获取挂起中断

位域	名称	描述
		备注：仅 Device 模式下有效
21	PTNCIEN	周期性传输未完成中断使能 Host 模式： 0：禁能周期性传输未完成中断 1：使能周期性传输未完成中断
	ISOUTNCIEN	同步 OUT 传输未完成中断使能 Device 模式： 0：禁能同步 OUT 传输未完成中断 1：使能同步 OUT 传输未完成中断
20	ISOINCIEN	同步 IN 传输未完成中断使能 0：禁能同步 IN 传输未完成中断 1：使能同步 IN 传输未完成中断 备注：仅 Device 模式下有效
19	OUTEPIEN	OUT 端点中断使能 0：禁能 OUT 端点中断 1：使能 OUT 端点中断 备注：仅 Device 模式下有效
18	INEPIEN	IN 端点中断使能 0：禁能 IN 端点中断 1：使能 IN 端点中断 备注：仅 Device 模式下有效
17:16	Reserved	保留，必须保持复位值。
15	EOPFIEN	周期性帧结束中断使能 0：禁能周期性帧结束中断 1：使能周期性帧结束中断 备注：仅 Device 模式下有效
14	ISOUTPDIEN	同步 OUT 包丢失中断使能 0：禁能同步 OUT 包丢失中断 1：使能同步 OUT 包丢失中断 备注：仅 Device 模式下有效
13	ENUMDIEN	枚举完成中断使能 0：禁能枚举完成中断 1：使能枚举完成中断 备注：仅 Device 模式下有效
12	USBRSTIEN	USB 复位中断使能 0：禁能 USB 复位中断 1：使能 USB 复位中断 备注：仅 Device 模式下有效
11	USBSUSPIEN	USB 挂起中断使能 0：禁能 USB 挂起中断 1：使能 USB 挂起中断 备注：仅 Device 模式下有效

位域	名称	描述
10	ESUSPIEN	早期挂起中断使能 0: 禁能早期挂起中断 1: 使能早期挂起中断 备注: 仅 Device 模式下有效
9:8	Reserved	保留, 必须保持复位值。
7	GOUTNAKEIEN	全局 OUT NAK 有效标志位 0: 禁能全局 OUT NAK 中断 1: 使能全局 OUT NAK 中断 备注: 仅 Device 模式下有效
6	GINNPNAKEIEN	全局非周期性 IN NAK 有效标志位 0: 禁能全局非周期性 IN NAK 中断 1: 使能全局非周期性 IN NAK 中断 备注: 仅 Device 模式下有效
5	NPTXFEIEN	非周期性 TX FIFO 空中断使能 0: 禁能非周期性 TX FIFO 空中断 1: 使能非周期性 TX FIFO 空中断 备注: Host 模式和 Device 模式下有效
4	RXFNEIEN	RX FIFO 非空中断使能 0: 禁能 RX FIFO 非空中断 1: 使能 RX FIFO 非空中断 备注: Host 模式和 Device 模式下有效
3	SOFIEN	起始帧中断使能 0: 禁能起始帧中断 1: 使能起始帧中断 备注: Host 模式和 Device 模式下有效
2	USBHSIEN	USBHS 中断使能 0: 禁能 USBHS 中断 1: 使能 USBHS 中断 备注: Host 模式和 Device 模式下有效
1	MODMISIEN	模式不匹配中断使能 0: 禁能模式不匹配中断 1: 使能模式不匹配中断 备注: Host 模式和 Device 模式下有效
0	Reserved	保留, 必须保持复位值。

#### 40.11.1.7 USBHS 全局接收状态寄存器 / 接收状态读取和弹出寄存器 (USBHS\_GRXSTS/USBHS\_GRXSTSP)

读偏移地址: 0x001C

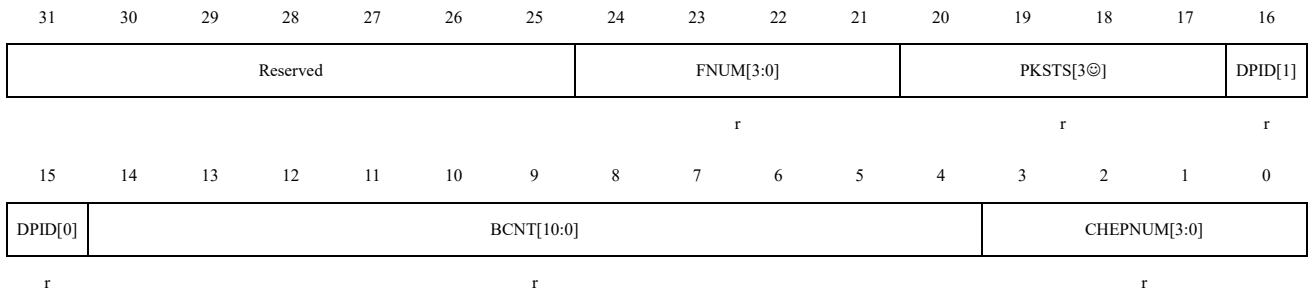
弹出偏移地址: 0x0020

复位值: 0x0000 0000

读 USBHS\_GRXSTS 寄存器, 将返回接收 FIFO 中顶部的内容。读 USBHS\_GRXSTSP 寄存器, 将额外的弹出 RX FIFO 的顶部数据。



在 Host 模式和 Device 模式下需要区分接收状态内容。当接收 FIFO 为空时, USBHS 将忽略 USBHS\_GRXSTSP。当 RX FIFO 非空中断标志位 USBHS\_GINTSTS.RXFNEIF 置位后, 应用程序只能读取 USBHS\_GRXSTS 寄存器。



位域	名称	描述
31:25	Reserved	保留, 必须保持复位值。
24:21	FNUM[3:0]	接收帧编号 接收帧编号低 4 位, 仅用于同步 OUT 端点 <i>备注: 仅 Device 模式下有效</i>
20:17	PKTSTS[3:0]	接收包状态: <b>Host 模式:</b> 0010: 接收到 IN 数据包 0011: IN 传输完成 (触发一个中断) 0101: 数据翻转错误 (触发一个中断) 0111: 通道中止 (触发一个中断) <b>Device 模式:</b> 0010: 全局 OUT NAK (触发一个中断) 0011: 接收到 OUT 数据包 0101: OUT 传输完成 (触发一个中断) 0100: SETUP 事务完成 (触发一个中断) 0111: 接收到 SETUP 数据包 (触发一个中断)
16:15	DPID[1:0]	数据 PID 在 Host 模式下, 表示接收数据包 PID; 在 Device 模式下, 表示接收 OUT 数据包 PID; 00: DATA0 10: DATA1 01: DATA2 11: MDATA
14:4	BCNT[10:0]	字节数 在 Host 模式下, 表示接收 IN 数据包字节数; 在 Device 模式下, 表示接收数据包字节数;
3:0	CHEPNUM[3:0]	通道/端点编号: <b>Host 模式:</b> 表示当前接收数据包的通道编号 <b>Device 模式:</b>

位域	名称	描述
		表示当前接收数据包的端点编号

#### 40.11.1.8 USBHS 全局接收 FIFO 大小寄存器 (USBHS\_GRXFSIZ)

偏移地址: 0x0024

复位值: 0x0000 0400

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
rw	rw	rw													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						RXFDEP[10:0]									
						rw									

位域	名称	描述
31:11	Reserved	保留, 必须保持复位值。
10:0	RXFDEP[10:0]	RX FIFO 深度 以 32 位字为单位 最小值为 16, 最大值为 1024

#### 40.11.1.9 USBHS 全局非周期性发送 FIFO 大小寄存器 (USBHS\_GNPTXFSIZ) / 设备 IN 端点 0 发送 FIFO 大小寄存器 (USBHS\_DINEP0TXFSIZ)

偏移地址: 0x0028

复位值: 0x0400 0400

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved						NPTXFDEP[10:0]/ IEP0TXFDEP[10:0]									
						rw									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						NPTXFSADD[10:0]/ IEP0TXFSADD[10:0]									
						rw									

Host 模式

位域	名称	描述
31:27	Reserved	保留, 必须保持复位值。
26:16	NPTXFDEP[10:0]	主机非周期性 TX FIFO 深度 以 32 位字计数 最小值为 16, 最大值为 1024, 不得超过复位值
15:11	Reserved	保留, 必须保持复位值。
10:0	NPTXFSADD[10:0]	主机非周期性 TX FIFO 起始地址 非周期性 TX FIFO 的起始地址

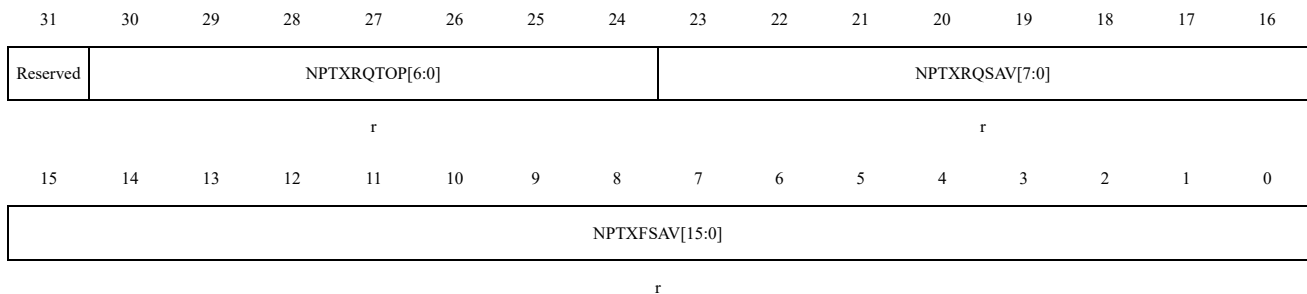
## Device 模式

位域	名称	描述
31:27	Reserved	保留，必须保持复位值。
26:16	IEP0TXFDEP[10:0]	IN 端点 0 TX FIFO 深度 以 32 位字为单位 最小值为 16，最大值为 1024，不得超过复位值
15:11	Reserved	保留，必须保持复位值。
10:0	IEP0TXFRSADD[10:0]	IN 端点 0 TX RAM 起始地址 端点 0 发送 FIFO RAM 的起始地址

**40.11.1.10 USBHS 全局非周期性发送 FIFO 状态寄存器 (USBHS\_GNPTXFSTS)**

偏移地址: 0x002C

复位值: 0x0000 0400



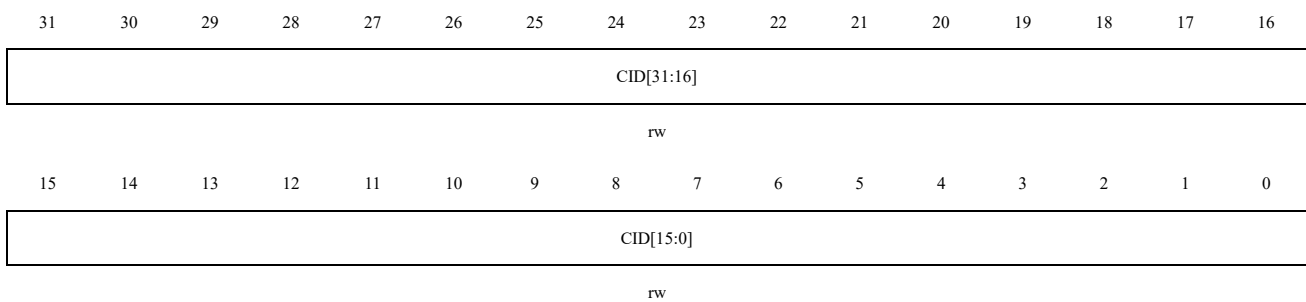
位域	名称	描述
31	Reserved	保留，必须保持复位值。
30:24	NPTXRQTOP[6:0]	非周期性发送请求队列的顶部 在非周期性传输请求队列中当前处理内容。 位 30:27: 通道号/端点号 位 26:25: – 00: IN/OUT 令牌 – 01: 长度为零的发送数据包 (Device IN/Host OUT) – 11: 通道停止命令 位 24: 结束，表明所选通道/端点的最后一个条目
23:16	NPTXRQSAV[7:0]	非周期性发送请求队列可用空间 表示非周期性请求队列中可用的剩余空间数量; Host 模式: 表示 IN 和 OUT 请求 Device 模式: 表示 IN 请求 0: 非周期发送请求队列已满 1: 1 个位置 2: 2 个位置 ... 8: 8 个位置 其他值: 保留

位域	名称	描述
15:0	NPTXFSAV[15:0]	非周期性 TX FIFO 可用空间 表示非周期性发送 FIFO 剩余可用空间 以 32 位字计数 0: 非周期性 TX FIFO 已满 1: 1 个字 2: 2 个字 ... n: n 个字(0≤n≤512) 其他值: 保留

#### 40.11.1.11 USBHS ID 寄存器 (USBHS\_CID)

偏移地址: 0x003C

复位值: 0x0000 3608

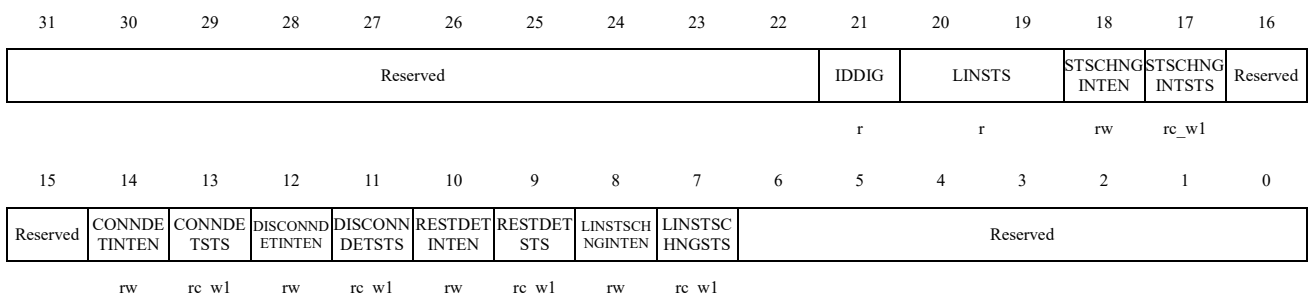


位域	名称	描述
31:0	CID	用户 ID (UserID) 应用程序可编程 ID 字段。 复位值可配置。 复位后的值: 0x12345678

#### 40.11.1.12 USBHS 全局断电寄存器 (USBHS\_GPD)

偏移地址: 0x0058

复位值: 0x0000 0010



位域	名称	描述
31:22	Reserved	保留，必须保持复位值。
21	IDDIG	IDDIG 信号状态 在接收到 USBHS_GPD.STSCHNGINTSTS 后必须读取此位，用于指示当前模式： 0: Host 模式 1: Device 模式
20:19	LINSTS[0:1]	Line 状态 00: DM=0, DP=0; 01: DM=0, DP=1; 10: DM=1, DP=0; 11: 保留
18	STSCHNGINTEN	状态改变中断使能 0: 不使能状态改变中断 1: 使能状态改变中断
17	STSCHNGINTSTS	状态改变标志位 0: 无状态改变 1: 检测到状态改变
16:15	Reserved	保留，必须保持复位值。
14	CONNDETINTEN	连接检测中断使能 0: 不使能连接检测中断 1: 使能连接检测中断
13	CONNDETSTS	连接状态检测 0: 没有检测到连接 1: 检测到连接
12	DISCONNDETINTEN	断开连接检测中断使能 0: 不使能断开连接检测中断 1: 使能断开连接检测中断
11	DISCONNDETSTS	断开连接状态检测 0: 没有检测到断开连接 1: 检测到断开连接
10	RESTDDETINTEN	复位检测中断使能 0: 不使能复位检测 1: 使能复位检测
9	RESTDDETSTS	检测复位状态 0: 没有检测到复位 1: 检测到复位
8	LINSTSCHNGINTEN	Line 状态改变中断使能 0: 不使能 Line 状态改变中断 1: 使能 Line 状态改变中断
7	LINSTSCHNGSTS	Line 状态改变状态 0: 没有 Line 状态改变 1: 有 Line 状态改变

位域	名称	描述
6:0	Reserved	保留，必须保持复位值。

#### 40.11.1.13 USBHS 主机周期性发送 FIFO 大小 (USBHS\_HPTXF5IZ)

偏移地址: 0x00100

复位值: 0x0000 0000



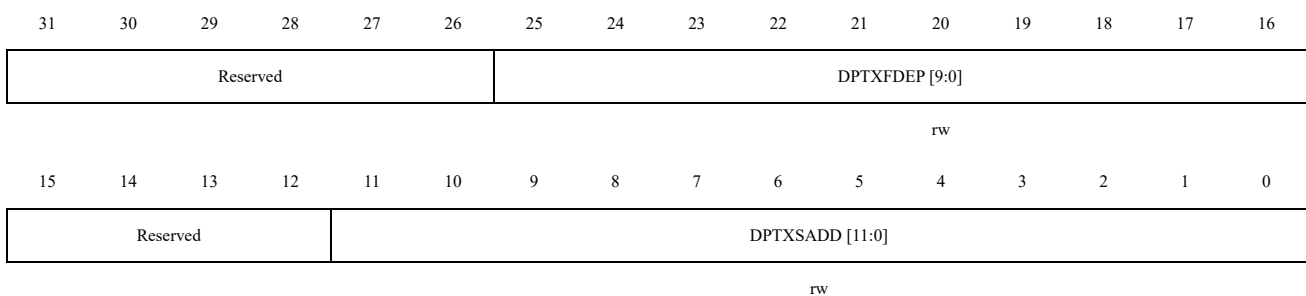
位域	名称	描述
31:16	HPTXFDEP[15:0]	主机周期性 TX FIFO 深度 以 32 位字计数 最小值为 16, 最大值为 1024
15:0	HPTXFSADD[15:0]	主机周期性 TX FIFO 起始地址

#### 40.11.1.14 USBHS 设备 IN 端点周期性发送 FIFO 大小 (USBHS\_DINEPPTXFSIZ<sub>x</sub>) (x=[1..8])

偏移地址: 0x00104 + (x-1)×4

复位值: 0x0100 0500

设备周期性 TX FIFO 大小寄存器



位域	名称	描述
31:27	Reserved	保留，必须保持复位值。
26:16	INEPTXFDEP [10:0]	设备周期性 TX FIFO 深度 以 32 位字计数 最小值为 4, 最大值为 768
15:11	Reserved	保留，必须保持复位值。
10:0	INEPTXSADD [10:0]	设备周期性 TX FIFO 起始地址

## 设备 IN 端点 TX FIFO 大小寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved						INEPTXFDEP [10:0]									
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						INEPTXSADD [10:0]									
rw															

位域	名称	描述
31:27	Reserved	保留，必须保持复位值。
26:16	INEPTXFDEP [10:0]	IN 端点 TX FIFO 深度 以 32 位字计数 最小值为 16，最大值为 1024
15:11	Reserved	保留，必须保持复位值。
10:0	INEPTXSADD [10:0]	IN 端点 TX FIFO 起始地址

## 40.11.2 USBHS 主机控制和状态寄存器

### 40.11.2.1 USBHS 主机配置寄存器 (USBHS\_HCFG)

偏移地址: 0x0400

复位值: 0x0000 0200

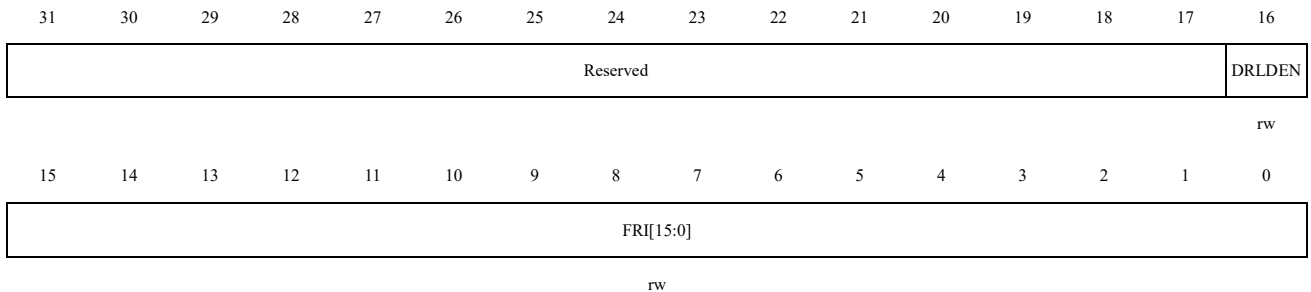
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
rw			rw			rw									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													SPSEL	Reserved	
rw															

位域	名称	描述
31:3	Reserved	保留，必须保持复位值。
2	SPSEL	USB 速度选择 软件可以利用此位限制 USBHS 的枚举速度为 FS/LS，并且使 USBHS 在复位的过程中不执行高速枚举。 0: USBHS 支持 HS/FS/LS 1: USBHS 支持 FS/LS
1:0	Reserved	保留，必须保持复位值。

### 40.11.2.2 USBHS 主机帧间隔寄存器 (USBHS\_HFRI)

偏移地址: 0x0404

复位值: 0x0000 EA60

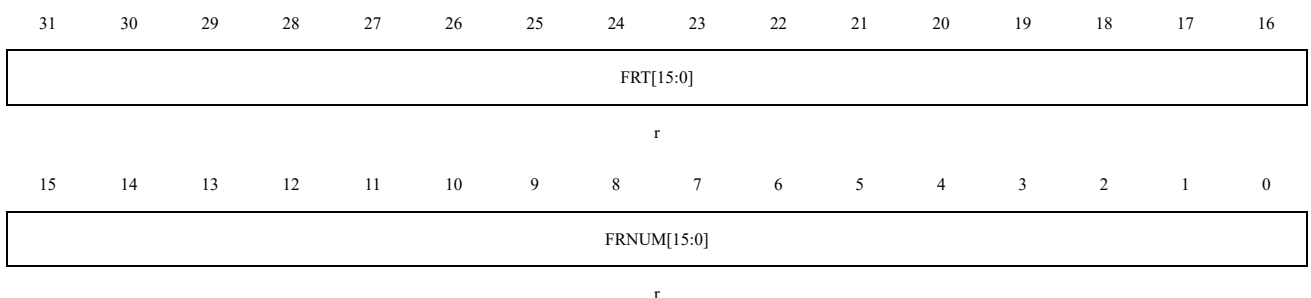


位域	名称	描述
31:17	Reserved	保留, 必须保持复位值。
16	DRLDEN	动态重载使能 (Reload control) 该位允许在运行期间动态重载 HFIR 寄存器。 0: 无法动态重载 HFIR 1: 运行期间可动态重载 HFIR。 此位需要在初始配置期间编程, 并且不得在运行期间更改其值。
15:0	FRI[15:0]	帧间隔 应用程序在此字段编程的值用于指定两个连续 micro-SOF(HS)或 SOF(FS)或 Keep-Alive 令牌 (LS) 之间的时间间隔。此字段以 PHY 时钟为单位来设置帧间隔。 当 PHY 时钟频率为 60 MHz 时, 此字段设置的默认值用于 FS 操作。应用程序只有将主机端口使能位 (USBHS_HPCS.PEN) 置 1 后, 才能向此字段写入值。如果未对值进行编程, 模块将根据 PHY 时钟来计算。初始配置后请勿更改此字段的值 HS 帧间隔时间为 125us FS/LS 帧间隔为 1ms

### 40.11.2.3 USBHS 主机帧编号/帧剩余时间寄存器 (USBHS\_HFNUM)

偏移地址: 0x0408

复位值: 0x0000 3FFF



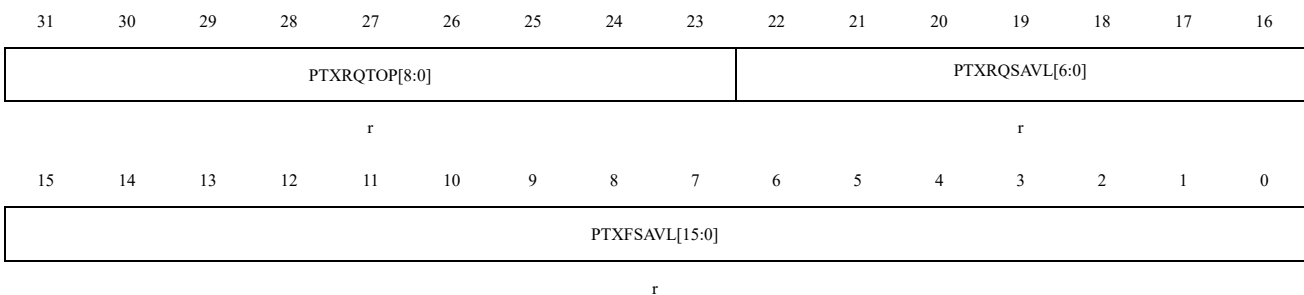


位域	名称	描述
31:16	FRT[15:0]	帧剩余时间 指示当前帧的剩余时间（以 PHY 时钟数为单位）。每过去 1 个 PHY 时钟，此字段递减 1。当值达到零时，此字段将重新装载帧间隔寄存器 (USBHS_HFRI.FRI[15:0]) 的值，并由模块在 USB 上发送一个新 SOF。
15:0	FRNUM[15:0]	帧编号 当每发送完成 SOF 帧后，此字段自动加 1，当其增加到 0x3FFF 后，其值变为 0。

#### 40.11.2.4 USBHS 主机周期性发送 FIFO/队列状态寄存器 (USBHS\_HPTXFQSTS)

偏移地址：0x0410

复位值：0x0008 0400



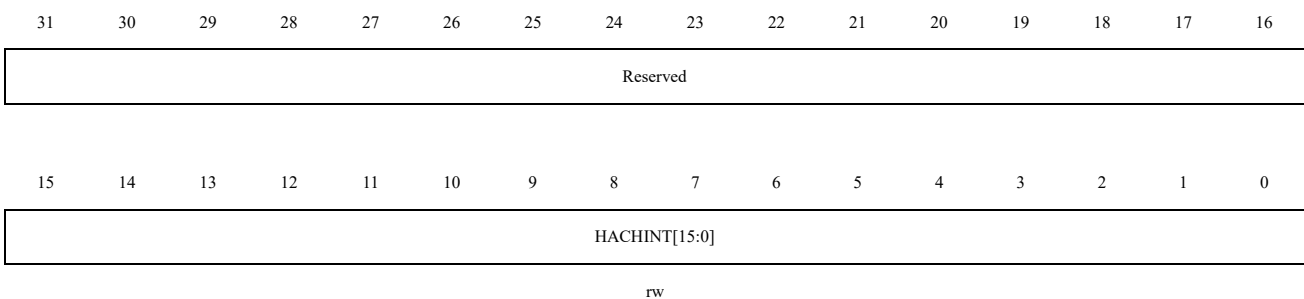
位域	名称	描述
31:23	PTXRQTOP[8:0]	周期性传输发送请求队列顶部条目 指示周期性传输 TX 请求队列中当前正在处理的条目。 位 31: 奇数/偶数帧 (Odd/Even frame) - 0: 以偶数帧发送 - 1: 以奇数帧发送 位 30:27: 通道/端点编号 位 26:25: 类型 - 00: IN/OUT 令牌 - 01: 零长度数据包 - 10: CSPLIT - 11: 禁止通道命令 位 24: 所选周期性通道/端点最后一个周期条目 位 23: 中止标志，指示所选通道/端点的最后一个条目
22:16	PTXRQSAVL[6:0]	周期性传输发送请求队列可用空间 指示可供写入的周期性传输发送请求队列的空闲位置的数量。该队列既包含 IN 请求，又包含 OUT 请求。 0: 周期性发送请求队列已满 1: 1 个位置可用 2: 2 个位置可用 ... n: n 个位置可用 (0 ≤ n ≤ 16)

		其它值：保留
15:0	PTXFSAVL[15:0]	周期性传输发送数据 FIFO 可用空间 指示可供写入的周期性传输 TX FIFO 的剩余可用空间数量。 以 32 位字为单位 0：周期性 TX FIFO 已满 1：1 个字可用 2：2 个字可用 ... n：n 个字可用（其中 $0 \leq n \leq \text{USBHS\_HPTXFSIZ.HPTXFDEP}[15:0]$ ） 其它值：保留

#### 40.11.2.5 USBHS 主机所有通道中断寄存器（USBHS\_HACHINT）

偏移地址：0x0414

复位值：0x0000 0000

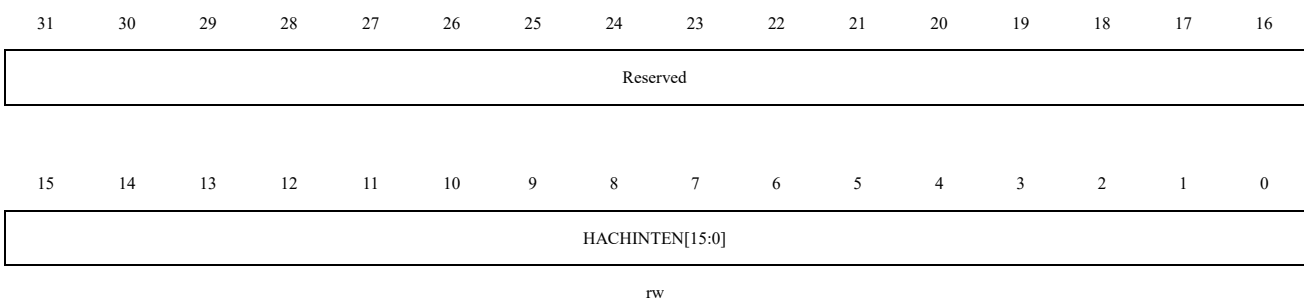


位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	HACHINT[15:0]	通道中断编号 每个通道一位：CH0 对应 bit0，CH15 对应 bit15

#### 40.11.2.6 USBHS 主机所有通道中断使能寄存器（USBHS\_HACHINTEN）

偏移地址：0x0418

复位值：0x0000 0000



位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	HACHINTEN[15:0]	通道中断使能 每个通道一位：CH0 对应 bit0，CH15 对应 bit15 0：使能通道中断 1：禁能通道中断

#### 40.11.2.7 USBHS 主机端口控制和状态寄存器 (USBHS\_HPCS)

偏移地址：0x0440

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved													PSPD[1:0]		PT CTRL[3]
rw	rw	rw											r		rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PTCTRL[2:0]		PPWR	PLSTS[1:0]		Reserved	PRST	PSUSP	PRES	POCC	POCA	PENC	PEN	PCDET	PCSTS	
rw		rw	r			rw	rs	rw	rc_wl	r	rc_wl	rc_wl	rc_wl	r	

位域	名称	描述
31:19	Reserved	保留，必须保持复位值。
18:17	PSPD[1:0]	端口速度 指示连接到该端口的设备的速度。 00：高速 01：全速 10：低速 11：保留
16:13	PTCTRL[3:0]	端口测试控制 软件向该字段写入一个非零值以使端口进入测试模式，同时端口上会产生对应模式的信号。 0000：测试模式禁止 0001：Test_J 模式 0010：Test_K 模式 0011：Test_SE0_NAK 模式 0100：Test_Packet 模式 0101：强制测试使能 其他值：保留
12	PPWR	端口电源 应用程序使用该字段控制该端口的电源，且发生过流情况时，模块会将该位清零。 0：掉电 1：上电
11:10	PLSTS[1:0]	端口线状态

位域	名称	描述
		指示 USB 数据线的当前逻辑电平 bit10: DP 的逻辑电平 bit11: DM 的逻辑电平
9	Reserved	保留, 必须保持复位值。
8	PRST	端口复位 应用程序将该位置 1 时, 会在该端口上启动复位序列。应用程序必须为复位周期计时, 并在复位序列完成后将该位清零。 0: 端口未处于复位状态 1: 端口处于复位状态 应用程序必须将此位保持设置至少如下所述的最小持续时间, 以启动端口复位。应用程序可以在所需的最小持续时间之外, 再将其保持设置 10 毫秒, 然后再清除此位, 尽管 USB 标准没有设定最大限制。即使主机没有连接设备, 该位也会被硬件清除。 HS: 50 ms FS/LS: 10 ms
7	PSUSP	端口挂起 将此位置 1 后, 模块停止发送 SOF。当该控制位被置位后, 该控制位只能通过以下操作清除。 – 置位 USBHS_HPCS.PRST 位 – 置位 USBHS_HPCS.PRES 位 – 检测到一个远程唤醒信号 – 检测到一个设备断开 0: 端口未处于挂起模式 1: 端口处于挂起模式
6	PRES	端口恢复 如果 USBHS 检测到 USB 远程唤醒序列, 如 USBHS 中断寄存器 (USBHS_GINTSTS.WKUIF) 的端口恢复/远程唤醒检测中断位指示, USBHS 将在无需应用程序干预的情况下开始发出恢复信号, 并在检测到断开连接条件时清除此位。读取此位的值可指示 USBHS 当前是否正在发出恢复信号。 0: 无恢复信号 1: 产生恢复信号
5	POCC	端口过流变化 该寄存器中端口过流激活位 (bit4) 状态发生变化时, 模块将此位置 1
4	POCA	端口过流激活 此位指示端口的过流状态。 0: 无过流产生 1: 有过流产生
3	PENC	端口使能/禁止变化 该寄存器中的端口使能位 (bit2) 的状态发生变化时, 模块将此位置 1。
2	PEN	端口使能 端复位序列完成后, 自动将此位置 1。可以由过流、断开连接状况或应用程序将此位清零来。此位无法由软件置位。

位域	名称	描述
		0: 禁能端口 1: 使能端口
1	PCDET	检测到端口连接 当检测到设备连接时, 模块将此位置 1, 以使用模块中断寄存器中的主机端口中断位 (USBHS_GINTSTS.HPIF) 触发应用程序的中断。应用程序必须将此位置 1 才可清除该中断
0	PCSTS	端口连接状态 0: 端口未连接设备 1: 端口已连接设备

#### 40.11.2.8 USBHS 主机通道控制寄存器 (USBHS\_HCHxCTRL) (x=[0..15])

偏移地址:  $0x0500 + x \times 20$

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
CHEN	CHDIS	ODDFRM	DEVADDR[6:0]						MCNT[1:0]	EPTYPE[1:0]	LSPDDEV	Reserved					
rs	rs	rw	rw						rw	rw	rw						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
EPDIR	EPNUM[3:0]			MPS[10:0]													
rw	rw			rw													

位域	名称	描述
31	CHEN	通道使能 此字段由应用程序软件置 1, 硬件清零。 0: 通道禁能 1: 通道使能
30	CHDIS	通道禁能 应用程序将此位置 1 以停止通过通道发送/接收数据, 即使通过该通道的传输还未完成, 停止操作仍然生效。应用程序必须等待禁止通道的中断以确认通道已经被禁止。 0: 通道上发送/接收数据正常 1: 通道上发送/接收数据停止
29	ODDFRM	奇偶帧控制 对于周期性传输 (中断或同步传输), 该位控制将要处理的通道事务为奇数帧还是偶数帧 0: 偶数帧 1: 奇数帧
28:22	DEVADDR[6:0]	设备地址 与该通道通信的 USB 设备地址。
21:20	MCNT[1:0]	多包计数 对于周期性传输, 该位域指定主机每个微帧必须执行的事务数量。

位域	名称	描述
		对于非周期性传输，该位域指定在内部 DMA 更改仲裁之前，DMA 为此通道获取或写入的包数量。 00: 保留 01: 每微帧发出 1 个事务 10: 每微帧发出 2 个事务 11: 每微帧发出 3 个事务
19:18	EPTYPE[1:0]	端点类型 00: 控制 01: 同步 10: 批量 11: 中断
17	LSPDDEV	低速设备 (Low-speed device) 此字段由应用程序置 1，表示此通道正在与一个低速设备进行通信。
16	Reserved	保留，必须保持复位值。
15	EPDIR	端点方向 指示通信事务的方向。 0: OUT 1: IN
14:11	EPNUM[3:0]	端点编号 指示要与该主机通道通信的 USB 设备的端点号。
10:0	MPS[10:0]	最大数据包大小 指示与该主机通道通信的设备端点的最大数据包大小。

#### 40.11.2.9 USBHS 主机通道分裂控制寄存器 (USBHS\_HCHxSCTRL) (x=[0..15])

偏移地址: 0x0504 + x×20

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SPLEN		Reserved												COMP SPLF	
rw														rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRANPOS[1:0]		HUBADDR[6:0]						PRTADD[6:0]							
rw		rw						rw							

位域	名称	描述
31	SPLEN	分裂使能 软件可以置位该控制位以使能在该通道上的分裂事务。分裂事务用于通过 HUB 和一些全速和低速设备端点初始化全速/低速事务。
30:17	Reserved	保留，必须保持复位值。
16	COMPSPLF	执行完成分离

位域	名称	描述
		应用程序将此位置 1 时，请求主机执行完成分裂通信事务。
15:14	TRANPOS[1:0]	事务位置 此字段用于确定在每个 OUT 事务中是否发送全部、第一个、中间或最后一个有效负载。它用于指定在 OUT 事务中发送有效负载数据的位置和方式 00: 中间。表示在此事务中发送的是有效负载的中间部分（有效负载大小大于 188 字节） 01: 结尾。表示在此事务中发送的是有效负载的最后一部分（有效负载大小大于 188 字节） 11: 全部。表示在此事务中发送的是有效负载的全部数据（有效负载大小小于或等于 188 字节） 10: 起始。表示在此事务中发送的是有效负载的第一个部分（有效负载大小大于 188 字节）
13:7	HUBADD[6:0]	Hub 地址 此字段存储 Hub 地址。
6:0	PRTADD[6:0]	端口地址 (Port address) 此字段是接收方事务转发器的端口号。

#### 40.11.2.10 USBHS 主机通道中断状态寄存器 (USBHS\_HCHxINTSTS) (x=[0..15])

偏移地址:  $0x0508 + x \times 20$

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				DTERRIF	FOVRIF	BBERRIF	TXERRIF	NYETIF	ACKIF	NAKIF	STALLIF	AHBERRIF	CHHTDIF	TXCFIF	
				re_w1	re_w1	re_w1	re_w1	re_w1	re_w1	re_w1	re_w1	re_w1	re_w1	re_w1	

位域	名称	描述
31:11	Reserved	保留，必须保持复位值。
10	DTERRIF	数据翻转错误中断 0: 无数据翻转错误 1: 有数据翻转错误
9	FOVRIF	帧溢出 0: 无帧溢出 1: 有帧溢出
8	BBERRIF	串扰错误 0: 无串扰错误 1: 有串扰错误

位域	名称	描述
7	TXERRIF	事务错误 表示在 USB 上发生下述任一错误 <ul style="list-style-type: none"> <li>■ CRC 校验失败</li> <li>■ 超时</li> <li>■ 位填充错误</li> <li>■ 错误的 EOP</li> </ul> 0: 无事务错误 1: 有事务错误
6	NYETIF	NYET 响应接收中断 0: 无 NYTE 响应接收中断 1: 有 NYTE 响应接收中断
5	ACKIF	ACK 响应接收/发送中断 0: 无 ACK 响应接收/发送中断 1: 有 ACK 响应接收/发送中断
4	NAKIF	NAK 响应接收中断 0: 无 NAK 响应接收/发送中断 1: 有 NAK 响应接收/发送中断
3	STALLIF	STALL 响应接收中断 0: 无 STALL 响应接收/发送中断 1: 有 STALL 响应接收/发送中断
2	AHBERRIF	AHB 错误 0: 无 AHB 错误 1: 在 AHB 读写期间发生 AHB 错误
1	CHHTDIF	通道停止 当 DMA 未被使能时: 它表示传输异常完成, 可能是由于任何 USB 事务错误, 应用程序的禁用请求或已完成的传输而导致的。 当 DMA 使能时: 这表示因任意 USB 事务错误或为响应应用程序的禁止请求而导致传输非正常结束。 0: 通道未停止 1: 通道停止
0	TXCFIF	传输完成 0: 传输中或无传输 1: 传输完成

#### 40.11.2.11 USBHS 主机通道中断使能寄存器 (USBHS\_HCHxINTEN) (x=[0..15])

偏移地址: 0x050C + x×20

复位值: 0x0000 0000



31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

Reserved													
----------	--	--	--	--	--	--	--	--	--	--	--	--	--

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

Reserved	DTERR IEN	FOVRIEN	BBERR IEN	TXERR IEN	NYETIEN	ACKIEN	NAKIEN	STALL IEN	AHBERR IEN	CHHLTD IEN	TXCIEN
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

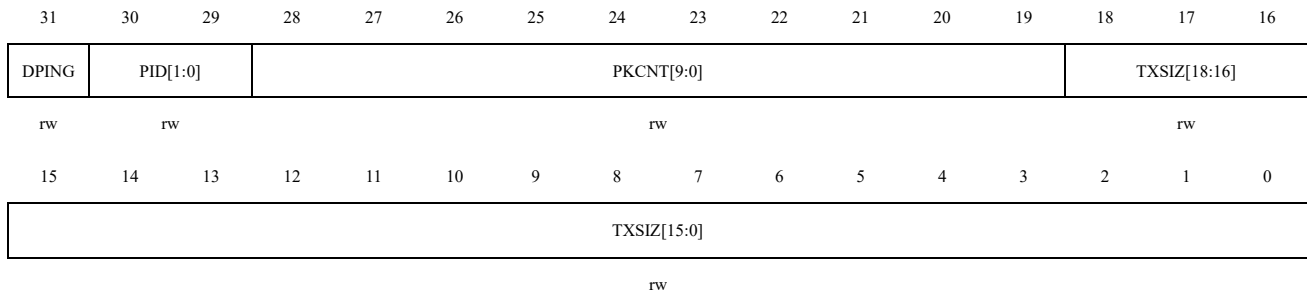
位域	名称	描述
31:11	Reserved	保留，必须保持复位值。
10	DTERRIEN	数据翻转错误中断使能 0: 中断禁能 1: 中断使能
9	FOVRIEN	帧溢出中断中断使能 0: 中断禁能 1: 中断使能
8	BBERRIEN	串扰错误中断使能 0: 中断禁能 1: 中断使能
7	TXERRIEN	事务错误中断使能 0: 中断禁能 1: 中断使能
6	NYETIEN	NYET 响应接收中断使能 0: 中断禁能 1: 中断使能
5	ACKIEN	ACK 响应接收/发送中断使能 0: 中断禁能 1: 中断使能
4	NAKIEN	NAK 响应接收中断使能 0: 中断禁能 1: 中断使能
3	STALLIEN	STALL 响应接收中断使能 0: 中断禁能 1: 中断使能
2	AHBERRIEN	AHB 错误中断使能 0: 中断禁能 1: 中断使能
1	CHHTDIEN	通道停止中断使能 0: 中断禁能 1: 中断使能
0	TXCIEN	传输完成中断使能 0: 中断禁能

位域	名称	描述
		1: 中断使能

#### 40.11.2.12 USBHS 主机通道传输大小寄存器 (USBHS\_HCHxTXSIZ) (x=[0..15])

偏移地址:  $0x0510 + x \times 20$

复位值: 0x0000 0000

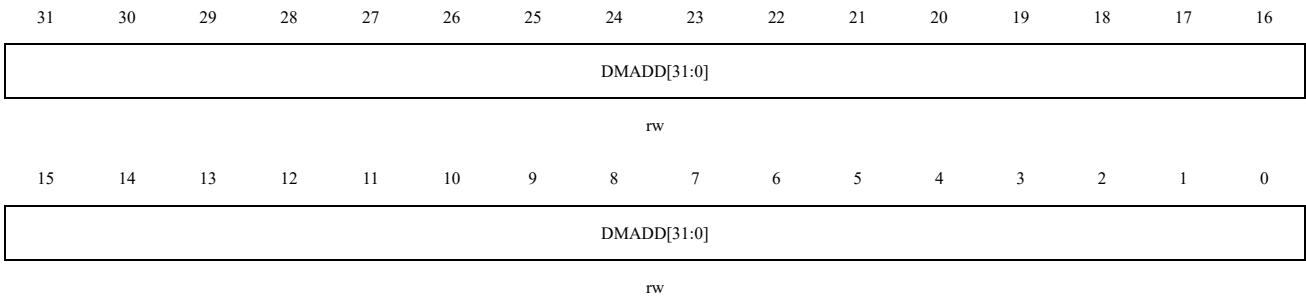


位域	名称	描述
31	DPING	PING 令牌请求 此位仅对于 OUT 传输有效, 如果软件置位该控制位, USBHS 会执行 PING 协议。当 OUT 事务接收到一个 NAK 或 NYET 握手包时, USBHS 会自动置位该控制位。不要在 IN 传输设置此位。
30:29	PID[1:0]	数据 PID 软件应该在传输起始之前写该段位域。对于 OUT 传输, 该位域包含第一个传输包的数据 PID。对于 IN 传输, 该位域包含第一个接收包的数据 PID。在传输开始之后, USBHS 遵循 USB 协议自动改变和切换该位域。 00: DATA0 01: DATA2 10: DATA1 11: MDATA (非控制) /SETUP (控制)
28:19	PKCNT[9:0]	数据包计数 应用程序在此字段中设置将要发送 (OUT) 或接收 (IN) 的数据包数。主机每成功发送或接收一个 OUT/IN 数据包便递减一次计数值。此值达到 0 后, 将中断应用程序来指示操作正常完成。
18:0	TXSIZ[18:0]	传输大小 对于 OUT 操作, 此字段为传输期间主机发送的数据字节数。 对于 IN 操作, 此字段为应用程序保留给传输的缓冲区大小。对于 IN 事务 (周期性和非周期性), 应用程序会将此字段编程为最大数据包大小的整数倍。

#### 40.11.2.13 USBHS 主机通道 DMA 地址寄存器 (USBHS\_HCHxDMADD) (x=[0..15])

偏移地址:  $0x0514 + x \times 20$

复位值: 0x0000 0000



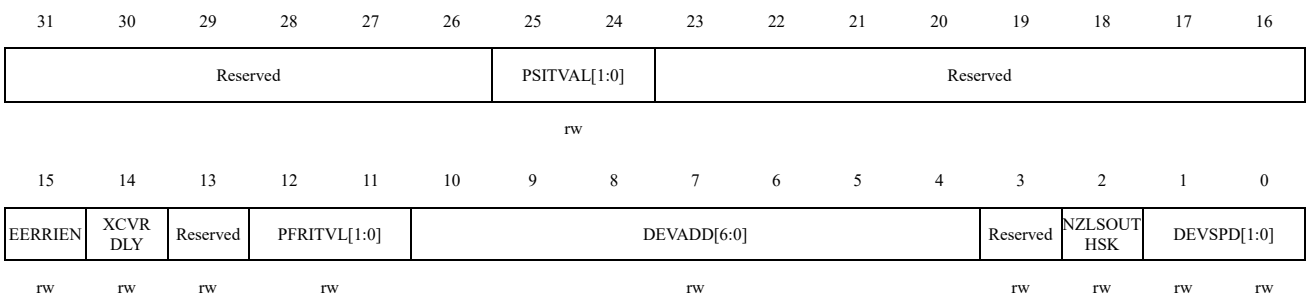
位域	名称	描述
31:0	DMADD[31:0]	DMA 地址 此字段存储主机从设备端点获取数据或向设备端点发送数据所用的内存的起始地址。每次进行 DMA 传输，该寄存器都会递增。

### 40.11.3 USBHS 设备控制和状态寄存器

#### 40.11.3.1 USBHS 设备配置寄存器 (USBHS\_DCFG)

偏移地址：0x0800

复位值：0x0802 0000



位域	名称	描述
31:26	Reserved	保留，必须保持复位值。
25:24	PSITVL[1:0]	周期性调度间隔 此字段指定内部 DMA 必须为获取周期性 IN 端点数据分配的时间。根据周期性端点数量的不同，必须将此值指定为 25%、50%或 75%的（微）帧。 – 只要存在活动的周期性端点，内部 DMA 便会为获取周期性 IN 端点数据分配指定的时间 – 没有任何活动周期性端点时，内部 DMA 将仅用于非周期性端点并忽略此字段 – 经过一（微）帧中指定的时间后，DMA 切换为获取非周期性端点上的传输数据 00: 25%（微）帧 01: 50%（微）帧

位域	名称	描述
		10: 75% (微) 帧 11: 保留
23:16	Reserved	保留, 必须保持复位值。
15	EERRAIEN	不定错误中断使能 1: 发生不定错误时不触发早期挂起中断 0: 发生不定错误时生成早期挂起中断
14	XCVRDLY	收发器延时 使能或禁止器件啁啾期间 PHY 时序的延迟。 0: 禁止延时 (使用默认时序) 1: 使能默认时序的延时
13	Reserved	保留, 必须保持复位值。
12:11	PFRITVL[1:0]	周期性帧间隔 指示在一帧内应当通过"周期性帧结束中断"通知应用程序的时间。此功能可用于确定该帧的所有同步通信是否完成。 00: 80% 帧间隔 01: 85% 帧间隔 10: 90% 帧间隔 11: 95% 帧间隔
10:4	DEVARR[6:0]	设备地址 应用程序必须在执行每个 SetAddress 控制命令后根据命令参数对该字段进行设置。
3	Reserved	保留, 必须保持复位值。
2	NZLSOUTHSK	非零长度状态 OUT 握手信号 在控制传输状态阶段的 OUT 事务期间, 当模块收到非零长度数据包后, 应用程序可以使用此字段选择要发送的握手信号。 1: 收到非零长度状态 OUT 事务时, 回复 STALL 握手信号, 收到的 OUT 数据包不发送给应用程序。 0: 将收到的 OUT 数据包 (零长度或非零长度) 发送给应用程序, 并基于设备端点控制寄存器中端点的 NAK 和 STALL 位回复握手信号。
1:0	DEVSPD[1:0]	设备速度 设备连入主机后的设备速度 00: HS 01: FS 其他值: 保留

### 40.11.3.2 USBHS 设备控制寄存器 (USBHS\_DCTRL)

偏移地址: 0x0804

复位值: 0x0000 0002

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved															NAKOBBLE	
rw	rw	rw													rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved			POPDNE	CGONAK	SGONAK	CGNPINAK	SGINAK	TSCTRL[2:0]				GONAKSTS	GINAKSTS	SFTDIS	RMWKUP	
			rw	w	w	w	w					rw	r	r	rw	rw

位域	名称	描述
31:17	Reserved	保留，必须保持复位值。
16	NAKOBBLE	串扰错误回复 NAK 在发生串扰错误的端点自动设置回复 NAK。
15:12	Reserved	保留，必须保持复位值。
11	POPDNE	上电初始化完成 软件通过设置该位，通知 USBHS 寄存器在从掉电模式下唤醒，然后完成初始化。
10	CGONAK	清除全局 OUT NAK 软件设置该位从而清零该寄存器的 GONAKSTS 位
9	SGONAK	设置全局 OUT NAK 对此位执行写操作会将全局 OUT NAK 置 1。应用程序在所有 OUT 端点发送 NAK 握手信号。应用程序只有确定模块中断寄存器中的全局 OUT NAK 有效位（USBHS_GINTSTS.GOUTNAKEIF）已清零时，才可以将此位置 1。
8	CGNPINAK	清除全局非周期性 IN NAK 对此位执行写操作会将全局非周期性 IN NAK 清零。
7	SGINAK	设置全局非周期性 IN NAK 对此位执行写操作会将全局非周期性 IN NAK 置 1。应用程序使用此位在所有非周期 IN 端点上发送 NAK 握手。当在共享 FIFO 操作中检测到非周期端点的超时条件时，硬件也可以设置此位。应用程序只有在确认模块中断寄存器（USBHS_GINTSTS.GINNPNAKEIF）中的全局 IN NAK 有效位已被清除后，才能将此位设置为 1。
6:4	TSCTRL[2:]	测试控制 000: 测试模式禁止 001: Test_J 模式 010: Test_K 模式 011: Test_SE0_NAK 模式 100: Test_Packet 模式 101: 强制测试使能 其他值: 保留
3	GONAKSTS	全局 OUT NAK 状态 0: 将根据 FIFO 状态和 NAK 和 STALL 位设置发送握手信号。 1: 无论 RX FIFO 中是否还有空闲空间都不接收数据。除 SETUP 事务之

位域	名称	描述
		外，对所有收到的数据包回复 NAK 握手信号。所有同步类型的 OUT 数据包都将被丢弃。
2	GINAKSTS	全局非周期性 IN NAK 状态 0: 根据 TX FIFO 中是否有待发送的数据回复握手信号。 1: 使所有非周期性 IN 端点回复 NAK 握手信号，无需考虑发送 FIFO 中是否有待发送的数据。
1	SFTDIS	软断开 应用程序使用该位向 USB 模块发出执行软断开的信号。该位置 1 时，主机不会看到设备已连接，且该设备也不会接收 USB 上的信号。在应用程序将此位清零之前，模块会保持断开状态。 0: 正常工作。 1: 向 USB 主机发送设备断开事件
0	RMWKUP	发送远程唤醒信号 应用程序将此位置 1 时，模块会发送远程唤醒信号给主机。应用程序必须将此位置 1 以使模块退出挂起状态。根据 USB 2.0 规范，应用程序必须在将此位置 1 之后的 1 ms 到 15 ms 内将其清零。 0: 不发送远程唤醒信号 1: 发送远程唤醒信号

### 40.11.3.3 USBHS 设备状态寄存器 (USBHS\_DSTS)

偏移地址: 0x0808

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								DEVLINSTS[1:0]		SOFFN[13:8]					
								r		r					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOFFN[7:0]							Reserved			ERERRF	ENUMSPD[1:0]	SUSPF			
r										r	r	r			

位域	名称	描述
31:24	Reserved	保留，必须保持复位值。
23:22	DEVLINSTS[1:0]	设备线状态 指示 USB 数据线的当前逻辑电平。 bit23: D+ 的逻辑电平 bit22: D- 的逻辑电平
21:8	SOFFN[13:0]	所接收的 SOF 帧编号 USBHS 会在接收到一个 SOF 令牌后更新该域。
7:4	Reserved	保留，必须保持复位值。
3	ERERRF	不定错误 模块将该位置 1 以报告任何不定错误。由于不定错误， USB_HS 控制

位域	名称	描述
		器会进入挂起状态，并且会以 USBHS_GINTSTS 寄存器的早期挂起位（USBHS_GINTSTS.ESUSPIF）为应用程序生成一个中断。如果早期挂起中断是由不定错误触发，则应用程序只能执行软断开以恢复通信。
2:1	ENUMSPD[1:0]	枚举速度 该域指示所枚举的设备速度。 00：高速 01：全速 其他：保留
0	SUSPF	挂起状态 在设备模式下，只要在 USB 上检测到挂起状态，该位就会置 1。当 USB 数据线上的空闲状态保持 3 ms，模块便会进入挂起状态。出现以下情况时，模块会退出挂起状态： – USB 数据线上有活动 – 应用程序对 USBHS_DCTRL 寄存器的远程唤醒信号位（USBHS_DCTRL.RMWKUP）执行写操作

#### 40.11.3.4 USBHS 设备 IN 端点通用中断寄存器（USBHS\_DINEPINTEN）

偏移地址：0x0810

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	NAKIEN	Reserved				TXFUDIEN	Reserved	INEPNAKEIEN	INTREPMSEIEN	TXFERINTKIEN	TOIEN	AHBERRIEN	EPDISIEN	TXCIEN	
	rw					rw		rw	rw	rw	rw	rw	rw	rw	

位域	名称	描述
31:14	Reserved	保留，必须保持复位值。
13	NAKIEN	NAK 中断使能 0：禁能中断 1：使能中断
12:9	Reserved	保留，必须保持复位值。
8	TXFUDIEN	TX FIFO 下溢中断使能 0：禁能中断 1：使能中断
7	Reserved	保留，必须保持复位值。
6	INEPNAKEIEN	IN 端点 NAK 有效中断使能 0：禁能中断 1：使能中断

位域	名称	描述
5	INTREPMISIEN	端点不匹配接收 IN 令牌中断使能 0: 禁能中断 1: 使能中断
4	TXFERINTKIEN	TXFIFO 为空时接收到 IN 令牌中断使能 0: 禁能中断 1: 使能中断
3	TOIEN	超时中断使能（非同步端点） 0: 禁能中断 1: 使能中断
2	AHBERRIEN	AHB 错误中断使能 0: 禁能中断 1: 使能中断
1	EPDISIEN	端点失能中断使能 0: 禁能中断 1: 使能中断
0	TXCIEN	发送完成中断使能 0: 禁能中断 1: 使能中断

#### 40.11.3.5 USBHS 设备 OUT 端点通用中断寄存器 (USBHS\_DOUTEPINTEN)

偏移地址: 0x0814

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
rw	rw	rw													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	NYETIEN	NAKIEN	BERRIEN	Reserved			OPERRIEN	Reserved	B2BSTUPIEN	Reserved	EPDISROTIEN	STUPDNEIEN	AHBERRIEN	EPDISIEN	TXCIEN
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:14	Reserved	保留，必须保持复位值。
14	NYETIEN	NYET 中断使能 0: 禁能中断 1: 使能中断
13	NAKIEN	NAK 中断使能 0: 禁能中断 1: 使能中断
12	BERRIEN	串扰错误中断使能 0: 禁能中断



位域	名称	描述
		1: 使能中断
11:9	Reserved	保留, 必须保持复位值。
8	OPERRIEN	OUT 包错误中断使能 0: 禁能中断 1: 使能中断
7	Reserved	保留, 必须保持复位值。
6	B2BSTUPIEN	连续 SETUP 包接收中断使能 (仅适用于控制 OUT 端点) 0: 禁能中断 1: 使能中断
5	Reserved	保留, 必须保持复位值。
4	EPDISROTIEN	当端点禁能时接收 OUT 令牌中断使能 0: 禁能中断 1: 使能中断
3	STUPDNEIEN	SETUP 阶段完成中断使能 0: 禁能中断 1: 使能中断
2	AHBERRIEN	AHB 错误中断使能 0: 禁能中断 1: 使能中断
1	EPDIEN	端点失能中断使能 0: 禁能中断 1: 使能中断
0	TXCIEN	发送完成中断使能 0: 禁能中断 1: 使能中断

#### 40.11.3.6 USBHS 设备所有端点中断状态寄存器 (USBHS\_DAEPINTSTS)

偏移地址: 0x0818

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved								OUTEP INT8	OUTEP INT7	OUTEP INT6	OUTEP INT5	OUTEP INT4	OUTEP INT3	OUTEP INT2	OUTEP INT1	OUTEP INT0
								r	r	r	r	r	r	r	r	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved								INEPINT8	INEPINT7	INEPINT6	INEPINT5	INEPINT4	INEPINT3	INEPINT2	INEPINT1	INEPINT0
								r	r	r	r	r	r	r	r	

位域	名称	描述
31:25	Reserved	保留, 必须保持复位值。
24:16	OUTEPINT[8:0]	设备 OUT 端点中断状态

位域	名称	描述
		每个位代表一个 OUT 端点：Bit16 代表 OUT 端点 0，Bit24 代表 OUT 端点 8。
15:8	Reserved	保留，必须保持复位值。
7:0	INEPINT[8:0]	设备 IN 端点中断状态 每个位代表一个 IN 端点：Bit0 代表 IN 端点 0，Bit8 代表 IN 端点 8。

#### 40.11.3.7 USBHS 设备所有端点中断使能寄存器 (USBHS\_DAEPINTEN)

偏移地址：0x081C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved								OUTEP IEN8	OUTEP IEN7	OUTEP IEN6	OUTEP IEN5	OUTEP IEN4	OUTEP IEN3	OUTEP IEN2	OUTEP IEN1	OUTEP IEN0
								rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved								INEPIEN8	INEPIEN7	INEPIEN6	INEPIEN5	INEPIEN4	INEPIEN3	INEPIEN2	INEPIEN1	INEPIEN0
								rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:25	Reserved	保留，必须保持复位值。
24:16	OUTEPIEN[8:0]	设备 OUT 端点中断使能 每个位代表一个 OUT 端点：Bit16 代表 OUT 端点 0，Bit24 代表 OUT 端点 8。 产生中断时中断入口为 USB_HS_IRQn。
15:8	Reserved	保留，必须保持复位值。
7:0	INEPIEN [8:0]	设备 IN 端点中断使能 每个位代表一个 IN 端点：Bit0 代表 IN 端点 0，Bit8 代表 IN 端点 8。 产生中断时中断入口为 USB_HS_IRQn。

#### 40.11.3.8 USBHS 设备阈值控制寄存器 (USBHS\_DTHRCTRL)

偏移地址：0x0830

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved			ARPEN	Reserved	RXTHRLEN[8:0]										RXTHRE N	
				rw											rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved				TXTHRLEN[8:0]										ISOINEPT HREN	NISOINEP THREN	
														rw	rw	rw

位域	名称	描述
31:28	Reserved	保留，必须保持复位值。
27	ARPEN	仲裁器寄存使能 该位用于控制 DMA 仲裁对 IN 端点的寄存。当阈值使能且该位置 1 后，DMA 会对在 USB 上收到令牌的 IN 端点寄存其仲裁。采用这种方式可以避免出现下溢情况。默认情况下使能寄存。 0：禁能 DMA 仲裁器寄存 1：使能 DMA 仲裁器寄存
26	Reserved	保留，必须保持复位值。
25:17	RXTHRLLEN[8:0]	接收阈值长度 该字段以双字为单位指定接收阈值的大小。该字段还指定模块在 AHB 上启动传输之前在 USB 上接收的数据量。阈值长度最小值为八个双字。推荐 RXTHRLLEN 的值和设定的 AHB 批量传输长度（USBHS_GAHBCFG.BURSTTYP [3:0]）相同。
16	RXTHREN	接收阈值使能 (Receive threshold enable) 该位置 1 时，模块会使能接收方向的阈值。
15:11	Reserved	保留，必须保持复位值。
10:2	TXTHRLLEN[8:0]	发送阈值长度 (Transmit threshold length) 该字段以双字为单位指定发送阈值的大小。该字段指定模块在 USB 上启动传输之前相应端点发送 FIFO 中的数据量（单位为字节）。阈值长度最小值为八个双字。该字段控制同步和非同步 IN 端点阈值。推荐 TXTHRLLEN 的值和设定的 AHB 批量传输长度（USBHS_GAHBCFG.BURSTTYP [3:0]）相同
1	ISOINEPTHREN	同步 IN 端点阈值使能 0：无阈值 1：使能同步 IN 端点的阈值。
0	NISOINEPTHREN	非同步 IN 端点阈值使能 0：无阈值 1：使能非同步 IN 端点的阈值。

#### 40.11.3.9 USBHS 设备 IN 端点 FIFO 空中断使能寄存器 (USBHS\_DINEPFEINTEN)

偏移地址：0x0834

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INEPTXFEIEN[15:0]															

rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	INEPTXFEIEN [15:0]	控制 IN 端点 TX FIFO 空中断使能 这些位用作 USBHS_DIEPxINTSTS.TXEF 的使能位，每个位对应一个 IN 端点的 TX FIFO 空中断： Bit0 对应 IN 端点 0，Bit7 对应 IN 端点 7。 0：禁能 FIFO 空中断 1：使能 FIFO 空中断

#### 40.11.3.10 USBHS 设备每个端点中断状态寄存器 (USBHS\_DEEPIINTSTS)

偏移地址：0x0838

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved							OUTEP INT8	OUTEP INT7	OUTEP INT6	OUTEP INT5	OUTEP INT4	OUTEP INT3	OUTEP INT2	OUTEP INT1	OUTEP INT0
							r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							INEPINT8	INEPINT7	INEPINT6	INEPINT5	INEPINT4	INEPINT3	INEPINT2	INEPINT1	INEPINT0
							r	r	r	r	r	r	r	r	r

位域	名称	描述
31:25	Reserved	保留，必须保持复位值。
24:16	OUTEPINT[8:0]	设备 OUT 端点中断状态 每个位代表一个 OUT 端点：Bit16 代表 OUT 端点 0，Bit24 代表 OUT 端点 8。
15:8	Reserved	保留，必须保持复位值。
7:0	INEPINT[8:0]	设备 IN 端点中断状态 每个位代表一个 IN 端点：Bit0 代表 IN 端点 0，Bit8 代表 IN 端点 8。

#### 40.11.3.11 USBHS 设备每个端点中断使能寄存器 (USBHS\_DEEPIINTEN)

偏移地址：0x083C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved							OUTEP IEN8	OUTEP IEN7	OUTEP IEN6	OUTEP IEN5	OUTEP IEN4	OUTEP IEN3	OUTEP IEN2	OUTEP IEN1	OUTEP IEN0
							rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							INEPIEN8	INEPIEN7	INEPIEN6	INEPIEN5	INEPIEN4	INEPIEN3	INEPIEN2	INEPIEN1	INEPIEN0
							rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:25	Reserved	保留，必须保持复位值。
24:16	OUTEPIEN[8:0]	设备 OUT 端点中断使能 每个位代表一个 OUT 端点： Bit16 代表 OUT 端点 0， Bit24 代表 OUT 端点 8。 产生中断时中断入口为 USB_HS_IRQn。
15:8	Reserved	保留，必须保持复位值。
7:0	INEPIEN [8:0]	设备 IN 端点中断使能 每个位代表一个 IN 端点： Bit0 代表 IN 端点 0， Bit8 代表 IN 端点 8。 产生中断时中断入口为 USB_HS_IRQn。

#### 40.11.3.12 USBHS 设备每个 IN 端点中断寄存器 (USBHS\_DINEPxINTEN) (x=[0..8])

偏移地址：0x0840 + x×4

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	NAKIEN	Reserved					TXFUDIEN	Reserved	INEPNAKEIEN	INTREPMISIEN	TXFERINTKIEN	TOIEN	AHBERRIEN	EPDISIEN	TXCIEN
	rw						rw		rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:14	Reserved	保留，必须保持复位值。
13	NAKIEN	NAK 中断使能 0：禁能中断 1：使能中断
12:9	Reserved	保留，必须保持复位值。
8	TXFUDIEN	TX FIFO 下溢中断使能 0：禁能中断 1：使能中断
7	Reserved	保留，必须保持复位值。
6	INEPNAKEIEN	IN 端点 NAK 有效中断使能 0：禁能中断 1：使能中断
5	INTREPMISIEN	端点不匹配接收 IN 令牌中断使能 0：禁能中断 1：使能中断
4	TXFERINTKIEN	TX FIFO 为空时接收到 IN 令牌中断使能

位域	名称	描述
		0: 禁能中断 1: 使能中断
3	TOIEN	超时中断使能（非同步端点） 0: 禁能中断 1: 使能中断
2	AHBERRIEN	AHB 错误中断使能 0: 禁能中断 1: 使能中断
1	EPDISIEN	端点失能中断使能 0: 禁能中断 1: 使能中断
0	TXCIEN	发送完成中断使能 0: 禁能中断 1: 使能中断

#### 40.11.3.13 USBHS 设备每个 OUT 端点中断寄存器 (USBHS\_DOUTEPxINTEN) (x=[0,8])

偏移地址: 0x0880 + x×4

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
Reserved																	
rw			rw			rw			rw			rw			rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved	NYETIEN	NAKIEN	BERRIEN	Reserved			OPERRIEN	Reserved	B2BSTUPIEN	Reserved	EPDISROTIEN	STUPDNEIEN	AHBERRIEN	EPDISIEN	TXCIEN		
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		

位域	名称	描述
31:14	Reserved	保留，必须保持复位值。
14	NYETIEN	NYET 中断使能 0: 禁能中断 1: 使能中断
13	NAKIEN	NAK 中断使能 0: 禁能中断 1: 使能中断
12	BERRIEN	串扰错误中断使能 0: 禁能中断 1: 使能中断
11:9	Reserved	保留，必须保持复位值。
8	OPERRIEN	OUT 包错误中断使能 0: 禁能中断

位域	名称	描述
		1: 使能中断
7	Reserved	保留, 必须保持复位值。
6	B2BSTUPIEN	连续 SETUP 包接收中断使能 (仅适用于控制 OUT 端点) 0: 禁能中断 1: 使能中断
5	Reserved	保留, 必须保持复位值。
4	EPDISROTIEN	当端点禁能时接收 OUT 令牌中断使能 0: 禁能中断 1: 使能中断
3	STUPDNEIEN	SETUP 阶段完成中断使能 0: 禁能中断 1: 使能中断
2	AHBERRIEN	AHB 错误中断使能 0: 禁能中断 1: 使能中断
1	EPDISIEN	端点失能中断使能 0: 禁能中断 1: 使能中断
0	TXCIEN	发送完成中断使能 0: 禁能中断 1: 使能中断

#### 40.11.3.14 USBHS 设备 IN 端点 0 控制寄存器 (USBHS\_DINEP0CTRL)

偏移地址: 0x0900

复位值: 0x0000 8000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EPEN	EPDIS	Reserved		SNAK	CNAK	TXFNUM[3:0]			STALL	Reserved	EPTYPE[1:0]	NAKSTS	Reserved		
rs	Rs			w	w	rw			rs		r	r			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EPACT	Reserved												MPLEN[1:0]		
r													rw		

位域	名称	描述
31	EPEN	端点使能 应用程序将此位置 1 以在端点上启动数据发送。 在此端点上触发以下任一中断之前, 模块会将此位清零: – SETUP 阶段完成 – 端点禁止 – 传输完成

位域	名称	描述
		0: 端点禁能 1: 端点使能
30	EPDIS	端点禁能 应用程序设置此位以停止在某个端点上传输数据, 即使该端点的传输尚未完成。应用程序必须等待端点禁用中断, 然后才能将端点视为已禁用。模块在设置端点禁用中断之前会清除此位。应用程序只有在该端点的端点启用已设置的情况下才应设置此位。 0: 端点上发送/接收数据正常 1: 端点上发送/接收数据停止
29:28	Reserved	保留, 必须保持复位值。
27	SNAK	设置 NAK 应用程序将此位置 1 可以控制端点上 NAK 握手信号的发送。端点上接收到 SETUP 后, 模块也会将此位置 1。
26	CNAK	清除 NAK 清零 对此位进行写操作会将端点的 NAK 位清零。
25:22	TXFNUM[3:0]	Tx FIFO 编号 定义 IN 端点的 TX FIFO 编号。
21	STALL	STALL 握手 对于控制端点: 应用只可将此位置 1, 在接收 SETUP 令牌后, USBHS 清除此位。如果 NAK 位、全局 IN NAK 或全局 OUT NAK 与此位同时置 1, 则 STALL 位优先。无论此位如何设置, 模块总是通过 ACK 握手响应 SETUP 数据包。
20	Reserved	保留, 必须保持复位值。
19:18	EPTYPE[1:0]	端点类型 (对于端点 0, 此位域固定位 00) 00: 控制 01: 同步 10: 批量 11: 中断
17	NAKSTS	NAK 状态 它指示以下结果 0: 模块根据 FIFO 状态回复非 NAK 握手。 1: 模块在此端点上回复 NAK 握手。 当应用程序或模块将此位置 1 时。 - 停止接收 OUT 端点上的任何数据 - 对于非同步 IN 端点: 即使 TX FIFO 中存在可用数据, 模块也会停止通过 IN 端点发送任何数据。 - 对于同步 IN 端点: 即使 TX FIFO 中存在可用数据, 模块也会发送长度为零的数据包。 无论此位如何设置, 模块总是通过 ACK 握手响应 SETUP 数据包。
16	Reserved	保留, 必须保持复位值。
15	EPACT	USB 活动端点 (对于端点 0, 此位固定位 1)



位域	名称	描述
		指示此端点在当前配置和接口中是否激活。检测到 USB 复位后，模块会为所有端点（端点 0 除外）将此位清零。接收到 SetConfiguration 和 SetInterface 命令后，应用程序必须相应地对端点寄存器进行编程并将此位置 1。
14:2	Reserved	保留，必须保持复位值。
1:0	MPLLEN[1:0]	最大包长 定义了当前逻辑端点数据包的最大包长： 00: 64 字节 01: 32 字节 10: 16 字节 11: 8 字节

#### 40.11.3.15 USBHS 设备每个 IN 端点控制寄存器（USBHS\_DINEPxCTRL）（x=[1..8]）

偏移地址：0x0900 + x×20

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EPEN	EPDIS	Reserved		SNAK	CNAK	TXFNUM[3:0]			STALL	Reserved	EPTYPE[1:0]	NAKSTS	Reserved		
rs	rs			w	w	rw			rs		rw	r			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EPACT	Reserved				MPLLEN[10:0]										
rw					rw										

位域	名称	描述
31	EPEN	端点使能 应用程序将此位置 1 以在端点上启动数据发送。 在此端点上触发以下任一中断之前，模块会将此位清零： – SETUP 阶段完成 – 端点禁止 – 传输完成 0: 端点禁能 1: 端点使能
30	EPDIS	端点禁能 应用程序设置此位以停止在某个端点上传输数据，即使该端点的传输尚未完成。应用程序必须等待端点禁用中断，然后才能将端点视为已禁用。模块在设置端点禁用中断之前会清除此位。应用程序只有在该端点的端点启用已设置的情况下才应设置此位。 0: 端点上发送/接收数据正常 1: 端点上发送/接收数据停止

位域	名称	描述
29	SD1PID	设置 DATA1 PID(适用于中断和批量 IN 端点) 软件置 1 该位来置位该寄存器的 DPID 位
	SODDFRM	设置奇数帧 (适用于同步 IN 端点) 软件置 1 该位来置位该寄存器的 EOFRM 位
28	SD0PID	设置 DATA0 PID(适用于中断和批量 IN 端点) 软件置 1 该位来清零该寄存器的 DPID 位
	SEVNFMR	设置偶数帧 (适用于同步 IN 端点) 软件置 1 该位来清零该寄存器的 EOFRM 位
27	SNAK	设置 NAK 应用程序将此位置 1 可以控制端点上 NAK 握手信号的发送。端点上接收到 SETUP 后, 模块也会将此位值 1。
26	CNAK	清除 NAK 清零 对此位进行写操作会将端点的 NAK 位清零。
25:22	TXFNUM[3:0]	Tx FIFO 编号 定义 IN 端点的 TX FIFO 编号。
21	STALL	STALL 握手 当用于非控制、非同步 IN 端点 (访问类型为 rw): 应用程序将此位置 1 使得设备对来自 USB 主机的所有令牌都回复 STALL。如果 NAK 位、全局 IN NAK 或全局 OUT NAK 与此位同时置 1, 则 STALL 位优先。  当用于控制端点 (访问类型为 rs): 应用只可写此位, 在接收 SETUP 令牌后, USBHS 清除此位。如果 NAK 位、全局 IN NAK 或全局 OUT NAK 与此位同时置 1, 则 STALL 位优先。 无论此位如何设置, 模块总是通过 ACK 握手响应 SETUP 数据包。
20	Reserved	保留, 必须保持复位值。
19:18	EPTYPE[1:0]	端点类型 00: 控制 01: 同步 10: 批量 11: 中断
17	NAKSTS	NAK 状态 它指示以下结果 0: 模块根据 FIFO 状态回复非 NAK 握手。 1: 模块在此端点上回复 NAK 握手。 当应用程序或模块将此位置 1 时。 - 停止接收 OUT 端点上的任何数据 - 对于非同步 IN 端点: 即使 TX FIFO 中存在可用数据, 模块也会停止通过 IN 端点发送任何数据。 - 对于同步 IN 端点: 即使 TX FIFO 中存在可用数据, 模块也会发送长度为零的数据包。 无论此位如何设置, 模块总是通过 ACK 握手响应 SETUP 数据包。

位域	名称	描述
16	EOFIRM	奇偶帧（适用于同步 OUT 端点） 对于同步传输，软件通过使用该位控制 USBHS 只在奇数帧或偶数帧发送数据包给 OUT 事务，如果当前帧号的奇偶性不匹配该位，USBHS 不保存数据包 0：只在偶数帧发送数据 1：只在奇数帧发送数据
	DPID	端点数据 PID（适用于中断或批量端点） 在端点或大容量传输中，有数据 PID 翻转机制，在传输开始之前，软件通过设定 SD0PID 来设置此位，按照 USB 协议中描述的数据 PID 翻转机制，USBHS 在传输过程中保持该位。 0：数据包 PID 是 DATA0 1：数据包 PID 是 DATA1
15	EPACT	USB 活动端点 指示此端点在当前配置和接口中是否激活。检测到 USB 复位后，模块会为所有端点（端点 0 除外）将此位清零。接收到 SetConfiguration 和 SetInterface 命令后，应用程序必须相应地对端点寄存器进行编程并将此位置 1。
14:11	Reserved	保留，必须保持复位值。
10:0	MPLN	最大包长 定义了当前逻辑端点数据包的最大包长，此值以字节为单位。

#### 40.11.3.16 USBHS 设备每个 IN 端点中断状态寄存器（USBHS\_DINEPxINTSTS）(x={0..8})

偏移地址：0x0908 + x×20

复位值：0x0000 0080

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	NYETIF	NAKIF	BBERRIF	PKDRPSTS	Reserved	TXFUDRIF	TXFEIF	INEPNAKEIF	INERMISIF	TXFERINTIF	TOUTIF	AHBERRIF	EPDISIF	TXCIF	
	rc_w1	rc_w1	rc_w1	rc_w1		rc_w1	r	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	

位域	名称	描述
31:15	Reserved	保留，必须保持复位值。
14	NYETIF	NYET 中断标志位 当回复非同步 OUT 端点 NYET 时产生中断 0：无 NYET 中断产生 1：有 NYET 中断产生
13	NAKIF	NAK 中断标志位 当设备发出或收到 NAK 时，模块将生成该中断。如果是同步 IN 端点，由于 TX FIFO 中无数据可发而发送长度为零的数据包时也会生成该中

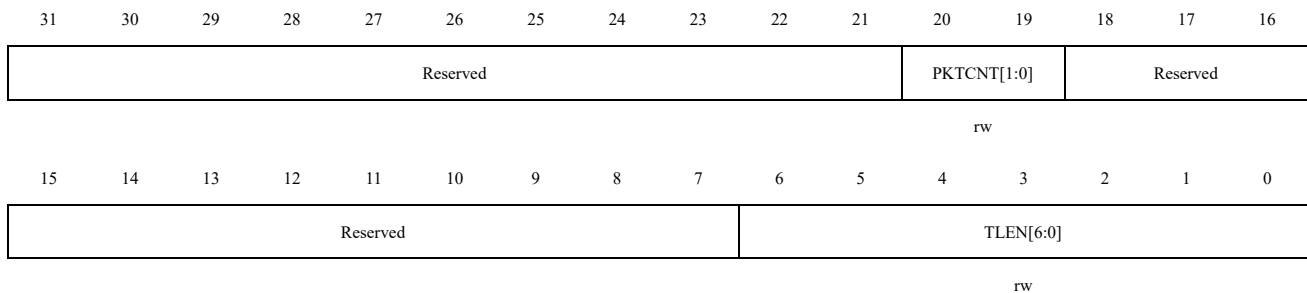
位域	名称	描述
		断。 0: 无 NAK 中断产生 1: 有 NAK 中断产生
12	BBERRIF	串扰错误中断标志 当接收到串扰错误时置起此标志位。
11	PKDRPSTS	包丢弃状态 该位用于向应用程序指示有同步 OUT 数据包被丢弃。该位没有相应的中断屏蔽位，也不会生成中断。
10:9	Reserved	保留，必须保持复位值。
8	TXFUDRIF	TX FIFO 下溢中断标志位 该中断仅在使能了阈值时有效 0: 无 NAK 中断产生 1: 有 NAK 中断产生
7	TXFEIF	TX FIFO 空中断标志 当 TX FIFO 半空或全空，此标志位被置起。TX FIFO 空阈值由 USBHS_GAHBCFG.NPTXFETH 决定。
6	INEPNAKEIF	IN 端点 NAK 有效中断标志位 当应用程序通过向 USBHS_DINEPxCtrl.CNAK 位写 1 来将此位清零。 该中断指示模块已对置 1 的 NAK 采样。 该中断指示由应用程序置 1 的 IN 端点 NAK 位已在模块中起作用。 此中断不一定表示 USB 上已发送了一个 NAK 握手信号。STALL 位优先级高于 NAK 位。
5	INEPMISIF	端点不匹配接收 IN 令牌中断标志位 仅适用于非周期性 IN 端点，表示非周期性 TxFIFO 顶部的数据属于与接收 IN 令牌的端点不同的端点。此中断在接收到 IN 令牌的端点上被触发。
4	TXFERINTIF	TX FIFO 为空时接收到 IN 令牌中断标志位 仅适用于非周期性 IN 端点。 当和该端点对应的 TX FIFO（周期性/非周期性）为空时，接收到 IN 令牌，从而产生中断。 0: 禁能中断 1: 使能中断
3	TOUTIF	超时中断标志位（非同步端点） 仅适用于控制 IN 端点。 指示该端点对最近收到的 IN 令牌响应超时。
2	AHBERRIF	AHB 错误中断标志位 0: 无 AHB 中断产生 1: 有 AHB 中断产生
1	EPDISIF	端点失能中断标志位 此位表示该端点由应用程序禁止。
0	TXCIF	传输完成中断标志位 此位指示在此端点上设置的传输已完成

位域	名称	描述
		0: 传输未完成 1: 传输完成中断

#### 40.11.3.17 USBHS 设备 IN 端点 0 传输大小寄存器 (USBHS\_DINEP0TXSIZ)

偏移地址: 0x0910

复位值: 0x0000 0000

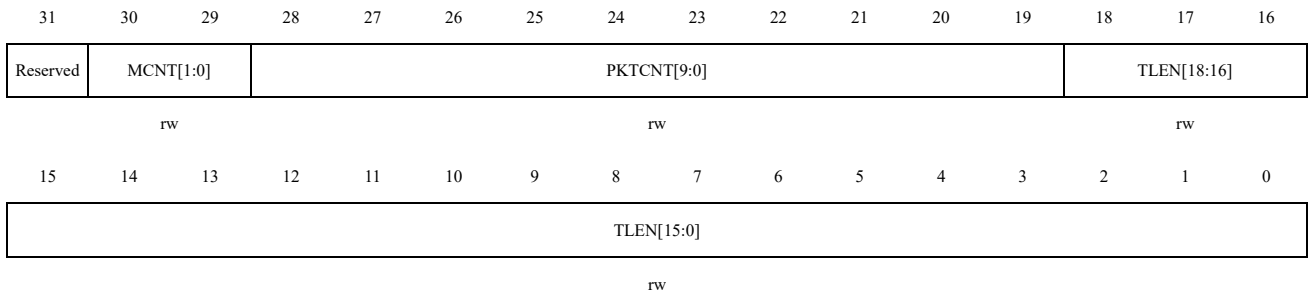


位域	名称	描述
31:21	Reserved	保留, 必须保持复位值。
20:19	PKTCNT[1:0]	数据包计数 指示端点 0 的一次数据传输包含的数据包个数。 对于 IN 端点: 每次从 TX FIFO 读取数据包 (最大大小数据包或短数据包) 时, 此字段将递减。 对于 OUT 端点: 每次往 RX FIFO 写数据包 (最大大小数据包或短数据包) 时, 此字段将递减。
18:7	Reserved	保留, 必须保持复位值。
6:0	TLEN[6:0]	传输大小 指示端点 0 的一次数据传输包含的数据量, 以字节为单位。仅当应用程序传输完这些数据后, 模块才会中断该应用程序。传输大小可以设置为端点的最大数据包大小, 以在每个数据包结束时中断。 每次向 TX FIFO 写入来自外部存储器的数据包时, 模块会使此字段递减。

#### 40.11.3.18 USBHS 设备每个 IN 端点传输大小寄存器 (USBHS\_DINEPxTXSIZ) (x=[1..8])

偏移地址: 0x0910 + x×20

复位值: 0x0000 0000

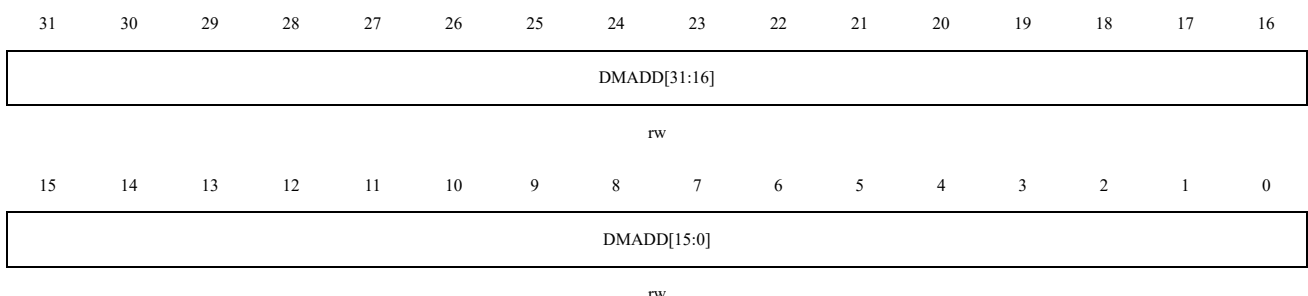


位域	名称	描述
31:21	Reserved	保留，必须保持复位值。
30:29	MCNT[1:0]	多包个数 该域描述在一帧内需要传输的包的个数 01: 1 个包 10: 2 个包 11: 3 个包
28:19	PKTCNT[9:0]	数据包计数 指示端点 0 的一次数据传输包含的数据包个数。 每次从 TX FIFO 读取数据包（最大大小数据包或短数据包）时，此字段将递减。
18:0	TLEN[18:0]	传输大小 指示端点 0 的一次数据传输包含的数据量，以字节为单位。仅当应用程序传输完这些数据后，模块才会中断该应用程序。传输大小可以设置为端点的最大数据包大小，在每个数据包结束时中断。 每次向 TX FIFO 写入来自外部存储器的数据包时，模块会使此字段递减。

### 40.11.3.19 USBHS 设备每个 IN 端点 DMA 地址寄存器 (USBHS\_DINEP<sub>x</sub>DMADD) (x=[0..8])

偏移地址：0x0914 + x×20

复位值：0x0000 0000



位域	名称	描述
31:0	DMADD	DMA 地址 该域定义端点的 DMA 起始地址

位域	名称	描述
		注意：对于控制端点，该字段存储控制 OUT 数据包以及 SETUP 事务数据包。当连续接收到三个以上的 SETUP 包时，内存中的 SETUP 数据包会被覆盖。

#### 40.11.3.20 USBHS 设备每个 IN 端点 TX FIFO 状态寄存器(USBHS\_DINEPxTXFSTS)(x=[0..8])

偏移地址：0x0918 + x×20

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INEPTXFSPCAVL[15:0]															

r

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	TXFSPCAVL[15:0]	IN 端点 TX FIFO 可用空间 IN 端点的 Tx FIFO 可用空间用 32 位字为单位 0：FIFO 是满的 1：1 个字可用 ... n：n 个字可用

#### 40.11.3.21 USBHS 设备 OUT 端点 0 控制寄存器 (USBHS\_DOUTEP0CTRL)

偏移地址：0x0B00

复位值：0x0000 8000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EPEN	EPDIS	Reserved			SNAK	CNAK	Reserved			STALL	Reserved	EPTYPE[1:0]	NAKSTS	Reserved	
rs	r				w	w	rw			rs		r	r		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EPACT	Reserved											MPLEN[1:0]			
r												r			

位域	名称	描述
31	EPEN	端点使能 应用程序将此位置 1 以在端点上启动数据发送。 在此端点上触发以下任一中断之前，模块会将此位清零：

位域	名称	描述
		– SETUP 阶段完成 – 端点禁止 – 传输完成 0: 端点禁能 1: 端点使能
30	EPDIS	端点禁能 应用程序无法控制 OUT 端点 0 禁能。
29:28	Reserved	保留，必须保持复位值。
27	SNAK	设置 NAK 应用程序将此位置 1 可以控制端点上 NAK 握手信号的发送。发生传输完成中断或端点上接收到 SETUP 后，模块也可以将此位值 1。
26	CNAK	清除 NAK 清零 对此位进行写操作会将端点的 NAK 位清零。
25:22	Reserved	保留，必须保持复位值。
21	STALL	STALL 握手 对于控制端点： 应用只可将此位置 1，在接收 SETUP 令牌后，USBHS 清除此位。如果 NAK 位、或全局 OUT NAK 与此位同时置 1，则 STALL 位优先。无论此位如何设置，模块总是通过 ACK 握手响应 SETUP 数据包。
20	Reserved	保留，必须保持复位值。
19:18	EPTYPE[1:0]	端点类型（对于端点 0，此位域固定位 00） 00: 控制 01: 同步 10: 批量 11: 中断
17	NAKSTS	NAK 状态 它指示以下结果 0: 模块根据 FIFO 状态回复非 NAK 握手。 1: 模块在此端点上回复 NAK 握手。 当应用程序或模块将此位置 1 时，USBHS 停止接收数据，即使 RX FIFO 中存在可用空间。 无论此位如何设置，模块总是通过 ACK 握手响应 SETUP 数据包。
16	Reserved	保留，必须保持复位值。
15	EPACT	USB 活动端点 指示此端点在当前配置和接口中是否激活，对于端点 0，此位固定位 1
14:2	Reserved	保留，必须保持复位值。
1:0	MPLLEN[1:0]	最大包长 定义了当前逻辑端点数据包的最大包长： 00: 64 字节 01: 32 字节 10: 16 字节 11: 8 字节



### 40.11.3.22 USBHS 设备每个 OUT 端点控制寄存器 (USBHS\_DOUTEPxCTRL) (x=[1..8])

 偏移地址:  $0x0B00 + x \times 20$ 

 复位值:  $0x0000\ 8000$ 

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EPEN	EPDIS	SD1PID/ SODDFRM	SD0PID/ SEVNFRM	SNAK	CNAK	Reserved				STALL	Reserved	EPTYPE[1:0]	NAKSTS	EPDPID/ EPEOFRM	
rs	rs	w	w	w	w					rs		rw	r	r	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EPACT		Reserved				MPLEN[10:0]									
rw						rw									

位域	名称	描述
31	EPEN	端点使能 应用程序将此位置 1 以在端点上启动数据发送。 在此端点上触发以下任一中断之前，模块会将此位清零： - SETUP 阶段完成 - 端点禁止 - 传输完成 0: 端点禁能 1: 端点使能
30	EPDIS	端点禁能 应用程序将此位置 1 以停止通过端点发送/接收数据，即使该通道的传输还未完成，停止操作仍然生效。应用程序必须等待禁止端点的中断以确认端点已经被禁止。 0: 端点上发送/接收数据正常 1: 端点上发送/接收数据停止
29	SD1PID	设置 DATA1 PID 适用于中断/批量 IN 和 OUT 端点，对此位进行写操作会将此寄存器中的端点数据 PID(DPID)字段设置为 DATA1。
	SODDFRM	设置奇数帧 仅适用于同步 IN 和 OUT 端点。软件置 1 该位来置位该寄存器的 EPEOFRM 位，设置为奇数帧。
28	SD0PID	设置 DATA0 PID 适用于中断/批量 IN 和 OUT 端点，对此位进行写操作会将此寄存器中的端点数据 PID(DPID)字段设置为 DATA0。
	SEVNFRM	设置偶数帧 仅适用于同步 IN 和 OUT 端点。软件置 1 该位来清零该寄存器的 EPEOF 位，设置为偶数帧。
27	SNAK	设置 NAK 应用程序将此位置 1 可以控制端点上 NAK 握手信号的发送。端点上接收到 SETUP 后，模块也会将此位值 1。

位域	名称	描述
26	CNAK	清除 NAK 清零 对此位进行写操作会将端点的 NAK 位清零。
25:22	Reserved	保留，必须保持复位值。
21	STALL	STALL 握手 应用程序只能设置此位，模块会在收到该端点的 SETUP 令牌时清除此位。如果同时设置了 NAK 位或全局 OUT NAK 位，该 STALL 位具有优先权。无论此位的设置如何，模块总是会对 SETUP 数据包以 ACK 握手进行响应
20	Reserved	保留，必须保持复位值。
19:18	EPTYPE[1:0]	端点类型 00: 控制 01: 同步 10: 批量 11: 中断
17	NAKSTS	NAK 状态 它指示以下结果 0: 模块根据 FIFO 状态回复非 NAK 握手。 1: 模块在此端点上回复 NAK 握手。 当应用程序或模块设置此位时，即使 RxFIFO 中有空间可以容纳传入的数据包，模块也会停止接收数据。 无论此位如何设置，模块总是通过 ACK 握手响应 SETUP 数据包。
16	EPDPID	端点数据包 PID 适用于中断/批量 IN 和 OUT 端点，指示当前端点接收/发送的数据包 PID，应用程序需要编程此寄存器的 bit29 和 bit28 来设置第一个接收/发送数据包的 PID。 0: DATA0 1: DATA1
	EPEOFRM	端点奇偶帧 适用于同步 IN 和 OUT 端点，指示当前端点接收/发送的数据包帧编号，应用程序需要编程此寄存器的 bit29 和 bit28 来设置第一个接收/发送数据包的帧编号。 0: 偶数帧 1: 奇数帧
15	EPACT	USB 活动端点 指示此端点在当前配置和接口中是否激活。检测到 USB 复位后，模块会为所有端点（端点 0 除外）将此位清零。接收到 SetConfiguration 和 SetInterface 命令后，应用程序必须相应地对端点寄存器进行编程并将此位置 1。
14:11	Reserved	保留，必须保持复位值。
10:0	MPLN	最大包长 定义了当前逻辑端点数据包的最大包长，此值以字节为单位。

### 40.11.3.23 USBHS 设备每个 OUT 端点中断状态寄存器(USBHS\_DOUTEPxINTSTS)(x=[0,8])

偏移地址: 0x0B08 + x×20

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STUPP RXIF	NYETIF	NAKIF	BBERRIF	PKDRP STS	Reserved		OUTPCK ERRIF	Reserved	B2BSTUP RIF	STSPRXIF	OUTTRX EPDISIF	STUPPDN EIF	AHBERR IF	EPDISIF	TXCIF
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1			rc_w1		rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15	STUPPRXIF	SETUP 包接收中断标志位 适用于 DMA 模式下的控制 OUT 端点。由 USBHS 设置，该位指示此缓冲区包含 8 字节的 SETUP 数据。每个缓冲区只包含一个 SETUP 数据包。在接收到 SETUP 数据包后，USBHS 关闭缓冲区并且禁能相应的端点。应用程序必须重新启用端点以接收控制传输的任何 OUT 数据并重新编程缓冲区的起始地址。 <i>注意：由于上述行为，控制器可以接收任意数量的连续 SETUP 包，并且每个 SETUP 包都会使用一个缓冲区。</i> 0: 没接收到 SETUP 包 1: 接收到 SETUP 包
14	NYETIF	NYET 中断标志位 当回复非同步 OUT 端点 NYET 时产生中断 0: 无 NYET 中断产生 1: 有 NYET 中断产生
13	NAKIF	NAK 中断标志位 当设备发出或收到 NAK 时，模块将生成该中断。如果是同步 IN 端点，由于 TX FIFO 中无数据可发而发送长度为零的数据包时也会生成该中断。 0: 无 NAK 中断产生 1: 有 NAK 中断产生
12	BBERRIF	串扰错误中断标志 当接收到串扰错误时置起此标志位。
11	PKDRPSTS	包丢弃状态 该位用于向应用程序指示有同步 OUT 数据包被丢弃。该位没有相应的中断屏蔽位，也不会生成中断。
10:9	Reserved	保留，必须保持复位值。
8	OUTPCKERRIF	OUT 包错误中断标志位

位域	名称	描述
		适用于非同步 OUT 包。当检测到 OUT 数据包溢出或 CRC 错误时，将触发此中断。仅当启用了阈值控制时，此中断才有效。
7	Reserved	保留，必须保持复位值。
6	B2BSTUPRIF	连续 SETUP 数据包接收 适用于控制 OUT 端点。当已经连续接收到超过三个连续的 SETUP 数据包时此位被置起。
5	STSPRXIF	控制写入的状态阶段已接收 适用于控制 OUT 端点。此中断仅在 USBHS 已将主机在控制写入传输的数据阶段中发送的所有数据传输到系统内存缓冲区后生成。 此中断向应用程序指示主机已从控制写入传输的数据阶段切换到状态阶段。应用程序可以使用此中断来在解码数据阶段后 ACK 或 STALL 状态阶段。
4	OUTTRXEPDISIF	当端点禁用时接收到 OUT 令牌 适用于控制 OUT 端点。此位置 1 时指示在端点尚未启用时接收到一个 OUT 令牌。
3	STUPPDNEIF	SETUP 阶段完成 仅适用于控制 OUT 端点。表示控制端点的 SETUP 阶段已完成，并且当前控制传输中没有再收到连续的 SETUP 数据包。在该中断上，应用程序可以对接收到的 SETUP 数据包进行解码。
2	AHBERRIF	AHB 错误中断标志位 0: 无 AHB 中断产生 1: 有 AHB 中断产生
1	EPDISIF	端点禁能中断标志位 此位表示该端点由应用程序禁止。 0: 无端点禁能中断产生 1: 有端点禁能中断产生
0	TXCIF	传输完成中断标志位 此位指示在此端点上设置的传输已完成 0: 传输未完成 1: 传输完成中断

#### 40.11.3.24 USBHS 设备 OUT 端点 0 传输大小寄存器 (USBHS\_DOUTEP0TXSIZ)

偏移地址: 0x0B10

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	STUPPCNT[1:0]	Reserved										PKTCNT	Reserved		
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved										TLEN[6:0]					
rw															

位域	名称	描述
31	Reserved	保留，必须保持复位值。
30:29	STUPPCNT[1:0]	SETUP 包计数 此位域指示接收到连续 SETUP 包的个数 01: 1 个包 10: 2 个包 11: 3 个包
28:20	Reserved	保留，必须保持复位值。
19	PKTCNT[1:0]	数据包计数 每向 RX FIFO 写入一个数据包，此字段递减为 0
18:7	Reserved	保留，必须保持复位值。
6:0	TLEN[6:0]	传输大小 指示端点 0 的一次数据传输包含的数据量，以字节为单位。仅当应用程序传输完这些数据后，模块才会中断该应用程序。传输大小可以设置为端点的最大数据包大小，以在每个数据包结束时中断。 每次从 RX FIFO 读取数据包并写入外部存储器时，此字段都会递减。

#### 40.11.3.25 USBHS 设备每个 OUT 端点传输大小寄存器 (USBHS\_DOUTEPxTXSIZ) (x=[1..8])

偏移地址:  $0x0B10 + x \times 20$

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	RXDPID[1:0]/ STUPPCNT[1:0]		PKTCNT[9:0]									TLEN[18:16]			
	rw		rw									rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TLEN[15:0]															
rw															

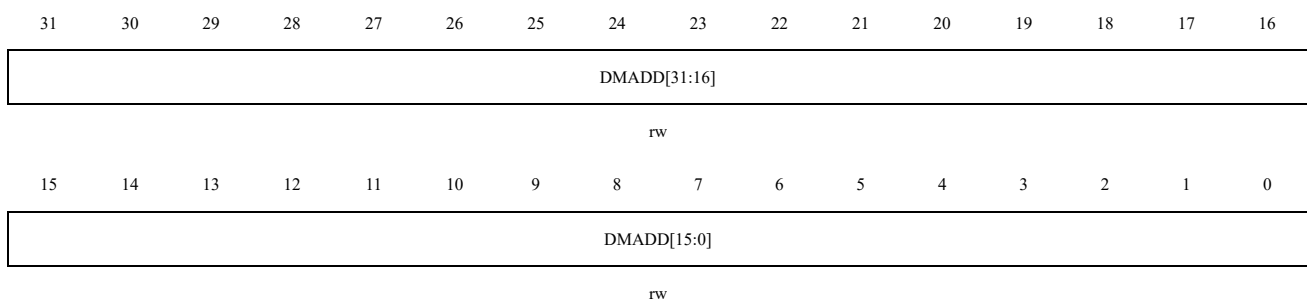
位域	名称	描述
31:21	Reserved	保留，必须保持复位值。
30:29	RXDPID[1:0]	接收到的数据 PID 适用于同步 OUT 端点。这是此端点收到的上一个数据包的 PID。 00: DATA0 01: DATA2 10: DATA1 11: MDATA
	STUPPCNT[1:0]	SETUP 包计数 适用于控制 OUT 端点，此位域指示接收到连续 SETUP 包的个数 01: 1 个包 10: 2 个包

位域	名称	描述
		11: 3 个包
28:19	PKTCNT[9:0]	数据包计数 指示端点 x 的一次数据传输包含的数据包个数。 每次数据包（最大大小数据包或短数据包）写入 RX FIFO 后，此字段将递减。
18:0	TLEN[18:0]	传输大小 指示端点 x 的一次数据传输包含的数据量，以字节为单位。仅当应用程序传输完这些数据后，模块才会中断该应用程序。传输大小可以设置为端点的最大数据包大小，在每个数据包结束时中断。 每次从 RX FIFO 读出数据并将其写入外部存储，此字段将递减。

#### 40.11.3.26 USBHS 设备每个 OUT 端点 DMA 地址寄存器 (USBHS\_DOUTEP<sub>x</sub>DMADD) (x=[0..8])

偏移地址:  $0x0B14 + x \times 20$

复位值: 0x0000 0000



位域	名称	描述
31:0	DMADD	DMA 地址 该域定义端点的 DMA 起始地址，DMA 使用该地址为 IN 端点提取包数据，或为 OUT 端点写入包数据

### 40.11.4 USBHS 电源控制寄存器

#### 40.11.4.1 USBHS 电源控制寄存器 (USBHS\_PWRCTRL)

偏移地址: 0x0E00

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							DSLEEP	PHY SLEEP	Reserved			PDMRST	Reserved	GATE HCLK	PHYSTP
							r	r				rw	rw	rw	rw

位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
7	DSLEEP	深度睡眠 此位表示 PHY 处于深度睡眠状态
6	PHYSLEEP	PHY 处于睡眠状态 此位指示 PHY 处于睡眠状态。
5:4	Reserved	保留，必须保持复位值。
3	PDMRST	复位断电模块 此位仅在部分掉电模式下有效。 0：电源上电 1：电源断电
2	Reserved	保留，必须保持复位值。
1	GATEHCLK	门控 HCLK 当 USBHS 处于挂起或会话无效时，应用程序可将此位置 1，以停止对除 AHB 总线从接口、主接口和唤醒逻辑之外的模块提供时钟。当 USBHS 恢复通信或有新会话启动时，应用程序将此位清零
0	PHYSTP	停止 PHY 时钟 当 USBHS 处于挂起状态、会话无效或设备已断开连接时，应用程序可将此位置 1 停止 PHY 时钟。当 USB 恢复或新的会话启动时，应用程序会清除此位。

#### 40.11.4.2 USBHS 电源控制寄存器 1 (USBHS\_PWRCTRL1)

偏移地址：0x0E04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							DSLEEP	PHY SLEEP	Reserved			PDMRST	Reserved	GATE HCLK	PHYSTP
							rw	rw				rw	rw	rw	rw

位域	名称	描述
31:4	Reserved	保留，必须保持复位值。
3	RAMCLKEN	RAM 时钟门控使能 0: 禁能 RAM 时钟门控 1: 使能 RAM 时钟门控
2:1	CNT	门控时钟计数 门控时钟计数向控制器指示在对相应的 PHY 和 AHB 时钟进行门控之前，控制器需要等待多少个 PHY 时钟周期和 AHB 时钟周期的“空闲”（无活动）状态。 00: 64 个时钟 01: 128 个时钟
0	GATEN	使能活动时钟门控 应用程序将这一位设置为启用 PHY 和 AHB 时钟的活动时钟门控功能 0: 失能活动时钟门控 1: 使能活动时钟门控

### 40.11.5 USBHS Wrapper 控制寄存器

USBHS1 Wrapper 控制寄存器基地址：0x4014 0000

USBHS2 Wrapper 控制寄存器基地址：0x400A 0000

#### 40.11.5.1 USBHS Wrapper 控制寄存器（USBHS\_WRPCTRL）

偏移地址：0x0000

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved										LSCHGEN	SUSPWKEN	IDDETEN	HDISCEN	VBRM DETEN	PINDET EN
										rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															

位域	名称	描述
31:22	Reserved	保留，必须保持复位值。
21	LSCHGEN	线路状态变化检测使能 此位用于启用线路状态变化检测，作为唤醒 SCLK 时钟源的一种方式。 当 PHY 处于挂起状态且系统在关闭 SCLK 之前，将此位置为 1 可启用检测。当检测到事件时，会触发唤醒信号，从而唤醒 SCLK。一旦 SCLK 恢复，应将此位重新设置为 0



位域	名称	描述
20	SUSPWKEN	挂起取消断言检测使能 此位用于启用挂起取消断言检测，作为唤醒 SCLK 时钟源的一种方式。当控制器处于挂起状态，并且系统在关闭 SCLK 之前，将此位设置为 1 即可启用检测。当检测到此事件时，会触发唤醒信号，从而唤醒 SCLK 时钟。SCLK 恢复后，此位应重新设置为 0 <i>注意：此功能仅在挂起取消断言不依赖 SCLK 的情况下有效，否则该功能将无法使用。</i>
19	IDDETEN	主机角色 ID 检测启用 此位用于在 ID PAD 上启用主机角色检测，作为唤醒 SCLK 时钟源的方式之一。当系统即将进入低功耗模式，并且在系统关闭 SCLK 之前，将此位设置为 1 可启用检测。一旦 SCLK 恢复，此位应重新设置为 0
18	HDISCEN	主机断开检测启用 该位用于启用主机断开检测，作为唤醒 SCLK 时钟源的一种方式。系统必须处于主机模式，并且处于挂起状态。当系统即将进入低功耗模式且在关闭 SCLK 之前，将此位置为 1 可启用检测。一旦 SCLK 恢复，此位应重新设置为 0
17	VBRMDETEN	VBUS 移除检测使能 该位用于使能 VBUS 移除检测，作为唤醒 SCLK 时钟源的方式之一。当系统即将进入低功耗模式，并且在系统关闭 SCLK 之前，将此位置为 1 以启用检测。一旦 SCLK 恢复，该位应重新设置为 0
16	PINDETEN	启用主机插入检测 此位用于启用主机插入检测，作为唤醒 SCLK 时钟源的方式之一。当系统即将进入低功耗模式，并且在系统关闭 SCLK 之前，将该位设置为 1 可启用检测。SCLK 恢复后，应将此位重新设置为 0
0:15	Reserved	保留，必须保持复位值。

#### 40.11.5.2 USBHS Wrapper 配置寄存器 (USBHS\_WRPCFG)

偏移地址：0x0004

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		IDSIG	SOFDEN	LSEN	IDEN	Reserved						PLLEN	PHYCLKSEL[2:0]		
		rw	rw	rw	rw							rw	rw		

位域	名称	描述
31:13	Reserved	保留，必须保持复位值。
12	IDSIG	当 IDEN=0 时，使用此寄存器，否则不使用。 1: 将内部 ID 数字信号设为 1 0: 将内部 ID 数字信号设为 0
11	SOFDEN	USB SOF 检测使能位。 1: 使能 SOF 检测及其输出。SOF 脉冲输出到 USB_SOF 端口，其脉冲宽度为 20 个 hclk 周期 0: 禁用 SOF 检测
10	LSEN	USB2.0 回环模式下的低摆幅控制 0: 正常摆幅 (400mV) 1: 小摆幅 (355mV)
9	IDEN	ID 引脚使能 1: ID 引脚模块已启用 0: ID 引脚模块已禁用
8:4	Reserved	保留，必须保持复位值。
3	PLLEN	启用 USB PHY PLL 在挂起模式下保持时钟源活动 0: PLLCK120 和 PLLCK480 不活动 1: CLK48M、PLLCK120 和 PLLCK480 活动
2:0	PHYCLKSEL	PHY 源时钟频率选择 000: 10MHz 001: 12MHz 010: 25MHz 011: 30MHz 100: 19.2MHz 101: 24MHz 110: 27MHz 111: 40MHz

## 41 数据波特率可变的控制器局域网（FDCAN）

### 41.1 概述

提供 8 个 FDCAN 模块，符合 ISO 11898-1:2015 标准，支持 CAN 2.0A/B 与 CAN FD 协议，兼容非 ISO 标准的 Bosch 协议。

此外，CAN 模块 FDCAN1&2&3&4 还支持 ISO 11898-4 中规定的时间触发 CAN(TTCAN)，包括事件同步时间触发通信、全球系统时间和时钟漂移补偿。FDCAN1&2&3&4 包含时间触发功能专用的附加寄存器。CANFD 可选与事件触发和时间触发 CAN 通信一起使用。

8 个 FDCAN 模块共享 2 个消息 RAM 区域，每个 FDCAN 可自由选择 SRAM5 BANK1 或 SRAM5 BANK2，用于接收消息过滤器、接收 FIFO、接收缓冲区、发送缓冲区、发送事件 FIFO（以及 TTCAN 触发器）。消息 RAM 位于 MCU 内部 SRAM 中，起始地址可配置，单个 FDCAN 最大可分配 4480 字（32bit）。

### 41.2 主要特性

- 符合 ISO 11898-1:2015 和 ISO 11898-4 标准
- 支持 CAN FD，最多 64 字节数据
- 支持完全通过硬件实现的 TTCAN 1 级和 2 级（仅支持 FDCAN1/2/3/4）
- 支持 CAN 错误日志记录
- 支持 AUTOSAR 标准
- 支持 SAE J1939 标准
- 增强的接收过滤器功能
- 两个可配置的接收 FIFO
- 接收高优先级消息时单独发出信号指示
- 最多 64 个专用接收缓冲区
- 最多 32 个专用发送缓冲区
- 可配置的发送 FIFO 或队列
- 可配置的发送事件 FIFO
- 支持可配置的消息 RAM，8 个 FDCAN 控制器共享
- 可编程的环回测试模式
- 可屏蔽的模块中断
- 两个时钟域：CAN 内核时钟和 APB 总线时钟
- 支持掉电模式

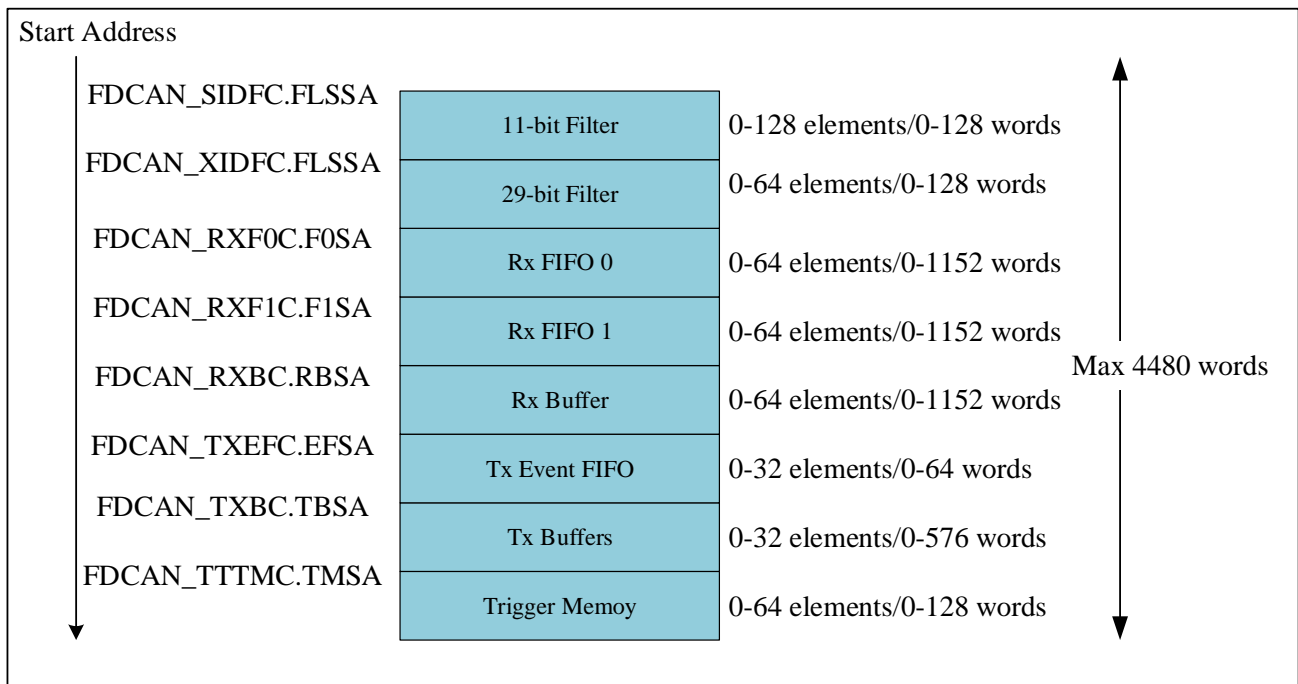
## 41.3 消息 RAM

### 41.3.1 消息 RAM 配置

FDCAN 支持一个 32bit 消息 RAM 区，包含接收过滤器、接收 FIFO 与专用接收缓冲区、发送缓冲区、发送事件 FIFO（以及 TTCAN 触发器）。消息 RAM 位于通用 SRAM，基线地址可配置（FDCAN\_TTSS.RAMSEL 位），仅支持按字（32bit）访问，不支持字节访问，单个 FDCAN 模块最多可分配 4480 字，8 个 FDCAN 模块共享 2 个消息 RAM 区域(单块 SRAM 最大 4096 字，所以实际上单个 FDCAN 最多可以配置成 4096 字)。消息 RAM 结构可参考下图。

*注意：Message RAM 具有 ECC 功能，建议在硬件复位后通过向每个 Message RAM 字写入 0x00000000 等值来初始化 Message RAM，以创建有效的 ECC 校验和。这样可以避免从未注册的消息 RAM 部分读取数据时激活中断 FDCAN\_IR.BEC（已纠正位错误）或 FDCAN\_IR.BEU（未纠正位错误）。*

图 41-1 FDCAN 消息 RAM 分配示例图



消息 RAM 中的各个分段不是强制性的，其排列顺序也没有限制。用户可以根据需要进行配置。在 CAN FD 模式下运行时，所需的消息 RAM 大小主要取决于通过 FDCAN\_RXESC.F0DS、FDCAN\_RXESC.F1DS、FDCAN\_RXESC.RBDS 和 FDCAN\_TXESC.TBDS 为 Rx FIFO0、Rx FIFO1、Rx 缓冲器和 Tx 缓冲器配置的元素大小。寄存器中配置的起始地址均为字地址，实际写入寄存器的是各区段起始地址与消息 RAM 区起始地址的偏移量。

*注意：FDCAN 不检查消息 RAM 的配置是否存在错误。因此配置各区段的起始地址以及元素数量时必须多加留意，以避免数据入侵或丢失。*

### 41.3.2 专用接收缓冲和接收 FIFO

每个 FDCAN 模块可在消息 RAM 区配置最多 64 个专用接收缓冲和 2 个接收 FIFO 区。每个接收 FIFO 大小

也可分别配置，最多可分别存储 64 条已接收消息。专用接收缓冲与接收 FIFO 元素的数据域大小可通过寄存器 FDCAN\_RXESC 配置，最多 64 字节。

接收缓冲与 FIFO 元素数据结构如下表所示。

**表 41-1 接收缓冲与接收 FIFO 数据结构**

word	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0	ESI	XTD	RTR	ID[28:0]																												
R1	ANMF	FIDX[6:0]						Reserved	FDF	BRS	DLC[3:0]			RXTS[15:0]																		
R2	DB3[7:0]						DB2[7:0]						DB1[7:0]						DB0[7:0]													
R3	DB7[7:0]						DB6[7:0]						DB5[7:0]						DB4[7:0]													
...	...						...						...						...													
Rn	DBm[7:0]						DBm-1[7:0]						DBm-2[7:0]						DBm-3[7:0]													

位域	名称	描述
R0 位 31	ESI	错误状态指示符 (Error State Indicator) 0: 发送节点处于主动错误状态 1: 发送节点处于被动错误状态
R0 位 30	XTD	扩展标识符 (Extended Identifier), 指示接收帧 ID 类型。 0: 11 位标准 ID 1: 29 位扩展 ID
R0 位 29	RTR	远程发送请求 (Remote Transmission Request), 指示接收到的帧类型。 0: 接收到的帧为数据帧 1: 接收到的帧为远程帧 注意: CAN FD 格式中没有远程帧。在 CAN FD 帧 (FDF = 1) 中, 显性位 RRS (远程请求替代) 位替代了 RTR (远程发送请求) 位。
R0 位 28:0	ID[28:0]	标识符 (Identifier) 标准 ID 或扩展 ID, 取决于 XTD 位。当为 11 位标准 ID 时左对齐存储 (ID[28:18])。
R1 位 31	ANMF	接受非匹配帧 (Accepted Non-matching Frame) 可通过 FDCAN_GFC.ANFS 和 FDCAN_GFC.ANFE 使能接受非匹配帧。 0: 接收到的帧与过滤器索引 FIDX 匹配 1: 接收到的帧与任何接收过滤器元素都不匹配
R1 位 30:24	FIDX[6:0]	过滤器索引 (Filter Index) 0-127: 与接收帧匹配的接收过滤器元素索引 (ANMF = 1 时无效)。 实际范围为 0 到 FDCAN_SIDFC.LSS - 1 (标准帧) 或 FDCAN_XIDFC.LSE - 1 (扩展帧)。
R1 位 21	FDF	FD 格式 (FD Format) 0: 典型 CAN 帧格式 1: FDCAN 帧格式 (新 DLC 编码和 CRC)
R1 位 20	BRS	比特率切换 (Bit Rate Switch) 0: 接收帧时不切换比特率 1: 接收帧时切换比特率

位域	名称	描述
R1 位 19:16	DLC[3:0]	数据长度代码 (Data Length Code) 0-8: CAN + CAN FD: 接收到的帧包含 0-8 个数据字节 9-15: CAN: 接收到的帧包含 8 个数据字节 9-15: CAN FD: 接收到的帧包含 12/16/20/24/32/48/64 个数据字节
R1 位 15:0	RXTS[15:0]	接收时间戳 (Rx Timestamp) 开始接收帧时捕获的时间戳计数器值。分辨率取决于时间戳计数器预分频器 FDCAN_TSCC.TCP 的配置。
R2 位 31:24	DB3[7:0]	数据字节 3 (Data Byte 3)
R2 位 23:16	DB2[7:0]	数据字节 2 (Data Byte 2)
R2 位 15:8	DB1[7:0]	数据字节 1 (Data Byte 1)
R2 位 7:0	DB0[7:0]	数据字节 0 (Data Byte 0)
R3 位 31:24	DB7[7:0]	数据字节 7 (Data Byte 7)
R3 位 23:16	DB6[7:0]	数据字节 6 (Data Byte 6)
R3 位 15:8	DB5[7:0]	数据字节 5 (Data Byte 5)
R3 位 7:0	DB4[7:0]	数据字节 4 (Data Byte 4)
...	...	...
Rn 位 31:24	DBm[7:0]	数据字节 m (Data Byte m)
Rn 位 23:16	DBm-1[7:0]	数据字节 m-1 (Data Byte m-1)
Rn 位 15:8	DBm-2[7:0]	数据字节 m-2 (Data Byte m-2)
Rn 位 7:0	DBm-3[7:0]	数据字节 m-3 (Data Byte m-3)

注意：根据 FDCAN\_RXESC 的配置，数据域可占用 2~16 个字 (Rn= 2..17)。

### 41.3.3 发送缓冲

发送缓冲区可配置为专用发送缓冲以及发送 FIFO/发送队列。如果发送缓冲区由专用发送缓冲和发送 FIFO/发送队列共享，先从发送缓冲区的起始地址开始分配专用发送缓冲，剩余部分再分配给发送 FIFO/发送队列。发送处理单元根据 FDCAN\_TXBC.TFQS 和 FDCAN\_TXBC.NDTB 值来区分专用发送缓冲和发送 FIFO/发送队列。发送缓冲与发送 FIFO/发送队列元素大小可配置，具体取决于数据域大小，而数据域可通过寄存器 FDCAN\_TXESC 配置，最多 64 字节。

专用发送缓冲与发送 FIFO/发送队列元素数据结构如下表所示。

表 41-2 专用发送缓冲与发送 FIFO/发送队列数据结构

word	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
T0	ESI	XTD	RTR	ID[28:0]																												
T1	MM[7:0]								EFC	Reserved	FDI	BRS	DLC[3:0]			Reserved																
T2	DB3[7:0]								DB2[7:0]				DB1[7:0]				DB0[7:0]															
T3	DB7[7:0]								DB6[7:0]				DB5[7:0]				DB4[7:0]															
...	...								...				...				...															
Tn	DBm[7:0]								DBm-1[7:0]				DBm-2[7:0]				DBm-3[7:0]															

位域	名称	描述
T0 位 31	ESI	错误状态指示符 (Error State Indicator) 0: CAN FD 帧中 ESI 位仅取决于错误被动标志 1: CAN FD 帧中 ESI 位会进行隐性发送 注意: 实际发送的 ESI 位为写入发送缓冲的 ESI 与被动错误标志进行或运算后的值。按照 CAN FD 协议规范的要求, 主动错误节点可选择隐性发送 ESI 位, 但被动错误节点将始终隐性发送 ESI 位。
T0 位 30	XTD	扩展标识符 (Extended Identifier) 0: 11 位标准 ID 1: 29 位扩展 ID
T0 位 29	RTR	远程发送请求 (Remote Transmission Request) 0: 发送数据帧 1: 发送远程帧 注意: 当 RTR = 1 时, 即使 CCCR.FDOE 启用了 CAN FD 格式的传输, FDCAN 也会按照 ISO 11898-1:2015 的规定发送远程帧。
T0 位 28:0	ID[28:0]	标识符 (Identifier) 标准 ID 或扩展 ID, 取决于 XTD 位。当为 11 位标准 ID 时左对齐存储(ID[28:18])。
T1 位 31:24	MM[7:0]	消息标记 (Message Marker) 在配置发送缓冲区时由 CPU 写入。复制到发送事件 FIFO 元素中, 用于标识发送消息状态。
T1 位 23	EFC	事件 FIFO 控制 (Event FIFO Control) 0: 不存储发送事件 1: 存储发送事件
T1 位 21	FDF	FD 格式 (FD Format) 0: 以典型 CAN 帧格式发送 1: 以 CAN FD 帧格式发送
T1 位 20	BRS	比特率切换 (Bit Rate Switching) 0: 发送 CAN FD 帧时不切换比特率 1: 发送 CAN FD 帧时切换比特率 注意: ESI、FDF 和 BRS 位仅当启用 CAN FD (FDCAN_CCCR.FDOE = '1') 时有效。在此基础上, BRS 仅 FDCAN_CCCR.BRSE = '1' 时有效。
T1 位 19:16	DLC[3:0]	数据长度代码 (Data Length Code) 0-8: CAN + CAN FD: 接收到的帧包含 0-8 个数据字节 9-15: CAN: 接收到的帧包含 8 个数据字节 9-15: CAN FD: 接收到的帧包含 12/16/20/24/32/48/64 个数据字节
T2 位 31:24	DB3[7:0]	数据字节 3 (Data Byte 3)
T2 位 23:16	DB2[7:0]	数据字节 2 (Data Byte 2)
T2 位 15:8	DB1[7:0]	数据字节 1 (Data Byte 1)
T2 位 7:0	DB0[7:0]	数据字节 0 (Data Byte 0)
T3 位 31:24	DB7[7:0]	数据字节 7 (Data Byte 7)
T3 位 23:16	DB6[7:0]	数据字节 6 (Data Byte 6)
T3 位 15:8	DB5[7:0]	数据字节 5 (Data Byte 5)
T3 位 7:0	DB4[7:0]	数据字节 4 (Data Byte 4)

位域	名称	描述
...	...	...
Tn 位 31:24	DBm[7:0]	数据字节 m (Data Byte m)
Tn 位 23:16	DBm-1[7:0]	数据字节 m-1 (Data Byte m-1)
Tn 位 15:8	DBm-2[7:0]	数据字节 m-2 (Data Byte m-2)
Tn 位 7:0	DBm-3[7:0]	数据字节 m-3 (Data Byte m-3)

注意：根据 FDCAN\_TXESC 的配置，数据域可占用 2~16 个字 (Tn=2..17)。

### 41.3.4 发送事件 FIFO

每个元素均存储与已发送消息相关的信息。通过读取发送事件 FIFO，主机 CPU 可按照消息发送顺序获取相关信息。发送事件 FIFO 的状态信息可从寄存器 FDCAN\_TXEFS 获取。

发送事件 FIFO 元素数据结构如下表所示。

表 41-3 发送事件 FIFO 数据结构

word	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E0	ESI	XTD	RTR	ID[28:0]																												
E1	MM[7:0]							ET[1:0]		FDF	BRS	DLC[3:0]			TXTS[15:0]																	

位域	名称	描述
E0 位 31	ESI	错误状态指示符 (Error State Indicator) 0: 发送节点为主动错误状态 1: 发送节点为被动错误状态
E0 位 30	XTD	扩展标识符 (Extended Identifier) 0: 11 位标准 ID 1: 29 位扩展 ID
E0 位 29	RTR	远程发送请求 (Remote Transmission Request) 0: 发送数据帧 1: 发送远程帧
E0 位 28:0	ID[28:0]	标识符 (Identifier) 标准 ID 或扩展 ID, 取决于 XTD 位。当为 11 位标准 ID 时左对齐存储 (ID[28:18])。
E1A/B 位 31:24	MM[7:0]	消息标记 (Message Marker) 从发送缓冲区复制到发送事件 FIFO 元素中, 用于标识发送消息状态。
E1A/B 位 23:22	ET[1:0]	事件类型 (Event Type) 00: 保留 01: 发送事件 10: 取消后仍发送 (在 DAR 模式下发送时必须设为此值) 11: 保留
E1A/B 位 21	FDF	FD 格式 (FD Format) 0: 典型 CAN 帧格式 1: FDCAN 帧格式 (新 DLC 编码和 CRC)



位域	名称	描述
E1A/B 位 20	BRS	比特率切换 (Bit Rate Switching) 0: 发送 CAN FD 帧时不切换比特率 1: 发送 CAN FD 帧时切换比特率
E1A/B 位 19:16	DLC[3:0]	数据长度代码 (Data Length Code) 0-8: CAN + CAN FD: 接收到的帧包含 0-8 个数据字节 9-15: CAN: 接收到的帧包含 8 个数据字节 9-15: CAN FD: 接收到的帧包含 12/16/20/24/32/48/64 个数据字节
E1A 位 15:0	TXTS[15:0]	发送时间戳 (Tx Timestamp) 开始发送帧时捕获的时间戳计数器值。分辨率取决于时间戳计数器预分频器 FDCAN_TSSC.TCP 的配置。

### 41.3.5 标准消息 ID 过滤器

最多可为 11 位标准 ID 配置 128 个过滤器元素。访问标准消息 ID 过滤器元素时，其地址为标准过滤器列表起始地址 FDCAN\_SIDFC.FLSSA 加上过滤器元素索引 (0...127)。

标准消息 ID 过滤器元素数据结构如下表所示。

表 41-4 标准消息 ID 过滤器数据结构

word	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
S0	SFT[1:0]		SFEC[2:0]			SFID1[10:0]										Reserved					SFID2[0:0]											

位域	名称	描述
31:30	SFT[1:0]	标准过滤器类型 (Standard Filter Type) 00: 从 SFID1 到 SFID2 的范围过滤器 01: 双 ID 过滤器: 过滤器 ID 为 SFID1 或 SFID2 10: 典型过滤器: SFID1 为过滤器 ID, SFID2 为掩码 11: 禁用当前过滤器 注意: 当 SFT=11b 时, 禁用过滤器元素, 但接收过滤仍然有效 (与 SFEC=00b 时的行为相同)。
29:27	SFEC[2:0]	标准过滤器元素配置 (Standard Filter Element Configuration) 所有使能的过滤器元素都用于对标准帧进行接收过滤。当发现第一个匹配的已使能过滤器元素时, 或者到达过滤器列表结尾处时, 停止接收过滤。如果 SFEC =100b、101b 或 110b, 则出现匹配时, 会将中断标志 FDCAN_IR.HPM 置 1, 并会生成中断 (若使能)。在这种情况下, 寄存器 FDCAN_HPMS 会更新为优先级匹配的状态。 000: 禁用当前过滤器 001: 如果与过滤器匹配, 则存储在接收 FIFO 0 中 010: 如果与过滤器匹配, 则存储在接收 FIFO 1 中 011: 如果与过滤器匹配, 则拒绝接收, 不适合与同步消息一起使用 100: 如果与过滤器匹配, 设置优先级但不存储, 不适合与同步消息一起使用

位域	名称	描述
		101: 如果与过滤器匹配, 则设置优先级并存储在 FIFO 0 中 110: 如果与过滤器匹配, 则设置优先级并存储在 FIFO 1 中 111: 存储在接收缓冲区中或作为调试消息, 忽略 SFT[1:0]的配置
26:16	SFID1[10:0]	标准过滤器 ID 1 (Standard Filter ID 1) 标准 ID 过滤器元素的第一个 ID。当用于接收缓冲、同步消息、或调试消息时, 此字段为需要存储的消息 ID。此时消息 ID 必须完全匹配, 不使用掩码机制。
10:0	SFID2[10:0]	标准过滤器 ID 2 (Standard Filter ID 2) 根据 SFEC 的不同配置, 此字段定义也不同。 1) SFEC =001b...110b: 标准 ID 过滤器元素的第二个 ID 2) SFEC =111b: 用于接收缓冲或调试消息的过滤配置, 详细定义如下: - 10:9: 用于定义接收到的消息存储位置, 接收缓冲、或作为调试消息序列中的消息 A、B 或 C 进行处理 00: 将消息存储在接收缓冲区中 01: 调试消息 A 10: 调试消息 B 11: 调试消息 C - 8:6: 保留。 - 5:0: 接收消息在接收缓冲区存储位置与起始地址 FDCAN_RXBC.RBSA 的偏移。

### 41.3.6 扩展消息 ID 过滤器

最多可为 29 位扩展 ID 配置 64 个过滤器元素。当访问扩展消息 ID 过滤器元素时, 其地址是 FDCAN\_XIDFC.FLESA 加上过滤器元素的索引的两倍 (0...63)。

扩展消息 ID 过滤器元素数据结构如下表所示。

表 41-5 扩展消息 ID 过滤器数据结构

word	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
F0	EFEC[2:0]		EFID1[28:0]																													
F1	EFT[1:0]	Reserved	EFID2[28:0]																													

位域	名称	描述
F0 位 31:29	EFEC[2:0]	扩展过滤器元素配置 (Extended Filter Element Configuration) 所有使能的过滤器元素都用于对扩展帧进行接收过滤。当发现第一个匹配的已使能过滤器元素时, 或者到达过滤器列表结尾处时, 停止接收过滤。如果 EFEC =100b、101b 或 110b, 则出现匹配时, 会将中断标志 FDCAN_IR.HPM 置 1, 并会生成中断 (若使能)。在这种情况下, 寄存器 FDCAN.HPMS 会更新为优先级匹配的状态。 000: 禁用当前过滤器 001: 如果与过滤器匹配, 则存储在接收 FIFO 0 中

位域	名称	描述
		010: 如果与过滤器匹配, 则存储在接收 FIFO 1 中 011: 如果与过滤器匹配, 则拒绝接收, 不适合与同步消息一起使用 100: 如果与过滤器匹配, 设置优先级但不存储, 不适合与同步消息一起使用 101: 如果与过滤器匹配, 则设置优先级并存储在 FIFO 0 中 110: 如果与过滤器匹配, 则设置优先级并存储在 FIFO 1 中 111: 存储在接收缓冲区中或作为调试消息, 忽略 EFT[1:0]的配置
F0 位 28:0	EFID1[28:0]	扩展过滤器 ID 1 (Extended Filter ID 1) 扩展 ID 过滤器元素的第一个 ID。当用于接收缓冲、同步消息、或调试消息时, 此字段为需要存储的消息 ID。此时消息 ID 必须完全匹配, 仅使用 XIDAM 屏蔽机制。
F1 位 31:30	EFT[1:0]	扩展过滤器类型 (Extended Filter Type) 00: 从 EFID1 到 EFID2 的范围过滤器 (EFID2 ≥ EFID1) 01: 双 ID 过滤器: 过滤器 ID 为 EFID1 或 EFID2 10: 典型过滤器: EFID1 为过滤器 ID, EFID2 为掩码 11: 从 EFID1 到 EFID2 的范围过滤器 (EFID2 ≥ EFID1), 忽略 XIDAM 掩码
F1 位 28:0	EFID2[28:0]	扩展过滤器 ID 2 (Extended Filter ID 2) 根据 SFEC 的不同配置, 此字段定义也不同。 1) EFEC = 001b...110b: 扩展 ID 过滤器元素的第二个 ID 2) EFEC = 111b: 用于接收缓冲或调试消息的过滤配置, 详细定义如下: - 10:9: 用于定义接收到的消息存储位置, 接收缓冲、或作为调试消息序列中的消息 A、B 或 C 进行处理 00: 将消息存储在接收缓冲区中 01: 调试消息 A 10: 调试消息 B 11: 调试消息 C -8:6: 保留。 -5:0: 接收的消息在接收缓冲区存储位置与起始地址 FDCAN_RXBC.RBSA 的偏移。

### 41.3.7 触发存储器

最多可配置 64 个触发存储器元素。访问触发存储器元素时, 其地址为触发存储器起始地址 FDCAN\_TTTMC.TMSA 加上触发存储器元素的索引 (0...63)。

表 41-6 触发存储器数据结构

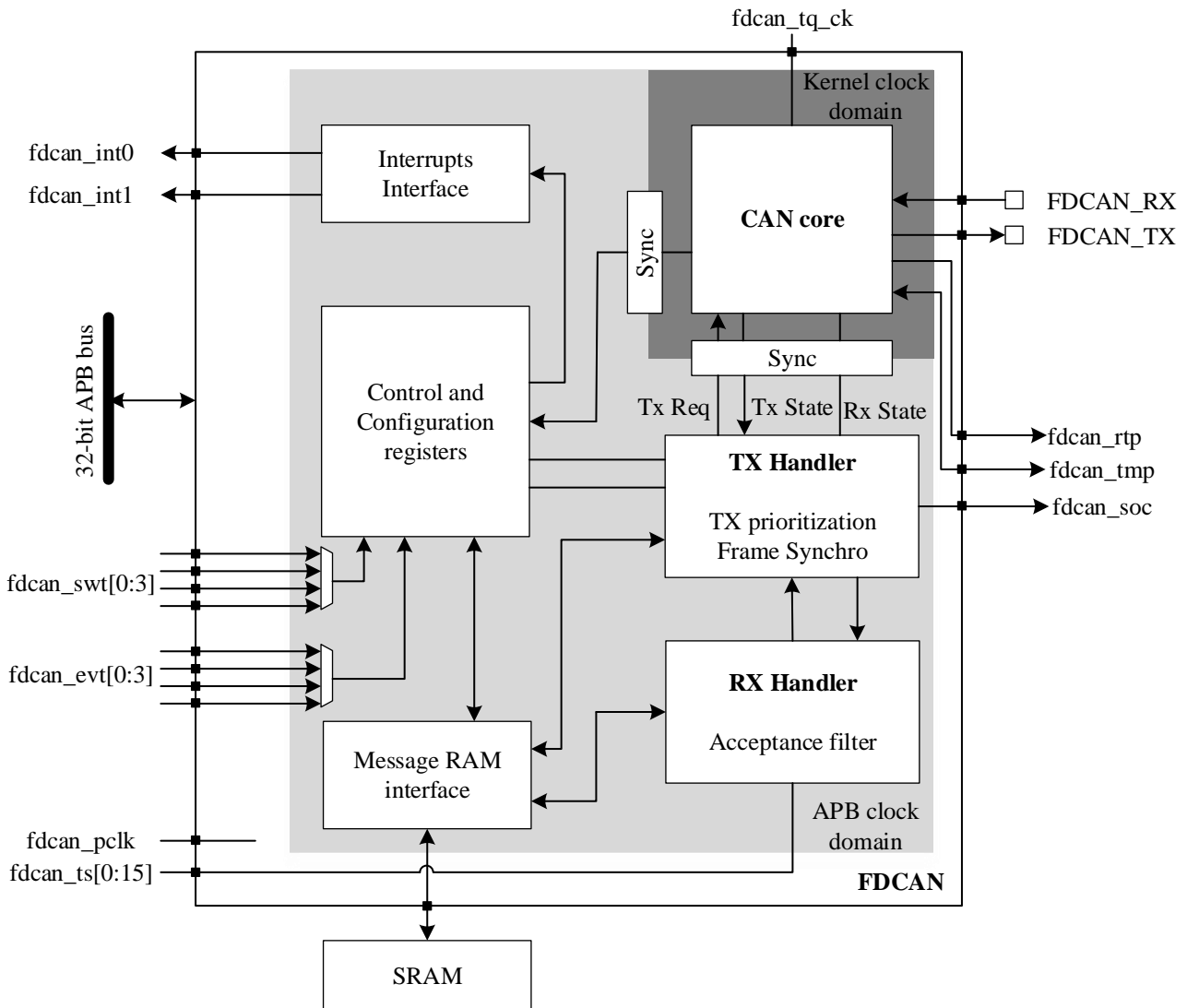
word	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
T0	TM[15:0]															Reserved	CC[6:0]						Reserved	TMIN	TMEX	TYPE[3:0]						
T1	Reserved									FTYPE	MNR[6:0]						Reserved						MSC[2:0]									

位域	名称	描述
T0 位 31:16	TM[15:0]	时间标记(Time Mark) 触发器激活的周期时间。
T0 位 14:8	CC[6:0]	周期代码(Cycle code): 触发有效的周期计数。忽略触发类型 Tx_Ref_Trigger、Tx_Ref_Trigger_Gap、Watch_Trigger、Watch_Trigger_Gap、End_of_List。 0b000000x valid for all cycles 0b000001c valid every 2nd cycle at cycle count mod2 = c 0b00001cc valid every 4th cycle at cycle count mod4 = cc 0b0001ccc valid every 8th cycle at cycle count mod8 = ccc 0b001cccc valid every 16th cycle at cycle count mod16 = cccc 0b01ccccc valid every 32nd cycle at cycle count mod32 = cccccc 0b1cccccc valid every 64th cycle at cycle count mod64 = ccccccc
T0 位 5	TMIN	时间标记事件内部(Time mark event internal): 0: 无操作 1: 触发存储元件处于活动状态时 FDCAN_TTIR.TTMI 置 1
T0 位 4	TMEX	时间标记事件外部(Time mark event external): 0: 无操作 1: 当触发存储元件的时间弧处于激活状态且 FDCAN_TTOCN.TTMIE = 1 时, 在输出端 fdcan_tmp 产生一个以上实例的脉冲, 如果只有一个实例, 则在输出端 fdcan_tmp 产生一个周期长度的脉冲。
T0 位 3:0	TYPE[3:0]	触发器类型(Trigger type): 0000 Tx_Ref_Trigger - 未处于间隙时有效 0001 Tx_Ref_Trigger_Gap - 在间隙时有效 0010 Tx_Trigger_Single - 在独占时间窗口中启动单次发送 0011 Tx_Trigger_Continuous - 在独占时间窗口中启动连续发送 0100 Tx_Trigger_Arbitration - 在仲裁时间窗口中启动发送 0101 Tx_Trigger_Merged - 启动合并仲裁窗口 0110 Watch_Trigger - 非间隙时有效 0111 Watch_Trigger_Gap - 处于间隙时有效 1000 Rx_Trigger - 检查接收情况 1001 Time_Base_Trigger - 仅控制 TMIN、TMEX 1010 ... 1111=End_of_List - 非法类型, 会导致配置错误
T1 bit 23	FTYPE	过滤器类型(Filter type): 0: 11 位标准消息 ID 1: 29 位扩展消息 ID
T1 bit 22:16	MNR[6:0]	消息编号(Message Number) 发送: 触发器对配置的 Tx 缓冲区编号有效。有效值为 0 至 31。 接收: 触发器对标准/扩展消息 ID 过滤器元素编号有效。有效值分别为 0 至 63 和 0 至 127。
T1 bit 2:0	MSC[2:0]	消息状态计数(Message status count) 在专属时间窗口内统计周期性消息的调度错误。在仲裁消息和事件驱动的 CAN 通信 (ISO11898-1) 中, 它没有任何功能。 0-7= 实际状态

注意：必须在 FDCAN 处于 INIT（初始）状态时写入触发存储器元素。不允许在 INIT 状态之外写入触发存储器元素。如果 TMIN 和 TMEX 被定义为 Tx\_Ref\_Trigger 类型触发存储器元素的一部分，则 TMIN 和 TMEX 例外。在这种情况下，它们会在实际参考触发偏移（FDCAN\_TTOST.RTO）修改的时间标记处激活。

## 41.4 基本功能描述

图 41-2 FDCAN 功能框图



### 中断接口

FDCAN 模块支持 2 条中断线输出，fdcan\_int0 与 fdcan\_int1，可分别使能或禁用。模块内部所有中断都可连接至 fdcan\_int0 或 fdcan\_int1，且能分别独立配置。默认情况下，所有中断被连接到中断线 fdcan\_int0。

### CAN 内核

CAN 内核包含 CAN 协议控制器和接收/发送移位寄存器，提供所有 ISO 11898-1:2015 协议功能，支持 11 位和 29 位标识符。

## 同步单元

同步单元将 APB 时钟域的信号同步到 CAN 内核时钟域，或将 CAN 内核时钟域的信号同步到 APB 时钟域

## 时间戳

可接收外部输入的 16 位向量，用于替代内部 16 位 CAN 时间计数器，生成接收和发送时间戳。

## 发送处理

发送处理单元用于控制从消息 RAM 到 CAN 内核的数据传输。最多可配置 32 个发送缓冲区，可用作专用发送缓冲区、发送 FIFO/队列、或专用发送缓冲区与发送 FIFO/队列的组合，同时支持取消发送。同一时间，用户只能选择发送队列或发送 FIFO。发送时还可配置生成发送事件 FIFO，包含发送时间戳与关联消息 ID。

发送处理单元还实现了帧同步实体 FSE，根据 ISO11898-4 标准控制定时触发通信。它与 CAN 总线上的参考消息同步，控制周期时间和全局时间，并根据预定义的消息时间表（系统矩阵）处理发送。它还处理与消息 RAM 中消息相关联的系统矩阵时间标记。停止监视触发器、事件触发器和时间标记中断是同步接口。

## 接收处理

接收处理单元控制从 CAN 内核接收的消息到外部消息 RAM 的传输。接收处理单元支持两个接收 FIFO，每个 FIFO 的大小可独立配置，最多 64 个专用接收缓冲区，用于存储所有通过接收过滤器的消息。接收处理单元还支持专用接收缓冲区，与接收 FIFO 不同，仅存储符合特定标识符（ID）的消息。所有消息中均包含接收时间戳。如果使用 11 位 ID，最多可定义 128 个接收过滤器，而对于 29 位 ID，最多可定义 64 个过滤器。

## 消息 RAM 接口

消息 RAM 接口连接 FDCAN 模块与外部 32bit 消息 RAM，用于消息控制与仲裁，由 8 个 FDCAN 模块共享，最大支持 32K 字（32bit）。

### 41.4.1 工作模式

#### 41.4.1.1 软件初始化

当 FDCAN\_CCCR.INIT 位置 1 时，模块进入软件初始化状态。此时从 CAN 总线传入和传出的消息都将停止，且 CAN 总线输出引脚 FDCAN\_TX 的状态为隐性电平（高电平），错误管理逻辑（EML）的计数器保持不变，且不会改变任何配置寄存器值。FDCAN\_CCCR.INIT 位可通过软件置 1，也可在发生硬件复位或进入 Bus\_Off 状态时自动置 1。将 FDCAN\_CCCR.INIT 位清零会结束软件初始化，此时模块位流处理单元(BSP)会等待 11 个连续隐性位(Bus\_Idle)序列，以便与 CAN 总线上的数据传输进行同步，然后才能参与总线活动并进行消息传输。

仅当 FDCAN\_CCCR.INIT 位以及 FDCAN\_CCCR.CCE 位均置 1 时，才能对 FDCAN 配置寄存器进行写操作。

FDCAN\_CCCR.CCE 位只能在 FDCAN\_CCCR.INIT 位置 1 时才能进行置 1 或清零操作，且在 FDCAN\_CCCR.INIT 位清零时自动清零。

当 FDCAN\_CCCR.CCE 位置 1 时，下列寄存器会被复位：

- FDCAN\_HPMS——高优先级消息状态
- FDCAN\_RXF0S——接收 FIFO 0 状态
- FDCAN\_RXF1S——接收 FIFO 1 状态
- FDCAN\_TXFQS——发送 FIFO/队列状态
- FDCAN\_TXBRP——发送缓冲区请求挂起
- FDCAN\_TXBTO——发送缓冲区发送已发生
- FDCAN\_TXBCF——发送缓冲区取消完成
- FDCAN\_TXEFS——发送事件 FIFO 状态
- FDCAN\_TTOST——TT 运行状态
- FDCAN\_TTLGT——TT 本地时间和全局时间，仅全局时间 FDCAN\_TTLGT.GT 被重置
- FDCAN\_TTCTC——TT 周期时间和计数
- FDCAN\_TTCSTM——TT 周期同步标记

当 FDCAN\_CCCR.CCE 位置 1 时，FDCAN\_TOCV.TOC 位会被预设为 FDCAN\_TOCC.TOP 位的配置值。此时发送处理单元与接收处理单元状态机均保持空闲状态。

仅当 FDCAN\_CCCR.CCE 位清零时，才能对以下寄存器进行写操作：

- FDCAN\_TXBAR——发送缓冲区添加请求
- FDCAN\_TXBCR——发送缓冲区取消请求

FDCAN\_CCCR.TEST 和 FDCAN\_CCCR.MON 位仅当 FDCAN\_CCCR.INIT 位和 FDCAN\_CCCR.CCE 位均已置 1 时，才能通过软件置 1，但可随时清零。

FDCAN\_CCCR.DAR 位仅当 FDCAN\_CCCR.INIT 位和 FDCAN\_CCCR.CCE 位均已置 1 时，才能进行置 1 或清零操作。

#### 41.4.1.2 正常工作模式

当初始化完成且 FDCAN\_CCCR.INIT 位清零后，FDCAN 会将与 CAN 总线同步，准备进行通信。

通过接收过滤器过滤后，接收到的消息（包含消息 ID 和 DLC）将会存储到接收 FIFO 0、接收 FIFO 1、或专用接收缓冲区中。

可通过初始化或更新专用发送缓冲区与发送 FIFO/队列进行消息发送。在接收到远程帧后，不支持自动发送。

#### 41.4.1.3 CAN FD 工作模式

CAN FD 协议支持两种帧模式。第一种是长帧模式(LFM)，此模式下消息帧中的数据字段可以超过八个字节。第二种是快速帧模式(FFM)，此时消息帧发送时，控制字段、数据字段和 CRC 字段的比特率要高于帧起始和结束字段。快速帧模式可与长帧模式可结合使用。

具有 11 位标识符的 CAN 消息帧中的保留位、以及具有 29 位标识符的 CAN 消息帧中的第一个保留位现用作 FDF 位。FDF 为隐性位时表示 CAN FD 消息帧，显性则表示典型 CAN 消息帧。在 CAN FD 消息帧中，通过 FDF 位后的另外两个 bit 位 res 和 BRS 决定是否进行比特率切换，当 res 为显性位且 BRS 为隐性位时，

指示当前帧有进行比特率切换。res 为隐性位时，功能未定义，保留用作以后的协议扩展。如果接收到的帧中 FDF 与 res 均为隐性位，则发生协议异常事件，此时 FDCAN\_PSR.PXE 位置 1。如果已使能协议异常处理功能 (FDCAN\_CCCR.PXHD=0b)，在下一采样点模块工作状态会从接收器 (FDCAN\_PSR.ACT=10b) 变为同步中 (FDCAN\_PSR.ACT=00b)。如果禁止协议异常处理功能 (FDCAN\_CCCR.PXHD=1b)，FDCAN 会将隐性 res 位视为格式错误并发送错误帧。

通过编程 FDCAN\_CCCR.FDOE 可使能 CAN FD 工作模式，此时模块可发送和接收 CAN FD 消息帧，同时也支持典型 CAN 消息帧的发送和接收。发送时，帧类型 (CAN FD 消息帧与典型 CAN 消息帧) 可通过对应发送缓冲区中的 FDF 位配置。当 FDCAN\_CCCR.FDOE=0b 时，接收到的消息帧会被视为典型 CAN 消息帧，而接收到 CAN FD 消息帧时则视为错误并发送错误帧。如果 CAN FD 功能已禁用，即使发送缓冲区中的 FDF 位已置 1，也不会发送 CAN FD 消息帧。仅当 FDCAN\_CCCR.INIT 和 FDCAN\_CCCR.CCE 均置 1 时，才能更改 FDCAN\_CCCR.FDOE 和 FDCAN\_CCCR.BRSE 位。

如果 FDCAN\_CCCR.FDOE=0b, FDF 和 BRS 位被忽略, 仅发送典型 CAN 消息帧。如果 FDCAN\_CCCR.FDOE=1b、FDCAN\_CCCR.BRSE=0b 时, FDF 位有效, 可发送 CAN FD 消息帧。如果 FDCAN\_CCCR.FDOE=1b 且 FDCAN\_CCCR.BRSE=1b, 发送 CAN FD 消息帧时支持比特率切换。对于 FDF 和 BRS 位都置 1 的发送缓冲区, 消息以 CAN FD 消息帧发送并启用比特率切换。

在模块工作中，建议仅在满足以下条件时进行模式切换：

- CAN FD 数据域的错误率明显高于 CAN FD 仲裁域。此时应禁止比特率切换功能。
- 系统启动后，所有节点都只发送典型 CAN 消息帧。直至确认当前总线可通过 CAN FD 消息帧进行通信后，所有节点才切换为 CAN FD 模式。
- CAN 局部网络中的唤醒消息必须以典型 CAN 消息帧格式进行发送。
- 在整车下线流程中进行编程时，并非所有节点均支持 CAN FD。非 CAN FD 节点在编程完成之前会一直保持静默模式。随后，所有节点会切换回典型 CAN 通信。

在 CAN FD 模式中，DLC 取值为 0 至 8 时，数据域长度定义与典型 CAN 相同，取值 9 到 15（在典型 CAN 中数据域均为 8 个字节）时，数据域长度定义参照下表。

表 41-7 CAN FD 数据域长度定义

DLC	9	10	11	12	13	14	15
数据域字节数	12	16	20	24	32	48	64

CAN FD 快速帧模式下，如果 BRS 位为隐性位，消息帧内部会在 BRS 位后自动切换位时序。在 BRS 位之前，CAN FD 仲裁域使用由标称位时序和预分频寄存器 FDCAN\_NBTP 定义的标准位时序。随后的 CAN FD 数据域中，则使用由数据位时序和预分频寄存器 FDCAN\_DBTP 定义的快速位时序。最后在 CRC 分界符或检测到错误时（以先发生的事件为准）切换回标准位时序。

CAN FD 数据域的最大可配置比特率取决于 FDCAN 内核时钟频率。举例来说，如果 FDCAN 内核时钟频率为 20MHz，最短可配置位时间为四个时间片(tq)，此时数据域的比特率为 5Mb/s。

在 CAN FD 长帧和快速帧这两种数据帧格式中，ESI（错误状态指示符）位的值由发送开始时的发送器错误状态决定。如果发送器处于被动错误状态，则发生隐性 ESI 位，否则发送显性位。在 CAN FD 远程帧中，ESI 位始终为显性位，与发送器错误状态无关，且数据域长度为 0。

#### 41.4.1.4 收发器延迟补偿

在 CAN FD 数据域发送时，只有一个节点在发送数据，所有其他节点均处于接收器状态。FDCAN 发送器通



过 FDCAN\_TX 引脚发送数据时，接收器会同时通过 FDCAN\_RX 引脚接收当前发送的数据。接收数据相对于发送数据会产生延迟（收发器环路延迟）。当延迟时间大于 TSEG1（单个 bit 位中采样点前的时间片段）时，产生位错误。如果没有收发器延迟补偿，数据域比特率将受限于环路延迟。

FDCAN 采用延迟补偿机制来补偿收发器环路延迟，使得 CAN FD 数据域可在高比特率稳定传输，且不受环路延迟影响。

为了检查发送节点的数据域是否存在位错误，将延迟后的发送数据与接收数据在第二采样点 SSP 进行比较。如果检测到位错误，发送器将在下一个常规采样点对位错误作出响应。在仲裁域，延迟补偿禁用。

当数据位时间小于发送器延迟时，可将 FDCAN\_DBTP.TDC 位置 1 来使能发送器延迟补偿，在新版 ISO11898-1 标准中对此进行了详细介绍。

接收到数据位会在 SSP 与发送的数据位进行比较。SSP 定义为从 FDCAN 发送引脚 FDCAN\_TX 到接收引脚 FDCAN\_RX 测得的延迟时间与发送器延迟补偿偏移值（由 FDCAN\_TDCR.TDCO 配置）之和。发送器延迟补偿用于调整接收 bit 位中 SSP 的位置（例如半个数据域 bit 位时间）。第二采样点的位置会向下舍入到下一个 mtq（最小时间片，即一个 fdcan\_tq\_ck 时钟周期）。

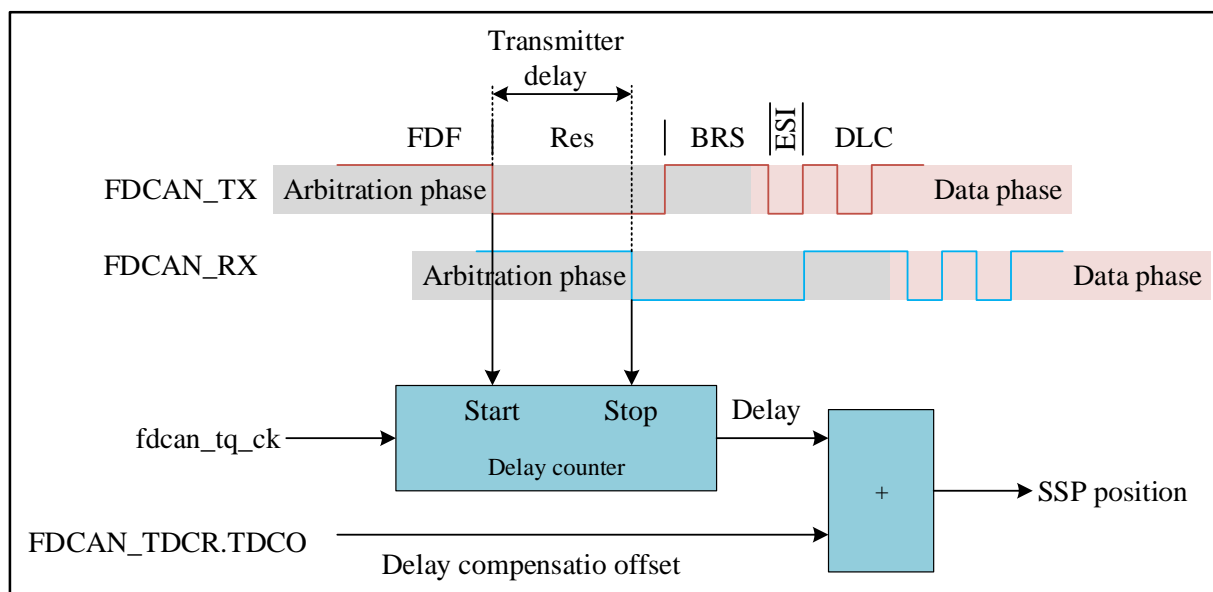
FDCAN\_PSR.TDCV 为实际发送器延迟补偿值。当 FDCAN\_CCCR.INIT 置 1 时，FDCAN\_PSR.TDCV 值清零。如果 FDCAN\_DBTP.TDC 置 1，FDCAN\_PSR.TDCV 值在每次发送 CAN FD 消息帧时更新。

在 FDCAN 中使用发送器延迟补偿时必须考虑以下边界条件：

- FDCAN\_TX 到 FDCAN\_RX 间测得的延迟时间与发送器延迟补偿偏移值 FDCAN\_TDCR.TDCO 之和必须小于数据域的 6 个位时间。
- FDCAN\_TX 到 FDCAN\_RX 间测得的延迟时间与发送器延迟补偿偏移值 FDCAN\_TDCR.TDCO 之和必须小于或等于 127 mtq。如果二者之和超过 127 mtq，发送器延迟补偿采用最大值(127 mtq)。
- 数据域在 CRC 分隔符的采样点结束，此时停止在 SSP 检查接收到的数据位。

当 FDCAN\_DBTP.TDC 置 1 时，使能发送器延迟补偿。此时会在每个发送的 CAN FD 消息帧中的 FDF 位与 res 位间下降沿开始测量，在接收引脚 FDCAN-RX 上观察到该下降沿时停止测量。此测量以 mtq 为单位。

图 41-3 FDCAN 收发器延迟测量



如果在接收到的 FDF 位中有显性毛刺信号，会导致在接收到下降沿前异常结束延迟补偿测量（造成 SSP 位置提前），此时可将 FDCAN\_TDCR.TDCF 置 1 来使能发送器延迟补偿过滤器窗口。延迟补偿过滤器窗口定义了 SSP 位置最小值，此时进行发送器延迟测量会忽略 FDCAN\_RX 接收到的导致 SSP 位置提前的显性边沿。当 SSP 位置不小于 FDCAN\_TDCR.TDCF 值，且 FDCAN\_RX 为低电平时，测量停止。

#### 41.4.1.5 受限工作模式

在受限工作模式下，节点可接收数据帧和远程帧，并对有效帧进行确认，但不会发送数据帧、远程帧、主动错误帧或过载帧。如果发生错误或过载，节点不会发送显性位，而是等待总线空闲，以便与 CAN 总线重新同步。此时错误计数器（FDCAN\_ECR.REC、FDCAN\_ECR.TEC）被冻结，错误记录（FDCAN\_ECR.CEL）保持工作。FDCAN\_CCCR.ASM 位软件置 1 后，FDCAN 进入受限工作模式。仅当 FDCAN\_CCCR.CCE 和 FDCAN\_CCCR.INIT 均为“1”时，才能将 FDCAN\_CCCR.ASM 置 1，但可随时通过软件清零。

当发送处理单元未能及时从消息 RAM 中读取数据时，会自动进入受限工作模式。软件必须复位 FDCAN\_CCCR.ASM 位来退出受限工作模式。

受限工作模式可用于自适应 CAN 比特率应用。此时应用会测试不同比特率，并在收到有效帧后退出受限工作模式。

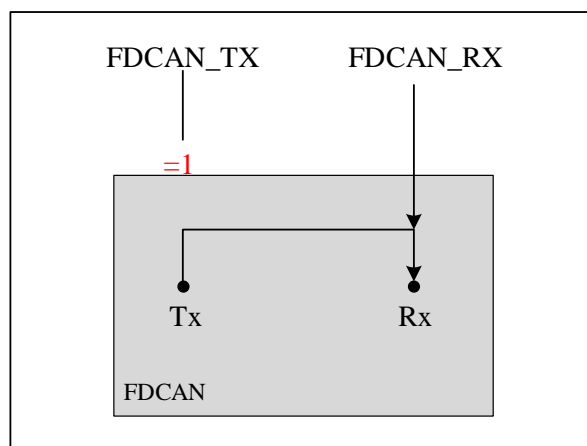
*注意：受限工作模式不能与环回模式（内部或外部）结合使用。*

#### 41.4.1.6 总线监控模式（静默模式）

将 FDCAN\_CCCR.MON 位置 1 时，FDCAN 进入总线监控模式。在总线监控模式下（更多详细信息，请参见 ISO11898-1, 10.12 总线监控），FDCAN 能够接收有效数据帧和有效远程帧，但无法发送。此时 FDCAN 仅会在 CAN 总线上发送隐性位，如果 FDCAN 必须发送显性位（ACK 位、过载标志、主动错误标志），仅在模块内部发送以便 FDCAN 可以监控该显性位，但 CAN 总线保持隐性状态。在总线监控模式下，寄存器 FDCAN\_TXBRP 会保持复位状态。

总线监控模式可用于分析 CAN 总线上的流量，同时不会因发送显性位对其造成影响。总线监控模式下 FDCAN\_TX 和 FDCAN\_RX 信号与 FDCAN 的连接如下图所示。

图 41-4 FDCAN 总线监控模式引脚控制



#### 41.4.1.7 禁止自动重传（DAR）模式

根据 CAN 规范（参见 ISO 11898-1:2015, 8.3.4 恢复管理），FDCAN 支持自动重传仲裁失败或在发送过程中受到错误干扰的消息帧。自动重传默认使能，但可以通过 FDCAN\_CCCR.DAR 禁用自动重传。

在 DAR（禁止自动重传）模式下，所有重发操作在 CAN 总线启动后都会自动取消。发送缓冲区发送请求挂

起位 FDCAN\_TXBRP.TRPx 在成功发送后自动复位，如果取消时发送尚未开始、发送因仲裁丢失而中止、或者发送期间出错，该位也会复位。

- 成功发送：
  - ◆ 发送缓冲区对应的发送开始位 FDCAN\_TXBTO.TOx 置 1
  - ◆ 发送缓冲区对应的取消完成位 FDCAN\_TXBCF.CFx 不置 1
- 已取消发送但仍成功发送：
  - ◆ 发送缓冲区对应的发送开始位 FDCAN\_TXBTO.TOx 置 1
  - ◆ 发送缓冲区对应的取消完成位 FDCAN\_TXBCF.CFx 置 1
- 仲裁丢失或帧发送受到干扰：
  - ◆ 发送缓冲区对应的发送开始位 FDCAN\_TXBTO.TOx 未置 1
  - ◆ 发送缓冲区对应的取消完成位 FDCAN\_TXBCF.CFx 置 1

在成功发送消息帧时，如果启用了发送事件存储，则会写入事件类型 ET=10b（即使已取消发送也会进行发送）的发送事件 FIFO。

#### 41.4.1.8 掉电（休眠）模式

FDCAN 可通过设置时钟停止请求位 FDCAN\_CCCR.CSR 进入掉电模式。时钟停止请求生效后，读 FDCAN\_CCCR.CSR 位返回值为 1。

当所有发送请求完成后，FDCAN 会一直等待直至检测到总线空闲状态。然后将 FDCAN\_CCCR.INIT 置 1 以避免其他 CAN 传输。此时将 FDCAN\_CCCR.CSA 置 1，确认已准备好进入掉电状态后，模块时钟可关闭。在该模式下，如果模块时钟未关闭，可继续访问寄存器，但对 FDCAN\_CCCR.INIT 写操作无效。

*注意：在 CAN 总线受到严重干扰时，可能无法检测到总线空闲状态，导致 FDCAN 不会将 FDCAN\_CCCR.INIT 位置 1，可通过轮询 FDCAN\_PSR.ACT 来检测此情况。此时软件可将 FDCAN\_CCCR.INIT 置 1 立即停止 CAN 通信，无论当前是否有发送/接收操作在进行。*

如果要退出掉电模式，应用必须先开启模块时钟，再复位 FDCAN\_CCCR.CSR 位。此时查询 FDCAN\_CCCR.CSA 位，如果已复位，则确认时钟开启。然后应用可通过复位 FDCAN\_CCCR.INIT 位重新开始 CAN 通信

#### 41.4.1.9 测试模式

如果要对寄存器 FDCAN\_TEST 进行写访问，必须先将 FDCAN\_CCCR.TEST 位置 1。从而能够配置测试模式和功能。

通过配置 FDCAN\_TEST.TX 可在 FDCAN 发送引脚 FDCAN\_TX 上实现四种输出功能。除了默认串行数据输出功能外，还可通过 CAN 采样点信号来监控 bit 位时长、输出保持联系显性或隐性值。引脚 FDCAN\_RX 的实际状态可从 FDCAN\_TEST.RX 读取。这两种功能均可用于检查 CAN 总线物理层。

由于 CAN 内核时钟域与主机时钟域之间的同步机制，在 FDCAN\_TX 输出引脚上按照新配置输出与 FDCAN\_TEST.TX 的写操作之间可能会有几个 APB 时钟周期的延迟。此延迟同样适用于通过 FDCAN\_TEST.RX 读取 FDCAN\_RX 输入引脚状态。

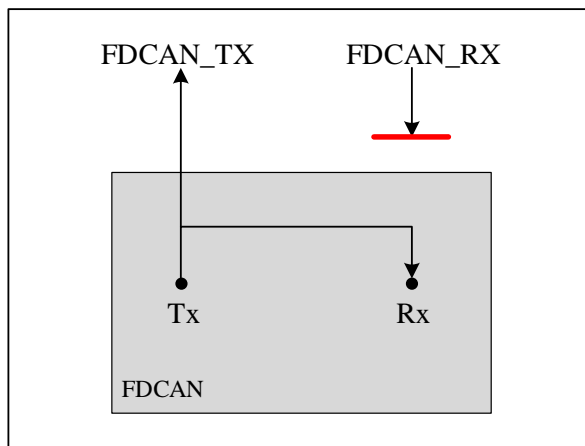
*注意：测试模式仅用于生产测试或自检。对引脚 FDCAN\_TX 的软件控制会干扰所有 CAN 协议功能。不建议将测试模式用于实际应用。*

#### 41.4.1.10 外部回环模式

将 FDCAN\_TEST.LBCK 位置 1，可将 FDCAN 设置为外部环回模式。此时 FDCAN 将其自身发送的消息作为接收的消息来处理，并将消息（如果这些消息通过了接收过滤器）存储到接收 FIFO 中。外部环回模式下 FDCAN\_TX 和 FDCAN\_RX 信号与 FDCAN 的连接如下图所示。

外部回环模式用于硬件自测。为了不受外部仿真影响，FDCAN 在环回模式下忽略 ACK 错误（在数据/远程帧中 ACK 为隐性位）。此模式下，FDCAN 实现从发送输出到接收输入的反馈。FDCAN\_RX 输入引脚上的实际值被忽略。在 FDCAN\_TX 发送引脚上可监控发送的消息。外部回环模式引脚控制如下图所示。

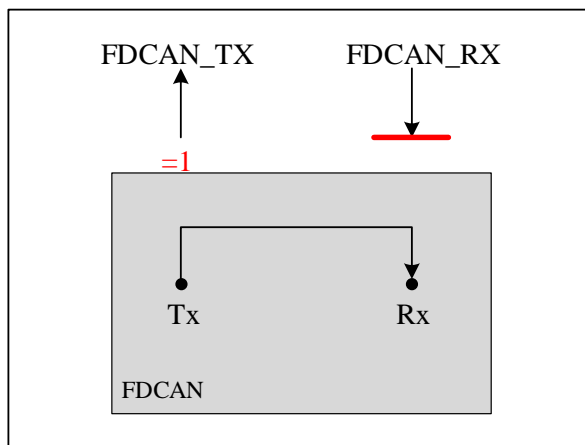
图 41-5 FDCAN 外部回环模式引脚控制



#### 41.4.1.11 内部回环模式

将 FDCAN\_TEST.LBCK 和 FDCAN\_CCCR.MON 位都置为 1，FDCAN 进入内部回环模式。该模式可用于“热自检”，FDCAN 可在进行检测时不影响与 FDCAN\_TX 和 FDCAN\_RX 引脚相连接 CAN 总线系统。此模式下，FDCAN\_RX 引脚与 FDCAN 断开连接，FDCAN\_TX 引脚则保持隐性。内部回环模式引脚控制如下图所示。

图 41-6 FDCAN 内部回环模式引脚控制



#### 41.4.1.12 应用看门狗

应用看门狗通过读取寄存器 FDCAN\_TTOST 来提供服务。当应用程序看门狗未及时送达时，位 FDCAN\_TTOST.AWE 将被置 1，所有 TTCAN 通信将停止，FDCAN 将进入总线监控模式。

可通过将应用程序看门狗限制 FDCAN\_TTOCF.AWL 编程为 0x00 来禁用 TT 应用程序看门狗。不应在 TTCAN

应用程序中禁用 TT 应用程序看门狗。

#### 41.4.1.13 时间戳生成

FDCAN 提供一个 16 位回环计数器用于生成时间戳。计数器时钟源为 FDCAN 位时间，且可通过 FDCAN\_TSCC.TCP 配置时钟预分频 (1...16)。计数器值可从 FDCAN\_TSCV.TCV 读取。对寄存器 FDCAN\_TSCV 的写操作将重置计数器值为 0。当计数器发生回环时，FDCAN\_IR.TSW 位置 1。

在消息帧开始接收/发送时，计数器值被捕获并存储到 Rx 缓冲区、Rx FIFO 或 Tx 事件 FIFO 的时间戳中。

可通过配置 FDCAN\_TSCC.TSS 位来启用 16 位时间戳。

#### 41.4.1.14 超时计数器

FDCAN 提供一个 16 位超时计数器来指示接收 FIFO 0、接收 FIFO 1 和发送事件 FIFO 的超时条件。超时计数器为递减计数器，其时钟预分频与时间戳计数器一样，由 FDCAN\_TSCC.TCP 控制。可通过寄存器 FDCAN\_TOCC 配置超时计数器。计数器值可从 FDCAN\_TOCV.TOC 读取。仅当 FDCAN\_CCCR.INIT=0 时，才能启动超时计数器。当 FDCAN\_CCCR.INIT=1 时，超时计数器停止计数，例如 FDCAN 进入 Bus\_Off 状态时。

超时计数器工作模式由 FDCAN\_TOCC.TOS 选择。配置为连续模式时，当 FDCAN\_CCCR.INIT 被复位后，计数器开始计数。对 FDCAN\_TOCV 的写操作会将计数器值预置为 FDCAN\_TOCC.TOP 值，并继续递减计数。

当超时计数器由其中一个 FIFO 控制时，FIFO 为空时将计数器预置为 FDCAN\_TOCC.TOP 值。当第一个元素写入 FIFO 时，递减计数开始。此时对 FDCAN\_TOCV 的写操作不影响计数值。

当计数器值递减至零时，FDCAN\_IR.TOO 置 1。如果工作在连续模式，计数器立即重新启动且初值为 FDCAN\_TOCC.TOP 值。

*注意：超时计数器的时钟信号是从 CAN 内核的采样点信号派生的。因此，由于 CAN 内核的同步/重新同步机制，超时计数器递减的时刻可能会有所不同。如果在 CAN FD 中使用了波特率切换功能，则在仲裁域和数据域中超时计数器的时钟不同。*

### 41.4.2 接收处理

接收处理单元控制接收过滤器、将接收的消息传输到专用接收缓冲或指定接收 FIFO，并更新接收 FIFO 的写入和获取索引。

#### 41.4.2.1 接收过滤器

FDCAN 可配置两组接收过滤器，一组用于标准标识符，另一组用于扩展标识符。这些过滤器可以分配给专用接收缓冲区或接收 FIFO 0/1。接收消息时，每个过滤器列表从元素 0 开始检查，直到找到第一个匹配的元素。找到匹配元素后停止检查并忽略后续过滤器元素。

主要特性包括：

- 每个过滤器元素可以配置为
  - ◆ 范围过滤器
  - ◆ 单个或两个特定 ID 的匹配过滤器
  - ◆ 经典位掩码过滤器

- 每个过滤器元素可以配置为接收已匹配消息或拒绝已匹配消息
- 每个过滤器元素可以单独启用/禁用
- 过滤器按列表顺序逐个检查，在找到第一个匹配的过滤器元素后停止。

相关的配置寄存器包括：

- 全局过滤器配置 FDCAN\_GFC
- 标准 ID 过滤器配置 FDCAN\_SIDFC
- 扩展 ID 过滤器配置 FDCAN\_XIDFC
- 扩展 ID 与掩码 FDCAN\_XIDAM

根据过滤器元素的配置（SFEC/EFEC），匹配后会触发以下动作之一：

- 将接收到的帧存储在接收 FIFO 0 或 FIFO 1 中
- 将接收到的帧存储在专用接收缓冲中
- 将接收到的帧存储在专用接收缓冲中，并在过滤器事件引脚上生成脉冲
- 拒绝接收到的帧
- 设置高优先级消息中断标志 FDCAN\_IR.HPM
- 设置高优先级消息中断标志 FDCAN\_IR.HPM，并将接收到的帧存储在接收 FIFO 0 或 FIFO 1 中

在完整的 ID 接收完毕后，接收过滤开始执行。在接收过滤完成后，如果找到匹配的专用接收缓冲或接收 FIFO，消息处理单元将接收到的消息数据以 32bit 的形式写入匹配的专用接收缓冲或接收 FIFO 中。如果 CAN 协议控制器检测到错误条件（例如 CRC 错误），则该消息会被丢弃，并产生以下影响：

- 专用接收缓冲

匹配的专用接收缓冲的新消息标志不会置 1，但会被接收到的新数据部分覆盖。错误类型参考 FDCAN\_PSR.LEC 或 FDCAN\_PSR.DLEC。

- 接收 FIFO

匹配的接收 FIFO 的写入索引不会更新，但会被接收到的新数据部分覆盖。错误类型参考 FDCAN\_PSR.LEC 或 FDCAN\_PSR.DLEC。如果匹配的接收 FIFO 工作在覆盖模式，则必须考虑接收 FIFO 覆盖模式中描述的边界条件。

*注意：当一个已接受的消息被写入接收 FIFO 或专用接收缓冲时，未被修改的接收 ID 会被存储，与使用的过滤器无关。接收过滤的结果在很大程度上取决于配置的过滤器元素顺序。*

#### 41.4.2.1.1 范围过滤

当使用范围过滤时，过滤器匹配所有在由 SF1ID/SF2ID 或 EF1ID/EF2ID 定义的范围内的消息 ID。

在扩展帧采用范围过滤时，有两种可能性：

EFT=00b：在应用范围过滤之前，接收消息 ID 先和扩展 ID 掩码（FDCAN\_XIDAM）进行与运算。

EFT=11b：直接进行范围过滤，忽略扩展 ID 掩码（FDCAN\_XIDAM）。

#### 41.4.2.1.2 特定 ID 过滤

过滤器可配置为过滤一个或两个特定的消息 ID。如果要过滤单个特定消息 ID，过滤器元素必须配置为

SFID1=SFID2 或 EFID1=EFID2。

#### 41.4.2.1.3 经典位掩码过滤

经典位掩码过滤用于屏蔽接收到消息 ID 的某些位来过滤指定消息组。此时 SFID1/EFID1 用作过滤器 ID，而 SFID2/EFID2 用作掩码。

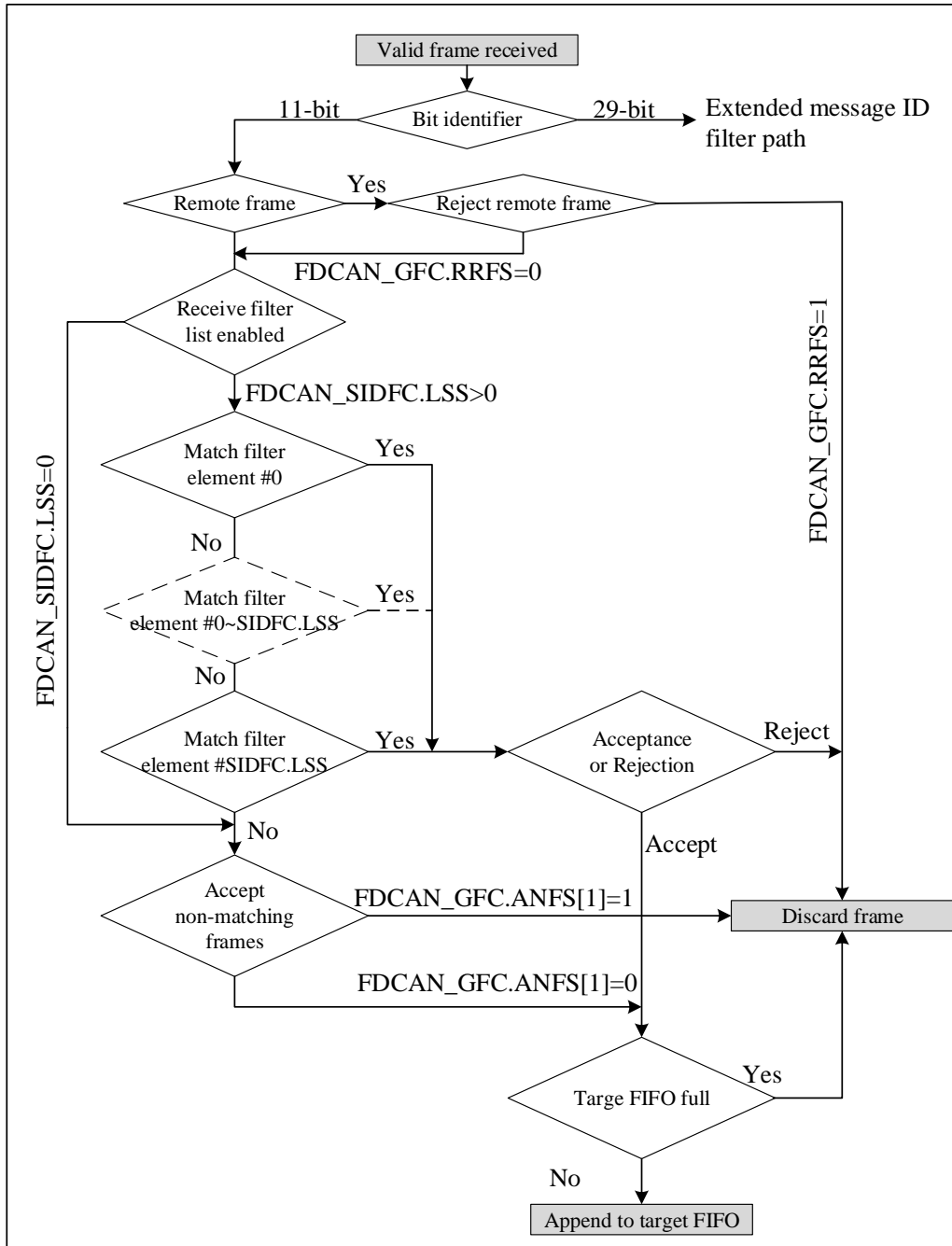
掩码中为 0 的 bit 位将屏蔽过滤器 ID 的相应 bit 位，过滤时忽略消息 ID 相关 bit 位，仅检查与掩码中为 1 的 bit 位相对应的接收消息 ID bit 位

如果所有掩码 bit 位都为 1，则仅当接收消息 ID 与过滤器 ID 完全相同时才会匹配。如果所有掩码 bit 位都为 0，则匹配所有消息 ID。

#### 41.4.2.1.4 标准消息 ID 过滤

标准消息 ID（11 位 ID）过滤的流程如下图所示。

图 41-7 FDCAN 标准消息 ID 过滤流程



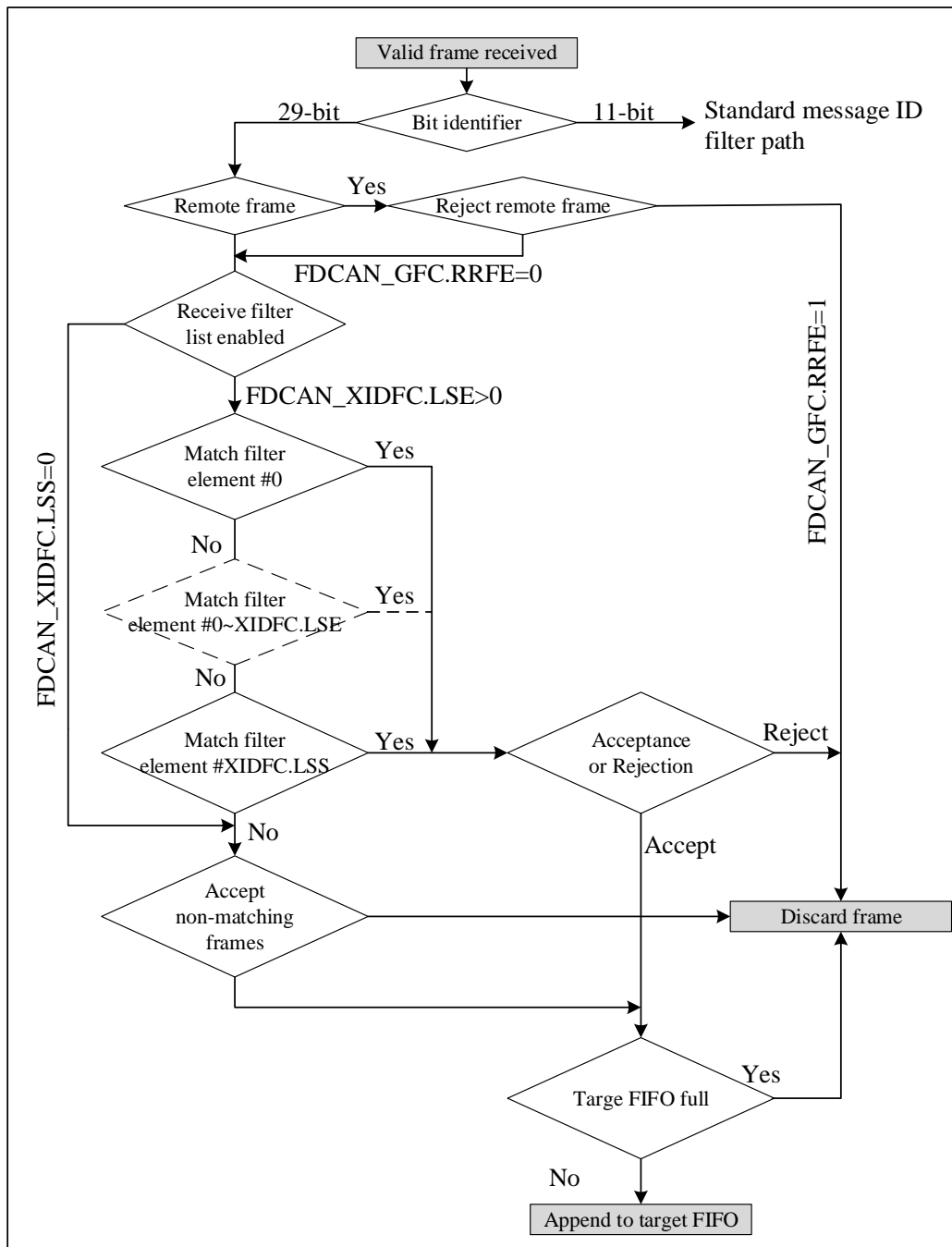
通过全局过滤配置 FDCAN\_GFC 和标准 ID 过滤配置 FDCAN\_SIDFC，可对接收消息帧的消息 ID、远程发送请求位（RTR）以及标识符扩展位（IDE）进行比较检查。

#### 41.4.2.1.5 扩展消息 ID 过滤

扩展消息 ID（29 位 ID）过滤的流程如下图所示。



图 41-8 FDCAN 扩展消息 ID 过滤流程



通过全局过滤配置 FDCAN\_GFC 和扩展 ID 过滤配置 FDCAN\_XIDFC，可对接收消息帧的消息 ID、远程发送请求位（RTR）以及标识符扩展位（IDE）进行比较检查。但在过滤器检查前，会将消息扩展 ID 与掩码 FDCAN\_XIDAM 进行与运算。

#### 41.4.2.2 接收 FIFO

接收 FIFO 0 和接收 FIFO 1 可分别通过寄存器 FDCAN\_RXF0C 和 FDCAN\_RXF1C 进行配置，每个 FIFO 最多可容纳 64 个元素。

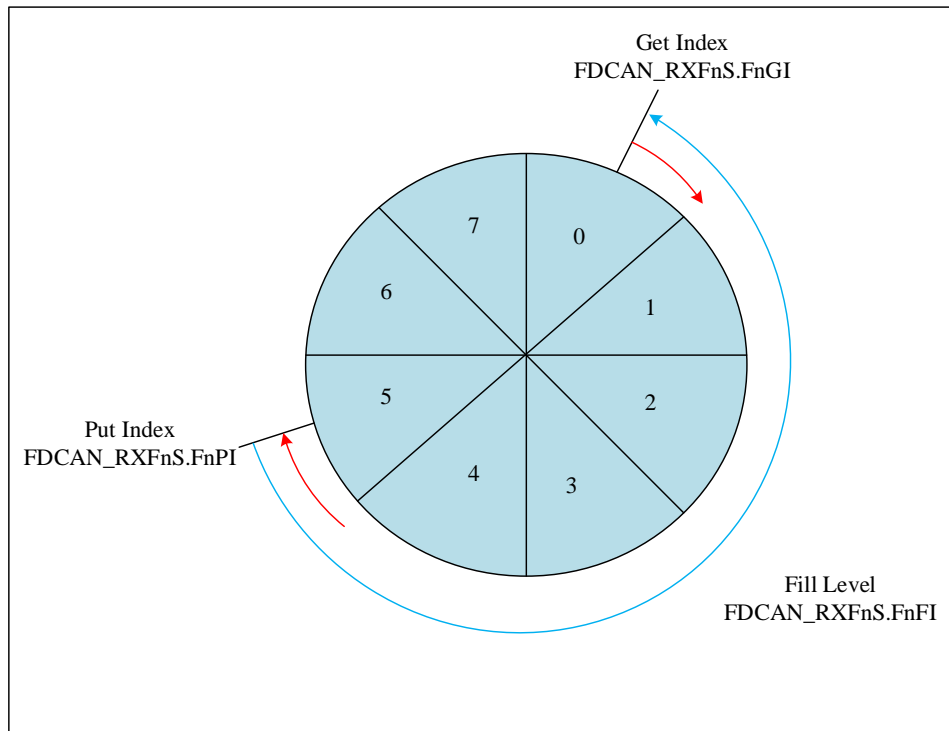
已通过接收过滤的消息会根据已匹配的过滤器元素配置传输到相应的接收 FIFO 中。默认模式下，当接收 FIFO 已满（FDCAN\_RXFnS.FnF=1b）时，新消息无法写入。直至至少有一条消息被读出并递增获取索引。

接收 FIFO 已满时，接收到的新消息被丢弃，FDCAN\_IR.RFnL 标志位置 1。

可使用接收 FIFO 水线标志以避免接收 FIFO 溢出。当接收 FIFO 的填充级别达到由 FDCAN\_RXFnC.FnWM 配置的接收 FIFO 水线标志时，FDCAN\_IR.RFnW 标志位置 1。

接收 FIFO 状态如下图所示。

图 41-9 FDCAN Rx FIFO 状态图



当从接收 FIFO 中读取消息时，FIFO 元素的实际地址通过将获取索引（FDCAN\_RXFnS.FnGI）乘以元素大小，再加上当前 FIFO 起始地址（FDCAN\_RXFnC.FnSA）计算得到。

FIFO 元素大小与寄存器配置关系如下表所示。

表 41-8 CAN FD 数据域长度定义

RXESC.RBDS[2:0] RXESC.FnDS[2:0]	数据字段 (字节)	元素大小 (RAM 字)
000	8	4
001	12	5
010	16	6
011	20	7
100	24	8
101	32	10
110	48	14
111	64	18

#### 41.4.2.2.1 接收 FIFO 阻止模式

通过配置 FDCAN\_RXFnC.FnOM=0b 来启用接收 FIFO 阻止模式，也是接收 FIFO 的默认工作模式。

在此模式下，当接收 FIFO 已满（ $FDCAN\_RXFnS.FnPI = FDCAN\_RXFnS.FnGI$ ）时，新消息无法写入当前 FIFO，直至至少有一条消息被读出，并递增获取索引。接收 FIFO 已满时  $FDCAN\_RXFnS.FnF$  置 1。此外，中断标志  $FDCAN\_IR.RFnF$  也会置 1。

如果在相应的接收 FIFO 已满的情况下收到一条消息，则该消息会被丢弃，并且会通过  $FDCAN\_RXFnS.RFnL = '1'$  来表示消息丢失的情况。此外，中断标志  $FDCAN\_IR.RFnL$  也会被置 1。

#### 41.4.2.2.2 接收 FIFO 覆盖模式

通过配置  $FDCAN\_RXFnC.FnOM=1b$  来启用接收 FIFO 覆盖模式。

当接收 FIFO 已满时，下一条要存入 FIFO 的新消息将会覆盖 FIFO 中最早的消息。写入索引和获取索引都会递增 1。

在覆盖模式下，当 FIFO 已满时，读取接收 FIFO 元素时应至少从读取索引 + 1 开始。原因在于 CPU 从消息 RAM 通过获取索引读取消息时，可能会有新的消息通过写入索引写入消息 RAM。此时，从相应的接收 FIFO 元素中可能读取到不一致的数据。从接收 FIFO 读取数据时，将获取索引添加一个偏移量可避免这个问题。偏移量取决于 CPU 访问接收 FIFO 的速度。如下图所示，在读取接收 FIFO 时，相对于获取索引添加了偏移量 2。此时，存储在元素 1 和 2 中的两条消息将会丢失。

图 41-10 FDCAN Rx FIFO 已满

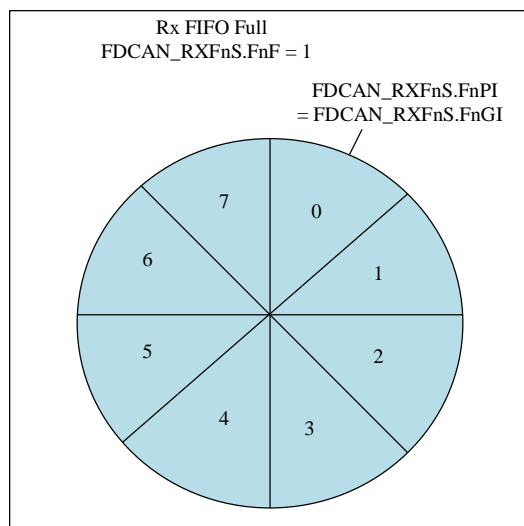
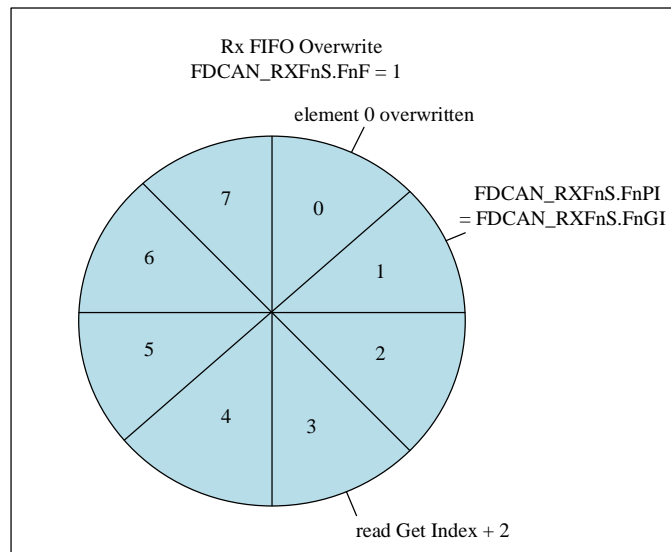


图 41-11 FDCAN Rx FIFO 覆盖示例



在从接收 FIFO 读取数据后，必须将最后读取的元素索引写入接收 FIFO 确认索引 FDCAN\_RXFnA.FnA。这会获取索引增加到该元素索引。如果写入索引尚未增加到此接收 FIFO 元素，则会复位 FIFO 已满标志位 (FDCAN\_RXFnS.FnF = '0')。

### 41.4.2.3 专用接收缓冲

FDCAN 支持最多 64 个专用接收缓冲。专用接收缓冲区的起始地址通过 FDCAN\_RXBC.RBSA 配置。

对于每个专用接收缓冲区，必须配置一个 SFEC/EFEC=111b、SFID2/EFID2[10:9]=00b 的标准或扩展消息 ID 过滤器。

消息通过过滤器被接收后，将被存储到由过滤器元素指示的专用接收缓冲中。其数据格式与接收 FIFO 元素相同。另外，中断标志 FDCAN\_IR.DRX 标志（消息存储在专用接收缓冲区中）位置 1。

表 41-9 专用接收缓冲过滤器配置示例

过滤器元素	SFID1[10:0] EFID1[28:0]	SFID2[10:9] EFID2[10:9]	SFID2[5:0] EFID2[5:0]
0	ID 消息 1	00	00 0000
1	ID 消息 2	00	00 0001
2	ID 消息 3	00	00 0010

在已匹配的接收消息的最后一个字被写入消息 RAM 后，寄存器 FDCAN\_NDAT1、FDCAN\_NDAT2 中的对应的新消息标志置 1。新消息标志置 1 后，相应的专用接收缓冲区将被锁定，以防止被后续接收到的消息更新。主机必须在对应标志位写“1”来复位新消息标志。

当专用接收缓冲区的新消息标志被置 1 时，引用此专用接收缓冲区消息 ID 的过滤器元素将被忽略，接收过滤会继续检查过滤器列表。导致后续与专用缓冲区对应 ID 相同的消息存储位置会被存储到另一个专用接收缓冲区、或存储到接收 FIFO 中，或者被拒收，取决于过滤器配置。

专用接收缓冲区处理流程如下所示：

- 复位中断标志 FDCAN\_IR.DRX
- 读取新消息标志寄存器

- 从消息 RAM 中读取消息
- 复位已处理消息的新数据标志

#### 41.4.2.4 调试消息过滤

调试消息存储在专用接收缓冲中。使用时需要分配三个连续的专用接收缓冲（例如#61、#62、#63）来存储调试消息 A、B 和 C。其格式与专用接收缓冲或接收 FIFO 元素相同。

为了过滤调试消息，需要为每条调试消息配置一个标准/扩展消息 ID 过滤元素，并配置标准/扩展过滤器元素 SFEC/EFEC=111b。与这些过滤元素匹配的消息将被存储到由 SFID2/EFID2[5:0]指定的专用接收缓冲中。

当调试消息存储到专用接收缓冲后，新消息标志与中断都不会置位。其状态通过 FDCAN\_RXFIS.DMS 查询。

表 41-10 调试消息过滤器配置示例

过滤器元素	SFID1[10:0] EFID1[28:0]	SFID2[10:9] EFID2[10:9]	SFID2[5:0] EFID2[5:0]
0	ID 调试消息 A	01	11 1101
1	ID 调试消息 B	10	11 1110
2	ID 调试消息 C	11	11 1111

#### 41.4.3 发送处理

发送处理单元负责处理专用发送缓冲区、发送 FIFO 和发送队列的发送请求。它控制发送消息到 CAN 内核的传输、写入索引和获取索引、以及发送事件 FIFO。最多可以为消息发送配置 32 个发送缓冲，且可为每个发送缓冲元素单独配置通信模式（经典 CAN 或 CAN FD）。根据 FDCAN\_RXESC 的不同配置，发送缓冲元素数据域大小为 2~16 字。发送消息帧可能的配置如下表所示。

表 41-11 发送消息帧配置

FDCAN_CCCR		发送缓冲元素		帧发送
BRSE	FDOE	FDF	BRS	
忽略	0	忽略	忽略	经典 CAN
0	1	0	忽略	经典 CAN
0	1	1	忽略	无波特率切换的 FD CAN
1	1	0	忽略	经典 CAN
1	1	1	0	无波特率切换的 FD CAN
1	1	1	1	有波特率切换的 FD CAN

注意：AUTOSAR 要求至少三个发送队列，并支持发送取消。

当发送缓冲请求挂起寄存器 FDCAN\_TXBRP 更新时，发送处理单元会启动对消息 RAM 的发送扫描，寻找最高优先级的发送请求（消息 ID 最小的发送缓冲区）。FDCAN\_TXBRP 寄存器在发送完成、或主机写入发送请求、或主机通过 FDCAN\_TXBCR 写入取消发送请求后更新。

##### 41.4.3.1 发送暂停

发送暂停功能适用于 CAN 消息 ID 被（永久性地）指定为特定值，而且很难轻易更改的 CAN 应用系统中。

这些消息 ID 的仲裁优先级高于其他消息，但在特定应用中，它们的仲裁优先级应该是相反的。这将导致如下情况：一个节点发送一系列 CAN 消息，另一个节点的 CAN 消息因为其仲裁优先级较低而被延迟。

例如，如果 CAN 节点 1 启用了发送暂停功能，并且根据应用需求要发送四条消息，在第一条消息成功发送之后，将等待两个 CAN bit 位的总线空闲时间后，才允许发送下一条消息。如果还有其他节点挂起的消息，将在空闲时间内发送，不需要与节点 1 的下一条消息进行仲裁。接收到其他节点的消息后，节点 1 可在接收消息释放 CAN 总线后立即开始下一次发送。

发送暂停功能通过 FDCAN\_CCCR.TXP 控制。如果该位被置 1，每当 FDCAN 成功发送一条消息后，它将在开始下一次发送之前暂停两个 CAN bit 位时间。使得网络中的其他 CAN 节点可以发送具有较低优先级 ID 的消息。发送暂停默认禁用（FDCAN\_CCCR.TXP=0b）。

此功能可使来自单个节点的突发发送变得松散一些，避免出现应用程序错误地请求过多发送的情况。

#### 41.4.3.2 专用发送缓冲

专用发送缓冲区用于由主机 CPU 完全控制的消息发送。每个专用发送缓冲区都配置有特定的消息 ID。如果多个发送缓冲区配置了相同的消息 ID，则从编号最小的发送缓冲先发送。

如果数据部分已更新，可通过 FDCAN\_TXBAR.ARn 发出发送请求。已请求的消息将与可配置的发送 FIFO/发送队列中的消息进行内部仲裁，以及与 CAN 总线上的消息进行外部仲裁，然后根据其消息 ID 发送。

专用发送缓冲元素大小以字（32bit）为单位。专用发送缓冲在消息 RAM 中的起始地址可通过将发送缓冲索引 FDCAN\_TXFQS.TFQPI (0...31) × 元素大小后，再与发送缓冲区起始地址 FDCAN\_TXBC.TBSA 相加计算得到。

表 41-12 专用发送缓冲、发送 FIFO/队列元素大小

TXESC.TBDS[2:0]	数据字段（字节）	元素大小（RAM 字）
000	8	4
001	12	5
010	16	6
011	20	7
100	24	8
101	32	10
110	48	14
111	64	18

#### 41.4.3.3 发送 FIFO

可通过将 FDCAN\_TXBC.TFQM 清零来启用发送 FIFO 功能。存储在发送 FIFO 中的消息从由获取索引 FDCAN\_TXFQS.TFGI 引用的消息开始发送。每次发送后，获取索引会循环递增，直到发送 FIFO 为空。发送 FIFO 使得具有相同 ID 的消息可按照写入发送 FIFO 的顺序从不同的发送缓冲区发送。FDCAN 通过获取索引和写入索引的差值来计算发送 FIFO 空闲级别 FDCAN\_TXFQS.TFFL。指示可用（空闲）发送 FIFO 元素的数量。

新的发送消息必须写入以写入索引 FDCAN\_TXFQS.TFQPI 引用的发送缓冲。添加请求会将写入索引递增到下一个空闲的发送 FIFO 元素。当写入索引达到获取索引时，发送 FIFO 已满标志（FDCAN\_TXFQS.TFQF）置 1。此时，不要继续写入消息至发送 FIFO 中，直到下一个消息已被发送且获取索引已递增。

当有一条消息添加到发送 FIFO 时,通过向与发送 FIFO 写入索引引用的发送缓冲相对应的 FDCAN\_TXBAR 位写 1 来请求发送。

当将多条 (n) 消息添加到发送 FIFO 时,它们将被写入从写入索引开始的 n 个连续的发送缓冲中。此时可通过 FDCAN\_TXBAR 请求发送。随后写入索引将循环递增 n 次。请求的发送缓冲区数量不应超过由发送 FIFO 空闲级别指示的空闲发送缓冲区数量。

当取消由获取索引引用的发送缓冲的发送请求时,获取索引会递增到下一个已申请发送请求的发送缓冲区,并重新计算发送 FIFO 空闲级别。如果取消其他发送缓冲区的发送,获取索引和 FIFO 空闲级别保持不变。

发送 FIFO 元素大小以字为单位。下一个可用(空闲)发送 FIFO 的起始地址可通过将发送 FIFO 的写入索引 FDCAN\_TXFQS.TFQPI (0...31) × 元素大小,再与发送缓冲区起始地址 FDCAN\_TXBC.TBSA 相加计算得到。

#### 41.4.3.4 发送队列

通过将 FDCAN\_TXBC.TFQM 置 1 来启用发送队列功能。存储在发送队列中的消息将从具有最小消息 ID (最高优先级)的消息开始发送。如果多个队列缓冲配置了相同的消息 ID,则编号最小的队列缓冲先发送。

新的消息必须写入由写入索引 FDCAN\_TXFQS.TFQPI 引用的发送缓冲。添加发送请求会循环递增写入索引到下一个空闲的发送缓冲。如果发送队列已满 (FDCAN\_TXFQS.TFQF=1b),写入索引无效,此时不应继续写入新消息至发送队列中,直到队列中至少有一条消息已发送或取消发送请求为止。

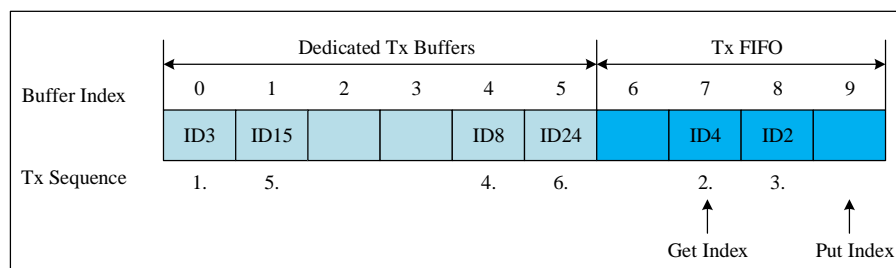
应用中可使用寄存器 FDCAN\_TXBRP 代替写入索引,此时可将新消息写入任何没有请求持起的发送缓冲中。

发送队列元素大小以字为单位。下一个可用(空闲)发送队列的起始地址可通过将发送队列写入索引 FDCAN\_TXFQS.TFQPI (0...31) × 元素大小,再与发送缓冲区起始地址 FDCAN\_TXBC.TBSA 相加计算得到。

#### 41.4.3.5 专用发送缓冲与发送 FIFO 混合使用

此时,消息 RAM 中的发送缓冲区被划分为一组专用发送缓冲和一个发送 FIFO。专用发送缓冲的数量通过 FDCAN\_TXBC.NDTB 配置。发送 FIFO 分配的发送缓冲数量则通过 FDCAN\_TXBC.TFQS 配置。如果 TXBC.TFQS 为 0,仅使用专用发送缓冲。

图 41-12 FDCAN 专用 Tx buffer 与 Tx FIFO 混合配置示例图



发送优先级如下:

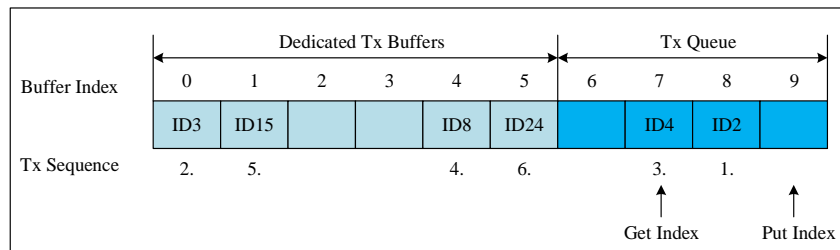
- 扫描专用发送缓冲和最早请求挂起的发送 FIFO 缓冲 (由 FDCAN\_TXFS.TFGI 引用的发送缓冲)
- 具有最小 ID 的发送缓冲拥有最高优先级,将作为下一个要发送的消息进行发送。

#### 41.4.3.6 专用发送缓冲与发送队列混合使用

此时,消息 RAM 中的发送缓冲区被划分为一组专用发送缓冲和一个发送队列。专用发送缓冲的数量通过

FDCAN\_TXBC.NDTB 进行配置。发送队列分配的发送缓冲数量则通过 FDCAN\_TXBC.TFQS 进行配置。如果将 TXBC.TFQS 设置为零，仅使用专用发送缓冲区。

图 41-13 FDCAN Tx buffer 与 Tx 队列混合配置示例图



发送优先级如下：

- 扫描所有发送请求挂起的发送缓冲
- 具有最小消息 ID 的发送缓冲拥有最高优先级，并在下一次发送时被发送。

#### 41.4.3.7 发送取消

FDCAN 支持发送取消功能。主机必须向寄存器 FDCAN\_TXBCR 的相应位写 1 来取消来自专用发送缓冲或发送队列缓冲的发送请求。发送取消功能不适用于发送 FIFO。

成功取消后，寄存器 FDCAN\_TXBCF 的相应位置 1。

当请求取消正在发送的消息时，相应的 FDCAN\_TXBRP 位保持 1，直至发送完成或失败。如果发送成功，相应的 FDCAN\_TXBTO 和 FDCAN\_TXBCF 位都将置 1。如果发送失败，不会重复发送，仅 FDCAN\_TXBCF 相应位置 1。

*注意：如果消息在开始发送前立即取消了发送，就会出现一个短时间的空闲窗口，此时即使另一条消息也在该节点中等待发送，也不会启动发送。从而使另一个节点可发送一条比该节点中的第二条消息优先级更低消息。*

#### 41.4.3.8 发送事件 FIFO

FDCAN 提供一个发送事件 FIFO 用于支持发送事件处理。FDCAN 在 CAN 总线上发送一条消息后，消息 ID 和时间戳将存储在一个发送事件 FIFO 元素中。为了将发送事件与发送事件 FIFO 元素关联起来，从发送缓冲中发送的消息标记会被复制到发送事件 FIFO 元素中。发送事件 FIFO 可配置最多 32 个元素。

发送事件 FIFO 的目的是将发送状态与发送消息分开处理，即发送缓冲区仅保存要发送的消息，而发送状态单独存储在发送事件 FIFO 中。这种做法的优势在于处理动态管理的发送队列时，发送缓冲在发送成功后可立即被新消息使用。发送缓冲被新消息覆盖前，不需要保存该发送缓冲的发送状态信息。

当发送事件 FIFO 已满（FDCAN\_IR.TEFF=1b）时，无法继续向发送事件 FIFO 写入元素，直至至少有一个元素被读出且发送事件 FIFO 的获取索引已递增。如果在发送事件 FIFO 已满时发生发送事件，此事件将被丢弃，同时中断标志 FDCAN\_IR.TEFL 被置 1。

为了避免发送事件 FIFO 溢出，可使用发送事件 FIFO 水线标志。当发送事件 FIFO 填充级别达到由 FDCAN\_TXEFC.EFWM 配置的发送事件 FIFO 水线标志时，中断标志 FDCAN\_IR.TEFW 被置 1。

从发送事件 FIFO 读取数据时，起始地址通过将发送事件 FIFO 获取索引 FDCAN\_TXEFS.EFGI×2，再与发送事件 FIFO 起始地址 FDCAN\_TXEFC.EFSA 相加得到。



#### 41.4.4 FIFO 确认

接收 FIFO 0、接收 FIFO 1 和发送事件 FIFO 的获取索引由写入相应的 FIFO 确认索引来控制。写入 FIFO 确认索引后，FIFO 获取索引将设置为 FIFO 确认索引值加 1，并更新 FIFO 填充级别。可能出现两种情况：

- 当仅从 FIFO 读取了单个元素（即被获取索引指向的元素），则将此获取索引值写入 FIFO 确认索引中。
- 当从 FIFO 读取了一系列元素时，只需在读取序列结束时写入一次 FIFO 确认索引（确认索引值为最后一个读取的元素的索引），即可更新 FIFO 的获取索引。

由于 CPU 可以自由访问 FDCAN 的消息 RAM，因此在以任意顺序（不考虑获取索引）读取 FIFO 元素时需要特别注意。此操作在从两个接收 FIFO 之一读取高优先级消息时可能很有用。此时，不要写 FIFO 的确认索引，因为写入确认索引会将获取索引设为错误的位置并改变 FIFO 的填充级别，导致一些较早的 FIFO 元素丢失。

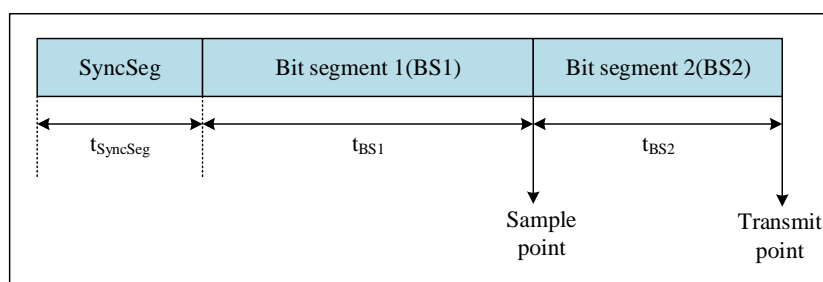
*注意：应用程序必须确保写入的 FIFO 确认索引值是有效的。FDCAN 不会检查写入值是否正确。*

#### 41.4.5 位时序

位时序逻辑监控串行总线并进行数据采样，并通过在起始位边沿同步以及在后续位边沿重新同步来调整采样点。其操作可通过将位时间分割成 3 个时间段来简单解释，如下所示：

- 同步段(SYNC\_SEG)：预计在此期间会发生位反转的时间段，其长度固定为一个时间片(1×t<sub>q</sub>)。
- 位段 1(BS1)：定义采样点的位置，包括 CAN 标准中定义的 PROP\_SEG 和 PHASE\_SEG1，其持续时间可在 1 至 16 个时间片之间配置，但在由各个节点的频率差异而产生正相位漂移时可以自动延长进行补偿。
- 位段 2(BS2)：定义发送点的位置，即 CAN 标准中定义的 PHASE\_SEG2，其持续时间可在 1 至 8 个时间片之间配置，但也可以自动缩短以补偿负相位漂移。

图 41-14 FDCAN 位时序



波特率为位时间的倒数（波特率=1/位时间），而位时间为三个时间段之和。如上图所示，位时间 = t<sub>SyncSeg</sub> + t<sub>BS1</sub> + t<sub>BS2</sub>，其中：

- 标称位时间
  - ◆  $t_q = (\text{FDCAN\_NBTP.NBRP}[8:0] + 1) * t_{\text{fdcan\_tq\_ck}}$
  - ◆  $t_{\text{SyncSeg}} = 1 * t_q$
  - ◆  $t_{\text{BS1}} = t_q * (\text{FDCAN\_NBTP.NTSEG1}[7:0] + 1)$
  - ◆  $t_{\text{BS2}} = t_q * (\text{FDCAN\_NBTP.NTSEG2}[6:0] + 1)$

- 数据位时间
- $tq = (FDCAN\_DBTP.DBRP[4:0] + 1) * t_{fcan\_tq\_ck}$
- $t_{SyncSeg} = 1 * tq$
- $t_{BS1} = tq * (FDCAN\_DBTP.DTSEG1[4:0] + 1)$
- $t_{BS2} = tq * (FDCAN\_DBTP.DTSEG2[3:0] + 1)$

（重）同步跳跃宽度(SJW)定义了时间段延长或缩短上限，可在 1 至 128 个时间片之间配置

有效边沿定义为在一个位时间内总线从隐性电平到显性电平第一次转换，前提是节点本身不发送显性位。

如果在 BS1 检测到有效边沿而不是在 SYNC\_SEG，则 BS1 最多扩展 SJW，此时采样点有延迟。相反，如果在 BS2 检测到有效边沿，则 BS2 会最多缩短 SJW，使发送点提前。

为了防止编程错误，位定时寄存器仅当设备处于待机模式时才可配置。FDCAN\_DBTP 和 FDCAN\_NBTP 寄存器(分别专用于数据和标称位时序)仅当 FDCAN\_CCCR.CCE 和 FDCAN\_CCCR.INIT 均为 1 时才能访问。

注：关于 CAN 位时序和重同步机制的详细说明请参考 ISO 11898-1 标准。

## 41.5 TTCAN 功能描述

### 41.5.1 参考消息

参考消息是以特定 CAN 标识符为特征的数据帧。除时间主站（参考消息的发送方）外，所有节点都能接收并接受该消息。

对于 1 级，数据长度必须至少为 1 字节；对于 0、2 级，数据长度必须至少为 4 字节；否则，消息将不被接受为参考消息。参考消息可由其他数据扩展，但最多不超过 8 个 CAN 数据字节的总和。除三个 LSB 位外，标识符的所有其他位都表示消息是参考消息。最后三位指定最多八个潜在时间主站的优先级。保留位以逻辑 0 发送，接收器忽略。参考消息通过寄存器 FDCAN\_TTRMC 进行配置。

时间主站发送参考消息。如果参考消息受到错误干扰，则立即重新发送。在重传的情况下，发送的 Master\_Ref\_Mark 将被更新。参考消息定期发送，但允许停止定期发送（Next\_is\_Gap 位），并在当前时间主站或其他潜在时间主站的下一个基本周期开始时启动同步发送事件。

发送参考消息的节点为当前时间主站。时间主站可发送其他消息。如果当前时间主站发生故障，其功能将由优先级最高的潜在时间主站复制。既不是时间主控节点也不是潜在时间主控节点的节点是时间接收节点。

#### 41.5.1.1 Level 1

Level 1 操作通过 FDCAN\_TTOCF.OM=01 和 FDCAN\_TTOCF.GEN 进行配置。Level 1 不提供外部时钟同步。与参考消息相关的信息存储在第一个数据字节中，如表 41-13 所示。Cycle\_Count 为可选项。

表 41-13 Level 1 参考消息的第一个字节

位	0	1	2	3	4	5	6	7
第一字节	Next_is_Gap	保留	Cycle_Count[5:0]					

### 41.5.1.2 Level 2

Level 2 操作通过 FDCAN\_TTOCF.OM=10 和 FDCAN\_TTOCF.GEN.OM=10 进行配置。与参考消息有关的信息存储在前四个数据字节中，如表 41-14 所示。Cycle\_Count 和 NTU\_Res 的低四位是可选的。TTCAN 不会从接收到的参考消息中评估 NTU\_Res[3:0]，而是始终将这些位作为 0 发送。

表 41-14 Level 2 参考消息的前四个字节

位	0	1	2	3	4	5	6	7
第一字节	Next_is_Gap	保留	Cycle_Count[5:0]					
第二字节	NTU_Res[6:4]			NTU_Res[3:0]			Disc_Bit	
第三字节	Master_Ref_Mark[7:0]							
第四字节	Master_Ref_Mark[15:8]							

### 41.5.1.3 Level 0

Level 0 操作通过 FDCAN\_TTOCF.OM = 11 配置。外部事件同步时间触发操作在 0 级中不可用。与参考消息相关的信息存储在前四个数据字节中，如下表所示。在 0 级中，Next\_is\_Gap 始终为 0。周期计数(Cycle\_Count)和 NTU\_Res 的低四位可选。TTCAN 不会从接收到的参考消息中评估 NTU\_Res[3:0]，而是始终将这些位作为 0 发送。

表 41-15 Level 0 参考消息的前四个字节

位	0	1	2	3	4	5	6	7
第一字节	Next_is_Gap	保留	Cycle_Count[5:0]					
第二字节	NTU_Res[6:4]			NTU_Res[3:0]			Disc_Bit	
第三字节	Master_Ref_Mark[7:0]							
第四字节	Master_Ref_Mark[15:8]							

## 41.5.2 TTCAN 配置

### 41.5.2.1 TTCAN 时序

网络时间单位 (NTU) 是测量所有时间的单位。NTU 是整个网络的常数，由网络系统设计者优先定义。在 TTCAN Level 1 中，NTU 是标称 CAN 位时间。在 TTCAN Level 0 和 Level 2 中，NTU 是物理秒的一部分。NTU 是本地时间的时基。本地时间的整数部分 (16 位值) 每 NTU 增加一次。周期时间和全球时间均由本地时间衍生而来。本地时间、周期时间和全球时间的小数部分 (3 位值) 不可读。

在 TTCAN Level 0 和 Level 2 中，NTU 的长度由时间单位比率 TUR 定义。TUR 通常是一个非整数，其计算公式为：

$$TUR = FDCAN\_TURNA.NAV / FDCAN\_TURCF.DC.$$

NTU 长度的计算公式为：

$$NTU = CAN \text{ 时钟周期} \times TUR.$$

TUR 分子配置 NC 是一个 18 位数字，FDCAN\_TURCF.NCL[15:0] 的编程范围为 0x0000-0xFFFF。FDCAN\_TURCF.NCH[17:16] 硬连线为 0b01。当 0xnmmn 被写入 FDCAN\_TURCF.NCL[15:0] 时，FDCAN\_TURNA.NAV 将以  $0x10000 + 0x0nmmn = 0x1nmmn$  的值开始。TUR 分母配置 FDCAN\_TURCF.DC 是一个 14 位数字。FDCAN\_TURCF.DC 的编程范围为 0x0001 - 0x3FFF (0x0000 为非法值)。

在 Level 1 中，NC 必须等于或大于  $4 \times \text{FDCAN\_TURCF.DC}$ 。在 Level 0 和 Level 2 中，NC 必须等于或大于  $8 \times \text{FDCAN\_TURCF.DC}$ ，以获得 NTU 内部小数部分的 3 位分辨率。

硬件复位会将 FDCAN\_TURCF.DC 预设为 0x1000，将 FDCAN\_TURCF.NCL 预设为 0x10000，从而使 NTU 由 16 个 CAN 时钟周期组成。在 FDCAN\_CCCR.INIT 置 0 或 FDCAN\_TURCF.ELT 置 1 之前，不会启动本地时间和应用程序看门狗。在配置 NTU 之前，不得将 FDCAN\_TURCF.ELT 位置 1。将 FDCAN\_TURCF.ELT 设置为 1 还会锁定对寄存器 FDCAN\_TURCF 的写入访问。

启动时，当 FDCAN\_TURCF.ELT 设置为 1 时，FDCAN\_TURNA.NAV 将从 NC (= FDCAN\_TURCF.NCL + 0x10000) 更新。在 TTCAN Level 1 中没有漂移补偿。FDCAN\_TURNA.NAV 在运行期间不会改变，始终等于 NC。

在 TTCAN Level 0 和 Level 2 中，FDCAN\_TURNA.NAV 有两种变化的可能性。作为时间从站或备份时间主站运行时，当 FDCAN\_TTOCF.ECC 被置 1 时，只要 TTCAN 处于同步状态 In\_Schedule 或 In\_Gap，FDCAN\_TURNA.NAV 就会自动更新为根据监控的全局时间速度计算出的值。一旦失去同步，则返回 NC。作为实际时间主站运行时，当 FDCAN\_TTOCF.EECS 被置 1 时，主机可更新 FDCAN\_TURCF.NCL。当主机将 FDCAN\_TTOCN.ECS 位置 1 时，FDCAN\_TURNA.NAV 将在下一条参考消息中根据 NC 的新值更新。状态标志 FDCAN\_TTOST.WECS 在 FDCAN\_TTOCN.ECS 置 1 时被置 1，并在 FDCAN\_TURNA.NAV 更新时被清除。当 FDCAN\_TTOST.WECS 被置 1 时，FDCAN\_TURCF.NCL 被写入锁定。

在 TTCAN Level 0 和 Level 2 中，时钟校准过程将在  $\text{NC} \pm 2^{(\text{FDCAN\_TTOCF.LDSDL} + 5)}$  的同步偏差限制 SDL 范围内调整 FDCAN\_TURNA.NAV。应将 FDCAN\_TURCF.NCL 编程为适用的最大数值，以便在计算 FDCAN\_TURNA.NAV 时达到最佳精度。

同步偏差 SD 是 NC 与 FDCAN\_TURNA.NAV 之间的差值 ( $\text{SD} = |\text{NC} - \text{FDCAN\_TURNA.NAV}|$ )。它受同步偏差限制 SDL 的限制，同步偏差限制 SDL 由其双对数 FDCAN\_TTOCF.LDSDL 配置 ( $\text{SDL} = 2^{(\text{FDCAN\_TTOCF.LDSDL} + 5)}$ )，并且不应超过 CAN 位定时配置给出的时钟容差。SD 在每个新的基本周期进行计算。当计算出的 FDCAN\_TURNA.NAV 与 NC 的偏差超过 SDL，或者参考消息中的 Disc\_Bit 被置 1 时，漂移补偿将暂停，FDCAN\_TTIR.GTE 被置 1，FDCAN\_TTOSC.QCS 被置 0，或者在 Disc\_Bit=1 的情况下，FDCAN\_TTIR.GTD 被置 1。

表 41-16 TUR 配置示例

TUR	8	10	24	50	510	125000	32.5	100/12	529/17
NC	0x1FFF8	0x1FFFE	0x1FFF8	0x1FFE8	0x1FFFE	0x1E848	0x1FFE0	0x19000	0x10880
FDCAN_TURCF.DC	0x3FFF	0x3333	0x1555	0x0A3D	0x0101	0x0001	0x0FC0	0x3000	0x0880

FDCAN\_TTOCN.ECS 安排 NC 在下一条参考消息中激活。FDCAN\_TTOCN.SGT 调度 FDCAN\_TTGTP.TP，以便通过下一条参考消息激活。当 FDCAN 为实际时间主控节点时，设置 FDCAN\_TTOCN.ECS 和 FDCAN\_TTOCN.SGT 需要 FDCAN\_TTOCF.EECS 置 1（使能外部时钟同步）。

TTCAN 模块提供应用程序看门狗，以验证应用程序的功能。主机必须定期为该看门狗提供服务，否则所有 CAN 总线活动都将停止。应用程序看门狗限制 FDCAN\_TTOCF.AWL 规定了两次看门狗服务之间的 NTU 数。NTU 的最大值为 256。应用程序看门狗通过读取寄存器 FDCAN\_TTOST。

FDCAN\_TTOST.AWE 表示看门狗是否及时送达。如果应用程序未能为应用程序看门狗提供服务，则会将中断标志 FDCAN\_TTIR.AW 位置 1。为便于软件开发，可通过将 FDCAN\_TTOCF.AWL 编程为 0x00 来禁用应用程序看门狗，参见第 41.6.49 节。

### 41.5.2.1.1 接口信号时序

在 APB 时钟域（当 FDCAN\_TTIR.TTMI 被置 1 或 FDCAN\_TTIR.RTMI 被置 1 时）出现相同事件之前，需要考虑时钟域交叉延迟。例如，这些信号可以连接到另一个 FDCAN 节点的定时输入 (fdcan\_swt/fdcan\_evt)，以便自动同步两个 TTCAN 网络。

每当参考消息发送完毕（无论是发送还是接收），输出 fdcan\_soc 就会激活。该输出由主机时钟域控制。

### 41.5.2.2 消息调度

FDCAN\_TTOCF.TM 控制 TTCAN 作为潜在时间主站还是时间从站运行。如果是潜在的时间主站，则参考消息标识符 FDCAN\_TTRMC.RID 的三个 LSB 定义主站优先级，0 为最高优先级，7 为最低优先级。网络中不能有两个节点使用相同的主站优先级。FDCAN\_TTRMC.RID 用于识别参考消息。FDCAN\_TTRMC.RMPS 与时间从站无关。

初始参考触发偏移量 FDCAN\_TTOCF.IRTO 是一个 7 位值，用于定义（以 NTU 为单位）当参考消息预期出现但总线仍处于空闲状态时，备份时间主站在开始发送参考消息之前要等待多长时间。FDCAN\_TTOCF.IRTO 的推荐值是主站优先级乘以一个系数，该系数取决于网络中潜在时间主站之间的预期时钟漂移。在当前时间主站发生故障时，其中一个时间主站启动参考消息时，备份时间主站的顺序应与其主站优先级一致，即使时钟漂移达到最大值也是如此。

FDCAN\_TTOCF.OM 决定节点是在 TTCAN 0 级、1 级还是 2 级运行。在一个网络中，所有潜在的时间主站都必须同一级别上运行。时间从属设备可以在第 2 级网络中的第 1 级运行，反之则不行。通过 FDCAN\_TTOCF.OM 配置 TTCAN 运行模式是设置的最后一步。FDCAN\_TTOCF.OM = 00（事件驱动 CAN 通信）时，FDCAN 按照 ISO 11898-1: 2015 运行，无时间触发器。FDCAN\_TTOCF.OM = 01（1 级）时，FDCAN 按照 ISO 11898-4 运行，但无法将基本周期与外部事件同步，参考消息中的 Next\_is\_Gap 位将被忽略。FDCAN\_TTOCF.OM = 10（2 级）时，TTCAN 按照 ISO 11898-4 运行，包括事件同步启动基本周期。当 FDCAN\_TTOCF.OM = 11（0 级）时，FDCAN 作为事件驱动 CAN 运行，但与 2 级一样保持校准的全局时基。

FDCAN\_TTOCF.EECS 启用外部时钟同步，允许当前时间主控程序在时间触发操作期间更新 TUR 配置，使时钟速度和（仅在 0 级和 2 级）全局时钟相位适应外部基准。

TT 矩阵限制寄存器中的 FDCAN\_TTMLM.ENTT 指定系统矩阵中预期的 Tx\_Triggers 数量。这是独占、单一仲裁和合并仲裁窗口的 Tx\_Triggers 总和，不包括 Tx\_Ref\_Triggers。请注意，这通常不是 Tx\_Trigger 内存元素的数量；必须考虑系统矩阵中的基本周期数和触发器重复系数。

FDCAN\_TTMLM.ENTT 配置不准确将导致 TxCount Underflow（FDCAN\_TTIR.TXU = 1 和 FDCAN\_TTOST.EL = 01，严重性 1）或 Tx Count Overflow（FDCAN\_TTIR.TXO = 1 和 FDCAN\_TTOST.EL = 10，严重性 2）。

*注意：如果节点看到的第一个参考消息的 Cycle\_Count 值不是 0，则该节点可能会以其 Tx 计数完成第一个矩阵周期，从而导致 Tx 计数下溢。只要节点处于同步状态，其 Tx\_Triggers 就不会导致发送。*

FDCAN\_TTMLM.CCM 指定系统矩阵中最后一个基本周期的编号。在由 8 个基本周期组成的系统矩阵中，FDCAN\_TTMLM.CCM 应为 7。时间从属设备将忽略 FDCAN\_TTMLM.CCM，而参考消息的接收器则将收到的周期计数视为实际基本周期的有效周期计数。

FDCAN\_TTMLM.TXEW 以 NTU 为单位指定 Tx 启用窗口的长度。Tx 启用窗口是时间窗口开始时可以开始发送的时间段。如果由于与前一个时间窗口的消息有轻微重叠等原因而无法在 Tx 启用窗口内开始消息发送，则根本无法在该时间窗口内开始发送。FDCAN\_TTMLM.TXEW 必须根据网络同步质量以及时间窗口长度

和消息长度之间的关系来选择。

### 41.5.2.3 触发存储器

触发存储器是 TTCAN 所连接的外部消息 RAM 的一部分（参见第 41.6.26 节）。触发存储器最多可存储 64 个触发元素。触发存储器元素包括时间标记 TM、周期代码 CC、触发类型 TYPE、滤波类型 FTYPE、消息编号 MNR、消息状态计数 MSC、内部时间标记事件 TMIN 和外部时间标记事件 TMEX（参见第 41.3.7 节）。

时间标记定义了触发器在哪个周期时间处于激活状态。触发存储器中的触发器必须按照时间标记进行排序。时间标记最小的触发器元素将被写入第一个触发存储器字。对于 Tx\_Ref\_Trigger、Tx\_Ref\_Trigger\_Gap、Watch\_Trigger、Watch\_Trigger\_Gap 和 End\_of\_List 类型的触发器，消息编号和周期代码将被忽略。

当周期时间达到实际触发的时间标记时，FSE 将切换到下一个触发，并开始从触发器存储读取下一个触发。在发送触发的情况下，一旦 FSE 切换到其触发器，Tx 处理器就开始从消息 RAM 中读取消息。RAM 访问速度定义了发送触发器与其前一个触发器之间的最小时间间隔，发送处理程序必须能够在到达发送触发器时间标记之前准备好发送。RAM 访问速度还限制了两个匹配触发器之间的非匹配触发器（就其周期代码而言）的数量，下一个匹配触发器必须在其时间标记 k 到达之前被读取。如果参考消息长度为 n NTU，则时标小于 n 的触发器将永远不会激活，并将被视为配置错误。

周期时间的起点是参考消息帧开始位的采样点。当周期时间达到 Tx\_Ref\_Trigger 时标时，将请求发送下一条参考消息。FDCAN 在下一个采样点对发送请求做出反应。在帧开始位捕获新的同步标记，但周期时间会递增，直到参考消息成功发送（或接收），并将同步标记作为新的参考标记。此时，循环时间重新开始。因此，循环时间（初始化除外）的值永远不会小于 n，n 为参考消息的长度，单位为 NTU。

基本周期的长度：Tx\_Ref\_Trigger 时间标记 + 1 NTU + 1 CAN 位时间。

FDCAN 网络中的所有节点的触发器列表都是不同的。每个节点只知道自己发送消息的 Tx\_Triggers、本节点处理的接收消息的 Rx\_Triggers 以及与参考消息有关的触发器。

#### 41.5.2.3.1 触发器类型

Tx\_Ref\_Trigger (TYPE = 0000) 和 Tx\_Ref\_Trigger\_Gap (TYPE = 0001) 会导致时间主站发送参考消息。当时间从属设备在其触发存储器中遇到 Tx\_Ref\_Trigger( Gap) 时，会检测到配置错误 (FDCAN\_TTOST.EL = 11, 严重性 3)。Tx\_Ref\_Trigger\_Gap 仅用于外部事件同步时间触发运行模式。在该模式下，当 FDCAN 同步状态为 In\_Gap 时 (FDCAN\_TTOST.SYS = 10)，Tx\_Ref\_Trigger 将被忽略。

Tx\_Trigger\_Single (TYPE = 0010)、Tx\_Trigger\_Continuous (TYPE = 0011)、Tx\_Trigger\_Arbitration (TYPE = 0100) 和 Tx\_Trigger\_Merged (TYPE = 0101) 会导致发送开始。它们定义了一个时间窗口的开始。

当消息缓冲区发送请求挂起位被置位时，Tx\_Trigger\_Single 会在一个独占的时间窗口中开始单次发送。发送成功后，发送请求挂起位将被重置。

当消息缓冲区发送请求挂起位被设置时，Tx\_Trigger\_Continuous (Tx\_Trigger\_Continuous) 会在一个独占的时间窗口中启动一次发送。发送成功后，发送请求挂起位保持置位，并在下一个匹配的时间窗口中再次发送消息缓冲区。

Tx\_Trigger\_Arbitration 启动一个仲裁时间窗口，Tx\_Trigger\_Merged 合并一个仲裁时间窗口。合并仲裁时间窗口的最后一个 Tx\_Trigger 必须是 Tx\_Trigger\_Arbitration 类型。如果在 Tx\_Trigger\_Merged 类型的触发器之后，除了 Tx\_Trigger\_Merged 或 Tx\_Trigger\_Arbitration 类型的触发器之外，还跟有其他任何 Tx\_Trigger 触发器，则会检测到配置错误 (FDCAN\_TTOST.EL = 11, 严重性 3)。可以为同一个 Tx 消息缓冲区定义多个 Tx\_Trigger。在某些基本周期中，它们可能会被忽略，这取决于它们的周期代码。在计算预期 Tx\_Trigger 数量 (FDCAN\_TTMLM.ENTT) 时，必须考虑周期代码。

Watch\_Trigger (TYPE = 0110)和 Watch\_Trigger\_Gap (TYPE = 0111)可检查参考消息是否丢失。时间主站和时间从站均可使用它们。

Watch\_Trigger\_Gap 仅用于外部事件同步时间触发运行模式。在该模式下,当 FDCAN 同步状态为 In\_Gap 时 (FDCAN\_TTOST.SYS = 10), Watch\_Trigger 将被忽略。

Rx\_Trigger (TYPE = 1000)用于检查在专用时间窗口内是否接收到周期性消息。Rx\_Trigger 在达到 In\_Schedule 或 In\_Gap 状态时才会激活。Rx\_Trigger 的时间标记应置于消息传输结束之后,与时间窗口边界无关。根据周期代码的不同, Rx\_Trigger 在某些基本周期中可能会被忽略。在 Rx\_Trigger 的时间标记处,将检查在此时间标记之前、周期开始之后或之前的 Rx\_Trigger 之后收到的最后一条消息是否与 MNR 引用的接受过滤元素相匹配。接收到的消息将根据接收过滤结果存储在两个接收 FIFO 中的一个中,与 Rx\_Trigger 无关。Rx\_Trigger 引用的接收过滤元件应放在过滤列表的开头,以确保在达到 Rx\_Trigger 时间标记之前完成过滤。

根据 TMIN 和 TMEX 的配置, Time\_Base\_Trigger (TYPE = 1001) 用于生成内部/外部事件。

End\_of\_List (TYPE = 1010 ... 1111) 是非法触发器类型, 当在 Watch\_Trigger 和 Watch\_Trigger\_Gap 之前的触发存储器中遇到 End\_of\_List 触发器时, 将检测到配置错误 (FDCAN\_TTOST.EL = 11, 严重性 3)。

#### 41.5.2.3.2 节点触发器列表的限制条件

不可能有两个触发器在相同的周期时间和周期计数中处于活动状态,但在不同基本周期(不同周期代码)中处于活动状态的触发器可以共享相同的时间标记。

Rx\_Trigger 和 Time\_Base\_Trigger 不可置于 Tx\_Trigger\_Single/Continuous/Arbitration 的 Tx 启用窗口内,但可置于 Tx\_Trigger\_Merged 之后。

置于 Watch\_Trigger 之后(或当 FDCAN\_TTOST.SYS=10 时置于 Watch\_Trigger\_Gap 之后)的触发器将永远不会处于激活状态。当参考消息按时传送时, 监视触发器本身也不会激活。

所有未使用的触发存储器字 (Watch\_Trigger 之后或 Watch\_Trigger\_Gap 之后, 当 FDCAN\_TTOST.SYS = 10 时) 必须设置为触发器类型 End\_of\_List。

潜在时间主站的典型触发器列表将以若干 Tx\_Trigger 和 Rx\_Trigger 开始, 然后是 Tx\_Ref\_Trigger 和 Watch\_Trigger。对于具有外部事件同步时间触发通信功能的网络, 随后是 Tx\_Ref\_Trigger\_Gap 和 Watch\_Trigger\_Gap。时间从属设备的触发器列表与此相同, 但没有 Tx\_Ref\_Trigger 和 Tx\_Ref\_Trigger\_Gap。

在每个基本周期开始时, 即每次接收或发送参考消息时, 触发器列表将从第一个触发器存储元件开始处理。FSE 会查找周期代码与当前周期计数相符的第一个触发器。FSE 等待周期时间达到触发时间标记并激活触发器。

然后, FSE 在列表中查找下一个周期代码与当前周期计数相匹配的触发器。

需要特别考虑 Tx\_Ref\_Trigger 和 Tx\_Ref\_Trigger\_Gap 前后的时间。在争夺主站的时间主站中, 为了成为第一个启动参考消息的节点, Tx\_Ref\_Trigger 的有效时间标记可能会被递减。在备份时间主站中, Tx\_Ref\_Trigger 或 Tx\_Ref\_Trigger\_Gap 的有效时间标记是其配置的时间标记和参考触发器偏移 FDCAN\_TTOCF.IRTO 的总和。如果达到错误级别 2 (FDCAN\_TTOST.EL=10), 则有效时间标记为其时间标记和 0x127 的总和。在此范围内不应放置任何其他触发器元素, 否则可能导致时间标记出现顺序错误, 并被标记为配置错误。只要参考消息及时出现, Tx\_Ref\_Trigger 之后的触发元素可能永远不会激活。

以下参数之间存在相互依存关系:

- APB 时钟频率
- 触发器 RAM 访问的速度和等待时间

- 接收筛选列表的长度
- 触发器元素数量
- 触发器元素中周期代码过滤的复杂性
- 触发器元素时间标记之间的偏移

#### 41.5.2.3.3 触发器处理示例

示例显示了如何从节点系统矩阵中导出触发器列表。假定节点 A 是首次主控，并且知道表 41-17 所示的系统矩阵部分。

表 41-17 系统矩阵，节点 A

周期数	时间标记						
	1	2	3	4	5	6	7
0	Tx7	-	-	-	-	TxRef	Error
1	Rx3	-	Tx2, Tx4		-	TxRef	Error
2	-	-	-	-	-	TxRef	Error
3	Tx7	-	Rx5	-	-	TxRef	Error
4	Tx7	-	-	Rx6	-	TxRef	Error

周期计数从 0 开始，依次为 0、1、3、7、15、31、63（系统矩阵中对应的基本周期数分别为 1、2、4、8、16、32、64）。最大循环次数由 FDCAN\_TTMLM.CCM 配置。周期代码 CC 由重复系数（=最高有效位“1”的值）和系统矩阵中第一个基本周期的编号（=最高有效位“1”之后的位域）组成。

例如，周期代码为 0b0010011（重复因数=16，第一个基本周期=3），最大周期计数为 FDCAN\_TTMLM.CCM=0x3F，匹配发生在周期计数 3、19、35 和 51。

触发器元素由时间标记 TM、周期代码 CC、触发器类型 TYPE 和消息编号 MNR 组成。发送时，MNR 参考发送缓冲区编号（0...31）。对于接收，MNR 参考了接收过滤时匹配的过滤元件编号（0...127）。根据过滤类型 FTYPE 的配置，将引用 11 位或 29 位消息 ID 过滤列表。

表 41-18 触发器列表，节点 A

触发器	时间标记 TM[15:0]	周期代码 CC [6:0]	触发器类型 TYPE [3:0]	消息编号 MNR [6:0]
0	Mark 1	0b0000100	Tx_Trigger_Single	7
1	Mark 1	0b1000000	Rx_Trigger	3
2	Mark 1	0b1000011	Tx_Trigger_Single	7
3	Mark 3	0b1000001	Tx_Trigger_Merged	2
4	Mark 3	0b1000011	Rx_Trigger	5
5	Mark 4	0b1000001	Tx_Trigger_Arbitration	4
6	Mark 4	0b1000100	Rx_Trigger	6
7	Mark 6	N/A	Tx_Ref_Trigger	0(Ref)
8	Mark 7	N/A	Watch_Trigger	N/A



9	N/A	N/A	End_of_List	N/A
---	-----	-----	-------------	-----

Tx\_Trigger\_Single、Tx\_Trigger\_Continuous、Tx\_Trigger\_Merged、Tx\_Trigger\_Arbitration、Rx\_Trigger 和 Time\_Base\_Trigger 仅对指定的周期代码有效。对于所有其他触发类型，周期代码将被忽略。

FSE 会从 0 开始扫描触发器列表，以此启动基本周期，直到出现时标大于周期时间且周期代码 CC 与实际周期计数一致的触发器，或者出现 Tx\_Ref\_Trigger、Tx\_Ref\_Trigger\_Gap、Watch\_Trigger 或 Watch\_Trigger\_Gap 类型的触发器。

当循环时间达到时间标记 TM 时，触发器类型 TYPE 和消息编号 MNR 所定义的操作开始执行。当到达 End\_of\_List 时，配置出错。

在标记 6 处发送参考消息（始终为 TxRef）。发送参考消息后，FSE 返回触发器列表的起始位置。当到达标记 7 处的监视触发器时，节点无法发送参考消息；错误处理开始。

#### 41.5.2.3.4 配置错误检测

当出现以下情况时，将通过 FDCAN\_TTOST.EL=11（严重性 3）发出配置错误信号：

- FSE 检测到列表中的触发器，其周期代码与当前周期计数一致，但时间标记小于周期时间。
- 上一个活动触发器为 Tx\_Trigger\_Merged (Tx\_Trigger\_Merged)，FSE 检测到列表中的触发器，其周期代码与当前周期计数一致，但既非 Tx\_Trigger\_Merged (Tx\_Trigger\_Merged)，也非 Tx\_Trigger\_Arbitration (Tx\_Trigger\_Arbitration)，既非 Time\_Base\_Trigger (Tx\_Trigger)，也非 Rx\_Trigger (Rx\_Trigger)。
- FDCAN\_TTOCF.TM=0（时间从属）节点的 FSE 遇到 Tx\_Ref\_Trigger 或 Tx\_Ref\_Trigger\_Gap。
- 在 Tx\_Trigger 的 Tx 启用窗口（由 FDCAN\_TTMLM.TXEW 定义）内放置的任何时间标记，且周期代码匹配。
- 在 Tx\_Ref\_Trigger 的时间标记和参考触发器偏移量 FDCAN\_TTOST.RTO 附近放置的时间标记会导致以周期时间衡量的它们的顺序颠倒。

#### 41.5.2.4 调度初始化

当 FDCAN\_CCCR.INIT 复位时，会开始同步到 TTCAN 消息调度。TTCAN 可以严格按照时间触发（FDCAN\_TTOCF.GEN = 0）或外部事件同步时间触发（FDCAN\_TTOCF.GEN = 1）运行。FDCAN\_TTOST.SYS = 00（不同步）时，所有节点在其触发列表开始时的周期时间为 0，除参考消息外，不启用任何传输。外部事件同步时间触发运行模式下的节点将忽略 Tx\_Ref\_Trigger 和 Watch\_Trigger，而使用 Tx\_Ref\_Trigger\_Gap 和 Watch\_Trigger\_Gap，直到第一条参考消息决定间隙是否处于活动状态。

##### 41.5.2.4.1 时间被控节点

配置完成后，当时间从节点在到达 Watch\_Trigger 之前没有收到任何消息时，它将忽略 Watch\_Trigger 和 Watch\_Trigger\_Gap。当到达 Init\_Watch\_Trigger 时，中断标志 FDCAN\_TTIR.IWT 被置 1，FSE 被冻结，周期时间失效，但节点仍能参与 CAN 总线通信（确认或发送错误标志）。第一个收到的参考消息将重新启动 FSE 和周期时间。

*注意：Init\_Watch\_Trigger 不属于触发器列表。它是作为一个内部计数器实现的，计数到 0xFFFF=最大循环时间。*

当时间从站在达到 Watch\_Triggers 之前收到任何消息（参考消息除外）时，它将假定发生致命错误（FDCAN\_TTOST.EL=11，严重性 3），中断标志 FDCAN\_TTIR.WT 位置 1，关闭 CAN 总线输出，并进入总线监控模式（FDCAN\_CCCR.MON 设置为 1）。在总线监控模式下，它仍能接收消息，但不能发送任何显性

位，因此也不能进行确认。

注意：主机必须将 FDCAN\_CCCR.INIT 设置为 1，才能脱离致命错误状态。重置 FDCAN\_CCCR.INIT 后，节点将重新启动 TTCAN 通信。

当同步期间未发生错误时，第一条参考消息将 FDCAN\_TTOST.SYS = 01（同步），第二条参考消息将 FDCAN 同步状态（取决于其 Next\_is\_Gap 位）设置为 FDCAN\_TTOST.SYS = 11（In\_Schedule）或 FDCAN\_TTOST.SYS = 10（In\_Gap），启用所有 Tx\_Trigger 和 Rx\_Trigger。

#### 41.5.2.4.2 潜在时间主控节点

配置完成后，潜在时间主站将在到达其 Tx\_Ref\_Trigger（或 Tx\_Ref\_Trigger\_Gap，当处于外部事件同步时间触发操作时）时开始发送参考消息。如果在到达 Watch\_Trigger 之前没有收到任何消息或成功发送参考消息（假定原因：所有其他节点仍处于重置或配置状态，没有确认），它将忽略其 Watch\_Trigger 和 Watch\_Trigger\_Gap。当到达 Init\_Watch\_Trigger 时，尝试的传输将被中止，中断标志 FDCAN\_TTIR.IWT 被置 1，FSE 被冻结，周期时间将失效，但节点仍能参与 CAN 总线通信（发出确认或错误标志）。重置 FDCAN\_TTIR.IWT 将重新启用参考消息的发送，直到下次满足 Init\_Watch\_Trigger 条件或收到其他 CAN 消息。FSE 不会因接收到参考消息而重新启动。

当潜在时间主站在收到除参考消息以外的任何消息后到达 Watch\_Triggers 时，它将假定发生致命错误（FDCAN\_TTOST.EL=11，严重性 3），中断标志 FDCAN\_TTIR.WT 位置 1，关闭 CAN 总线输出，并进入总线监控模式（FDCAN\_CCCR.MON 设置为 1）。在总线监控模式下，它仍能接收消息，但不能发送任何显性位，因此也不能进行确认。

当初始化期间未检测到错误时，第一条参考消息会将 FDCAN\_TTOST.SYS 设置为 01（同步），第二条参考消息会将 FDCAN 同步状态（取决于其 Next\_is\_Gap 位）设置为 FDCAN\_TTOST.SYS=11（In\_Schedule）或 FDCAN\_TTOST.SYS=10（In\_Gap），从而启用所有 Tx\_Trigger 和 Rx\_Trigger。

当潜在时间主站是最后一条参考消息的发送方时，它就是当前时间主站（FDCAN\_TTOST.MS=11），否则就是备份时间主站（FDCAN\_TTOST.MS=10）。

当所有潜在时间主站完成配置后，网络中时间主站优先级最高的节点将成为当前时间主站。

### 41.5.3 TTCAN 间隙控制

所有与间隙控制相关的功能仅适用于 FDCAN 以外部事件同步时间触发模式运行时（FDCAN\_TTOCF.GEN=1）。在这种运行模式下，可以通过在系统矩阵的基本周期之间插入间隙来中断 FDCAN 消息调度。与 CAN 网络连接的所有节点都必须配置为外部事件同步时间触发运行。

在间隙期间，所有传输停止，CAN 总线保持空闲。当下一条参考消息开始一个新的基本周期时，间隙结束。间隙由当前时间主站启动。

当前时间主站有两种启动间隙的选择。当应用程序写入 FDCAN\_TTOCN.NIG=1 时，间隙可在软件控制下启动。Next\_is\_Gap 位将在下一条参考消息中以 1 发送。当应用程序通过写入 FDCAN\_TTOCN.GCS=1 来启用事件触发输入引脚 fdcan\_evt 时，也可在硬件控制下启动间隙。当参考消息启动并将 FDCAN\_TTOCN.GCS 位置 1 时，事件触发引脚 fdcan\_evt 的高电平将设置 Next\_is\_Gap=1。

一旦参考消息完成，FDCAN\_TTOST.WFE 位将向时间主站和时间从站公布间隙。当前基本周期将持续到最后一个时间窗口。最后一个时间窗口之后的时间即为间隙时间。

对于实际时间主站和潜在时间主站，当最后一个基本周期结束、间隙时间开始时，FDCAN\_TTOST.GSI 将被置位。对于时间从节点，位 FDCAN\_TTOST.GSI 将保持为 0。

当潜在时间主站处于同步状态  $In\_Gap$  时 ( $FDCAN\_TTOST.SYS = 10$ )，它有四种选择来有计划的结束  $Gap$ ：

1. 在软件控制下写  $FDCAN\_TTOCN.FGP=1$ 。
2. 在硬件控制下 ( $FDCAN\_TTOCN.GCS = 1$ )，事件触发器输入引脚  $fdcan\_evt$  从高到低的边沿将  $FDCAN\_TTOCN.FGP$  位置 1，并重新启动调度表。
3. 第三个选项是时间触发重启。当  $FDCAN\_TTOCN.TMG = 1$  时，下一个寄存器时间标记中断 ( $FDCAN\_TTIR.RTMI = 1$ ) 将  $FDCAN\_TTOCN.FGP$  位置 1，并启动参考消息。
4. 最后，任何潜在的时间主站都将在达到其  $Tx\_Ref\_Trigger\_Gap$  时完成一个  $Gap$ ，前提是要同步的事件没有及时发生。

这些选项都不会导致基本周期被参考消息中断。

在间隙时间开始后  $FDCAN\_TTOCN.FGP$  位置 1，将立即开始传送参考消息，从而会同步消息调度。如果在间隙时间开始之前  $FDCAN\_TTOCN.FGP$  位置 1 (当基本周期仍在进行时)，则将在基本周期结束时 ( $Tx\_Ref\_Trigger$  时) 启动下一参考消息，消息调度中将不存在间隙时间。

在严格的时间触发操作中，参考消息中的位  $Next\_is\_Gap = 1$  将被忽略，事件触发输入引脚  $fdcan\_evt$  和位  $FDCAN\_TTOCN.NIG$ 、 $FDCAN\_TTOCN.FGP$  和  $FDCAN\_TTOCN.TMG$  也将被忽略。

## 41.5.4 停止监视

停止监视功能可捕捉外部事件触发的  $FDCAN$  内部时间值 (本地时间、周期时间或全局时间)。

要启用停止监视功能，应用程序首先必须通过  $FDCAN\_TTOCN.SWS$ ，将本地时间、周期时间或全局时间定义为停止监视源。当  $FDCAN\_TTOCN.SWS$  与 00 不同，且  $TT$  中断寄存器标志  $FDCAN\_TTIR.SWE$  为 0 时， $FDCAN\_TTOCN.SWS$  所选时间的实际值将在停止监视触发引脚  $fdcan\_swt$  的下一个上升/下降沿 (通过  $FDCAN\_TTOCN.SWP$  配置) 复制到  $FDCAN\_TTCPT.SWV$  中。这将中断标志  $FDCAN\_TTIR.SWE$  位置 1。应用程序读取  $FDCAN\_TTCPT.SWV$  后，可通过将  $FDCAN\_TTIR.SWE$  复位为 0 来启用下一个停止监视事件。

## 41.5.5 本地时间、周期时间、全局事件和外部时钟同步

时间触发  $CAN$  有两种可能的级别：

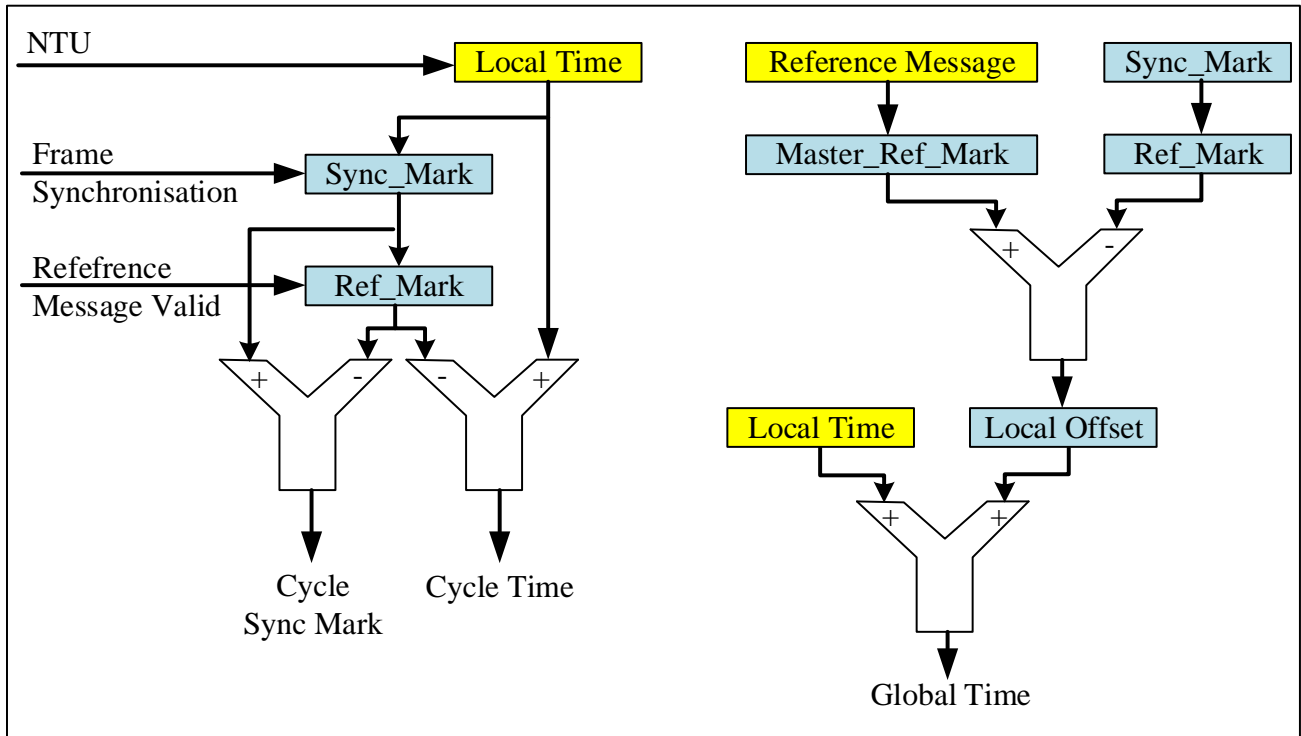
1. 级别 1 仅提供使用周期时间的时间触发操作。
2. 等级 2 还提供更高的同步质量、全局时间和外部时钟同步。在这两个级别中，所有定时功能都基于本地时间基准--本地时间。

本地时间是一个 16 位循环计数器，每个  $NTU$  增加一次。在内部， $NTU$  由一个 3 位计数器表示，可视为本地时间的小数部分 (三位二进制数)。一般来说，3 位  $NTU$  计数器每个  $NTU$  增加 8 次。如果  $NTU$  的长度短于 8 个  $CAN$  时钟周期 (可在第 1 级中配置，或作为第 2 级中时钟校准的结果)，则  $NTU$  分数的长度将进行调整， $NTU$  计数器每个  $NTU$  只递增 4 次。

图 41-15 周期时间和全局事件同步描述了周期时间和全局时间的同步情况，所有  $FDCAN$  节点 (包括时间主站) 均以相同方式执行。任何接收或发送的消息都会在消息帧同步事件中捕获本地时间。帧同步事件发生在每个帧开始 (SoF) 位的采样点，并导致本地时间被存储为  $Sync\_Mark$ 。同步标记和参考标记包括 3 位小数部分。

每当发送或接收到有效的参考消息时,内部Ref\_Mark 都会根据 Sync\_Mark 进行更新。Ref\_Mark 和 Sync\_Mark 之间的差值就是存储在寄存器 FDCAN\_TTCSM 中的周期同步标记 (周期同步标记=Sync\_Mark-Ref\_Mark)。Ref\_Mark 与本地时间实际值之差的最有效 16 位为周期时间 (周期时间=本地时间-Ref\_Mark)。

图 41-15 周期时间和全局事件同步



从 FDCAN\_TTCTC.CT 中读取的周期时间是节点本地时间和 Ref\_Mark 的差值,两者都同步到 APB 时钟域并截断为 16 位。

全局时间仅适用于 TTCAN 0 级和 2 级,在 1 级无效。全局时间的节点视图是全局时间在 (本地) NTU 中的本地映像。配置完成后,潜在的时间主站将使用自己的本地时间作为全球时间。时间主站通过在参考消息 (字节 3 和 4) 中将自己的 Ref\_Marks 作为 Master\_Ref\_Marks 发送,将自己的本地时间设为全球时间。从 FDCAN\_TTLGT.GT 中读取的全球时间是节点本地时间与其本地偏移量的总和,两者都同步到 APB 时钟域并截断为 16 位。小数部分仅用于时钟同步。

接收到参考消息的节点通过比较其本地 Ref\_Mark 和接收到的 Master\_Ref\_Mark,计算出其本地偏移量与全球时间的偏移量 (见图 41-16)。节点对全球时间的看法是本地时间加上本地偏移量。在一个从未接收过其他时间主站参考消息的潜在时间主站中,Local\_Offset 将为 0。当一个节点在首次接收到其他参考消息后成为当前时间主站时,Local\_Offset 将被冻结在其最后的值上。在时间接收节点中,Local\_Offset 可能会因时钟漂移、另一个节点成为时间主控节点或参考消息中的 Disc\_Bit 所指示的全局时间不连续而发生微小调整。除全局时间不连续外,寄存器 FDCAN\_TTLGT 提供给应用程序的全局时间都经过低通滤波,以获得连续的单调值。

图 41-16 TTCAN 0 级和 2 级偏移补偿

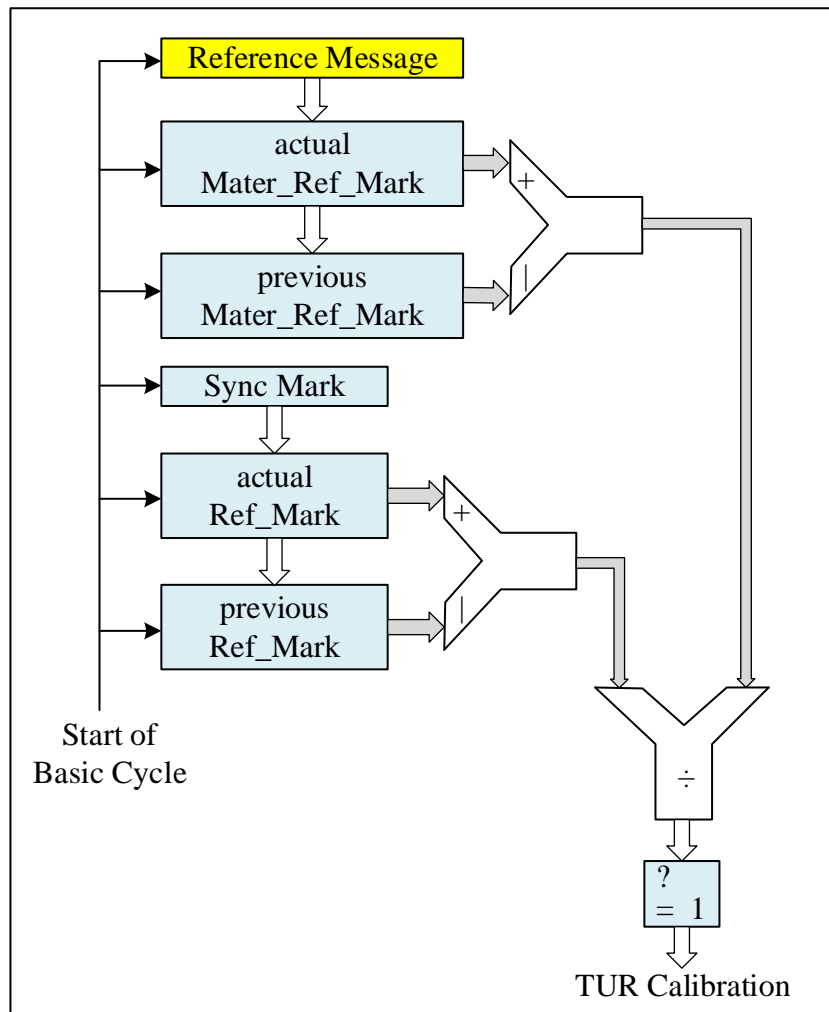


图 41-16 描述了在 TTCAN 0 级和 2 级中，每个时间接收节点如何通过比较本地时间和全球时间的基本周期长度来补偿自身本地时钟和时间主时钟之间的漂移。如果两个值之间存在差异，且未置位参考消息中的 Disc\_Bit，则计算 FDCAN\_TURNA.NAV 的新值。如果同步偏差  $SD = |NC - FDCAN\_TURNA.NAV| \leq SDL$ （同步偏差限值），则 FDCAN\_TURNA.NAV 的新值生效。否则自动漂移补偿暂停。

在 TTCAN 0 级和 2 级中，FDCAN\_TTOST.QCS 表示自动漂移补偿是激活还是暂停。在 TTCAN 1 级中，FDCAN\_TOST.QCS 始终为 1。

当前时间主站可将其本地时钟速度和全局时间相位同步到外部时钟源。该功能由位 FDCAN\_TTOCF.EECS 启用。

停止监视功能（参见第 41.5.4 节：停止监视）可用于测量本地时钟与外部时钟之间的时钟速度差。调整本地时钟速度的方法是，首先将新计算出的分子配置限值写入 FDCAN\_TURCF.NCL（FDCAN\_TURCF.DC 不能在运行期间更新）。将 FDCAN\_TTOCN.ECS 写入 1 后，新值生效。

首先将相位偏移写入 TT 全局时间预设寄存器 FDCAN\_TTGTP，从而调整全局时间相位。将 FDCAN\_TTOCN.SGT 写入 1 后，新值生效。全局时间相位调整后传送的第一条参考消息将把 Disc\_Bit 设置为 1。

FDCAN\_TTOST.QGTP 显示节点全球时间是否与时间主站全球时间同步。在 TTCAN 1 级和 TTCAN 0、2 级

超过同步偏差限制时 (FDCAN\_TTOST.QCS=0), FDCAN\_TTOST.QGTP 永久为 0。当全局时间经过低通滤波以向应用程序提供连续的单调值时, 此位暂时为 0。当最后一条参考消息包含 Disc\_Bit = 1 或 FDCAN\_TTOST.QCS = 0 时, 不会进行低通滤波。

## 41.5.6 TTCAN 错误级别

ISO 11898-4 规定了错误严重程度的四个等级:

1. S0 - 无错误
2. S1 - 警告 - 仅通知应用程序, 针对特定应用程序作出反应。
3. S2 - 错误 - 通知应用程序。独占或仲裁时间窗口中的所有传输均被禁用 (即无法启动数据或远程帧)。潜在时间主站仍可发送参考消息, 参考触发偏移 FDCAN\_TTOST.RTO 设置为最大值 127。
4. S3 - 严重错误 - 通知应用程序。停止所有 CAN 总线操作, 即不允许发送显性位, 并将 FDCAN\_CCCR.MON 位置 1。S3 错误条件保持激活状态, 直至应用程序更新配置 (设置 FDCAN\_CCCR.CCE)。

如果同时检测到多个错误, 则以严重程度最高的为准。检测到错误时, 应用程序将收到 FDCAN\_TTIR.ELC 的通知。错误级别由 FDCAN\_TTOST.EL 监控。

TTCAN 根据 ISO 11898-4 的要求发出以下错误条件信号:

### ■ Config\_error (S3)

-当合并的仲裁时间窗未正确关闭, 或当 Tx\_Trigger 的时间标记超出 Tx\_Ref\_Trigger 时, 将错误级别 FDCAN\_TTOST.EL 设置为“11”。

### ■ Watch\_Trigger\_Reached (S3)

-由于缺少参考消息而到达监视触发时, 将错误级别 FDCAN\_TTOST.EL 设置为“11”。

### ■ Application\_Watchdog (S3)

-当应用程序未能为应用程序看门狗提供服务时, 将错误级别 FDCAN\_TTOST.EL 设置为 11。应用程序看门狗通过 FDCAN\_TTOCF.AWL 进行配置。应用程序看门狗通过 FDCAN\_TTOCF.AWL 进行配置, 并通过读取寄存器 FDCAN\_TTOST 提供服务。当看门狗未及时喂狗时, FDCAN\_TTOST.AWE 位和中断标志 FDCAN\_TTIR.AW 将被置 1, 所有 FDCAN 通信将停止, FDCAN 将进入总线监控模式 (FDCAN\_CCCR.MON 设置为 1)。

### ■ CAN\_Bus\_Off (S3)

-进入 CAN\_Bus\_Off 状态会将错误级别 FDCAN\_TTOST.EL 设置为“11”。CAN\_Bus\_Off 状态由 FDCAN\_PSR.BO = 1 和 FDCAN\_CCCR.INIT = 1 发出信号。

### ■ Scheduling\_Error\_2 (S2)

-如果一个 Tx\_Trigger 的 MSC 达到 7, 则将错误级别 FDCAN\_TTOST.EL 设置为 10。此外, 还将设置中断标志 FDCAN\_TTIR.SE2。如果在前一个矩阵周期中没有任何 Tx\_Trigger 的 MSC 达到 7, 则在矩阵周期开始时将错误级别 FDCAN\_TTOST.EL 重置为 00。

### ■ Tx\_Overflow (S2)

-当 Tx 计数等于或高于预期的 Tx\_Trigger 数 FDCAN\_TTMLM.ENTT, 且发生 Tx\_Trigger 事件时, 将错

误级别 FDCAN\_TTOST.EL 设置为 10。此外，还将设置中断标志 FDCAN\_TTIR.TXO。在新的矩阵周期开始时，当 Tx 计数不超过 FDCAN\_TTMLM.ENTT 时，错误级别 FDCAN\_TTOST.EL 复位为 00。

#### ■ Scheduling\_Error\_1 (S1)

—如果在一个矩阵周期内，所有触发器存储元件（独占时间窗）的最大 MSC 与最小 MSC 之差大于 2，或者独占 Rx\_Trigger 的一个 MSC 达到 7，则将错误级别 FDCAN\_TTOST.EL 设置为 01。此外，还会设置中断标志 FDCAN\_TTIR.SE1。如果在一个矩阵周期内上述条件均不成立，则错误级别 FDCAN\_TTOST.EL 复位为 00。

#### ■ Tx\_Underflow (S1)

—当 Tx 计数少于新矩阵周期开始时预期的 Tx 触发器 FDCAN\_TTMLM.ENTT 数量时，将错误级别 FDCAN\_TTOST.EL 设置为 01。此外，还将中断标志 FDCAN\_TTIR.TXU 位置 1。当新矩阵周期开始时 Tx 计数至少为 FDCAN\_TTMLM.ENTT 时，错误级别 FDCAN\_TTOST.EL 复位为 00。

## 41.5.7 TTCAN 消息处理

### 41.5.7.1 参考消息

对于潜在的时间主站，参考消息的标识符通过 FDCAN\_TTRMC.RID 进行配置。发送参考消息不需要专用的 Tx 缓冲器。发送参考消息时，FSE 将提供 TTCAN 1 级的第一个数据字节（即 TTCAN 0 级的前四个数据字节和 TTCAN 2 级的前四个数据字节）。

如果参考消息有效载荷选择 FDCAN\_TTRMC.RMPS 位置 1，则参考消息有效载荷的其余部分（1 级：2-8 字节，0、2 级：5-6 字节）将从 Tx 缓冲区 0 中获取。在这种情况下，将使用消息缓冲区 0 中的数据长度 DLC 代码。

表 41-19 随参考消息一起发送的数据字节数

FDCAN_TTRMC.RMPS	FDCAN_TXBRP.TRP0	Level 0	Level 1	Level 2
0	0	4	1	4
0	1	4	1	4
1	0	4	1	4
1	1	4+MBO	1+MBO	4+MBO

要在第 1 级中与参考消息一起发送附加有效载荷，必须配置 DLC>1，对于第 0 级和第 2 级，则需要 DLC>4。此外，必须将消息缓冲区 0 的发送请求挂起位 FDCAN\_TXBRP.TRP0 位置 1（见表 41-19）。如果启动参考消息时未置位 FDCAN\_TXBRP.TRP0，则参考消息仅与 FSE 提供的数据字节一起发送。

参考消息的接收过滤使用参考标识符 FDCAN\_TTRMC.RID。

### 41.5.7.2 消息接收

消息接收通过两个 Rx FIFO 完成，方式与事件驱动 CAN 通信相同（参见第 41.4.2 节）。

消息状态计数 MSC 是相应触发存储器元件的一部分，必须在配置时初始化为 0。当 TTCAN 处于同步状态 In\_Gap 或 In\_Schedule 时，它将被更新。更新发生在 Rx\_Trigger 消息中。此时，将检查在此基本周期内收到的最新消息与哪个接收过滤元件相匹配。匹配的过滤号将作为接收过滤结果存储。如果与该触发器存储元件中定义的过滤号相同，则 MSC 减 1。如果接受过滤结果与此过滤元件定义的过滤编号不一致，或者接受过滤结果被清除，则 MSC 增 1。在每次 Rx\_Trigger 和每次周期开始时，最后一次验收滤波结果都会被清零。

接收触发 (Rx\_Trigger) 的时间标记应设置为确保目标消息的接收和接收过滤已完成的值。这必须考虑到 RAM 的访问时间和过滤列表的顺序。建议将用于 Rx\_Trigger 的过滤器放在过滤器列表的开头。不建议将 Rx\_Trigger 用于参考消息。

### 41.5.7.3 消息发送

对于时间触发的消息发送, TTCAN 提供 32 个专用 Tx 缓冲器 (参见 41.4.3)。当 FDCAN 配置为时间触发操作 (FDCAN\_TTOCF.OM=01 或 10) 时, Tx FIFO 或 Tx 队列不可用。

触发存储器中的每个 Tx\_Trigger 都指向包含特定消息的特定 Tx 缓冲区。如果一个给定的 Tx 缓冲区包含的消息在一个基本周期或矩阵周期内要发送不止一次, 则该 Tx 缓冲区的 Tx\_Trigger 可能不止一个。

应用程序必须按时定期更新数据, 并与周期时间同步。主机 CPU 负责确保不会发送未完成更新的消息。为确保这一点, 主机必须采取以下措施:

Tx\_Trigger\_Single/Tx\_Trigger\_Merged/Tx\_Trigger\_Arbitration:

- 通过读取 FDCAN\_TXBTO 检查上次发送是否已完成
- 更新 Tx 缓冲区配置和/或有效载荷
- 发送添加请求, 设置 Tx 缓冲区请求挂起位

Tx\_Trigger\_Continuous

- 发送取消请求, 重置 Tx 缓冲区请求挂起位
- 通过读取 FDCAN\_TXBCF 检查取消是否已完成
- 更新 Tx 缓冲区配置和/或有效载荷
- 发送添加请求, Tx 缓冲区请求挂起位置 1

与相应 Tx\_Trigger 一起存储的消息 MSC 提供了发送成功与否的消息。

当由于 CAN 总线在相应的发送使能窗口内未空闲而无法开始发送, 或者当消息已开始发送但无法成功完成时, MSC 将递增 1。当消息已成功传输, 或消息本可在其传输使能窗口内启动, 但由于传输被禁用 (TTCAN 处于错误级别 S2 或主机已禁用此特定消息) 而未启动时, MSC 将减 1。

发送缓冲区可以动态管理, 即具有不同标识符的多个消息可以共享同一个发送缓冲区元素。在这种情况下, 主机必须通过检查 FDCAN\_TXBRP 来确保待重新配置的 Tx 缓冲区元素没有发送请求。

如果需要更新挂起请求的 Tx 缓冲区, 主机必须首先发出取消请求, 并在开始更新之前通过读取 FDCAN\_TXBCF 检查取消是否已完成。

发送处理程序将在紧接着 Tx\_Trigger 元素 (定义发送窗口的起始点) 之前激活的触发元素处, 将消息从消息 RAM 传送到中间输出缓冲器。在传输期间和传输之后, 发送消息可能不会更新, 其 FDCAN\_TXBRP 位也可能不会更改。为控制传输时间, 可在 Tx\_Trigger 之前增加一个触发器元素。这可以是一个时间触发器 (Time\_Base\_Trigger), 它无需引起任何其他操作。Tx\_Trigger 与前一个触发器之间的时差必须足够大, 以保证 Tx 处理器即使在其他模块对 RAM 的访问负荷很高的情况下也能从消息 RAM 中读取四个字。

#### 41.5.7.3.1 在专用时间窗口中发送

当周期时间达到 Tx\_Trigger\_Single 或 Tx\_Trigger\_Continuous 的时间标记时, 开始时间触发发送。总线上不对来自其他节点的消息进行仲裁。MSC 根据传输尝试的结果进行更新。由 Tx\_Trigger\_Single 启动的发送成功后, 相应的 Tx 缓冲区请求挂起位将被重置。由 Tx\_Trigger\_Continuous (Tx\_Trigger\_Continuous) 启动的



发送成功后，相应的 Tx 缓冲区请求挂起位保持置 1。如果由于干扰导致发送不成功，则在下一次（其中一个）Tx\_Trigger（触发器）激活时将重复发送。

#### 41.5.7.3.2 在仲裁时间窗口中发送

当周期时间达到 Tx\_Trigger\_Arbitration 的时间标记时，开始时间触发发送。多个节点可能同时开始传输。在这种情况下，消息必须与其他节点的消息进行仲裁。MSC 不会更新。如果发送不成功（仲裁失败或受到干扰），下次（其中一个）Tx\_Trigger 激活时将重复发送。

#### 41.5.7.3.3 在合并仲裁时间窗口中发送

合并仲裁时间窗口的用途是使多个节点能够发送数量有限的帧，这些帧按照 CAN 仲裁的顺序进行发送。它不用于节点的突发传输。由于节点在该时间窗口内没有独占访问权，因此可能会出现并非所有请求的发送都能成功的情况。

失去仲裁或受错误干扰的消息可在同一合并仲裁时间窗口内重新传输。如果相应的发送请求挂起标志因成功取消发送而被重置，则不会开始重新发送。

在单独发送窗口中，发送处理单元会发送由触发元素的消息编号指示的消息。在合并仲裁时间窗口中，它最多可处理触发器列表中的三个消息编号。将按照触发器列表定义的顺序尝试发送。如果在发送第一条消息之前到达了第四条消息的时间标记（或被主机取消），则第四条消息的请求将被忽略。

合并仲裁时间窗口内的传输不具有时间触发性。消息的传输可以在其时间标记之前开始，如果总线没有空闲，也可以在时间标记之后开始。

特定节点在合并仲裁时间窗口内发送的消息将按照其 Tx\_Triggers 的顺序开始发送，因此，如果总线流量很大，CAN 优先级较低的消息可能会妨碍优先级较高的后续消息的成功发送。在配置触发器列表时必须考虑到这一点。Time\_Base\_Triggers 可以放在连续的 Tx\_Triggers（Tx\_触发器）之间，以确定相应 Tx 缓冲区的数据需要更新的时间。

### 41.5.8 TTCAN 中断和错误处理

TT 中断寄存器 FDCAN\_TTIR 由几个部分组成。每个中断都可以通过 TT 中断使能寄存器 FDCAN\_TTIE 中的相应位单独启用。这些标志保持置位状态，直到主机将其清除。将 1 写入相应位即可清除标志。

第一部分包括标志位 CER、AW、WT 和 IWT。每个标志都表示一个致命错误条件，CAN 通信在此条件下停止。除 IWT 外，这些错误条件要求重新配置 FDCAN 模块后才能重新启动通信。

第二部分包括标志位 ELC、SE1、SE2、TXO、TXU 和 GTE。每个标志都表示 CAN 通信受到干扰的错误条件。如果它们是由瞬时故障（如 CAN 总线上的干扰）引起的，则将由 FDCAN 协议故障处理程序进行处理，不需要应用程序进行干预。

第三部分包括标志位 GTD、GTW、SWE、TTMI 和 RTMI。前两个标志由全局时间事件（仅 0 级和 2 级）控制，需要应用程序做出反应。通过引脚 fdcan\_swat 上的上升沿触发的停止监视事件，可以捕捉内部时间值。触发时间标记中断通知应用程序已达到特定的触发时间标记。寄存器时间标记中断发出信号，表明 FDCAN\_TTOCN.TMC（周期、本地或全局）引用的时间等于时间标记 FDCAN\_TTTMK.TM。它也可用于完成一个间隙。

第四部分包括标志位 SOG、CSM、SMC 和 SBC。这些标志提供了一种使应用程序与时间调度同步的方法。

## 41.5.9 Level 0

TTCAN 0 级不是 ISO11898-4 的一部分。根据 ISO11898-1，该运行模式使 TTCAN 2 级中维护校准全局时基的硬件也可用于事件驱动 CAN。

0 级运行通过  $FDCAN\_TTOCF.OM = 11$  进行配置。在这种模式下，FDCAN 以事件驱动 CAN 通信方式运行，没有固定时间表，FDCAN\_TTOCF.GEN 的配置将被忽略。在 0 级中，外部事件同步操作不可用。同步时基通过传输参考消息来维持。

在 0 级中，触发存储器未激活，因此无需配置。当周期时间达到  $FDCAN\_TTOCF.IRTO * 0x200$  时，时间标记中断标志(FDCAN\_TTIR.TTMI)将被置 1，以提醒主机为消息缓冲区 0 设置发送请求。当周期时间达到  $0xFF00$  时，Watch\_Trigger 中断标志(FDCAN\_TTIR.WT)将被置 1。选择这些值是为了有足够的余量进行稳定的时钟校准。没有进一步的 TT 错误检查。

也可以使用寄存器时间标记中断(FDCAN\_TTIR.RTMI)。

参考消息的配置与第 2 级操作相同。接收的参考消息通过寄存器 FDCAN\_TTRMC 中配置的标识符识别。发送参考消息时，只能使用消息缓冲区 0。只要主机为消息缓冲区 0 设置了发送请求，节点就会发送参考消息，没有参考触发偏移。

可通过以下方式配置 0 级操作：

- FDCAN\_TTRMC
- FDCAN\_TTOCF，但 EVTP,AWL,GEN 位除外
- FDCAN\_TTMLM，但 ENTT,TXEW 位除外
- FDCAN\_TURCF

0 级操作是通过以下寄存器位控制的：

- FDCAN\_TTOCN，但 NIG,TMG,FGP,GCS,TTMIE 位除外
- FDCAN\_TTGTP
- FDCAN\_TTTMK
- FDCAN\_TTIR，但 CER,AW,IWTSE2,SE1,TXO,TXU,SOG 位除外(无功能)
- FDCAN\_TTIR 以下位的功能发生了变化
  - 不是由触发存储器定义的 TTMI - 在周期时间  $TTOCF[IRTO] * 0x200$  激活
  - 不是由触发存储器定义的 WT - 在周期时间  $0xFF00$  激活

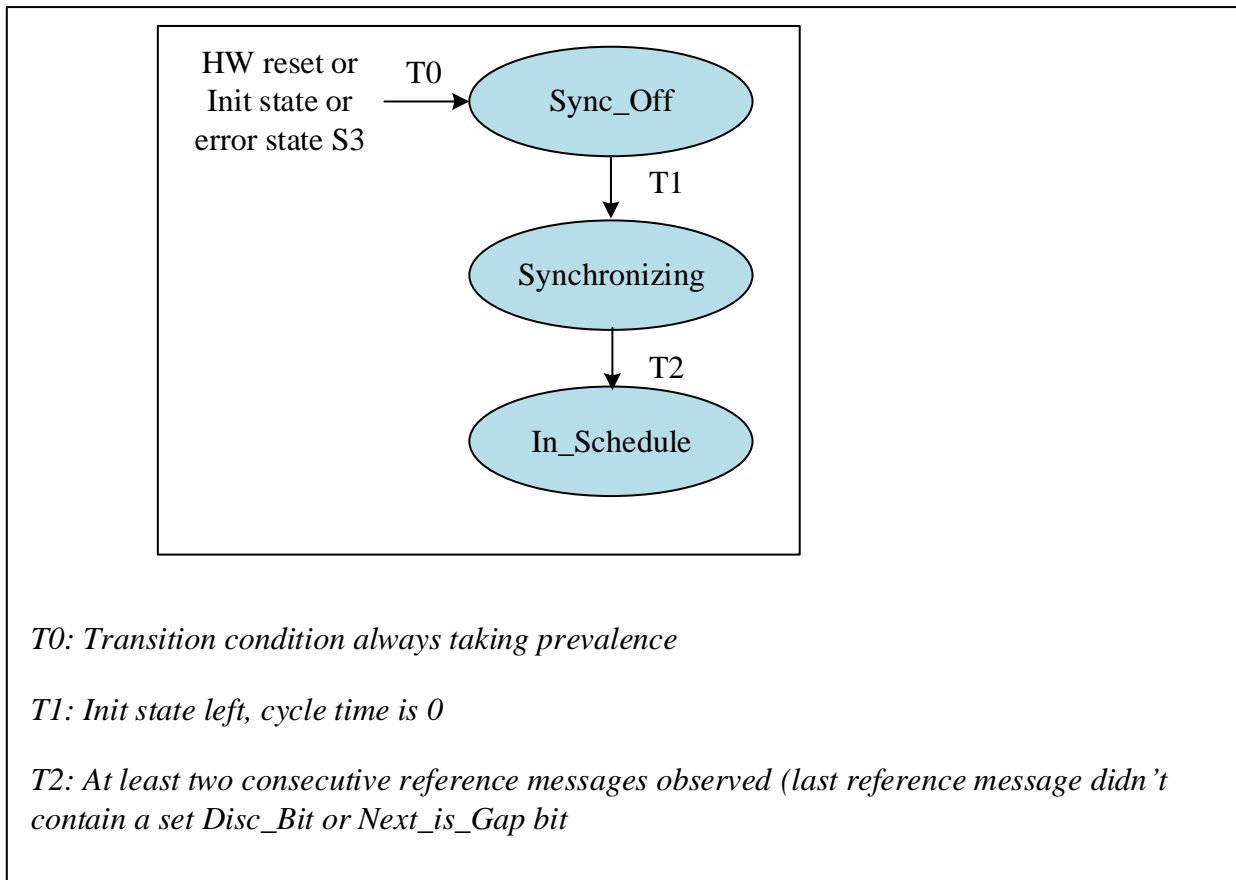
0 级操作是通过以下寄存器位指示的：

- TTOST，但 AWE,WFE,GSI,GFI,RTO 位除外(无功能)

### 41.5.9.1 同步

图 41-17 介绍了 TTCAN 0 级操作中的状态和状态转换。0 级没有 In\_Gap 状态。

图 41-17 0 级调度同步状态机



### 41.5.9.2 错误级别处理

0 级操作期间，仅可能出现以下错误条件：

- Watch\_Trigger\_Reached (S3),到达周期时间 0xFF00
- CAN\_Bus\_Off (S3)

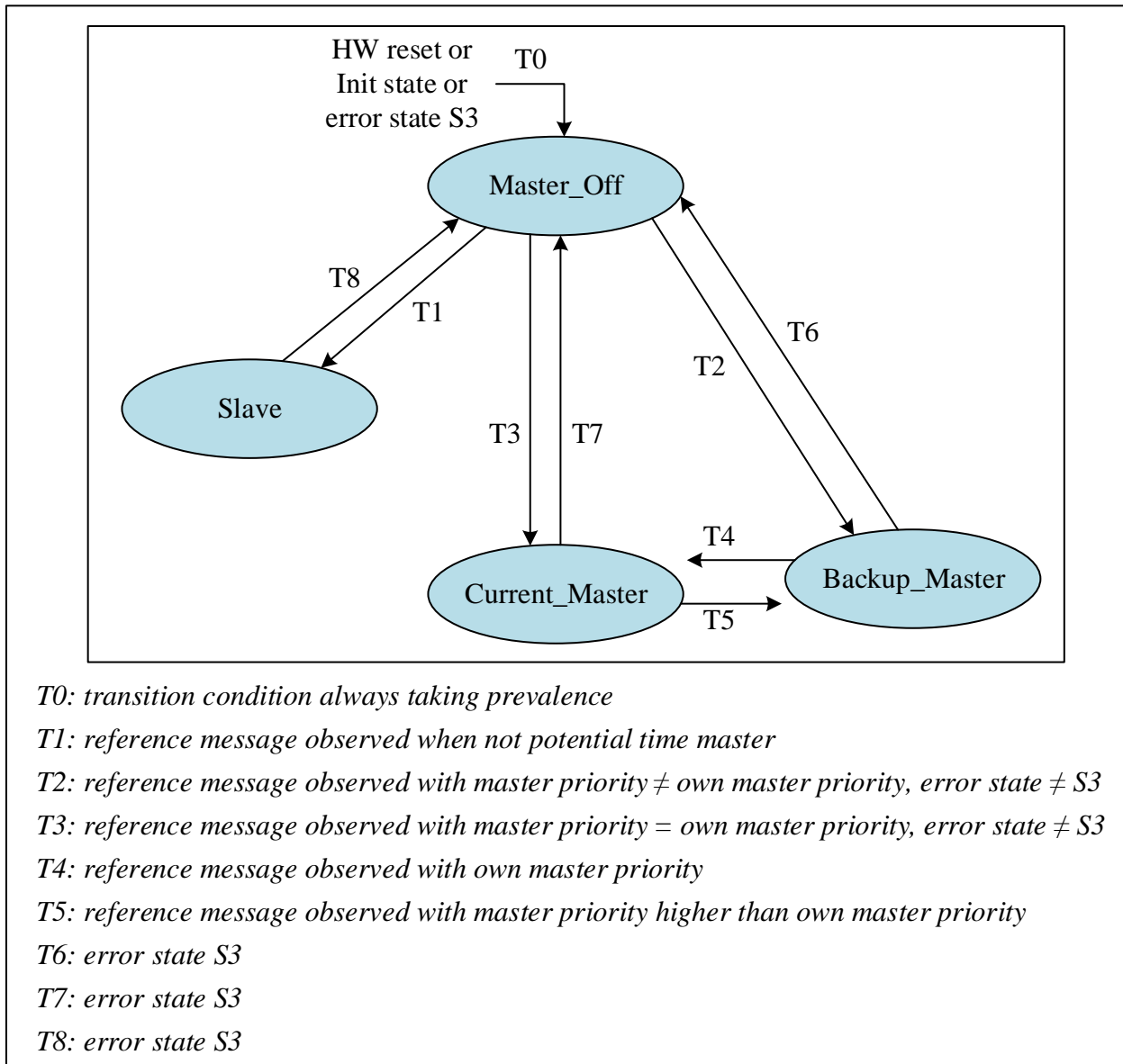
由于不可能出现 S1 和 S2 错误，因此错误级别只能在 S0（无错误）和 S3（严重错误）之间切换。在 TTCAN 0 级中，S3 错误的处理方式不同。达到 S3 错误级别时，FDCAN\_TTOST.SYS 和 FDCAN\_TTOST.MS 都将复位，中断标志 FDCAN\_TTIR.GTE 和 FDCAN\_TTIR.GTD 将被置 1。

进入错误级别 S3（FDCAN\_TTOST.EL=11）时，不进入总线监控模式（与 TTCAN 级别 1 和级别 2 相反）。在发送（时间主站）或接收（时间从站）下一条参考消息后，将自动退出 S3 错误级别。

### 41.5.9.3 主控/被控节点关系

图 41-18 介绍了 TTCAN 0 级中主控/被控节点的关系。如果发生 S3 错误，FDCAN 会恢复到状态 Master\_Off。

图 41-18 0 级主控和被控节点关系



### 41.5.10 与外部时间调度同步

此功能可用于将 FDCAN 调度的相位与外部调度（如另一个 TTCAN 网络或 FlexRay 网络的调度）同步。它仅适用于 FDCAN 为当前时间主站（FDCAN\_TTOST.MS = 11）的情况。

外部同步由事件触发输入引脚 fdcan\_evt 控制。如果位 FDCAN\_TTOCN.ESCN 置 1，则在事件触发引脚 fdcan\_evt 上升沿时，FDCAN 将比较其实际周期时间和由 FDCAN\_TTGTP.CTP 配置的目标相位值。

在 FDCAN\_TTOCN.ESCN 置 1 之前，主机必须调整两个时间调度的相位，例如使用 FDCAN 间隙控制（参见第 41.5.3 节：TTCAN 间隙控制）。当主机 FDCAN\_TTOCN.ESCN 置 1 时，FDCAN\_TTOSTSPL 将被置 1。

如果事件触发引脚 fdcan\_evt 上升沿处的周期时间与目标相位值 FDCAN\_TTGTP.CTP 之间的差值大于 9 NTU，相位锁定位 FDCAN\_TTOST.SPL 将被重置，中断标志 FDCAN\_TTIR.CSM 将被置位。当另一个节点成为时间主站时，FDCAN\_TTOST.SPL 也会被重置（FDCAN\_TTIR.CSM 被置位）。

如果同时置位了 FDCAN\_TTOST.SPL 和 FDCAN\_TTOCN.ESCN，并且如果在事件触发引脚 `fdcan_evt` 上升沿处的周期时间与目标相位值 FDCAN\_TTGTP.CTP 之间的差值小于或等于 9 NTU，则相位锁定

FDCAN\_TTOST.SPL 保持置位，测量差值将用作参考触发偏移值，以调整下一个发送的参考消息的相位。

*注：事件触发引脚 `fdcan_evt` 的上升沿检测在每个基本周期开始时启用。第一个上升沿触发实际周期时间与 FDCAN\_TTGTP.CTP 的比较。在下一个基本周期开始之前的所有上升沿均被忽略。*

## 41.6 FDCAN 寄存器

FDCAN1 基地址：0x40000000

FDCAN2 基地址：0x40000400

FDCAN5 基地址：0x40000800

FDCAN6 基地址：0x40000C00

FDCAN3 基地址：0x400D0000

FDCAN4 基地址：0x400D0400

FDCAN7 基地址：0x400D0800

FDCAN8 基地址：0x400D0C00

### 41.6.1 FDCAN 内核释放寄存器(FDCAN\_CREL)

偏移地址：0x00

复位值：0x3313 0328

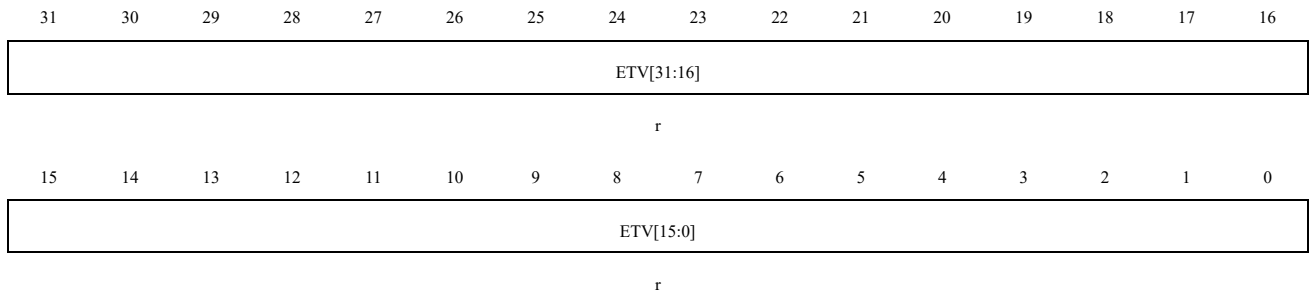
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
REL[3:0]				STEP[3:0]				SUBSTEP[3:0]				YEAR[3:0]			
r				r				r				r			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MON[7:0]								DAY[7:0]							
r								r							

位域	名称	描述
31:28	REL[3:0]	内核释放 (Core release), 1 位 BCD 码。
27:24	STEP[3:0]	内核释放步 (Step of Core release), 1 位 BCD 码。
23:20	SUBSTEP[3:0]	内核释放子步 (Sub-step of Core release), 1 位 BCD 码。
19:16	YEAR[3:0]	时间戳年 (Timestamp Year), 1 位 BCD 码。
15:8	MON[7:0]	时间戳月 (Timestamp Month), 2 位 BCD 码。
7:0	DAY[7:0]	时间戳日 (Timestamp Day), 2 位 BCD 码。

### 41.6.2 FDCAN 字节序寄存器(FDCAN\_ENDN)

偏移地址：0x04

复位值：0x8765 4321



位域	名称	描述
31:0	ETV[31:0]	字节序测试值 (Endianness Test Value), 固定为 0x8765 4321。

### 41.6.3 FDCAN 数据位定时和预分频寄存器(FDCAN\_DBTP)

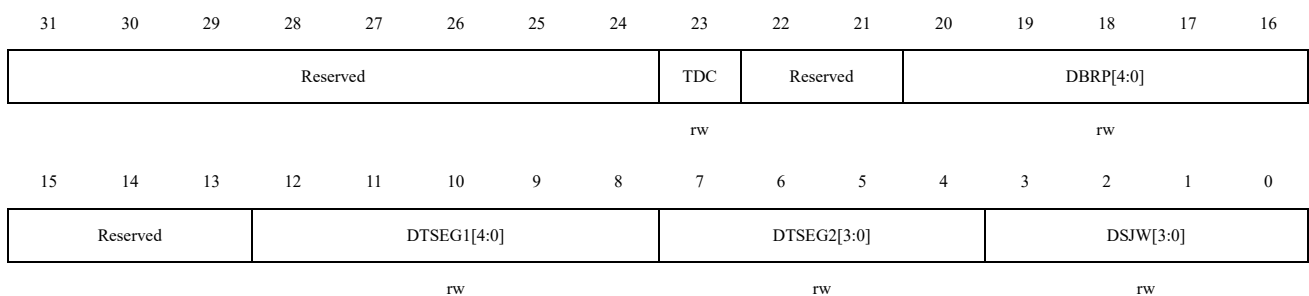
偏移地址：0x0C

复位值：0x0000 0A33

仅当 FDCAN\_CCCR.CCE 和 FDCAN\_CCCR.INIT 位均置 1 时，才可以向此寄存器写入数据。CAN 数据时间片  $t_q$  可编程， $t_q = (DBRP+1) * fdcan\_tq\_ck$  时钟周期，范围为 1 至 32 个  $fdcan\_tq\_ck$  时钟周期。

DTSEG1 为 Prop\_Seg 与 Phase\_Seg1 之和。DTSEG2 为 Phase\_Seg2。因此，数据库位时间的长度为（编程值） $(DTSEG1 + DTSEG2 + 3) * t_q$ ，范围为 3 至 49 个  $t_q$ 。

信息处理时间(IPT)为零，这意味着下一位的数据在采样点后的第一个时钟边沿可用。



位域	名称	描述
31:24	Reserved	保留，必需保持复位值。
23	TDC	收发器延迟补偿 (Transceiver Delay Compensation) 0: 禁止收发器延迟补偿 1: 使能收发器延迟补偿
22:21	Reserved	保留，必需保持复位值。

位域	名称	描述
20:16	DBRP[4:0]	数据比特率预分频器 (Data Bit Rate Prescaler) 数据比特率预分频器的值，用于将 <code>fdcan_tq_ck</code> 时钟分频以生成位时间片(tq)。位时间为这个位时间片(tq)的倍数。数据比特率预分频器的有效值范围是 0 到 31。当 <code>TDC = '1'</code> 时，范围限制为 0 和 1。硬件将该值解析为编程值加 1。
15:13	Reserved	保留，必需保持复位值。
12:8	DTSEG1[4:0]	采样点之前的数据时间段 (Data time segment before sample point) 有效值为 0 到 31。硬件将该值解析为编程值加 1。
7::4	DTSEG2[3:0]	采样点之后的数据时间段 (Data time segment after sample point) 有效值为 0 到 15。硬件将该值解析为编程值加 1。
3:0	DSJW[3:0]	同步跳转宽度 (Synchronization Jump Width) 有效值为 0 到 15。硬件将该值解析为编程值加 1。

注意：使用 8MHz 的 CAN 时钟 (`fdcan_tq_ck`)，复位值 `0x00000A33` 将比特率配置为 500 kBit/s。

注意：通过 DBTP 配置的 CAN FD 数据相位的比特率必须高于或等于通过 NBTP 配置的仲裁相位的比特率。

#### 41.6.4 FDCAN 测试寄存器(FDCAN\_TEST)

必须通过将 `FDCAN_CCCR.TEST` 位置“1”的方式使能对测试寄存器的写访问。`FDCAN_CCCR.TEST` 位复位时，所有测试寄存器功能都会设为复位值。

接收引脚 `FDCANx_TX` 的环回模式和软件控制属于硬件测试模式。将 `TX` 编程为“00”以外的值可能会干扰 CAN 总线上的消息传输。

偏移地址：0x10

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								RX	TX[1:0]	LBCK	Reserved				
								r	rw	rw					

位域	名称	描述
31:8	Reserved	保留，必需保持复位值。
7	RX	接收引脚状态 (Receive Pin) 监测接受引脚 <code>FDCAN_RX</code> 的实际值 0: CAN 总线为显性 ( <code>FDCAN_RX = '0'</code> ) 1: CAN 总线为隐性 ( <code>FDCAN_RX = '1'</code> )
6:5	TX[1:0]	发送引脚控制 (Control of Transmit Pin) 00: 复位值， <code>FDCAN_TX</code> 由 CAN 内核控制，会在 CAN 位时间结束时更新 01: 可在发送引脚 <code>FDCAN_TX</code> 监测采样点

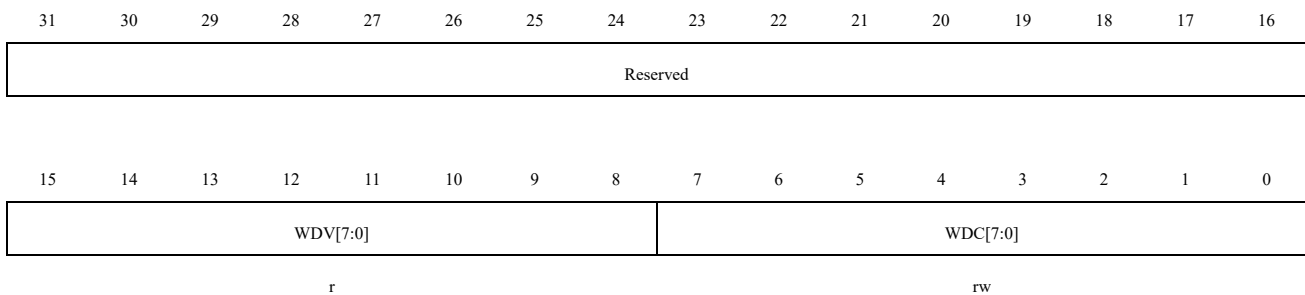
位域	名称	描述
		10: 引脚 FDCAN_TX 上为显性('0')电平 11: 引脚 FDCAN_TX 上为隐性('1')电平
4	LBCK	环回模式 (Loop Back Mode) 0: 复位值, 禁止环回模式 1: 使能环回模式
3:0	Reserved	保留, 必需保持复位值。

### 41.6.5 FDCAN RAM 看门狗寄存器(FDCAN\_RWD)

RAM 看门狗监控消息 RAM 输出的 READY 信号。对消息 RAM 的访问会启动消息 RAM 看门狗计数器, 初始值由 FDCAN\_RWD.WDC 配置。当对消息 RAM 的访问成功完成并发出 READY 信号时, 计数器会重置为 FDCAN\_RWD.WDC 值。如果计数器递减为 0 之前消息 RAM 没有发出 READY 信号, 则计数器停止计数, 中断标志 FDCAN\_IR.WDI 位置 1。RAM 看门狗计数器由接口时钟 (fdcan\_pclk) 驱动。

偏移地址: 0x14

复位值: 0x0000 0000

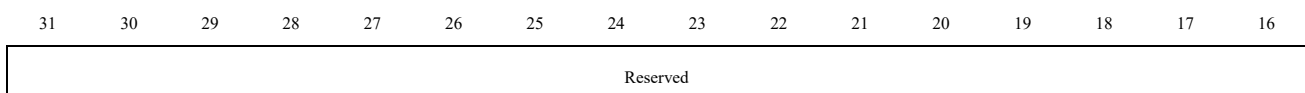


位域	名称	描述
31:16	Reserved	保留, 必需保持复位值。
15:8	WDV[7:0]	看门狗值 (Watchdog value) 消息 RAM 看门狗计数器值。
7:0	WDC[7:0]	看门狗配置 (Watchdog configuration) 消息 RAM 看门狗计数器的起始值。如果使用复位值“00”, 计数器禁止。 这些位受写保护, 仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时, 才能进行写访问。

### 41.6.6 FDCAN 控制寄存器(FDCAN\_CCCR)

偏移地址: 0x18

复位值: 0x0000 0001





15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NISO	TXP	EFBI	PXHD	Reserved	BRSE	FDOE	TEST	DAR	MON	CSR	CSA	ASM	CCE	INIT	
rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	r	rw	rw	rw	

位域	名称	描述
31:16	Reserved	保留，必需保持复位值。
15	NISO	非 ISO 操作 (Non ISO Operation) 如果此位置 1，FDCAN 会使用 Bosch CAN FD 规范 V1.0 规定的 CAN FD 帧格式。 0: 符合 ISO11898-1 规定的 CAN FD 帧格式 1: 符合 Bosch CAN FD 规范 V1.0 规定的 CAN FD 帧格式
14	TXP	发送暂停 (Transmit Pause) 如果此位置 1，成功发送帧后，FDCAN 会先暂停两个 CAN 位时间，然后再开始进行下一次发送。 0: 禁止发送暂停 1: 使能发送暂停
13	EFBI	总线同步期间的边沿过滤 (Edge Filtering during Bus Integration) 0: 禁止边沿过滤 1: 需要两个连续显性 tq 才能检测硬同步边沿
12	PXHD	禁止协议异常处理 (Protocol Exception Handling Disable) 0: 使能协议异常处理 1: 禁止协议异常处理 注：当禁用协议异常处理时，FDCAN 在检测到协议异常条件时将传输错误帧。
11:10	Reserved	保留，必需保持复位值。
9	BRSE	比特率切换使能 (Bit Rate Switch Enable) 0: 禁止发送时进行比特率切换 1: 使能发送时进行比特率切换 注：当禁用 CAN FD 操作时 (FDOE = '0')，BRSE 无效。
8	FDOE	FD 操作使能 (FD Operation Enable) 0: 禁止 FD 操作 1: 使能 FD 操作
7	TEST	测试模式使能 (Test Mode Enable) 0: 正常操作，寄存器 TEST 保存复位值 1: 测试模式，使能对寄存器 TEST 的写访问
6	DAR	禁止自动重发送 (Disable Automatic Retransmission) 0: 使能自动重发送未成功发送的消息 1: 禁止自动重发送
5	MON	总线监控模式 (Bus Monitoring Mode) 仅当 CCE 和 INIT 均置“1”时，才能通过软件将 MON 位置 1。此位可随时通过主机复位。 0: 禁止总线监控模式 1: 使能总线监控模式

位域	名称	描述
4	CSR	时钟停止请求 (Clock Stop Request) 0: 未请求时钟停止 1: 已请求时钟停止。如果请求时钟停止, 则在所有挂起的发送请求均已完成且 CAN 总线达到空闲状态之后, INIT 会先置 1, 然后 CSA 会置 1。
3	CSA	时钟停止确认 (Clock Stop Acknowledge) 0: 未确认时钟停止 1: 可通过停止 fdcan_tq_ck 时钟和 fdcan_pclk 时钟将 FDCAN 设为掉电状态
2	ASM	受限工作模式 (Restricted Operation Mode) ASM 只能在 CCE 和 INIT 都置‘1’时由主机设置。且该位可以随时由主机复位。 0: 正常 CAN 操作 1: 激活受限工作模式
1	CCE	配置更改使能 (Configuration Change Enable) 0: CPU 对受保护的配置寄存器没有写访问权限 1: CPU 对受保护的配置寄存器有写访问权限 (CCCR.INIT =“1”时)
0	INIT	初始化 (Initialization) 0: 正常工作 1: 启动初始化

注: 由于两个时钟域之间存在同步机制, 写入 INIT 值后, 需要经过一定的延迟才能读取。因此, 必须通过读取 INIT 确保之前写入 INIT 的值已生效, 然后才能将 INIT 设为新值。

### 41.6.7 FDCAN 标称位定时和预分频寄存器(FDCAN\_NBTP)

仅当 FDCAN\_CCCR.CCE 和 FDCAN\_CCCR.INIT 位均置 1 时, 才可以向此寄存器写入数据。CAN 标称时间片 tq 可编程,  $tq = (NBRP + 1) * fdcan\_tq\_ck$  时钟周期, 范围为 1 至 512 个 fdcan\_tq\_ck 时钟周期。

NTSEG1 为 Prop\_Seg 与 Phase\_Seg1 之和。NTSEG2 为 Phase\_Seg2。因此, 标称位时间的长度为 (编程值)  $(NTSEG1 + NDTSEG2 + 3) * tq$ , 范围为 4 至 385 个 tq。

偏移地址: 0x1C

复位值: 0x0600 0A03

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
NSJW[6:0]								NBRP[8:0]							
rw								rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NTSEG1[7:0]							Reserved	NTSEG2[6:0]							
rw								rw							

位域	名称	描述
31:25	NSJW[6:0]	标称 (重新) 同步跳转宽度 (Nominal (Re)Synchronization Jump Width) 有效值为 0 到 127。硬件将该值解析为编程值加 1。

位域	名称	描述
		这些位受写保护，仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时，才能进行写访问。
24:16	NBRP[8:0]	比特率预分频器 (Bit Rate Prescaler) fdcan_tq_ck 除以该值生成位时间片 tq，位时间为该位时间片的倍数。比特率预分频器的有效值为 0 到 511。硬件将该值解析为编程值加 1。 这些位受写保护，仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时，才能进行写访问。
15:8	NTSEG1[7:0]	采样点之前的标称时间段 (Nominal time segment before sample point) 有效值为 1 到 255。硬件将该值解析为编程值加 1。 这些位受写保护，仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时，才能进行写访问。
7	Reserved	保留，必需保持复位值。
6:0	NTSEG2[6:0]	采样点之后的标称时间段 (Nominal time segment after sample point) 有效值为 1 到 127。硬件将该值解析为编程值加 1。 这些位受写保护，仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时，才能进行写访问。

注：如果 CAN 内核时钟为 8MHz，复位值 0x00000A33 会将 FDCAN 的比特率配置为 500 kb/s。

### 41.6.8 FDCAN 时间戳计数器配置寄存器(FDCAN\_TSCC)

偏移地址：0x20

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved												TCP[3:0]			
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													TSS[1:0]		
rw															

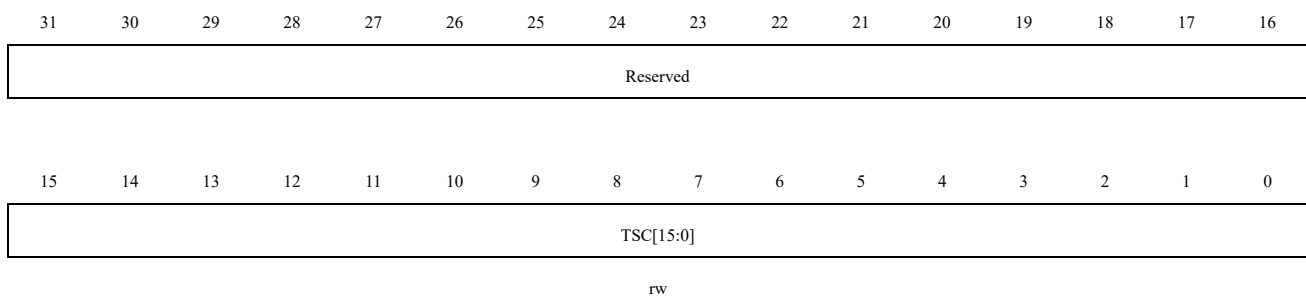
位域	名称	描述
31:20	Reserved	保留，必需保持复位值。
19:16	TCP[3:0]	时间戳计数器预分频 (Timestamp Counter Prescaler) 将时间戳和超时计数器时间单位配置为 CAN 位时间的倍数[1...16]。硬件将该值解析为编程值加 1 注意：在 CAN FD 模式下，需要外部计数器进行时间戳生成 (TSS = “10”)。 这些位受写保护，仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时，才能进行写访问。
15:2	Reserved	保留，必需保持复位值。
1:0	TSS[1:0]	时间戳选择 (Timestamp Select)

位域	名称	描述
		00: 时间戳计数器值始终为 0x0000 01: 时间戳计数器值随 TCP 递增 10: 使用外部时间戳计数器值 11: 与“00”相同

### 41.6.9 FDCAN 时间戳计数器值寄存器(FDCAN\_TSCV)

偏移地址: 0x24

复位值: 0x0000 0000



位域	名称	描述
31:16	Reserved	保留, 必需保持复位值。
15:0	TSC[15:0]	时间戳计数器值 (Timestamp Counter) 内部/外部时间戳计数器值是在 (接收和发送) 帧开始时捕获的。当 FDCAN_TSCC.TSS="01"时,时间戳计数器会以 CAN 位时间的倍数[1...16]递增,具体取决于 FDCAN_TSCC.TCP 的配置。计数器回卷会将中断标志 FDCAN_IR.TSW 置 1。写访问将计数器值复位为 0。当 FDCAN_TSCC.TSS="10"时, TSC 会反映外部时间戳计数器值,此时写访问无影响。

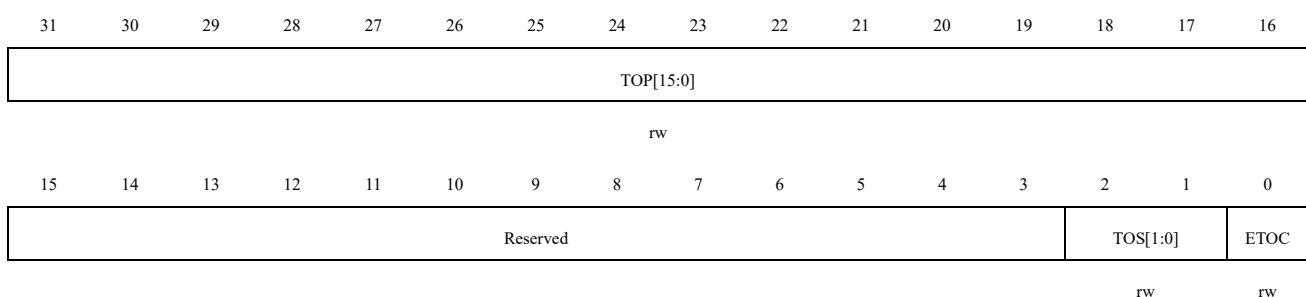
注: “回卷”是指时间戳计数器值由非零值变为 0, 而不是由于对 TSCV 进行写访问引起的。

注: 字节访问: 写入寄存器的字节 3/2/1/0 将重置时间戳计数器。

### 41.6.10 FDCAN 超时计数器配置寄存器(FDCAN\_TOCC)

偏移地址: 0x28

复位值: 0xFFFF 0000

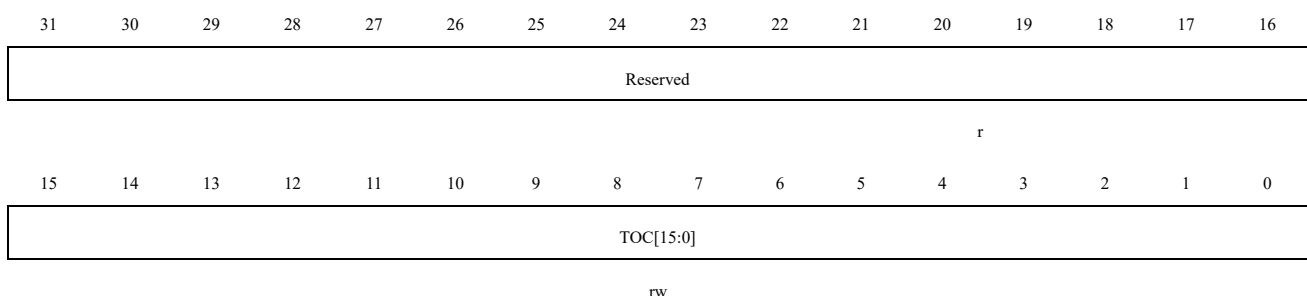


位域	名称	描述
31:16	TOP[15:0]	超时时长 (Timeout Period) 超时计数器 (递减计数器) 的起始值。
15:3	Reserved	保留, 必需保持复位值。
2:1	TOS[1:0]	TOS: 超时选择 (Timeout Select) 在连续模式下工作时, 对 FDCAN_TOCV 进行写访问会将计数器预设为由 FDCAN_TOCC.TOP 值并继续递减计数。超时计数器由其中一个 FIFO 控制时, FIFO 为空会将计数器预设为 FDCAN_TOCC.TOP 值。写入第一个 FIFO 元素后开始递减计数。 00: 连续工作 01: 超时由发送事件 FIFO 控制 10: 超时由接收 FIFO 0 控制 11: 超时由接收 FIFO 1 控制 这些位受写保护, 仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时, 才能进行写访问。
0	ETOC	使能超时计数器 (Enable Timeout Counter) 0: 禁止超时计数器 1: 使能超时计数器 这些位受写保护, 仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时, 才能进行写访问。

### 41.6.11 FDCAN 超时计数器值寄存器(FDCAN\_TOCV)

偏移地址: 0x2C

复位值: 0x0000 FFFF



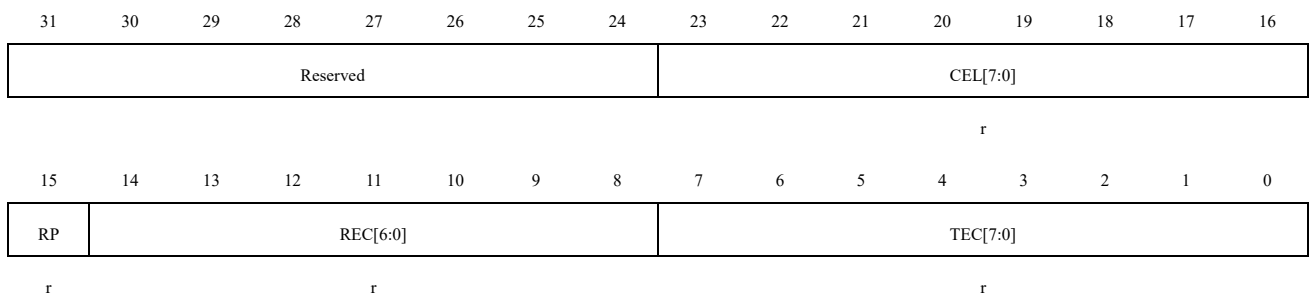
位域	名称	描述
31:16	Reserved	保留, 必需保持复位值。
15:0	TOC[15:0]	超时计数器 (Timeout Counter) 超时计数器会以 CAN 位时间的倍数[1...16]递减, 具体取决于 FDCAN_TSCC.TCP 的配置。当计数器递减至 0 时, 中断标志 FDCAN_IR.TOO 置 1, 超时计数器停止计数。开始和复位/重启条件通过 FDCAN_TOCC.TOS 配置。

位域	名称	描述
		注：字节访问：当 TOCC.TOS = “00 ”时，写入寄存器字节 3/2/1/0 将预置超时计数器。

### 41.6.12 FDCAN 错误计数器寄存器(FDCAN\_ECR)

偏移地址：0x40

复位值：0x0000 0000



位域	名称	描述
31:24	Reserved	保留，必需保持复位值。
23:16	CEL[7:0]	CAN 错误记录 (CAN Error Logging) 每当 CAN 协议错误导致 8 位发送错误计数器 TEC 或 7 位接收错误计数器 REC 递增时，该计数器都会递增。CEL 的递增发生在 REC 或 TEC 递增之后。 对 CEL 进行读访问时，计数值复位。计数器值达到 0xFF 时，停止计数。在 TEC 或 REC 下一次递增时，中断标志 FDCAN_IR.ELO 置 1。
15	RP	接收错误被动 (Receive Error Passive) 0：接收错误计数器低于被动错误级别 128 1：接收错误计数器已达到被动错误级别 128
14:8	REC[6:0]	接收错误计数器 (Receive Error Counter) 接收错误计数器的实际状态，取值范围为 0 到 127
7:0	TEC[7:0]	发送错误计数器 (Transmit Error Counter) 发送错误计数器的实际状态，取值范围为 0 到 255。 如果 FDCAN_CCCR.ASM 置 1，检测到 CAN 协议错误时，TEC 和 REC 不会递增，仅 CEL 递增。

### 41.6.13 FDCAN 协议状态寄存器(FDCAN\_PSR)

偏移地址：0x44

复位值：0x0000 0707



Reserved											TDCV[6:0]				
											r				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	PXE	RFDF	RBRS	RESI	DLEC[2:0]			BO	EW	EP	ACT[1:0]		LEC[2:0]		
		r	r	r	r	r			r	r	r	r	r		

位域	名称	描述
31:23	Reserved	保留，必需保持复位值。
22:16	TDCV[6:0]	发送器延迟补偿值 (Transmitter Delay Compensation Value) 第二采样点 (SSP) 的位置，由从引脚 FDCAN_TX 到 FDCAN_RX 之间测得的延迟时间与 FDCAN_TDCR.TDCO 之和定义。在数据阶段，SSP 位置为已发送位起始点与第二采样点之间的最小时间片 (mtq) 数。有效值为 0 到 127 个 mtq。
15	Reserved	保留，必需保持复位值。
14	PXE	协议异常事件 (Protocol Exception Event) 0: 自上次读访问起未发生协议异常事件 1: 已发生协议异常事件
13	RFDF	接收 CAN FD 消息 (Received a CAN FD Message) 此位的设置与接收过滤无关。 0: 自 CPU 复位以来，没有接收到 CAN FD 消息 1: 接收到 FDF 标志置 1 的 CAN FD 格式的消息
12	RBRS	上次接收的 CAN FD 消息的 BRS 标志 (BRS flag of last received CAN FD Message) 此位与 RFDF 一起设置，与接收过滤无关。 0: 上次接收的 CAN FD 消息的 BRS 标志未置 1 1: 上次接收的 CAN FD 消息的 BRS 标志已置 1
11	RESI	上次接收的 CAN FD 消息的 ESI 标志 (ESI flag of last received CAN FD Message) 此位与 RFDF 一起设置，与接收过滤无关。 0: 上次接收的 CAN FD 消息的 ESI 标志未置 1 1: 上次接收的 CAN FD 消息的 ESI 标志已置 1
10:8	DLEC[2:0]	上一数据错误代码 (Data Phase Last Error Code) 在 BRS 标志置 1 的 CAN FD 格式帧数据阶段发生的上一错误类型。错误类型定义参照 LEC。当 BRS 标志置 1 的 CAN FD 格式帧已无错传输 (接收或发送) 时，此位域将被清零。
7	BO	Bus_Off 状态 (Bus_Off Status) 0: FDCAN 未处于 Bus_Off 状态 1: FDCAN 处于 Bus_Off 状态
6	EW	警告状态 (Warning Status) 0: 两个错误计数器的值均小于 Error_Warning 限值 96 1: 至少有一个错误计数器已达到 Error_Warning 限值 96
5	EP	被动错误 (Error Passive) 0: FDCAN 处于主动错误状态。通常会参与总线通信，并会在检测到错误后发送主动错误标志

位域	名称	描述
		1: FDCAN 处于错误被动状态
4:3	ACT[1:0]	活动状态 (Activity) 监控 CAN 模块的通信状态。 00: 同步中: 节点在 CAN 通信时同步 01: 空闲: 节点既不是接收器, 也不是发送器 10: 接收器: 节点作为接收器工作 11: 发送器: 节点作为发送器工作 注意: 当发生协议异常事件时, ACT 被设置为“00”。
2:0	LEC[2:0]	上一错误代码 (Last Error Code) LEC 指示 CAN 总线上发生的上一错误的类型。当总线上已传输没有错误的消息时 (接收或发送), 此位域清零。 000: 无错: 自消息成功接收或发送将 LEC 复位后, 未发生任何错误。 001: 填充错误: 在已接收的消息中, 连续出现 5 个以上的相等位, 这种情况是不允许发生的。 010: 格式错误: 已接收帧的固定格式部分有错误的格式。 011: Ack 错误: 由 FDCAN 发送的消息未被其他节点确认。 100: Bit1 错误: 在消息发送过程中 (仲裁字段例外), 设备希望发送隐性电平 (位逻辑值为“1”), 但受监控的总线值为显性。 101: Bit0 错误: 在消息发送过程中 (或 ACK 位、主动错误标志、过载标志), 节点希望发送显性电平 (数据或标识符位逻辑值“0”), 但受监控的总线值为隐性。在 Bus_Off 恢复期间, 每次监控到 11 个隐性位组成的序列时, 此状态都会置 1。这样, CPU 便可监控 Bus_Off 恢复序列的进行 (指示总线并未卡在显性状态或持续受干扰状态)。 110: CRC 错误: 已接收消息的 CRC 校验和不正确。消息中的 CRC 值与通过已接收数据计算出的 CRC 不匹配。 111: NoChange: 任何对协议状态寄存器的读访问, 会将 LEC 重新初始化为“7”。如果 LEC 显示的值为“7”, 则表示自 CPU 上一次对协议状态寄存器进行读访问后, 未检测到任何 CAN 总线事件。

*注意 1: 当到达一个已将 BRS 标志置 1 的 CAN FD 帧数据段时, 下一个 CAN 事件 (错误或有效帧) 将在 DLEC 中显示, 而不是 LEC。且在 CAN FD CRC 序列的中固定填充位错误将视为格式错误, 而不是填充错误。*

*注意 2: Bus\_Off 恢复序列 (参照 CAN 规范第 2.0 版或 ISO11898-1: 2015) 无法通过将 FDCAN\_CCCR.INIT 置 1 或复位来缩短。如果器件进入 Bus\_Off 状态, FDCAN\_CCCR.INIT 置 1, 并停止所有总线活动。一旦 CPU 清零 FDCAN\_CCCR.INIT 位, 器件将在等待 129 次总线空闲状态 (129×11 个连续隐性位) 后, 才会恢复正常。Bus\_Off 恢复序列结束时, 错误管理计数器值复位。在 FDCAN\_CCCR.INIT 复位后的等待时间内, 将监控每个 11 个隐性位序列, 并将 Bit0 错误代码写入 FDCAN\_PSR.LEC, 从而使 CPU 能检测 CAN 总线保持显性还是持续受到干扰, 从而监控 Bus\_Off 恢复序列。FDCAN\_ECR.REC 用于对这些隐性位序列进行计数。*

#### 41.6.14 FDCAN 发生器延迟补偿寄存器(FDCAN\_TDCR)

偏移地址: 0x48



复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	TDCO[6:0]						Reserved	TDCF[6:0]							
	rw							rw							

位域	名称	描述
31:15	Reserved	保留, 必需保持复位值。
14:8	TDCO[6:0]	发送器延迟补偿 SSP 偏移 (Transmitter Delay Compensation SSP Offset) 定义从 FDCAN_TX 到 FDCAN_RX 测得的延迟与第二采样点之间的差值。有效值为 0 到 127 个 mtq。
7	Reserved	保留, 必需保持复位值。
6:0	TDCF[6:0]	发送器延迟补偿过滤器窗口长度 (Transmitter Delay Compensation Filter Window Length) 定义 SSP 位置的最小值, 测量发送器延迟时忽略 FDCAN_RX 上导致 SSP 位置提前的显性边沿。有效值为 0 到 127 mtq。

### 41.6.15 FDCAN 中断寄存器(FDCAN\_IR)

如果检测到下列条件(边沿有效), 相应标志位置 1。在主机清零之前, 标志位保持为 1。通过向相应位写“1”将标志清零, 写“0”无作用。硬件复位会将寄存器清零。IE 控制是否生成中断。ILS 则控制从哪条中断线发出中断。

偏移地址: 0x50

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	ARA	PED	PEA	WDI	BO	EW	EP	ELO	BEU	BEC	DRX	TOO	MRAF	TSW	
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEFL	TEFF	TEFW	TEFN	TFE	TCF	TC	HPM	RF1L	RF1F	RF1W	RF1N	RF0L	RF0F	RF0W	RF0N
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:30	Reserved	保留, 必需保持复位值。
29	ARA	访问保留寄存器地址 (Access to Reserved Register Address) 0: 未对保留寄存器地址进行访问

位域	名称	描述
		1: 已对保留寄存器地址进行访问
28	PED	数据阶段的协议错误 (使用数据位时间) (Protocol Error in Data Phase (Data Bit Time is used)) 0: 数据阶段没有协议错误 1: 检测到数据阶段有协议错误 (PSR.DLEC 不是 0、7)
27	PEA	仲裁阶段中的协议错误 (使用标称位时间) (Protocol Error in Arbitration Phase(Nominal Bit Time is used)) 0: 仲裁阶段中没有协议错误 1: 检测到仲裁阶段有协议错误 (PSR.LEC 不是 0、7)
26	WDI	看门狗中断 (Watchdog Interrupt) 0: 未发生消息 RAM 看门狗事件 1: 因 READY 缺失而发生消息 RAM 看门狗事件
25	BO	Bus_Off 状态 (Bus_Off Status) 0: Bus_Off 状态未更改 1: Bus_Off 状态已更改
24	EW	警告状态 (Warning Status) 0: Error_Warning 状态未更改 1: Error_Warning 状态已更改
23	EP	被动错误 (Error Passive) 0: Error_Passive 状态未更改 1: Error_Passive 状态已更改
22	ELO	错误记录溢出 (Error Logging Overflow) 0: CAN 错误记录计数器未溢出 1: CAN 错误记录计数器已溢出
21	BEU	位错误未纠正(Bit Error Uncorrected) 检测到 2 位或更多的消息 RAM 位错误, 但未纠正。未纠正的消息 RAM 位错误会将 FDCAN_CCCR.INIT 设置为 "1"。这样做是为了避免传输损坏的数据。 0= 从消息 RAM 读取时未检测到未纠正的位错误 1= 检测到未校正位错误。
20	BEC	纠正的位错误(Bit Error Corrected) 检测并纠正 1 位消息 RAM 位错误。 0= 从消息 RAM 读取时未检测到位错误 1= 检测到已纠正的位错误。
19	DRX	消息存储到专用接收缓冲区 (Message stored to Dedicated Rx Buffer) 接收到的消息已存储到专用接收缓冲区后, 此标志会置 1。 0: 未更新接收缓冲区 1: 至少有一条已接收消息存储到专用接收缓冲区中
18	TOO	发生超时 (Timeout Occurred) 0: 无超时 1: 发生超时
17	MRAF	消息 RAM 访问失败 (Message RAM Access Failure) 当接收处理满足以下条件时, 将该标志置 1:

位域	名称	描述
		<ul style="list-style-type: none"> <li>直到收到下一条消息的仲裁段时，还未完成对当前已接收消息的接收过滤或存储。此时，当前接受消息的过滤或存储中止，开始处理下一条消息。</li> <li>无法将当前消息写入消息 RAM。此时，当前消息存储被中止。</li> </ul> 这两种情况下，FIFO 放入索引不会更新，专用接收缓冲的新数据标志也不会置 1。下一条消息存储到此位置时，原消息被覆盖。 当发送处理单元无法从消息 RAM 中读取数据时，此标志也会置 1。此时消息发送中止。如果发送处理单元访问失败，FDCAN 会切换到受限工作模式。要退出受限工作模式，主机 CPU 必须复位 FDCAN_CCCR.ASM。 0: 未发生消息 RAM 访问失败 1: 已发生消息 RAM 访问失败
16	TSW	时间戳回卷 (Timestamp Wraparound) 0: 时间戳未回卷 1: 时间戳已回卷
15	TEFL	发送事件 FIFO 元素丢失 (Tx Event FIFO Element Lost) 0: 发送事件 FIFO 元素未丢失 1: 发送事件 FIFO 元素已丢失，尝试向大小为零的发送事件 FIFO 写入时也会置 1
14	TEFF	发送事件 FIFO 已满 (Tx Event FIFO Full) 0: 发送事件 FIFO 未滿 1: 发送事件 FIFO 已滿
13	TEFW	达到发送事件 FIFO 水线 (Tx Event FIFO Watermark Reached) 0: 发送事件 FIFO 填充级别低于水线标志 1: 发送事件 FIFO 填充级别达到水线标志
12	TEFN	发送事件 FIFO 新元素 (Tx Event FIFO New Entry) 0: 发送事件 FIFO 未更改 1: 发送处理单元写入新的发送事件 FIFO 元素
11	TFE	发送 FIFO 空 (Tx FIFO Empty) 0: 发送 FIFO 非空 1: 发送 FIFO 为空
10	TCF	发送取消完成 (Transmission Cancellation Finished) 0: 发送取消未完成 1: 发送取消已完成
9	TC	发送完成 (Transmission Completed) 0: 发送未完成 1: 发送已完成
8	HPM	高优先级消息 (High Priority Message) 0: 未接收到任何高优先级消息 1: 已接收到高优先级消息
7	RF1L	接收 FIFO 1 消息丢失 (Rx FIFO 1 Message Lost) 0: 接收 FIFO 1 消息未丢失 1: 接收 FIFO 1 消息已丢失，尝试向大小为零的接收 FIFO 1 写入时也会置 1
6	RF1F	接收 FIFO 1 满 (Rx FIFO 1 Full)

位域	名称	描述
		0: 接收 FIFO 1 未 1: 接收 FIFO 1 已
5	RF1W	达到接收 FIFO 1 水线 (Rx FIFO 1 Watermark Reached) 0: 接收 FIFO 1 填充级别低于水线标志 1: 接收 FIFO 1 填充级别达到水线标志
4	RF1N	接收 FIFO 1 新消息 (Rx FIFO 1 New Message) 0: 未向接收 FIFO 1 写入新消息 1: 已向接收 FIFO 1 写入新消息
3	RF0L	接收 FIFO 0 消息丢失 (Rx FIFO 0 Message Lost) 0: 接收 FIFO 0 消息未丢失 1: 接收 FIFO 0 消息已丢失, 尝试向大小为零的接收 FIFO 0 写入时也会置 1
2	RF0F	接收 FIFO 0 满 (Rx FIFO 0 Full) 0: 接收 FIFO 0 未 1: 接收 FIFO 0 已
1	RF0W	达到接收 FIFO 0 水线 (Rx FIFO 0 Watermark Reached) 0: 接收 FIFO 0 填充级别低于水线标志 1: 接收 FIFO 0 填充级别达到水线标志
0	RF0N	接收 FIFO 0 新消息 (Rx FIFO 0 New Message) 0: 未向接收 FIFO 0 写入新消息 1: 已向接收 FIFO 0 写入新消息

### 41.6.16 FDCAN 中断使能寄存器(FDCAN\_IE)

中断使能寄存器中的设置决定了将在中断线上指示中断寄存器中的哪些状态更改。

偏移地址: 0x54

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	ARAE	PEDE	PEAE	WDIE	BOE	EWE	EPE	ELOE	BEUE	BECE	DRXE	TOOE	MRAFE	TSWE	
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEFLE	TEFFE	TEFWE	TEFNE	TFEE	TCFE	TCE	HPME	RFILE	RF1FE	RF1WE	RF1NE	RF0LE	RF0FE	RF0WE	RF0NE
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:30	Reserved	保留, 必需保持复位值。
29	ARAE	访问保留地址中断使能 (Access to Reserved Address Enable) 0: 禁止中断 1: 使能中断
28	PEDE	数据阶段的协议错误中断使能 (Protocol Error in Data Phase Enable)

位域	名称	描述
		0: 禁止中断 1: 使能中断
27	PEAE	仲裁阶段中的协议错误中断使能 (Protocol Error in Arbitration Phase Enable) 0: 禁止中断 1: 使能中断
26	WDIE	看门狗中断使能 (Watchdog Interrupt Enable) 0: 禁止中断 1: 使能中断
25	BOE	Bus_Off 状态中断使能 (Bus_Off Status) 0: 禁止中断 1: 使能中断
24	EWE	警告状态中断使能 (Warning Status Interrupt Enable) 0: 禁止中断 1: 使能中断
23	EPE	被动错误中断使能 (Error Passive Interrupt Enable) 0: 禁止中断 1: 使能中断
22	ELOE	错误记录溢出中断使能 (Error Logging Overflow Interrupt Enable) 0: 禁止中断 1: 使能中断
21	BEUE	位错误未纠正中断使能(Bit Error Uncorrected Interrupt Enable) 0: 禁止中断 1: 使能中断
20	BECE	位错误已纠正中断使能(Bit Error Corrected Interrupt Enable) 0: 禁止中断 1: 使能中断
19	DRXE	消息存储到专用接收缓冲区中断使能 (Message stored to Dedicated Rx Buffer Interrupt Enable) 0: 禁止中断 1: 使能中断
18	TOOE	超时已发生中断使能 (Timeout Occurred Interrupt Enable) 0: 禁止中断 1: 使能中断
17	MRAFE	消息 RAM 访问失败中断使能 (Message RAM Access Failure Interrupt Enable) 0: 禁止中断 1: 使能中断
16	TSWE	时间戳回卷中断使能 (Timestamp Wraparound Interrupt Enable) 0: 禁止中断 1: 使能中断
15	TEFLE	发送事件 FIFO 元素丢失中断使能 (Tx Event FIFO Element Lost Interrupt Enable) 0: 禁止中断 1: 使能中断

位域	名称	描述
14	TEFFE	发送事件 FIFO 满中断使能 (Tx Event FIFO Full Interrupt Enable) 0: 禁止中断 1: 使能中断
13	TEFWE	达到发送事件 FIFO 水线中断使能 (Tx Event FIFO Watermark Reached Interrupt Enable) 0: 禁止中断 1: 使能中断
12	TEFNE	发送事件 FIFO 新元素使能 (Tx Event FIFO New Entry Interrupt Enable) 0: 禁止中断 1: 使能中断
11	TFEE	发送 FIFO 空中断使能 (Tx FIFO Empty Interrupt Enable) 0: 禁止中断 1: 使能中断
10	TCFE	发送取消完成中断使能 (Transmission Cancellation Finished Interrupt Enable) 0: 禁止中断 1: 使能中断
9	TCE	发送完成中断使能 (Transmission Completed Interrupt Enable) 0: 禁止中断 1: 使能中断
8	HPME	高优先级消息中断使能 (High Priority Message Interrupt Enable) 0: 禁止中断 1: 使能中断
7	RF1LE	接收 FIFO 1 消息丢失中断使能 (Rx FIFO 1 Message Lost Interrupt Enable) 0: 禁止中断 1: 使能中断
6	RF1FE	接收 FIFO 1 满中断使能 (Rx FIFO 1 Full Interrupt Enable) 0: 禁止中断 1: 使能中断
5	RF1WE	达到接收 FIFO 1 水线中断使能 (Rx FIFO 1 Watermark Reached Interrupt Enable) 0: 禁止中断 1: 使能中断
4	RF1NE	接收 FIFO 1 新消息中断使能 (Rx FIFO 1 New Message Interrupt Enable) 0: 禁止中断 1: 使能中断
3	RF0LE	接收 FIFO 0 消息丢失中断使能 (Rx FIFO 0 Message Lost Interrupt Enable) 0: 禁止中断 1: 使能中断
2	RF0FE	接收 FIFO 0 满中断使能 (Rx FIFO 0 Full Interrupt Enable) 0: 禁止中断 1: 使能中断
1	RF0WE	达到接收 FIFO 0 水线中断使能 (Rx FIFO 0 Watermark Reached Interrupt Enable) 0: 禁止中断

位域	名称	描述
		1: 使能中断
0	RF0NE	接收 FIFO 0 新消息中断使能 (Rx FIFO 0 New Message Interrupt Enable) 0: 禁止中断 1: 使能中断

### 41.6.17 FDCAN 中断线选择寄存器(FDCAN\_ILS)

中断线选择寄存器将特定中断标志生成的中断从中断寄存器分配到两个模块中断线之一。要生成中断，必须通过 ILE.EINT0 和 ILE.EINT1 使能相应的中断线。

偏移地址: 0x58

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	ARAL	PEDL	PEAL	WDIL	BOL	EWL	EPL	ELOL	BEUL	BECL	DRXL	TOOL	MRAFL	TSWL	
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEFL	TEFFL	TEFWL	TEFNL	TFEL	TCFL	TCL	HPML	RFILL	RFIFL	RFIWL	RFINL	RFOLL	RFOFL	RFOWL	RF0NL
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:30	Reserved	保留，必需保持复位值。
29	ARAL	访问保留地址中断线 (Access to Reserved Address Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
28	PEDL	数据阶段的协议错误中断线 (Protocol Error in Data Phase Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
27	PEAL	仲裁阶段的协议错误中断线 (Protocol Error in Arbitration Phase Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
26	WDIL	看门狗中断线 (Watchdog Interrupt Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
25	BOL	Bus_Off 状态中断线 (Bus_Off Status) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
24	EWL	警告状态中断线 (Warning Status Interrupt Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
23	EPL	被动错误中断线 (Error Passive Interrupt Line)

位域	名称	描述
		0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
22	ELOL	错误记录溢出中断线 (Error Logging Overflow Interrupt Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
21	BEUL	位错误未纠正中断线(Bit Error Uncorrected Interrupt Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
20	BECL	位错误已纠正中断线(Bit Error Corrected Interrupt Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
19	DRXL	消息存储到专用接收缓冲区中断线 (Message stored to Dedicated Rx Buffer Interrupt Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
18	TOOL	超时已发生中断线 (Timeout Occurred Interrupt Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
17	MRAFL	消息 RAM 访问失败中断线 (Message RAM Access Failure Interrupt Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
16	TSWL	时间戳回卷中断线 (Timestamp Wraparound Interrupt Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
15	TEFLL	发送事件 FIFO 元素丢失中断线 (Tx Event FIFO Element Lost Interrupt Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
14	TEFFL	发送事件 FIFO 已满中断线 (Tx Event FIFO Full Interrupt Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
13	TEFWL	达到发送事件 FIFO 水线中断线 (Tx Event FIFO Watermark Reached Interrupt Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
12	TEFNL	发送事件 FIFO 新无线中断线 (Tx Event FIFO New Entry Interrupt Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
11	TFEL	发送 FIFO 为空中断线 (Tx FIFO Empty Interrupt Line) 00: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
10	TCFL	发送取消完成中断线 (Transmission Cancellation Finished Interrupt Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1



位域	名称	描述
9	TCL	发送完成中断线 (Transmission Completed Interrupt Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
8	HPML	高优先级消息中断线 (High Priority Message Interrupt Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
7	RF1LL	接收 FIFO 1 消息丢失中断线 (Rx FIFO 1 Message Lost Interrupt Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
6	RF1FL	接收 FIFO 1 已满中断线 (Rx FIFO 1 Full Interrupt Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
5	RF1WL	达到接收 FIFO 1 水线中断线 (Rx FIFO 1 Watermark Reached Interrupt Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
4	RF1NL	接收 FIFO 1 新消息中断线 (Rx FIFO 1 New Message Interrupt Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
3	RF0LL	接收 FIFO 0 消息丢失中断线 (Rx FIFO 0 Message Lost Interrupt Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
2	RF0FL	接收 FIFO 0 已满中断线 (Rx FIFO 0 Full Interrupt Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
1	RF0WL	达到接收 FIFO 0 水线中断线 (Rx FIFO 0 Watermark Reached Interrupt Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1
0	RF0NL	接收 FIFO 0 新消息中断线 (Rx FIFO 0 New Message Interrupt Line) 0: 中断分配给中断线 fdcan_int0 1: 中断分配给中断线 fdcan_int1

### 41.6.18 FDCAN 中断线使能寄存器(FDCAN\_ILE)

可以通过配置 EINT0 和 EINT1 分别启用/禁用两条中断线。

偏移地址: 0x5C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Reserved	EINT1	EINT0
	rw	rw

位域	名称	描述
31:2	Reserved	保留，必需保持复位值。
1	EINT1	使能中断线 1(Enable Interrupt Line 1) 0: 禁止中断线 fdcan_int1 1: 使能中断线 fdcan_int1
0	EINT0	使能中断线 0(Enable Interrupt Line 0) 0: 禁止中断线 fdcan_int0 1: 使能中断线 fdcan_int0

### 41.6.19 FDCAN 全局过滤器配置寄存器(FDCAN\_GFC)

用于消息 ID 全局过滤器设置，控制标准和扩展消息的过滤器路径。

偏移地址：0x80

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved										ANFS[1:0]	ANFE[1:0]	RRFS	RRFE		
										rw	rw	rw	rw		

位域	名称	描述
31:6	Reserved	保留，必需保持复位值。
5:4	ANFS[1:0]	接受非匹配标准帧 (Accept Non-matching Frames Standard) 定义了接收到与过滤器列表任何元素都不匹配的 11 位 ID 消息的处理方式。 00: 在接收 FIFO 0 中接受 01: 在接收 FIFO 1 中接受 10: 拒绝 11: 拒绝 这些位受写保护，仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时，才能进行写访问。
3:2	ANFE[1:0]	接受非匹配扩展帧 (Accept Non-matching Frames Extended) 定义了接收到与过滤器列表任何元素都不匹配的 29 位 ID 消息的处理方式。 00: 在接收 FIFO 0 中接受 01: 在接收 FIFO 1 中接受 10: 拒绝

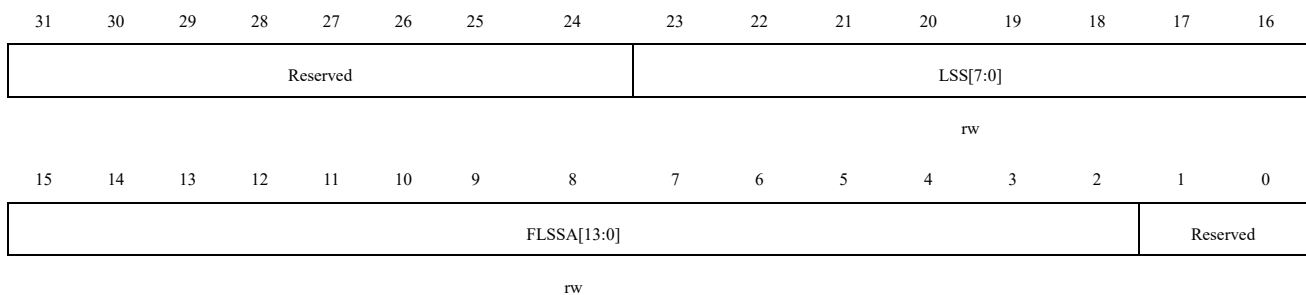
位域	名称	描述
		11: 拒绝 这些位受写保护, 仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时, 才能进行写访问。
1	RRFS	拒绝标准远程帧 (Reject Remote Frames Standard) 0: 过滤采用 11 位标准 ID 的远程帧 1: 拒绝所有采用 11 位标准 ID 的远程帧 这些位受写保护, 仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时, 才能进行写访问。
0	RRFE	拒绝扩展远程帧 (Reject Remote Frames Extended) 0: 过滤采用 29 位扩展 ID 的远程帧 1: 拒绝所有采用 29 位扩展 ID 的远程帧 这些位受写保护, 仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时, 才能进行写访问。

### 41.6.20 FDCAN 标准 ID 过滤器配置寄存器(FDCAN\_SIDFC)

用于 11 位标准消息 ID 过滤的设置。标准 ID 过滤器配置控制着标准消息的过滤器路径, 请参见图 41-7

偏移地址: 0x84

复位值: 0x0000 0000



位域	名称	描述
31:24	Reserved	保留, 必需保持复位值。
23:16	LSS[7:0]	标准过滤器列表大小 (List Size Standard) 0: 无标准消息 ID 过滤器 1-128: 标准消息 ID 过滤器元素数量 >128: 大于 128 的值会被解析为 128。 这些位受写保护, 仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时, 才能进行写访问。
15:2	FLSSA[13:0]	标准过滤器列表起始地址 (Filter List Standard Start Address) 标准消息 ID 过滤器列表存储区域起始地址相对于消息 RAM 起始地址的偏移, 以字 (32bit) 为单位。 这些位受写保护, 仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时, 才能进行写访问。

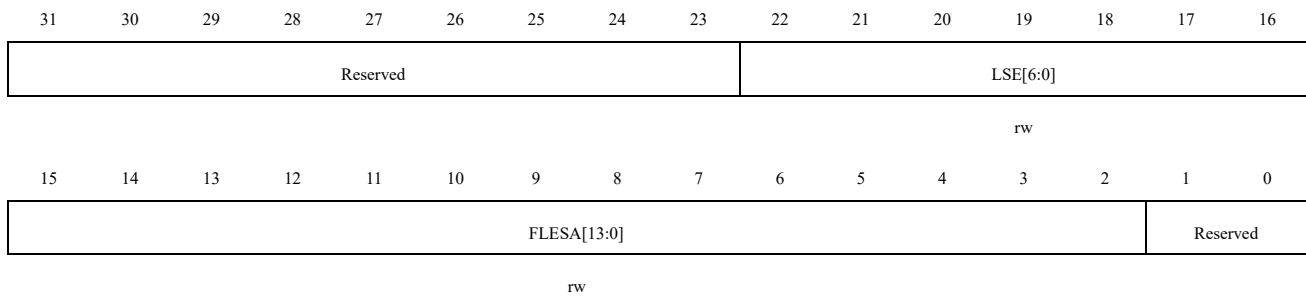
位域	名称	描述
1:0	Reserved	保留，必需保持复位值。

### 41.6.21 FDCAN 扩展 ID 过滤器配置寄存器(FDCAN\_XIDFC)

用于 29 位扩展消息 ID 过滤的设置。扩展 ID 过滤器配置控制着标准消息的过滤器路径，请参见图 41-8

偏移地址：0x88

复位值：0x0000 0000

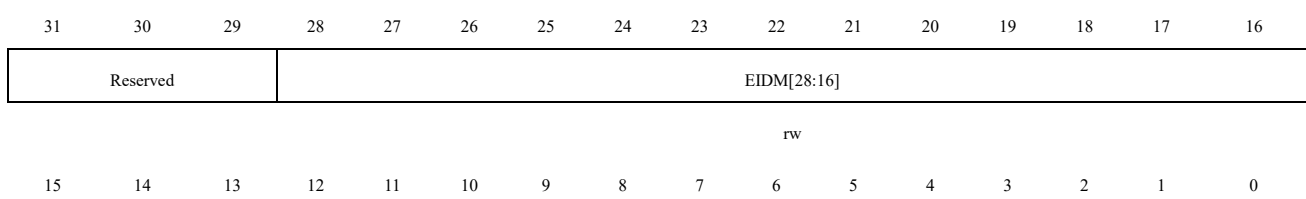


位域	名称	描述
31:23	Reserved	保留，必需保持复位值。
22:16	LSE[6:0]	扩展列表大小 (List Size Extended) 0: 无扩展消息 ID 过滤器 1-64: 扩展消息 ID 过滤器元素数量 >64: 大于 64 的值会被解析为 64。 这些位受写保护，仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时，才能进行写访问。
15:2	FLESA[13:0]	扩展过滤器列表起始地址 (Filter List Extended Start Address) 扩展消息 ID 过滤器存储区域起始地址相对于消息 RAM 起始地址的偏移，以字 (32bit) 为单位。 这些位受写保护，仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时，才能进行写访问。
1:0	Reserved	保留，必需保持复位值。

### 41.6.22 FDCAN 扩展 ID 和掩码寄存器(FDCAN\_XIDAM)

偏移地址：0x90

复位值：0x1FFF FFFF



EIDM[15:0]
------------

rw

位域	名称	描述
31:29	Reserved	保留，必需保持复位值。
28:0	EIDM[28:0]	扩展 ID 掩码 (Extended ID Mask) 对扩展帧进行接收过滤前会先将扩展 ID 掩码与已接收帧的消息 ID 进行与运算。 用于屏蔽 SAE J1939 中的 29 位 ID。复位后所有位均 1，掩码无效。 这些位受写保护，仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时， 才能进行写访问。

### 41.6.23 FDCAN 高优先级消息状态寄存器(FDCAN\_HPMS)

当消息 ID 过滤器元素配置为生成优先级事件时，每次匹配都会更新此寄存器。此寄存器可用于监控传入高优先级消息的状态，以便进行快速访问。

偏移地址：0x94

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLST	FIDX[6:0]					MSI[1:0]			BIDX[5:0]						
r	r					r			r						

位域	名称	描述
31:16	Reserved	保留，必需保持复位值。
15	FLST	过滤器列表 (Filter List) 指示匹配过滤器元素的过滤器列表。 0：标准过滤器列表 1：扩展过滤器列表
14:8	FIDX[6:0]	过滤器索引 (Filter Index) 与当前消息匹配的过滤器元素索引。范围为 0 到 FDCAN_SIDFC.LSS-1 或 FDCAN_XIDFC.LSE-1。
7:6	MSI[1:0]	消息存储标志 (Message Storage Indicator) 00：未选择 FIFO 01：FIFO 消息丢失 10：消息存储在 FIFO 0 中 11：消息存储在 FIFO 1 中
5:0	BIDX[5:0]	缓冲索引 (Buffer Index)

位域	名称	描述
		消息存储的接收 FIFO 元素索引。仅当 MSI[1] =“1”时有效。

### 41.6.24 FDCAN 新数据 1 寄存器(FDCAN\_NDAT1)

偏移地址：0x98

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ND31	ND30	ND29	ND28	ND27	ND26	ND25	ND24	ND23	ND22	ND21	ND20	ND19	ND18	ND17	ND16
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ND15	ND14	ND13	ND12	ND11	ND10	ND9	ND8	ND7	ND6	ND5	ND4	ND3	ND2	ND1	ND0
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

位域	名称	描述
31:0	ND[31:0]	新数据标志[31:0] (New Data[31:0]) 该寄存器为接收缓冲 0 到 31 的新数据标志。当某个接收缓冲更新为已接收的帧时，相应标志位置 1。在主机清零前，标志位保持置 1。通过向相应位写 1 可将标志清零。写“0”无作用。硬件复位会将寄存器清零。 0：接收缓冲未更新 1：接收缓冲新消息已更新

### 41.6.25 FDCAN 新数据 2 寄存器(FDCAN\_NDAT2)

偏移地址：0x9C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ND63	ND62	ND61	ND60	ND59	ND58	ND57	ND56	ND55	ND54	ND53	ND52	ND51	ND50	ND49	ND48
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ND47	ND46	ND45	ND44	ND43	ND42	ND41	ND40	ND39	ND38	ND37	ND36	ND35	ND34	ND33	ND32
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

位域	名称	描述
31:0	ND[63:32]	新数据标志[63:32] (New Data[63:32]) 该寄存器为接收缓冲 32 到 63 的新数据标志。当某个接收缓冲更新为已接收的帧时，相应标志位置 1。在主机清零前，标志位保持置 1。通过向相应位写 1 可将标志清零。写“0”无作用。硬件复位会将寄存器清零。

位域	名称	描述
		0: 接收缓冲未更新 1: 接收缓冲新消息已更新

### 41.6.26 FDCAN 接收 FIFO 0 配置寄存器(FDCAN\_RXF0C)

偏移地址: 0xA0

复位值: 0x0000 0000

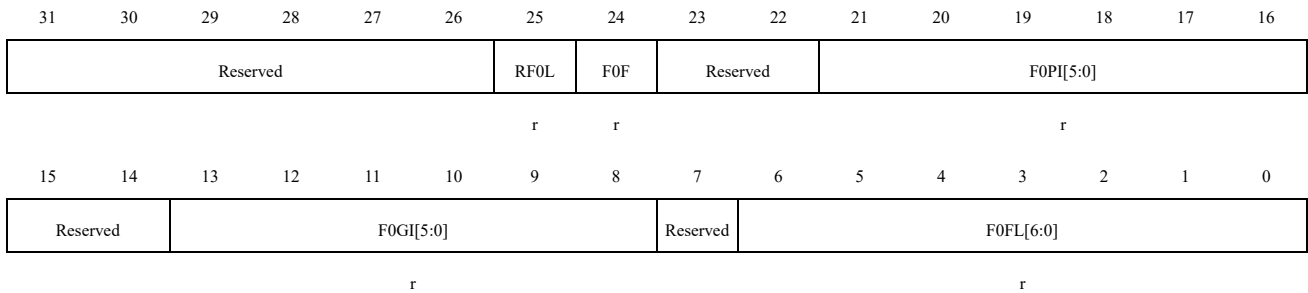
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
F0OM		F0WM[6:0]						Reserved		F0S[6:0]					
rw		rw								rw					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
F0SA[13:0]													Reserved		
rw															

位域	名称	描述
31	F0OM	接收 FIFO 0 工作模式 (Rx FIFO 0 Operation mode) 0: 接收 FIFO 0 处于阻止模式 1: 接收 FIFO 0 处于覆盖模式
30:24	F0WM[6:0]	接收 FIFO 0 水线标志 (Rx FIFO 0 Watermark) 0: 禁止水线中断 1-64: 接收 FIFO 0 水线中断 (FDCAN_IR.RF0W) 的级别 >64: 禁止水线中断 这些位受写保护, 仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时, 才能进行写访问。。
23	Reserved	保留, 必需保持复位值。
22:16	F0S[6:0]	接收 FIFO 0 大小 (Rx FIFO 0 Size) 0: 无接收 FIFO 0 1-64: 接收 FIFO 0 元素数 >64: 大于 64 的值会被解析为 64 接收 FIFO 0 元素的索引范围为 0 到 F0S-1。
15:2	F0SA[13:0]	接收 FIFO 0 起始地址 (Rx FIFO 0 Start Address) 消息 RAM 中接收 FIFO 0 存储区域起始地址相对于消息 RAM 起始地址的偏移, 以字 (32bit) 为单位。
1:0	Reserved	保留, 必需保持复位值。

### 41.6.27 FDCAN 接收 FIFO 0 状态寄存器(FDCAN\_RXF0S)

偏移地址: 0xA4

复位值: 0x0000 0000

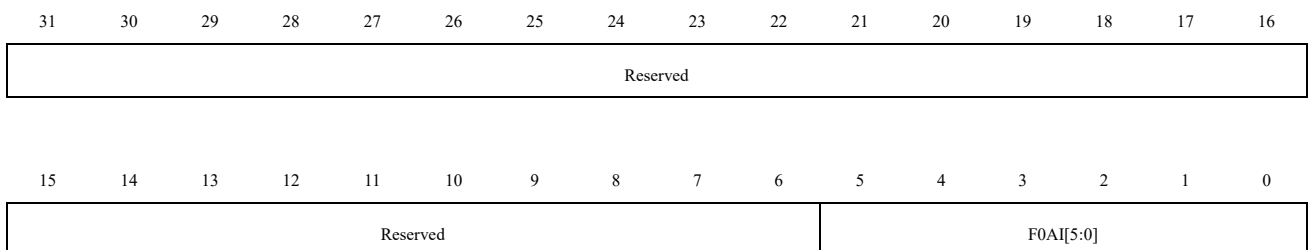


位域	名称	描述
31:26	Reserved	保留，必需保持复位值。
25	RF0L	接收 FIFO 0 消息丢失 (Rx FIFO 0 Message Lost) 当 FDCAN_IR.RF0L 被复位时，此位也会被复位。 0: 接收 FIFO 0 消息未丢失 1: 接收 FIFO 0 消息已丢失，尝试向大小为零的接收 FIFO 0 写入时也会置 1
24	F0F	接收 FIFO 0 已满 (Rx FIFO 0 Full) 0: 接收 FIFO 0 未滿 1: 接收 FIFO 0 已滿
23:22	Reserved	保留，必需保持复位值。
21:16	F0PI[5:0]	接收 FIFO 0 写入索引 (Rx FIFO 0 Put Index) 接收 FIFO 0 写入索引指针，范围为 0 到 63。
15:14	Reserved	保留，必需保持复位值。
13:8	F0GI[5:0]	接收 FIFO 0 获取索引 (Rx FIFO 0 Get Index) 接收 FIFO 0 读取索引指针，范围为 0 到 63。
7	Reserved	保留，必需保持复位值。
6:0	F0FL[6:0]	接收 FIFO 0 填充级别 (Rx FIFO 0 Fill Level) 接收 FIFO 0 中存储的元素数，范围为 0 到 64。

### 41.6.28 FDCAN 接收 FIFO 0 确认寄存器(FDCAN\_RXF0A)

偏移地址: 0xA8

复位值: 0x0000 0000



rw



位域	名称	描述
31:6	Reserved	保留，必需保持复位值。
5:0	F0AI[5:0]	接收 FIFO 0 确认索引 (Rx FIFO 0 Acknowledge Index) 主机从接收 FIFO 0 读取消息或消息序列后，必须将读取的最后一个元素的缓冲索引写入 F0AI 中。此操作会将接收 FIFO 0 获取索引 FDCAN_RXF0S.F0GI 设为 F0AI + 1，并更新 FIFO 0 填充级别 FDCAN_RXF0S.F0FL。

### 41.6.29 FDCAN 接收缓冲区配置寄存器(FDCAN\_RXBC)

偏移地址：0xAC

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RBSA[13:0]													Reserved		
rw															

位域	名称	描述
31:16	Reserved	保留，必需保持复位值。
15:2	RBSA[13:0]	接收缓冲区起始地址 (Rx Buffer Start Address) 配置消息 RAM 中专用接收缓冲区部分的起始地址 (32 位字地址)。也用于引用调试消息 A、B、C。 这些位受写保护，仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时，才能进行写访问。
1:0	Reserved	保留，必需保持复位值。

### 41.6.30 FDCAN 接收 FIFO 1 配置寄存器(FDCAN\_RXF1C)

偏移地址：0xB0

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
F1OM		F1WM[6:0]						Reserved		F1S[6:0]					
rw		rw								rw					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
F1SA[13:0]													Reserved		
rw															

位域	名称	描述
31	F1OM	接收 FIFO 1 工作模式 (Rx FIFO 1 Operation mode) 0: 接收 FIFO 1 处于阻止模式 1: 接收 FIFO 1 处于覆盖模式
30:24	F1WM[6:0]	接收 FIFO 1 水线标志 (Rx FIFO 1 Watermark) 0: 禁止水线中断 1-64: 接收 FIFO 1 水线中断 (FDCAN_IR.RF1W) 级别 >64: 禁止水线中断 这些位受写保护, 仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时, 才能进行写访问。。
23	Reserved	保留, 必需保持复位值。
22:16	F1S[6:0]	接收 FIFO 1 大小 (Rx FIFO 1 Size) 0: 无接收 FIFO 1 1-64: 接收 FIFO 1 元素数 >64: 大于 64 的值会被解析为 64 接收 FIFO 1 元素的索引为 0 到 F1S - 1。 这些位受写保护, 仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时, 才能进行写访问。
15:2	F1SA	接收 FIFO 1 起始地址 (Rx FIFO 1 Start Address) 消息 RAM 中接收 FIFO 1 存储区域起始地址相对于消息 RAM 起始地址的偏移, 以字 (32bit) 为单位。
1:0	Reserved	保留, 必需保持复位值。

### 41.6.31 FDCAN 接收 FIFO 1 状态寄存器(FDCAN\_RXF1S)

偏移地址: 0xB4

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMS[1:0]		Reserved				RF1L	F1F	Reserved			F1PI[5:0]				
r						r	r				r				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		F1GI[5:0]				Reserved		F1FL[6:0]							
		r						r							

位域	名称	描述
31:30	DMS[1:0]	调试消息状态 (Debug Message Status) 00: 空闲状态, 等待接收调试消息 01: 已接收调试消息 A 10: 已接收调试消息 A、B

位域	名称	描述
		11: 已接收调试消息 A、B、C
29:26	Reserved	保留, 必需保持复位值。
25	RF1L	接收 FIFO 1 消息丢失 (Rx FIFO 1 Message Lost) 当 FDCAN_IR.RF1L 被复位时, 此位也会被复位。 0: 接收 FIFO 1 消息未丢失 1: 接收 FIFO 1 消息已丢失, 尝试向大小为零的接收 FIFO 1 写入时也会置 1
24	F1F	接收 FIFO 1 已满 (Rx FIFO 1 Full) 0: 接收 FIFO 1 未 1: 接收 FIFO 1 已满
23:22	Reserved	保留, 必需保持复位值。
21:16	F1PI[5:0]	接收 FIFO 1 写入索引 (Rx FIFO 1 Put Index) 接收 FIFO 1 写入索引指针, 范围为 0 到 63。
15:14	Reserved	保留, 必需保持复位值。
13:8	F1GI[5:0]	接收 FIFO 1 获取索引 (Rx FIFO 1 Get Index) 接收 FIFO 1 读取索引指针, 范围为 0 到 63。
7	Reserved	保留, 必需保持复位值。
6:0	F1FL[6:0]	接收 FIFO 1 填充级别 (Rx FIFO 1 Fill Level) 接收 FIFO 1 中存储的元素数, 范围为 0 到 64。

### 41.6.32 FDCAN 接收 FIFO 1 确认寄存器(FDCAN\_RXF1A)

偏移地址: 0xB8

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved										F1AI[5:0]					

rw

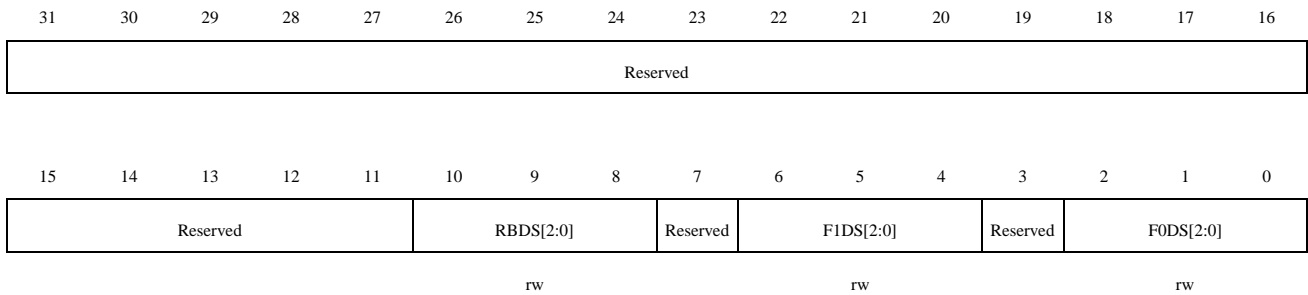
位域	名称	描述
31:6	Reserved	保留, 必需保持复位值。
5:0	F1AI[5:0]	接收 FIFO 1 确认索引 (Rx FIFO 1 Acknowledge Index) 主机从接收 FIFO 1 读取消息或消息序列后, 必须将从读取的最后一个元素的缓冲索引写入 F1AI 中。此操作会将接收 FIFO 1 获取索引 FDCAN_RXF1S.F1GI 设为 F1AI + 1, 并更新 FIFO 1 填充级别 FDCAN_RXF1S.F1FL。

### 41.6.33 FDCAN 接收缓冲区/FIFO 元素大小配置寄存器(FDCAN\_RXESC)

配置接收缓冲区与接收 FIFO 元素的数据域字节数。大于 8 个字节的数据域仅用于 CAN FD。

偏移地址：0xBC

复位值：0x0000 0000



位域	名称	描述
31:11	Reserved	保留，必需保持复位值。
10:8	RBDS[2:0]	接收缓冲区数据字段大小 (Rx Buffer Data Field Size) 000: 8 字节数据字段 001: 12 字节数据字段 010: 16 字节数据字段 011: 20 字节数据字段 100: 24 字节数据字段 101: 32 字节数据字段 110: 48 字节数据字段 111: 64 字节数据字段
7	Reserved	保留，必需保持复位值。
6:4	F1DS[2:0]	接收 FIFO 0 数据字段大小 (Rx FIFO 0 Data Field Size) 000: 8 字节数据字段 001: 12 字节数据字段 010: 16 字节数据字段 011: 20 字节数据字段 100: 24 字节数据字段 101: 32 字节数据字段 110: 48 字节数据字段 111: 64 字节数据字段
3	Reserved	保留，必需保持复位值。
2:0	F0DS[2:0]	接收 FIFO 1 数据字段大小 (Rx FIFO 1 Data Field Size) 000: 8 字节数据字段 001: 12 字节数据字段 010: 16 字节数据字段 011: 20 字节数据字段 100: 24 字节数据字段 101: 32 字节数据字段 110: 48 字节数据字段 111: 64 字节数据字段

注意：如果接受的 CAN 帧的数据字段大小超过了与之匹配的 Rx 缓冲区或 Rx FIFO 配置的数据字段大小，那么只有由 RXESC 配置的字节数会被存储到 Rx 缓冲区或 Rx FIFO 元素中，其余部分将被忽略。

### 41.6.34 FDCAN 发送缓冲区配置寄存器(FDCAN\_TXBC)

偏移地址：0xC0

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved		TFQM		TFQS[5:0]					Reserved			NDTB[5:0]				
rw		rw					rw									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
TBSA[13:0]													Reserved			
rw																

位域	名称	描述
31	Reserved	保留，必需保持复位值。
30	TFQM	发送 FIFO/队列模式 (Tx FIFO/Queue Mode) 0：发送 FIFO 模式 1：发送队列模式 这些位受写保护，仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时，才能进行写访问。
29:24	TFQS[5:0]	发送 FIFO/队列大小 (Transmit FIFO/Queue Size) 0：无发送 FIFO/队列 1-32：用于发送 FIFO/队列的发送缓冲数 >32：大于 32 的值会被解析为 32 这些位受写保护，仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时，才能进行写访问。
23:22	Reserved	保留，必需保持复位值。
21:16	NDTB[5:0]	专用发送缓冲数 (Number of Dedicated Transmit Buffers) 0：无专用发送缓冲区 1-32：专用发送缓冲区数 >32：大于 32 的值会被解析为 32 这些位受写保护，仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时，才能进行写访问。
15:2	TBSA[13:0]	发送缓冲起始地址 (Tx Buffer Start Address) 消息 RAM 中发送缓冲部分的起始地址 (32 位地址) 这些位受写保护，仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时，才能进行写访问。
1:0	Reserved	保留，必需保持复位值。

注意：TFQS 与 NDTB 之和不能大于 32。FDCAN 不会检查配置是否有误。消息 RAM 中的发送缓冲区部分

从专用发送缓冲开始。

### 41.6.35 FDCAN 发送 FIFO/队列状态寄存器(FDCAN\_TXFQS)

发送 FIFO/队列状态与 FDCAN\_TXBRP 中的发送请求相关。因此，添加/取消发送请求操作可能因正在运行发送扫描而延迟（FDCAN\_TXBRP 尚未更新）。

偏移地址：0xC4

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved										TFQF	TFQPI[4:0]				
										r	r				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			TFGI[4:0]				Reserved			TFFL[5:0]					
			r							r					

位域	名称	描述
31:22	Reserved	保留，必需保持复位值。
21	TFQF	发送 FIFO/队列已满 (Tx FIFO/Queue Full) 0：发送 FIFO/队列未 1：发送 FIFO/队列已满
20:16	TFQPI[4:0]	发送 FIFO/队列写入索引 (Tx FIFO/Queue Put Index) 发送 FIFO/队列写入索引指针，范围为 0 到 31
15:13	Reserved	保留，必需保持复位值。
12:8	TFGI[4:0]	发送 FIFO 获取索引 (Tx FIFO Get Index) 发送 FIFO 读取索引指针，范围为 0 到 31。如果配置为发送队列（FDCAN_TXBC.TFQM =“1”），则读出值始终为零。
7:6	Reserved	保留，必需保持复位值。
5:0	TFFL[5:0]	发送 FIFO 空闲级别 (Tx FIFO Free Level) 从 TFGI 开始的连续空闲发送 FIFO 元素数，范围为 0 到 32。如果已配置发送队列操作（FDCAN_TXBC.TFQM =“1”），则读出值始终为零。

*注意：如果是专用发送缓冲与发送 FIFO 或发送队列相结合的混合配置，写入和获取索引指示从第一个专用发送缓冲开始的发送缓冲索引。*

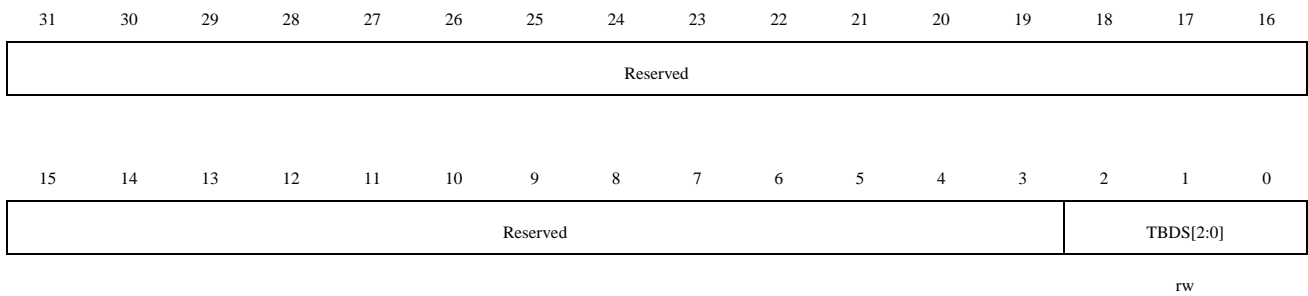
*例如：对于 12 个专用发送缓冲与包含 20 个缓冲区的发送 FIFO 相结合的混合配置，写入索引 15 会指向发送 FIFO 的第四个发送缓冲。*

### 41.6.36 FDCAN 发送缓冲区元素大小配置寄存器(FDCAN\_TXESC)

配置发送缓冲元素的数据段字节数。大于 8 个字节的数据段仅用于 CAN FD

偏移地址：0xC8

复位值: 0x0000 0000

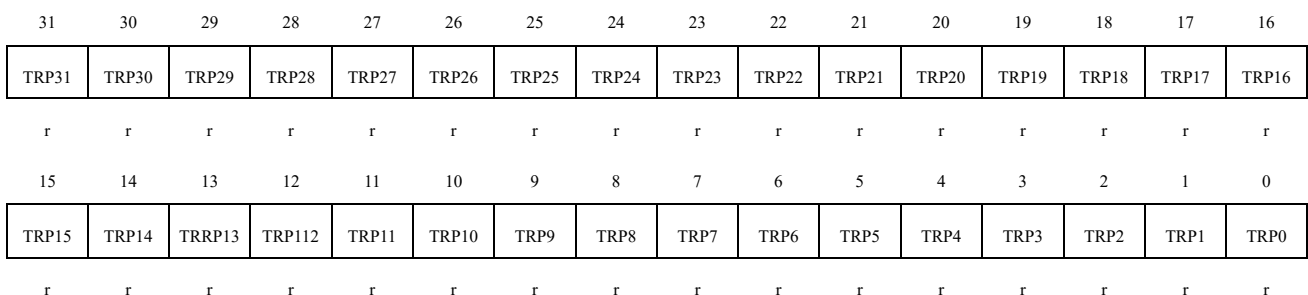


位域	名称	描述
31:3	Reserved	保留，必需保持复位值。
2:0	TBDS[2:0]	发送缓冲区数据字段大小 (Tx Buffer Data Field Size) 000: 8 字节数据字段 001: 12 字节数据字段 010: 16 字节数据字段 011: 20 字节数据字段 100: 24 字节数据字段 101: 32 字节数据字段 110: 48 字节数据字段 111: 64 字节数据字段

### 41.6.37 FDCAN 发送缓冲区请求挂起寄存器(FDCAN\_TXBRP)

偏移地址: 0xCC

复位值: 0x0000 0000



位域	名称	描述
31:0	TRP[31:0]	发送请求挂起 (Transmission Request Pending) 每个发送缓冲都有自己的发送请求挂起位，通过寄存器 FDCAN_TXBAR 置 1。 请求的发送已完成或已通过 FDCAN_TXBCR 取消后，相应位复位。 FDCAN_TXBRP 仅会为 FDCAN_TXBC 配置的有效发送缓冲对应位置 1。 FDCAN_TXBRP 某个位置 1 后，会启动发送扫描，以检查优先级最高（消息 ID

位域	名称	描述
		最小的发送缓冲) 的发送请求。 取消请求会使寄存器 FDCAN_TXBRP 的相应发送请求挂起位复位。如果请求取消时发送已开始进行, 则无论发送是否成功, 都会在发送结束时执行复位操作。 相应的 FDCAN_TXBRP 位复位后, 取消请求位也会立即复位。 请求取消后, 会在下列情况下通过 FDCAN_TXBCF 位置 1 指示取消成功 -发送成功, 相应的 FDCAN_TXBTO 位置 1 -取消时发送尚未开始 -发送因仲裁丢失而中止 -发送过程中出错 在 DAR 模式下, 所有发送在发送失败后都会自动取消。对于所有未成功的发送, 相应的 FDCAN_TXBCF 位会置 1。 0: 无发送请求挂起 1: 发送请求挂起

*注意: 如果 FDCAN\_TXBRP 位在正在进行发送扫描时置 1, 则当前发送扫描忽略此位。如果请求取消此类发送缓冲区, 则该请求会立即取消, 相应的 FDCAN\_TXBRP 位复位。*

### 41.6.38 FDCAN 发送缓冲区添加请求寄存器(TXBAR)

偏移地址: 0xD0

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AR31	AR30	AR29	AR28	AR27	AR26	AR25	AR24	AR23	AR22	AR21	AR20	AR19	AR18	AR17	AR16
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AR15	AR14	AR13	AR12	AR11	AR10	AR9	AR8	AR7	AR6	AR5	AR4	AR3	AR2	AR1	AR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:0	AR[31:0]	添加请求 (Add Request) 每个发送缓冲都有自己的添加请求位。写 1 会将相应的添加请求位置 1, 写 0 无作用。主机对 TXBAR 的一次写操作可为多个发送缓冲区添加发送请求, 但仅会将 FDCAN_TXBC 配置的有效发送缓冲对应位置 1。如果没有运行发送扫描, 这些位会立即复位, 否则在发送扫描过程完成之前, 这些位保持置 1 状态。 0: 未添加发送请求 1: 已添加发送请求

*注意: 如果对发送请求位已置 1 的发送缓冲区添加请求, 则会忽略重复的请求。*



### 41.6.39 FDCAN 发送缓冲区取消请求寄存器(FDCAN\_TXBCR)

偏移地址：0xD4

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CR31	CR30	CR29	CR28	CR27	CR26	CR25	CR24	CR23	CR22	CR21	CR20	CR19	CR18	CR17	CR16
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CR15	CR14	CR13	CR12	CR11	CR10	CR9	CR8	CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:0	CR[31:0]	取消请求 (Cancellation Request) 每个发送缓冲都有自己的取消请求位。写 1 会将相应的取消请求位置 1，写 0 无作用。主机对 FDCAN_TXBCR 进行一次写操作可为多个发送缓冲区设置取消请求，但仅会将 FDCAN_TXBC 配置的有效发送缓冲对应位置 1。在相应的 FDCAN_TXBRP 位复位之前，这些位保持置 1 状态。 0：无取消请求 1：请求取消

### 41.6.40 FDCAN 发送缓冲区发送已发生寄存器(FDCAN\_TXBTO)

偏移地址：0xD8

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TO31	TO30	TO29	TO28	TO27	TO26	TO25	TO24	TO23	TO22	TO21	TO20	TO19	TO18	TO17	TO16
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TO15	TO14	TO13	TO12	TO11	TO10	TO9	TO8	TO7	TO6	TO5	TO4	TO3	TO2	TO1	TO0
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位域	名称	描述
31:0	TO[31:0]	发送已发生 (Transmission Occurred) 每个发送缓冲都有自己的发送已发生位。当相应的 FDCAN_TXBRP 位在发送成功后清零时，此寄存器相应位 1。当向 FDCAN_TXBAR 的相应位写 1 请求新发送时，这些位会复位。 0：未进行发送

位域	名称	描述
		1: 已进行发送

#### 41.6.41 FDCAN 发送缓冲区取消完成寄存器(FDCAN\_TXBCF)

偏移地址: 0xDC

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CF31	CF30	CF29	CF28	CF27	CF26	CF25	CF24	CF23	CF22	CF21	CF20	CF19	CF18	CF17	CF16
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CF15	CF14	CF13	CF12	CF11	CF10	CF9	CF8	CF7	CF6	CF5	CF4	CF3	CF2	CF1	CF0
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位域	名称	描述
31:0	CF[31:0]	取消完成 (Cancellation Finished) 每个发送缓冲都有自己的取消完成位。当 FDCAN_TXBRP 位在通过相应的 FDCAN_TXBCR 位取消请求后清零时, 此寄存器相应位置 1。如果在取消请求时 FDCAN_TXBRP 相应位未置 1 时, 此寄存器相应位立即置 1。向寄存器 FDCAN_TXBAR 的相应位写入 1 请求进行新发送时, 此寄存器相应位复位。 0: 无发送缓冲区取消 1: 发送缓冲区取消完成

#### 41.6.42 FDCAN 发送缓冲区发送中断使能寄存器(FDCAN\_TXBTIE)

偏移地址: 0xE0

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TIE31	TIE30	TIE29	TIE28	TIE27	TIE26	TIE25	TIE24	TIE23	TIE22	TIE21	TIE20	TIE19	TIE18	TIE17	TIE16
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TIE15	TIE14	TIE13	TIE12	TIE11	TIE10	TIE9	TIE8	TIE7	TIE6	TIE5	TIE4	TIE3	TIE2	TIE1	TIE0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:0	TIE[31:0]	发送中断使能 (Transmission Interrupt Enable) 每个发送缓冲都有自己的发送中断使能位。 0: 禁止发送中断

位域	名称	描述
		1: 使能发送中断

### 41.6.43 FDCAN 发送缓冲区取消完成中断使能寄存器(FDCAN\_TXBCIE)

偏移地址: 0xE4

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CFIE31	CFIE30	CFIE29	CFIE28	CFIE27	CFIE26	CFIE25	CFIE24	CFIE23	CFIE22	CFIE21	CFIE20	CFIE19	CFIE18	CFIE17	CFIE16
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CFIE15	CFIE14	CFIE13	CFIE12	CFIE11	CFIE10	CFIE9	CFIE8	CFIE7	CFIE6	CFIE5	CFIE4	CFIE3	CFIE2	CFIE1	CFIE0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:0	CFIE[31:0]	取消完成中断使能 (Cancellation Finished Interrupt Enable) 每个发送缓冲都有自己的取消完成中断使能位 0: 禁止取消完成中断 1: 使能取消完成中断

### 41.6.44 FDCAN 发送事件 FIFO 配置寄存器(FDCAN\_TXEFC)

偏移地址: 0xF0

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved		EFWM[5:0]					Reserved		EFS[5:0]							
					rw						rw					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
EFSA[13:0]													Reserved			
rw																

位域	名称	描述
31:30	Reserved	保留, 必需保持复位值。
29:24	EFWM[5:0]	事件 FIFO 水线标志 (Event FIFO Watermark) 0: 禁止水线中断 1-32: 发送事件 FIFO 水线中断 (FDCAN_IR.TEFW) 级别 >32: 禁止水线中断 这些位受写保护, 仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时,

位域	名称	描述
		才能进行写访问。
23:22	Reserved	保留，必需保持复位值。
21:16	EFS[5:0]	事件 FIFO 大小 (Event FIFO Size) 0: 禁止发送事件 FIFO 1-32: 发送事件 FIFO 元素数 >32: 大于 32 的值会被解析为 32 发送事件 FIFO 元素的索引为 0 到 EFS - 1 这些位受写保护，仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时，才能进行写访问。
15:2	EFSA[13:0]	事件 FIFO 起始地址 (Event FIFO Start Address) 消息 RAM 中发送事件 FIFO 存储区域起始地址相对于消息 RAM 起始地址的偏移，以字 (32bit) 为单位。 这些位受写保护，仅当 FDCAN_CCCR.CCE 和 FDCAN_CCCR.INIT 均为 1 时，才能进行写访问。
1:0	Reserved	保留，必需保持复位值。

#### 41.6.45 FDCAN 发送事件 FIFO 状态寄存器(FDCAN\_TXEFS)

偏移地址: 0xF4

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved						TEFL	EFF	Reserved				EFPI[4:0]			
						r	r					r			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				EFGI[4:0]				Reserved				EFFL[5:0]			
				r								r			

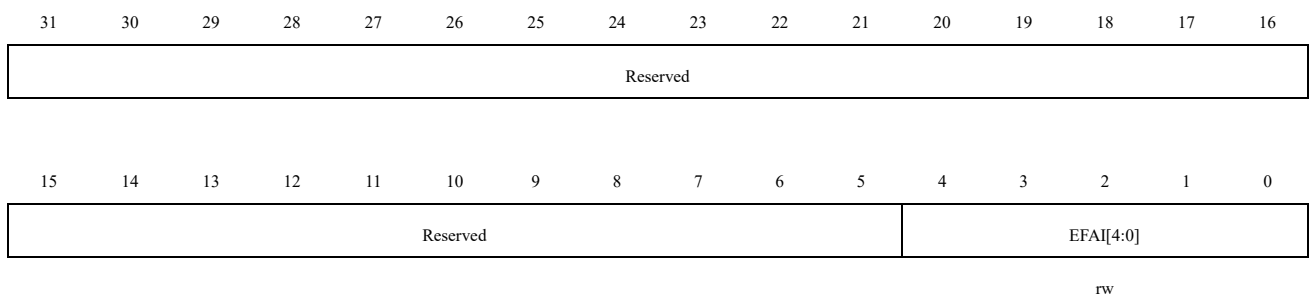
位域	名称	描述
31:26	Reserved	保留，必需保持复位值。
25	TEFL	发送事件 FIFO 元素丢失 (Tx Event FIFO Element Lost) 当 FDCAN_IR.TEFL 复位时，此位也会复位 0: 没有发送事件 FIFO 元素丢失 1: 发送事件 FIFO 元素已丢失，尝试向大小为零的事件 FIFO 写入时也会置 1
24	EFF	事件 FIFO 已满 (Event FIFO Full) 0: 发送事件 FIFO 未滿 1: 发送事件 FIFO 已滿
23:21	Reserved	保留，必需保持复位值。
20:16	EFPI[4:0]	事件 FIFO 写入索引 (Event FIFO Put Index) 事件 FIFO 写入索引指针，范围为 0 到 31。

位域	名称	描述
15:13	Reserved	保留，必需保持复位值。
12:8	EFGI[4:0]	事件 FIFO 获取索引 (Event FIFO Get Index) 发送事件 FIFO 读取索引指针，范围为 0 到 31
7:6	Reserved	保留，必需保持复位值。
5:0	EFFL[5:0]	事件 FIFO 填充级别 (Event FIFO Fill Level) 发送事件 FIFO 中存储的元素数，范围为 0 到 31

#### 41.6.46 FDCAN 发送事件 FIFO 确认寄存器(FDCAN\_TXEFA)

偏移地址：0xF8

复位值：0x0000 0000

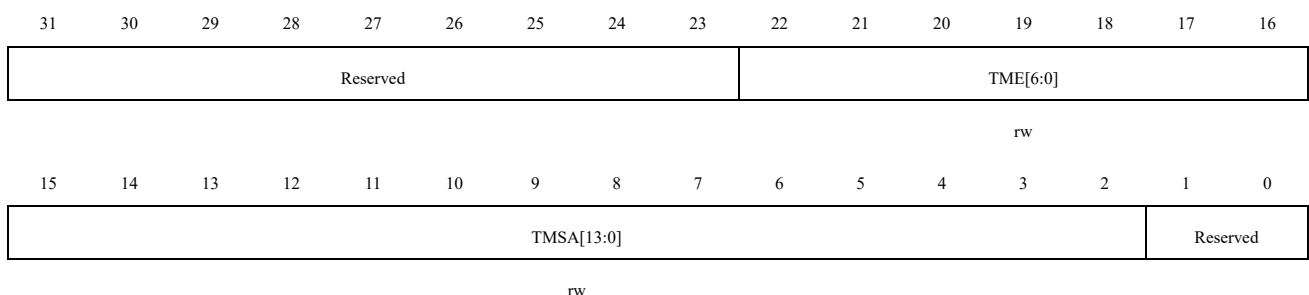


位域	名称	描述
31:5	Reserved	保留，必需保持复位值。
4:0	EFAI[4:0]	事件 FIFO 确认索引 (Event FIFO Acknowledge Index) 主机从发送事件 FIFO 读取元素或元素序列后，必须将读取的最后一个元素索引值写入 EFAI 中。此操作会将发送事件 FIFO 获取索引 FDCAN_TXEFS.EFGI 设为 EFAI + 1，并更新 FIFO 0 填充级别 FDCAN_TXEFS.EFFL。

#### 41.6.47 FDCAN TT 触发存储器配置寄存器(FDCAN\_TTTMC)

偏移地址：0x0100

复位值：0x0000 0000



位域	名称	描述
31:23	Reserved	保留，必需保持复位值。
22:16	TME[6:0]	触发存储器元素(Trigger memory elements) 0: 无触发存储器 1-64: 触发存储器的元素数 >64: 大于 64 的值会被解析为 64 这些是受保护的位，只有当位 FDCAN_CCCR.CCE 和位 FDCAN_CCCR.INIT 设置为 1 时才允许写入。
15:2	TMSA[13:0]	触发存储器起始地址(Trigger memory start address) 消息 RAM 中触发存储器的起始地址(32 位字地址，参见图 41-1 FDCAN 消息 RAM 分配示例图)。 这些是受保护的位，只有当位 FDCAN_CCCR.CCE 和位 FDCAN_CCCR.INIT 设置为 1 时才允许写入。
1:0	Reserved	保留，必需保持复位值。

#### 41.6.48 FDCAN TT 参考消息配置寄存器(FDCAN\_TTRMC)

偏移地址：0x0104

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RMPS	XTD	Reserved	RID[28:16]												
rw	rw		rw												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RID[15:0]															
rw															

位域	名称	描述
31	RMPS	参考消息有效负载选择(Reference message Payload select) 时间被控节点会忽略此位。 0: 参考消息没有额外的有效负载 1: 会从发送缓冲区 0 获取以下元素： 消息标记 MM， 事件 FIFO 控制 EFC， 数据长度代码 DLC， 数据字节 DB (级别 1: 字节 2-8, 级别 0、2: 字节 5-8) 这些是受保护的位，只有当位 FDCAN_CCCR.CCE 和位 FDCAN_CCCR.INIT 设置为 1 时才允许写入。
30	XTD	扩展标识符(Extended identifier) 0: 11 位标准标识符 1: 29 位扩展标识符 这些是受保护的位，只有当位 FDCAN_CCCR.CCE 和位 FDCAN_CCCR.INIT 设

位域	名称	描述
		置为 1 时才允许写入。
29	Reserved	保留，必需保持复位值。
28:0	RID[28:0]	参考标识符(Reference identifier) 通过参考消息发送并用于参考消息过滤的标识符。标准参考标识符或扩展参考标识符取决于 XTD 位。标准标识符必须写入 ID[28:18]。 这些是受保护的位，只有当位 FDCAN_CCCR.CCE 和位 FDCAN_CCCR.INIT 设置为 1 时才允许写入。

#### 41.6.49 FDCAN TT 运行配置寄存器(FDCAN\_TTOCF)

偏移地址：0x0108

复位值：0x0001 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved					EVTP	ECC	EGTF	AWL[7:0]							
					rw	rw	rw	rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EECS	IRTO[6:0]					LSDSL[2:0]		TM	GEN	Reserved	OM[1:0]				
rw	rw					rw		rw	rw		rw				

位域	名称	描述
31:27	Reserved	保留，必需保持复位值。
26	EVTP	事件触发极性(Event trigger polarity) 0: 上升沿触发 1: 下降沿触发 这些是受保护的位，只有当位 FDCAN_CCCR.CCE 和位 FDCAN_CCCR.INIT 设置为 1 时才允许写入。
25	ECC	使能时钟校准(Enable clock calibration) 0: FDCAN 级别 0、2 中禁止自动时钟校准 1: FDCAN 级别 0、2 中使能自动时钟校准 这些是受保护的位，只有当位 FDCAN_CCCR.CCE 和位 FDCAN_CCCR.INIT 设置为 1 时才允许写入。
24	EGTF	使能全局时间过滤(Enable global time Filtering) 0: FDCAN 级别 0、2 中禁止全局时间过滤 1: FDCAN 级别 0、2 中禁止全局时间过滤 这些是受保护的位，只有当位 FDCAN_CCCR.CCE 和位 FDCAN_CCCR.INIT 设置为 1 时才允许写入。
23:16	AWL[7:0]	应用看门狗限值(Application watchdog limit) 可通过将 AWL 编程为 0x00 禁止应用看门狗。 0x00-FF: 应用可延迟处理应用看门狗的最长时间。应用看门狗每隔 256 个 NTU 递增一次。

位域	名称	描述
		这些是受保护的位，只有当位 FDCAN_CCCR.CCE 和位 FDCAN_CCCR.INIT 设置为 1 时才允许写入。
15	EECS	使能外部时钟同步(Enable external clock synchronization) 若使能，TUR 配置（仅限 TURCF[NCL]）可在 FDCAN 操作期间更新。 0： FDCAN 级别 0、2 中禁止外部时钟同步 1： FDCAN 级别 0、2 中使能外部时钟同步 这些是受保护的位，只有当位 FDCAN_CCCR.CCE 和位 FDCAN_CCCR.INIT 设置为 1 时才允许写入。
14:8	IRTO[6:0]	初始参考触发偏移(Initial reference trigger offset) 0x00-7F 正偏移，范围为 0 到 127 这些是受保护的位，只有当位 FDCAN_CCCR.CCE 和位 FDCAN_CCCR.INIT 设置为 1 时才允许写入。
7:5	LDSDL[2:0]	同步偏差限值的 LD (LD of synchronization deviation limit) 同步偏差限值 SDL 是通过其双对数 LDSDL 配置的，公式为 $SDL = 2^{(LDSDL + 5)}$ 。SDL 在 32 和 4096 之间。不应超过 CAN 位时序配置提供的时钟容差。 这些是受保护的位，只有当位 FDCAN_CCCR.CCE 和位 FDCAN_CCCR.INIT 设置为 1 时才允许写入。
4	TM	时间主控(Time master) 0： 禁止时间主控节点功能 1： 潜在时间主控节点 这些是受保护的位，只有当位 FDCAN_CCCR.CCE 和位 FDCAN_CCCR.INIT 设置为 1 时才允许写入。
3	GEN	间隙使能(Gap enable) 0： 严格的时间触发操作 1： 外部事件同步时间触发操作 这些是受保护的位，只有当位 FDCAN_CCCR.CCE 和位 FDCAN_CCCR.INIT 设置为 1 时才允许写入。
2	Reserved	保留，必需保持复位值。
1:0	OM[1:0]	工作模式(Operation mode) 00: 事件驱动 CAN 通信，默认 01: TTCAN 1 级 10: TTCAN 2 级 11: TTCAN 0 级 这些是受保护的位，只有当位 FDCAN_CCCR.CCE 和位 FDCAN_CCCR.INIT 设置为 1 时才允许写入。

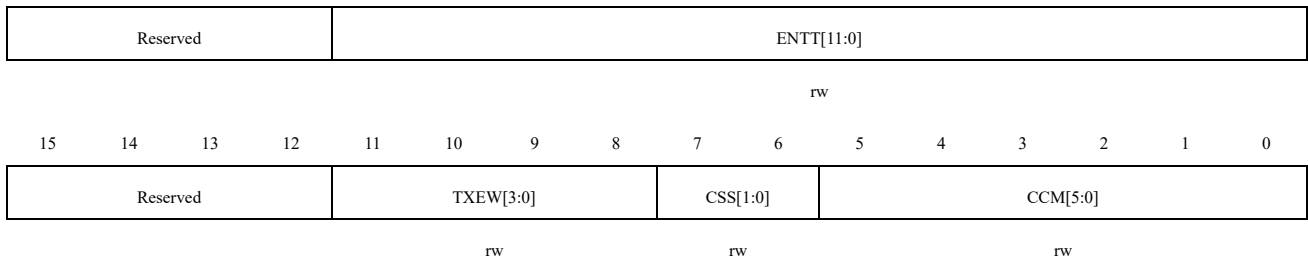
#### 41.6.50 FDCAN TT 矩阵限制寄存器(FDCAN\_TTMLM)

偏移地址：0x010C

复位值：0x0000 0000

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16





位域	名称	描述
31:28	Reserved	保留，必需保持复位值。
27:16	ENTT[11:0]	预期发送触发数(Expected Number of Tx triggers) 0x000–FFF：一个矩阵周期中的预期发送触发数。 这些是受保护的位，只有当位 FDCAN_CCCR.CCE 和位 FDCAN_CCCR.INIT 设置为 1 时才允许写入。
15:12	Reserved	保留，必需保持复位值。
11:8	TXEW[3:0]	发送使能窗口(Tx enable Window) 0x0–F：发送使能窗口的长度，1-16 个 NTU 周期 这些是受保护的位，只有当位 FDCAN_CCCR.CCE 和位 FDCAN_CCCR.INIT 设置为 1 时才允许写入。
7:6	CSS[1:0]	周期开始同步(Cycle start synchronization) 使能同步脉冲输出。 00：无同步脉冲 01：基本周期开始时同步脉冲 10：矩阵周期开始时同步脉冲 11：保留 这些是受保护的位，只有当位 FDCAN_CCCR.CCE 和位 FDCAN_CCCR.INIT 设置为 1 时才允许写入。
5:0	CCM[5:0]	周期计数最大值(Cycle count Max) 0x00：每个矩阵周期 1 个基本周期 0x01：每个矩阵周期 2 个基本周期 0x03：每个矩阵周期 4 个基本周期 0x07：每个矩阵周期 8 个基本周期 0x0F：每个矩阵周期 16 个基本周期 0x1F：每个矩阵周期 32 个基本周期 0x3F：每个矩阵周期 64 个基本周期 其他值：保留 这些是受保护的位，只有当位 FDCAN_CCCR.CCE 和位 FDCAN_CCCR.INIT 设置为 1 时才允许写入。

### 41.6.51 FDCAN TUR 配置寄存器(FDCAN\_TURCF)

偏移地址：0x0110

复位值：0x1000 0000

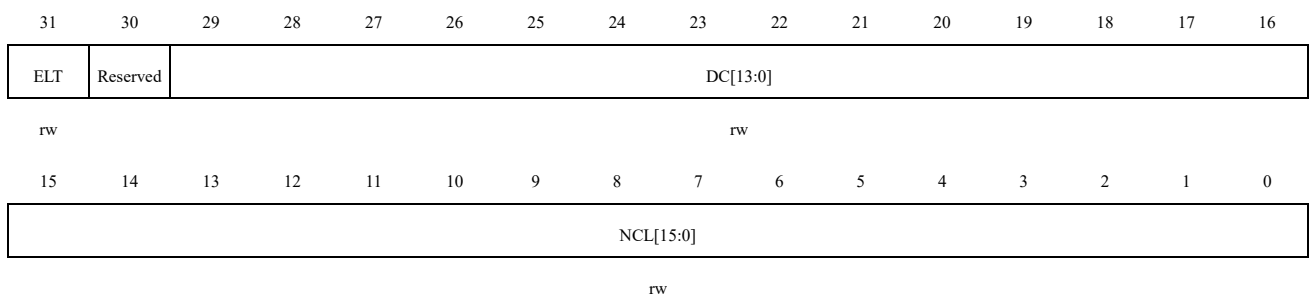
NTU 长度的计算公式为：  $NTU = CAN \text{ 时钟周期} \times NC/DC$ 。

NC 是一个 18 位值。其高位部分 NCH[17:16] 被硬连接为 0b01。因此，NC 的范围从 0x10000 到 0x1FFFF。NCL 配置的值是 FDCAN\_TURNA.NAV[15:0] 的初始值。DC 通过硬件复位设置为 0x1000，因此不得写入 0x0000。

- 1 级:  $NC \geq 4 \times DC$ ,  $NTU = CAN \text{ 位时间}$
- 0 级和 2 级:  $NC \geq 8 \times DC$

TTCAN 0 级和 2 级的时钟漂移补偿功能可改变 FDCAN\_TUR 的实际值，以便将 NTU 的节点本地视图调整为 NTU 的时间主视图。自动漂移补偿不会改变 DC，FDCAN\_TURNA.NAV 可在 FDCAN\_TTOCF.LDSDL 给出的同步偏差限制范围内围绕 NC 进行调整。应将 NC 和 DC 编程为最大的合适值，以实现漂移补偿过程的最佳计算精度。

**注意：** 如果在 TTCAN 1 级中  $NC < 7 \times DC$ ，则触发存储器中的后续时间标记必须至少相差两个 NTU。



位域	名称	描述
31	ELT	使能本地时间(Enable local time) 0: 停止本地时间（默认） 1: 使能本地时间 这些是受保护的位，只有当位 FDCAN_CCCR.CCE 和位 FDCAN_CCCR.INIT 设置为 1 时才允许写入。 <i>注：本地时间通过设置 ELT 启动。在 ELT 复位或下一次硬件复位之前，它一直处于激活状态。当 FDCAN_TURCF.ELT = 1 时，FDCAN_TURCF.DC 被锁定。如果 ELT 被写入 0，则可读值将保持为 1，直到新值同步到 CAN 时钟域。在此期间，对寄存器其他位的写入访问仍被锁定。</i>
30	Reserved	保留，必需保持复位值。
29:16	DC[13:0]	分母配置(Denominator configuration) 0x0000: 非法值 0x0001 到 3FFF: 分母配置 这些是受保护的位，只有当位 FDCAN_CCCR.CCE 和位 FDCAN_CCCR.INIT 设置为 1 时才允许写入。
15:0	NCL[15:0]	分子配置低位(Numerator configuration low) 只有在 FDCAN_TURCF.ELT = 0 或 FDCAN_TTOCF.EECS（启用外部时钟同步）设置为 0 的配置期间，才能对 TUR 数值配置低电平进行写入访问。当在 TT 配置模式之外写入 NCL 的新值时，新值将在 FDCAN_TTOST.WECS 清零为 0 时生效。

位域	名称	描述
		0x0000~FFFF 分子配置低位 这些是受保护的位，只有当位 FDCAN_CCCR.CCE 和位 FDCAN_CCCR.INIT 设置为 1 时才允许写入。

## 41.6.52 FDCAN TT 运行控制寄存器(FDCAN\_TTOCN)

偏移地址： 0x0114

复位值： 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LCKC	Reserved	ESCN	NIG	TMG	FGP	GCS	TTIE	TMC[1:0]	RTIE	SWS[1:0]	SWP	ECS	SGT		
r		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:16	Reserved	保留，必需保持复位值。
15	LCKC	TT 操作控制寄存器锁定(TT operation control register Locked) 对寄存器 FDCAN_TTOCN 进行写访问会将此位置 1。更新配置同步到 CAN 时钟域后复位。 0：使能对 FDCAN_TTOCN 的写入访问 1：锁定对 FDCAN_TTOCN 的写入访问
14	Reserved	保留，必需保持复位值。
13	ESCN	外部同步控制(External synchronization control) 若使能此位，FDCAN 会将其周期时间相位同步到由事件触发引脚的上升沿所指示的外部事件(见 41.5.10 章节:与外部时间调度同步). 0：禁止外部同步 1：使能外部同步
12	NIG	下一条是间隙(Next is Gap) 仅当 FDCAN 为实际时间主控节点，并且配置为进行外部事件同步时间触发操作时(FDCAN_TTOCF.GEN = 1)，此位才能置 1。 0：无操作，接收任何参考消息时复位 1：Next_is_Gap =“1”时发送下一条参考消息
11	TMG	时间标记间隙(Time mark Gap) 0：通过每条参考消息复位 1：激活寄存器时间标记中断 FDCAN_TTIR.RTMI 时，开始发送下一条参考消息
10	FGP	结束间隙(Finish Gap) 由 CPU 置 1，通过每条参考消息复位 0：未请求任何参考消息 1：应用请求开始发送参考消息

位域	名称	描述
9	GCS	间隙控制选择(Gap control select) 0: 间隙控制与事件触发无关 1: 通过输入事件触发引脚进行间隙控制
8	TTIE	触发时间标记中断脉冲使能(Trigger time mark interrupt pulse enable) 外部时间标记事件是通过触发存储器元素 TMEX 配置的。当触发存储器元素生效且 FDCAN 处于同步状态 In_Schedule 或 In_Gap 时, 会生成触发时间标记中断脉冲。 0: 禁止触发时间标记中断输出 fdcan_tmp 1: 使能触发时间标记中断输出 fdcan_tmp
7:6	TMC[1:0]	寄存器时间标记比较(Register time mark Compare) 00: 未生成寄存器时间标记中断 01: 如果时间标记 = 周期时间, 则会生成寄存器时间标记中断 10: 如果时间标记 = 本地时间, 则会生成寄存器时间标记中断 11: 如果时间标记 = 全局时间, 则会生成寄存器时间标记中断 <i>注: 更改时间标记参考(周期时间、本地时间、全局时间)时, 建议先写入 TMC = "00", 然后重新配置 FDCAN_TTTMK, 最后将 TMC 设为所需时间参考。</i>
5	RTIE	寄存器时间标记中断脉冲使能(Register time mark interrupt pulse enable) 寄存器时间标记中断由寄存器 FDCAN_TTTMK 配置。当 FDCAN_TTOCN.TMC (周期、本地或全局) 引用的时间等于 FDCAN_TTTMK.TM (与同步状态无关) 时, 将产生一个长度为一个 fdcan_tq_ck 周期的寄存器时间标记中断脉冲。 0: 禁用寄存器时间标记中断输出 1: 启用寄存器时间标记中断输出
4:3	SWS[1:0]	停止监视源(Stop watch source) 00: 停止监视禁用 01: 循环时间的实际值被复制到 FDCAN_TTCPT.SWV 10: 本地时间的实际值被复制到 FDCAN_TTCPT.SWV 11: 全局时间的实际值被复制到 FDCAN_TTCPT.SWV
2	SWP	停止监视极性(Stop watch polarity) 0: 上升沿触发 1: 下降沿触发
1	ECS	外部时钟同步(External clock synchronization) 如果节点是实际时间主站, 则向 ECS 写 1 会设置 FDCAN_TTOST.WECS。一个 APB 时钟周期后, ECS 复位。外部时钟同步在下一个基本周期开始时生效。
0	SGT	设置全局时间(Set global time) 如果节点是实际时间主站, 则向 SGT 写 1 会设置 FDCAN_TTOST.WGDT。1 个 APB 时钟周期后, SGT 复位。全局时间预置在节点发送下一条参考消息时生效, 该参考消息中的 Master_Ref_Mark 被写入 FDCAN_TTGTP 的预置值修改。

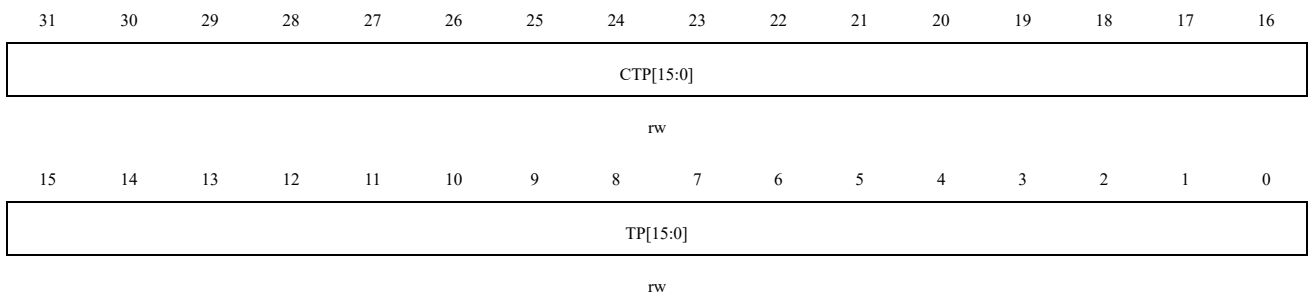
### 41.6.53 FDCAN TT 全局时间预值寄存器(FDCAN\_TTGTP)

偏移地址: 0x0118

复位值: 0x0000 0000

如果设置了 TTOST.WGDT, 则下一条参考报文在发送时, Master\_Ref\_Mark 将被预设值修改, Disc\_Bit = 1, 同时预设所有节点的全球时间。

每次当 Disc\_Bit = 1 的参考报文生效或节点不是当前时间主站时, TP 将被重置为 0x0000。FDCAN\_TTOCN.SGT 位置 1 后, 当 FDCAN\_TTOST.WGTD = 1 时, TP 将被锁定, 直到 Disc\_Bit = 1 的参考报文生效或节点不再是当前时间主站。



位域	名称	描述
31:16	CTP[15:0]	周期时间目标相位(Cycle time target phase) CTP 是受写保护当 FDCAN_TTOCN.ESCN 或 FDCAN_TTOST.SPL 置 1(见 41.5.10 章节:与外部时间调度同步)。 0x0000–FFFF 定义预期事件触发上升沿时周期时间的目标值。
15:0	TP[15:0]	时间预设值(Time Preset) TP 受写保护当 FDCAN_TTOST.WGTD 被置 1。 0x0000–7FFF: 下一主控节点参考标记 = 主控节点参考标记 + TP 0x8000 保留 0x8001–FFFF: 下一主控节点参考标记 = 主控节点参考标记 - (0x10000 - TP)。

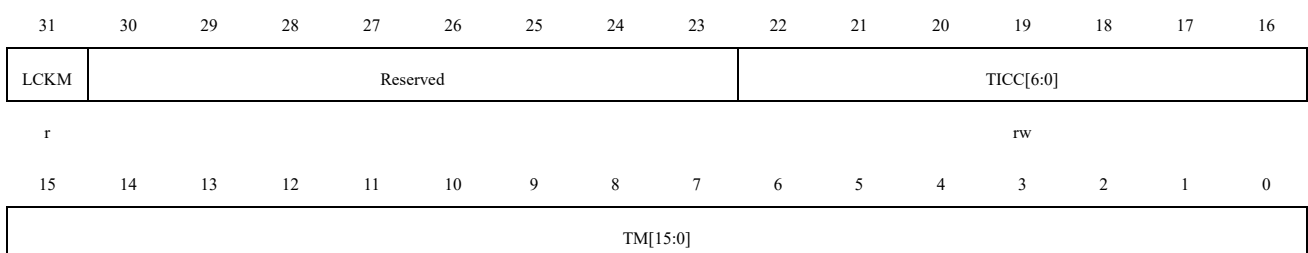
### 41.6.54 FDCAN TT 时间标记寄存器(FDCAN\_TTTMK)

偏移地址: 0x011C

复位值: 0x0000 0000

当 FDCAN\_TTOCN.TMC (周期时间、本地时间或全局时间) 指示的时基与 TM 的值相同时, 将产生时间标记中断 (FDCAN\_TTIR.TMI = 1)。

*注意: 使用字节访问寄存器 FDCAN\_TTTMK 时, 建议首先禁用时间标记比较功能 (FDCAN\_TTOCN.TMC = 00), 以避免对不一致的寄存器值进行比较。*



位域	名称	描述
31	LCKM	TT 时间标记寄存器锁定(TT time mark register Locked) 始终通过对寄存器 FDCAN_TTOCN 进行写访问来置 1。当 FDCAN_TTOCN.TMC 为 00 时，通过向寄存器 FDCAN_TTTMK 进行写访问时置 1。当寄存器同步到 CAN 时钟域时复位。 0：使能对 FDCAN_TTTMK 的写入访问 1：锁定对 FDCAN_TTTMK 的写入访问
30:23	Reserved	保留，必需保持复位值。
22:16	TICC[6:0]	时间标记周期代码(Time mark cycle code) 时间标记有效的周期计数。 0b000000x 对所有周期有效 周期计数 mod2 = c 时，每 2 个周期，0b000001c 有效 周期计数 mod4 = cc 时，每 4 个周期，0b00001cc 有效 周期计数 mod8 = ccc 时，每 8 个周期，0b0001ccc 有效 周期计数 mod16 = cccc 时，每 16 个周期，0b001cccc 有效 周期计数 mod32 = ccccc 时，每 32 个周期，0b01ccccc 有效 周期计数 mod64 = cccccc 时，每 64 个周期，0b1cccccc 有效
15:0	TM[15:0]	时间标记(Time mark) 0x0000–FFFF 时间标记

### 41.6.55 FDCAN TT 中断寄存器(FDCAN\_TTIR)

偏移地址：0x0120

复位值：0x0000 0000

如果检测到其中一个列出的条件（边沿有效），标志会置 1。在主机将标志清零之前，标志保持置 1 状态。通过向对应位位置写入“1”将标志清零。写入“0”则不会带来任何影响。硬复位会将寄存器清零。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved													CER	AW	WT
													rc_w1	rc_w1	rc_w1
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IWTG	ELC	SE2	SE1	TXO	TXU	GTE	GTD	GTW	SWE	TTMI	RTMI	SOG	CSM	SMC	SBC
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

位域	名称	描述
31:19	Reserved	保留，必需保持复位值。
18	CER	配置错误(Configuration error) 触发次序颠倒。

位域	名称	描述
		0: 触发列表中未发现错误 1: 触发列表中发现错误
17	AW	应用看门狗(Application watchdog) 0: 及时处理应用看门狗 1: 未及时处理应用看门狗
16	WT	监视触发(Watch trigger) 0: 未丢失参考消息 1: 丢失参考消息 (0 级: 周期时间 0xFF00)
15	IWTG	初始化监视触发(Initialization watch trigger) 通过复位 IWT 重新开始初始化。 0: 系统启动期间未丢失参考消息 1: 由于参考消息丢失, 系统未启动
14	ELC	错误级别更改(Error level Changed) 如果初始化过程中错误级别发生了变化, 此位不会置 1。 0: 错误级别未更改 1: 错误级别已更改
13	SE2	调度错误 2(Scheduling error 2) 0: 无调度错误 2 1: 发生调度错误 2
12	SE1	调度错误 1(Scheduling error 1) 0: 无调度错误 1 1: 发生调度错误 1
11	TXO	发送计数上溢(Tx count overflow) 0: 发送触发数与预期相同 1: 一个周期中的发送触发数比预期多
10	TXU	发送计数下溢(Tx count underflow) 0: 发送触发数与预期相同 1: 一个周期中的发送触发数比预期少
9	GTE	全局事件错误(Global time error) 同步偏差 SD 超过 FDCAN_TTOCF.LDSDL 指定的限值, 仅限 TTCAN0 级、2 级。 0: 同步偏差在限值范围内 1: 同步偏差超出限值范围
8	GTD	全局时间不连续(Global time discontinuity) 0: 全局时间没有不连续的情况 1: 全局时间不连续
7	GTW	全局时间回卷(Global time wrap) 0: 未发生全局时间回卷 1: 发生了从 0xFFFF 到 0x0000 的全局时间回卷
6	SWE	停止监视事件(Stop watch event) 0: 停止监视触发引脚上未检测到上升沿/下降沿 1: 停止监视触发引脚上检测到上升沿/下降沿
5	TTMI	内部触发时间标记事件(Trigger time mark event internal)

位域	名称	描述
		内部时间标记事件是通过触发存储器元素 TMIN 配置的(见 41.3.7 章节:触发存储器).当触发存储器元素生效、且 FDCAN 处于同步状态 In_Gap 或 In_Schedule 时, 此位会置 1。 0: 未达到时间标记 1: 已达到时间标记 (0 级: 时间标记 FDCAN_TTOCF.IRTO x 0x200)
4	RTMI	寄存器时间标记中断(Register time mark interrupt) 当 TTOCN.TMC (周期、本地或全局) 引用的时间等于 FDCAN_TTTMK.TM 时设置, 与同步状态无关。 0: 未达到时间标记 1: 达到时间标记
3	SOG	间隙开始(Start of Gap) 0: 未发现 Next_is_Gap 位置 1 的参考消息 1: Next_is_Gap 位置 1 的参考消息生效
2	CSM	同步模式更改(Change of synchronization mode) 0: 主控节点与被控节点的关系或调度同步没有变化 1: 主控节点与被控节点的关系或调度同步发生了变化或 FDCAN_TTOST.SPL 位被置 0
1	SMC	矩阵周期开始(Start of matrix cycle) 0: 自位复位后未开始任何矩阵周期 1: 矩阵周期已开始
0	SBC	基本周期开始(Start of basic cycle) 0: 自位复位后未开始任何基本周期 1: 基本周期已开始

### 41.6.56 FDCAN TT 中断使能寄存器 (FDCAN\_TTIE)

偏移地址: 0x0124

复位值: 0x0000 0000

TT 中断使能寄存器中的设置决定了 TT 中断寄存器中的哪些状态更改会产生中断。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved													CERE	AWE	WTE
													rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IWTE	ELCE	SE2E	SE1E	TXOE	TXUE	GTEE	GTDE	GTWE	SWEE	TTMIE	RTMIE	SOGE	CSME	SMCE	SBCE
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:19	Reserved	保留, 必需保持复位值。
18	CERE	配置错误中断使能(Configuration error interrupt enable)



位域	名称	描述
		0: 禁止 TT 中断 1: 使能 TT 中断
17	AWE	应用看门狗中断使能(Application watchdog interrupt enable) 0: 禁止 TT 中断 1: 使能 TT 中断
16	WTE	监视触发中断使能(Watch trigger interrupt enable) 0: 禁止 TT 中断 1: 使能 TT 中断
15	IWTE	初始化监视触发中断使能(Initialization watch trigger interrupt enable) 0: 禁止 TT 中断 1: 使能 TT 中断
14	ELCE	更改错误级别中断使能(Change error level interrupt enable) 0: 禁止 TT 中断 1: 使能 TT 中断
13	SE2E	调度错误 2 中断使能(Scheduling error 2 interrupt enable) 0: 禁止 TT 中断 1: 使能 TT 中断
12	SE1E	调度错误 1 中断使能(Scheduling error 1 interrupt enable) 0: 禁止 TT 中断 1: 使能 TT 中断
11	TXOE	发送计数上溢中断使能(Tx count overflow interrupt enable) 0: 禁止 TT 中断 1: 使能 TT 中断
10	TXUE	发送计数下溢中断使能(Tx count underflow interrupt enable) 0: 禁止 TT 中断 1: 使能 TT 中断
9	GTEE	全局时间错误中断使能(Global time error interrupt enable) 0: 禁止 TT 中断 1: 使能 TT 中断
8	GTDE	全局时间不连续中断使能(Global time discontinuity interrupt enable) 0: 禁止 TT 中断 1: 使能 TT 中断
7	GTWE	全局时间回卷中断使能(Global time wrap interrupt enable) 0: 禁止 TT 中断 1: 使能 TT 中断
6	SWEE	停止监视事件中断使能(Stop watch event interrupt enable) 0: 禁止 TT 中断 1: 使能 TT 中断
5	TTMIE	内部触发时间标记事件中断使能(Trigger time mark event internal interrupt enable) 0: 禁止 TT 中断 1: 使能 TT 中断
4	RTMIE	寄存器时间标记中断使能(Register time mark interrupt enable)

位域	名称	描述
		0: 禁止 TT 中断 1: 使能 TT 中断
3	SOGE	间隙开始中断使能(Start of gap interrupt enable) 0: 禁止 TT 中断 1: 使能 TT 中断
2	CSME	同步模式更改中断使能(Change of synchronization mode interrupt enable) 0: 禁止 TT 中断 1: 使能 TT 中断
1	SMCE	矩阵周期开始中断使能(Start of matrix cycle interrupt enable) 0: 禁止 TT 中断 1: 使能 TT 中断
0	SBCE	基本周期开始中断使能(Start of basic cycle interrupt enable) 0: 禁止 TT 中断 1: 使能 TT 中断

### 41.6.57 FDCAN TT 中断线选择寄存器(FDCAN\_TTILS)

偏移地址: 0x0128

复位值: 0x0000 0000

TT 中断线路选择寄存器将 TT 中断寄存器中的特定中断标志所产生的中断分配给两条模块中断线路中的一条。要产生中断, 必须通过 FDCAN\_ILE.EINT0 和 FDCAN\_ILE.EINT1 启用相应的中断线路。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved													CERL	AWL	WTL
													rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IWTL	ELCL	SE2L	SE1L	TXOL	TXUL	GTEL	GTDL	GTWL	SWEL	TTMIL	RTMIL	SOGL	CSML	SMCL	SBCL
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:19	Reserved	保留, 必需保持复位值。
18	CERL	配置错误中断线(Configuration error interrupt Line) 0: 分配给中断线 0 的 TT 中断 1: 分配给中断线 1 的 TT 中断
17	AWL	应用看门狗中断线(Application watchdog interrupt Line) 0: 分配给中断线 0 的 TT 中断 1: 分配给中断线 1 的 TT 中断
16	WTL	监视触发中断线(Watch trigger interrupt Line) 0: 分配给中断线 0 的 TT 中断 1: 分配给中断线 1 的 TT 中断

位域	名称	描述
15	IWTL	初始化监视触发中断线(Initialization watch trigger interrupt Line) 0: 分配给中断线 0 的 TT 中断 1: 分配给中断线 1 的 TT 中断
14	ELCL	更改错误级别中断线(Change error level interrupt Line) 0: 分配给中断线 0 的 TT 中断 1: 分配给中断线 1 的 TT 中断
13	SE2L	调度错误 2 中断线(Scheduling error 2 interrupt Line) 0: 分配给中断线 0 的 TT 中断 1: 分配给中断线 1 的 TT 中断
12	SE1L	调度错误 1 中断线(Scheduling error 1 interrupt Line) 0: 分配给中断线 0 的 TT 中断 1: 分配给中断线 1 的 TT 中断
11	TXOL	发送计数上溢中断线(Tx count overflow interrupt Line) 0: 分配给中断线 0 的 TT 中断 1: 分配给中断线 1 的 TT 中断
10	TXUL	发送计数下溢中断线(Tx count underflow interrupt Line) 0: 分配给中断线 0 的 TT 中断 1: 分配给中断线 1 的 TT 中断
9	GTEL	全局时间错误中断线(Global time error interrupt Line) 0: 分配给中断线 0 的 TT 中断 1: 分配给中断线 1 的 TT 中断
8	GTDL	全局时间不连续中断线(Global time discontinuity interrupt Line) 0: 分配给中断线 0 的 TT 中断 1: 分配给中断线 1 的 TT 中断
7	GTWL	全局时间回卷中断线(Global time wrap interrupt Line) 0: 分配给中断线 0 的 TT 中断 1: 分配给中断线 1 的 TT 中断
6	SWEL	停止监视事件中断线(Stop watch event interrupt Line) 0: 分配给中断线 0 的 TT 中断 1: 分配给中断线 1 的 TT 中断
5	TTMIL	内部触发时间标记事件中断线(Trigger time mark event internal interrupt Line) 0: 分配给中断线 0 的 TT 中断 1: 分配给中断线 1 的 TT 中断
4	RTMIL	寄存器时间标记中断线(Register time mark interrupt Line) 0: 分配给中断线 0 的 TT 中断 1: 分配给中断线 1 的 TT 中断
3	SOGL	间隙开始中断线(Start of gap interrupt Line) 0: 分配给中断线 0 的 TT 中断 1: 分配给中断线 1 的 TT 中断
2	CSML	同步模式更改中断线(Change of synchronization mode interrupt Line) 0: 分配给中断线 0 的 TT 中断 1: 分配给中断线 1 的 TT 中断

位域	名称	描述
1	SMCL	矩阵周期开始中断线(Start of matrix cycle interrupt Line) 0: 分配给中断线 0 的 TT 中断 1: 分配给中断线 1 的 TT 中断
0	SBCL	基本周期开始中断线(Start of basic cycle interrupt Line) 0: 分配给中断线 0 的 TT 中断 1: 分配给中断线 1 的 TT 中断

### 41.6.58 FDCAN TT 运行状态寄存器(FDCAN\_TTOST)

偏移地址: 0x012C

复位值: 0x0000 0080

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SPL	WECS	AWE	WFE	GSI	TMP[2:0]			GFI	WGTD	Reserved					
r	r	r	r	r	r			r	r						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTO[7:0]								QCS	QGTP	SYS[1:0]	MSI[1:0]	EL[1:0]			
r								r	r	r	r	r			

位域	名称	描述
31	SPL	调度相位锁定(Schedule phase lock) 只有使能外部同步 (FDCAN_TTCN.ESCN = 1) 时, 该位才有效。在这种情况下, 它表示 FDCAN_TTGP.CTP 配置的周期时间与事件触发引脚上升沿的周期时间之差小于或等于 9 NTU (见 41.5.10 章节:与外部时间调度同步)。 0: 相位超出范围 1: 相位在范围内
30	WECS	等待外部时钟同步(Wait for external clock synchronization) 0: 无外部时钟同步挂起 1: 节点等待外部时钟同步生效。此位会在下一基本周期开始时复位。
29	AWE	应用看门狗事件(Application watchdog event) 应用程序看门狗通过读取 FDCAN_TTOST 进行处理。当未及时处理看门狗时, 位 AWE 被置 1, 所有 FDCAN 通信停止, FDCAN 进入总线监控模式。 0: 应用程序看门狗及时处理 1: 应用程序看门狗未及时处理
28	WFE	等待事件(Wait for event) 0: 未发布间隙, 由 Next_is_Gap =“0”的参考消息复位 1: 接收到 Next_is_Gap =“1”的参考消息
27	GSI	间隙开始指示符(Gap started Indicator) 0: 调度中没有间隙, 由每条参考消息复位, 用于所有时间被控节点 1: 基本周期开始后的间隙时间
26:24	TMP[2:0]	时间主控节点优先级(Time master priority)

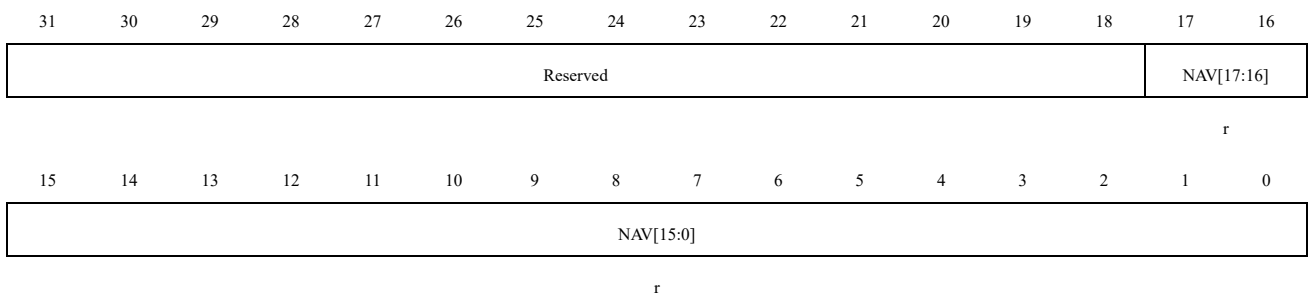
位域	名称	描述
		0x0-7 实际时间主控节点的优先级
23	GFI	间隙结束指示符(Gap finished Indicator) 在 CPU 向 FDCAN_TTOCN.FGP 进行写操作时置 1, 或在 FDCAN_TTOCN.TMG = 1 时通过时间标记中断置 1, 或在 FDCAN_TTOCN.GCS = 1 时通过输入引脚 (事件触发器) 置 1。不会由 Ref_Trigger_Gap 置 1, 间隙由另一发送参考消息的节点结束时也不会置 1。 0: 在每个参考信息结束时复位 1: 间隙由 FDCAN 结束
22	WGTD	等待全局时间不连续(Wait for global time discontinuity) 0: 没有全局时间预设挂起 1: 节点等待全局时间预设生效 节点已发送 Disc_Bit="1"的参考消息或接收到参考消息后, 此位会复位。
21:16	Reserved	保留, 必需保持复位值。
15:8	RTO[7:0]	参考触发偏移(Reference trigger offset) 参考触发偏移值是一个带符号整数, 范围为 -127 (0x81) 至 127(0x7F)。达到下限 -127 时不会发出通知。如果 FDCAN 成为时间主站 (MS[1:0] = 11), 由于主机和 CAN 时钟域之间的同步, RTO 的复位会延迟。对于时间从站, 将读取 FDCAN_TTOCF.IRTO 配置的值。 0x00-FF 实际参考触发偏移值
7	QCS	时钟速度质量(Quality of clock Speed) 仅在 TTCAN 0 级和 2 级中有意义, 否则会固定为“1”。 0: 本地时钟速度未同步到时间主控节点时钟速度 1: 同步偏差 ≤ SDL
6	QGTP	全局时间相位质量(Quality of global time phase) 仅在 TTCAN 0 级和 2 级中有意义, 否则会固定为“0”。 0: 全局时间无效 1: 全局时间与时间主控节点同相
5:4	SYS[1:0]	同步状态(Synchronization state) 00: 不同步 01: 同步到 FDCAN 通信 10: 调度被间隙挂起(In_Gap) 11: 同步到调度(In_Schedule)
3:2	MS[1:0]	主控节点状态(Master state) 00: Master_Off, 无任何相关主控节点属性 01: 作为时间被控节点工作 10: 作为备份时间主控节点工作 11: 作为当前时间主控节点工作
1:0	EL[1:0]	错误级别(Error level) 00: 严重程度 0 - 无错误 01: 严重程度 1 - 警告 10: 严重程度 2 - 错误 11: 严重程度 3 - 严重错误

### 41.6.59 FDCAN TUR 分子实际寄存器(FDCAN\_TURNA)

偏移地址：0x0130

复位值：0x0001 0000

在 TTCAN 1 级中没有漂移补偿 (NAV=NC)。在 TTCAN 0 级和 2 级中，计算节点本地时钟和时间主站本地时钟之间的漂移。当同步偏差 (NC 与计算出的 NAV 之间的差值) 小于  $2^{(FDCAN\_TTOCF.LDSDDL + 5)}$  时，漂移将得到补偿。当  $FDCAN\_TTOCF.LDSDDL < 7$  时，NAV 的最大范围为  $(NC - 0x1000) \leq NAV \leq (NC + 0x1000)$ 。

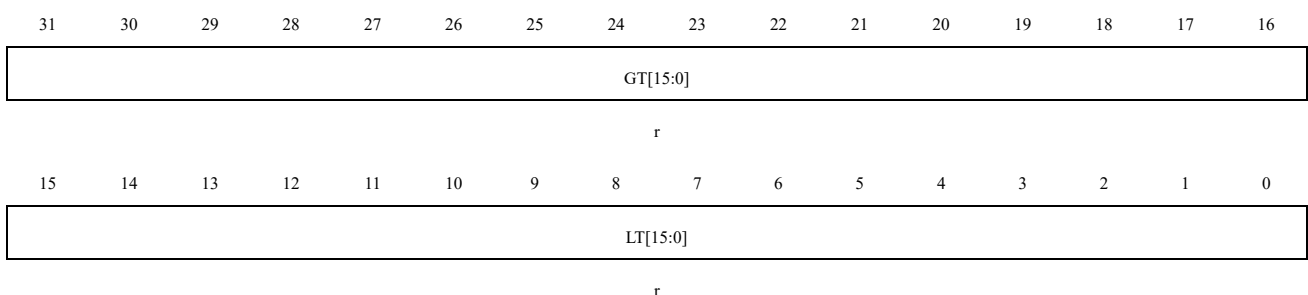


位域	名称	描述
31:18	Reserved	保留，必需保持复位值。
17:0	NAV[17:0]	分子实际值(Numerator actual value) 0x0EFFF：非法值 0x0F000-20FFF：实际分子值 0x21000：非法值

### 41.6.60 FDCAN TT 本地和全局时间寄存器(FDCAN\_TTLGT)

偏移地址：0x0134

复位值：0x0000 0000



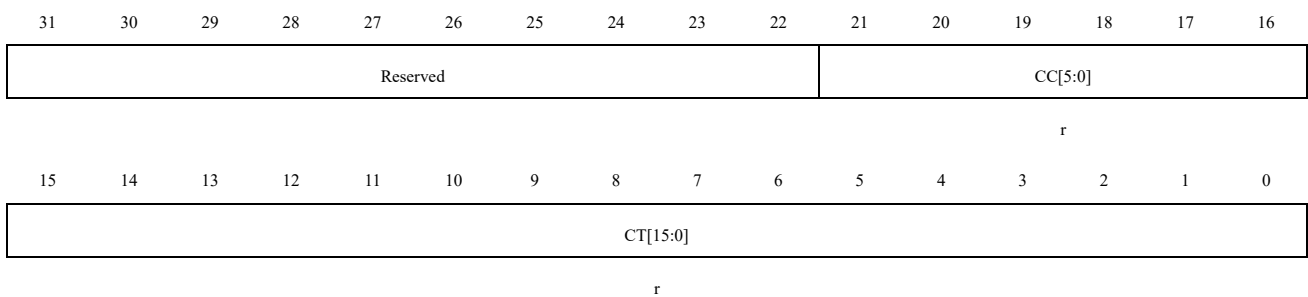
位域	名称	描述
31:16	GT[15:0]	全局时间(Global time) 节点本地时间与其本地偏移之和的非小数部分(见 41.5.5 章节：本地时间、周期时间、全局事件和外部时钟同步)。

位域	名称	描述
		0x0000~FFFF FDCAN 网络的全局时间值
15:0	LT[15:0]	本地时间(Local time) 本地时间的非小数部分,每隔一个本地 NTU 递增一次(见 41.5.5 章节:本地时间、周期时间、全局事件和外部时钟同步)。 0x0000~FFFF FDCAN 节点的本地时间值

### 41.6.61 FDCAN TT 周期时间和计数寄存器(FDCAN\_TTCTC)

偏移地址: 0x0138

复位值: 0x003F 0000

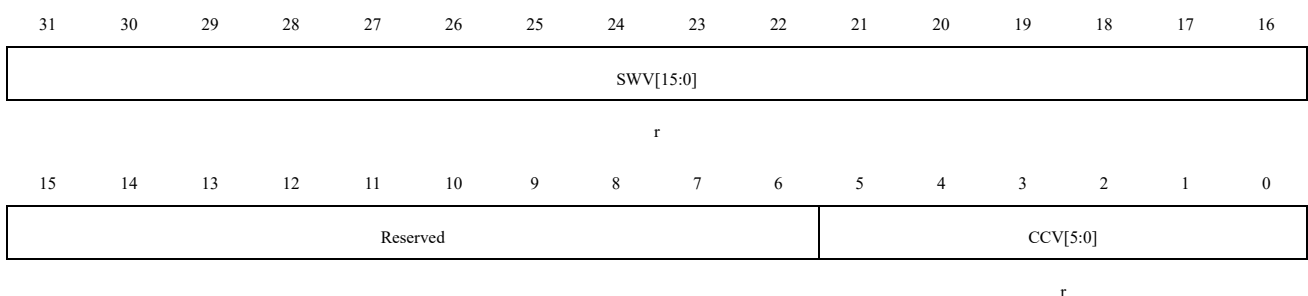


位域	名称	描述
31:18	Reserved	保留, 必需保持复位值。
21:16	CC[5:0]	周期计数(Cycle count) 0x00~3F 系统矩阵中的实际基本周期计数
15:0	CT[15:0]	周期时间(Cycle time) 节点本地时间与 Ref_Mark 之差的非小数部分(见 1.5.5 章节:本地时间、周期时间、全局事件和外部时钟同步)。 0x0000~FFFF: FDCAN 基本周期的周期时间值

### 41.6.62 FDCAN TT 捕获时间寄存器(FDCAN\_TTCPT)

偏移地址: 0x013C

复位值: 0x0000 0000

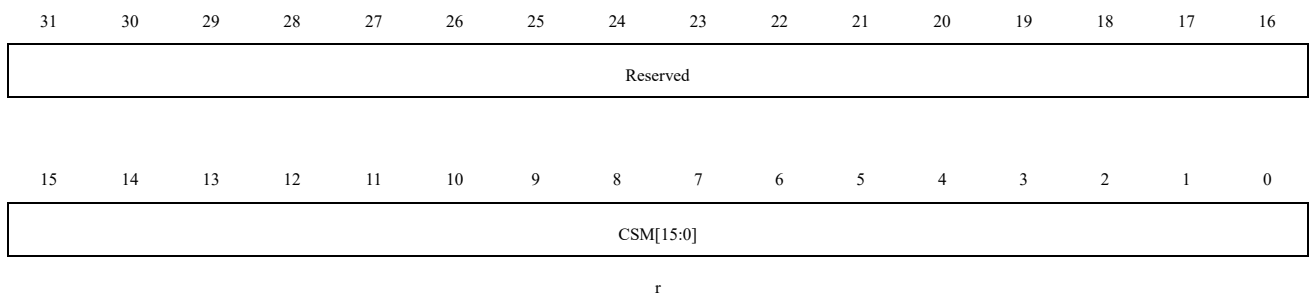


位域	名称	描述
31:16	SWV[15:0]	停止监视值(Stop watch value) 在停止监视触发引脚出现上升/下降沿时(通过 FDCAN_TTOCN.SWP 配置),当 FDCAN_TTOCN.SWS 与 00 不同且 FDCAN_TTIR.SWE 为 0 时, FDCAN_TTOCN.SWS (周期、本地、全局)选择的实际时间值将被复制到 SWV, TFDCAN_TIR.SWE 将被设置为 1。通过复位 FDCAN_TTIR.SWE, 可以捕捉下一个停止监视值。 0x0000-FFFF 捕获的停止监视值
15:6	Reserved	保留, 必需保持复位值。
5:0	CCV[5:0]	周期计数值(Cycle count value) 与 SWV 一起捕获的周期计数值。 0x00-3F: 捕获的周期计数值

### 41.6.63 FDCAN TT 周期同步标记寄存器(FDCAN\_TTCSM)

偏移地址: 0x0140

复位值: 0x0000 0000

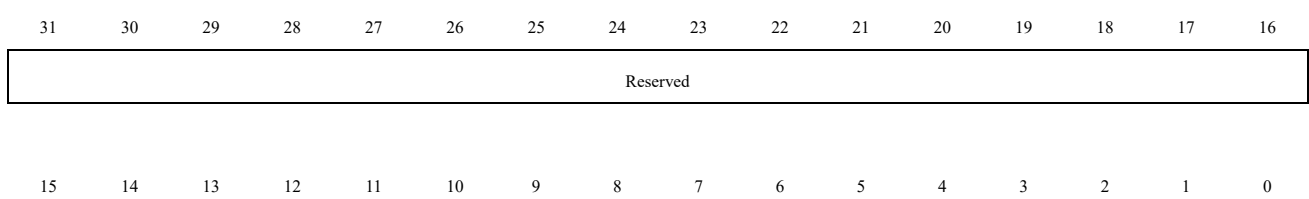


位域	名称	描述
31:16	Reserved	保留, 必需保持复位值。
15:0	CSM[15:0]	周期同步标记(Cycle sync mark) 周期同步标记以周期时间为单位进行测量。当参考消息生效时, 此位会更新, 并会在下一参考消息生效之前保持其值。 0x0000-FFFF: 捕获的周期时间

### 41.6.64 FDCAN 外部信号选择寄存器(FDCAN\_TTSS)

偏移地址: 0x144

复位值: 0x0000 0000





Reserved	RAMSEL	TS_EN	TS_SEL[2:0]	Reserved	SEVT[1:0]	SSWT[1:0]
	rw	rw	rw		rw	rw

位域	名称	描述
31:10	Reserved	保留，必需保持复位值。
9	RAMSEL	消息 RAM 选择(Message RAM select): 0: 选择 SRAM5 BANK1: 0x30050000 作为 FDCAN 基地址。 1: 选择 SRAM5 BANK2: 0x30054000 作为 FDCAN 基地址。 <i>注意: 同时使用多个 FDCAN 时, 均匀选择 SRAM BANK1/2 可以提高 FDCAN 执行效率。</i>
8	TS_EN	外部时间戳使能 (External timestamp vector enable) 0: 禁用外部时间戳 1: 使能外部时间戳
7:5	TS_SEL[2:0]	外部时间戳时钟分频 (Select external timestamp's clock divided) 000: 时间戳时钟 4 分频 001: 时间戳时钟 8 分频 010: 时间戳时钟 16 分频 011: 时间戳时钟 32 分频 100: 时间戳时钟 64 分频 101: 时间戳时钟 128 分频 110: 时间戳时钟 256 分频 111: 时间戳时钟 512 分频
4	Reserved	保留，必需保持复位值。
3:2	SEVT[1:0]	选择 EVT(Select EVT) 0: 选择 EVT[0] 1: 选择 EVT[1] 2: 选择 EVT[2] 3: 选择 EVT[3]
1:0	SSWT[1:0]	选择 SWT(Select SWT) 0: 选择 SWT[0] 1: 选择 SWT[1] 2: 选择 SWT[2] 3: 选择 SWT[3]

## 42 DSI 主机 (DSI)

### 42.1 介绍

DSI-2 控制器内核提供了一种灵活、高性能、易于使用的移动行业处理器接口 (MIPI) 显示串行接口 (DSI-2) 控制器。

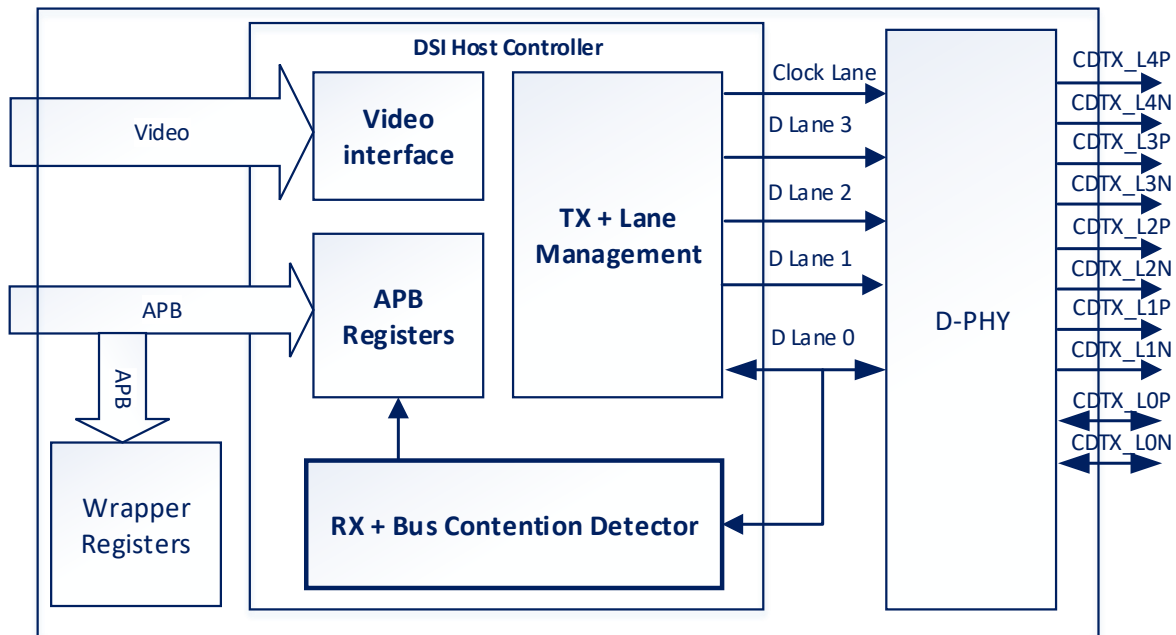
### 42.2 主要功能

DSI-2 支持的主要功能如下所示:

- 实现三个 DSI-2 层 (像素到字节打包、底层协议、通道管理)
- 支持 2048x1536 @30Hz
- 支持输入数据格式: RGB888/666/666 (loosely) /565
- 支持视频模式
- 可扩展的数据通道支持, 1 到 4 个数据通道
  - ◆ 通道 0 支持双向通信
- 支持高速 (2.5 Gbit/s) D-PHY 操作
- 支持虚拟通道
- 支持 ULPS 模式
- 支持连续和非连续时钟通道操作
- 支持每次传输多个数据包
- 支持所有三种视频模式的数据包序列
  - ◆ 同步脉冲非突发模式
  - ◆ 同步事件非突发模式
  - ◆ 突发模式

## 42.3 功能框图

图 42-1 MIPI DSI Wrapper 架构



DSI 主机控制器与 LCDC 深度集成，DSI 主机控制器依赖从 LCDC 获取像素数据和视频同步信号，在 DSI 主机控制器中存在两种接口：

- 视频接口：用于在视频模式下 DSI 主机控制器从 LCDC 捕获实时像素数据流和视频同步信号
- APB 接口：
  - ◆ Wrapper 寄存器接口：通过该接口实现通道交换、PLL 配置、参考时钟配置、PHY 时序参数配置等相关的 PHY 控制。此外，还需要进行 skew calibration 以及中断控制。
  - ◆ APB 寄存器接口：用于访问 DSI 主机控制器寄存器进行配置和控制、并使用 APB 寄存器构建 DCS 和通用指令模式数据包

## 42.4 工作模式

MIPI DSI 主机控制器支持指令模式和视频模式（突发模式、使用同步脉冲的非突发模式、使用同步事件的非突发模式）。

- 视频模式：通过高速链路传输由 LCDC 生成的 RGB 像素数据和相关同步信号。视频接口捕获 LCDC 输出的 RGB 像素数据和同步信号，并将它们传输至内部 FIFO 接口，然后通过 DSI 链路传输数据包。这种连续刷新是连接无图形 RAM 的显示屏的最佳方式。
- APB 指令模式：DSI 主机通过 APB 接口传输和接收 DSI-2 数据包。APB 数据包接口用于低数据速率的应用，例如设置配置寄存器值和检查显示设备状态。APB 数据包接口的主要特性包括：
  - ◆ 支持所有数据类型，长数据包和短数据包
  - ◆ 发送、总线周转和接收
  - ◆ 高速或低功耗数据包传输

## 42.5 DSI-2 主机视频接口

LCDC 与 DSI 相结合，将 LCDC 输出的像素流直接输入到 DSI-2 主机控制器视频接口，然后将其传输到 DSI 主机控制器的内部 FIFO 接口，FIFO 接口将其传输到 DSI 链路。下表显示了 LCDC 输出的像素数据到 Video 输入接口的映射。

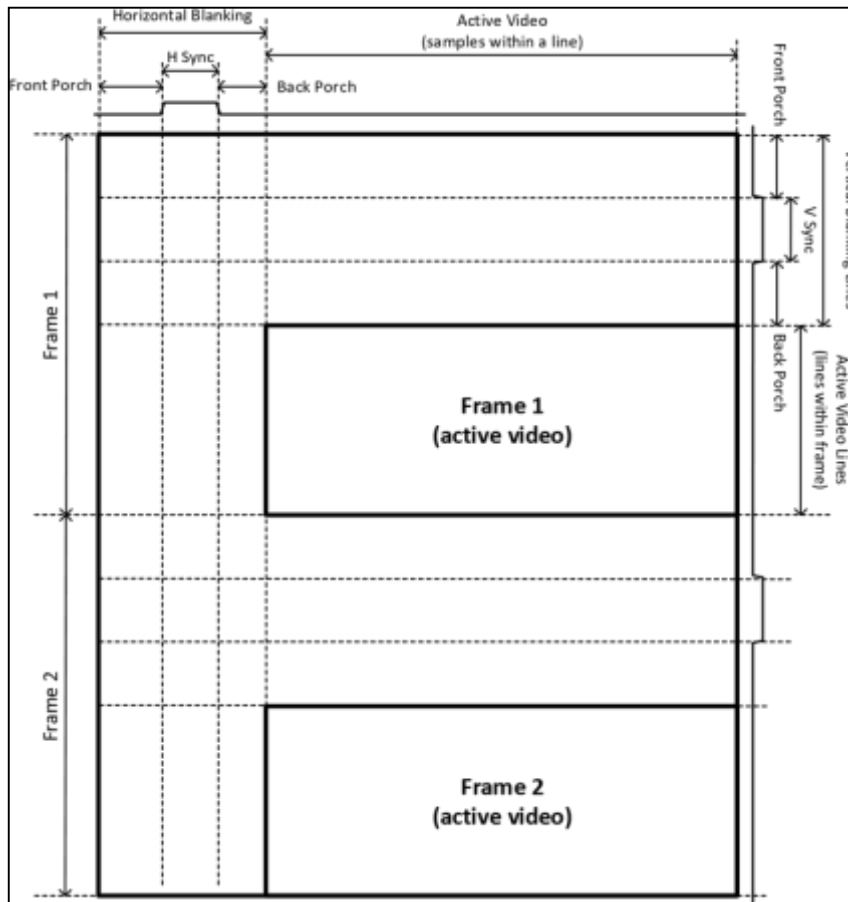
表 42-1 DSI-2 主机视频接口输入像素格式

Data Type	Video input from LCDC																														
	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0							
18-bit RGB565 packet format (0x0E)	RED[4:0]				GREEN[5:0]					BLUE[4:0]																					
18-bit RGB666 packet format (0x1E/0x2E)	RED[5:0]					GREEN[5:0]					BLUE[5:0]																				
24-bit RGB888 Format (0x3E)	RED[7:0]							GREEN[7:0]							BLUE[7:0]																

由于芯片内部直接将 LCDC 输出连接到 MIPI DSI 视频接口，所以直接从 LCDC 输入的像素数据格式是 RGB888，如果想要减少 DSI 链路视频带宽，可以配置更小的像素大小，但是图像质量会受到影响。

### 42.5.1 DSI-2 主机视频时序

输入 DSI-2 视频接口的图像数据使用水平同步信号（HSA）、水平后廊（HBP）、水平前廊（HFP）和垂直同步信号（VSA）、垂直后廊（VBP）、垂直前廊（VFP）实现图像数据同步。DSI-2 视频接口可配置水平同步信号（HSA）、垂直同步信号（VSA）极限为正同步或负同步。下图显示了同步信号与活动视频之间的同步和间隔（消隐）。

**图 42-2 DSI-2 主机视频时序**


下表描述了在 MIPI 接口上的每个事件。

**表 42-2 DSI-2 主机视频接口视频事件**

缩写	事件	描述
HFP	水平同步前廊时间	上一次活动视频或垂直同步与水平同步脉冲之间的时间
HSA	水平同步有效时间	水平同步脉冲的宽度
HBP	水平同步后廊时间	从水平同步脉冲下降沿到活动视频开始的时间
HACT	水平有效视频时间	活动视频行的开始和结束之间的时间
VFP	垂直同步前廊时间	垂直同步脉冲上升前的行数
VSA	垂直同步有效时间	垂直同步脉冲的行宽度
VBP	垂直同步后廊时间	垂直同步脉冲下降到具有活动视频的帧开始之间的行数
VACT	垂直有效视频时间	活动视频行数

上表中的这些事件的时序参数值可以在 Video 接口采样自动设置或者通过手动设置。

#### 42.5.1.1 自动设置时序参数

DSI 主机控制器 Video 接口捕获从 LCDC 输出的第一帧图像中的时序参数值来自动设置时序参数，之后持续捕获更新，因此第一帧之后任意帧之间的时序变化都会被 DSI 主机控制器捕获并自动更新时序参数。该模式下由于第一帧图像数据的时序参数未知，所以 Video 接口接收到的第一帧图像数据不会传输到 DSI 链路。可通过清零 VID\_OVERRIDE 寄存器中的 OVERRIDE 位使能该功能。

### 42.5.1.2 手动设置时序参数

通过编程 DSI 主机控制器寄存器中的 VID\_HFP、VID\_HBP、VID\_HSW、VID\_VBP、VID\_VFP、VID\_VACT 寄存器设置时序参数，其中 VID\_HFP、VID\_HBP 和 VID\_HSA 定义视频消隐数据包的有效载荷字节数，可通过置位 VID\_OVERRIDE 寄存器中的 OVERRIDE 位使能该功能，由于时序参数已经手动设置，所以 Video 接口接收到的第一帧图像会被传输到 DSI 链路，且每帧图像的时序参数基本一致。

水平时序参数的设置反映了 HFP、HBP 和 HSA 需要发送的 DSI-2 数据包字节数的大小，使得传输所需的绝对时间与视频事件在视频接口上所花费的绝对时间大致相同。要将视频接口上的 HFP、HBP 和 HSA 与 DSI-2 数据包字节关联起来，请使用以下关系：

$$\text{Time of video event} = \text{time to transmit } \langle x \text{ number of bytes} \rangle \text{ on the DSI-2 interface}$$

所以， $\text{number\_of\_DSI-2\_bytes} = \text{vid\_event\_size} * \text{vid\_clk\_period} * \text{DSI\_NUMLANES} * \text{MIPI line rate in bytes per second}$

在下列定义适用的情况下：

- $\text{number\_of\_DSI-2\_bytes}$  = 视频事件中涉及的 [VID\_HFP (HBP 或 HSA)、数据包头、数据包 CRC] 字节的值
- $\text{vid\_event\_size}$  = 视频事件 (HFP、HBP、HSA) 的大小，以视频接口时钟周期为单位
- $\text{vid\_clk\_period}$  =  $\text{vid\_clk}$  周期
- $\text{MIPI line rate}$  = 高速模式下 MIPI 数据通道的字节周期

例如，在使用 DSI-2 控制器“同步脉冲非突发模式”近似 Hsync 视频事件时，会有 3 个数据包头 (Hsync 开始、Hsync 消隐和 Hsync 结束)，每个 4 字节，以及 1 个 Hsync 消隐 CRC，2 字节。VID\_HSA 值仅计算 Hsync 消隐有效负载，VID\_HBP 值仅计算 HBP 消隐有效负载，VID\_HFP 值仅计算 HFP 消隐有效负载。

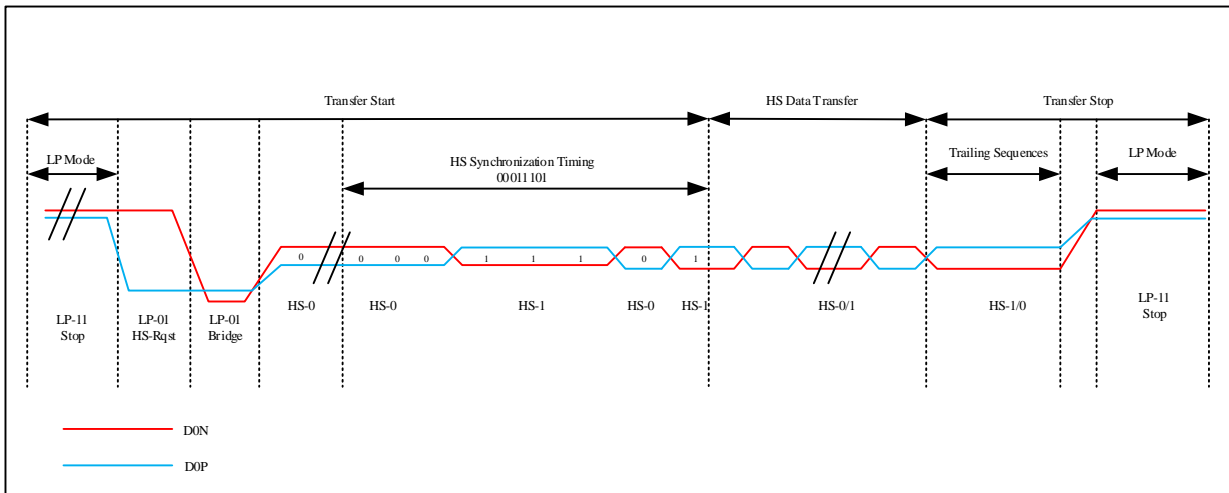
根据控制器和 PHY 的组合视频分辨率，对 VID\_HSA，VID\_HBP 和 VID\_HFP 使用的值有一定限制。

- 对于同步脉冲的非突发模式，每行视频的数据包传输顺序为 {Hsync 开始，Hsync 消隐，Hsync 结束，HBP，视频数据，HFP}
- 对于同步事件的非突发模式，每行视频的数据包传输顺序为 {Hsync 开始，HBP，视频数据，HFP}
- 对于突发模式，每行视频的数据包传输顺序为 {Hsync 开始，HBP，视频数据，消隐/低功耗，HFP}

高速传输始于并结束于停止状态 (LP-11)。为了实现主机与显示屏之间的同步，需要添加头标和尾标序列。在接收器侧，它们会被移除，因为它们不属于实际有效负载数据。具体流程如下：

1. 传输开始 (SoT) 流程：在收到 HS 请求 (LP-11, LP-01, LP-00) 时，数据通道进入 HS 模式。主机首先驱动头标序列 (HS-0)，然后驱动 HS 同步序列 Sync Symbol Sequence (SSS: 00011101) 以允许设备同步，然后主机继续传输 HS 数据
2. 传输结束 (EoT) 流程：在 HS 数据传输完成后，主机发送尾标序列 (尾标序列与传输的最后一个数据位相反：如果最后一个有效负载位是 HS-0，那么发射器发送 HS-1 作为尾标序列，否则发送 HS-0)。数据通道通过停止状态 LP-11 返回控制模式

图 42-3 DSI-2 主机视频接口高速数据传输模式



上图中的同步符号序列（Sync Symbol Sequence, SSS）是用于数据通道同步和时序管理的关键部分，尤其在 LP（Low-Power）模式到 HS（High-Speed）模式切换时。HS 传输前发送 Sync Symbol Sequence 主要用于帮助接收端锁定 HS 时钟，实现时钟同步和多数数据通道时通道时序对齐。SSS 是 MIPI DSI 物理层的同步符号序列，用于维持通道同步和抗干扰。它们不由应用层直接控制，而是在数据包组装完成后由物理层自动插入：

- 短包：在 Packet Header 1 和 Header 2 之间插入 SSS
- 长包：在 Packet Header 1 和 Header 2 之间插入 SSS，并在 Header 2 之后再次插入 SSS

SSS 虽然不直接参与数据包长度计算，但它们会占用实际的传输时间，因此需要从时序参数(HSA/HBP/HFP)中减去，如果不减去 SSS 时间，实际 HSA/HBP/HFP 的持续时间会超出预期，可能导致屏幕显示异常。因此 number\_of\_DSI-2\_bytes 计算公式调整为：

$$\text{number\_of\_DSI-2\_bytes} = (\text{vid\_event\_size} * \text{vid\_clk\_period} - \langle \text{sets of SSS} * 2 \text{ bytes/MIPI line rate in bytes per second} \rangle) * \text{DSI\_NUMLANES} * \text{MIPI line rate in bytes per second}$$

具体调整如下：

1. 计算 SSS 字节的总数（根据包类型确定插入次数）
2. 根据 MIPI 速率（Lane Rate）计算传输 SSS 所需的时间
3. 从 HAS/HBP/HFP 的时序中减去 SSS\_time

例如：传输长数据包，Header 1 和 Header 2 之间插入 2 字节 SSS，Header 2 后再插入 2 字节 SSS，总计 4 字节 SSS，MIPI 速率：1 Gbps/lane（即每纳秒传输 1 bit），SSS 时间为 32ns，若 HSA 设计为 100ns，需要将 HAS 调整为 100-32=68ns。

## 42.5.2 视频模式

DSI Host 控制器支持的视频模式如下：

- Burst 模式
- Non-Burst 模式
  - ◆ 同步脉冲 Non-Burst 模式

◆ 同步事件 Non-Burst 模式

在每个水平事件（水平同步宽度以及同步信号和有效视频之间的时间）之间的时间内，DSI-2 协议支持发送 blanking 数据包或将 MIPI 接口返回到低功耗模式（LP 模式），以节省功耗并允许发送其他非视频数据包。对于不包含有效视频的行，HBP、HACT 和 HFP 被组合成所谓的 BLLP（Blanking 或 LP）。不同的视频模式（VID\_VIDEOMOD）和 BLLP 模式设置（VID\_BLLPMOD）支持的 blanking 和 LP 组合，请参见下表。

表 42-3 Blanking 数据包组合

VID_VIDEOMOD	VID_BLLPMOD	Active Video Line	HSA	HBP	HACT	HFP
				BLLP (HBP+HACT+HFP)		
SYNC_PULSE	0	NO	BLANK	Blank		
		YES		BLANK	VIDEO	BLANK
	1	NO		LP		
		YES		BLANK	VIDEO	BLANK
SYNC_EVENT	0	NO	No HSA in mode	BLANK		
		YES		BLANK	VIDEO	BLANK
	1	NO		LP		
		YES		BLANK	VIDEO	BLANK
BURST_MODE	0	NO	No HSA in mode	BLANK		
		YES		BLANK	VIDEO	BLANK
	1	NO		LP		
		YES		BLANK	VIDEO	LP

对于一帧视频的最后五行，BLLP 始终是 LP。DSI-2 规范允许在最后一行的 LP 转换之前发送 blanking 数据包，但 DSI-2 主控制器不会发送它，以便在 LP 期间为其他非视频包的传输留出更多时间。

### 42.5.2.1 Non-Burst 模式

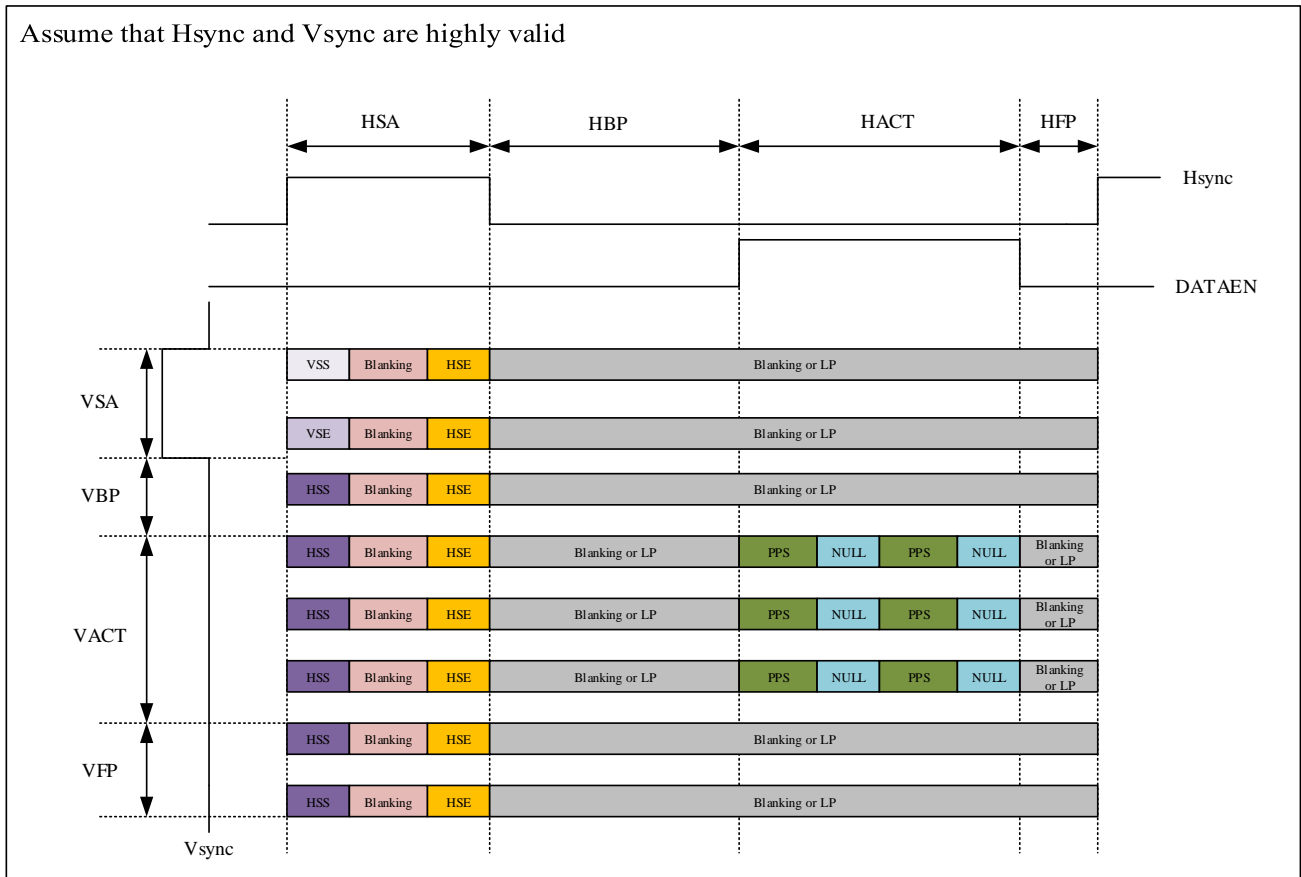
在此模式下，处理器使用 DSI 主机控制器的分区属性将视频行传输划分为多个 DSI 数据包，因此 DSI 主机控制器不需要在 Video 接口 FIFO 中存储整行像素数据，只需要一个视频包的数据。由于在整个活动视频行周期内 DSI 链路不允许进入低功耗模式，所以需要 LCDC 输出像素带宽与 DSI 链路带宽严格匹配。例如：如果视频输入为 RGB888（每像素 3 字节，一个视频时钟一个像素），MIPI 接口为 4 Lane，频率为 187.5MHz（每 MIPI 时钟 4 字节），则视频接口输入像素时钟需要达到  $187.5\text{MHz} * 4 / 3 = 250\text{MHz}$  才能匹配 MIPI 接口带宽。

### 同步脉冲的非突发模式

同步脉冲的非突发模式使外设能够精确地重建原始视频时序，包括同步脉宽。使用同步脉冲的非突发模式下的帧时序图如下。



图 42-4 同步脉冲的非突发模式下的帧



HSA (Hsync 激活) 周期由 HSS (Hsync 开始)、消隐和 HSE (Hsync 结束) 数据包组成。此区域中的数据包包以高速模式传输, HSA 周期内链路不进入 LP。DSI 主机自动计算消隐包的大小, 以匹配 HSS 和 HSE 包之间的 HSA 时间周期。

当 DSI 主机检测到 Vsync 上升沿时, DSI 主机发送 VSS 数据包而不是 HSS 数据包启动 HSA 周期。当检测到 Vsync 下降沿时, DSI 主机发送 VSE 数据包而不是 HSS 数据包标记 VSA 周期结束。VSA 区域内的其他行以 HSS 数据包开头。在 VACT 周期以外, 链路在 HSA 周期后进入 LP 模式, 直至水平行结束。

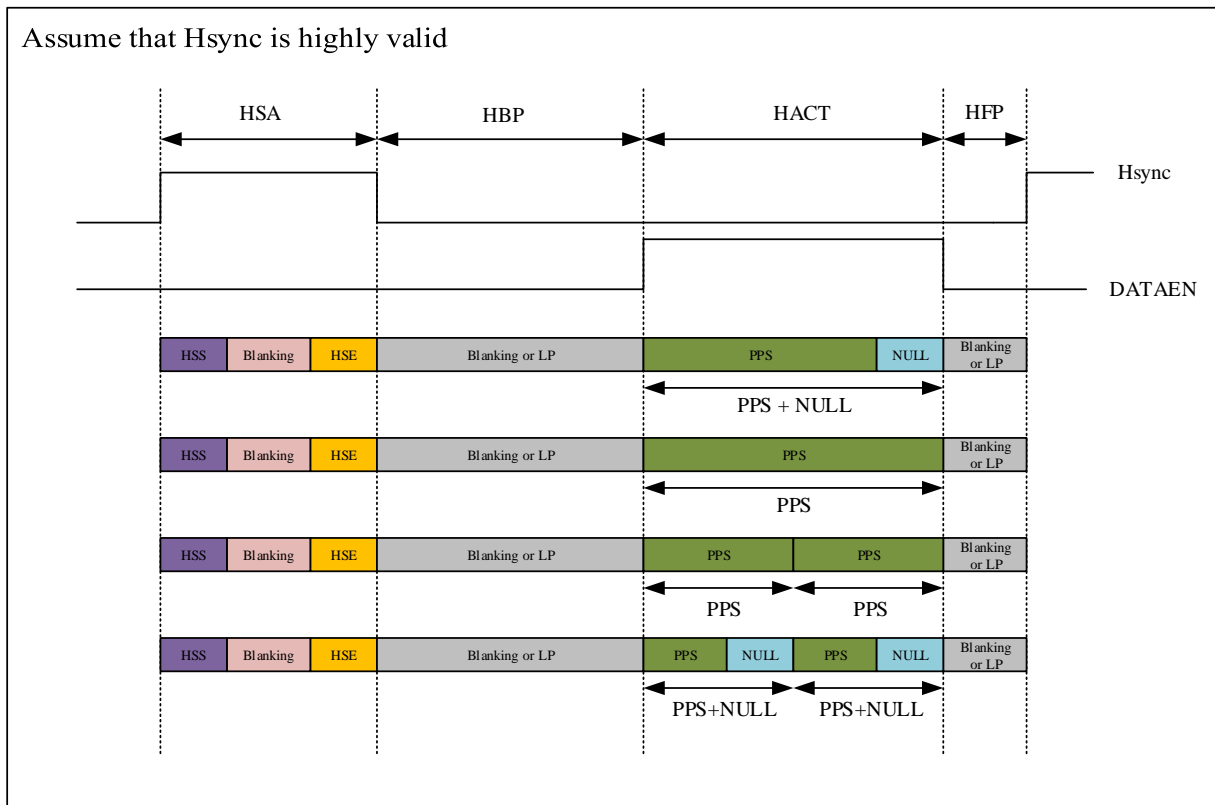
在 VACT 区域内, DSI 主机传输 HSA 周期, 然后链路进入 LP 或发送消隐数据包, 持续的时序周期等于 HBP 周期。然后, DSI 主机分一块或多块发送 PPS 数据包, 最后的空包用于将像素传输时序与 HACT 周期相匹配。

一旦 HACT 周期结束, DSI 主机进入 LP 或发送消隐数据包, 持续时间等于 HFP 周期。

DSI 主机能够计算为了匹配周期时序, 消隐数据包中需要的字节数。如果是低功耗模式, DSI PHY 将在进入低功耗模式之前发出传输结束序列。然后, 在开始新的高速传输之前, DSI PHY 发出传输开始序列。需要配置 DSI Host 控制器 DSI\_TPRE、DSI\_TPOST、DSI\_TXGAP 等寄存器供 DSI 主机控制器了解低功耗转换的开销, 以确定在特定周期内是否可以切换至低功耗模式。

使用同步脉冲的非突发模式下在 VACT 周期内, 有许多种不同的水平行配置。如图所示:

图 42-5 使用同步脉冲的非突发模式下的 VACT 区域

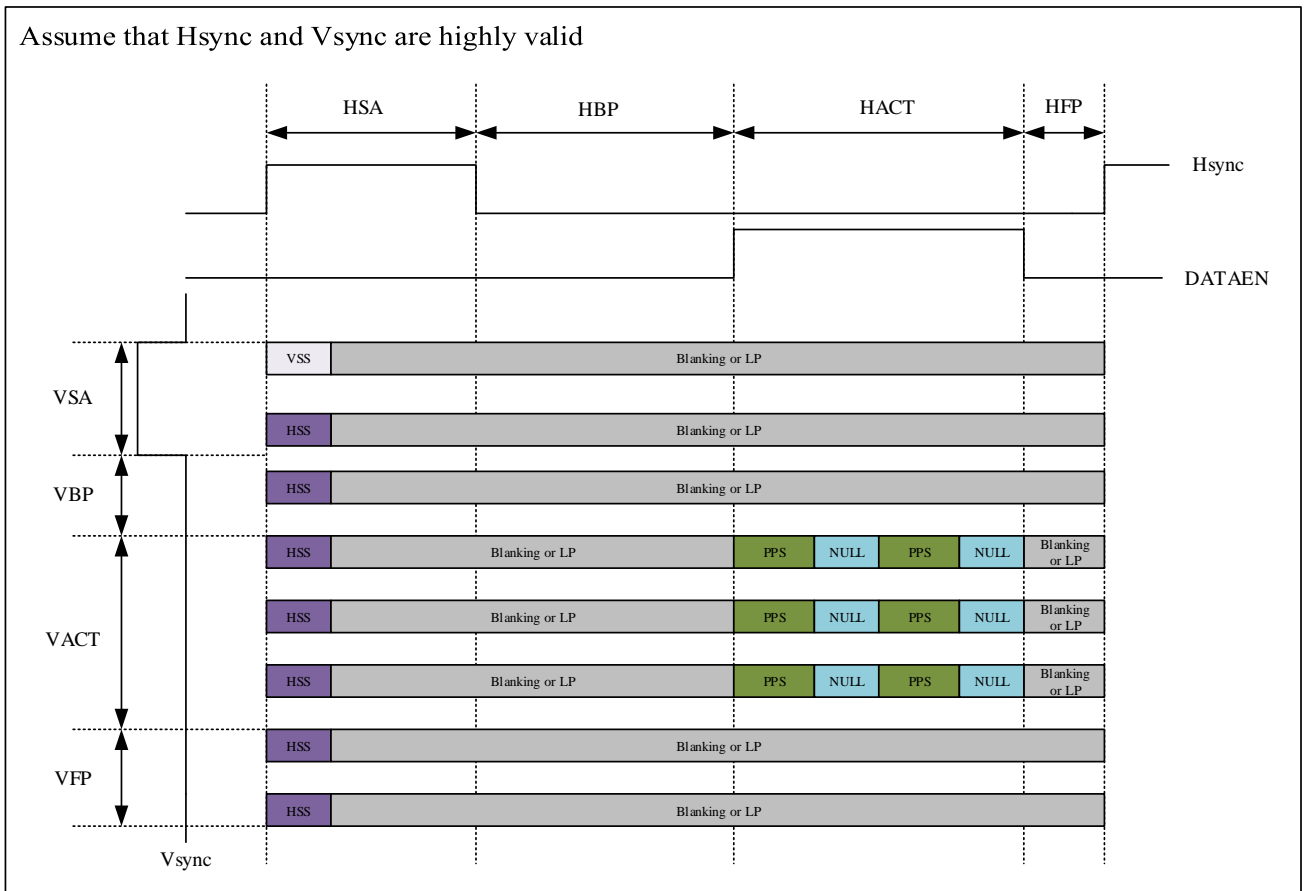


链路可以在 HBP 和 HFP 周期内进入 LP，或者 DSI 主机在该周期内没有足够时间进行 HS 和 LP 模式之间的转换时发送消隐数据包。在 HACT 周期内，DSI 主机必须与 LCDC HACT 周期相匹配的时序周期内发送像素数据。根据 DSI 和像素时钟频率，DSI 主机可使用一个或多个块发送像素数据。每块只能包含一个封装像素流（PPS）数据包或具有空包的 PPS 数据包。

### 同步事件的非突发模式

在该模式下，无需同步脉宽的精确重建，因此取代了单一同步事件。

图 42-6 同步事件的非突发模式下的帧

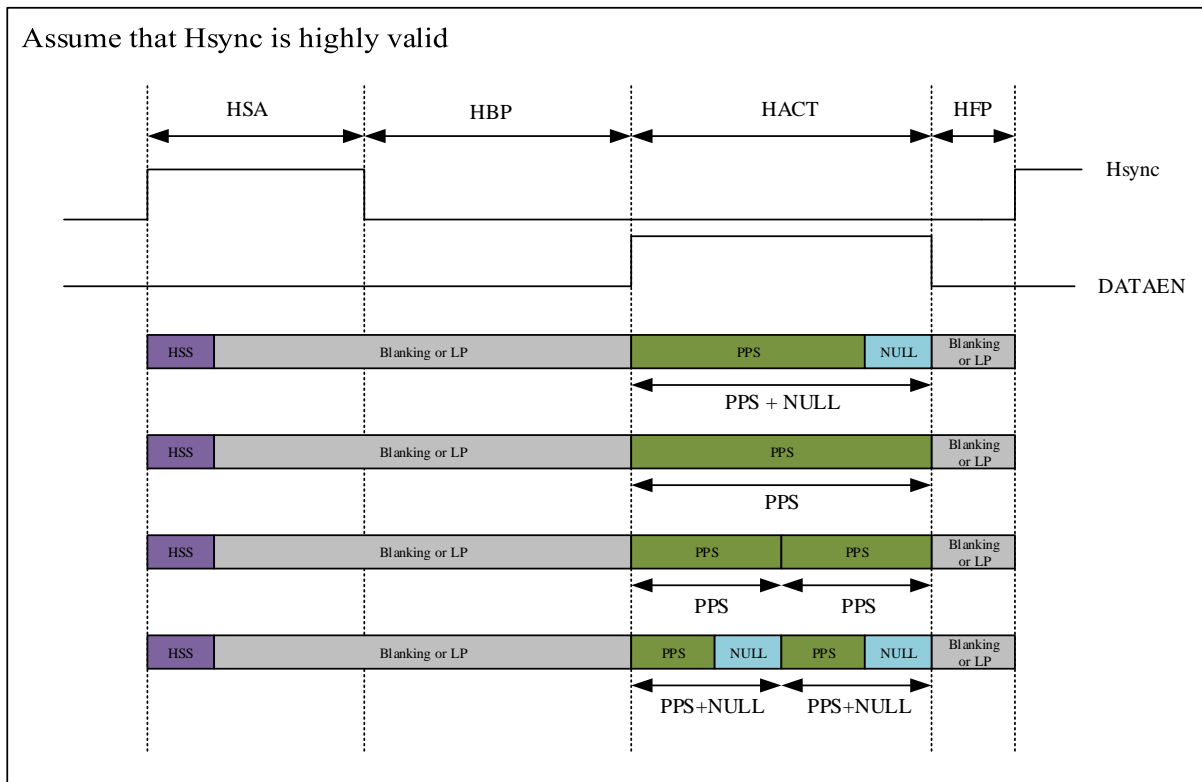


以 VSS 数据包开头的行决定了 VSA 区域的开始。帧中的所有其他行以 HSS 数据包开头。

在未激活区域（VSA、VBP、VFP），链路在发送 HSS 数据包后进入 LP 或发送消隐数据包，直至下一行。在 VACT 区域，DSI 主机发送 HSS 数据包，然后进入 LP 或发送消隐数据包，直至 HSA + HBP 周期结束。HACT 区域 DSI 主机必须与 LCDC HACT 周期相匹配的时序周期内发送像素数据。根据 DSI 和像素时钟频率，DSI 主机可使用一个或更多块发送像素数据。每块只能包含一个封装像素流（PPS）数据包或具有空包的 PPS 数据包。

使用同步事件的非突发模式下在 VACT 周期内，有许多种不同的水平配置。如图所示：

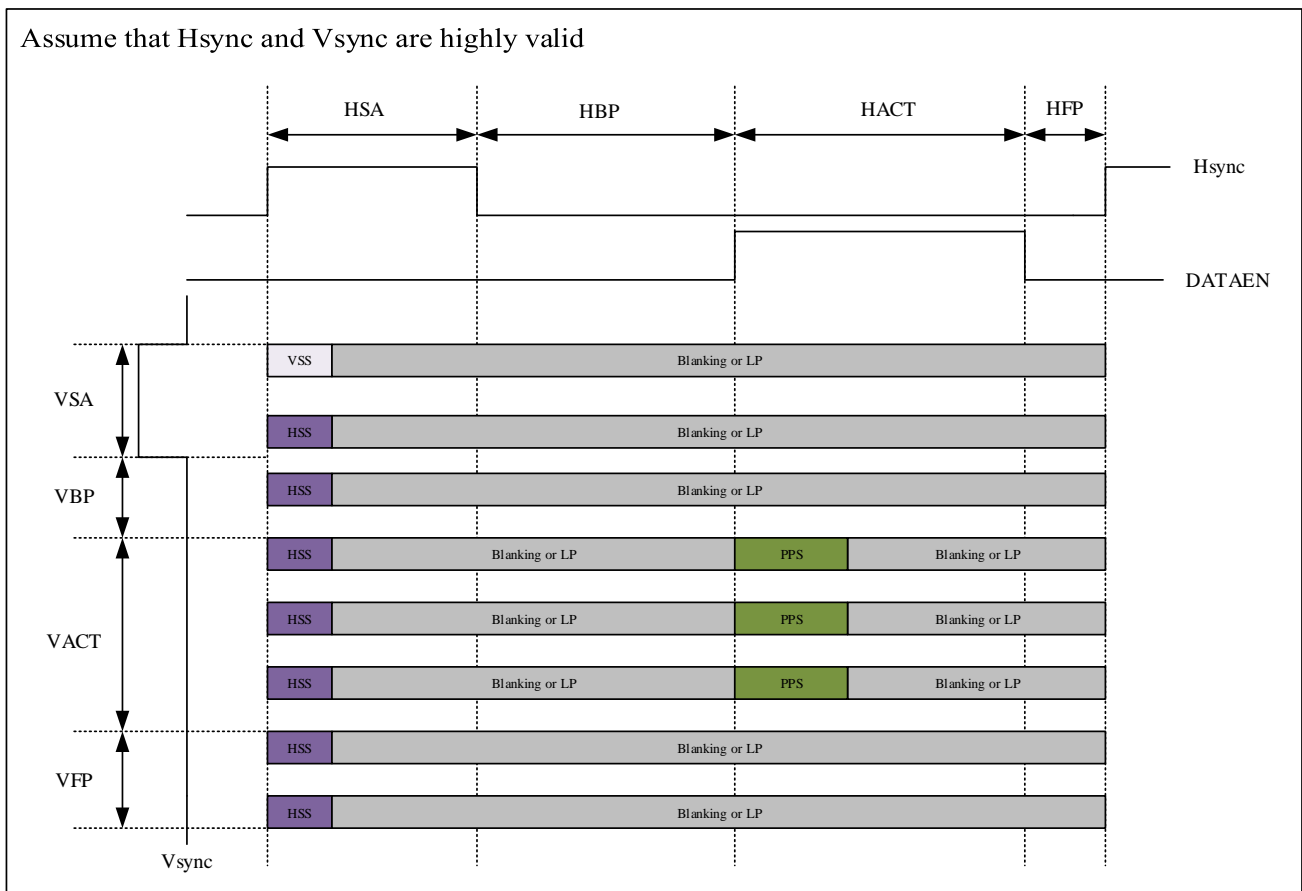
图 42-7 使用同步事件的非突发模式下的 VACT 区域



### 42.5.2.2 Burst 模式

在此模式下，整个有效像素行被缓冲到 FIFO 中，并以单个数据包的形式进行无中断传输。这种传输模式要求 DPI 像素 FIFO 能够存储整个有效像素行数据。当像素所需带宽和 DSI 链路带宽之间的差异很大时，最好使用此模式，它使 DSI 主机能够快速地将整个有效视频行以单次数据突发的形式发送出去，然后返回到低功耗模式使链路停止。

图 42-8 突发模式下的帧



### 选择突发或非突发模式的指南

选择 burst 和 non-burst 模式主要取决于系统配置和设备要求。必须满足以下条件才能从 burst 模式中获得最大优势：

- DSI 主机控制器必须有足够的像素内存来存储整个像素行，以避免内部 FIFO 溢出
- 显示设备必须支持在单个分组突发中接收整个像素行，以避免接收缓冲器上的溢出
- DSI 输出带宽必须高于 video 接口输入带宽，以使链路每行进入一次低功耗

如果系统不能满足这些要求，则很可能在使用突发模式时像素数据丢失，导致显示设备故障。如果无法满足使用突发模式的所有条件，请使用非突发模式以避免错误，非突发模式可以更好地匹配像素传输速率，从而实现：

- 只有一定数量的像素存储在内存中，不需要完整的像素行
- 与仅支持少量像素缓冲（小于完整像素行）的设备一起运行

### 42.5.3 时序重建差异

DSI-2 主机视频接口通过适当的 Space 携带视频信息的 DSI-2 数据包，或在 DSI-2 数据包中插入消隐数据包来保留视频时序。由于视频接口通常与 DSI-2 主机控制器 MIPI 时钟频率不同的时钟频率运行，因此视频时序重建将是视频输入转为 MIPI 时钟域对应的时钟频率后的近似值，因此重建结果并不完美。根据视频时钟域和 MIPI 时钟域之间的时钟比率，当水平同步事件通过同步器采样时，每行的消隐宽度可能会有所不同，

并且可能更接近某个时钟沿，水平前沿宽度也会加长或缩短，以补偿视频行传输视频数据所需时间过长或过短的情况。

由于水平同步事件及其周围的消隐是以 MIPI 时钟周期来衡量的，因此较快的视频时钟与较慢的 MIPI 时钟之间的比率越大，水平同步和消隐时序就越不准确。同步和消隐时序很容易出现几个周期的偏差。DSI-2 主机视频接口将持续调整同步和消隐时间以补偿此偏差，并防止视频时序随时间漂移并最终导致 FIFO 溢出。输入视频的水平同步和消隐宽度越大，视频接口就越准确。例如，5 周期水平同步宽度周期的偏差比 50 周期水平同步宽度的周期的偏差更为显著。

视频差异的另一个来源是视频时钟与 MIPI 时钟的同步器。由于同步器可能根据数据变化与时钟边沿的接近程度而进入亚稳态，这可能会导致在检测到水平同步或视频边沿之前出现周期延迟。此外，由于同步器的存在，水平同步的宽度和消隐的宽度必须足够宽，以便在较快的视频时钟域中，它们不会在单个较慢的 MIPI 时钟中多次改变状态，尽可能保持同步器一致。

## 42.6 DSI-2 主机 APB 接口

DSI-2 主机控制器支持通过 APB 接口发送和接收 DSI-2 数据包。APB 数据包接口适用于低数据速率应用，例如设置配置寄存器值和检查显示设备的状态。

APB 包接口的主要特点包括：

- 支持所有数据类型，长数据和短数据
- 发送、总线周转和接收
- 高速或低功耗的数据包传输
- 软件轮询状态

### 42.6.1 使用 APB 接口传输数据包

DSI 支持通过 APB 接口向 DPHY 发送数据包，具体方式是按照以下流程写入寄存器集。

**要使用 APB 数据包接口传输数据包，必须执行以下步骤：**

1. 将写指令类型值写入寄存器 DSI\_PKTCTRL.HDTYP[5:0]
2. 如果是短写指令，将指令参数写入 DSI\_PKTCTRL.CNT[15:0]；如果是长写指令，将指令参数长度写入 DSI\_PKTCTRL.CNT[15:0]，然后将指令参数写入 DSI\_TXPLD 寄存器，以将指令参数加载到指令 FIFO
3. 设置 DSI\_SENDPKT.SENDPKT=1 使能数据发送
4. 等待 DSI\_PKTSTS.TXD 置位确定传输完成

**要从 DSI-2 外设执行读取操作，必须执行以下步骤：**

1. 将读指令类型值写入寄存器 DSI\_PKTCTRL.HDTYP[5:0] 和设置 DSI\_PKTCTRL.BTAImm=1 指示 APB 数据包接口在发送数据包后执行总线周转，以便外设获得控制权并将数据包发送回主机
2. 如果是短读指令，将指令参数写入 DSI\_PKTCTRL.CNT[15:0]；如果是长读指令，将指令参数长度写入 DSI\_PKTCTRL.CNT[15:0]，然后将指令参数写入 DSI\_TXPLD 寄存器，以将指令参数加载到指令 FIFO
3. 设置 DSI\_SENDPKT.SENDPKT=1 使能数据发送
4. 等待 DSI\_PKTSTS.TXD 置位确定传输完成

5. 等待 DSI\_PKTSTS.RXPKTD 和 DSI\_PKTSTS.ALLRXPKTD 置位 DSI 外设返回数据, 外设返回数据后, 它

## 42.7 DSI 主机控制器时钟

DSI-2 主机控制器支持连续时钟和非连续时钟模式。在连续时钟模式下, D-PHY 时钟通道始终处于启用状态, 并且在数据包发送之间不会停止。在非连续时钟模式下, 当未发送数据包时, D-PHY 时钟通道会关闭。

### 42.7.1 连续时钟模式

对于连续时钟的工作模式, 其时钟通道会保持高速模式, 并在 HS 数据包传输之间生成有效的时钟信号。连续时钟模式允许更高的数据速率, 因为取消了退出和重新进入时钟通道的 HS 模式的时序开销。

下图显示了连续时钟模式下的各个时序参数。为了清晰起见, 该波形图进行了压缩, 并非用于计算周期, 仅用于展示参数顺序及其依赖信号的转换。图中列出了每个时序参数及其对应数值。每个信号的转换用 ↑ 表示上升沿, ↓ 表示下降沿。时序值以字节时钟周期 (byte\_clk) 为单位。一些时序参数特定于厂商的 PHY 以及 PHY 运行的频率。为了说明, 图中在每个 PHY 特定时序值后给出了典型的周期数。这些典型的 PHY 特定计数不应用于带宽分析, 因为各 PHY 可能与这些值有显著差异。

图 42-9 DSI-2 主机连续时钟模式

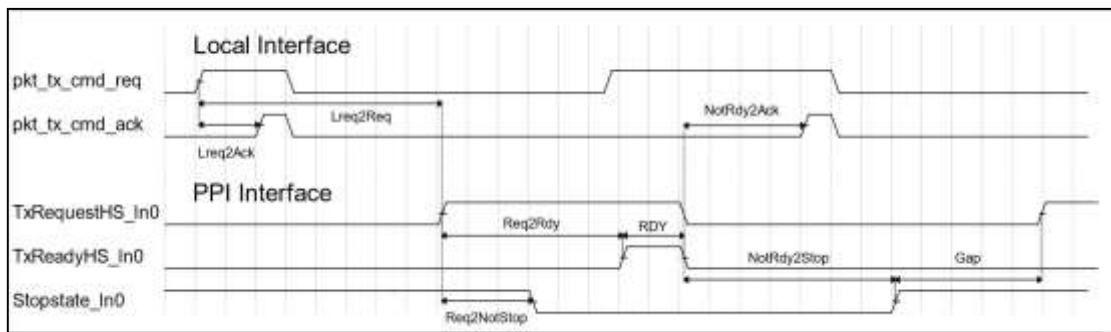


表 42-4 DSI-2 主机连续时钟模式

时序参数	开始	结束	值	注释
Lreq2Req	↑ pkt_tx_cmd_req	↑ TxRequestHS_In0	7 min (short pkt) 9 min(long pkt) +DSI_TPRE for first cycle	Some data types may take an extra cycle or two for processing.
Lreq2Ack	↑ pkt_tx_cmd_req	↑ pkt_tx_cmd_ack	2 cycle min	A cycle is taken to determine if valid data type
Req2Rdy	↑ TxRequestHS_In0	↑ TxReadyHS_In0	Phy Specific (40)	
Req2NotStop	↑ TxRequestHS_In0	↓ Stopstate_In0	Phy Specific (12)	Does not affect controller
RDY	↑ TxReadyHS_In0	↓ TxReadyHS_In0	1 cycle min	Width of RDY is: # packet bytes / # lanes
NotRdy2Stop	↓ TxReadyHS_In0	↑ Stopstate_In0	Phy Specific (18)	
NotRdy2Ack	↓ TxReadyHS_In0	↑ pkt_tx_cmd_ack	3 cycles	If pkt_tx_cmd_req is asserted

Gap	↑ Stopstate_In0	↑ TxRequestHS_In0	DSI_TXGAP + 4	Gap until the next data request.
-----	-----------------	-------------------	---------------	----------------------------------

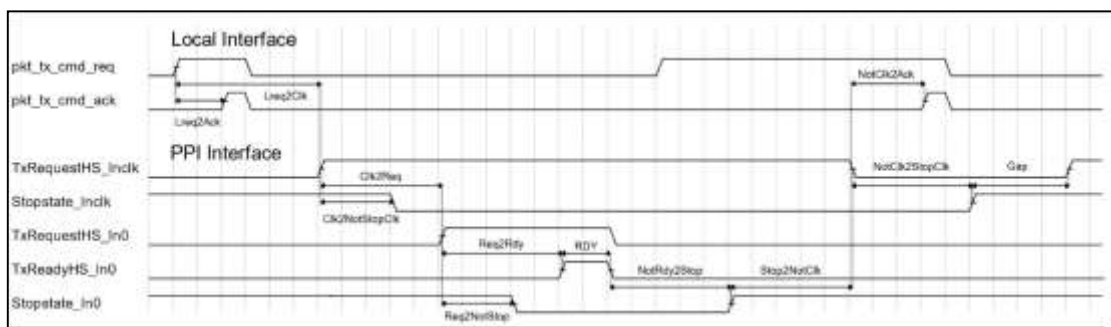
在连续时钟模式下，复位后发送的第一个数据包是一个特殊情况。DSI\_TPRE 值用于增加额外的延迟，以在时钟启用与第一个数据包之间为物理层提供更多时间。

## 42.7.2 非连续时钟模式

对于非连续时钟的工作模式，时钟通道在 HS 数据包传输之间进入 LP-11 状态。

下图显示了非连续时钟模式下的每个时序参数。此波形为了清晰起见进行了压缩，仅用于显示参数顺序及其相关信号的变化，非用于周期计数。

图 42-10 DSI-2 主机非连续时钟模式



下表列出了每个时序参数及其数值。每个信号的变化用↑表示上升沿，↓表示下降沿。时序值以字节时钟周期 (byte\_clk) 为单位。一些时序参数特定于某个供应商的 PHY 及其运行频率。为说明方便，每个 PHY 特定时序值后给出了一个典型的周期数。这些典型的 PHY 特定计数不应用于带宽分析，因为 PHY 可能与这些值有显著差异。

表 42-5 DSI-2 主机非连续时钟模式

时序参数	开始	结束	值	注释
Lreq2Clk	↑ pkt_tx_cmd_req	↑ TxRequestHS_Inclk	7 min (short pkt) 9 min(long pkt)	Some packet types may take extra cycles for processing.
Lreq2Ack	↑ pkt_tx_cmd_req	↑ pkt_tx_cmd_ack	2 cycle min	A cycle is taken to determine if valid data type
Clk2Req	↑ TxRequestHS_Inclk	↑ TxRequestHS_In0	DSI_TPRE	
Clk2NotStopClk	↑ TxRequestHS_Inclk	↓ Stopstate_Inclk	Phy Specific (12)	Does not affect controller
Req2Rdy	↑ TxRequestHS_In0	↑ TxReadyHS_In0	Phy Specific (40)	
Req2NotStop	↑ TxRequestHS_In0	↓ Stopstate_In0	Phy Specific (15)	Does not affect controller
RDY	↑ TxReadyHS_In0	↓ TxReadyHS_In0	1 cycle min	
NotRdy2Stop	↓ TxReadyHS_In0	↑ Stopstate_In0	Phy Specific (18)	
Stop2NotClk	↑ Stopstate_In0	↓ TxRequestHS_Inclk	DSI_TPOST + 3	



NotClk2Ack	↓ TxRequestHS_inclk	↑ pkt_tx_cmd_ack	3 cycles	If pkt_tx_cmd_req is asserted
NotClk2StopClk	↓ TxRequestHS_inclk	↑ Stopstate_inclk	Phy Specific (17)	
Gap	↑ Stopstate_inclk	↑ TxRequestHS_inclk	DSI_TXGAP + 4	Gap until the next clock request.

## 42.8 Skew 校准

MIPI DSI 协议中描述的 Skew Calibration（偏斜校准）是针对 D-PHY 物理层在高速传输（>1.5 Gbps）时的一种时序补偿机制，其目的是解决多数据通道（Data Lanes）之间的信号偏移问题。Skew Calibration 通常由 DSI Host（TX）和 Display Panel（RX）共同完成，因此必须显示屏支持才能使用。在 MIPI DSI 协议中，Skew Calibration 的触发时机通常与链路初始化、状态恢复或特定信号条件相关。Skew Calibration 通常在以下情况下执行：

- 链路初始化阶段：当 DSI 主机或从机上电或收到硬件/软件复位信号时，需进行 Skew Calibration 以消除 CLK Lane 与 Data Lane 之间的时序偏差
- Low-Power Mode 唤醒：从 LP 模式切换到 HS 模式时，可能因电压/温度变化导致时序偏移，需重新校准

Skew Calibration 类型：

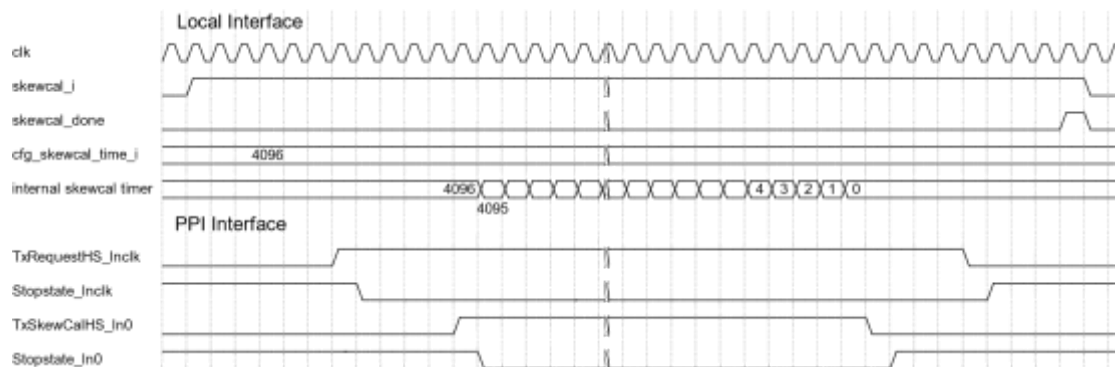
- Initial Skew Calibration：在高速数据传输开始前，由主机通过发送特殊的去偏斜突发信号（De-skew Bursts）发起。当 DSI 链路速率 >1.5 Gbps 时每次开始高速数据传输前都必须执行，当 DSI 链路速率 ≤1.5 Gbps 时可选
- Periodic Skew Calibration：在高速数据传输间隙由主机动态发起，无论链路速率为多大该方式都为可选，用于动态调整因温度、电压等变化引起的时序漂移

作为 MIPI 针对 1.5 Gbps 以上 D-PHY 规范的一部分，DSI-2 主机 PHY 需要支持偏斜校准，方法是向接收器发送特殊的去偏斜突发信号，以启动接收器中的去偏斜操作来校准接收器。初始偏斜校准序列在高速数据传输开始之前发送，周期性偏斜校准可在高速数据包之间进行。对于 1.5 Gbps 以上的操作，初始偏斜校准是必需的。对于 1.5 Gbps 或以下的操作，初始偏斜校准是可选的。周期性偏斜校准始终是可选的。当状态改变时（例如从 ULPS 到 HS），只要高速运行恢复到之前传输初始偏差校准的速率，偏差校准就是可选的。

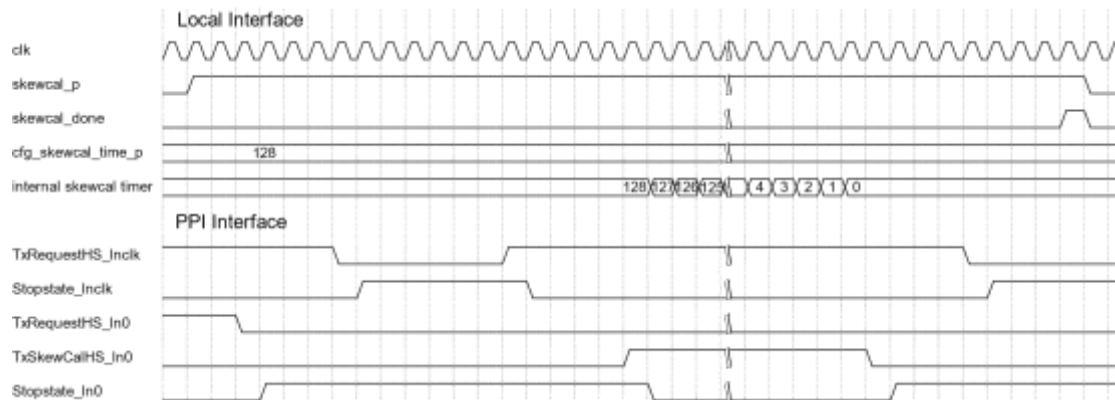
偏斜校准序列由 DSI-2 主机 D-PHY 处理，DSI-2 主机控制器仅启用时钟通道（如果未处于连续时钟模式），并将 PPI TXSkewCalHS 信号置位指定数量的时钟周期（由控制器配置信号设置）。当观察到 TXSkewCalHS 时，DSI-2 主机 D-PHY 会启动偏斜校准序列，当 TXSkewCalHS 置位时，DSI-2 主机 D-PHY 会停止偏斜校准序列。

下图显示了通道 0 的初始偏斜校准操作示例。偏斜校准始终会同时所有通道上生效，但为了清晰起见，图中仅显示通道 0。用户置位 DSI\_WRPCTR.ISKEWCAL 信号，这会导致控制器置高 TxRequestHS\_inclk 信号以启用 D-PHY 时钟通道，PHY 将响应 Stopstate\_inclk 的置低。经过适当的 clk2req 延迟后，TxSkewCalHS\_in0 将置高。这将启动 DSI-2 主机内核中的内部计数器，该计数器将从 DSI\_SKEWCALTIMI 输入值开始，并倒计时至 0。在此图中，DSI\_SKEWCALTIM 设置为 4096 个 DSI 内核时钟周期。当计时器达到 0 时，TxSkewCalHS\_in0 将置低。在适当的 stop2notclk 延迟之后，TxRequestHS\_inclk 被置低，随后在间隙延迟之后 DSI\_WRPSTS.ISKEWCALDN 被置高，以向用户逻辑指示序列已完成并置低

DSI\_WRPCTR.ISKEWCAL。

**图 42-11 DSI-2 TX 控制器初始偏斜校准操作**


下图显示了通道 0 的周期性偏斜校准操作示例。用户置高 DSI\_WRPCTR.PSKEWCAL 信号。但是，当前正在发送一个现有的高速数据包。偏斜校准 DSI-2 主机内核逻辑将等待请求完成，然后置高 TxRequestHS\_Inclk 以启用主机 D-PHY 时钟通道。PHY 将响应 Stopstate\_Inclk 的置低。经过适当的 clk2req 延迟后，TxSkewCalHS\_In0 将置高。这将启动 DSI-2 主机内核控制器中的内部计数器，该计数器将从 DSI\_SKEWCALTIMP 输入值开始，并倒计时至 0。在此图中，DSI\_SKEWCALTIMP 设置为 128 个 DSI 内核时钟周期。当计时器到达 0 时，TxSkewCalHS\_In0 置低。经过适当的 stop2notclk 延迟后，TxRequestHS\_Inclk 置低，随后经过间隙延迟置高 DSI\_WRPSTS.PSKEWCALDN，以指示用户逻辑序列已完成，并置低 DSI\_WRPCTR.PSKEWCAL。

**图 42-12 DSI-2 TX 控制器周期偏斜校准操作**


MIPI 规范规定了最小和最大偏移校准长度，具体规定为最小 UI（一位时间）周期数和最大绝对时间。DSI-2 主机内核逻辑采用主机内核钟输入运行，该输入频率为位速率的 1/8，因此最小值和最大值如下：

**表 42-6 DSI-2 TX 控制器 SkewCal 定时器值范围**

SkewCal Mode	Minimum UI Units	Minimum Timer Value	Maximum Skew Time	Maximum Timer Value
Initial	32,768 (2 <sup>15</sup> )	4,096+OFFSET	100 us	(X Gbps * 12,500)-OFFSET
Periodic	1,024 (2 <sup>10</sup> )	128+OFFSET	10 us	(X Gbps * 1,250)-OFFSET

OFFSET 是 TxSkewCalHS 置位与通道实际启动校准序列之间的时钟周期数。它包括进入高速稳定时间以及高速零点和高速同步时间。该值可能因 PHY 而异，范围在 20 到 105 之间。建议保守值为 150。

例如，如果 D-PHY 以 1.5Gbps 运行，则初始偏差定时器的最大值为  $(1.5 * 12,500) * 150 = 281,250$ 。如果 D-PHY

以 4.5Gbps 运行，则初始偏差定时器的最大值为 $(4.5 \times 12,500)150 = 56,100$ 。

## 42.9 DSI-2 主机控制器配置

### 42.9.1 DSI-2 主机控制器时钟输入和选择

DSI-2 主机控制器使用以下时钟进行操作。

#### 42.9.1.1 hse\_ref\_clk

DPHY 使用 HSE 作为参考时钟输入并生成 `dsi_ref_txwordclkhs_clk`，其作为数据包生成和传输的 `dsi_ker_clk` 输入之一。HSE 时钟可以通过 RCC 寄存器进行配置。

DPHY 使用 HSE 作为输入，并在 DPHY PLL 处理后输出 HS-CLK:

- HS-CLK/2 为 HS-CLANE 生成 DDR 时钟
- HS-CLK/2 生成 `lane_byte_clk` 时钟，即 `dsi_ref_txwordclkhs_clk` 时钟

#### 42.9.1.2 dsi\_bus\_clk

DSI 主控制器连接到总线系统的 APB6，这个时钟是 MIPI DSI 寄存器配置时钟。

#### 42.9.1.3 dsi\_ker\_clk

`dsi_ker_clk` 时钟由 DSI-2 主机控制器用于与 MIPI Tx DPHY 高速 PPI 接口进行通信。其频率为 DPHY 数据通道高速数据速率的 1/8，称为 `byte_clk` 或 `lane_byte_clk` 时钟。可通过 RCC 寄存器 `RCC_AXISSEL1.DSIKERSEL[1:0]` (DSI 内核时钟选择寄存器) 为 `dsi_ker_clk` 选择两个时钟。

- 00: 选择 DSI 参考时钟 (`dsi_ref_txwordclkhs_clk`) 作为 DSI 内核时钟
- 01: 选择 PLL3\_C 时钟作为 DSI 内核时钟

#### 42.9.1.4 dsi\_ulps\_clk

这是 ULPS 传输模式下 DSI 的时钟输入，可通过 RCC 寄存器 `RCC_AXISSEL1.DSIULPSSEL[1:0]` 进行选择 DSI ULPS 时钟。

- 00: 选择 DSI 参考时钟 (`dsi_ref_txwordclkhs_clk`) 作为 DSI ULPS 时钟
- 01: PLL3\_C 时钟被选为 DSI ULPS 时钟

#### 42.9.1.5 dsi\_tx\_esc\_clk

`clk_tx_esc` 时钟由 MIPI Tx DPHY 用于状态控制和低功耗数据传输。DSI-2 主机控制器也使用 `clk_tx_esc` 时钟，用于与 MIPI Tx DPHY 接口且与 `clk_tx_esc` 时钟同步的控制器逻辑部分。该时钟可通过 RCC 寄存器 `RCC_AXISSEL1.DSIPPITXSEL[1:0]` 进行选择 `dsi_ppi_txclkesc_all_clk` 时钟。

- 00: 分频后的 DSI 参考时钟被选择为 DSI PPI 时钟
- 01: 选择 PLL2\_B 时钟作为 DSI PPI 时钟
- 10: 外设时钟选择为 DSI PPI 时钟
- 11: 选择分频后的 AXI 总线时钟作为 DSI PPI 时钟

### 42.9.1.6 dsi\_vid\_clk

vid\_clk (dsi\_vid\_clk) 时钟用于 DSI-2 主机视频接口。所有视频接口信号均与此时钟同步。DSI-2 主机视频接口模块负责将 vid\_clk 时钟域中接收到的视频数据传输到 dsi\_ker\_clk 时钟域。vid\_clk 和 dsi\_ker\_clk 频率之间的关系如下：

$$\text{dsi\_ker\_clk\_freq} \geq \text{vid\_clk\_freq} * \text{video\_pixel\_size} / (8 * (\text{DSI\_NUMLANES}))$$

- DSI NUMLANES: 配置端口设置，用于选择有效 MIPI DPHY 数据通道的数量
- dsi\_ker\_clk\_freq: dsi\_ker\_clk 的频率，是高速数据通道速率的 1/8
- vid\_clk\_freq: 视频接口上 vid\_clk 时钟的频率
- video\_pixel\_size: 视频接口上的像素大小（以位为单位）

该时钟由 LCDC 输出 (pixel\_clk\_o) 输入，该时钟的详细配置请参考 LCDC 部分。

## 42.9.2 DSI-2 主机控制器复位和初始化

DSI-2 主机控制器的复位和初始化过程如下：

1. 对 DSI 主机/Wrapper/PHY 进行所有复位
2. 图形域上电
3. 启用时钟并等待主机控制器的时钟稳定
4. 取消断言 DSI Wrapper 寄存器复位
5. 对 DSI Wrapper 寄存器进行编程，以配置 PHY 参数（时钟、时序、通道等）
6. 取消断言 DSI 内核复位（包括 PHY）
7. 等待 DSIPHY\_WRAP\_DSR 寄存器中的 PHY 准备就绪
8. 配置 DSI\_CLKLANEN 和 DSI\_DATLANEN。如果需要扩频时钟，则编程 DSIPHY\_PLLCTRL3.SSC\_EN=1
9. 等待 100us PHY 初始化
10. 编程 DSI 主机寄存器。注意，视频模式必须启用视频对齐
11. 设置 DSI\_NUMLANES 以启用控制器

## 42.9.3 DSI-2 主机控制器中断

### 42.9.3.1 DSI-2 主机控制器错误处理

DSI-2 主机控制器有以下 4 种视频错误类型，每种错误都可以启用以触发中断。

表 42-7 DSI-2 主机控制器视频错误

错误名称	描述
vid_error_fifo_overflow	如果内部视频 FIFO 溢出，则置位。视频速率可能高于 MIPI 速率，或者 MIPI 的延迟时间过长，导致 FIFO 溢出。这可能表明 VID_CLK 过快，或者视频时序参数设置不正确。
vid_error_fifo_underflow	如果内部视频 FIFO 下溢，则置位。视频速率可能低于 MIPI 速率。这可能表明 VID_CLK 太

错误名称	描述
	慢，或者视频时序参数设置不正确。
vid_error_sync_pulse	仅当 VID_VIDEOMOD 设置为“同步脉冲的非突发模式”时才会置位。在仍在发送最后一个视频行消隐信号时检测到新的 vid_hsync。如果视频速率设置为高于 MIPI 速率，并且在发送完视频行后没有足够的周期来发送视频消隐信号，则可能会发生这种情况。这可能表明 VID_CLK 过快，或者视频时序参数设置不正确。
vid_error_blanking	仅当 VID_VIDEOMOD 设置为“突发模式”且 VID_BPLLMOD 设置为 1'b1 时才会置位。如果视频行结束与下一个 vid_hsync 之间没有足够的消隐时间，则会置位。如果在检测到新的 vid_hsync 时视频行正在向控制器传输，则会置位此错误信号。这可能表示 VID_CLK 过快，或者视频时序参数设置不正确。

### 42.9.3.2 DSI-2 主机控制器中断作为唤醒事件

DSI-2 主机控制器中断可用作唤醒 CPU 低功耗状态的事件。设置流程如下：

1. 配置 RCC 以在运行模式和低功耗模式下启用 DSI 时钟
2. 配置 EXTI，为目标 CPU 启用 DSI 视频错误中断
3. 配置 DPHY、DSI-2 主机控制器，在 DSI Wrapper 寄存器中设置启用 DSI 中断使能
4. 配置 LCDC 输入到 DSI，DSI 进行运算并显示到外部显示器
5. 然后将 CPU 置于低功耗状态，每个 CPU 或两个 CPU 都可以
6. 每当传输发生错误时，就会触发中断，并唤醒 CPU 进入中断处理程序
7. 在中断处理程序中，清除中断源并恢复

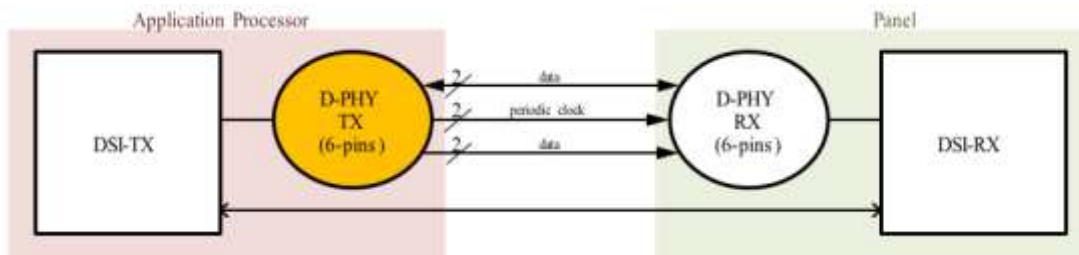
## 42.10 DPHY 物理层

### 42.10.1 DPHY 功能

- 符合 MIPI D-PHY 8 位 PPI 标准
- 支持最多四条数据通道的扩展
- 每条 D-PHY 通道均支持 P/N 引脚交换功能
- 支持 MIPI DSI 接口
- 支持复位触发器、ULPS 和 LPDT

### 42.10.2 DPHY 系统级概述

下图展示了采用 MIPI D-PHY TX 方案的 MIPI DSI 系统级框图。它通过 MIPI 标准 PPI 与 MIPI DSI-TX 控制器进行连接，分别处理各个状态。MIPI D-PHY TX 模块上的 MIPI D-PHY 接口由差分通道定义，每个差分通道至少包含一个时钟通道和一个数据通道。这些信号与外部接口连接，并连接到 MIPI D-PHY RX。

**图 42-13 MIPI D-PHY TX 的典型应用和系统级框图**


### 42.10.3 功能概述

#### 42.10.3.1 时钟生成器

时钟生成器用于产生该 IP 高速传输所需的时钟信号。该时钟生成器通常由一个锁相环（PLL）和多个时钟分频器实现。

#### 42.10.3.2 LP-TX

低功耗发射器是一个压摆率控制的推挽式驱动器。它用于在所有低功耗工作模式下驱动线路。因此，低功耗发射器的静态功耗必须尽可能低。为了保持较低的 EMI，信号转换的压摆率必须受到限制。

#### 42.10.3.3 HS-TX

差分输出驱动器生成驱动至 Dp 和 Dn 引脚的高速差分信号。作为参考，Dp 被视为正极，Dn 被视为负极。当 Dp 上的电位高于 Dn 上的电位时，Lane 状态称为差分-1 (HS-1)。当 Dp 上的电位低于 Dn 上的电位时，Lane 状态称为差分-0 (HS-0)。

#### 42.10.3.4 LP-RX

低功耗接收器是一个无端接的单端接收电路。低功耗接收器用于检测每个引脚的低功耗状态。为了实现高稳健性，低功耗接收器应滤除噪声脉冲和射频干扰。此低功耗接收器设计具有优化的功耗。

#### 42.10.3.5 LP-CD

MIPI DSI 规范中的争用检测器是一种用于检测双向数据通道在低功耗模式下线路冲突和信号故障的机制。在低功耗模式下，信号通过单端电平的低功耗差分线传输，因此主机和显示器可能会同时尝试驱动同一条数据线，从而导致线路冲突。

争用检测器是一种电压监测电路，其阈值电压（VIHCD 和 VILCD）比普通 LP 接收器（VIH/VIL）更严格，满足以下关系： $VILCD < VIL < VIH < VIHCD$ 。LP-CD 用于检测两种类型的异常：

- 检测线路冲突：当主机和显示器同时驱动数据线时，线路电压将处于中间电平，因此 LP-CD 通过将线路电压与阈值（VIHCD 和 VILCD）进行比较来判断是否存在冲突。
  - ◆ 主机驱动电压为高电平（预期电压  $\geq VIH$ ），但实际电压被显示设备拉低至  $< VIHCD$ ，LP-CD 触发争用检测。
  - ◆ 主机驱动电压为低电平（预期电压  $\leq VIL$ ），但实际电压被显示设备拉高至  $> VILCD$ ，LP-CD 触发争用检测。
- 检测低功耗模式下的信号故障：
  - ◆ 高电平故障：当 LP 发射器驱动高电平时，预期线路电压应  $\geq VIH$ ，但实际电压低于 VIL，正常的

LP 接收器会检测到低电平 ( $<V_{IL}$ ), 因此 LP 接收器会将其判断为高电平故障。

- ◆ 低电平故障: 当低电平发射器驱动低电平时, 预期线路电压应  $\leq V_{IL}$ , 但实际电压高于  $V_{IHCD}$ , 这是因为普通低电平接收器的  $V_{IH}$  灵敏度可能不够, 因此 LP-CD 会触发低电平故障。LP-CD 仅在线路电压高于  $V_{IHCD}$  时才会报告故障。

争用检测器 (LP-CD) 的一般操作类似于阈值电压较低的低功耗接收器。应在双向数据通道中使用低功耗接收器和单独的争用检测器来监控每个低功耗信号的线路电压。争用检测器需要检测线路争用。当低功耗发送器驱动为高电平且引脚电压低于  $V_{IL}$  时, 应使用低功耗接收器检测低功耗模式下的高电平故障。当 LP 发送器驱动为低电平且引脚电压高于  $V_{IHCD}$  时, 应使用 LP-CD 检测低功耗模式下的低电平故障。当引脚电压低于  $V_{ILCD}$  时, 不应检测到低功耗模式下的低电平故障。

### 42.10.3.6 物理层协议接口

PHY 协议接口 (PPI) 用于连接 PHY 通道模块和 DSI 主机控制器的更高协议层。此处描述的接口是通用的, 且独立于应用程序。

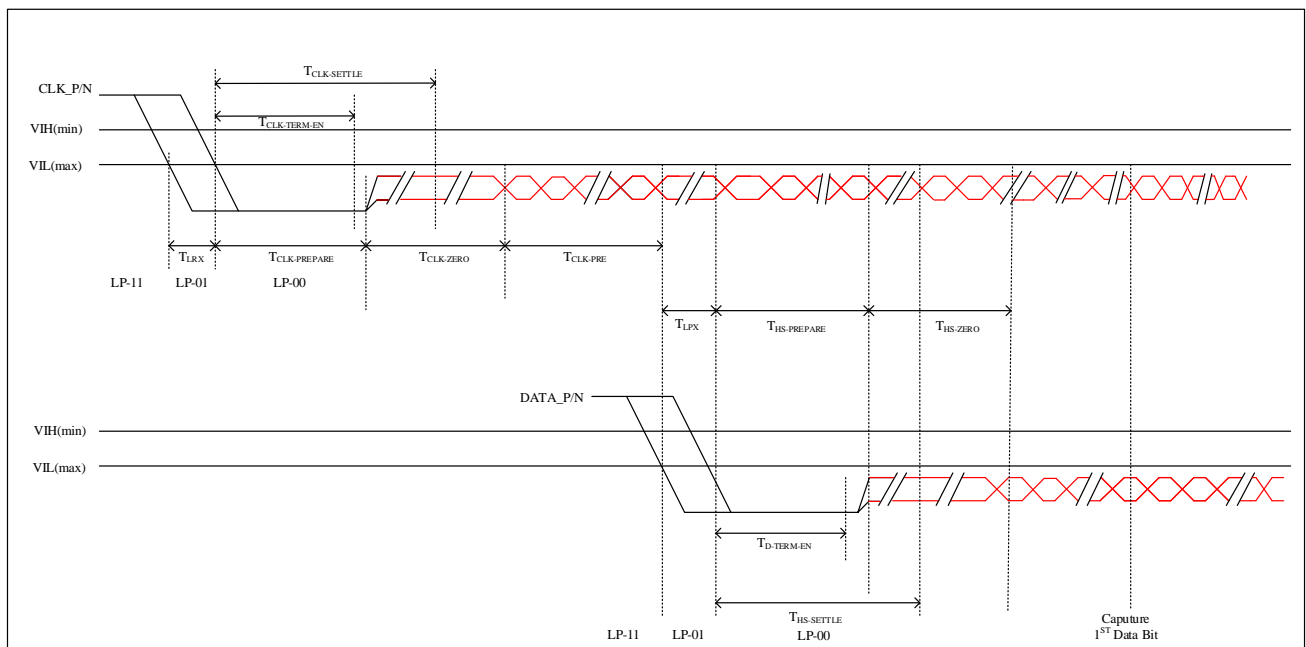
此 PPI 经过优化, 可控制 D-PHY 并发送/接收并行数据。此 PPI 定义为片上连接, 不会最小化信号数量, 也不会定义 PPI 信号的时序参数/电压电平。

PPI 定义了连接 PHY 和控制器的信号。对于具有多个数据通道的 PHY, 每个通道使用一组相应的 PPI 信号。

### 42.10.4 DPHY 时序

为确保正确进入高速模式, 正确配置发射机和接收机的时序参数至关重要。

图 42-14 时钟和数据通道进入高速传输

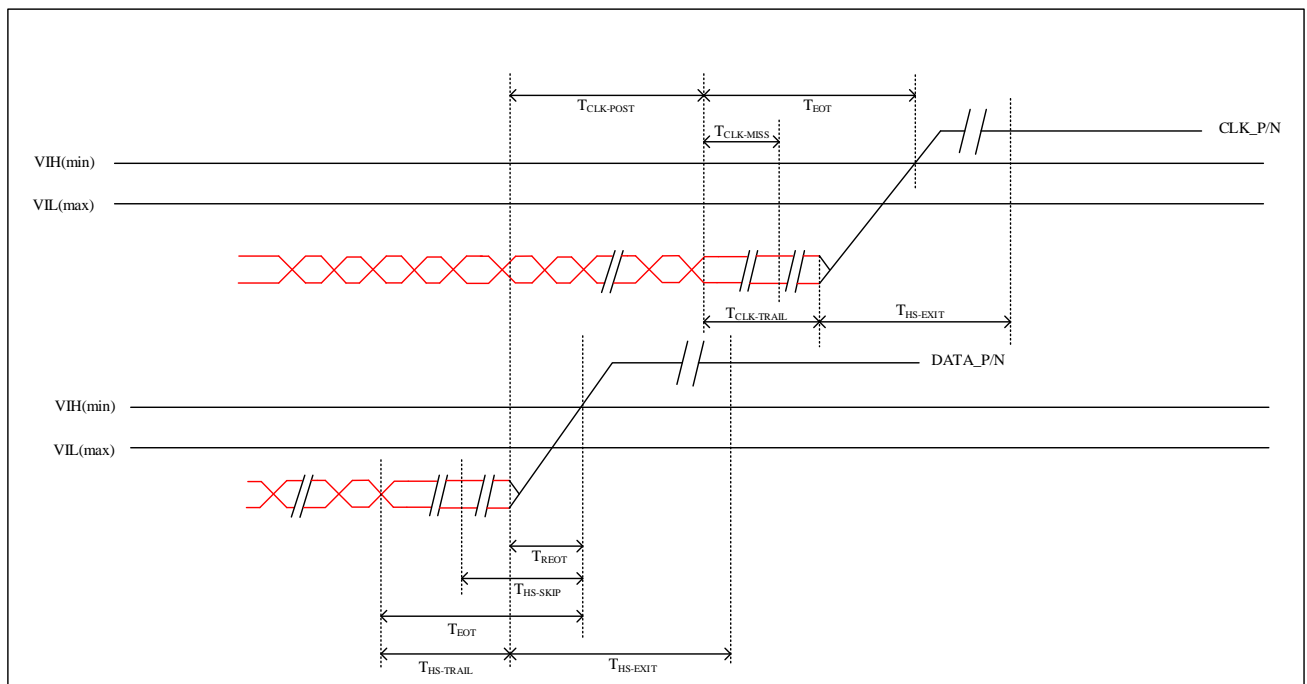


下表描述了上图中的时序参数。

**表 42-8 D-PHY SoT 时序参数**

参数	描述
TCLK-PRE	在任何相关数据通道开始从 LP 模式到 HS 模式的转换之前, 发送器驱动 HS 时钟的时间
TCLK-PREPARE	紧接在 HS-0 线路状态开始 HS 传输之前, 发送器驱动时钟通道 LP-00 线路状态的时间
TCLK-SETTLE	从 TCLK-PREPARE 的开始起, HS 接收器应忽略任何时钟通道 HS 转换的时间间隔
TCLK-PREPARE + TCLK-ZERO	TCLK-PREPARE + 发送器在开启时钟之前驱动 HS-0 状态的时间,
TCLK-TERM-EN	时钟通道接收器开启 HS 线路端接的时间, 从 Dn 穿过 VIL-MAX 最大值的时间点开始
TCLK-ZERO	发送器在开启时钟之前驱动 HS-0 状态的时间
TD-TERM-EN	数据通道接收器开启 HS 线路端接的时间, 从 D, 穿过 VIL-MAX 最大值的时间点开始
THS-PREPARE	紧接在 HS-0 线路状态开始 HS 传输之前, 发送器驱动数据通道 LP-00 线路状态的时间
THS-PREPARE + THS-ZERO	THS-PREPARE+发送器在发送同步序列之前驱动 HS-0 状态的时间
THS-SETTLE	HS 接收器应忽略所有数据通道 HS 转换的时间间隔, 从 THS-PREPARE 的开始算起。HS 接收器应在最小值之前忽略所有数据通道的转换, 但 HS 接收器应该响应所有在最大值之后的数据通道的转换。
THS-ZERO	发送器在发送同步序列之前驱动 HS-0 状态的时间
TLPX	所有在低功耗状态期间传输的长度

在高速数据突发传输结束后, 数据通道通过“传输结束”(EoT)过程退出高速传输模式并进入停止状态。下图显示了时钟通道和数据通道的发送/接收对之间的 EoT 时序关系。

**图 42-15 时钟和数据通道退出高速传输**


下表描述了上图中的时序参数。

**表 42-9 D-PHY EoT 时序参数**

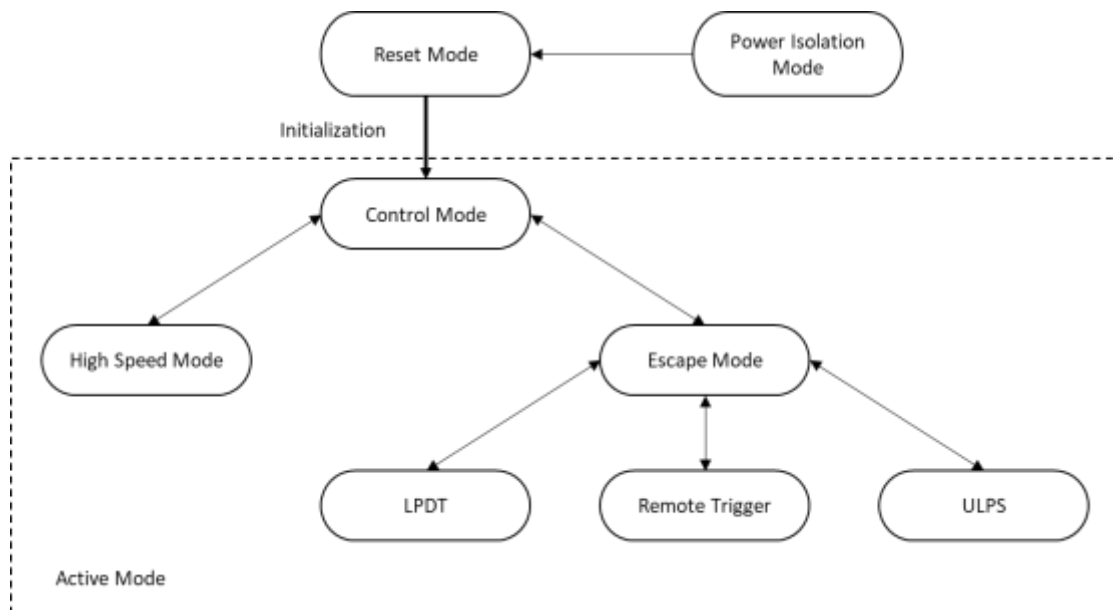
参数	描述
TCLK-POST	最后一个相关数据通道转换为 LP 模式后, 发送器继续发送 HS 时钟的时间。间隔定义为从 THS_TRAIL 结束到 TCLK-TRALL 开始的时间段



参数	描述
TCLK-MISS	接收器检测到时钟转换缺失并禁用时钟通道 HS-RX 的超时时间
TCLK-TERM-EN	时钟通道接收器开启 HS 线路端接的时间, 从 Dn 穿过 VIL_MAX 最大值的时间点开始。
TCLK-TRAIL	在 HS 传输突发的最后一个载荷的时钟位之后, 发送器驱动 HS-0 状态的时间
TEOT	从 THS-TRAIL 或 TCLK-TRAIL 开始, 到 HS 突发随后的 LP-11 状态开始之间的传输时间间隔
THS-EXIT	HS 突发随后的发送器驱动 LP-11 的时间
TD-TERM-EN	数据通道接收器开启 HS 线路端接的时间, 从 Dn 穿过 VII_MAX 最大值的时间点开始
THS-SKIP	HS-RX 应忽略数据通道上的所有转换的时间间隔, 随后为 HS 突发, 时间间隔的结束点定义为 HS 突发随后的 LP-11 状态的开始
THS-TRAIL	在 HS 传输突发的最后一个数据载荷位之后, 发送器驱动翻转后的差分状态的时间

### 42.10.5 DPHY 模式

图 42-16 D-PHY 工作模式图



#### 42.10.5.1 控制模式（停止状态）

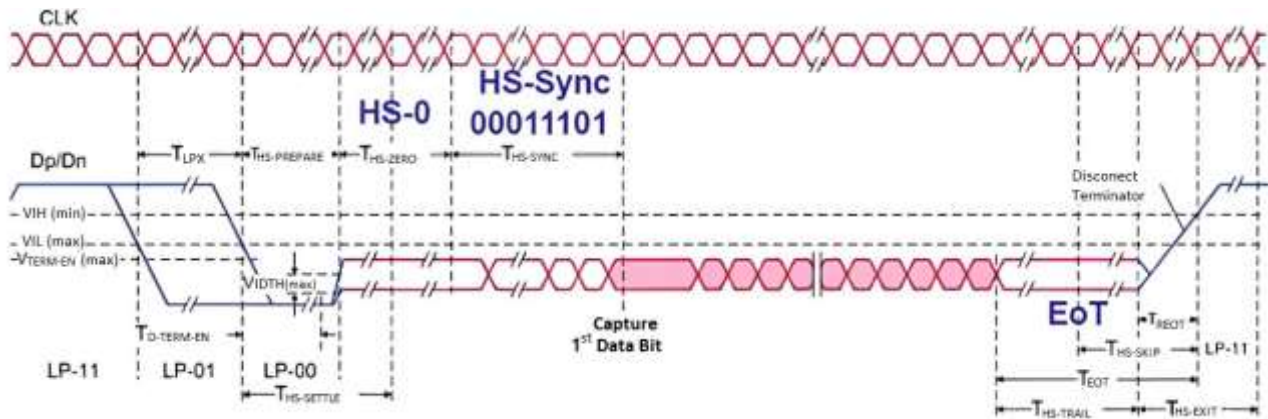
控制模式是默认工作模式。初始化完成后, 此 IP 将保持此默认模式, 直到发出一些请求。在控制模式下, 发送端在 D-PHY 中设置 LP-11 状态, 该状态称为停止状态。任何请求都必须从停止状态开始并以停止状态结束。收到请求后, 通道可以离开控制模式, 进入高速数据传输模式、Escape 模式, 甚至超低功耗状态。

#### 42.10.5.2 高速模式

高速数据传输以突发模式进行。只有在突发模式下, 通道才处于高速模式。高速突发必须从停止状态 (LP-11) 开始并返回。高速突发允许有效载荷数据通过数据通道传输。这种数据传输的前提是时钟通道中存在有效的 DDR 时钟。

每个通道的高速数据突发都是独立的, 这意味着每个数据通道可以独立地开始和结束高速传输。突发包含低功耗请求序列、高速数据有效载荷和传输结束序列。下图显示了高速数据传输序列。

图 42-17 高速数据传输序列

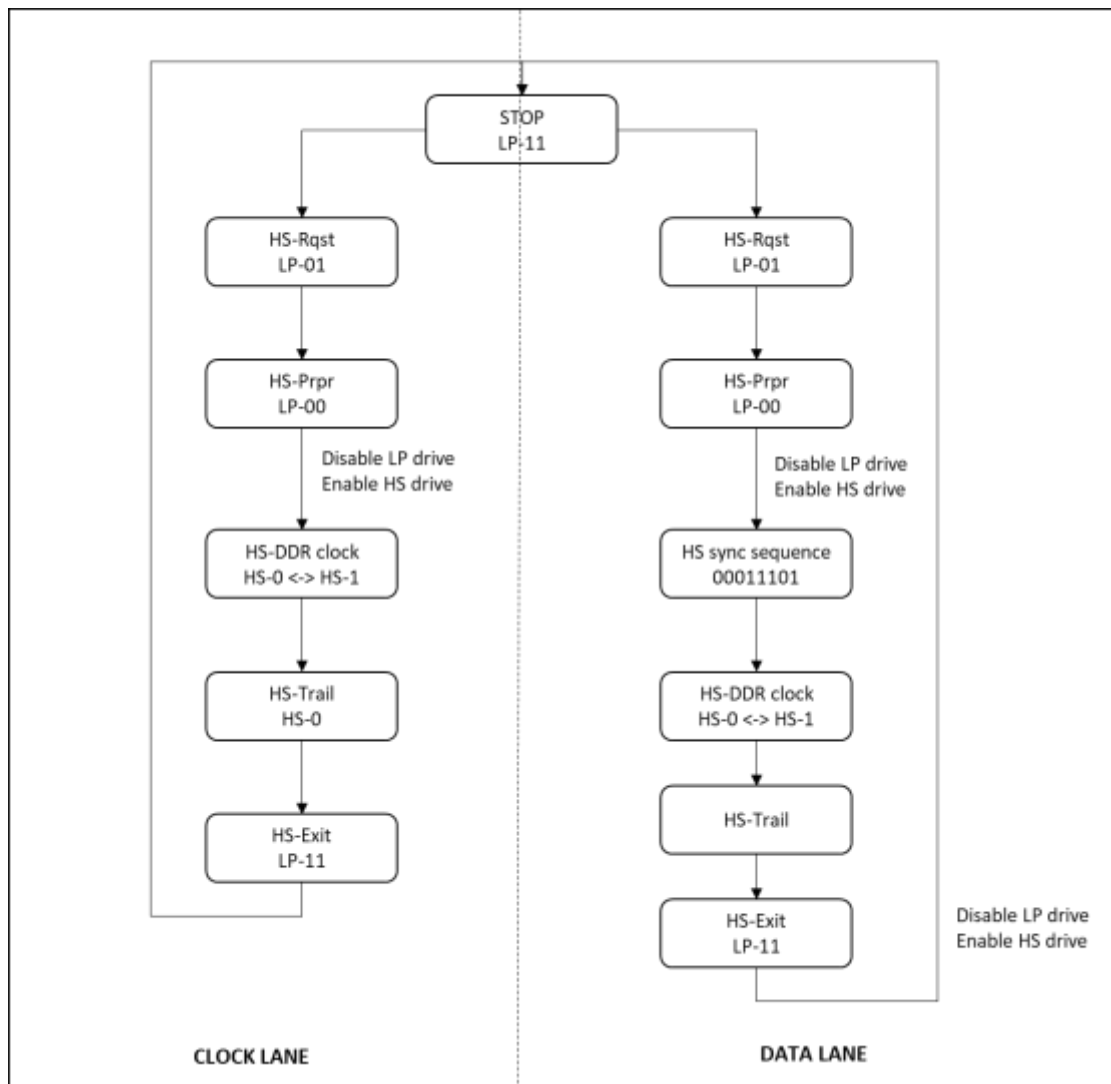


突发的有效载荷数据应始终表示整数个有效载荷数据字节，最小长度为 1 字节。PHY 并未明确规定最大字节数。然而，在 HS 数据突发期间，PHY 中没有独立的错误恢复方法，实际 BER（误码率）不会为零。

当高速请求输入被禁用时，每个通道都会退出高速数据传输模式。重要的是，在高速数据传输期间，时钟通道必须保持高速模式。因此，应将 `ppi_enable_clk0` 设置为高电平以启用时钟通道模块。时钟通道必须在高速数据传输开始前进入高速模式，并保持此状态，直到所有数据通道完成突发传输并返回停止状态。

此外，需要考虑高速模式下时钟通道和数据通道的不同状态图。根据下图进入或退出高速模式的操作顺序在时钟通道和数据通道之间略有不同。

图 42-18 高速传输状态图



### 42.10.5.3 Escape 模式

Escape mode 是一种特殊的操作模式，可用于使用低功耗状态的数据通道的低速异步数据通信。

对于数据通道，一旦进入 Escape 模式，发射器应发送一个 8 位进入命令来指示请求。下表列出了当前所有可用的 Escape 模式命令和操作。处于 Escape 模式的 MIPI D-PHY TX IP 应在命令和数据上应用 Space-One-Hot 编码（Mark 状态与 Space 状态交错）。

每个符号由以下两部分组成：

- 独热相位（Mark-0 或 Mark-1）
- Space 状态

要传输“一位”，应先发送 Mark-1，然后发送 Space 状态。要传输“零位”，应先发送 Mark-0，然后发送 Space 状态。未发送 Space 状态的 Mark 不代表一位。退出 Escape 模式并进入 Stop 状态之前的最后一个阶段应为 Mark-1 状态，该状态不属于通信位，因为它之后没有 Space 状态。每个单独的 LP 状态周期的长度至少应为 TLPX, MIN。

表 42-10 Escape 模式进入命令

Escape 模式状态	命令类型	输入命令模式（从发送的第一个比特到发送的最后一个比特）
Low Power Data Transmission	Mode	11100001
Ultra-Low Power State	Mode	00011110
Undefined-1	Mode	10011111
Undefined-2	Mode	11011110
Reset-Trigger[remote application]	Trigger	01100010
Unknown-3	Trigger	01011101
Unknown-4	Trigger	00100001
Unknown-5	Trigger	10100000

#### 42.10.5.4 低功耗数据传输 (LPDT)

在 LPDT 模式下，数据可以通过协议以低速传输，同时通道保持低功耗模式。数据应使用与进入命令相同的 Spaced-One-Hot 码在线路上进行编码。退出 Escape 模式前的最后一个状态是 Mark-1，由于 Mark-1 之后是 Stop 状态，因此不被视为一个数据位。

#### 42.10.5.5 复位触发

触发信令是一种根据发送方协议的请求向接收方协议发送标志的机制。

请注意，触发信号（包括 Reset-Trigger 信号）是一种通用的消息传递系统。触发命令不会影响 PHY 本身的行为。因此，协议层可以将触发信号用于任何目的。

#### 42.10.5.6 超低功耗状态 (ULPS)

ULPS 是活动模式下功耗最低的状态。在此状态下，线路处于 LP-00 状态。虽然时钟通道不支持常规 escape 功能，但时钟通道仅支持 ULPS。

### 42.11 DPHY 配置

#### 42.11.1 参考时钟周期和设置

表 42-11 参考时钟频率选择

refclk_in_sel [2:0]	refclk_in Frequency (MHz)
000	Reserved
001	12 MHz
010	19.2 MHz
011	25 MHz
100	26 MHz
101	27 MHz
110	38.4 MHz
111	52 MHz

#### 42.11.2 Escape 时钟周期

每个单独的 LP 状态周期的长度至少应为 TLPX, MIN。ppi\_txclkesc\_all 的频率应小于或等于 19.2 MHz。

注意: *ppi\_txclkesc\_all* 信号不从此 IP 的任何输出分频。

### 42.11.3 Lane 交换功能

DPHY 支持通过将物理端口从一个通道更改为另一个通道来交换通道。

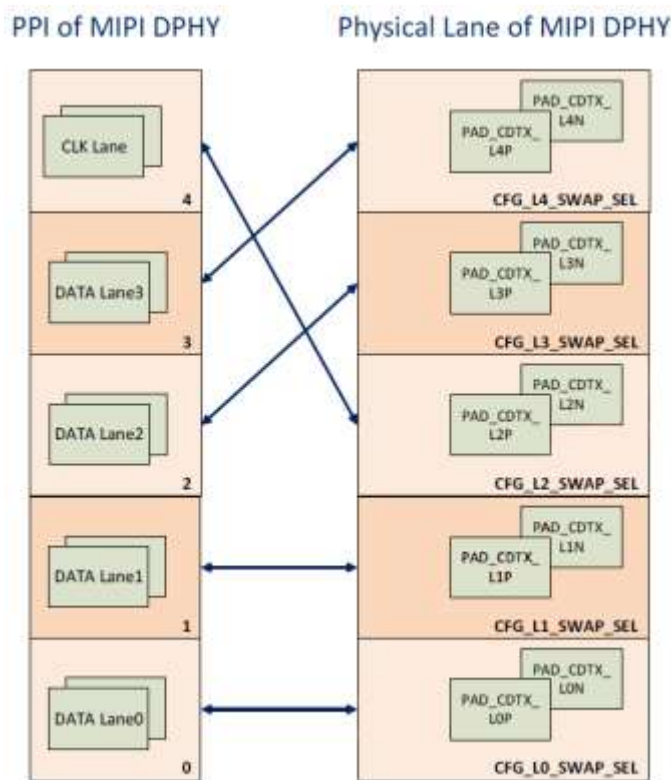
用户可以通过设置 DSIPHY\_CTRL1.L0SEL[2:0]、DSIPHY\_CTRL1.L1SEL[2:0]、DSIPHY\_CTRL1.L2SEL[2:0]、DSIPHY\_CTRL1.L3SEL[2:0] 和 DSIPHY\_CTRL1.L4SEL[2:0] 输入信号来分配 PPI 信号与各个物理通道之间的关系。MIPI D-PHY PPI 使用数字 A=4 表示 CLK 通道, 数字 A(3-0) 表示 DATA 通道 3-0。

$$\text{CFG\_L}N\text{\_SWAP\_SEL} = A$$

↑
↑  
Physical Lane of MIPI DPHY
MIPI DPHY PPI

例如, 如果 DSIPHY\_CTRL1.L4SEL[2:0] 设置为 3'd3, DSIPHY\_CTRL1.L3SEL[2:0] 设置为 3'd2, DSIPHY\_CTRL1.L2SEL[2:0] 设置为 3'd4, DSIPHY\_CTRL1.L1SEL[2:0] 设置为 3'd1, DSIPHY\_CTRL1.L0SEL[2:0] 设置为 3'd0, 则相应的 CLK 通道应设置在物理布局的中间。这些是建议的设置。请注意, DSIPHY\_CTRL1.LxSEL[2:0] 的分配必须是独占的。对应关系如下图所示。

图 42-19 Lane 切换示例



下表显示了 DSIPHY\_CTRL1.LxSEL[2:0] 的设置。建议用户将 L0SEL[2:0] 设置为 3'd0, L1SEL[2:0] 设置为 3'd1, L2SEL[2:0] 设置为 3'd4, L3SEL[2:0] 设置为 3'd2, L4SEL[2:0] 设置为 3'd3。

表 42-12 DSIPHY\_CTRL1.LxSEL[2:0] 设置

信号	值	映射
DSIPHY_CTRL1.L0SEL[2:0]	3'd0	Data Lane0 <-> PAD_CDTX_L0x

DSIPHY_CTRL1.L1SEL[2:0]	3'd1	Data Lane1 <-> PAD_CDTX_L1x
DSIPHY_CTRL1.L2SEL[2:0]	3'd4	Clock Lane <-> PAD_CDTX_L2x
DSIPHY_CTRL1.L3SEL[2:0]	3'd2	Data Lane2 <-> PAD_CDTX_L3x
DSIPHY_CTRL1.L4SEL[2:0]	3'd3	Data Lane3 <-> PAD_CDTX_L4x

## 42.12 DSI 寄存器

DSI-2 主机控制器寄存器，该部分寄存器的起始地址为 0x5000\_0000。

### 42.12.1 DSI 主机基础寄存器

#### 42.12.1.1 DSI 主机通道配置寄存器 (DSI\_NUMLANES)

地址偏移: 0x00

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												NUMLANES[3:0]			
rw															

位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3:0	NUMLANES[3:0]	设置用于数据传输的活动通道数。 0000: 无活动通道（复位后默认值） 0001: 1 Lane 0010: 2 Lane 0011: 3 Lane 0100: 4 Lane

#### 42.12.1.2 DSI 主机连续高速时钟配置寄存器 (DSI\_CONTHSCLK)

地址偏移: 0x04

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----

Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															CONTHSCLK
rw															

位域	名称	描述
31:1	Reserved	保留，必须保持复位值
0	CONTHSCLK	将主机控制器设置为连续 MIPI 时钟模式。 在非连续时钟模式下，高速时钟会在传输间隙切换到低功耗模式。  0：非连续高速时钟 1：连续高速时钟

#### 42.12.1.3 DSI 主机 DPHY 配置寄存器 1 (DSI\_TPRE)

地址偏移：0x08

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								TPRE[7:0]							
rw															

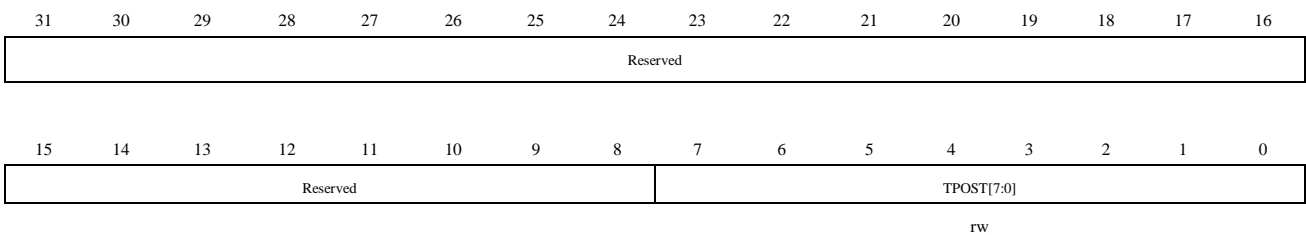
位域	名称	描述
31:8	Reserved	保留，必须保持复位值
7:0	TPRE[7:0]	设置控制器在启用高速时钟通道后，等待多少个 byte_clk 周期后，才会启用高速数据通道。此设置代表 (TLPX + TCLK-PREPARE +

位域	名称	描述
		TCLK-ZERO + TCLK-PRE) DPHY 时序参数。此端口的最小值为 1。

#### 42.12.1.4 DSI 主机 DPHY 配置寄存器 2 (DSI\_TPOST)

地址偏移: 0x0C

复位值: 0x0000 0000

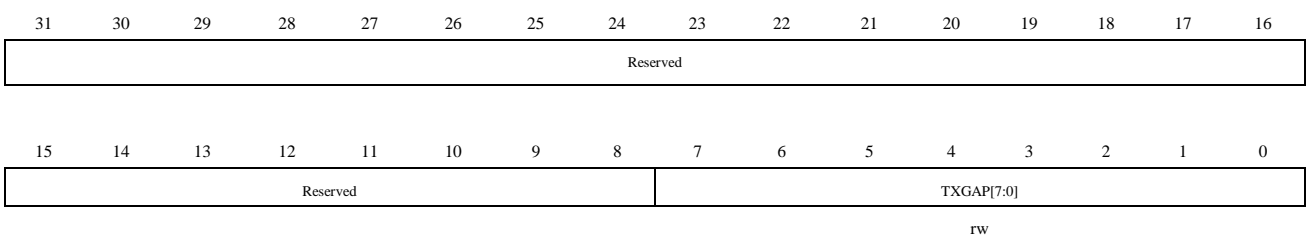


位域	名称	描述
31:8	Reserved	保留, 必须保持复位值
7:0	TPOST	设置在检测到数据通道处于停止状态后, 将时钟通道切换到低功耗 (LP) 模式之前等待的 byte_clk 周期数。此设置代表 TCLK-POST DPHY 时序参数。此端口的最小值为 1。

#### 42.12.1.5 DSI 主机 DPHY 配置寄存器 3 (DSI\_TXGAP)

地址偏移: 0x010

复位值: 0x0000 0000



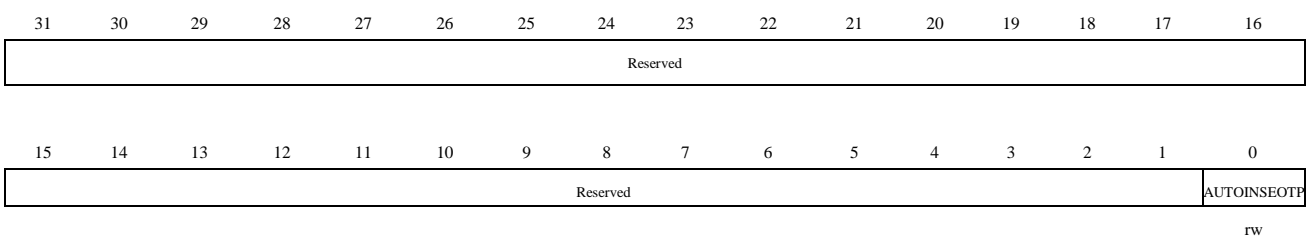


位域	名称	描述
31:8	Reserved	保留，必须保持复位值
7:0	TXGAP	设置时钟通道进入低通（LP）模式后，控制器等待的 byte_clk 周期数，之后才会再次启用时钟通道进入高通（HS）模式。此设置代表 THS-EXIT DPHY 时序参数。此端口的最小值为 1。

#### 42.12.1.6 DSI 主机自动插入 EOTP 寄存器 (DSI\_AUTOINSERT\_EOTP)

地址偏移: 0x14

复位值: 0x0000 0000



位域	名称	描述
31:1	Reserved	保留，必须保持复位值
0	AUTOINSEOTP	使能主机控制器能够在从 HS 模式切换到 LP 模式时自动插入 EoTp 短数据包。  0: 不自动插入 EoTP 1: 自动插入 EoTP

#### 42.12.1.7 DSI 主机失能 RX CRC 校验寄存器 (DSI\_DISRXCRCCHK)

地址偏移: 0x18

复位值: 0x0000 0000



Reserved
15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0
Reserved
DISRXCRCCHK
rw

位域	名称	描述
31:1	Reserved	保留，必须保持复位值
0	DISRXCRCCHK	配置 DSI 主机控制器不对外围设备发送的长数据包进行有效载荷 CRC 校验。如果外围设备不支持 CRC 生成，则应设置此输入。  0：校验 CRC 1：不校验 CRC

#### 42.12.1.8 DSI 主机高速 TX 超时配置寄存器 (DSI\_HSTXTOCNT)

地址偏移：0x1C

复位值：0x0000 0000

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16
Reserved <span style="float: right;">HSTXTOCNT[23:16]</span>
rw
15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0
HSTXTOCNT[15:0]
rw

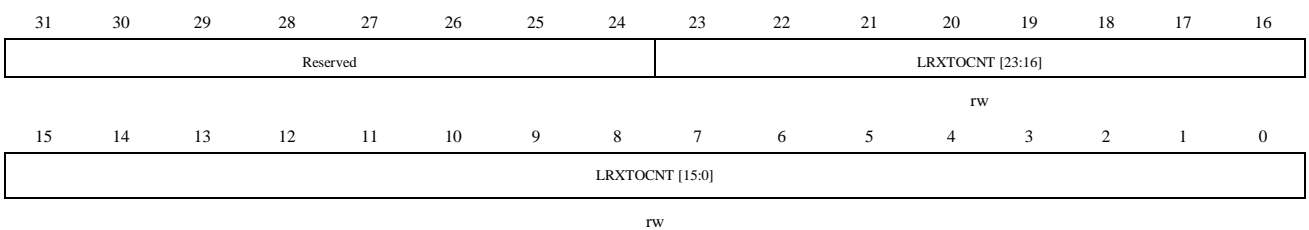
位域	名称	描述
31:24	Reserved	保留，必须保持复位值
23:0	HSTXTOCNT[23:0]	设置 DSI 主机高速 TX 超时计数（以 byte_clk 周期为单位），达到该计数后将触发超时错误，并遵循 DSI 规范中记录的恢复

位域	名称	描述
		过程。 <i>注意：如果设置的值为 0x000000，则禁用超时。</i>

#### 42.12.1.9 DSI 主机低功耗 RX 超时配置寄存器 (DSI\_LRXTOCNT)

地址偏移：0x20

复位值：0x0000 0000

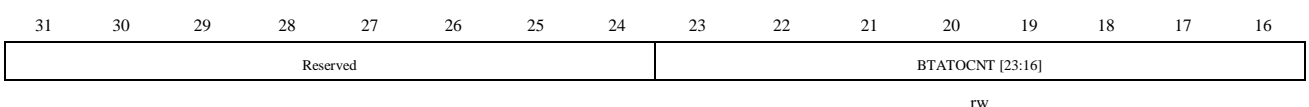


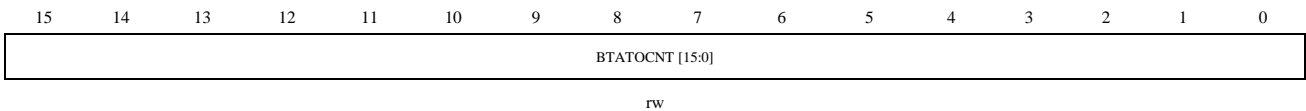
位域	名称	描述
31:24	Reserved	保留，必须保持复位值
23:0	LRXTOCNT [23:0]	设置 DSI 主机低功耗接收超时计数（以 byte_clk 周期为单位），达到该计数后将触发超时错误，并遵循 DSI 规范中记录的恢复过程。 <i>注意：如果设置的值为 0x000000，则禁用超时。</i>

#### 42.12.1.10 DSI 主机总线周转超时配置寄存器 (DSI\_BTATOCNT)

地址偏移：0x24

复位值：0x0000 0000



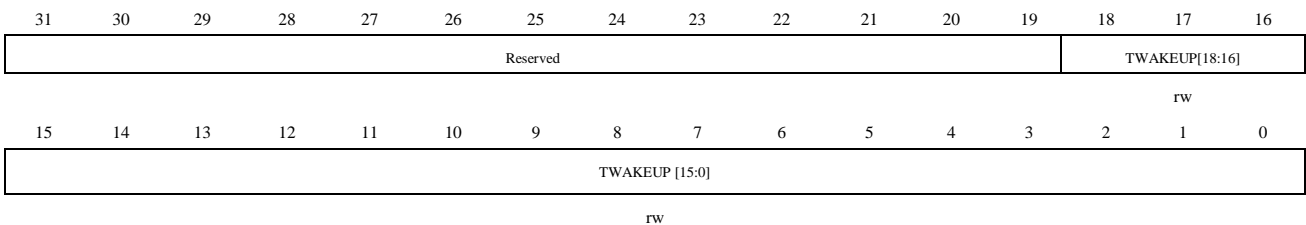


位域	名称	描述
31:24	Reserved	保留，必须保持复位值
23:0	BTATOCNT[23:0]	设置 DSI 主机总线周转 (BTA) 超时值 (以 byte_clk 周期为单位)，达到该值后将触发超时错误。  <i>注意：如果设置的值为 0x000000，则禁用超时。</i>

#### 42.12.1.11 DSI DPHY 唤醒时序参数寄存器 (DSI\_TWAKEUP)

地址偏移：0x28

复位值：0x0000 0000



位域	名称	描述
31:19	Reserved	保留，必须保持复位值
18:0	TWAKEUP[18:0]	DPHY 唤醒时序参数。设置在退出 ULPS 后，使时钟或数据通道保持在 Mark-1 状态所需的 clk_esc 时钟周期数。MIPI DPHY 规范要求退出 ULPS 后，Mark-1 状态至少保持 1

位域	名称	描述
		毫秒。

#### 42.12.1.12 DSI 主机失能 Burst 寄存器 (DSI\_DISBST)

地址偏移: 0x2C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															DISBST

rw

位域	名称	描述
31:1	Reserved	保留, 必须保持复位值
0	DISBST	禁用数据包合并成突发传输。正常的 DSI-2 操作是将数据包合并成突发传输, 只要 pkt_tx_cmd_req 被置位, 就不会在每个数据包之间返回到 LP 模式。  0: 数据包合并成突发传输 1: 每个数据包单独发送, 并在每个数据包之间返回到 LP 模式

#### 42.12.1.13 DSI 主机外设状态寄存器 (DSI\_STS)

地址偏移: 0x3C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved												BIT3	BIT2	BIT1	BIT0
												ro	ro	ro	ro
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PROVILT	Reserved	INVLDTXL	VCIDINVLD	DATYPERR	CRCERR	ECCMERR	ECCSERR	COTDET	FCTRLERR	TOERR	LPTXSYNCERR	ESCMODERR	EOTSYNCERR	SOTSYNCERR	SOTERR
ro		ro	ro	ro	ro	ro	ro	ro	ro	ro	ro	ro	ro	ro	ro

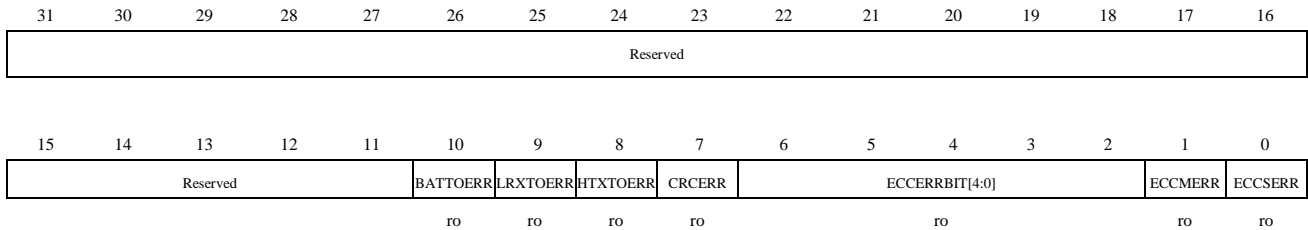
位域	名称	描述
31:20	Reserved	保留，必须保持复位值
19	BIT3	最后接收到的触发信号 bit3
18	BIT2	最后接收到的触发信号 bit2
17	BIT1	最后接收到的触发信号 bit1
16	BIT0	最后接收到的触发信号 bit0
15	PROVILT	协议违规标志
14	Reserved	保留，必须保持复位值
13	INVLDTXL	传输长度无效标志
12	VCIDINVLD	VC ID 无效标志
11	DATYPERR	数据类型无法识别错误标志
10	CRCERR	CRC 错误标志
9	ECCMERR	多位 ECC 错误标志
8	ECCSERR	单比特 ECC 错误标志
7	COTDET	检测到争用标志
6	FCTRLERR	False 控制错误标志
5	TOERR	外设超时错误标志
4	LPTXSYNCERR	LP 发送同步错误标志
3	ESCMODERR	Esc 模式进入错误标志
2	EOTSYNCERR	EoT 同步错误标志
1	SOTSYNCERR	SotSync 错误标志

位域	名称	描述
0	SOTERR	SoT 错误标志

#### 42.12.1.14 DSI 主机 RX 错误状态寄存器 (DSI\_ERRSTS)

地址偏移: 0x40

复位值: 0x0000 0000



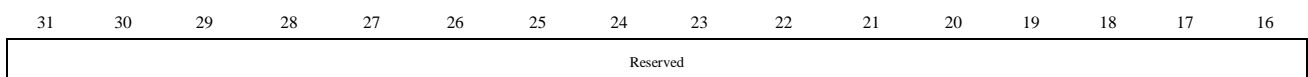
位域	名称	描述
31:11	Reserved	保留, 必须保持复位值
10	BATTOERR	检测到 BTA 超时
9	LRXTOERR	检测到低功耗数据接收超时
8	HTXTOERR	检测到高速正向发送超时
7	CRCERR	检测到 CRC 错误
6:2	ECCERRBIT[4:0]	检测到单比特 ECC 错误的错误位位置
1	ECCMERR	检测到 ECC 多比特错误
0	ECCSERR	检测到 ECC 单比特错误

#### 42.12.2 DSI 主机 PHY Lane 使能寄存器

##### 42.12.2.1 DSI 主机 CLK 通道使能寄存器 (DSI\_CLKLANEN)

地址偏移: 0x60

复位值: 0x0000 0000



15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															CLKLANEN
rw															

位域	名称	描述
31:1	Reserved	保留，必须保持复位值
0	CLKLANEN	设置此位可启用 PHY 时钟通道  0：禁用 PHY 时钟通道  1：启用 PHY 时钟通道

#### 42.12.2.2 DSI 主机数据通道使能寄存器 (DSI\_DATLANEN)

地址偏移：0x64

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												DATLANEN[3:0]			
rw															

位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3:0	DATLANEN[3:0]	设置对应位可启用 PHY 数据通道  Bit0：使能数据通道 0  Bit1：使能数据通道 1  Bit2：使能数据通道 2  Bit3：使能数据通道 3

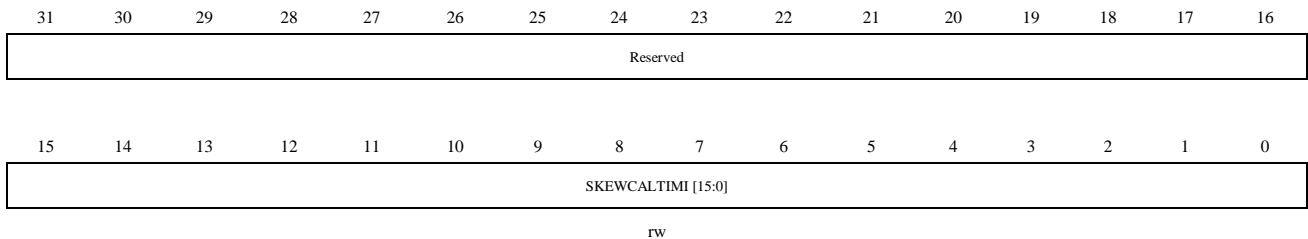


### 42.12.3 DSI 主机偏斜校准寄存器

#### 42.12.3.1 DSI 主机初始偏斜校准时间寄存器 (DSI\_SKEWCALTIMI)

地址偏移: 0xC0

复位值: 0x0000 0000

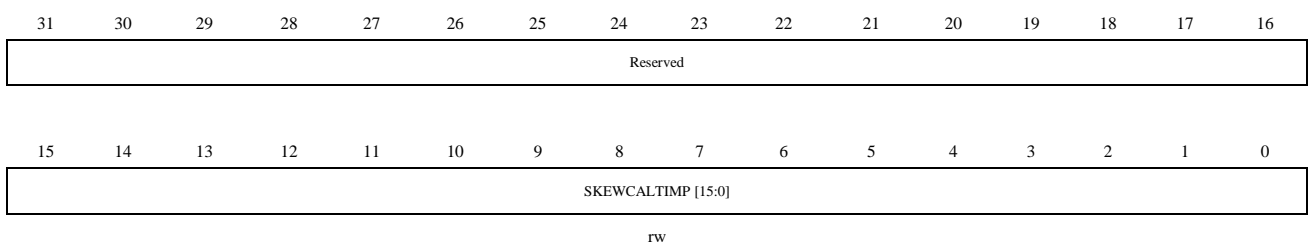


位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15:0	SKEWCALTIMI [15:0]	主机初始时钟偏斜校准计数。设置初始时钟偏斜校准时间 (以 byte_clk 时钟周期为单位)。

#### 42.12.3.2 DSI 主机周期性偏斜校准时间寄存器 (DSI\_SKEWCALTIMP)

地址偏移: 0xC4

复位值: 0x0000 0000



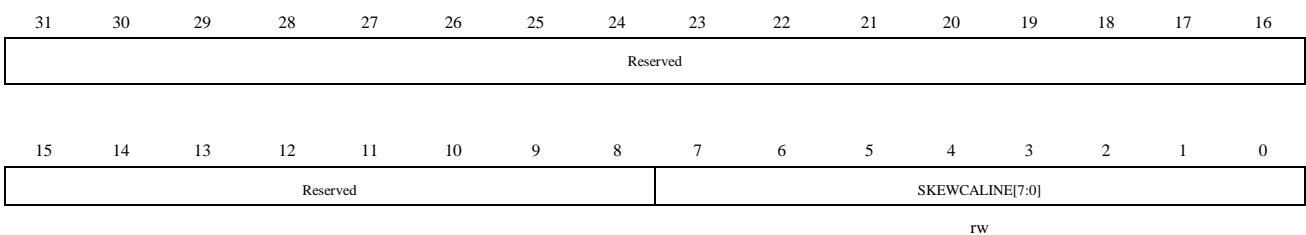
位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15:0	SKEWCALTIMP [15:0]	主机周期性时钟偏斜校准计数。设置周期性

位域	名称	描述
		时钟偏斜校准时间的值，单位为 byte_clk 时钟周期。

### 42.12.3.3 DSI 主机周期偏斜校准寄存器 (VID\_SKEWCALINE)

地址偏移: 0xCC

复位值: 0x0000 0000



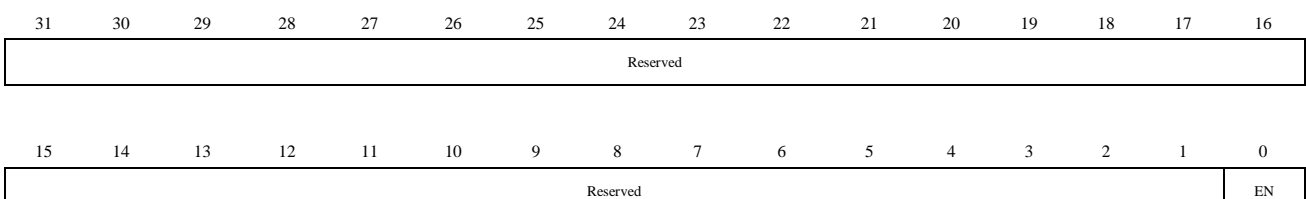
位域	名称	描述
31:8	Reserved	保留，必须保持复位值
7:0	SKEWCALINE[7:0]	垂直消隐期间执行周期性偏斜校准的行号。 设置为零表示不在视频流中插入周期性偏斜校准。 <i>注意：启用视频接口时存在。</i>

## 42.12.4 DSI 主机视频接口

### 42.12.4.1 DSI 主机 VID 使能寄存器 (VID\_EN)

地址偏移: 0x200

复位值: 0x0000 0000

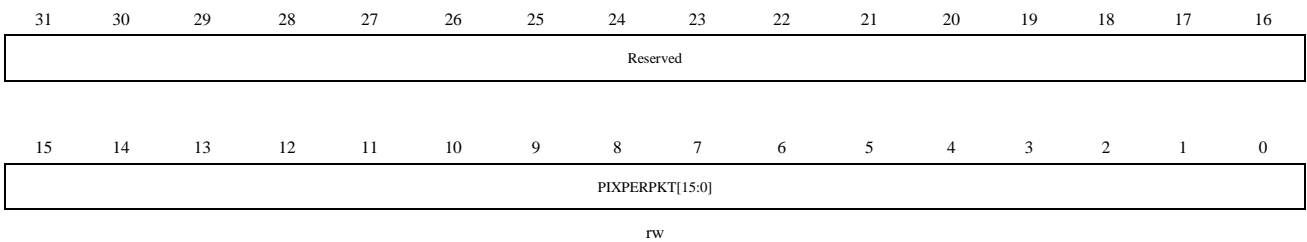


位域	名称	描述
31:1	Reserved	保留，必须保持复位值
0	EN	启用视频接口  0：视频接口关闭，不发送任何数据包  1：视频接口开启，视频接口上的视频生成数据包

#### 42.12.4.2 DSI 主机 VID 每包像素配置寄存器 (VID\_PIXPERPKT)

地址偏移：0x204

复位值：0x0000 0000



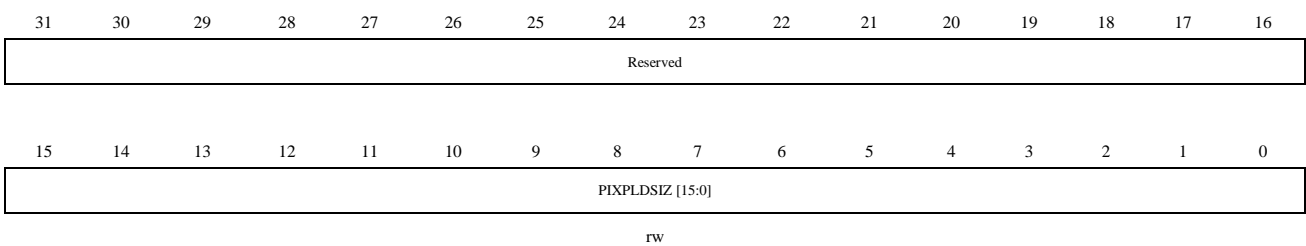
位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	PIXPERPKT[15:0]	每个视频行在数据包中要发送的像素数。  如果 VID_PKTPERLINE. PKTPERLINE[3:0] = 1，则设置为每个视频行的总像素数。  如果 VID_PKTPERLINE. PKTPERLINE[3:0] = 2，则设置为视频行像素数的一半。  .....

位域	名称	描述
		依此类推。 <i>注意：建议该值能被视频行的像素大小整除。</i>

#### 42.12.4.3 DSI 主机 VID 像素负载大小寄存器 (VID\_PIXPLDSIZ)

地址偏移: 0x208

复位值: 0x0000 0000

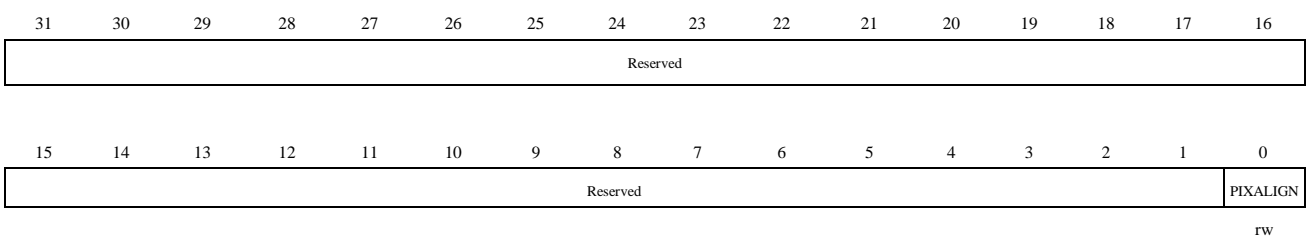


位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15:0	PIXPLDSIZ[15:0]	视频行上要发送的总字节数。

#### 42.12.4.4 DSI 主机 VID 像素 MSB 对齐使能寄存器 (VID\_PIXALIGN)

地址偏移: 0x20c

复位值: 0x0000 0000



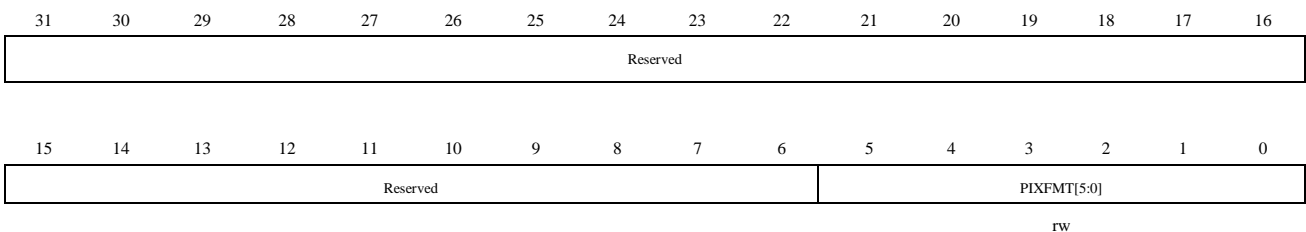
位域	名称	描述
31:1	Reserved	保留, 必须保持复位值

位域	名称	描述
0	PIXALIGN	视频模式 MSB 对齐使能。  0：失能 MSB 对齐  1：使能 MSB 对齐  <i>注意：视频模式必须设置为 1。</i>

#### 42.12.4.5 DSI 主机 VID 像素格式寄存器 (VID\_PIXFMT)

地址偏移：0x210

复位值：0x0000 0000



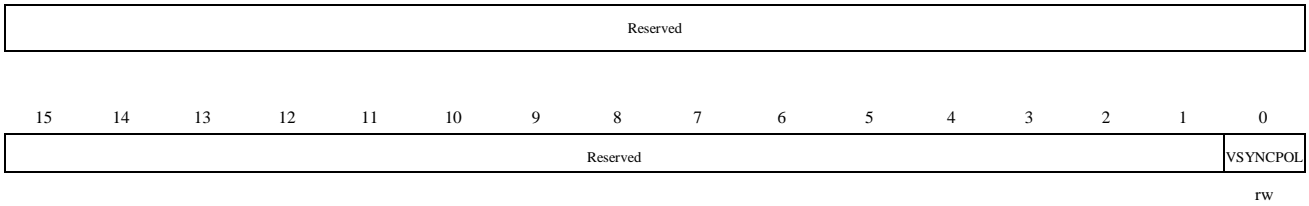
位域	名称	描述
31:6	Reserved	保留，必须保持复位值
5:0	PIXFMT[5:0]	设置像素的 DSI-2 数据包类型。  0x0E：16 位 RGB565  0x1E：18 位 RGB666  0x2E：18 位 RGB666（松散打包）  0x3E：24 位 RGB888  其他值：保留

#### 42.12.4.6 DSI 主机 VID 垂直同步极性寄存器 (VIEW\_VSUNSPOL)

地址偏移：0x214

复位值：0x0000 0000



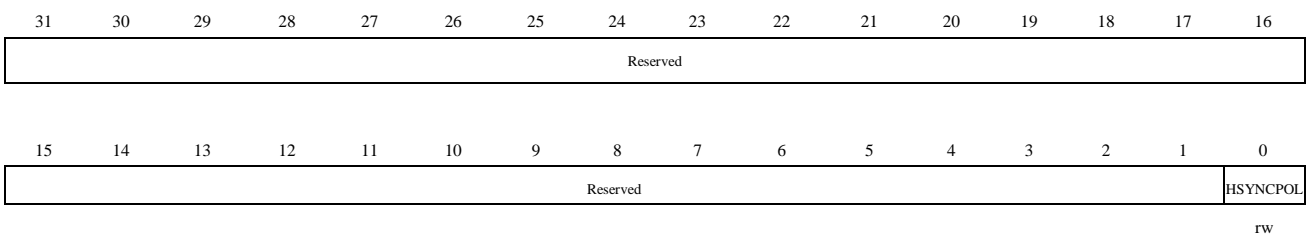


位域	名称	描述
31:1	Reserved	保留，必须保持复位值
0	VSYNCPOL	设置 VID 垂直同步输入的极性 0：低电平有效 1：高电平有效

#### 42.12.4.7 DSI 主机 VID 水平同步极性寄存器 (VID\_HSYNCPOL)

地址偏移：0x218

复位值：0x0000 0000

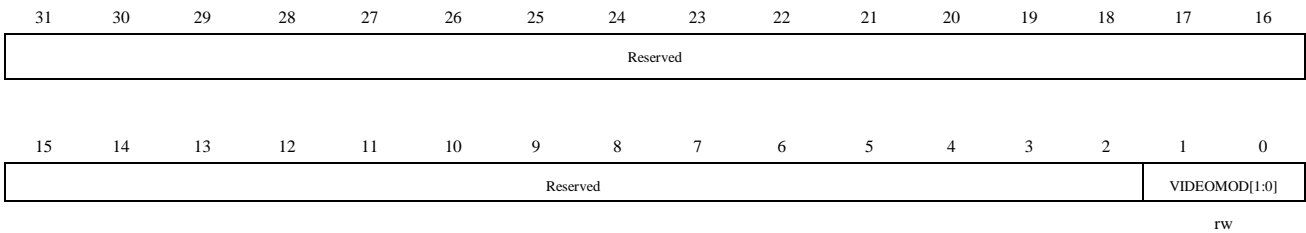


位域	名称	描述
31:1	Reserved	保留，必须保持复位值
0	HSYNCPOL	设置 VID 水平同步输入的极性 0：低电平有效 1：高电平有效

#### 42.12.4.8 DSI 主机 VID 视频模式寄存器 (VID\_VIDEOMOD)

地址偏移：0x21C

复位值：0x0000 0000

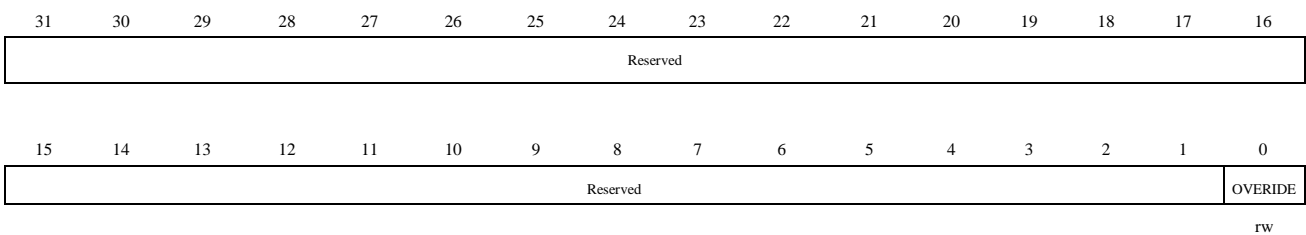


位域	名称	描述
31:2	Reserved	保留，必须保持复位值
1:0	VIDEOMOD[1:0]	选择主机 VID 模块应生成数据包的 DSI-2 视频模式。  00: 同步脉冲的非突发模式 01: 同步事件的非突发模式 10: 突发模式 11: 保留

#### 42.12.4.9 DSI 主机 VID Override 模式寄存器 (VID\_OVERRIDE)

地址偏移: 0x220

复位值: 0x0000 0000



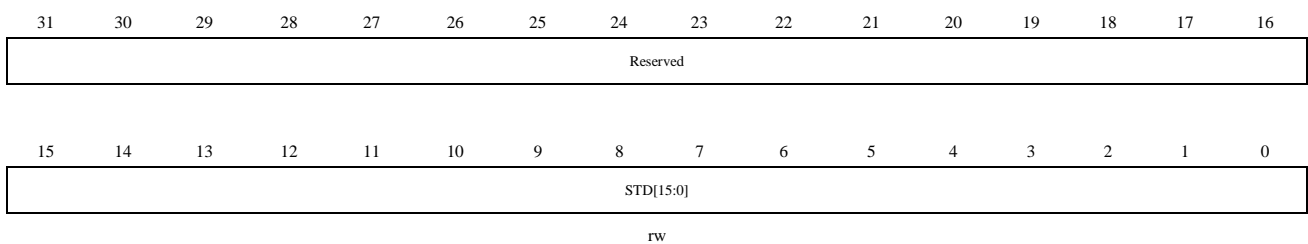
位域	名称	描述
31:1	Reserved	保留，必须保持复位值
0	OVERRIDE	设置使用时序参数 (VID_HFP、VIP_HBP、VID_HSA、VID_VBP、VID_VFP、VID_VACT) 而非视

位域	名称	描述
		频首帧进行测量。 0: 自动模式, 使用视频首帧进行测量时序参数 1: 手动模式, 使用 (VID_HFP、VIP_HBP、VID_HSA、VID_VBP、VID_VFP、VID_VACT) 时序参数

#### 42.12.4.10 DSI 主机 VID 行开始延迟寄存器 (VID\_STD)

地址偏移: 0x224

复位值: 0x0000 0000



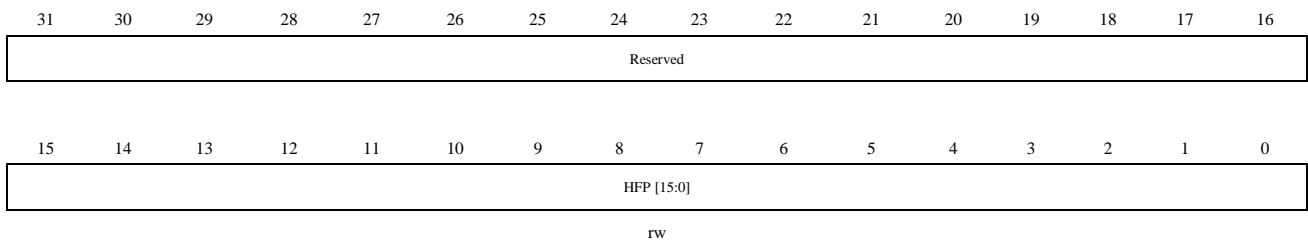
位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15:0	STD[15:0]	设置行起始延迟的周期数。用于填充像素 FIFO。 为了优化 DSI-2 程序, 视频接口会在发起 DSI-2 数据包之前缓存一定数量的像素。此配置端口控制在请求 DSI-2 主机控制器开始发送数据之前等待的 byte_clk 周期数。

#### 42.12.4.11 DSI 主机 VID HFP 寄存器 (VID\_HFP)

地址偏移: 0x228



复位值：0x0000 0000

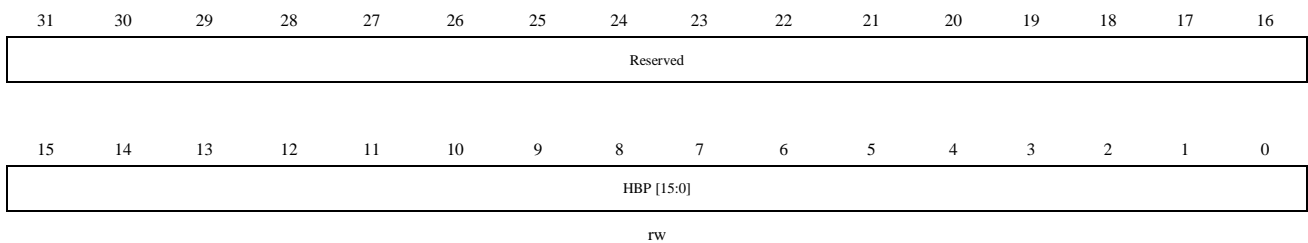


位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	HFP [15:0]	设置水平前廊消隐数据包的 DSI-2 数据包有效载荷大小（以字节为单位）。

#### 42.12.4.12 DSI 主机 VID HBP 寄存器（VID\_HBP）

地址偏移：0x22C

复位值：0x0000 0000

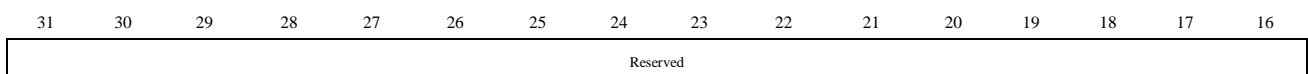


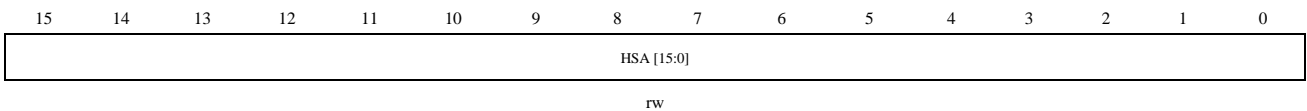
位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	HBP [15:0]	设置水平后廊消隐数据包的 DSI-2 数据包有效载荷大小（以字节为单位）。

#### 42.12.4.13 DSI 主机 VID HSA 寄存器（VID\_HSA）

地址偏移：0x230

复位值：0x0000 0000



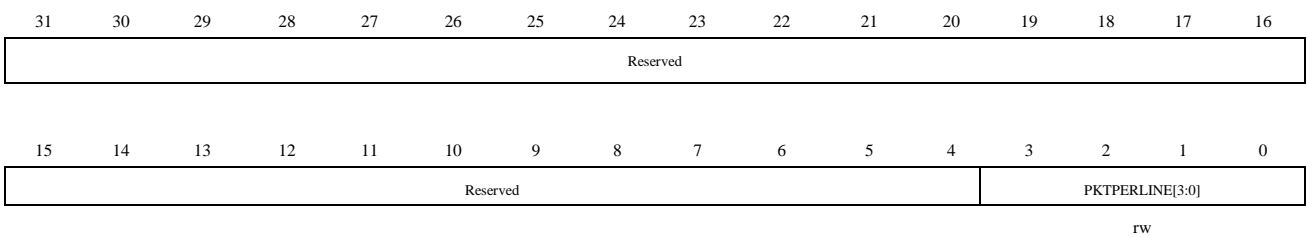


位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	HSA	设置水平同步宽度填充消隐包的 DSI-2 数据包有效载荷大小（以字节为单位）。

#### 42.12.4.14 DSI 主机每个视频行数据包数量寄存器（VID\_PKTPERLINE）

地址偏移：0x234

复位值：0x0000 0001

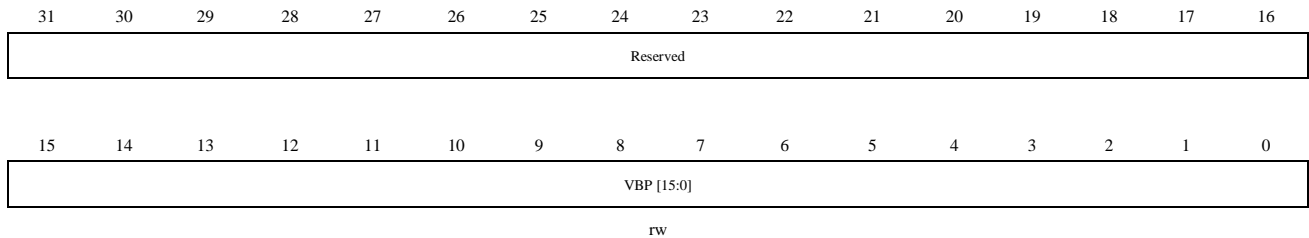


位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3:0	PKTPERLINE	设置每个视频行的数据包数量。默认值为 1。  0001：每个视频行发送 1 个数据包 0010：发送 2 个数据包 0100：发送 4 个数据包 其他：保留

#### 42.12.4.15 DSI 主机 VID VBP 寄存器 (VID\_VBP)

地址偏移: 0x238

复位值: 0x0000 0000

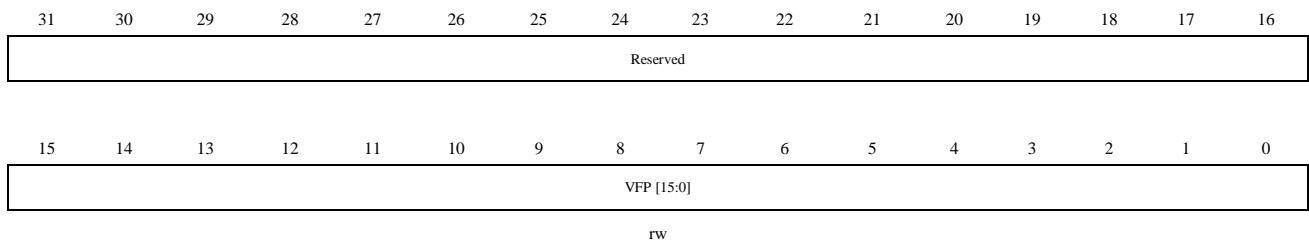


位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15:0	VBP[15:0]	设置垂直后廊的行数量。

#### 42.12.4.16 DSI 主机 VID VFP 寄存器 (VID\_VFP)

地址偏移: 0x23C

复位值: 0x0000 0000

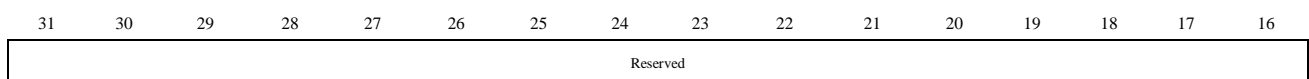


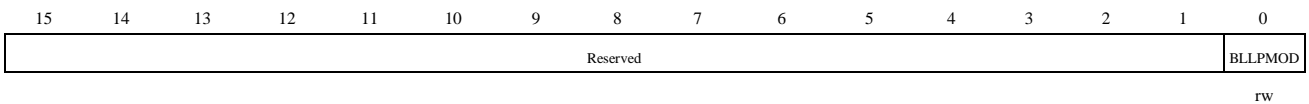
位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15:0	VFP	设置垂直前廊的行数量。

#### 42.12.4.17 DSI 主机 VID BLLP 模式寄存器 (VID\_BLLPMOD)

地址偏移: 0x240

复位值: 0x0000 0000



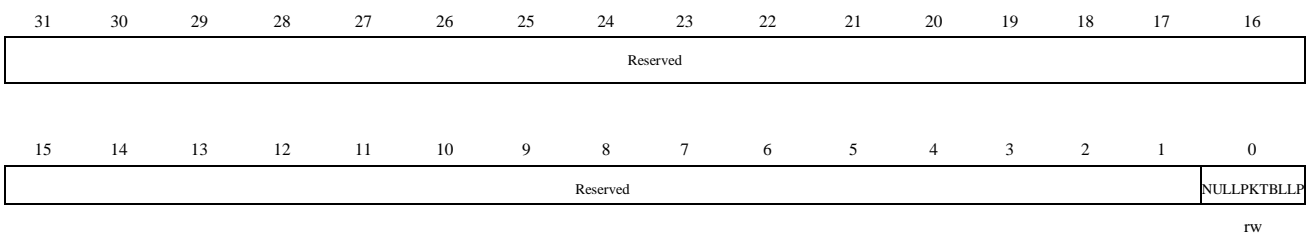


位域	名称	描述
31:1	Reserved	保留，必须保持复位值
0	BLLPMOD	BLLP 区域状态  0：在 BLLP 周期内发送消隐数据包  1：BLLP 周期使用低功耗模式

#### 42.12.4.18 DSI 主机 VID 空包 BLLP 寄存器 (VID\_NULLPKTBLLP)

地址偏移：0x244

复位值：0x0000 0000



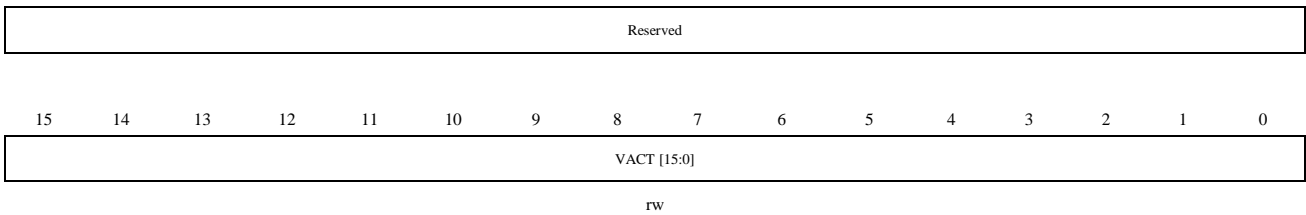
位域	名称	描述
31:1	Reserved	保留，必须保持复位值
0	NULLPKTBLLP	BLLP 区域发送的消隐包类型  0：BLLP 区域使用的消隐包  1：BLLP 区域使用的空包

#### 42.12.4.19 DSI 主机 VID 垂直有效寄存器 (VID\_VACT)

地址偏移：0x248

复位值：0x0000 0000



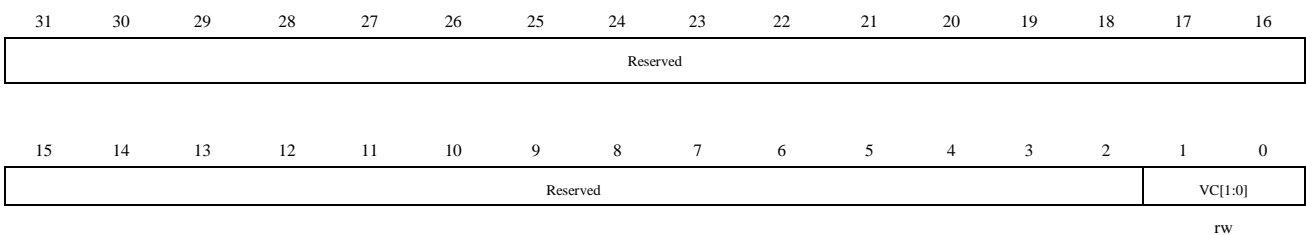


位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	VACT	设置垂直有效行数。

#### 42.12.4.20 DSI 主机 VID 虚拟通道寄存器 (VID\_VC)

地址偏移: 0x24C

复位值: 0x0000 0000

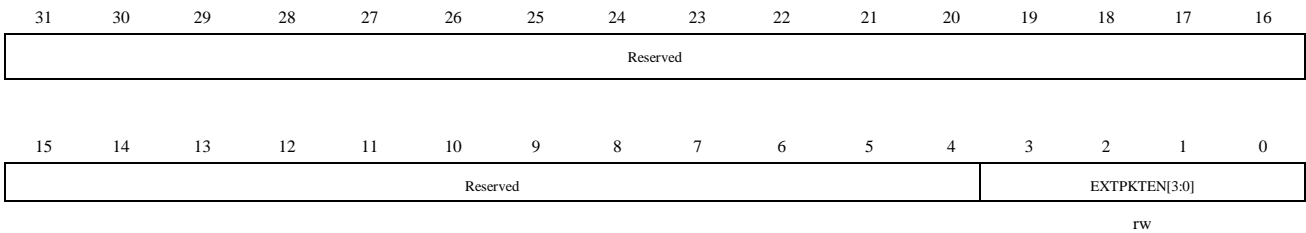


位域	名称	描述
31:2	Reserved	保留，必须保持复位值
1:0	VC	设置视频接口的预期虚拟通道 (VC)。此 VC 与每个数据包接收到的 VC 进行比较，只有 VC 匹配的数据包才会输出到视频接口，否则数据包将被丢弃，并且硬件会报告错误并设置 DSI_STS.VCIDINVLD 位。

#### 42.12.4.21 DSI 主机 VID 外部数据包使能寄存器 (VID\_EXTPKTEN)

地址偏移: 0x250

复位值: 0x0000 0000

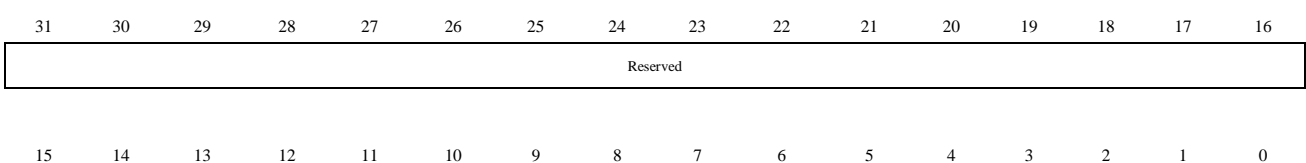


位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3:0	EXTPKTEN[3:0]	<p>设置视频处理期间何时通过 APB 数据包接口发送视频接口外部的数据包。如果所有位都清除，则启用视频接口时，APB 数据包接口将不接受任何数据包。</p> <p>位 0：垂直同步期间允许外部数据包</p> <p>位 1：垂直后沿期间允许外部数据包</p> <p>位 2：视频行激活期间允许外部数据包</p> <p>位 3：垂直前沿期间允许外部数据包</p> <p><i>注意：必须将 VID_BLLPMOD.BLLPMOD 设置为 1 才能启用到 LP 模式的转换，以便为发送外部数据包留出空间。外部数据包和视频数据包将作为单独的突发数据包发送。</i></p>

#### 42.12.4.22 DSI 主机 VID 垂直同步开始有效载荷寄存器 (VID\_VSSPLD)

地址偏移：0x254

复位值：0x0000 0000



VSSPLD [15:0]

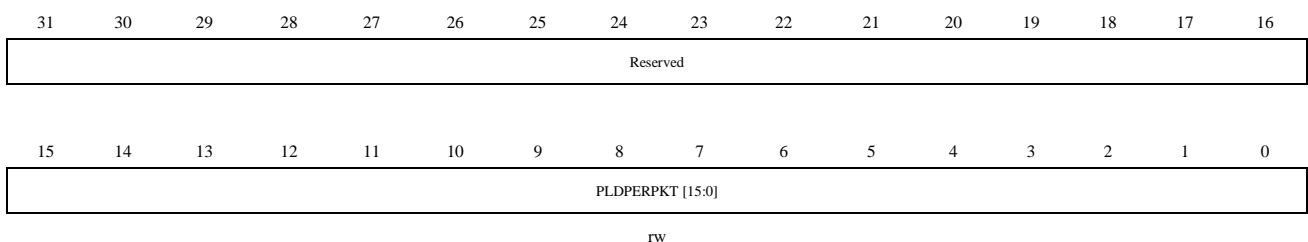
rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	VSSPLD[15:0]	设置垂直同步开始事件（VSS 事件）发生时要发送的有效载荷。VSS 短数据包（数据类型 0x01）在每个帧的开头发送。通常，所有同步事件的 16 位有效载荷均为 0x0000，但 MIPI 规范允许 VSS 发送非零有效载荷。VSSPLD[15:0] 是 VSS 有效载荷要发送的值。

#### 42.12.4.23 DSI 主机 VID 每个数据包有效载荷大小寄存器（VID\_PLDPERPKT）

地址偏移：0x258

复位值：0x0000 0000



rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:0	PLDPERPKT[15:0]	当 VID_PKTPERLINE. PKTPERLINE[3:0] = 0x02 或 VID_PKTPERLINE. PKTPERLINE[3:0] =

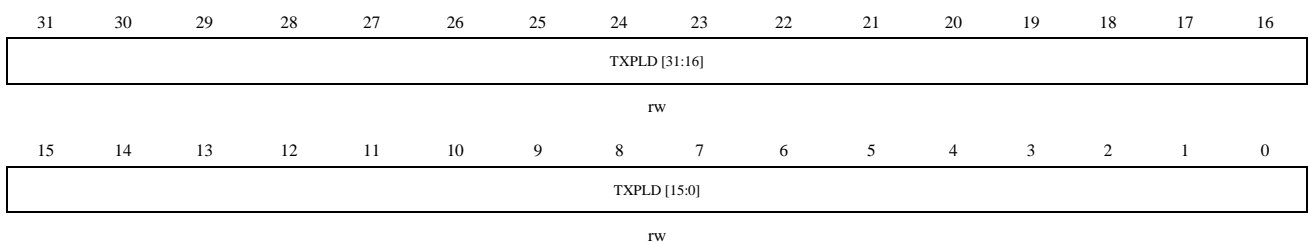
位域	名称	描述
		0x04 时，每个数据包包含的字节数。 注意：每个数据包必须包含相同数量的字节。

## 42.12.5 DSI 主机 APB Packet 接口寄存器

### 42.12.5.1 DSI 主机 TX 有效载荷寄存器 (DSI\_TXPLD)

地址偏移：0x280

复位值：0x0000 0000

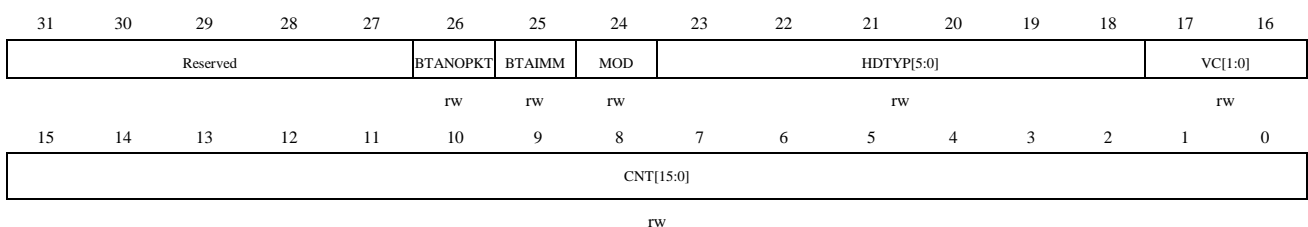


位域	名称	描述
31:0	TXPLD[31:0]	发送有效载荷数据写入寄存器。写入此寄存器会将 32 位值加载到有效载荷 FIFO 中。

### 42.12.5.2 DSI 主机数据包控制寄存器 (DSI\_PKTCTRL)

地址偏移：0x284

复位值：0x0000 0000





位域	名称	描述
31:27	Reserved	保留，必须保持复位值
26	BTANOPKT	总线周转操作，无需发送数据包。
25	BTAIMM	发送数据包后立即执行总线周转
24	MOD	选择 LP 或 HS。 0: LP 模式 1: HS 模式
23:18	HDTYP[5:0]	数据包数据类型
17:16	VC[1:0]	设置数据包虚拟通道
15:0	CNT[15:0]	发送长数据包时设置数据包字数 发送短数据包时设置短数据包数据字段

### 42.12.5.3 DSI 主机数据包发送寄存器 (DSI\_SENDPKT)

地址偏移: 0x288

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															SENDPKT

rw

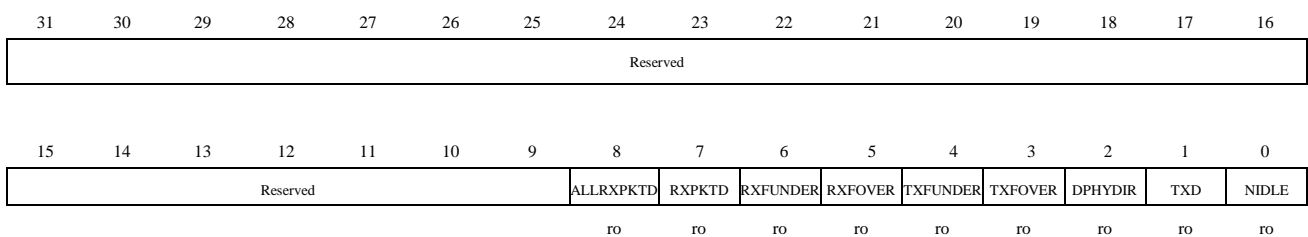
位域	名称	描述
31:1	Reserved	保留，必须保持复位值
0	SENDPKT	向此位写入 1 将导致数据包以加载到 DSI_PKTCTRL 中的数据包头信息进行传输，

位域	名称	描述
		如果是长数据包数据类型，则使用通过 DSI_TXPLD 寄存器加载到发送有效载荷 FIFO 中的有效载荷数据。

#### 42.12.5.4 DSI 主机数据包状态寄存器 (DSI\_PKTSTS)

地址偏移: 0x28C

复位值: 0x0000 0000



位域	名称	描述
31:9	Reserved	保留，必须保持复位值
8	ALLRXPKTD	所有接收数据包有效载荷数据均已接收。下次请求时清除。
7	RXPKTD	已收到接收数据包头 0: 未收到接收数据包头 1: 已收到接收数据包头
6	RXFUNDER	RX FIFO 下溢 0: RX FIFO 未发生下溢 1: RX FIFO 已发生下溢
5	RXFOVER	接收 FIFO 溢出

位域	名称	描述
		0: 接收 FIFO 未溢出 1: 接收 FIFO 已溢出
4	TXFUNDER	TX FIFO 下溢 0: TX FIFO 未发生下溢 1: TX FIFO 已发生下溢
3	TXFOVER	TX FIFO 溢出 0: TX FIFO 未溢出 1: TX FIFO 已溢出
2	DPHYDIR	DPHY 方向 0: TX 1: RX
1	TXD	TX 数据包已发送 0: TX 数据包尚未发送。 1: TX 数据包已发送。
0	NIDLE	状态机 0: 状态机空闲 1: 状态机非空闲

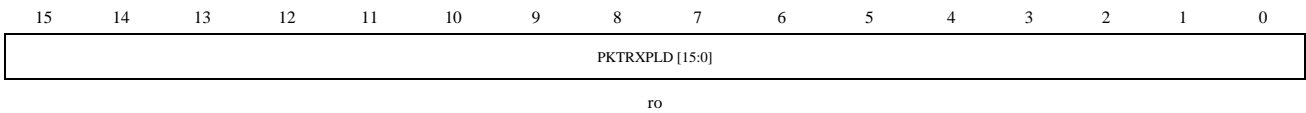
#### 42.12.5.5 DSI 主机数据包接收有效载荷寄存器 (DSI\_PKTRXPLD)

地址偏移: 0x298

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PKTRXPLD [31:16]															

ro

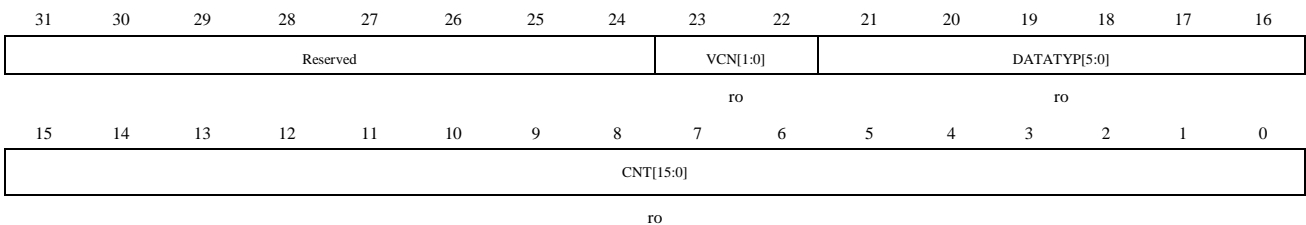


位域	名称	描述
31:0	PKTRXPLD	接收数据包有效载荷 FIFO 读取访问。每次读取此寄存器都会从 FIFO 中弹出一个 32 位有效载荷值。

#### 42.12.5.6 DSI 主机 RX 数据包头寄存器 (DSI\_PKTRXHDR)

地址偏移: 0x29C

复位值: 0x0000 0000



位域	名称	描述
31:24	Reserved	保留, 必须保持复位值
23:22	VCN[1:0]	接收数据包虚拟通道号
21:16	DATATYP[5:0]	接收数据包数据类型
15:0	CNT[15:0]	接收数据包字数

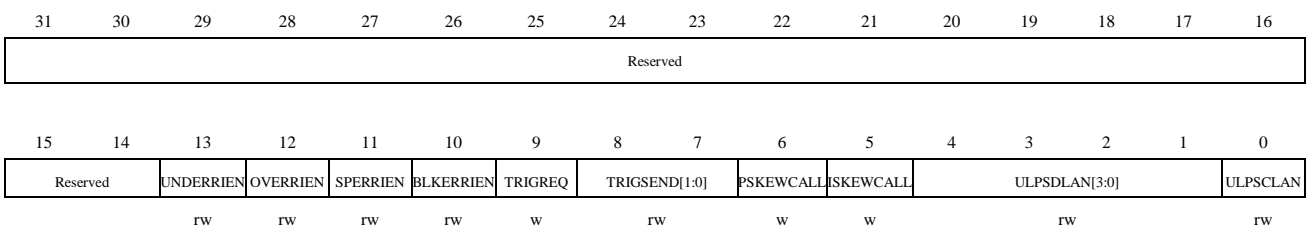
#### 42.12.6 DSI Wrapper 寄存器

DSI Wrapper 寄存器, 该部分寄存器的起始地址为 0x5000\_AC00。

##### 42.12.6.1 DSI Wrapper 控制寄存器 (DSI\_WRPCTRL)

地址偏移: 0x00

复位值: 0x0000 0000



位域	名称	描述
31:14	Reserved	保留，必须保持复位值
13	UNDERRIEN	视频 Underflow 错误中断使能位 0: 失能中断 1: 使能中断
12	OVERRIEN	视频 Overflow 错误中断使能位 0: 失能中断 1: 使能中断
11	SPERRIEN	视频 Sync Pulse 错误中断使能位 0: 失能中断 1: 使能中断
10	BLKERRIEN	视频 Blanking 错误中断使能位 0: 失能中断 1: 使能中断
9	TRIGREQ	发送触发请求，执行复位触发序列。 0: 不发送触发请求 1: 发送触发请求
8:7	TRIGSEND[1:0]	触发类型。 00: 复位触发 其他: 保留 <i>注意: 仅支持复位触发。</i>
6	PSKEWCAL	周期性偏斜校准 0: 禁用周期性偏斜校准 1: 启用周期性偏斜校准 由软件设置，由硬件清除
5	ISKEWCAL	初始偏斜校准 0: 禁用初始偏斜校准 1: 启用初始偏斜校准 由软件设置，由硬件清除
4:1	ULPSDLEN[3:0]	超低功耗状态使能。当此信号有效（高电平有效）时，控制器指示 PHY 将相应的数据通道置于超低功耗状态。此信号位于 ulps_clk 域。 Bit0: 数据通道 0 Bit1: 数据通道 1 Bit2: 数据通道 2 Bit3: 数据通道 3
0	ULPSCLEN	时钟通道的超低功耗状态使能信号。当此信号有效（高电平有效）时，控制器指示 PHY 将时钟通道置于超低功耗状态。此信号位于 ulps_clk 域中。

#### 42.12.6.2 DSI Wrapper 状态寄存器 (DSI\_WRPSTS)

地址偏移: 0x04

复位值: 0x0000 0000

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

Reserved															
----------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				UNDERRF	OVERRF	SPERRF	BLKERRF	TRIGACK	PSKEWCALDN	ISKEWCALDN	ULPSDLACT[3:0]			ULPSCLACT	
				rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	r			r	

位域	名称	描述
31:12	Reserved	保留，必须保持复位值
11	UNDERRF	视频 Underflow 错误中断标志位
10	OVERRF	视频 Overflow 错误中断标志位
9	SPERRF	视频 Sync Pulse 错误中断标志位
8	BLKERRF	视频 Blanking 错误中断标志位
7	TRIGACK	发送触发请求确认标志。  0: 触发请求未完成  1: 触发请求完成  当触发请求置位时，此位由软件写入（W1C）或由硬件清除。
6	PSKEWCALDN	周期性偏斜校准完成  此位由软件 W1C 或硬件清除。
5	ISKEWCALDN	初始偏斜校准完成  此位由软件 W1C 或硬件清除。
4:1	ULPSDLACT[3:0]	超低功耗状态。置高位表示相应的数据通道处于超低功耗状态。此信号位于 ulps_clk 域。  Bit0: 数据通道 0

位域	名称	描述
		Bit1: 数据通道 1 Bit2: 数据通道 2 Bit3: 数据通道 3
0	ULPSCLACT	超低功耗状态时钟通道状态。置高表示时钟通道处于超低功耗状态。此信号位于 ulps_clk 域。

#### 42.12.6.3 DSI PHY 控制寄存器 1 (DSIPHY\_CTRL1)

地址偏移: 0x08

复位值: 0x0400 0020

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EXTDCYCEL[2:0]			REFCKSEL[2:0]			Reserved					LOSEL[2:0]		LISEL[2:1]		
rw			rw								rw		rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LISEL[0]	L2SEL[2:0]		L3SEL[2:0]			L4SEL[2:0]		Reserved							
rw	rw		rw			rw									

位域	名称	描述
31:29	EXTDCYCEL[2:0]	高速发送器时序参数。
28:26	REFCKSEL[2:0]	参考时钟选择。 000: 保留。 001: 12 MHz (默认) 010: 19.2 MHz。 011: 25 MHz。 100: 26 MHz。 101: 27 MHz。

位域	名称	描述
		110: 38.4 MHz。 111: 52 MHz。 同步至: refclk_in
25:21	Reserved	保留, 必须保持复位值
20:18	LOSEL[2:0]	配置物理通道 0 控制源
17:15	L1SEL[2:0]	配置物理通道 1 控制源
14:12	L2SEL[2:0]	配置物理通道 2 控制源
11:9	L3SEL[2:0]	配置物理通道 3 控制源
8:6	L4SEL[2:0]	配置物理通道 4 控制源
5:0	Reserved	保留, 必须保持复位值

#### 42.12.6.4 DSI PHY 控制寄存器 2 (DSIPHY\_CTRL2)

地址偏移: 0x0C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CLPRET[7:0]								DLTRAT[7:0]							
rw								rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DLZEROT[7:0]								DLPRET[7:0]							
rw								rw							

位域	名称	描述
31:24	CLPRET[7:0]	高速发送器时序参数
23:16	DLTRAT[7:0]	高速发送器时序参数
15:8	DLZEROT[7:0]	高速发送器时序参数
7:0	DLPRET[7:0]	高速发送器时序参数



### 42.12.6.5 DSI PHY 控制寄存器 3 (DSIPHY\_CTRL3)

地址偏移: 0x10

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CLCLKPOST[7:0]								CLCLKPRET[7:0]							
rw								rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CLTRLT[7:0]								CLZEROT[7:0]							
rw								rw							

位域	名称	描述
31:24	CLCLKPOST[7:0]	高速发送器时序参数
23:16	CLCLKPRET[7:0]	高速发送器时序参数
15:8	CLTRLT[7:0]	高速发送器时序参数
7:0	CLZEROT[7:0]	高速发送器时序参数

### 42.12.6.6 DSI PHY PLL 控制寄存器 1 (DSIPHY\_PLLCTRL1)

地址偏移: 0x64

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								PLLFBKFRA[23:16]							
								rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PLLFBKFRA[15:0]															
rw															

位域	名称	描述
31:24	Reserved	保留, 必须保持复位值
23:0	PLLFBKFRA[23:0]	PLL 反馈分频器数值的小数部分

### 42.12.6.7 DSI PHY PLL 控制寄存器 2 (DSIPHY\_PLLCTRL2)

地址偏移: 0x68

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		SSCDELTA[17:4]													
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSCDELTA[3:0]			Reserved		PREDIV[1:0]			FBKINT[8:0]							
rw					rw			rw							

位域	名称	描述
31:30	Reserved	保留，必须保持复位值
29:12	SSCAMPPOP[17:0]	SSC 振幅选项
11	Reserved	保留，必须保持复位值
10:9	PREDIV[1:0]	PLL 参考分频器数值，用于将 PFD 保持在 10 MHz 至 30 MHz 的范围内。
8:0	FBKINT[8:0]	PLL 反馈分频器数值的整数部分

#### 42.12.6.8 DSI PHY PLL 控制寄存器 3 (DSIPHY\_PLLCTRL3)

地址偏移: 0x6C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		SSCEN	SSCPRD[9:0]											SSCDELTAINIT[17:16]	
		rw	rw											rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSCDELTAINIT[15:0]															
rw															

位域	名称	描述
31:29	Reserved	保留，必须保持复位值
28	SSCEN	SSC 使能
27:18	SSCPRD[9:0]	SSC 周期
17:0	SSCAMPINIT[17:0]	SSC 初始振幅

### 42.12.6.9 DSI PHY PLL 控制寄存器 4 (DSIPHY\_PLLCTRL4)

地址偏移: 0x70

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		LOPHTR[4:0]				LONHTR[4:0]				L1PHTR[4:1]					
				rw				rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
L1PHTR[0]	L1NHTR[4:0]				L2PHTR[4:0]				L2NHTR[4:0]						
rw	rw				rw				rw						

位域	名称	描述
31:30	Reserved	保留, 必须保持复位值
29:25	LOPHTR[4:0]	HS-TX 阻抗选项, 适用于通道 0 正极引脚
24:20	LONHTR[4:0]	HS-TX 阻抗选项, 适用于通道 0 负极引脚
19:15	L1PHTR[4:0]	HS-TX 阻抗选项, 适用于通道 1 正极引脚
14:10	L1NHTR[4:0]	HS-TX 阻抗选项, 适用于通道 1 负极引脚
9:5	L2PHTR[4:0]	HS-TX 阻抗选项, 适用于通道 2 正极引脚
4:0	L2NHTR[4:0]	HS-TX 阻抗选项, 适用于通道 2 负极引脚

### 42.12.6.10 DSI PHY PLL 控制寄存器 5 (DSIPHY\_PLLCTRL5)

地址偏移: 0x74

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved											L3PHTR[4:1]				
											rw				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
L3PHTR[0]	L3NHTR[4:0]				L4PHTR[4:0]				L4NHTR[4:0]						
rw	rw				rw				rw						

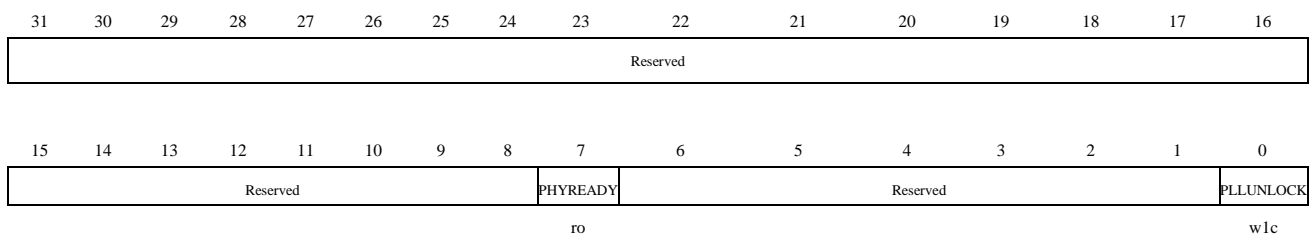
位域	名称	描述
31:20	Reserved	保留, 必须保持复位值

位域	名称	描述
19:15	L3PHTR[4:0]	HS-TX 阻抗选项, 适用于通道 3 正极引脚
14:10	L3NHTR[4:0]	HS-TX 阻抗选项, 适用于通道 3 负极引脚
9:5	L4PHTR[4:0]	HS-TX 阻抗选项, 适用于通道 4 正极引脚
4:0	L4NHTR[4:0]	HS-TX 阻抗选项, 适用于通道 4 负极引脚

#### 42.12.6.11 DSI PHY PLL 状态寄存器 (DSIPHY\_PLLSTS)

地址偏移: 0x78

复位值: 0x0000 0000



位域	名称	描述
31:8	Reserved	保留, 必须保持复位值
7	PHYREADY	PHY 就绪标志
6:1	Reserved	保留, 必须保持复位值
0	PLLUNLOCK	锁相环处于未锁定态标志

## 43 JPEG 编解码器(JPEG)

### 43.1 简介

支持一个 JPEG 编解码器，可以对未压缩的图像数据流进行编码，也可以在 JPEG 压缩模式下对图像数据流解码。支持 ISO/IEC 10918-1 标准。

### 43.2 主要特性

ENCODER 支持的主要功能如下：

- 支持单帧图像
- 支持 8 位颜色分量采样
- 最多支持 3 种颜色分量
- 支持 64K x 64K 的最大图像大小
- 支持 YCbCr 和 BW（灰度）图像颜色空间
- YCbCr/YUV4:4:4, 4:2:2, 4:2:0
- 可配置的 JPEG 文件头生成器
- 4 个 8 位可编程量化表
- 4 个可编程霍夫曼表（两个 AC 表和两个 DC 表）
- 最小编码单元（MCU）固定为 8 x 8

DECODER 支持的主要功能如下：

- 支持单帧图像
- 支持 8 位颜色分量采样
- 最多支持 3 种颜色成分
- 支持 64K x 64K 的最大图像大小
- 支持 YCbCr 和 BW（灰度）图像颜色空间
- YCbCr/YUV4:4:4, 4:2:2, 4:2:0
- 4 个 8 位可编程量化表
- 4 个可编程霍夫曼表（两个 AC 表和两个 DC 表）

### 43.3 文中缩写

表 43-1 文中缩写

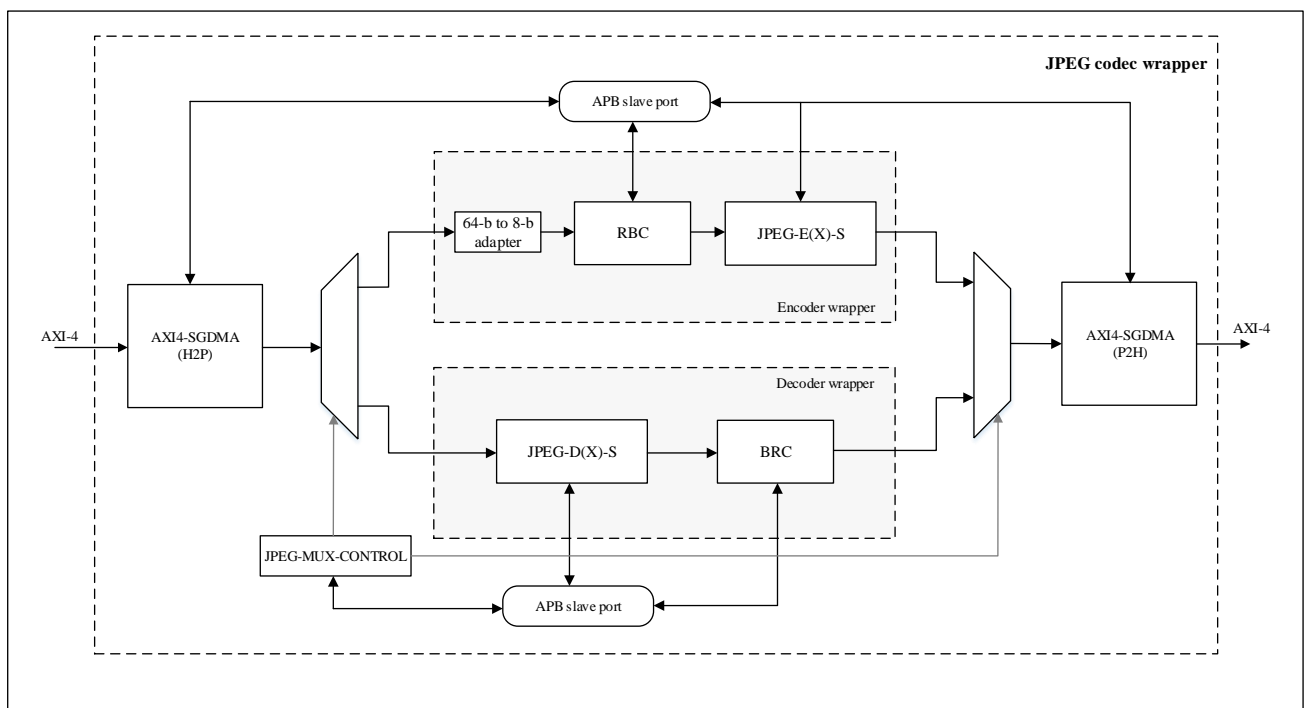
缩写	含义
SOI	图像开始(Start of Image)
DRI	定义重启间隔(Define Restart interval)

APP	应用程序标记(Application Marker)
COM	评论标记(Comment marker)
DQT	定义量化表(Define Quantization Table)
DHT	定义霍夫曼表(Define Huffman Table)
SOS	开始扫描(Start of Scan)
ECS	熵编码片段(Entropy Coded Segments)
RST 0	重新启动标记 0(Restart Marker 0)
EOI	图像结束(End of Image)
DNL	定义行数(Define number of line)
EOB	区块结束(end of block)
BRC	块到光栅(Block-to-Raster)
RBC	光栅到块(Raster-to-Block)
MCU	最小编码单元(Minimum Coded Unit)
SGDMA	分散收集直接内存访问(Scatter-Gather Direct Memory Access)
H2P	主机到外围设备(Host-to-Peripheral)
P2H	主机外围设备(Peripheral-to-Host)
EOF	文件结尾(End of File)
FSM	状态机(Finite State Machine)

## 43.4 架构框图

JPEG 编解码器框图如下所示：

图 43-1 JPEG 编解码器架构



- H2P(主机到外设): H2P 用于连接 AXI 与 RBC 和 DEC(解码器), RBC 和 DEC 不支持 AXI 的内存映射
- 64-b to 8-b adapter(64-b 到 8-b 转换器): 将 64-b 图像 AXI 流从 H2P 转换为 RBC 可以识别的 8 位输入格式。
- RBC (光栅到块转换): 由于 ENC 仅支持块输入格式, 因此使用 RBC 将光栅格式的图像 (逐行) 转换为 ENC 接受的块序列。
- BRC (块到光栅转换): 由于 LCD 控制器/GPU 无法在没有软件干预的情况下直接处理基于块的图像, 因此需要 BRC 将基于块的图片转换为光栅图片 (逐行), 以便在 GPU 或 LCDC 中处理。
- ENC(编码器): JPEG 编码器核心是一个编码器核心, 它在输入中获取原始图像样本, 使用提供的霍夫曼和量化表对其进行编码, 并输出完全符合标准的 JPEG 流。
- DEC(解码器): JPEG 解码器核心是一个解码器核心, 它接收任何符合标准的 JPEG 流作为输入, 并在其 AXI 接口上输出原始图像样本。
- P2H(外设到主机): P2H 用于连接 AXI 与 BRC 和 ENC(编码器), BRC 和 ENC 不支持 AXI 的内存映射
- JPEG\_CTRL(类型控制寄存器): 控制执行 ENC 或 DEC 操作。

## 43.5 功能描述

### 43.5.1 JPEG 多路复用器控制

此功能允许用户选择 JPEG 操作模式:

- 编码器 (将 JPEG\_CTRL.TYPE 设置为 1'b1)
- 解码器 (将 JPEG\_CTRL.TYPE 设置为 1'b0)

当用户将 JPEG\_CTRL.SWAP 设置为 1'b1 时, 还支持 BRC 中 YCbCr 4:2:2 格式的交换数据。

### 43.5.2 RBC

光栅到块转换器的作用是将输入的图像样本 (逐行格式) 排序为编码器核心接受的块序列。

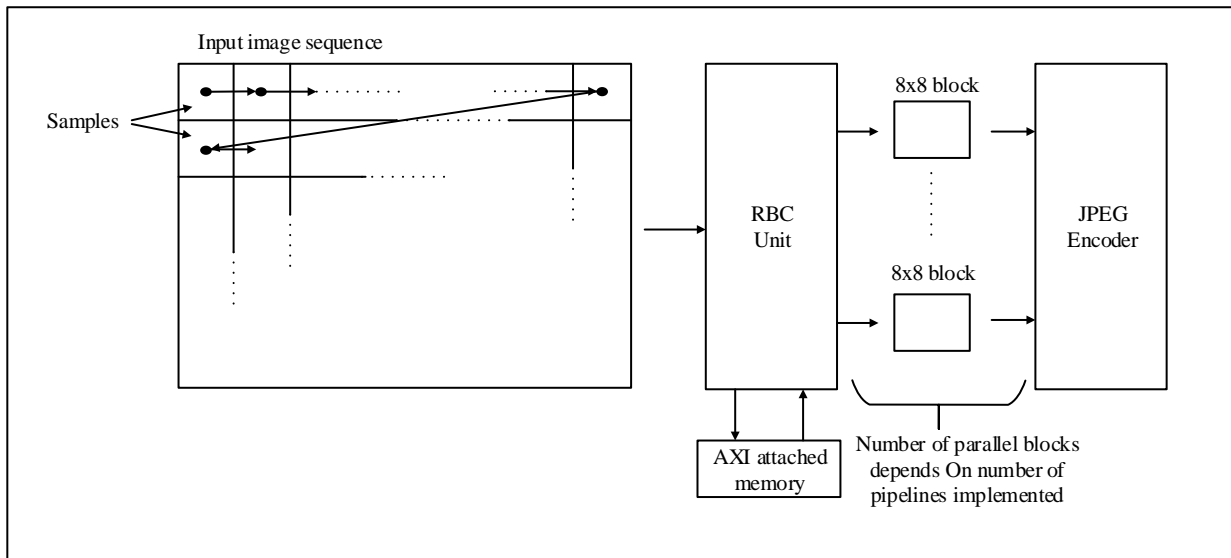
#### 43.5.2.1 特性

- 接口与 Beyond JPEG 编码器相同(Interfaces identical to Beyond JPEG Encoder)
- 块填充符合 JPEG (ISO/IEC 10918-1)
- 可配置的图像大小从 16x1 到 64k x 64k (65535 x 65535)
- 支持 4:4:4、4:2:2、4:2:0 和单色输入流
- 支持交错和非交错输入流

#### 43.5.2.2 功能概述

光栅到块转换器 (RBC) 单元需要从左到右、从上到下逐行采样的输入流。然后, RBC 单元将样本排列成块, 并酌情将其填充, 以直接输入 JPEG 编码器。

图 43-2 显示 RBC 在 JPEG 编码中的使用



RBC 单元需要外部 AXI 存储单元才能运行。外部 AXI 内存缓冲区可以在 AXI\_SRAM1-3 或 AHB\_SRAM1-5 处分配。

对于功能正常的 RBC 单元，用户需要完成以下步骤：

1. 在 AXI 连接的内存上分配适当的缓冲区。有关要存储的块行数所需的内存大小，请参阅“43.5.2.4”一章。
2. 设置存储空间的开始和要存储的块行数
3. 设置组件名称
4. 设置关于输入图像大小的配置：
  - a. 框架宽度、框架高度和框架高度的一半
  - b. 每个扫描 0 和扫描 1、2 的块数
  - c. MCU 行扫描 0 和 MCU 行扫描 1,2
  - d. 块行步长扫描 0 和块行步长扫描 1,2
  - e. 每个 MCU 行的块扫描 0 和每个 MCU 行扫描的块 1,2
5. 设置输入格式（4:4:4、4:2:2、4:2:0 交错/非交错或单色）
6. 设置 JPEGRBC\_INIT.INIT 位以正确加载所有逻辑
7. 检查 JPEGRBC\_INIT.INITF 位以确认初始化过程已完成
8. 将 JPEGRBC\_INIT.INIT 位设置为 0。
9. 设置 JPEGRBC\_EN.EN 位以开始处理输入样本

### 43.5.2.3 输入格式

支持以下像素格式并可选择运行时间。

- 非交错格式



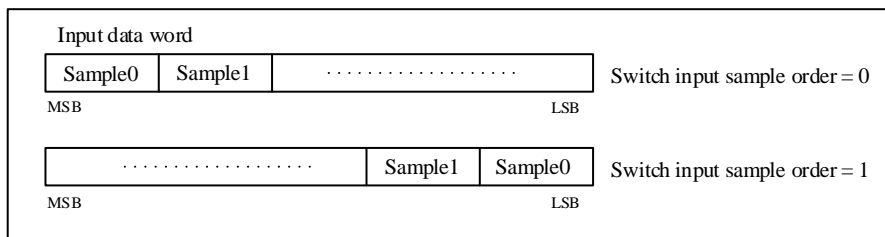
- 4:4:4 格式
- 4:2:2 格式
- 4:2:0 格式
- 单色格式

每种格式都支持交错和非交错版本，非交错格式在多次扫描中传递给编码器。

请注意，输入只会被重新排序并发送到编码器，不会发生格式转换。

在下文中，样本 0 是提交给 RBC 单元的第一个样本，样本 1 是下一个样本，以此类推。

图 43-3 输入采样顺序



在下面的样本格式描述中，分别以亮度、蓝色和红色分量的格式  $Y_{x,y}$ ,  $Cb_{x,y}$  和  $Cr_{x,y}$  表示样本。

图 43-4 使用的组件采样命名指南

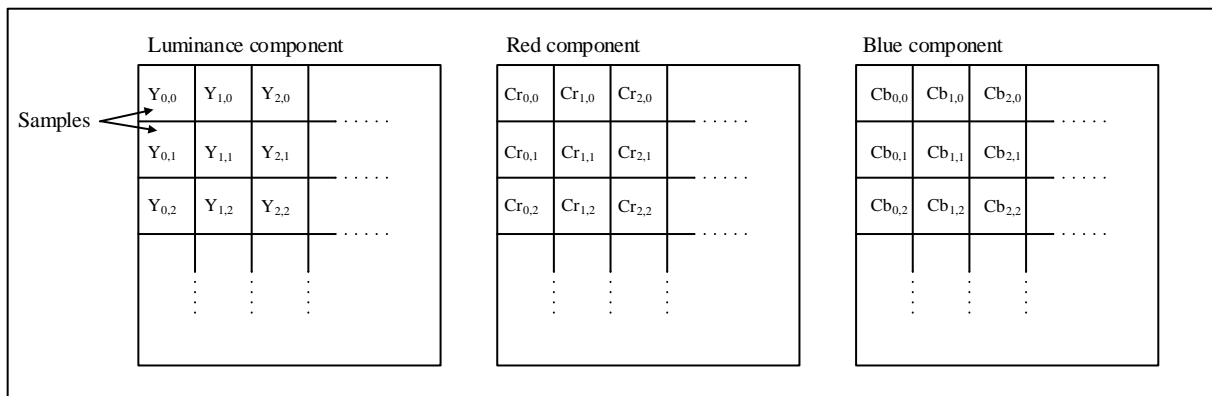


表 43-2 非交错格式的输入组件排序

Sample 0	Sample 1	...	Last Y Sample	First Cr Sample	...	...	Last Cr Sample	First Cb Sample	...	...	Last Cb Sample
$Y_{0,0}$	$Y_{1,0}$	...	$Y_{w-1,h-1}$	$Cb_{0,0}$	$Cb_{1,0}$	...	$Cb_{w-1,h-1}$	$Cr_{0,0}$	$Cr_{1,0}$	...	$Cr_{w-1,h-1}$

表 43-3 4:4:4 交错格式的输入组件排序

Sample 0	Sample 1	Sample 2	Sample 3	Sample 4	Sample 5	...
$Y_{0,0}$	$Cb_{0,0}$	$Cr_{0,0}$	$Y_{1,0}$	$Cb_{1,0}$	$Cr_{1,0}$	...

**表 43-4 4:2:2 交错格式的输入组件排序**

Sample 0	Sample 1	Sample 2	Sample 3	Sample 4	Sample 5	Sample 6	Sample 7	...
Y <sub>0,0</sub>	Y <sub>1,0</sub>	Cb <sub>0,0</sub>	Cr <sub>0,0</sub>	Y <sub>2,0</sub>	Y <sub>3,0</sub>	Cb <sub>1,0</sub>	Cr <sub>1,0</sub>	...

**表 43-5 4:2:0 交错格式的输入组件排序**

Sample 0	Sample 1	Sample 2	Sample 3	Sample 4	Sample 5	Sample 6	Sample 7	...
Y <sub>0,0</sub>	Y <sub>1,0</sub>	Y <sub>0,1</sub>	Y <sub>1,1</sub>	Cb <sub>0,0</sub>	Cr <sub>0,0</sub>	Y <sub>2,0</sub>	Y <sub>3,0</sub>	...

**表 43-6 单色交错格式的输入元件排序**

Sample 0	Sample 1	Sample 2	Sample 3	...
Y <sub>0,0</sub>	Y <sub>1,0</sub>	Y <sub>2,0</sub>	Y <sub>3,0</sub>	...

### 43.5.2.4 AXI 附加存储器

光栅到块转换单元存储空间配置有“JPEG\_RBC\_C0SADD”和“JPEG\_RBC\_C0EADD”寄存器（该地址取决于所使用的 SRAM……SRAM 可以像 AXI\_SRAM1-3、AHB\_SRAM1-5 一样使用）。“JPEG\_RBC\_C0EADD”寄存器中的值决定了内存中可以缓冲的图像块行数。

缓冲器和缓冲器中每个后续块行的起始地址需要在突发边界上开始。如果图像行的长度为  $x$ ，一个缓冲块行所需的字节数如下：

**表 43-7 每种支持模式的“块线大小”参数的表达式**

格式	块行
非交错&单色	$BL_{bytes} = 64 \cdot \left\lceil \frac{x}{8} \right\rceil$
交错 4:4:4	$BL_{bytes} = 64 \cdot \left\lceil \frac{x}{8} \right\rceil \cdot 3$
交错 4:2:2	$BL_{bytes} = 64 \cdot \left\lceil \frac{x}{16} \right\rceil \cdot 4$
交错 4:2:0	$BL_{bytes} = 64 \cdot \left\lceil \frac{x}{16} \right\rceil \cdot 6$

为了获得最佳性能，建议使用 2 条或更多条块线。

## 43.5.3 编码器

JPEG 编码器核心是一个编码器核心，它在输入中获取原始图像样本，使用提供的霍夫曼和量化表对其进行编码，并输出完全符合标准的 JPEG 流。

### 43.5.3.1 特性

基线 JPEG (ISO/IEC 10918-1) 编码器

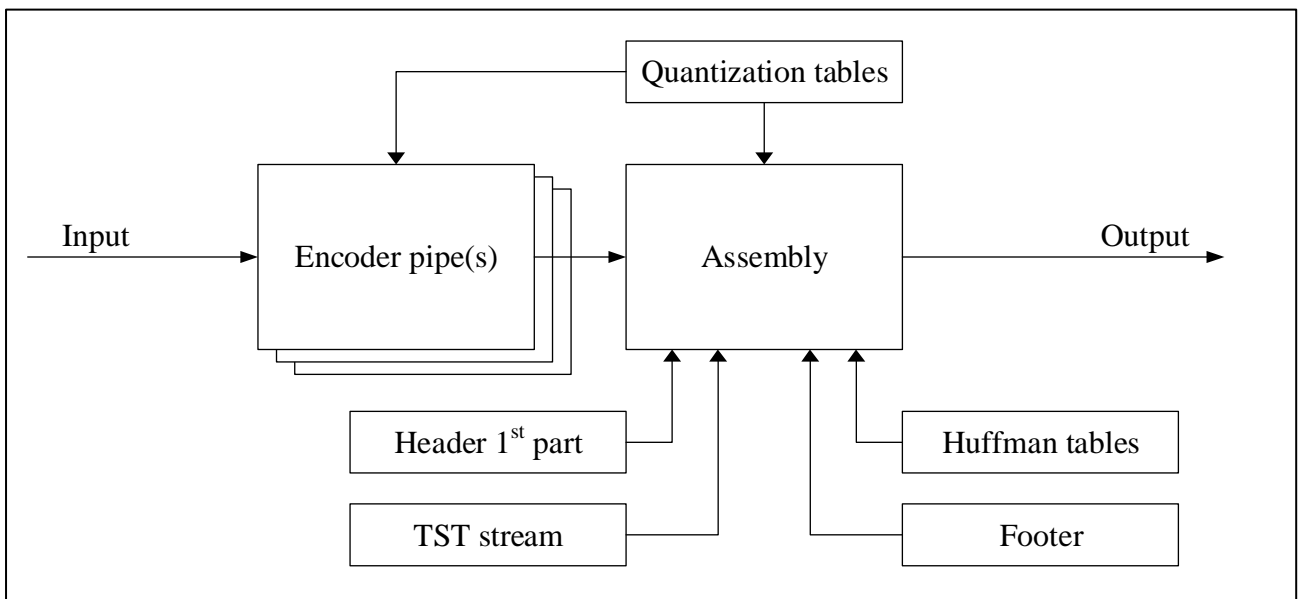
- 支持单帧图像

- 可编程霍夫曼表和量化表
- 最多四种颜色分量，任何图像大小可达 64k x 64k
- 所有扫描配置和所有 JPEG 格式
- APP、COM、DNL 和重启标记

### 43.5.3.2 功能概述

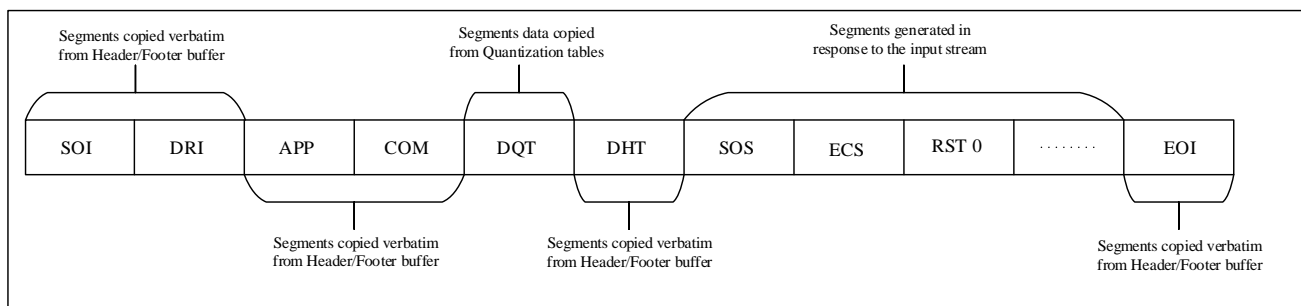
ENC 核心作为一个流水线运行：输入原始图像数据，输出编码的 JPEG 文件。功能框图如下：

图 43-5 JPEG 编码器核心框图



为了构建输出 JPEG 流，核心从文件头/文件尾（HDF）缓冲区复制标记段，并使用熵编码段和自动生成的标记段完成 JPEG 流（见下图）。

图 43-6 输出流中的标记段序列



对于功能编码器，用户需要完成以下步骤：

1. 将文件头的第一部分（至少包括 SOI 和 SOF 标记）上传到文件头/文件尾缓冲区
2. 上传量化表和表头
3. 上传霍夫曼表和表头
4. 设置重启标记间隔（如果使用重启标记）

5. 选择量化表和霍夫曼表来对每个组件进行编码并启用核心。

### 43.5.3.3 配置

复位后，首先需要通过配置界面对核心进行编码设置编程。用户还需要确保文件头/文件尾缓冲区已相应初始化。下表概述了文件头/文件尾缓冲区的内容：

表 43-8 通常出现在文件头/文件尾缓冲区中的标记

标记片段	标记	有效载荷	注释
SOI	0xffd8	None	指示图像的开始。在所有情况下都必须是标题中的第一个标记。必须始终存在。
SOF0	0xffc0	可变大小	指定宽度、高度、组件数量和组件子采样。必须始终存在。
DHT	0xffc4	可变大小	指定一个或多个霍夫曼表。它在 JPEG 流中的存在不是强制性的。
DQT	0xffdb	可变大小	指定一个或多个量化表。它在 JPEG 流中的存在不是强制性的。
DRI	0xffdd	4 Bytes	指定重新启动间隔。如果“JPEGENC_RICTRL”设置为非零值，则其存在是强制性的。
APPn	0xffe0+n	可变大小	包含特定于应用程序的信息。它在 JPEG 流中的存在不是强制性的。
COM	0xfffe	可变大小	包含文本注释。它在 JPEG 流中的存在不是强制性的。
EOI	0xffd9	None	在所有情况下都必须是最后一个标记（文件尾）。

用户需要确保存储在 Header 缓冲区中的 SOF0 标记段（定义图像分辨率、组件数量和组件采样格式）与将输入到核心的图像数据格式一致。

下表提供了在更新 JPEG 标头的各个部分时需要更新哪些寄存器的快速参考。

表 43-9 通常出现在页眉/页脚缓冲区中的标记

JPEG 文件头标记段	代码分配	寄存器
定义霍夫曼表(DHT)	0xffc4	Huffman table 0-4. 根据文件头规范计算寄存器值。
定义量化表(DQT)	0xffdb	Quantization table 0-4.
定义重启间隔(DRI)	0xffdd	JPEGENC_RICTRL 寄存器。
帧的开始(SOF0/SOF1)	0xffc0 or 0xffc1	The Quantization table selectors (Tqi) must match the Quantization table selected in the QUAN_j field in the “JPEGENC_CTRL register”

### 43.5.3.4 压缩图像

一旦配置了核心，用户就可以开始通过输入流接口向核心馈送样本。核心能够压缩任意数量的图像，而无需

用户进行任何进一步操作。任何颜色格式的图像样本都会逐个 MCU 块馈送到 MCU 块中的核心，对其进行光栅扫描排序。可选的光栅到块转换器（RBC）模块可以促进核心输入端样本的正确排序。

#### 43.5.3.5 动态重构

JPEG 编码器为内核的动态重新配置提供了两种方法。如果只需要使用某些特定于应用程序的信息（APP 和/或 COM 标记）更改文件头（文件头/文件尾缓冲区的内容），则可以使用“文件头重新配置”方法，否则必须使用“全动态重构”的方法（例如，更改量化和/或霍夫曼表）。

#### 43.5.3.6 文件头重新配置

使用这种方法，编码器核心不会改变其输入处理特性（即它不使用任何额外的停滞周期），但只能改变页眉/页脚内存。

如果使用 CPU 控制编码器的重新配置，则从 JPEGENC\_DYNRCFG.HSAFE 位轮询。

#### 43.5.3.7 全动态重构

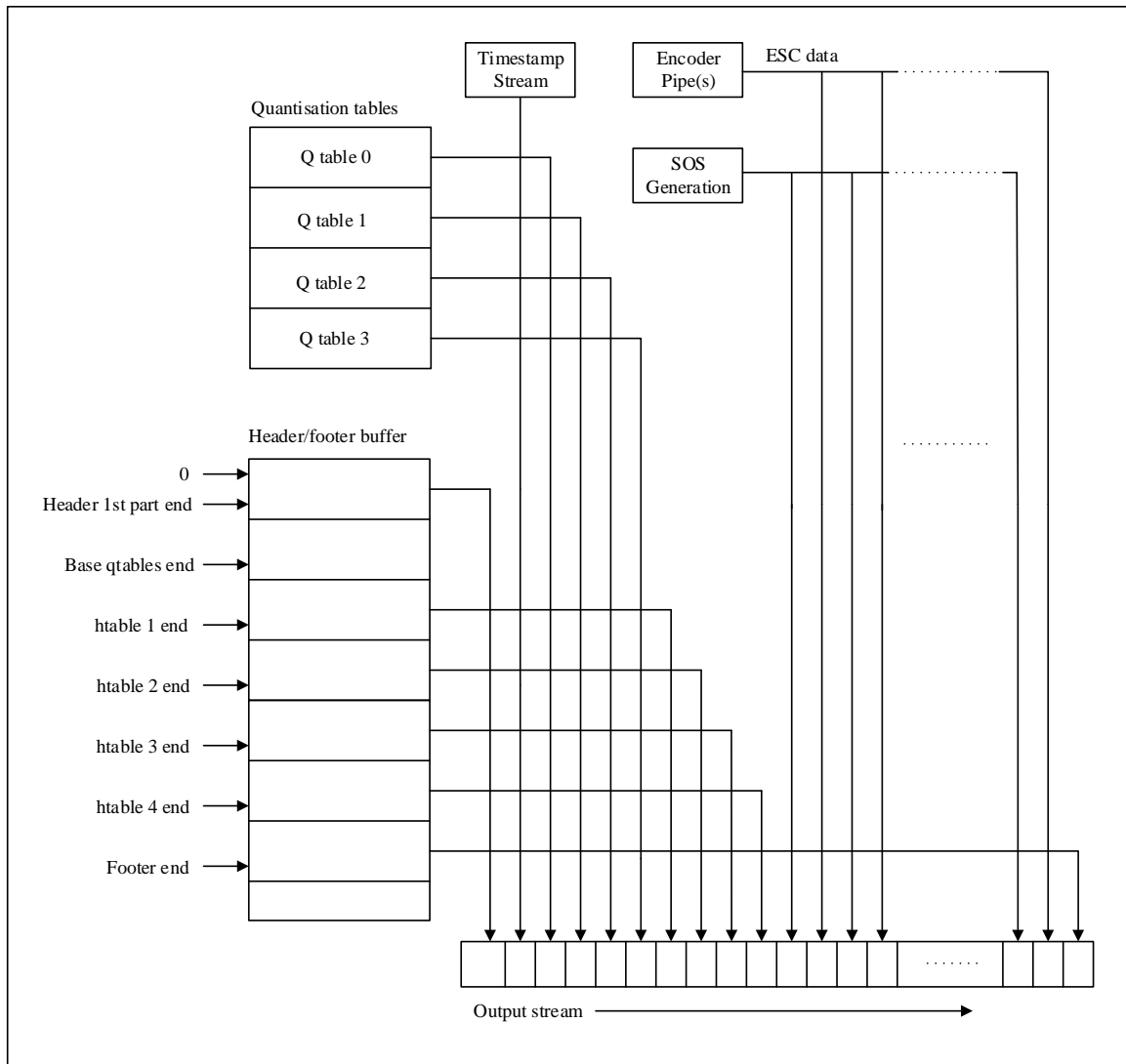
使用这种方法，可以在没有任何外部硬件的情况下重新配置任何编码器状态，包括量化和霍夫曼表。然而，在重新配置周期中，编码器不接受任何新的输入数据。全动态重新配置的程序如下：

1. 在 JPEGENC\_DYNRCFG.DYNEN 中设置位。设置此位后，编码器将接受当前帧的所有输入数据，然后停止输入。
2. 等待 JPEGENC\_DYNRCFG.DYNF 被设置。
3. 将编码器配置更新到所需状态
4. 清除 JPEGENC\_DYNRCFG.DYNEN
5. 编码器现在将接受下一帧并继续处理。

#### 43.5.3.8 输出流

核心的输出由寄存器中指定的各种文件头部分、编码器管道输出的熵编码段（ECS）和最后的“文件尾”组成。完整的输出顺序如下：

图 43-7 每个标记段的数据源描述



### 43.5.3.9 文件头

核心将从“文件头第一部分”和以下零个或多个部分组装输出头：

1. 文件头第一部分
2. 量化表 1、2、3 和/或 4
3. 霍夫曼表 1、2、3 和/或 4

文件头第一部分首先输出，预计至少包括输出上有效 JPEG 文件的 SOI 和 SOF 标记。编码器提供仅在下一帧上输出表格的选项，而不在任何后续帧上输出。

### 43.5.3.10 编码器管道

在如上所述输出文件头后，核心将为每个扫描输入输出 SOS 标记，然后立即在文件头后输出原始 ECS 数据。编码器管道能够以任意间隔插入重启标记，如“JPEGENC\_RICTRL”寄存器所指定的。

“JPEGENC\_CTRL 寄存器”定义每个组件使用哪个霍夫曼表和量化表。

### 43.5.3.11 文件尾

一旦核心接收到帧结束信号，核心就会将文件尾逐字复制到输出流中。预计文件尾以“图像结束”标记结束。

### 43.5.3.12 缩写格式

编码器支持表规范的缩写格式和压缩数据的输出。要生成“压缩数据的缩写格式”输出，“JPEGENC\_HSEL”寄存器需要设置为全 0。在这种情况下，编码器将不会在输出流中输出任何量化或霍夫曼表。

当使用“压缩数据的缩写格式”输出时：

这些表要么 (i) 在编码器和解码器之间预先共享，在这种情况下，不需要向编码器进一步输出，

要么 (ii) 以包括表和 ECS 数据的非缩写输出发送给解码器，

要么 (iii) 以单独的“表规范的缩写格式”输出。

每当表要发送到解码器时，用户都会写入“JPEGENC\_HSEL”寄存器，选择他们希望发送到解码器的表，并设置位 JPEGENC\_HSEL.NFD (NFD 在技术上不需要设置，但如果没有设置，编码器将产生非缩简输出，直到用户手动将寄存器设置为 0)。

如果需要上述情况 (iii)，还需要设置 JPEGENC\_HSEL.ATF，指示下一帧中不发送 ECS 数据，否则必须清除。

### 43.5.3.13 吞吐量和延迟

在理想条件下，当核心处理 ECS 数据时，每个周期都会处理每个已实现管道的单个输入样本。当输出未停滞时，在输入端达到每管道一个样本的吞吐量。

编码器核心的延迟是从编码器接受图像中的最后一个样本到最佳吞吐量条件下帧的最后一字节输出的时间来测量的。根据配置的不同，这个时间在 176 到 200 个周期之间。

## 43.5.4 解码器

JPEG 解码器核心是一个解码器核心，它接收任何符合标准的 JPEG 流作为输入，并在其 AXI-ST 接口上输出原始图像样本。

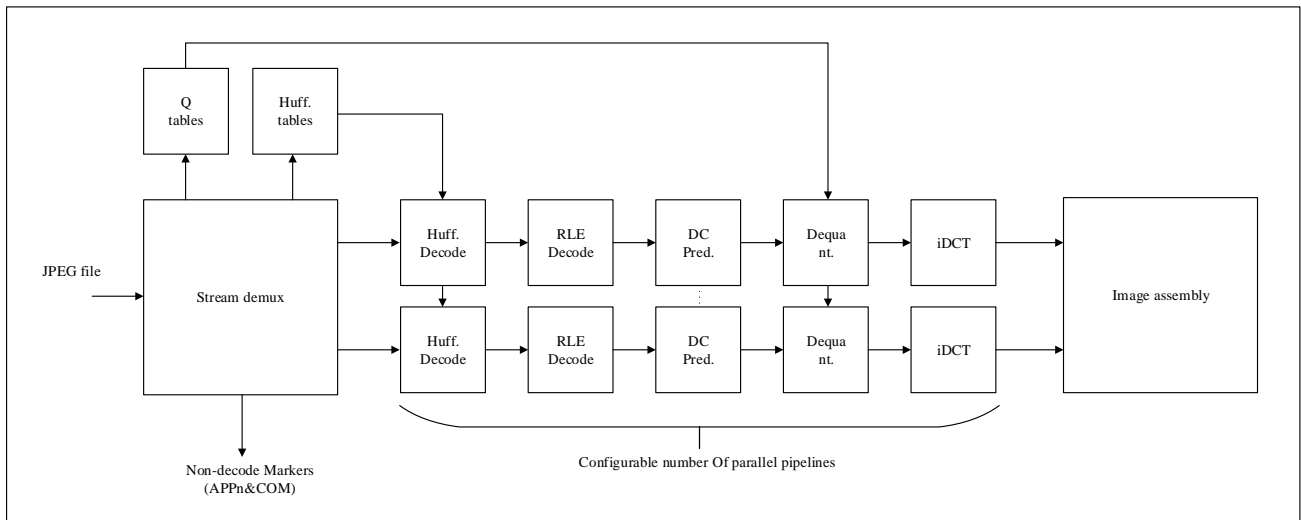
### 43.5.4.1 特性

基线 JPEG (ISO/IEC 10918-1) 编码器

- 支持单帧图像
- 可编程胡夫曼表和量化表
- 多达四种色彩分量，以及最大 64k x 64k 的任何图像大小
- 所有扫描配置和所有 JPEG 格式
- APP、COM、DNL 和重启标记

### 43.5.4.2 功能概述

JPEG 解码器核心需要标准 JPEG 格式的输入流，并输出解码后的图像。下面给出了管道的框图。

**图 43-8 JPEG 解码器核心框图**


### 43.5.4.3 标记

JPEG 解码器能够解码输入流中存在的以下标记。忽略任何其他标记并发出错误信号（有关详细信息，请参阅下文第 43.5.4.7 节）。

**表 43-10 解码器解释的标记**

标记名称	值	进程
SOF0	0xFFC0	传递给解码管道的图像参数
SOF1	0xFFC1	传递给解码管道的图像参数
DHT	0xFFC4	处理并存储在霍夫曼表缓冲区中的霍夫曼表数据
RSTm	0xFFD0 through 0xFFD7	已选择下一个解码管道
SOI	0xFFD8	准备处理以下图像
EOI	0xFFD9	图像信号结束
SOS	0xFFDA	传递给解码流水线的图像参数和编码数据解码开始。
DQT	0xFFDB	量化表数据已处理并存储在量化表缓冲区中
DNL	0xFFDC	传递给输出的行数字段。
DRI	0xFFDD	传递给输出的重新启动间隔字段。
APPn	0xFFE0 through 0xFFEF	标记和标记数据传递到特定于应用程序的“非解码标记接口”
COM	0xFFFE	标记和标记数据传递到特定于应用程序的“非解码标记接口”

预计输入流将从 SOI 标记开始。这意味着在复位和 EOI 标记之后，输入到解码器的前两个字节预计是 SOI 标记。在找到 SOI 标记之前，忽略任何其他字节。在 SOI 标记之后，可以以任何顺序输入任何数量的 DQT、DHT、DRI、APPn、COM、SOF0 或 SOF1 标记。如果存在写入同一表的多个 SOF0/SOF1 或 DHT、DQT 标记，则最后一个此类标记生效。在这些标记之后，要么是 SOS 标记，要么是缩写格式的 EOI 标记。如果流中存在 SOS 标记，则未在其前面添加 SOF0 或 SOF1 标头会导致错误。



#### 43.5.4.4 压缩数据的缩写格式

如果输入流不包含表规范或仅包含部分表规范（即缺少 DHT 或 DQT 标记），则解码器将采用任何先前解码图像提供的最后一个表规范。

#### 43.5.4.5 表格规范的缩写格式

如果输入流不包含 SOS 标记，则所有表规范（DHT 和 DQT 标记）都将被处理并存储到适当的表缓冲区中，并在压缩数据的缩写格式之后使用。在这种情况下，不输出图像数据，但流中存在的任何 COM 或 APPn 标记仍将在非解码接口上输出。

#### 43.5.4.6 限制

除了 JPEG 标准规定的限制外，还对输入 JPEG 流施加了以下限制。

1. JPEG 标准允许在 SOF 标记中指定多达 255 个组件。在该解码器中，SOF 标记中可以指定的最大分量限制为 4。如果指定了更多，则取前四个，其余忽略。如果 SOS 制造商引用第五个或更高定义的组件，则设置“JPEGDEC\_ERROR.CERR”。请参阅下面的“引用未定义的表”一节。
2. DHT 标记指定的霍夫曼表必须保留所有未定义的代码。

#### 43.5.4.7 错误处理

JPEG 解码器努力检测并记录输入流中的所有错误。一旦检测到错误，解码器就会尝试尽早恢复流的处理。每个错误分为以下三类：未知标记、意外标记或霍夫曼符号错误，可以从“JPEGDEC\_ERROR”读取。一旦检测到给定类型的错误，就会记录错误位置。在将对应的“JPEGDEC\_ERROR”中检测位设置为 0 之前，对应位位置寄存器不会更新，但会进行恢复处理。常见错误及其恢复机制如下。

##### 43.5.4.7.1 未知标记错误

如果解码器在 SOI 和 EOI 之间遇到表 43-10 中未给出的任何标记，则“JPEGDEC\_ERROR.UNK”会置位，并将错误位置记录在“JPEGDEC\_UNLOC”寄存器中。错误的位置将是自上次接收 SOI 标记以来处理的字节数。一旦解码器处理了 EOI 标记，解码器将忽略所有数据，直到找到 SOI 标记。因此，如果 EOI 标记和 SOI 标记之间有任何标记（有效或无效），它将被忽略，而不会发出任何处理或错误的信号。

解码器不会尝试解释无效标记（即它将忽略强制标记长度字段），并继续搜索下一个有效标记序列。

##### 43.5.4.7.2 意外标记错误

如果解码器在扫描数据之外遇到 RSTm 标记，它将设置“JPEGDEC\_ERROR.UNEXP”，错误的位置将记录在“JPEGDEC\_UELOC”寄存器中。错误的位置将是自上次接收 SOI 标记以来处理的字节数。如果解码器遇到自上次 SOI 以来没有先前 SOF 标记的 SOS 标记，则也会发出意外标记错误的信号。

当 SOF 文件头中的高度分量不为零时（即行数先前已知）接收 DNL 标记也会发出如上所述的错误信号，DNL 将被忽略。接收空的 ECS（即 SOS 或 RSTm 标记，紧随其后的是任何标记）同样会发出意外标记错误的信号，其位置记录在最后一个 SOI 标记中。

RSTm 标记的错误排序被忽略。EOI 和 SOI 标记之间的任何有效标记都会被忽略，并且不会作为错误发出信号。一旦记录了意外的标记，解码器将继续搜索有效的标记。

##### 43.5.4.7.3 霍夫曼解码错误

如果解码器在图像中遇到无效的霍夫曼符号，它将设置“JPEGDEC\_ERROR.HUF”，错误的位置将记录在“JPEGDEC\_HESYMECS”和“JPEGDEC\_HUF\_SELOC”寄存器中。“JPEGDEC\_HESYMECS”是从接收到的最后一个 SOI 标记开始计数的错误 ECS 号，而“JPEGDEC\_HUF\_SELOC”保存了从 ECS 开始到无效霍

夫曼符号开始的比特数。无效的霍夫曼符号也存储在“JPEGDEC\_HESYM”寄存器中。

当发现无效的霍夫曼符号时，解码器将忽略帧的其余部分（所有扫描），并在检测到下一个 SOI 标记时继续处理输入。

#### 43.5.4.7.4 标记段太短

如果发现 DQT、DHT 或 SOF 标记太短，则将从之前的有效标记中提取缺失的字节。例如，如果遇到长度为 63 的 DQT 标记（具有 8 位 Q 表），则所选表的最后两个量化表条目将与之前的有效 DQT 标记保持不变。DHT 标记物也出现了类似的情况。标记段处理在定义的长度处结束，并开始搜索下一个标记段。在这种情况下，没有错误信号。

#### 43.5.4.7.5 引用 SOS 中未定义的组件

如果 SOS 标记引用了前面 SOF 标记中未定义的组件名称，解码器将设置“JPEGDEC\_ERROR.CERR”寄存器，并继续忽略整个扫描。

#### 43.5.4.7.6 引用未定义的表

当在 DQT 或 DHT 标记中引用无效表时，这些标记将被自动忽略。如果使用该表（带有 SOS 标记），解码器将根据引用的量化表或霍夫曼表是否无效，“JPEGDEC\_ERROR.QTERR”或“JPEGDEC\_ERROR.HTERR”置位。

解码器将忽略整个扫描，并继续搜索流中的下一个有效标记。

#### 43.5.4.7.7 EOI 标记缺失

如果解码器遇到没有前导 EOI 标记的 SOI 标记，解码器将自动插入丢失的 EOI 并继续处理 SOI 标记。

#### 43.5.4.8 预共享霍夫曼表和量化表

通常在输入流中提供霍夫曼和量化表，解码器将酌情生成其内部解码表。然而，在某些情况下，霍夫曼和/或量化表在流期间是恒定的，并且在系统中的编码器和解码器之间预先共享。在这种情况下，不需要传输解码器输入流中的表，而是可以在系统初始化期间由用户上传。

在将任何表上传到解码器之前，解码器需要请求并授予表访问权限，如下所示：

1. 写入“JPEGDEC\_TAB\_ACCREQ.AQEQ”位。
2. 等待 JPEGDEC\_TAB\_ACCREQ.AOK 位置为 1
3. 执行所需的任何表访问。
4. JPEGDEC\_TAB\_ACCREQ.AQEQ 置 0

请注意，在此过程中，解码器将优雅地完成对当前帧的处理，并继续暂停输入，直到 JPEGDEC\_TAB\_ACCREQ.AQEQ 位设置为零。对于量化表，它们只是以之字形顺序（即与 DQT JPEG 标头中指定的顺序相同）写入“量化表”寄存器（0x400-0x7ff）。

计算完表格后，将按照以下程序上传：

1. 获取表访问权限。
2. 使用要上传的霍夫曼表编号设置“JPEGDEC\_HUF\_ADDR”寄存器
3. AC/DC 选择器和要上传的表格类型。
4. 将所有表条目顺序写入“JPEGDEC\_HUF\_DATA”寄存器。

5. 上传完成后，显示“JPEGDEC\_HUF\_REM”
6. 寄存器应为 0。如果不是，则上传过程中出错。
7. 对所有必需的表格类型重复 1-3
8. 用 EOB 符号的值写入“JPEGDEC\_HUFTAB0\_EOB~JPEGDEC\_HUFTAB3\_EOB”寄存器。

#### 43.5.4.9 吞吐量 and 延迟

吞吐量通常可以预期为单个样本/周期，但这取决于霍夫曼解码器的配置、输入图像、使用的质量因子和霍夫曼表。

假设使用重启标记，解码器将具有每个周期每个管道一个样本的吞吐量。

处理延迟是使用不包含表（缺少 DQT 和 DHT 标记）、仅包含编码数据的缩写格式来测量的。从 SOI 标记进入解码器到第一采样输出的周期数在 200 到 250 个周期之间。

#### 43.5.5 BRC

块到光栅转换器的作用是将来自解码器核心的输入图像样本排序为易于逐行处理的格式。

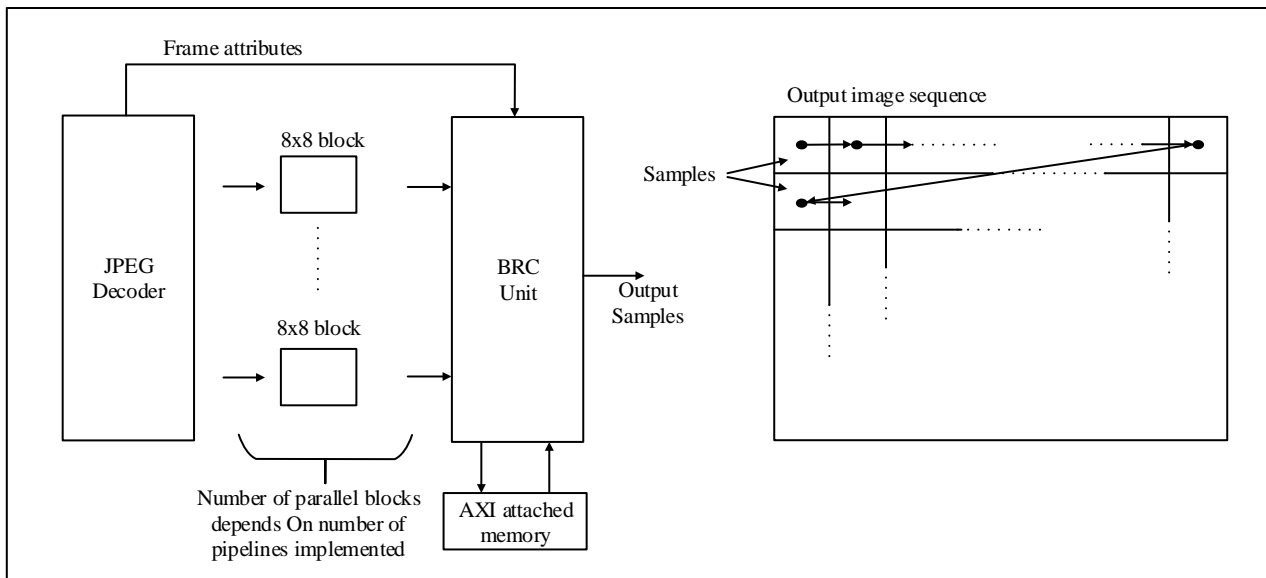
##### 43.5.5.1 特性

- 接口与 Beyond JPEG 解码器相同
- 根据 JPEG (ISO/IEC 10918-1) 去除块填充
- 可配置的图像大小从 1x1 到 64k x 64k (65535 x 65535)
- 支持 4:4:4、4:2:2、4:2:0 和单色输入流
- 支持交错和非交错输入流
- 动态、每帧模式、宽度和高度参数

##### 43.5.5.2 功能概述

块到光栅转换器 (BRC) 单元在其输入端接收来自 JPEG 解码器核心的块输出流，删除任何块填充，并以光栅扫描顺序从上到下逐行输出样本。

图 43-9 显示 BRC 在 JPEG 解码中的使用



BRC 单元需要外部 AXI 存储单元才能运行。外部 AXI 内存缓冲区可以在 AXI\_SRAM1-3 或 AHB\_SRAM1-5 处分配。

对于功能正常的 BRC 单元，用户需要完成以下步骤：

1. 在 AXI 连接的内存上分配适当的缓冲区。有关所需的内存大小，请参阅第 43.5.5.4 节
2. 设置内存空间的基址及其大小，以 8x8 个块为单位
3. 设置 JPEGBRC\_INIT.INIT 位以正确加载所有逻辑
4. 检查 JPEGBRC\_INIT.INITF 位，确认初始化过程已完成。
5. 将 JPEGBRC\_INIT.INIT 位设置为 0。
6. 设置 JPEGBRC\_EN.EN 位以开始处理输入样本

解码图像的大小和模式不是由用户指定的，而是直接从解码器中获取的，并且可能会因帧而异。

### 43.5.5.3 输入格式

核心支持以下像素格式。

- 非交错格式
- 4:4:4 格式
- 4:2:2 格式
- 4:2:0 格式
- 单色格式

根据帧属性界面上的信息自动检测格式。每种格式都支持交错和非交错版本。在多次扫描中，解码器应提供非交错格式。

请注意，来自解码器的输入只会被重新排序，不会发生格式转换。

每个样本的宽度是恒定的。在下面，样本 0 是 BRC 单元输出的第一个样本，样本 1 是下一个，以此类推。

在下面的样本格式描述中，分别以亮度、蓝色和红色分量的格式  $Y_{x,y}$ ， $Cb_{x,y}$  和  $Cr_{x,y}$  表示样本。

图 43-10 组件中采样命名指南

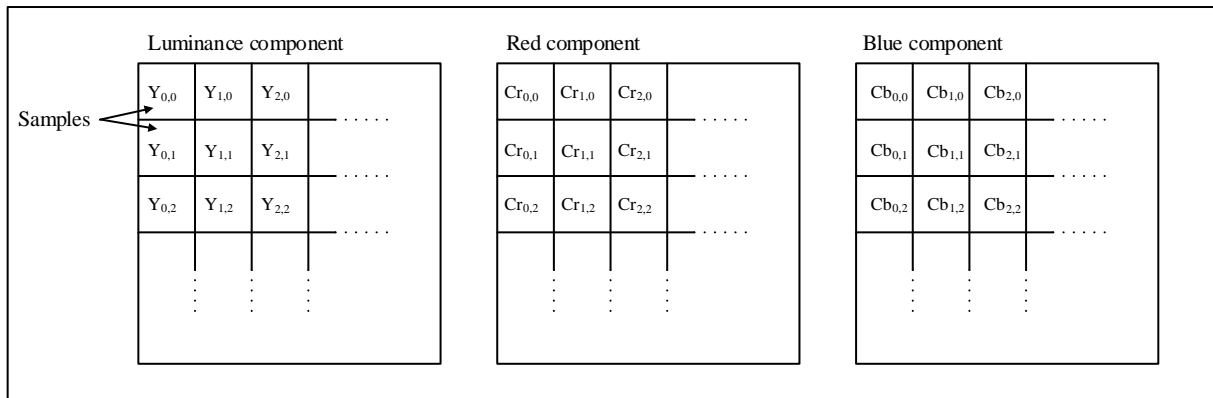


表 43-11 非交错格式的输出组件排序

Sample 0	Sample 1	...	Last Y Sample	First Cr Sample	...	...	Last Cr Sample	First Cb Sample	...	...	Last Cb Sample
$Y_{0,0}$	$Y_{1,0}$	...	$Y_{w-1,h-1}$	$Cb_{0,0}$	$Cb_{1,0}$	...	$Cb_{w-1,h-1}$	$Cr_{0,0}$	$Cr_{1,0}$	...	$Cr_{w-1,h-1}$

表 43-12 4:4:4 交错格式的输出组件排序

Sample 0	Sample 1	Sample 2	Sample 3	Sample 4	Sample 5	...
$Y_{0,0}$	$Cb_{0,0}$	$Cr_{0,0}$	$Y_{1,0}$	$Cb_{1,0}$	$Cr_{1,0}$	...

表 43-13 4:2:2 交错格式的输出组件排序

Sample 0	Sample 1	Sample 2	Sample 3	Sample 4	Sample 5	Sample 6	Sample 7	...
$Y_{0,0}$	$Y_{1,0}$	$Cb_{0,0}$	$Cr_{0,0}$	$Y_{2,0}$	$Y_{3,0}$	$Cb_{1,0}$	$Cr_{1,0}$	...

表 43-14 4:2:0 交错格式的输出组件排序

Sample 0	Sample 1	Sample 2	Sample 3	Sample 4	Sample 5	Sample 6	Sample 7	...
$Y_{0,0}$	$Y_{1,0}$	$Y_{0,1}$	$Y_{1,1}$	$Cb_{0,0}$	$Cr_{0,0}$	$Y_{2,0}$	$Y_{3,0}$	...

表 43-15 单色交错格式的输出元件排序

Sample 0	Sample 1	Sample 2	Sample 3	...
$Y_{0,0}$	$Y_{1,0}$	$Y_{2,0}$	$Y_{3,0}$	...

#### 43.5.5.4 AXI 附件存储器

块到光栅转换单元内存缓冲区配置了“JPEGBRC\_BUFBADD”和“JPEGBRC\_BUFSIZE”寄存器。

“JPEGBRC\_BUFSIZE”寄存器中的值决定了内存中可以缓冲多少 8x8 块。

每个 8x8 块在 AXI 内存中占用 64 个连续样本。为了使核心正常工作，缓冲区大小需要满足表 43-16 中列出的最低要求。但是，请注意，这些要求是正确操作所需的绝对最小内存缓冲区。为了获得最佳性能，建议使用所需最小缓冲区的两倍。

表 43-16 正确操作所需的最小内存字节数

	实施或使用单管道
输入图像中未使用 DNL 支持	$BMR \cdot 64$
输入图像中使用 DNL 支持	$2 \cdot BMR \cdot 64$

其中 RI 是“重启间隔”，输入图像中重启标记中包含的值。而 BMR 是每行 MCU 的 8x8 块数，BPM 是 MCU 中的块数。对于常见格式，MCU 中 8x8 块的数量以及 MCU 行中块的数量（假设输入图像的像素宽度为  $x$ ）如下给出。

表 43-17 如何计算标准 4:4:4、4:2:2 和 4:2:0 格式的每个 MCU 的块数和每行 MCU 的数量的示例

格式	每个 MCU 8x8 块数	一个 MCU 行 8x8 块数
非交错&单色	$BPM = 1$	$BMR = \left\lceil \frac{x}{8} \right\rceil$
交错 4:4:4	$BPM = 1$	$BMR = 3 \cdot \left\lceil \frac{x}{8} \right\rceil$
交错 4:2:2	$BPM = 1$	$BMR = 4 \cdot \left\lceil \frac{x}{16} \right\rceil$
交错 4:2:0	$BPM = 1$	$BMR = 6 \cdot \left\lceil \frac{x}{16} \right\rceil$

### 43.5.5.5 上采样模式

BRC 支持原始上采样模式，其中输入子采样模式转换为其他模式。上采样器简单地重复适当的采样以实现目标模式。下表给出了每种上采样模式下应用于输入流的转换。上采样模式在寄存器“JPEGBRC\_USMODE”中设置。

表 43-18 在各种实施选项的情况下，选择的上采样模式与使用的模式

输入模式	输出模式			
	Up sampling mode = 0	Up sampling mode = 1	Up sampling mode = 2	Up sampling mode = 3
4:4:4 Interleaved	4:4:4 Interleaved	4:4:4 Interleaved	4:4:4 Interleaved	4:4:4 Interleaved
4:2:2 Interleaved	4:2:2 Interleaved	4:2:2 Interleaved	4:4:4 Interleaved	4:4:4 Interleaved
4:2:0 Interleaved	4:2:0 Interleaved	4:2:2 Interleaved	4:2:0 Interleaved	4:4:4 Interleaved
All others	Same as the input	Same as the input	Same as the input	Same as the input

### 43.5.6 SGDMA

AXI4-SGMA Core 是一个主机到外围设备（H2P）或外围设备到主机（P2H）直接内存访问（DMA）引擎，它将主机系统与 AXI4 内存映射主端口连接，并将外围设备与从机或主 AXI4 流端口连接。该 Core 包括散集支持，以及多通道实现，以支持更多数量的外围设备。每个通道都被设计为一个独立的组件，配有一组用于与主机和外围设备通信的 AXI4 接口，以及其控制状态寄存器。对于多通道实现，用户应添加 AXI4 交叉开关和仲裁器，以对主机内存访问进行多路复用和优先级排序。最后，一系列用户可配置参数允许对 Core

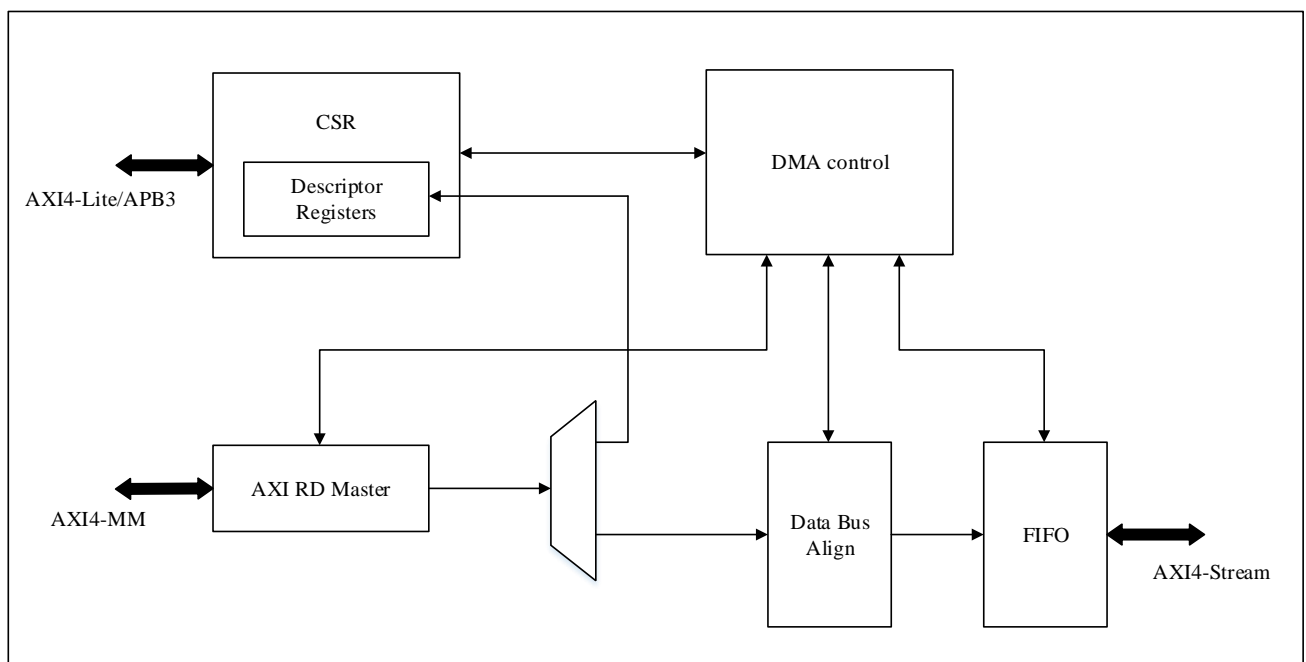
的各个方面进行定制，包括总线和地址宽度、对非对齐内存访问的支持、操作模式和描述符大小。

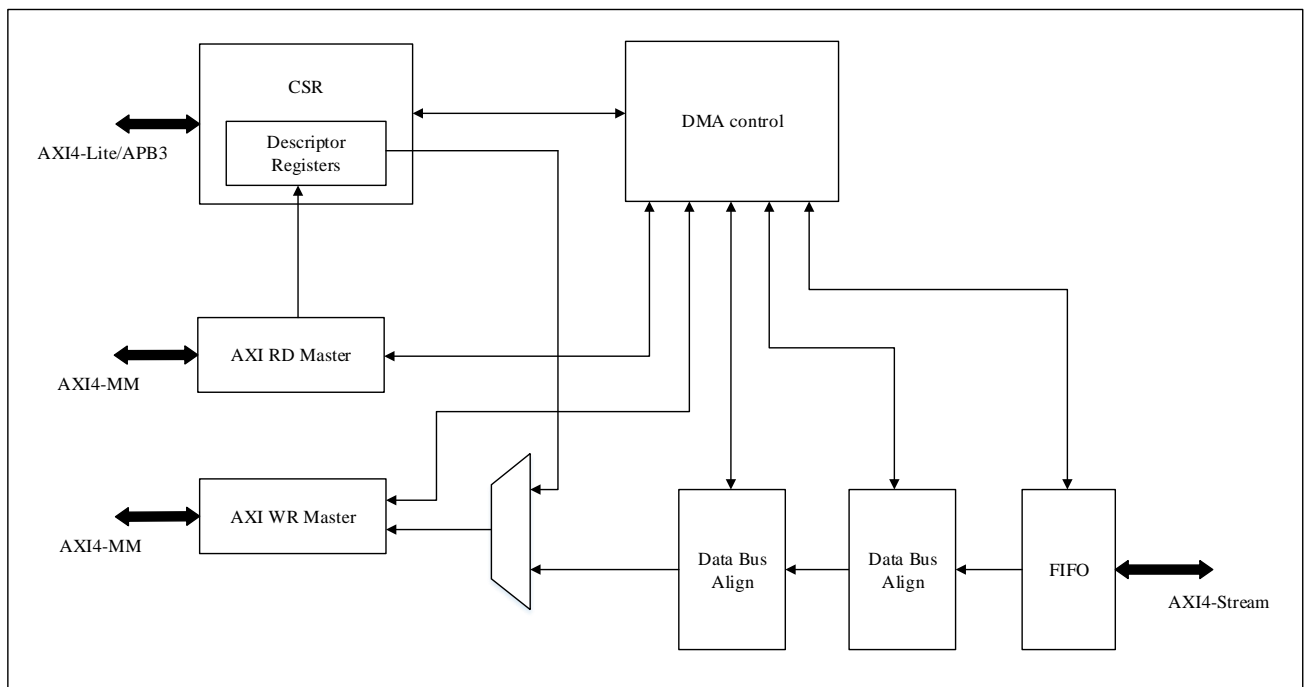
### 43.5.6.1 特性

- 独立主机到外围设备和外围设备到主机 DMA 通道模块
- DMA 通道的独立实例化和功能
- 通过外部多路复用器和仲裁器在用户设计中实现多通道
- 分散聚集运行支持。
- 描述符从内存以及通过通道的 CSR 寄存器进行编程。
- 读写操作的 EOF 检测和报告。描述符在写入情况下更新。
- 支持未对齐的主机内存地址访问。
- 通过 CSR 寄存器界面进行控制和状态报告。
- 可配置的中断。
- 支持多种数据总线宽度：
  1. 32-1024 位用于对主机内存的数据访问。
  2. 与外围设备之间的 32-1024 位流接口。
  3. AXI4 内存映射地址通道为 32,64 位。
- AXI4 内存映射接口支持固定和增量突发。

### 43.5.6.2 功能框图

图 43-11 H2P 通道框图



**图 43-12 P2H 通道框图**


### 43.5.6.3 块描述

Scatter-Gather DMA 核心通道的结构如图 43-11 和图 43-12 所示，解释如下。

#### 43.5.6.3.1 AXI SGDMA 通道顶层实体

图 43-11 和图 43-12 显示了 AXI4-SGMA Core 单独通道的顶级框图。通道分为两类。主机到外围设备（H2P）通道从主机存储器读取数据并将其传输到外围设备，而外围设备到主机(P2H)则促进从外围设备到主存储器的传入事务。

每个通道都完全独立于所有其他通道，允许在同一 DMA 核心内实例化更多高度可配置的通道。所有通道均由其标准化的 AXI4 接口、描述符和数据缓冲区、CSR 模块和控制逻辑组成。

该通道还采用简单的 AXI4 流接口与外围设备通信。在 H2P 通道的情况下，该接口被配置为主接口，与外围设备发起事务，而在 P2H 通道的情况中，AXI4 流接口被配置为从接口，从外围设备接收传入事务。最后，部署 AXI4 内存映射主机，直接访问每个通道的主机内存。AXI4 MM 便于获取分配给每个通道的描述符及其指向的数据所需的事务。在 H2P 通道的情况下，AXI4 MM-接口的地址和数据写入通道被省略，因为不需要对主机内存进行写入操作。一旦描述符被消耗，通道将简单地递增描述符地址，以提醒主机插槽可能被覆盖。

这两种通道类型都利用一组描述符寄存器来本地存储当前描述符，一个数据总线对齐模块，负责将数据对齐到主机内存中未对齐的地址，以及一个数据 FIFO，用于内部缓冲。P2H 通道在发出写入事务之前，利用额外的较小数据缓冲区来收集完整的 AXI4 MM 突发。

最后，每个通道都利用自己的 DMA 控制模块来同步和控制通道进行的事务。控制模块与 CSR 通信，以确保信道的正确运行，如用户设置的参数所定义，并与描述符寄存器通信，为 AXI4 MM 接口提供正确的描述符和数据地址。DMA 控制模块将在 DMA 控制一节中进一步阐述。

#### 43.5.6.3.2 控制和状态寄存器（CSR）

CSR 模块包含控制寄存器 JPEGDMA\_CTRL 和状态寄存器 JPEGDMA\_STS。这些寄存器具有复杂的结构，



详见 SGDMA 寄存器一节。主机通过 AXI4 Lite 配置界面访问 CSR。

### 43.5.6.3.3 数据总线对齐模块

AXI4-SGMA Core 实现了一个数据总线对齐模块，以考虑通过 AXI4 内存映射接口对主机内存的非对齐访问。对齐模块利用两个桶形移位器模块，根据数据块的初始地址偏移以及每个描述符的最后一个字的大小，促进单词的正确对齐。

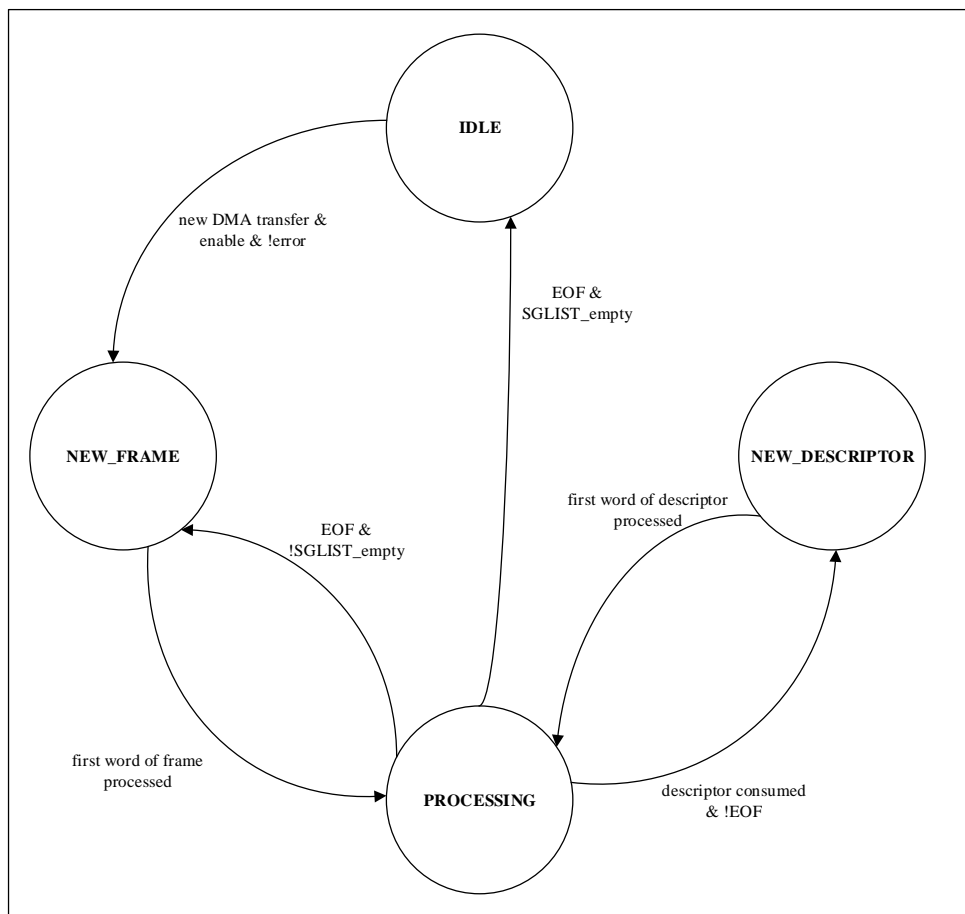
桶形移位器由图 43-13 所示的 FSM 控制，其状态如表 43-19 所示。对齐模块生成除帧的最后一个单词外不包含任何间隙的数据块。在这种情况下，设置选通信号来表示字中的有效字节。描述符中未占据单词全宽的剩余数据存储在内部，并与输入到核心的下一个数据块组合。

数据总线对齐模块是一个可选功能，允许通过 AXI4 内存映射接口完全支持对内存的非对齐访问。通过将 JPEGDMA\_PARACFG.ALIGNEN 合成参数设置为零，可以将该模块从设计中排除。如果不包括数据总线对齐模块，用户必须确保对 AXI4 内存映射接口的所有访问都与接口的数据通道宽度对齐。这既适用于每个描述符的数据块的起始地址，也适用于块的整体大小。此规则的唯一例外是标记为 EOF 的数据块的最后一个字，其中数据选通用于指定有效数据字节。不遵守这些要求将产生不正确的结果。

**表 43-19 数据总线对齐 FSM 状态**

状态	描述
IDLE	未执行任何操作。所有控制位和数据位均被禁用。
NEW_FRAME	对齐模块接收到的下一个字属于新帧。仅考虑地址偏移。
NEW_DESCRIPTOR	下一个输入字属于一个新的描述符。在计算字需要移动的字节数时，必须考虑地址偏移。
PROCESSING	正常运行。在这种状态下，单词会移动静态字节数。

图 43-13 数据总线对齐 FSM



### 43.5.6.3.4 数据 FIFO 和 AXI4 流外围接口

AXI4-SGDMA Core 利用数据 FIFO 来缓冲通过每个通道传输的数据。FIFO 存储所有传输的数据与外围设备的 EOF。此外，数据 FIFO 中实现了内部逻辑，以考虑 AXI4 流和 AXI4 内存映射接口之间的不同总线宽度。在这两种信道类型中，此逻辑在 FIFO 的输出中实现，以避免在接收新数据时出现停滞。

在 H2P 通道中，数据 FIFO 位于 AXI4 流主接口之前。当数据总线对齐模块已对齐的字准备好通过 AXI4 流输出接口传输时，执行对 FIFO 的写入。FIFO 的读取仅由负责向外围设备提供数据的 AXI4 流接口执行。使用这种方法，一旦数据可用，就会立即传输数据，外围设备的从属接口也准备好接收数据。

在 P2H 通道中，数据 FIFO 位于 AXI4 流从接口之后。写入 FIFO 仅由 AXI4 流从属设备执行。只要 FIFO 可以保存更多数据并且没有阻塞中断处于活动状态，从属接口就会发出其就绪信号。一旦 DMA 控制模块提供了有效的描述符，数据总线对齐模块就会执行 FIFO 的读取，以便每个字都正确对齐到正确的内存地址。通过 AXI4 流接口接收的数据必须始终与接口的总线宽度对齐。

### 43.5.6.3.5 数据 buffer

数据缓冲区是外设到主机 DMA 通道特有的功能。它的作用是在内存映射接口的地址写通道中发出写事务之前，积累一个完整的对齐 AXI4 突发。缓冲区的大小等于 AXI4 内存映射接口的最大突发大小。内部实现了两个突发大小计数器，以考虑由于 EOF 或由于传输跨越 4KB 页面边界而小于最大突发长度的传输。DMA 控制模块的工作是在每种情况下改变下一个 AXI4 事务的突发长度。

此外，在缓冲器的输出端上实现了几个字计数器，以跟踪当前突发的剩余字。利用两个这样的计数器允许在任何时候有两个 AXI4 事务处于挂起状态，从而减轻了两次后续数据写入访问之间的地址写入访问的开销。

### 43.5.6.3.6 DMA 控制

DMA 控制模块为每个 DMA 通道提供中央控制。控制模块有两种变体，分别针对 H2P 和 P2H 通道。本节详细介绍 DMA 控制单元在特定事件下的行为，以及驱动传输执行阶段的 FSM。

#### 43.5.6.3.6.1 使能/清除行为

为确保 AXI4-SGDMA 核心 FSM 的不间断和可预测行为，软件使能信号 (JPEGDMA\_CTRL.EN) 遵循以下原则。

软件使能功能仅限于 FSM 的完整周期结束时。只有在当前描述符被消耗后，主机才可能暂停通道。这确保了在通道暂停期间不会发生 AXI4 违规。DMA 控制在为新描述符提供服务之前，始终检查软件使能是否关闭。如果满足此条件，FSM 将默认为空闲状态。断言使能信号并发出开始脉冲将迫使通道恢复运行。

软件清除 (JPEGDMA\_CTRL.CLR) 可以在内核运行期间的任何时候断言。CLR 执行核心的同步软复位，刷新所有存储元素并将 FSM 设置为空闲状态。主机有责任决定断言 CLR 信号的正确时间，以避免任何 AXI 协议违规。

#### 43.5.6.3.6.2 阻塞/非阻塞中断

AXI4-SGMA Core 利用了一组混合的阻塞和非阻塞中断。阻塞中断会停止 Core 的运行，并要求用户在恢复之前采取行动，而非阻塞中断则提供更丰富的信息功能，并且 Core 在设置后继续正常运行。特定的中断根据核心配置充当阻塞或非阻塞。

AOOD 和 EOD 始终是非阻塞中断，因为它们只是向主机提供有关 Core 执行流的信息。

OOD 始终是一个阻塞中断，因为没有一组新的描述符，Core 无法恢复运行。这同样适用于不可恢复的错误。有关错误处理的更多信息，请参阅第 43.5.6.3.6.3 节

EOFIN 和 EOFOUT 可以被配置为阻塞或非阻塞中断。不设置 JPEGDMA\_CTRL.OPMODE[2:0] 的位 0 会迫使 Core 将其视为阻塞中断。当设置 EOFIN 时，它会阻止 Core 的输入接收新数据，直到中断被清除，而不会停止 Core 的整个操作。当 EOFOUT 被设置时，Core 在其输出端不会产生有效数据，直到中断被清除。如果 JPEGDMA\_CTRL.OPMODE[2:0] 位 0 为高，则两个中断都变为非阻塞，Core 在设置后立即恢复执行。

#### 43.5.6.3.6.3 错误处理

下表列出了 DMA 控件配置为拦截的所有可能错误以及解决这些错误所需的操作。

致命错误需要硬复位或软复位，因为核心的正常运行是不可恢复的。致命错误会导致所有状态机和接口被禁用。状态机保持空闲状态，等待复位。

在停用 Core 并将错误写入 CSR 之前，H2P 和 P2H 通道都完成了通过 AXI4 内存映射接口发出的所有未完成的传输。发生错误后，AXI4 流接口将不接受或产生任何数据。如果已经发出 AXI4 流传输，则外围 AXI4 串流接口也应复位。

在 AXI4 总线错误的情况下，无法保证数据完整性，应使用正确的配置复位和重新初始化核心，以重新启动或恢复数据传输。

表 43-20 错误类型

错误类型	严重度	解决方案
RDESCERR	致命	AXI 读取描述符事务失败。需要硬/软复位。
WDESCERR	致命	AXI 写入描述符事务失败。需要硬/软复位。
RDATAERR	致命	AXI 读取数据事务失败。需要硬/软复位。

WDATAERR	致命	AXI 写入数据事务失败。需要硬/软复位。
----------	----	-----------------------

#### 43.5.6.3.6.4 AXI4 地址对齐

AXI4-SGMA Core 可选地通过 JPEGDMA\_PARACFG.ALIGNEN 合成参数支持非对齐递增数据突发。

然而，Core 不支持从内存读取描述符的非对齐访问。每个描述符地址应与 AXI4 内存映射数据总线对齐。

同样，所有 AXI4 固定突发都应与 AXI4 内存映射数据总线对齐，因为地址在整个突发中保持固定。

#### 43.5.6.3.6.5 H2P 控制 FSM

H2P 控制 FSM 控制通道对主机存储器的读取访问。FSM 的状态可以在表 43-21 中看到。控制模块通过读取和解码描述符来启动 DMA 操作。如果描述符驻留在主机内存中，DMA Control 会启动 AXI4 读取事务，从主机内存中获取描述符。一次读取一个描述符。在预编程描述符或通过 CSR 编程的描述符的情况下，DMA Control 会查找相应的位置以接收描述符。

一旦描述符被成功读取和解码，FSM 就开始促进从主机存储器到本地数据 FIFO 的数据传输。AXI4 突发的大小基于 JPEGDMA\_MBSIZE 和 JPEGDMA\_DESC\_MBSIZE 描述符字段计算。在准备突发后，如果数据 FIFO 中有足够的空间容纳完整的突发，则发出 AXI4 突发，否则控制等待 FIFO 解除拥塞。

每次事务成功发出后，Control 要么计算下一个事务，要么继续使用描述符。后者是当传输数据的总大小等于 JPEGDMA\_DESC\_MBSIZE 描述符参数时的情况。在 H2P 通道中，描述符的消耗只会导致 SGLIST TAIL 指针增加 1，因为此时描述符不包含主机的任何相关信息，因此不需要进行内存访问操作。请注意，如果“JPEGDMA\_CTRL.MMODE[1] = 0”意味着使用简单的 List，并且描述符被消耗而 SGLIST 为空，则 TAIL 指针将重置为指向列表的第一个元素，而不是在 INITIALIZATION 状态下递增。

在描述符被使用后，FSM 在通过主机内存访问描述符时转换为 DESCRIPTOR\_RD\_RQ 状态，在通过 CSR 访问描述符时转变为 READ\_DESCRIPTOR 状态，或者转换为 IDLE 状态。如果描述符因 EOF 而被消耗，并且通道的 JPEGDMA\_CTRL.OPMODE[2:0] 被设置为内核应在 EOF 上暂停，或者如果 JPEGDMA\_CTRL.EN 被取消断言，FSM 将保持在 IDLE 状态。一旦中断被清除，JPEGDMA\_CTRL.EN 信号激活，收到开始脉冲，FSM 继续正常运行。否则，如果 SGLIST 在描述符被消耗后为空，FSM 将等待主机提供更多描述符，随后切换到 INITIALIZATION 状态以处理新列表。如果在使用前一个描述符时仍有可用的描述符，则 FSM 将正常处理它们。

表 43-21 H2P 控制 FSM 状态

状态	描述
IDLE	未执行任何操作。所有控制位和数据位都被取消断言。
INITIALIZATION	使用 SGLIST 中第一个描述符的位置初始化控件。
DESCRIPTOR_RD_RQ	为下一个描述符发出 AXI 读取地址通道事务。描述符的位置取决于前一个描述符的类型（普通或链接）。
READ_DESCRIPTOR	从 AXI 读取数据通道或 CSR 接收描述符，并将其存储在描述符寄存器中。
DECODE_DESCRIPTOR	验证描述符的完整性，并将数据传输的计数器和地址设置为适当的值。
PREPARE_NEXT_BURST	根据数据 FIFO 占用率、JPEGDMA_MBSIZE 和 JPEGDMA_DESC_MBSIZE 参数准备下一个 AXI 读取突发。
DATA_RD_RQ	为 AXI AR 通道发出传输。
CONSUME_DESCRIPTOR	增加 TAIL 指针。

### 43.5.6.3.6.6 P2H 控制 FSM

P2H 控制 FSM 控制通道对主机存储器的写访问。FSM 的状态可以在表 43-22 中看到。描述符读取和解码状态与 H2P 通道 FSM 的相应状态相同。

一旦选择了有效的描述符，FSM 就会将其推断出的数据块的地址偏移和大小传递给数据总线对齐模块，以便传入数据可以正确地与数据地址对齐。随后，它评估数据缓冲区中数据的可用性，并根据描述符的 JPEGDMA\_MBSIZE、JPEGDMA\_DESC\_MBSIZE 和 EOF 标志计算突发大小。当根据这些标准可以获得适当大小的数据时，会发出 AXI4 写突发，将数据存储在主机的内存中。重复此过程，直到与描述符关联的分配空间被填满，或者在 AXI4 流从属接口中看到 EOF。

当数据事务完成时，描述符被消耗。这意味着当 EOF 发生时，用正确的值更新描述符的 JPEGDMA\_DESC\_MUS 字段，并更新 JPEGDMA\_DESCF。描述符消耗标志在所有情况下都设置，而 EOF 标志是在描述符因从外围接口接收 EOF 而消耗的情况下设置的。然后，FSM 向 AXI4 MM 接口发出写入事务，或覆盖相应的 CSR 字段，以在将 SGLIST TAIL 指针递增 1 之前用新值更新描述符。请注意，如果“JPEGDMA\_CTRL.MMODE[1] = 0”意味着使用简单的 List，并且在使用描述符后 SGLIST 为空，则 TAIL 指针将重置为指向列表的第一个元素，而不是递增。

描述符被使用后，DMA 控制 FSM 将转换为 DESCRIPTO\_RD\_RQ、READDESCRIPTOR 或 IDLE 状态。每种情况的状态转换条件与 H2P FSM 相同。

表 43-22 P2H 控制 FSM 状态

状态	描述
IDLE	未执行任何操作。所有控制位和数据位都被取消断言。
INITIALIZATION	使用 SG 列表中第一个描述符的位置初始化控件。
DESCRIPTOR_RD_RQ	为下一个描述符发出 AXI 读取地址通道事务。描述符的位置取决于前一个描述符的类型（普通或链接）。
READ_DESCRIPTOR	从 AXI 读取数据通道或 CSR 接收描述符，并将其存储在描述符寄存器中。
DECODE_DESCRIPTOR	验证描述符的完整性，并将数据传输的计数器和地址设置为适当的值。
PREPARE_NEXT_BURST	检查数据缓冲区中的可用数据。如果缓冲区中存在的数量满足 JPEGDMA_MBSIZE、JPEGDMA_DESC_MBSIZE，或者看到 EOF，请根据这些限制准备 AXI 突发。
DATA_WR_RQ	在描述符指向的地址处，以适当的突发大小从 AXI4 MM 接口请求内存写访问。
CONSUME_DESCRIPTOR	更新 JPEGDMA_DESCF 描述符_消耗字段。如果描述符因 EOF 而消耗，请更新 JPEGDMA_DESC_MUS 值和 EOF 标志。 如果描述符位于 CSR 中，请更新 CSR 寄存器。 增加 TAIL 指针。
DESCRIPTOR_WR_RQ	发出 AXI MM 写入事务，将更新的描述符写入主机内存。如果事务失败，则重新发出事务。
WAIT_DESC_BURST_DONE	等待描述符的数据写入传输完成。

### 43.5.6.4 AXI 读/写通道控制 FSM

AXI 数据通道独立于主 DMA 控制模块进行控制。为每个方向保留未完成事务的计数，以使 AXIRD 和 AXI WR FSM 与 H2P/P2H 控制 FSM 同步。当在 AXI 接口的每个地址通道中执行事务时，相应的未完成事务计数会递增。

WR 信道控制 FSM 模块分为两个较小的 FSM，分别控制写入数据和数据响应信道。使用单独的 FSM 可确保写入响应的延迟不会影响写入数据通道的吞吐量。所有 FSM 都使用 IDLE 状态，当接口不再发出事务时，

可以访问该状态。如果设置了 JPEGDMA\_CTRL.EN 并且没有发生错误，则内核将转换为数据传输状态，以便根据通道的方向从接口提供或接收数据。请注意，FSM 还考虑了数据 FIFO 的就绪/有效信号，以确定 AXI 的就绪和有效信号的值。

表 43-23 AXI 通道控制 FSM 状态

状态	描述
IDLE	未执行任何操作。所有控制位和数据位都被取消断言。
READ_DATA	已发出读取事务，接口必须准备好接收数据传输。
WRITE_DATA	已发出写入事务，接口必须准备好为传输提供数据。
WR_RESP	接收已完成突发的写入响应。

图 43-14 AXI RD 通道控制 FSM 的状态转换

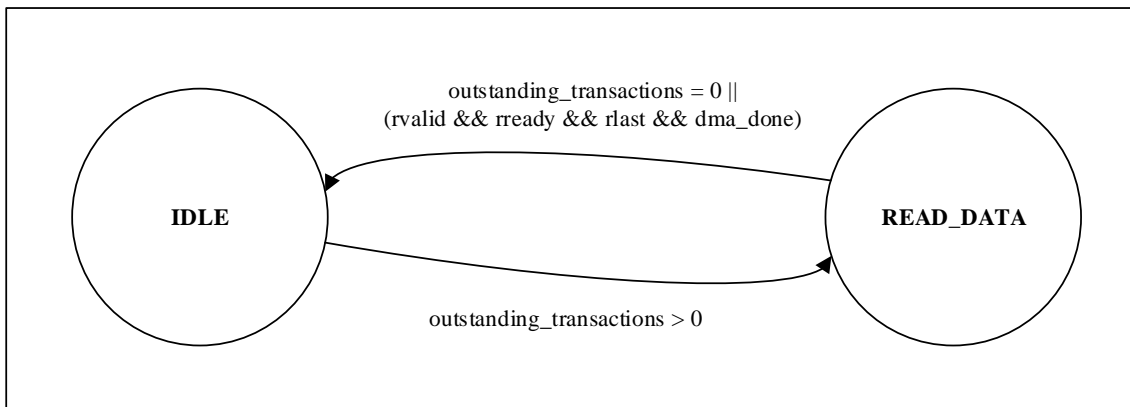


图 43-15 AXI WR 通道控制 FSM 的状态转换

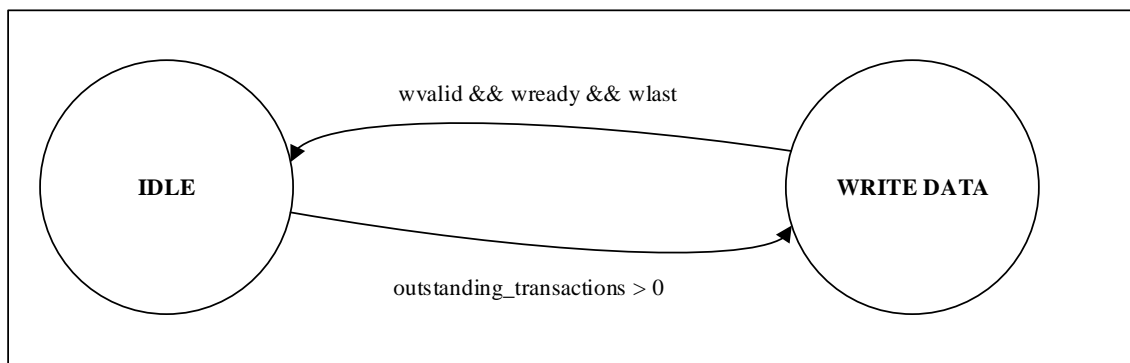
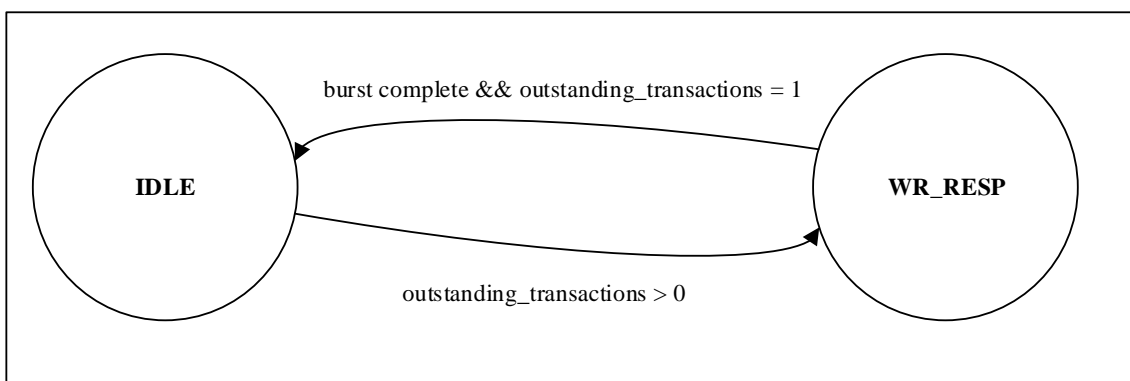


图 43-16 AXI 响应通道控制 FSM 的状态转换



### 43.5.6.5 描述符和描述符列表结构

DMA 核心使用描述符来获取数据块的内存位置和大小。描述符遵循表 43-24 和表 43-25 所示的结构。描述符的大小是静态的，根据 JPEGDMA\_PARACFG.DESCSIZE 参数设置为 16 或 32 字节。

第一个字包含 Desc\_Flags，指定与描述符相关联的数据是对应于帧的开始还是结束，以及关于链接描述符的存在的信息和描述符被使用后断言的标志。描述符已消耗标志对核心没有内部用途，因此主机设置的任何值都不会受到影响。该标志的唯一目的是向主机指示描述符已被处理。

第二和第三个字包含数据块的分配和有效大小。在主机到外围通道中，有效大小与分配的大小相同，Block\_Used 字段没有任何效果。在外设到主机通道中，当数据块对应于帧结束时，主机应访问 Block\_Used 字段，以确定外设写入内存的数据的正确大小。在 16 字节描述符的情况下，这两个字段合并为一个字，每个字段占用第二个字的一半。

在 32 字节的描述符结构中，字 3 和 4 包含描述符引用的数据块的起始地址，涵盖 32 位和 64 位地址。16 字节的描述符结构只允许 32 位地址，使用第三个字来传达数据块的起始地址。

由于描述符结构并不总是驻留在连续的内存空间中，描述符可以是两种描述符类型之一，即简单描述符或链接描述符。由设置为 0 的 Link Enable 标志表示的简单描述符不会链接到另一个描述符，下一个描述符位于预期的下一个有效描述符地址中。由设置为 1 的 Link Enable 标志表示的链接描述符还包含指向下一个描述符地址的有效链接。链接地址占用描述符的字 6，当描述符设置为 32 字节时需要 64 位地址时使用字 7，当描述符设为 16 字节时使用字 4。

Block\_Size 等于零的描述符仍被视为有效描述符。但是，如果 Block\_Size 为零并且描述符设置了帧结束标志，则无法保证数据完整性。

表 43-24 8 字描述符结构

字	位宽	域	描述
0	32	Desc_Flags	Descriptor flag bits: 0: Link Enable, 1: Start of Frame, 2: End of Frame, 3: Descriptor Consumed. 4-31: Reserved
1	32	Block_Size	内存块大小。描述符指向的内存空间的总分配大小。
2	32	Block_Used	所用内存空间的大小（外围设备将数据写入主机内存时的字段使用）。
3	32	Block_Addr (LSB)	此描述符引用的主机内存中数据块的起始地址。
4	32	Block_Addr (MSB)	此描述符所指的主机内存中数据块的起始地址（在 64 位地址的情况下为高位 32 位）。
5	32	Reserved	保留供将来使用。保留位读取为 0。
6	32	Desc_Link_Addr (LSB)	链接到下一个描述符，当 Link Enable =1 时使用。
7	32	Desc_Link_Addr (MSB)	链接到下一个描述符，当 Link Enable =1 时使用（在 64 位地址的情况下为高位 32 位）。

**表 43-25 4 字描述符结构**

字	位宽	域	描述
0	32	Desc_Flags	Descriptor flag bits: 0: Link Enable, 1: Start of Frame, 2: End of Frame, 3: Descriptor Consumed. 4-31: Reserved
1	32	Block_Size[15:0] Block_Used[31:16]	[15:0]Block_Size: 描述符指向的内存空间的总分配大小。 [31:16]Block_Used: 使用的内存空间大小（外围设备将数据写入主机内存时的字段使用）。
2	32	Block_Addr	此描述符引用的主机内存中数据块的起始地址。
3	32	Desc_Link_Addr	链接到下一个描述符。当 Link Enable =1 时使用。

### 43.5.6.5.1 通过内存访问描述符

用户可以选择描述符是驻留在主机内存空间中，还是通过 Core 的 CSR 接口进行编程。在第一种情况下，核心通过用于所有数据传输的 AXI4 内存映射接口访问描述符。每个描述符都必须与接口的数据宽度对齐。如果 AXI4 MM 数据总线宽度大于描述符的大小，则必须引入额外的填充，以便每个描述符始终占据 AXI4 节拍的最低有效字节。填充被 Core 内部丢弃。图 43-17 和图 43-18 显示了保存每个通道描述符的两种可能的内存结构。用户可以通过 JPEGDMA\_CTRL.MMODE 字段的位 1 在简单列表（图 43-17）和环形缓冲区（图 43-18）之间进行选择。

当选择简单列表作为描述符列表结构时，主机决定列表的大小并相应地填充它。DMA 核心使用描述符后，会更新尾部指针，以将使用的描述符与活动描述符分开。

当选择环形缓冲区作为描述符列表结构时，头指针表示已由主机初始化的有效描述符，而尾指针表示已被 DMA 核心使用的描述符。在这种情况下，JPEGDMA\_SGLSIZE 参数表示环形缓冲区中描述符的总数，无论它们是已初始化、未初始化还是已使用。因此，当达到 JPEGDMA\_SGLSIZE 时，Head 和 Tail 指针会滚动到 Ring 中的第一个描述符槽。当 Head 和 Tail 指针指向同一地址时，环形缓冲区为空，而当 Tail 等于 Head+1 时，它被视为已满。

虽然描述符列表/环形缓冲区的大小可能会在运行时更改，但强烈建议在核心运行时将其视为非动态值。在这种情况下，主机和核心的内部控制之间没有提供同步机制，这可能会在某些极端情况下导致意外行为。因此，建议用户遵守两种可能的 SGList 管理方案之一。

在描述符列表的情况下，当由于列表中的所有描述符都被消耗而需要从核心中获取更多描述符以恢复执行时，主机应分配并提供一个新的描述符列表，或者通过简单地重新启动核心来重用现有的列表。

当使用环形缓冲区结构存储描述符时，尾部指针将保持在最后一个被使用的描述符处。然后，主机可以刷新之前消耗的描述符并递增头部指针，或者提供新的环形缓冲区。在后一种情况下，需要通过访问相应的 CSR 字段来重置尾部指针。

两种通道类型之间的一个重要区别是通道消耗描述符的时刻，在处理控制信号和中断时需要谨慎。当通过 AXI4 MM 接口访问与其关联的数据块时，描述符被视为已消耗。在 H2P 通道中，这意味着数据块中的所有数据都已从主机存储器中读取。在这种情况下，部分数据仍然存在于通道的管道中，但可以启动来自新描述符的传输。在 P2H 信道中，当描述符推断的数据块没有空间接收新数据时，描述符被消耗。因此，通道管



道中没有与该块相关的数据

*注意：无论数据突发类型配置如何，通过 AXI4 内存映射接口访问描述符只能通过递增突发来实现。*

#### 43.5.6.5.2 通过 CSR 接口编程描述符

描述符可以通过填充相应的字段，通过 CSR 接口直接编程到核心。通过在控制寄存器的 JPEGDMA\_CTRL.MMODE 字段中设置位 0 来使能此功能。在这种情况下，描述符直接从 CSR 模块读取和更新，一旦前一个描述符被使用，主机负责提供下一个描述符。通过配置相应的合成参数，可以在合成时在 CSR 字段中编程描述符。然后，主机可以配置其余的 CSR 控制字段，并启动 DMA 传输，而不需要提供描述符或 SGList 位置。

这种描述符访问模式与描述符内存结构不兼容。因此，使用链接描述符没有效果。当 Core 设置为此模式时，通过 CSR 编程的描述符优先于任何其他描述符。

CSR 描述符寄存器和描述符合成初始化参数具有固定的大小和地址，与 DESCRIPTO\_SIZE 参数无关。相反，对 4 字描述符结构的翻译是在内部执行的。因此，写入包含描述符块和链接地址的 MSB 的 CSR 寄存器无效，读取时返回的值为零。同样，块大小和块使用寄存器被截断为 16 位宽。这些寄存器的高位 16 位可能不会被写入，并且在读取时始终为零。

图 43-17 描述符内存存储的简单列表表示

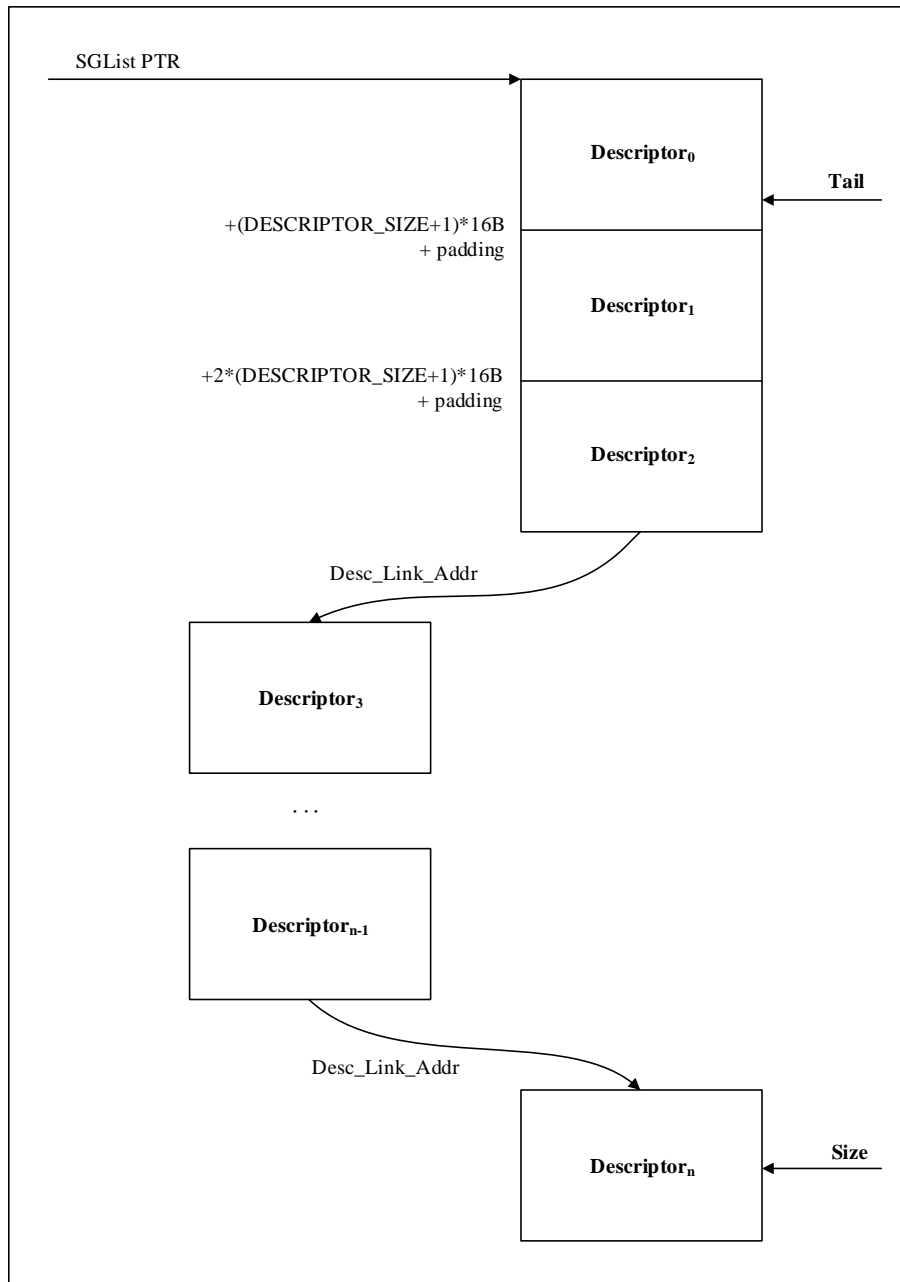
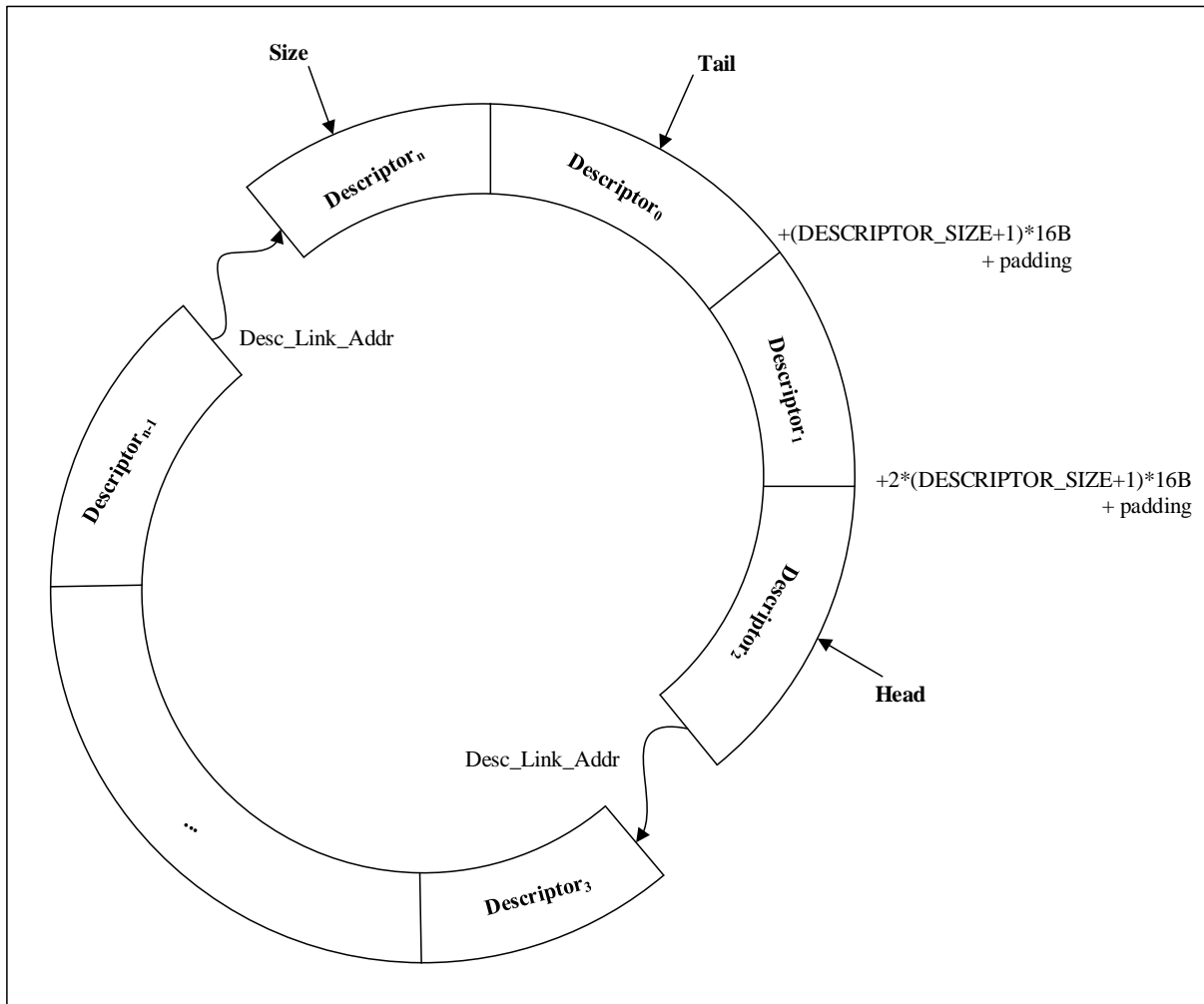


图 43-18 用于描述符内存存储的环形缓冲区的表示



### 43.5.7 编程指南

对 JPEG 进行编程需要以下步骤

1. 打开 JPEG 电源，请参阅 PWR 章节。
2. 在 RCC 寄存器中启用 JPEG 时钟，请参阅 RCC 章节。
3. 选择 JPEG 操作：ENCODE/DECODE，请参阅第 43.5.1 节。
4. 如果 JPEG 在 ENCODE 模式下工作，请参考第 43.5.2 节配置 RBC 和第 43.5.3 节编码器。否则，请参考第 43.5.5 节配置 BRC 和第 43.5.4 节解码器。
5. 配置 SGDMA，请参考第 43.5.6 节。

## 43.6 寄存器总览

### 43.6.1 类型控制寄存器

基地址：0x5009 0800

### 43.6.1.1 JPEG 控制寄存器 (JPEG\_CTRL)

偏移地址: 0x00

复位值: 0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														SWAP	TYPE
														rw	rw

位域	名称	描述
31:2	Reserved	保留, 必须保持复位值。
1	SWAP	在 BRC 中将数据交换为 YCbCr 4:2:2 格式(Swap Data for YCbCr 4:2:2 Format in BRC) 0: 无交换 1: WDATA[15:8]与 WDATA[23:16]交换, WDATA[47:40]与 WDATA[55:48]交换 <i>注意: 仅适用于解码模式</i> <i>注意: 当使用 MCU 自带的 LCDC 显示时, 用于对 YUV422 格式的数据进行交换, 用于改成支持 LCDC 显示的格式。</i>
0	TYPE	选择 JPEG 操作(Choose JPEG operation) 0: JPEG 解码 1: JPEG 编码

### 43.6.2 SGDMA 寄存器

SGDMA 寄存器根据 JPEG\_CTRL.TYPE 的选择可以有两个方向, 分别是 H2P 和 P2H, 两个方向分别有一组寄存器, 基地址如下:

H2P 基地址: 0x5007 0400

P2H 基地址: 0x5009 0400

#### 43.6.2.1 DMA 控制寄存器 (JPEGDMA\_CTRL)

偏移地址: 0x00

复位值: 0x0000 0012

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
HARDST	Reserved														
rw1_ac															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							SGLTRST	MMODE[2:0]			OPMODE[2:0]		START	EN	CLR

位域	名称	描述
31	HARDRST	软件硬重置(Software hard reset) 无论模块的状态如何, 此位都会强制模块重置。建议在正常情况下不要使用此重置, 而是选择通过 CLR 重新配置模块。此重置会覆盖任何正在进行的 AXI4 事务, 并可能导致总线错误。 0: 禁止 1: 使能
30:10	Reserved	保留, 必须保持复位值。
9	SGLTRST	Reset the TAIL of the SGList to zero when MMODE = 2 当 MMODE =2 时, 将 SGList 的表尾重置为零
8:6	MMODE[2:0]	描述符内存模式设置(Descriptor Memory Mode settings) 位 0: 0: 描述符存储在内存中。 1: 通过 CSR 编程的描述符。 位 1: 0: 描述符列表结构是一个简单的列表。 1: 描述符列表结构是环形缓冲区。 位 2: 保留。
5:3	OPMODE[2:0]	操作模式设置(Operation Mode Settings) 位 0: 0: 暂停 EOF 上的 DMA 操作并等待驱动程序操作。 1: EOF 后, DMA 恢复正常运行。 第 1 位: 0: AXI4 MM 固定 burst (仅对齐地址)。 1: AXI4 MM 增长 burst。 位 2: 保留。
2	START	DMA 启动(DMA Start) 在重置或暂停后, 断言此位以启动 DMA 传输。操作完成后自动清除。将值 0 写入此字段无效。 0: 禁止 1: 使能
1	EN	软件使能(Software enable) 允许寄存器接收新值。断言会使核心暂停在当前状态。只有当 BUSY 信号为低时, 才应暂停内核, 以避免 AXI4 内存映射和流接口中的意外行为或内部错误。 0: 禁止 1: 使能
0	CLR	整个 H2P/P2H 的软件重置(Software reset for the entire H2P/P2H) 只有当 H2P/P2H 不忙时, 才能设置该位, 以避免违反 AXI4。该位保持设置状态, 重置完成后自动清除。将值 0 写入此字段不会产生影响。

### 43.6.2.2 DMA 状态寄存器 (JPEGDMA\_STS)

偏移地址: 0x04

复位值: 0x0000 0080

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RRERR	WRERR	WDATAERR	RDATAERR	WDESCERR	RDESCERR	Reserved	FIFOFULL	FIFOEMPTY	EOD	AOOD	OOD	EOFIN	EOFOUT	GINT	BUSY
r	r	r	r	r	r		r	r	re_wl	re_wl	re_wl	re_wl	re_wl	r	r

位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15	RRERR	发生错误时 AXI 读取响应(MSB)(AXI Read response when error has occurred (MSB))
14	WRERR	AXI 发生错误时的写入响应(MSB)(AXI Write response when error has occurred (MSB))
13	WDATAERR	写入数据时出现 AXI MM 写入错误(AXI MM Write Error when writing data)
12	RDATAERR	读取数据时出现 AXI MM 读取错误(AXI MM Read Error when reading data)
11	WDESCERR	写入描述符时出现 AXI MM 写入错误(AXI MM Write Error when writing a descriptor)
10	RDESCERR	读取描述符时出现 AXI MM 读取错误(AXI MM Read Error when reading a descriptor)
9	Reserved	保留, 必须保持复位值。
8	FIFOFULL	数据 FIFO 已满(Data FIFO is full)
7	FIFOEMPTY	数据 FIFO 为空(Data FIFO is empty)
6	EOD	描述符结束(End-Of-Descriptor) 当使用了描述符, 才会置位该位。
5	AOOD	通道将要超出描述符(Channel is Almost Out of Descriptors) 此状态的条件是通过 JPEGDMA_AOODT 寄存器设置的。
4	OOD	超出描述符(Out Of Descriptors) 当通道描述符用尽时, 设置该位。
3	EOFIN	在通道输入端采样的帧结束(End-Of-Frame sampled at the input of the channel)
2	EOFOUT	在通道输出端采样的帧结束(End-Of-Frame sampled at the output of the channel) DMA 传输在通道输出端采样 EOF 后完成。
1	GINT	通道的全局中断状态位(Global interrupt status bit for the Channel) 当清除所有单个中断时, 此字段会自动清除。
0	BUSY	H2P/P2H 处于传输进程中(H2P/P2H is processing a transfer)

### 43.6.2.3 DMA 中断控制寄存器 (JPEGDMA\_IE)

偏移地址: 0x08

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	WDATAERREN	RDATAERREN	WDESCERREN	RDESCERREN	Reserved			EODINTEN	AOODINTEN	OODINTEN	EOFININTEN	EOFOUTINTEN	GINTEN	Reserved	
	rw	rw	rw	rw				rw	rw	rw	rw	rw	rw		

位域	名称	描述
31:14	Reserved	保留，必须保持复位值。
13	WDATAERREN	使能在写入数据时 AXI MM 写入错误中断(Enable interrupt on AXI MM Write Error when writing data)
12	RDATAERREN	读取数据时启用 AXI MM 读取错误中断(Enable interrupt on AXI MM Read Error when reading data)
11	WDESCERREN	使能在写入描述符时 AXI MM 写入错误中断(Enable interrupt on AXI MM Write Error when writing a descriptor)
10	RDESCERREN	使能在读取描述符时 AXI MM 读取错误中断(Enable interrupt on AXI MM Read Error when reading a descriptor)
9:7	Reserved	保留，必须保持复位值。
6	EODINTEN	使能描述符结束中断(Enable for the End of Descriptor interrupt)
5	AOODINTEN	使能“几乎用尽描述符”中断(Enable for the Almost Out of Descriptors interrupt)
4	OODINTEN	使能“描述符不足”中断(Enable for the Out of Descriptors interrupt)
3	EOFININTEN	使能输入 EOF 中断(Enable for the input EOF interrupt)
2	EOFOUTINTEN	使能输出 EOF 中断(Enable for the output EOF interrupt)
1	GINTEN	通道全局中断启用(Global interrupt enable for the Channel)
0	Reserved	保留，必须保持复位值。

#### 43.6.2.4 DMA 中断状态寄存器 (JPEGDMA\_INTSTS)

偏移地址：0x0C

复位值：0x0000 0000

此寄存器值每个位的值是 JPEGDMA\_STS 和 JPEGDMA\_IE 对应位段的“与”值。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	WDATAERR	RDATAERR	WDESCERR	RDESCERR	Reserved			EOD	AOOD	OOD	EOFIN	EOFOUT	GINT	Reserved	
	r	r	r	r				r	r	r	r	r	r		

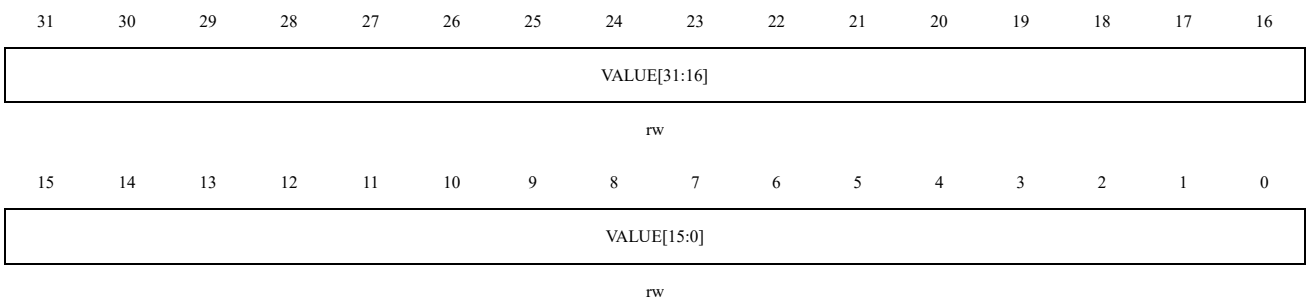
位域	名称	描述
31:14	Reserved	保留，必须保持复位值。
13	WDATAERR	写入数据时出现 AXI MM 写入错误(AXI MM Write Error when writing data)

位域	名称	描述
12	RDATAERR	读取数据时出现 AXI MM 读取错误(AXI MM Read Error when reading data)
11	WDESCERR	写入描述符时出现 AXI MM 写入错误(AXI MM Write Error when writing a descriptor)
10	RDESCERR	读取描述符时出现 AXI MM 读取错误(AXI MM Read Error when reading a descriptor)
9:7	Reserved	保留，必须保持复位值。
6	EOD	描述符结束(End-Of-Descriptor) 当使用了描述符，才会置位该位。
5	AOOD	通道将要超出描述符(Channel is Almost Out of Descriptors) 此状态的条件是通过 JPEGDMA_AOODT 寄存器设置的。
4	OOD	超出描述符(Out Of Descriptors) 当通道描述符用尽时，设置该位。
3	EOFIN	在通道输入端采样的帧结束(End-Of-Frame sampled at the input of the channel)
2	EOFOUT	在通道输出端采样的帧结束(End-Of-Frame sampled at the output of the channel) DMA 传输在通道输出端采样 EOF 后完成。
1	GINT	通道的全局中断状态位(Global interrupt status bit for the Channel) 当清除所有单个中断时，此字段会自动清除。
0	Reserved	保留，必须保持复位值。

#### 43.6.2.5 DMA 几乎超出描述符阈值寄存器 (JPEGDMA\_AOODT)

偏移地址：0x10

复位值：0x0000 0000

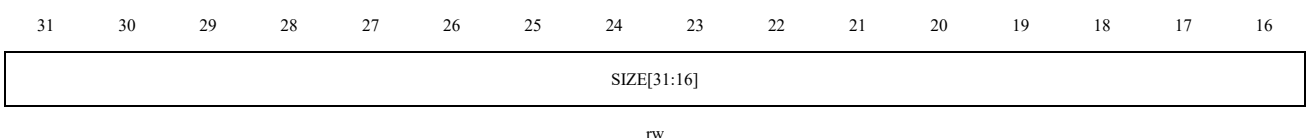


位域	名称	描述
31:0	VALUE[31:0]	几乎超出描述符阈值 (Almost Out Of Descriptors Threshold) 如果使能 JPEGDMA_IE.AOODINTEN 中断，则会在低于此阈值时生成中断。 值为 0 时禁用阈值。

#### 43.6.2.6 DMA 最大突发大小寄存器 (JPEGDMA\_MBSIZE)

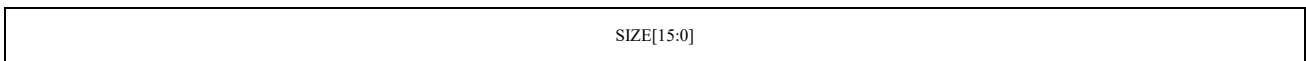
偏移地址：0x14

复位值：0x0000 0100





15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



rw

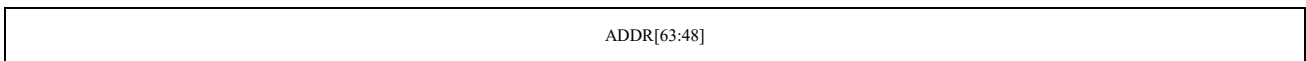
位域	名称	描述
31:0	SIZE[31:0]	AXI4 MM 突发的最大允许大小(Maximum allowed size for an AXI4 MM burst) 该值必须小于 JPEGDMA_FIFODP.DEPTH[31:0]。

### 43.6.2.7 DMA 分散聚集列表指针寄存器 (JPEGDMA\_SGLP)

偏移地址: 0x18

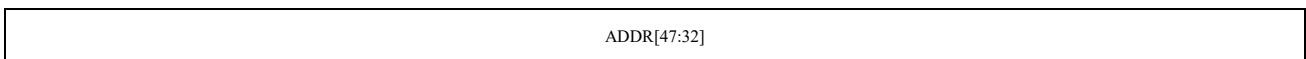
复位值: 0x0000 0000 0000 0000

63 62 61 60 59 58 57 56 55 54 53 52 51 50 49 48



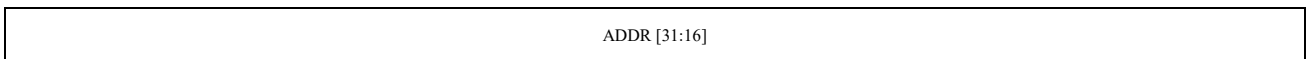
rw

47 46 45 44 43 42 41 40 39 38 37 36 35 34 33 32



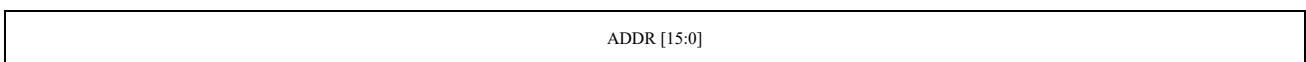
rw

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



rw

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



rw

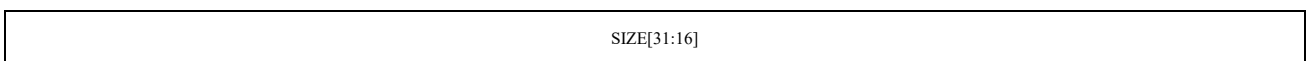
位域	名称	描述
63:0	ADDR[63:0]	分散聚集列表指针(Scatter-Gather List Pointer) 寄存器定义了分散聚集列表在 HOST 内存的 64 位基地址。字段应在 JPEGDMA_SGLSIZE 和 JPEGDMA_SGLHEAD 之前更新。

### 43.6.2.8 DMA 分散聚集列表大小寄存器(JPEGDMA\_SGLSIZE)

偏移地址: 0x20

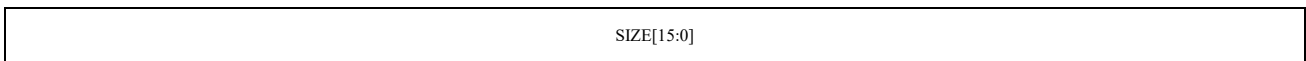
复位值: 0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



rw

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



rw

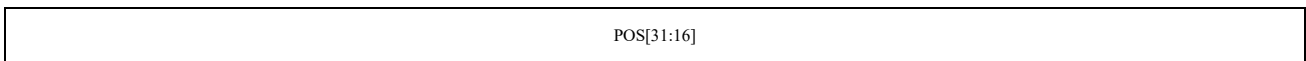
位域	名称	描述
31:0	SIZE[31:0]	分散聚集列表大小(Scatter-Gather List Size) 寄存器定义分散聚集列表/环中的描述符数量（16 位）。

### 43.6.2.9 DMA 分散聚集列表头部寄存器 (JPEGDMA\_SGLHEAD)

偏移地址：0x24

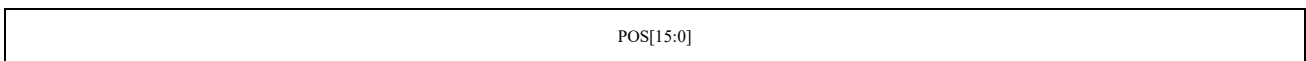
复位值：0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



rw

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



rw

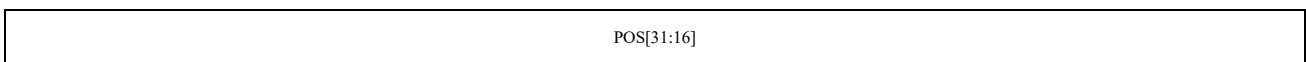
位域	名称	描述
31:0	POS[31:0]	分散聚集列表头部索引指针定义了头部指针在列表/环中的位置(Scatter-Gather List Head index pointer defines the position of the Head pointer in the list/ring) 这些值是整数，解释为 1st、2nd 等描述符，而不是地址。

### 43.6.2.10 DMA 分散聚集列表尾部寄存器 (JPEGDMA\_SGLTAIL)

偏移地址：0x28

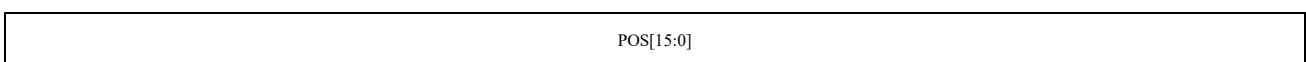
复位值：0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



r

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



r

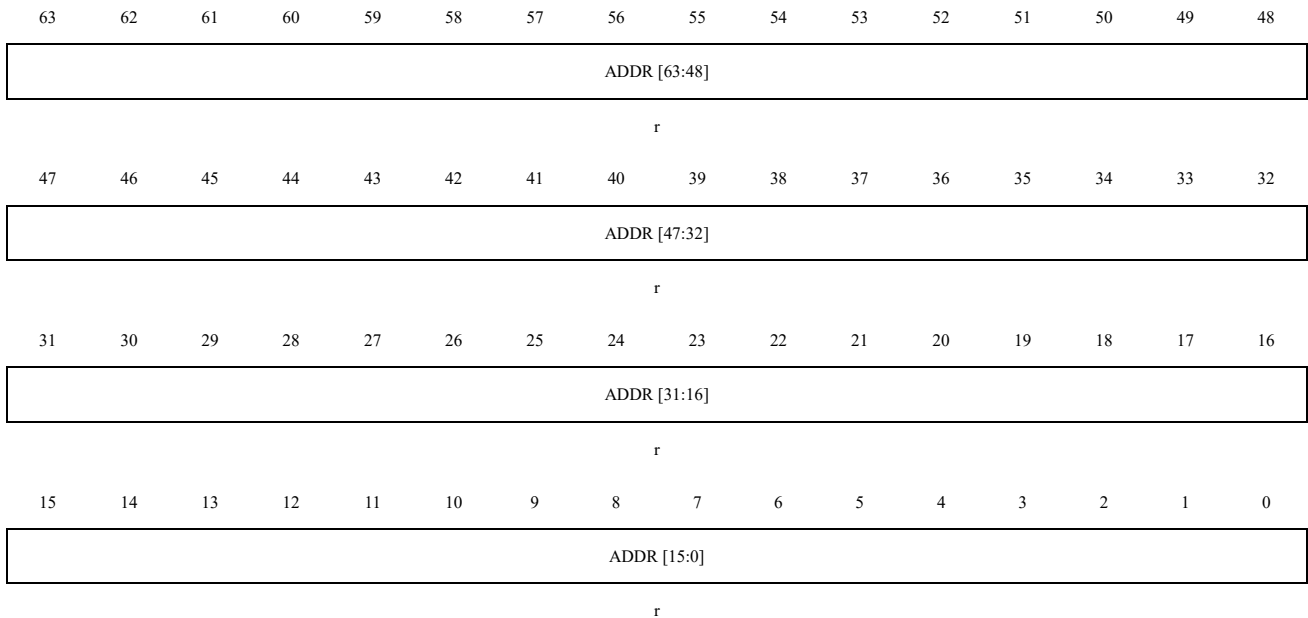
位域	名称	描述
31:0	POS[31:0]	分散聚集列表尾部索引指针定义了尾部指针在列表/环中的位置(Scatter-Gather List Tail index pointer defines the position of the tail pointer in the list/ring)

位域	名称	描述
		这些值是整数，解释为 1st、2nd 等描述符，而不是地址。

### 43.6.2.11 DMA 内存读地址寄存器 (JPEGDMA\_MRADD)

偏移地址：0x2C

复位值：0x0000 0000 0000 0000

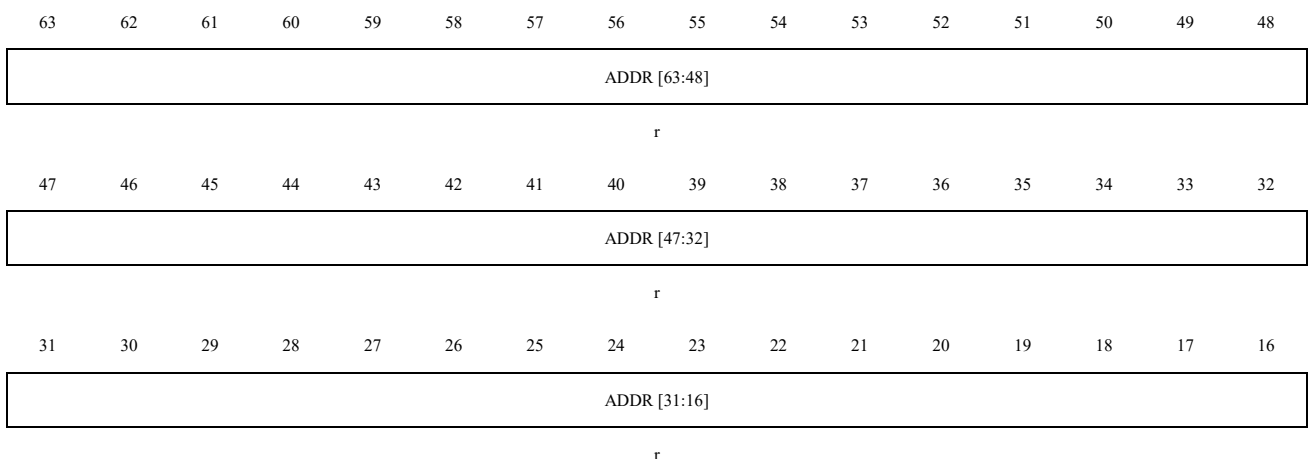


位域	名称	描述
63:0	ADDR[63:0]	AXI 存储器读取地址报告 AXI MM 接口读取通道访问的当前地址 (AXI memory read address reports the current address of the AXI MM interface's read channel accesses) 该值用于调试和错误报告。

### 43.6.2.12 DMA 内存写地址寄存器 (JPEGDMA\_MWADD)

偏移地址：0x34

复位值：0x0000 0000 0000 0000



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

ADDR [15:0]
-------------

r

位域	名称	描述
63:0	ADDR[63:0]	AXI 存储器写地址报告 AXI MM 接口读通道访问的当前地址(AXI memory write address reports the current address of the AXI MM interface's read channel accesses) 该值用于调试和错误报告。

### 43.6.2.13 DMA 描述符标志寄存器(JPEGDMA\_DESCF)

偏移地址: 0x3C

复位值: 0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved
----------

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	DESCCON	END	START	LINKE
	rw	rw	rw	rw

位域	名称	描述
31:4	Reserved	保留, 必须保持复位值。
3	DESCCON	描述符已消耗(Descriptor Consumed) 0: 禁用 1: 使能
2	END	帧结束(End of Frame) 0: 禁用 1: 使能
1	START	帧起始(Start of Frame) 0: 禁用 1: 使能
0	LINKE	链接使能(Link Enable) 0: 禁用 1: 使能

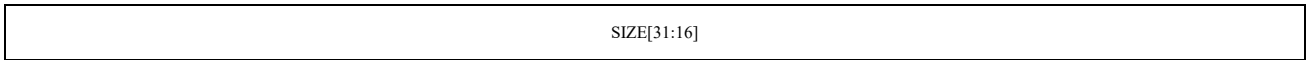
### 43.6.2.14 DMA 描述符内存块大小寄存器 (JPEGDMA\_DESC\_MBSIZE)

偏移地址: 0x40

复位值: 0x0000 0000

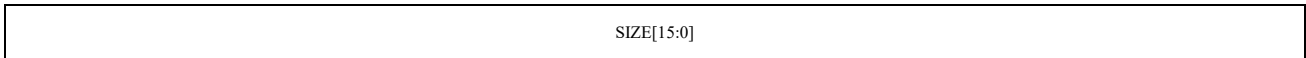
31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

--



rw

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0



rw

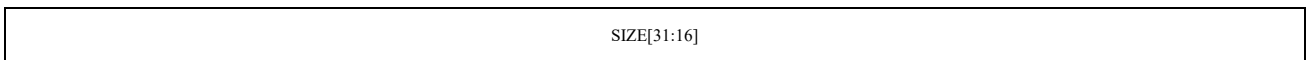
位域	名称	描述
31:0	SIZE[31:0]	描述符内存块大小(Descriptor Memory Block Size) 描述符指向的内存空间的总分配大小。

### 43.6.2.15 DMA 描述符内存已用空间寄存器 (JPEGDMA\_DESC\_MUS)

偏移地址: 0x44

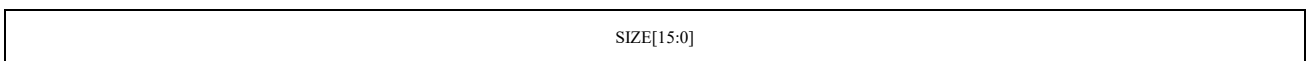
复位值: 0x0000 0000

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16



r

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0



r

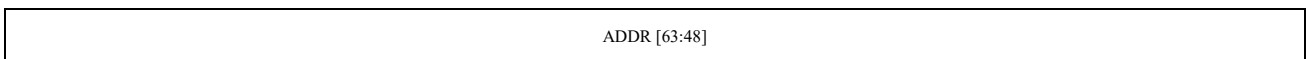
位域	名称	描述
31:0	SIZE[31:0]	描述符内存已用空间(Descriptor Memory Used Space) 所用内存空间的大小（外围设备将数据写入主机内存时的字段使用）。

### 43.6.2.16 DMA 描述符内存块地址寄存器(JPEGDMA\_DESC\_MBADD)

偏移地址: 0x48

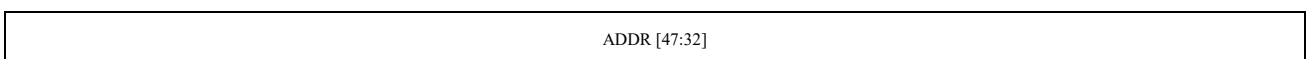
复位值: 0x0000 0000

63    62    61    60    59    58    57    56    55    54    53    52    51    50    49    48



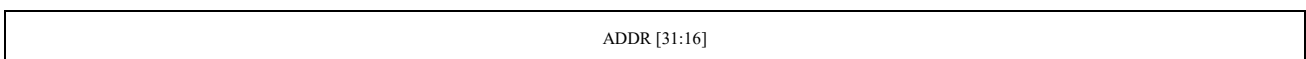
rw

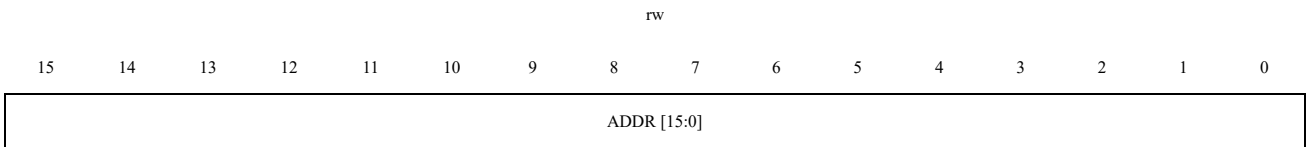
47    46    45    44    43    42    41    40    39    38    37    36    35    34    33    32



rw

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16





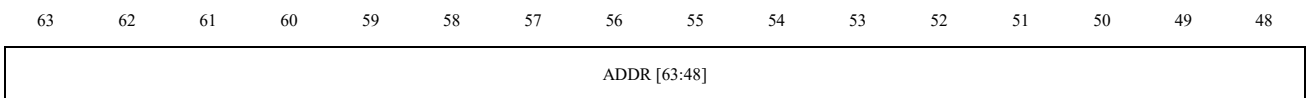
rw

位域	名称	描述
63:0	ADDR[63:0]	描述符内存块地址(Descriptor Memory Block Address) 此描述符引用的主机内存中数据块的起始地址。

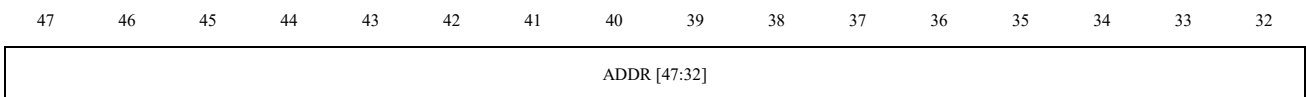
### 43.6.2.17 DMA 描述符链接地址寄存器(JPEGDMA\_DESC\_LINK)

偏移地址: 0x54

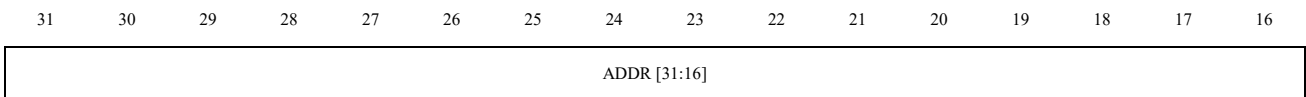
复位值: 0x0000 0000



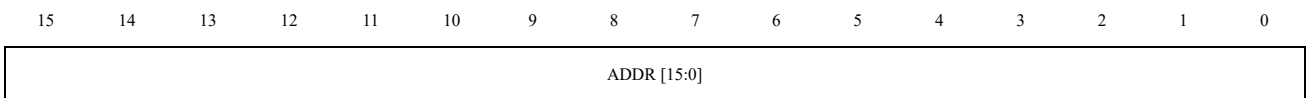
rw



rw



rw



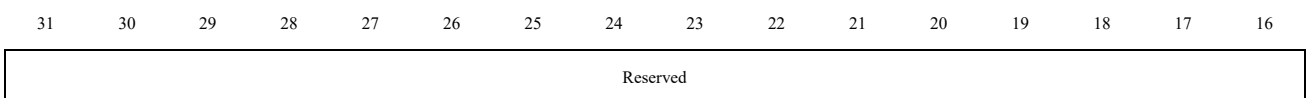
rw

位域	名称	描述
63:0	ADDR[63:0]	描述符链接地址-链接到下一个描述符(Descriptor Link Address - link to the next descriptor) 当 JPEGDMA_DESCF.LINKE=1 时使用。

### 43.6.2.18 DMA 参数配置寄存器 (JPEGDMA\_PARACFG)

偏移地址: 0x5C

复位值: 0x0000 0006



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	ALIGNEN	DESCSIZE	DTYPE
	r	r	r

位域	名称	描述
31:3	Reserved	保留，必须保持复位值。
2	ALIGNEN	实例对齐(Instance alignment) 0: disabled 1: enabled
1	DESCSIZE	描述符的大小(Size of descriptor) 0: 16 bytes 1: 32 bytes
0	DTYPE	DMA 通道类型(Type of DMA Channel) 0: H2P 1: P2H

#### 43.6.2.19 DMA 数据 FIFO 深度寄存器 (JPEGDMA\_FIFODP)

偏移地址: 0x60

复位值: 0x0000 0100

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

DEPTH [31:16]
r

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

DEPTH [15:0]
r

位域	名称	描述
31:0	DEPTH[31:0]	Field mirroring the DATA_FIFO_DEPTH parameter.

#### 43.6.3 解码寄存器

基地址: 0x5008 0000

##### 43.6.3.1 解码模式寄存器 (JPEGDEC\_MODE)

偏移地址: 0x00

复位值: 0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved
----------

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															EN
rw															

位域	名称	描述
31:1	Reserved	保留，必须保持复位值。
0	EN	使能解码模式(Enable the decode mode) 0: 禁止 1: 使能

### 43.6.3.2 解码错误寄存器 (JPEGDEC\_ERROR)

偏移地址: 0x04

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved										HTERR	QTERR	CERR	HUF	UNEXP	UNK
										rw	rw	rw	rw	rw	rw

位域	名称	描述
31:6	Reserved	保留，必须保持复位值。
5	HTERR	扫描 (SOS 标头) 中引用的霍夫曼表无效(A Huffman table referenced in a scan (SOS header) is invalid)
4	QTERR	扫描 (SOS 标头) 中引用的组件中引用的量化表选择了无效的量化表(A Quantisation table referenced in a component referenced in a scan (SOS header) selected an invalid Quantisation table)
3	CERR	扫描标头 (SOS) 中引用的组件在之前的帧标头 (SOF) 中没有定义(A component referenced in the scan header (SOS) was not defined in the previous frame header (SOF).)
2	HUF	检测到霍夫曼解码错误(Huffman decode error detected)
1	UNEXP	检测到意外标记(Unexpected marker detected)
0	UNK	检测到未知标记(Unknown marker detected)

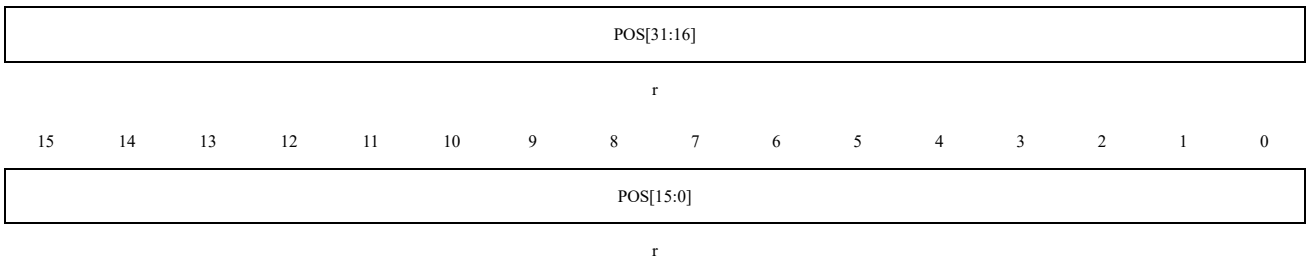
### 43.6.3.3 未知标记错误位置寄存器 (JPEGDEC\_UNLOC)

偏移地址: 0x08

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----



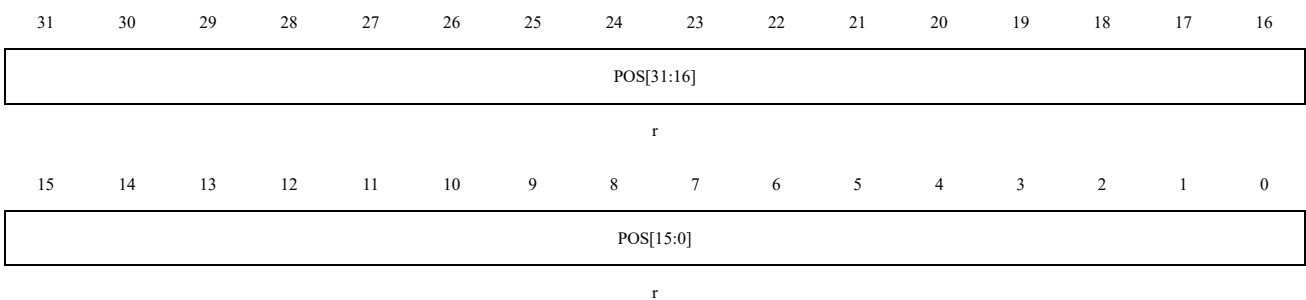


位域	名称	描述
31:0	POS[31:0]	未知标记错误位置(Unknown marker error location) 在未知标记错误的情况下，解码器将未知标记的位置存储在此寄存器中。 该位置是与最后一个处理的 SOI 标记的字节偏移量。

#### 43.6.3.4 意外标记错误位置寄存器 (JPEGDEC\_UELOC)

偏移地址：0x0C

复位值：0x0000 0000

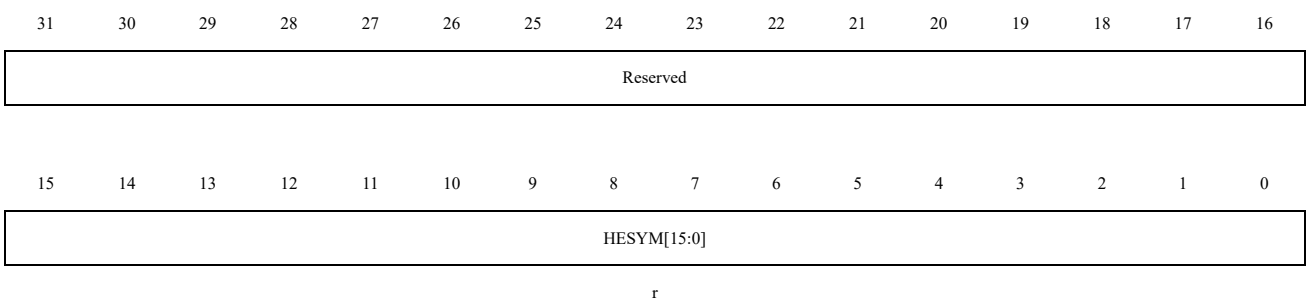


位域	名称	描述
31:0	POS[31:0]	意外标记错误位置(Unexpected marker error location) 如果发生意外标记错误，解码器会将意外标记的位置存储在此寄存器中。 该位置是与最后一个处理的 SOI 标记的字节偏移量。

#### 43.6.3.5 霍夫曼错误符号寄存器 (JPEGDEC\_HESYM)

偏移地址：0x10

复位值：0x0000 0000

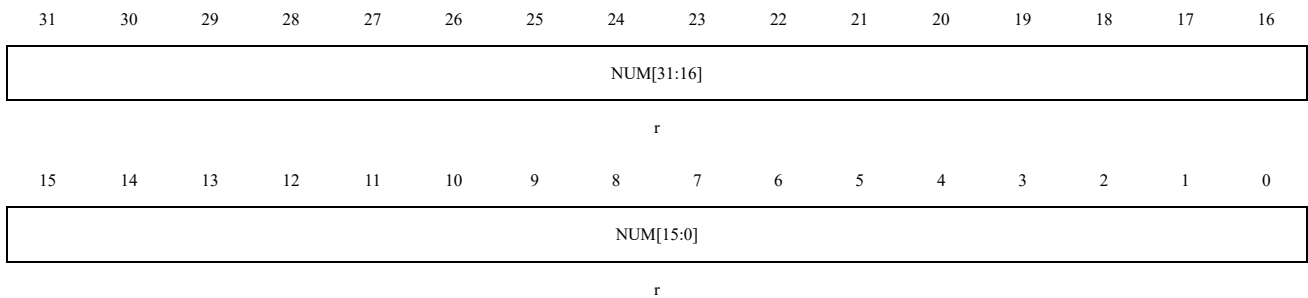


位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	HESYM[15:0]	错误的霍夫曼符号(The Huffman symbol that is in error) 霍夫曼符号的第一个位在位[15]上，第二个在位[14]上，以此类推。

#### 43.6.3.6 霍夫曼 ECS 编码符号错误寄存器 (JPEGDEC\_HESYMECS)

偏移地址：0x14

复位值：0x0000 0000

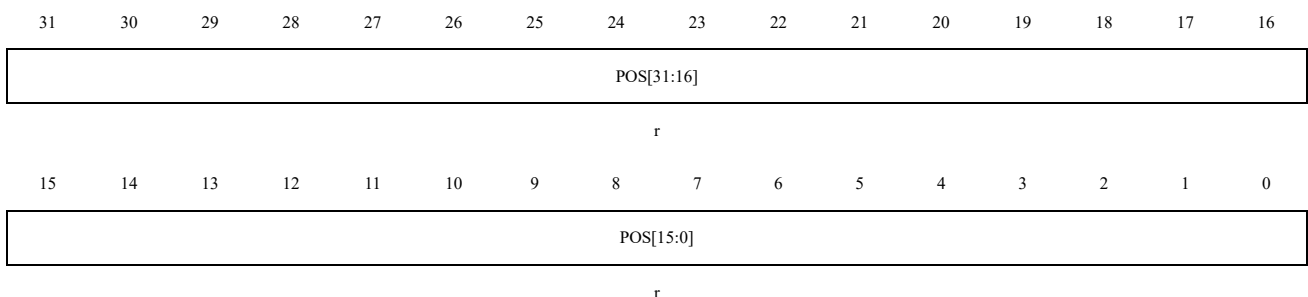


位域	名称	描述
31:0	NUM[31:0]	霍夫曼 ECS 编号(Huffman ECS Number Symbol) 在霍夫曼解码错误的情况下，解码器将发现错误的 ECS 编号存储到该寄存器中。ECS 编号从最后一个 SOI 标记开始计数。

#### 43.6.3.7 霍夫曼符号错误位置寄存器 (JPEGDEC\_HUF\_SELOC)

偏移地址：0x18

复位值：0x0000 0000



位域	名称	描述
31:0	POS[31:0]	霍夫曼 ECS 编号符号错误位置(Huffman ECS Number Symbol Error location) 在霍夫曼解码错误的情况下，解码器将无效霍夫曼符号的位置存储在该寄存器中。该位置是从 ECS 开始的位偏移。发现错误的 ECS 编号存储在“JPEGDEC_HESYMECS”寄存器中。

#### 43.6.3.8 表访问请求寄存器 (JPEGDEC\_TAB\_ACCREQ)

偏移地址：0x1C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														AOK	AREQ
														r	rw

位域	名称	描述
31:2	Reserved	保留, 必须保持复位值。
1	AOK	表访问标志(Table access flag) 当该位设置为 1 时, 可以读取或写入表 (量化和霍夫曼)。 如果当前没有帧正在处理, 则此位设置为 1——要么解码器刚刚启用, 没有接收到帧, 要么 EOI 标记已经处理, 但下一个 SOI 标记尚未接收到。 当该位设置为 1 时, 不处理任何输入数据。
0	AQEQ	表访问请求(Table access request) 如果要访问任何量化表或霍夫曼表, 则将该位设置为 1, SW 在访问表之前等待 AOK 被设置为 1。为了继续处理输入帧, 此位将设置为 0。

#### 43.6.3.9 霍夫曼表 0 EOB 符号寄存器 (JPEGDEC\_HUFTAB0\_EOB)

偏移地址: 0x20

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EOB0M[15:0]															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EOB0C[15:0]															
rw															

位域	名称	描述
31:16	EOB0M[15:0]	包含霍夫曼表 0 的 EOB 符号掩码。
15:0	EOB0C[15:0]	包含霍夫曼表 0 的 EOB 符号。

#### 43.6.3.10 霍夫曼表 1 EOB 符号寄存器(JPEGDEC\_HUFTAB1\_EOB)

偏移地址: 0x24

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----

EOB1M[15:0]

rw

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

EOB1C[15:0]

rw

位域	名称	描述
31:16	EOB1M[15:0]	包含霍夫曼表 1 的 EOB 符号掩码。
15:0	EOB1C[15:0]	包含霍夫曼表 1 的 EOB 符号。

#### 43.6.3.11 霍夫曼表 2 EOB 符号寄存器 (JPEGDEC\_HUFTAB2\_EOB)

偏移地址：0x28

复位值：0x0000 0000

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

EOB2M[15:0]

rw

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

EOB2C[15:0]

rw

位域	名称	描述
31:16	EOB2M[15:0]	包含霍夫曼表 2 的 EOB 符号掩码。
15:0	EOB2C[15:0]	包含霍夫曼表 2 的 EOB 符号。

#### 43.6.3.12 霍夫曼表 3 EOB 符号寄存器 (JPEGDEC\_HUFTAB3\_EOB)

偏移地址：0x2C

复位值：0x0000 0000

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

EOB3M[15:0]

rw

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

EOB3C[15:0]

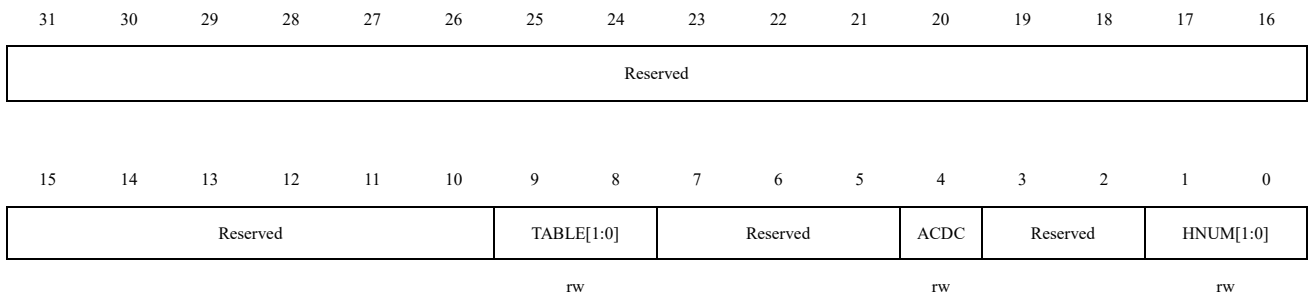
rw

位域	名称	描述
31:16	EOB3M[15:0]	包含霍夫曼表 3 的 EOB 符号掩码。
15:0	EOB3C[15:0]	包含霍夫曼表 3 的 EOB 符号。

### 43.6.3.13 霍夫曼表访问地址寄存器 (JPEGDEC\_HUF\_ADDR)

偏移地址: 0x80

复位值: 0x0000 0000

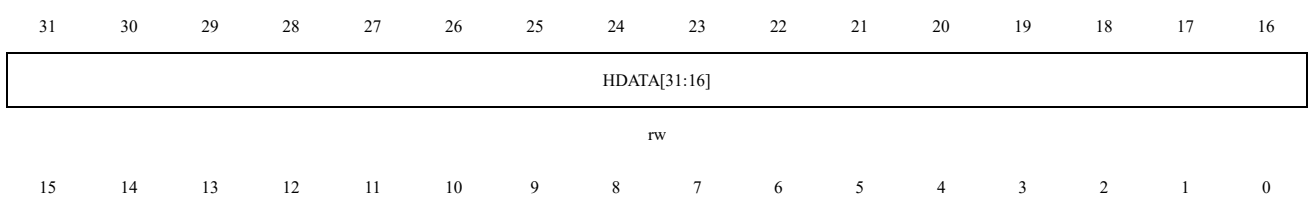


位域	名称	描述
31:10	Reserved	保留, 必须保持复位值。
9:8	TABLE[1:0]	选择要访问的表(Selects which table to access) 0: 霍夫曼解码器表 1: D 矢量 2: I 矢量 3: 霍夫曼解码器加速器表
7:5	Reserved	保留, 必须保持复位值。
4	ACDC	AC/DC 表选择器编码(AC/DC table selector encoded) 0: 选择 DC 表 1: 选择 AC 表
3:2	Reserved	保留, 必须保持复位值。
1:0	HNUM[1:0]	选择要访问的霍夫曼表 0: 表 0 1: 表 1 2: 表 2 3: 表 3

### 43.6.3.14 霍夫曼表访问数据寄存器 (JPEGDEC\_HUF\_DATA)

偏移地址: 0x84

复位值: 0x0000 0000



HDATA[15:0]
rw

位域	名称	描述
31:0	HDATA[31:0]	霍夫曼表数据(Huffman Table Data) 访问此寄存器会将霍夫曼表访问地址增加 1，并减少“JPEGDEC_HUF_REM”。从该寄存器读取由 JPEGDEC_HUF_ADDR 选择的霍夫曼表，写入该寄存器写入所选霍夫曼表。

### 43.6.3.15 霍夫曼表访问剩余字寄存器(JPEGDEC\_HUF\_REM)

偏移地址：0x88

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
HREM[31:16]															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HREM[15:0]															
rw															

位域	名称	描述
31:0	HREM[31:0]	霍夫曼表访问当前所选霍夫曼表中剩余的字数。

### 43.6.3.16 量化表 0 寄存器 (JPEGDEC\_QT0)

偏移地址：0x400 + (n\*4) n = 0, 1, 2...63

复位值：0x0000 0000

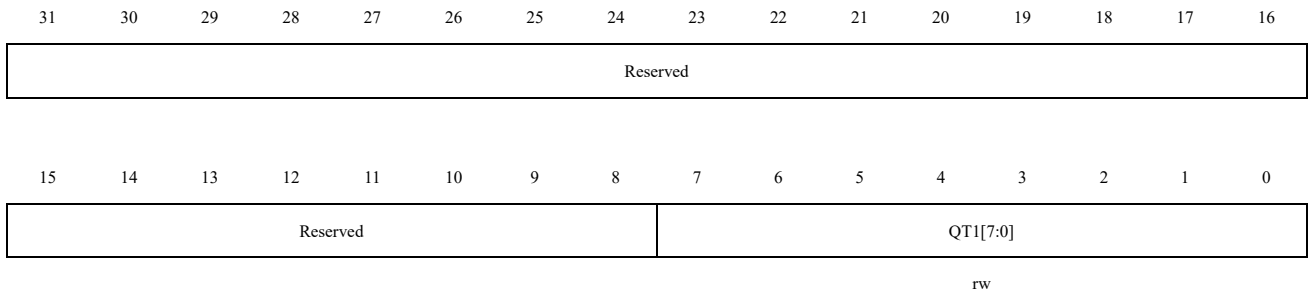
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								QT0[7:0]							
rw															

位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
7:0	QT0[7:0]	量化表 0(Quantisation Table 0) Quantization Table 0 factor n value (n = 0, 1, 2...63)

### 43.6.3.17 量化表 1 寄存器 (JPEGDEC\_QT1)

偏移地址:  $0x500 + (n*4)$   $n = 0, 1, 2...63$

复位值: 0x0000 0000

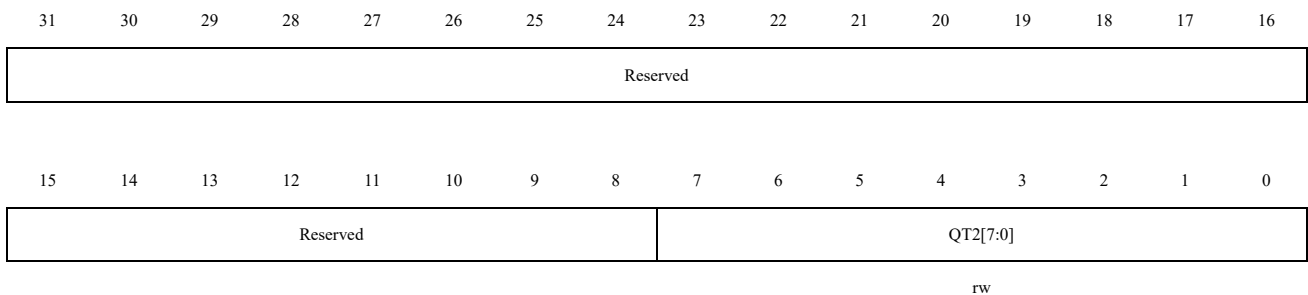


位域	名称	描述
31:8	Reserved	保留, 必须保持复位值。
7:0	QT1[7:0]	量化表 1(Quantisation Table 1) Quantization Table 1 factor n value ( $n = 0, 1, 2...63$ )

### 43.6.3.18 量化表 2 寄存器 (JPEGDEC\_QT2)

偏移地址:  $0x600 + (n*4)$   $n = 0, 1, 2...63$

复位值: 0x0000 0000

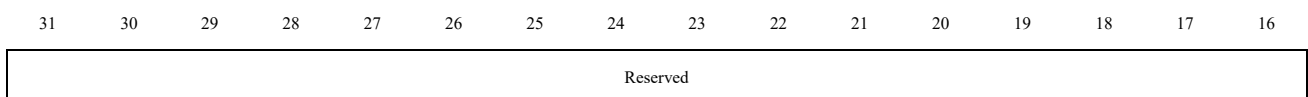


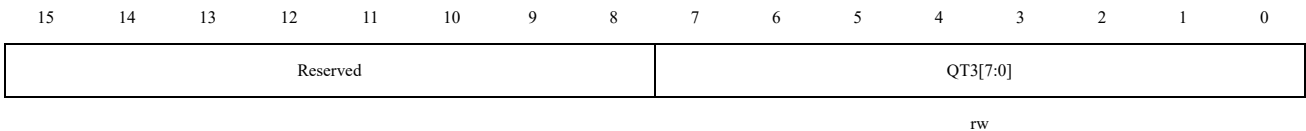
位域	名称	描述
31:8	Reserved	保留, 必须保持复位值。
7:0	QT2[7:0]	量化表 2(Quantisation Table 2) Quantization Table 2 factor n value ( $n = 0, 1, 2...63$ )

### 43.6.3.19 量化表 3 寄存器 (JPEGDEC\_QT3)

偏移地址:  $0x700 + (n*4)$   $n = 0, 1, 2...63$

复位值: 0x0000 0000





位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
7:0	QT3[7:0]	量化表 3(Quantisation Table 3) Quantization Table 3 factor n value (n = 0, 1, 2...63)

## 43.6.4 编码寄存器

基地址: 0x5006 0000

### 43.6.4.1 霍夫曼表 x 寄存器 (x = 0, 1, 2, 3)

Huffman Table 0 寄存器偏移地址: 0x0000

Huffman Table 1 寄存器偏移地址: 0x0800

Huffman Table 2 寄存器偏移地址: 0x1000

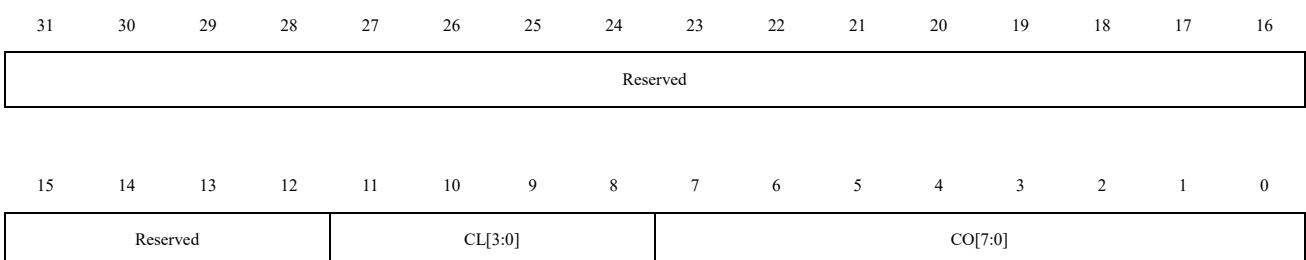
Huffman Table 3 寄存器偏移地址: 0x1800

#### 43.6.4.1.1 代码偏移及长度寄存器 (JPEGENC\_HUFTAB\_COL)

表 x (x = 0、1、2、3) 内的偏移地址和对应内容描述:

表内偏移地址	描述
0x000	DC code offset and length for category 0
0x004	DC code offset and length for category 1
...	
0x03c	DC code offset and length for category 15
0x040	AC code offset and length for category 1, run 0
0x044	AC code offset and length for category 1, run 1
...	
0x07c	AC code offset and length for category 1, run 15
0x080	AC code offset and length for category 2, run 0
...	...

复位值: 0x0000 0000





rw

rw

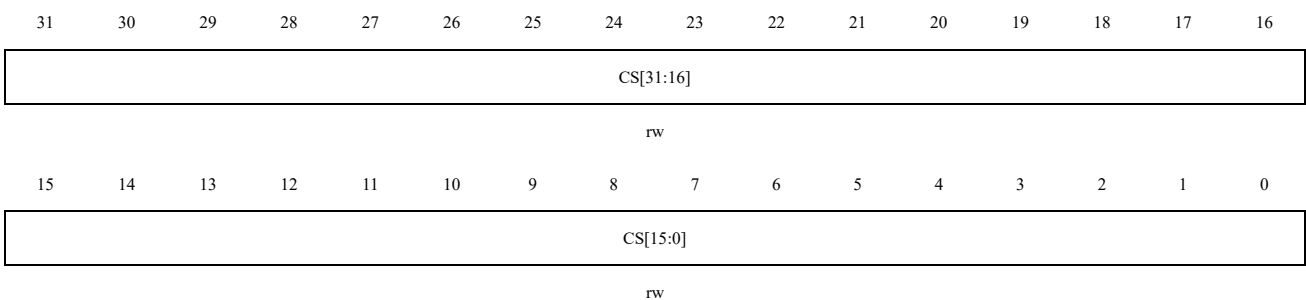
位域	名称	描述
31:12	Reserved	保留，必须保持复位值。
11:8	CL[3:0]	此编码长度 0: 1 ... 15: 16
7:0	CO[7:0]	此代码字与此长度的第一个代码的偏移量

#### 43.6.4.1.2 代码起始寄存器 (JPEGENC\_HUFTAB\_CST)

表 x (x = 0、1、2、3) 内的偏移地址和对应内容描述:

表内偏移地址	描述
0x400	First DC code for 1 bit codes (constant 0) (S <sub>1,DC</sub> )
0x404	First DC code for 2 bit codes (S <sub>2,DC</sub> )
0x408	First DC code for 3 bit codes (S <sub>3,DC</sub> )
...	...
0x43c	First DC code for 16 bit codes (S <sub>16,DC</sub> )
0x440	First AC code for 1 bit codes (constant 0) (S <sub>1,AC</sub> )
0x444	First AC code for 2 bit codes (S <sub>2,AC</sub> )
0x448	First AC code for 3 bit codes (S <sub>3,AC</sub> )
...	...
0x47c	First AC code for 16 bit codes (S <sub>16,AC</sub> )

复位值: 0x0000 0000



位域	名称	描述
31:0	CS[31:0]	给出给定长度代码的第一个哈夫曼码字

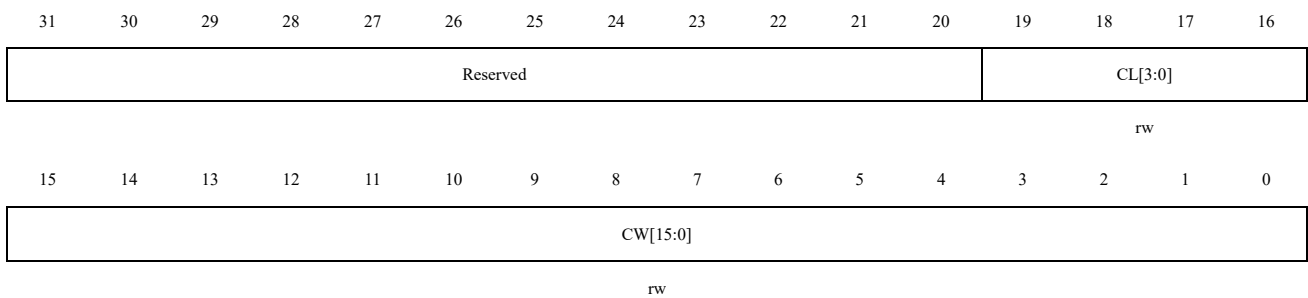
#### 43.6.4.1.3 ZRL 及 EOB 符号寄存器 (JPEGENC\_HUFTAB\_SYM)

表 x (x = 0、1、2、3) 内的偏移地址和对应内容描述:

表内偏移地址	描述
0x480	EOB symbol

0x484	ZRL symbol
-------	------------

复位值: 0x0000 0000

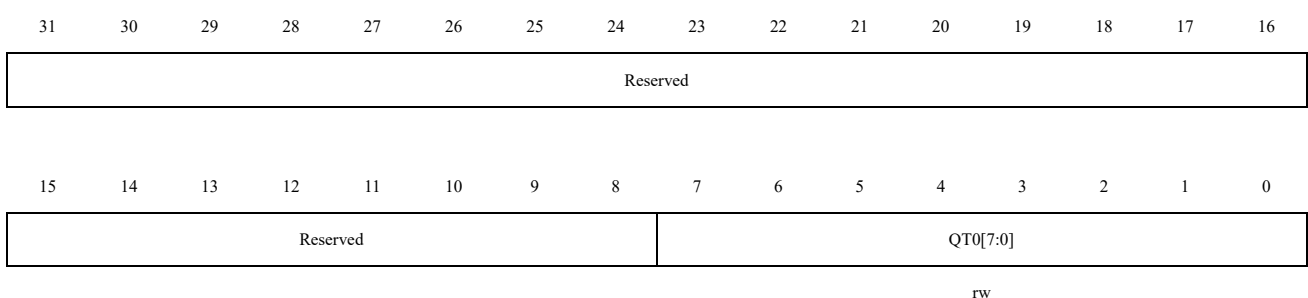


位域	名称	描述
31:20	Reserved	保留, 必须保持复位值。
19:16	CL[3:0]	此编码长度 0: 1 ... 15: 16
15:0	CW[15:0]	代码字。MSB 是代码的第一位, 但代码字以 LSB 对齐。例如, 如果代码字是 01 (两比特长), 则第一位是 0, 然后是 1, 代码将写入该字段 0x0001。

#### 43.6.4.2 量化表 0 寄存器 (JPEGENC\_QT0)

 偏移地址:  $0x2000 + (n*4)$   $n = 0, 1, 2...63$ 

复位值: 0x0000 0000

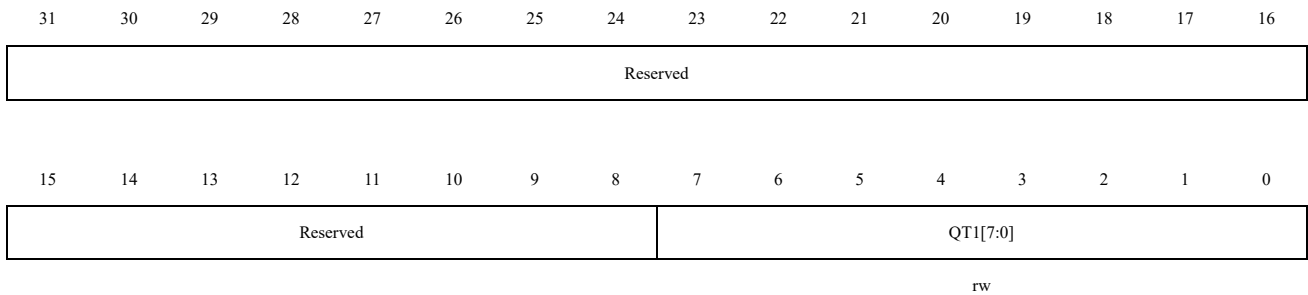


位域	名称	描述
31:8	Reserved	保留, 必须保持复位值。
7:0	QT0[7:0]	量化表 0(Quantisation Table 0) Quantization Table 0 factor n value ( $n = 0, 1, 2...63$ )

#### 43.6.4.3 量化表 1 寄存器 (JPEGENC\_QT1)

 偏移地址:  $0x2100 + (n*4)$   $n = 0, 1, 2...63$

复位值: 0x0000 0000

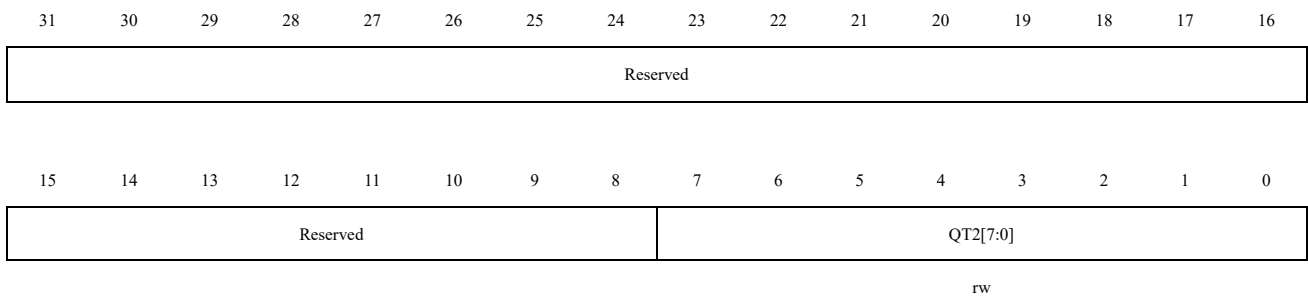


位域	名称	描述
31:8	Reserved	保留, 必须保持复位值。
7:0	QT1[7:0]	量化表 1(Quantisation Table 1) Quantization Table 1 factor n value (n = 0, 1, 2...63)

#### 43.6.4.4 量化表 2 寄存器 (JPEGENC\_QT2)

 偏移地址:  $0x2200 + (n*4)$   $n = 0, 1, 2...63$ 

复位值: 0x0000 0000

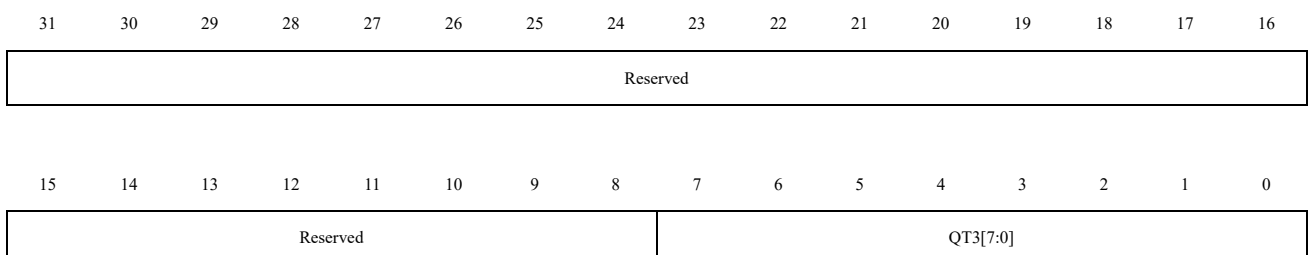


位域	名称	描述
31:8	Reserved	保留, 必须保持复位值。
7:0	QT2[7:0]	量化表 2(Quantisation Table 2) Quantization Table 2 factor n value (n = 0, 1, 2...63)

#### 43.6.4.5 量化表 3 寄存器 (JPEGENC\_QT3)

 偏移地址:  $0x2300 + (n*4)$   $n = 0, 1, 2...63$ 

复位值: 0x0000 0000



位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
7:0	QT3[7:0]	量化表 3(Quantisation Table 3) Quantization Table 3 factor n value (n = 0, 1, 2...63)

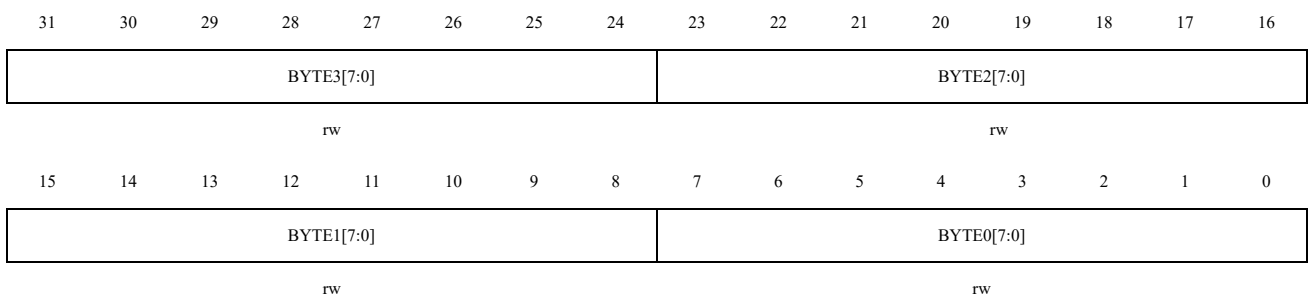
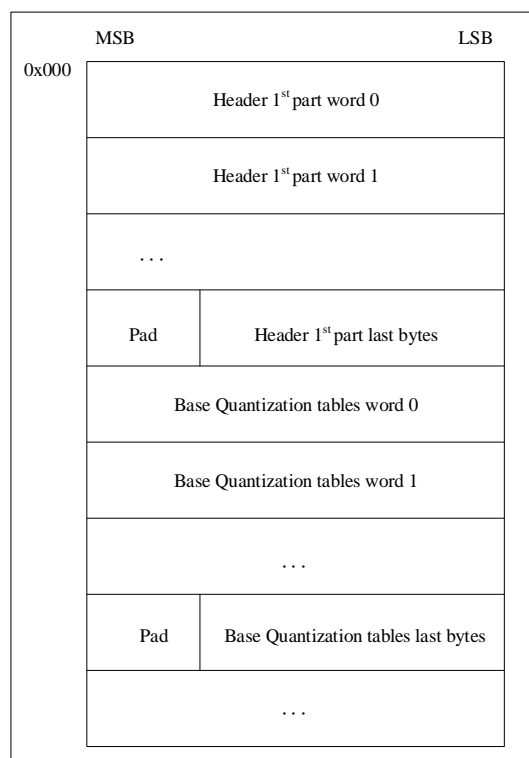
#### 43.6.4.6 JPEG 头/尾 buffer 寄存器 (JPEGENC\_HFBUF)

偏移地址:  $0x4000 + (n*4)$   $n = 0, 1, 2...512$

复位值:  $0x0000\ 0000$

页眉/页脚缓冲区是存储输出 jpeg 文件页眉和页脚的内存区域。缓冲区的大小在“JPEGENC\_HFSIZE”寄存器中给出。从地址  $0x4000$  开始依次填入字 0、字 1、字 2...字 512。

在缓冲区的地址 0 开始是页眉的第一部分，紧接着是以 4 字节边界对齐的基量化表，然后直接是哈夫曼表 1，同样以 4 字节边界对齐，等等。下图对此进行了说明：

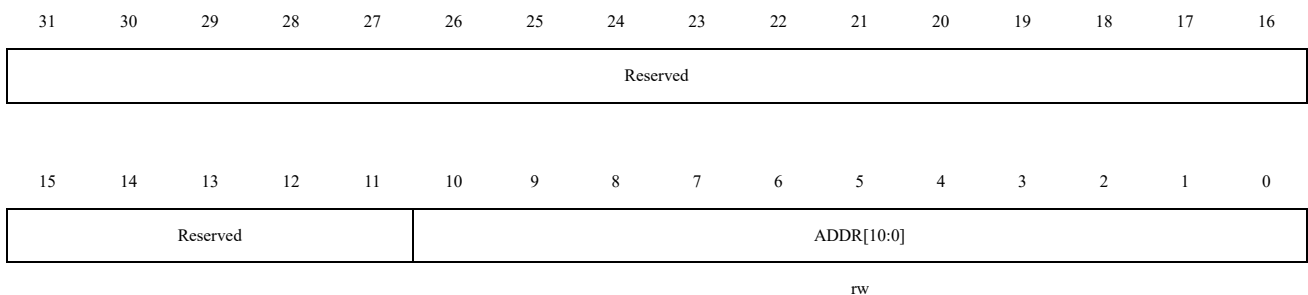


Bit field	Name	Description
31:24	BYTE3[7:0]	4 <sup>th</sup> byte of header in word n (n=0,1,2...511)
23:16	BYTE2[7:0]	3 <sup>rd</sup> byte of header in word n (n=0,1,2...511)
15:8	BYTE1[7:0]	2 <sup>nd</sup> byte of header in word n (n=0,1,2...511)
7:0	BYTE0[7:0]	1 <sup>st</sup> byte of header in word n (n=0,1,2...511)

#### 43.6.4.7 JPEG 头端地址寄存器 (JPEGENC\_HEADD)

偏移地址: 0x4800

复位值: 0x0000 0000

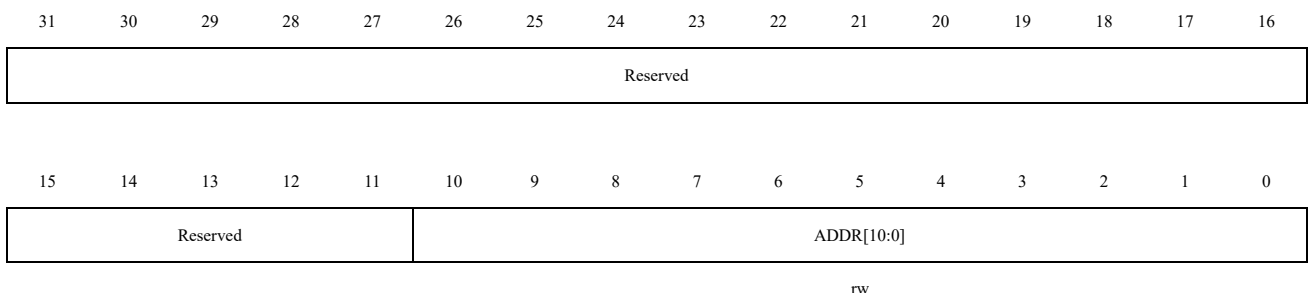


位域	名称	描述
31:11	Reserved	保留, 必须保持复位值。
10:0	ADDR[10:0]	文件头/文件尾缓冲区中 JPEG 文件头第一部分最后一个字节的地址。

#### 43.6.4.8 霍夫曼表 0 结束地址寄存器 (JPEGENC\_HUFTAB0E)

偏移地址: 0x4814

复位值: 0x0000 0000



位域	名称	描述
31:11	Reserved	保留, 必须保持复位值。
10:0	ADDR[10:0]	文件头/文件尾缓冲区中霍夫曼表最后一个字节的地址。 如果不使用此霍夫曼表, 则将此字段设置为 0, 并且标头输出逻辑都将跳过此表。

### 43.6.4.9 霍夫曼表 1 结束地址寄存器 (JPEGENC\_HUFTAB1E)

偏移地址: 0x4818

复位值: 0x0000 0000

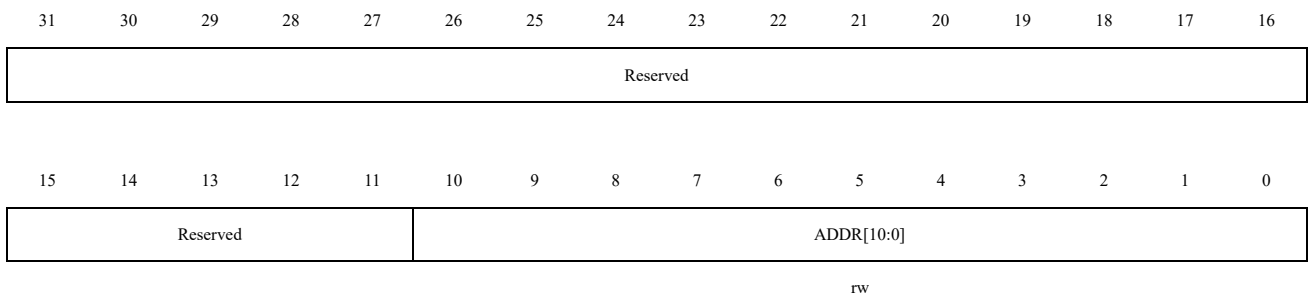


位域	名称	描述
31:11	Reserved	保留, 必须保持复位值。
10:0	ADDR[10:0]	文件头/文件尾缓冲区中霍夫曼表最后一个字节的地址。 如果不使用此霍夫曼表, 则将此字段设置为 0, 并且标头输出逻辑都将跳过此表。

### 43.6.4.10 霍夫曼表 2 结束地址寄存器 (JPEGENC\_HUFTAB2E)

偏移地址: 0x481C

复位值: 0x0000 0000

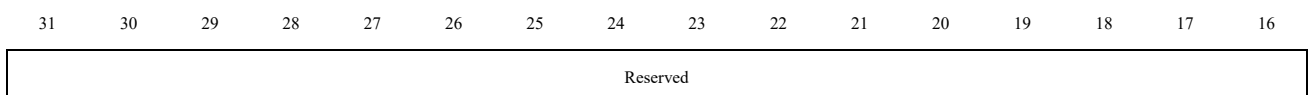


位域	名称	描述
31:11	Reserved	保留, 必须保持复位值。
10:0	ADDR[10:0]	文件头/文件尾缓冲区中霍夫曼表最后一个字节的地址。 如果不使用此霍夫曼表, 则将此字段设置为 0, 并且标头输出逻辑都将跳过此表。

### 43.6.4.11 霍夫曼表 3 结束地址寄存器 (JPEGENC\_HUFTAB3E)

偏移地址: 0x4820

复位值: 0x0000 0000



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	ADDR[10:0]
----------	------------

rw

位域	名称	描述
31:11	Reserved	保留，必须保持复位值。
10:0	ADDR[10:0]	文件头/文件尾缓冲区中霍夫曼表最后一个字节的地址。 如果不使用此霍夫曼表，则将此字段设置为 0，并且标头输出逻辑都将跳过此表。

#### 43.6.4.12 JPEG 文件尾结束地址寄存器 (JPEGENC\_FEADD)

偏移地址：0x4824

复位值：0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved
----------

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	ADDR[9:0]
----------	-----------

rw

位域	名称	描述
31:10	Reserved	保留，必须保持复位值。
9:0	ADDR[9:0]	页眉/页脚缓冲区中 JPEG 页脚最后一个字节的地址。

#### 43.6.4.13 编码控制寄存器 (JPEGENC\_CTRL)

偏移地址：0x5000

复位值：0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved	QT3[1:0]	QT2[1:0]
----------	----------	----------

rw

rw

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

QT1[1:0]	QT0[1:0]	HUF3[1:0]	HUF2[1:0]	HUF1[1:0]	HUF0[1:0]	Reserved	ERST	EN
----------	----------	-----------	-----------	-----------	-----------	----------	------	----

rw

rw

rw

rw

rw

rw

rw

rw

位域	名称	描述
31:20	Reserved	保留，必须保持复位值。
19:18	QT3[1:0]	Quantisation table selector for component 3.

位域	名称	描述
17:16	QT2[1:0]	Quantisation table selector for component 2.
15:14	QT1[1:0]	Quantisation table selector for component 1.
13:12	QT0[1:0]	Quantisation table selector for component 0.
11:10	HUF3[1:0]	组件 3 的霍夫曼表选择器(Huffman table selector for component 3)
9:8	HUF2[1:0]	Huffman table selector for component 2.
7:6	HUF1[1:0]	Huffman table selector for component 1.
5:4	HUF0[1:0]	Huffman table selector for component 0.
3:2	Reserved	保留, 必须保持复位值。
1	ERST	如果设置为 1, 则在发生任何错误(任何管道状态寄存器中的任何位都设置为非零)时重置核心, 并等待下一个帧开始。
0	EN	如果设置为 1, 则核心已启用并准备好处理传入帧, 如果设置为 0, 则核心将不处理任何帧且不产生输出。 如果内核发生错误(任何管道状态寄存器中的任何位都是非零的), 则应通过先向该寄存器写入 0, 然后再写入 1 来重置内核。

#### 43.6.4.14 动态重配置寄存器 (JPEGENC\_DYNRCFG)

偏移地址: 0x5004

复位值: 0x0000 0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													HSAFE	DYNF	DYNE
													r	r	rw

位域	名称	描述
31:3	Reserved	保留, 必须保持复位值。
2	HSAFE	当此位设置为 1, 更改文件头/文件尾缓冲区的内容是安全的。 当设置为 0, 预计在文件头/文件尾缓冲区中可能会找到一组连贯的文件头和文件尾。
1	DYNF	一旦设置了位[0], 该位指示管道的状态: 0: 管道正忙于处理帧; 编码器可能无法重新配置。 1: 管道为空; 编码器可以根据需要重新配置。
0	DYNE	如果设置了此位, 内核将完成对当前帧的处理, 并在接受下一帧之前暂停。

#### 43.6.4.15 文件头部分选择寄存器(JPEGENC\_HSEL)

偏移地址: 0x503C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----



Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						ATF	NFD	HT3	HT2	HT1	HT0	QT3	QT2	QT1	QT0
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:10	Reserved	保留，必须保持复位值。
9	ATF	如果此位设置为 1，则下一个输出“image”将仅包含此寄存器位[7:0]上提到的表，而不包含 ECS 数据。输出完成后，此位置为 0。 当设置此位时，编码器的行为如下： 1，当前帧的处理完成 2，生成的输出仅包含指定的表，不包含 ECS 数据。无论是否接收到下一帧的第一个样本，都会发生这种情况。 3，下一帧恢复正常处理。
8	NFD	如果将其设置为 1，则输出的下一帧将具有由比特[7:0]输出标记的所有表，一旦它们被输出，则该寄存器中的比特[7:0]将被设置为 0。这意味着所有后续帧将没有表输出。
7	HT3	输出流中的 Ouptut Huffman 表 3 (Ouptut Huffman table 3 in output stream) 0: 不输出 1: 输出
6	HT2	Ouptut Huffman table 2 in output stream
5	HT1	Ouptut Huffman table 1 in output stream
4	HT0	Ouptut Huffman table 0 in output stream
3	QT3	输出流中的 Ouptut 量化表 3 (Ouptut quantisation table 3 in output stream)
2	QT2	Ouptut quantisation table 2 in output stream
1	QT1	Ouptut quantisation table 1 in output stream
0	QT0	Ouptut quantisation table 0 in output stream

#### 43.6.4.16 管道状态寄存器 (JPEGENC\_PIPESTS)

偏移地址：0x5100

复位值：0x0000 0000

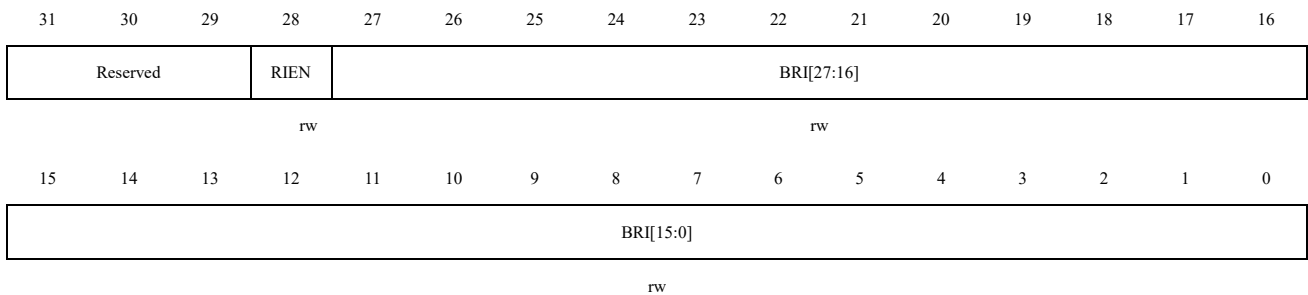
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															OOVF
															rw

位域	名称	描述
31:1	Reserved	保留，必须保持复位值。
0	OOVF	Assembly buffer overflow.

#### 43.6.4.17 重启间隔控制寄存器(JPEGENC\_RICTRL)

偏移地址：0x6000

复位值：0x0000 0000

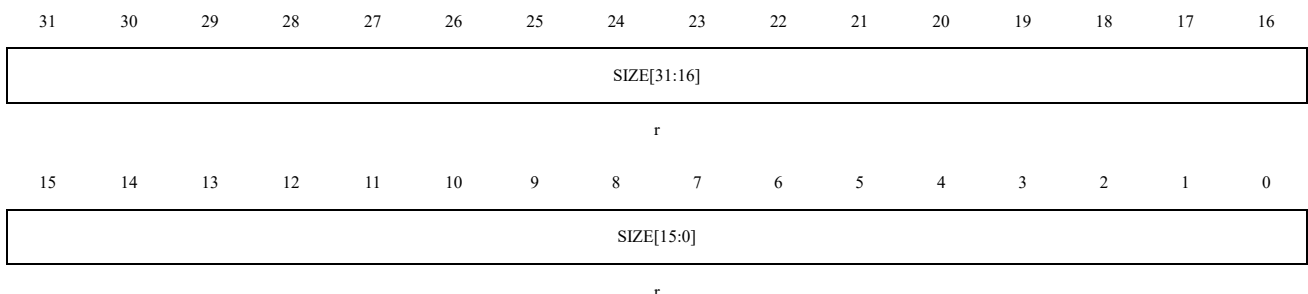


位域	名称	描述
31:29	Reserved	保留，必须保持复位值。
28	RIEN	使能重新启动标记生成 0: 不使能 1: 使能
27:0	BRI[27:0]	每个重启间隔的块数减 1 (Number of blocks per restart interval minus one) 0: 1 1: 2 ... 0xFFFFFFFF: 0x10000000

#### 43.6.4.18 文件头/文件尾 RAM 大小寄存器(JPEGENC\_HFSIZE)

偏移地址：0xA004

复位值：0x0000 0400



位域	名称	描述
31:0	SIZE[31:0]	文件头/文件尾 RAM 大小(Header/footer RAM size)

位域	名称	描述
		单位: byte

#### 43.6.4.19 输出 buffer 大小寄存器(JPEGENC\_OBSIZE)

偏移地址: 0xA024

复位值: 0x0000 0200



位域	名称	描述
31:0	OBSIZE[31:0]	显示内部输出缓冲区的字节数。

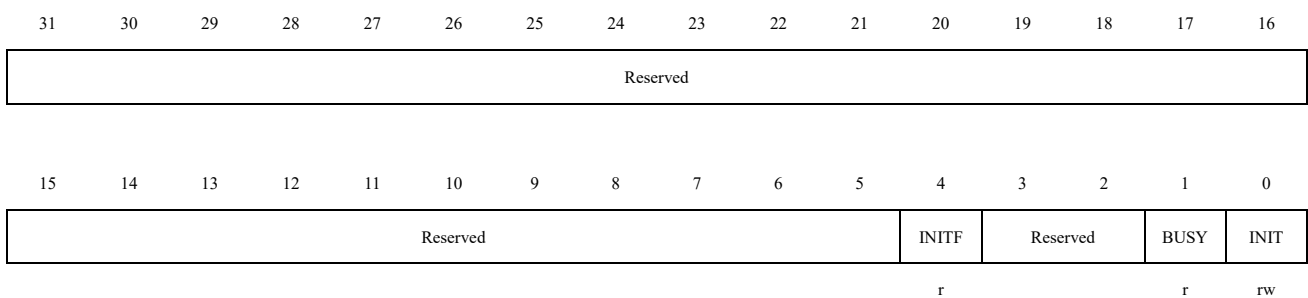
#### 43.6.5 块到光栅(BRC)寄存器

基地址: 0x5009 0000

##### 43.6.5.1 BRC 初始化寄存器 (JPEGBRC\_INIT)

偏移地址: 0x00

复位值: 0x0000 0000



位域	名称	描述
31:5	Reserved	保留, 必须保持复位值。
4	INITF	初始化完成标志(Initialization completion flag) 此位表示在将“INIT”位设置为1后, AXI 接口上的所有事务都已完成。如果在将该位设置为1之前将“INIT”设置为0, AXI 总线上可能会发生协议违规, 这可能会对整个系统产生负面影响。一旦“INIT”设置为0, 此字段也设置为0。
3:2	Reserved	保留, 必须保持复位值。
1	BUSY	如果将其设置为1, 并且将比特[0]设置为高, 则比特[4]将立即设置为高。

位域	名称	描述
0	INIT	如果设置为 1，则重置核心内部状态。 写入 1 后，如果需要再次重置（上升沿控制），用户需要将其设置回 0。 <i>注意：这不会影响任何面向用户的注册表的状态</i>

### 43.6.5.2 BRC 使能寄存器 (JPEGBRC\_EN)

偏移地址：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															EN

rw

位域	名称	描述
31:1	Reserved	保留，必须保持复位值。
0	EN	使能 BRC(Enable BRC) 0：不使能 1：使能 <i>注意：如果设置为 0，则不接受输入数据，也不生成输出数据。</i>

### 43.6.5.3 AXI Buffer 基地址寄存器 (JPEGBRC\_BUFBADD)

偏移地址：0x08

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADDR[31:16]															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR[15:0]															
rw															

位域	名称	描述
31:0	ADDR[31:0]	AXI buffer 基地址 这必须在 8 个样本边界上对齐。即地址必须是“已实施的 AXI 最大突发长度”整数倍 在设置此寄存器之后，在将输入样本输入 BRC 之前，需要通过将“JPEGBRC_INIT”寄存器的位[0]设置为 1 来初始化内核。

### 43.6.5.4 AXI Buffer 大小寄存器(JPEGBRC\_BUFSIZE)

偏移地址：0x0C

复位值：0x0000 0000

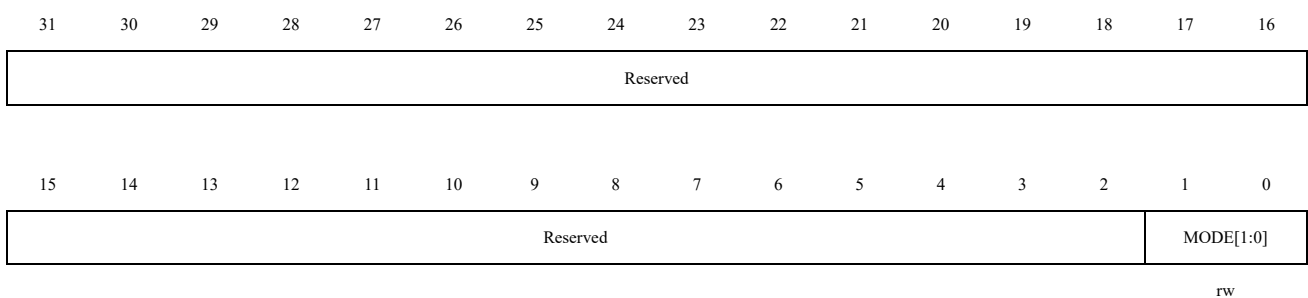


位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	SIZE[15:0]	AXI 内存中的缓冲区大小。 这里写的值是缓冲区中 8x8 块的数量。要计算核心将用于此处写入的给定值的字节数，请使用以下表达式： $Buffer_{bytes} = SIZE * 64$ 计算表达式请参考第 43.5.5.4 节 注意：SIZE 的大小必须是 2 的次幂。 在设置此寄存器之后，在将输入样本输入 BRC 之前，需要通过将“JPEGBRC_INIT”寄存器的位[0]设置为 1 来初始化内核。

### 43.6.5.5 上采样模式寄存器 (JPEGBRC\_USMODE)

偏移地址：0x44

复位值：0x0000 0000



位域	名称	描述
31:2	Reserved	保留，必须保持复位值。
1:0	MODE[1:0]	上采样模式(Up sampling mode) 指定上采样模式。如果将其设置为 0，则不执行上采样。其他模式请参考上文第 43.5.5.5 节 注意：当使用 MCU 自带的 LCDC 显示时，需要使用此位，用于将 YUV420 格式上采

位域	名称	描述
		样成 YUV422 格式

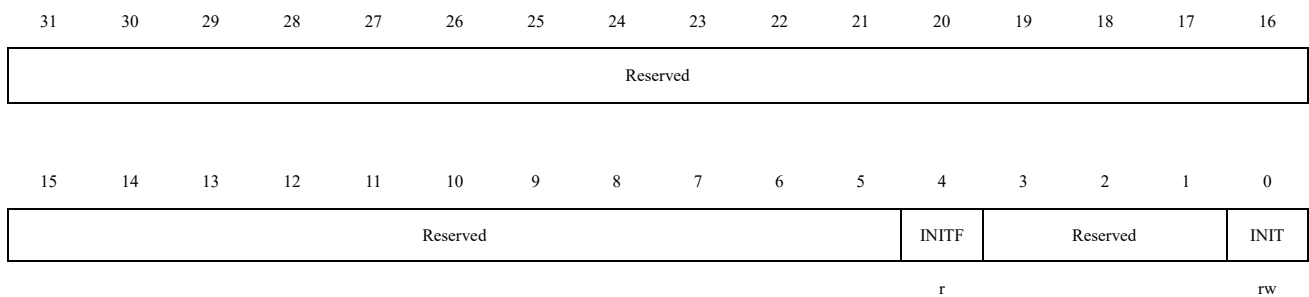
### 43.6.6 光栅到块(RBC)寄存器

基地址: 0x5007 0000

#### 43.6.6.1 RBC 初始化寄存器 (JPEGRBC\_INIT)

偏移地址: 0x00

复位值: 0x0000 0000

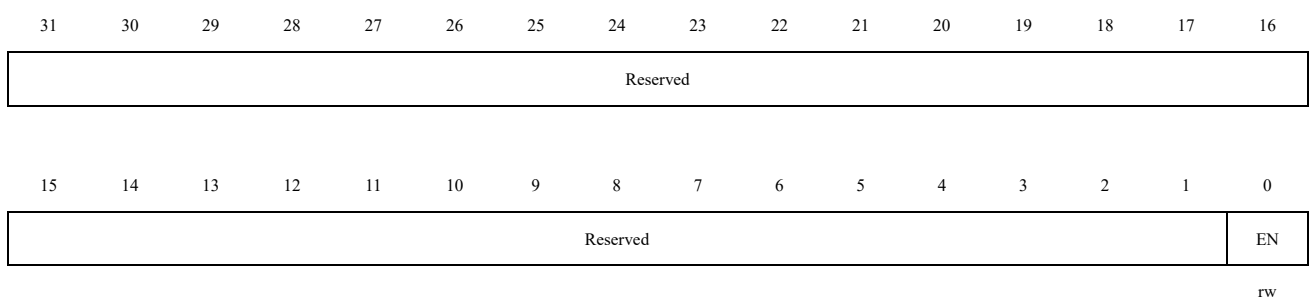


位域	名称	描述
31:5	Reserved	保留, 必须保持复位值。
4	INITF	初始化完成标志(Initialization completion flag) 此位表示在将下面的“INIT”位设置为 1 后, AXI 接口上的所有事务都已完成。如果在将该位设置为 1 之前将“INIT”设置为 0, AXI 总线上可能会发生协议违规, 这可能会对整个系统产生负面影响。一旦“INIT”设置为 0, 此字段也设置为 0。
3:1	Reserved	保留, 必须保持复位值。
0	INIT	如果设置为 1, 则重置核心内部状态。 写入 1 后, 如果需要再次重置 (上升沿控制), 用户需要将其设置回 0。 <i>注意: 这不会影响任何面向用户的注册表的状态</i>

#### 43.6.6.2 RBC 使能寄存器 (JPEGRBC\_EN)

偏移地址: 0x04

复位值: 0x0000 0000

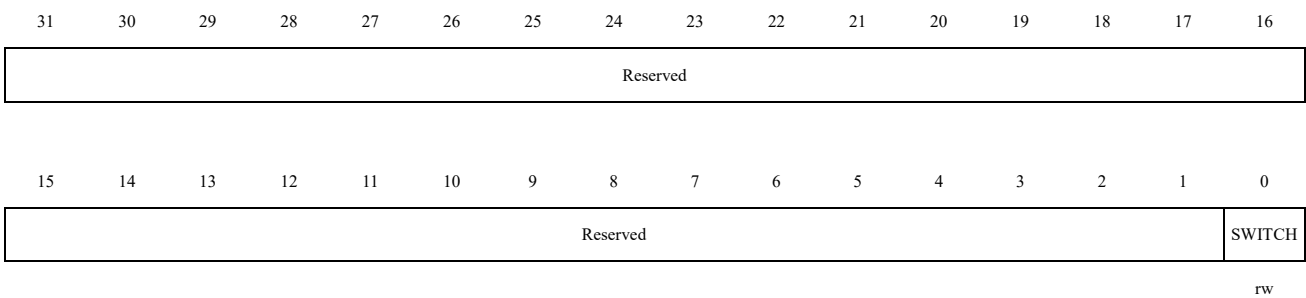


位域	名称	描述
31:1	Reserved	保留，必须保持复位值。
0	EN	使能 RBC(Enable RBC) 0: 不使能 1: 使能 <i>注意：如果设置为0，则不接受输入数据，也不生成输出数据。</i>

### 43.6.6.3 转换输入采样顺序寄存器(JPEGRBC\_SWITCH)

偏移地址：0x08

复位值：0x0000 0001

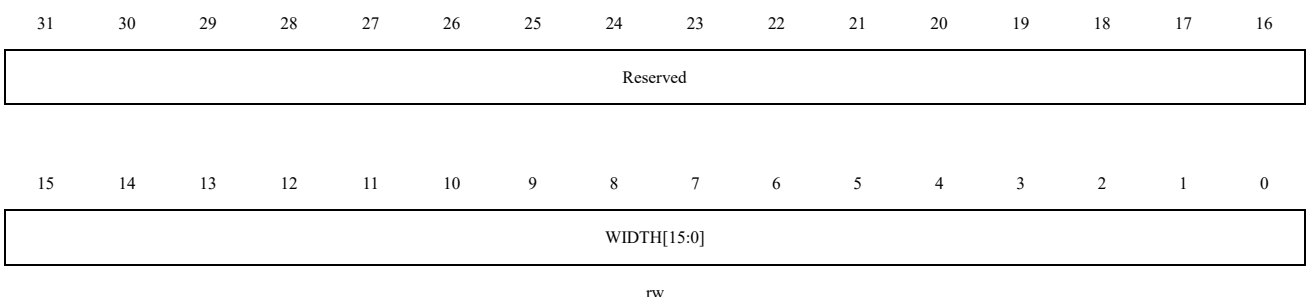


位域	名称	描述
31:1	Reserved	保留，必须保持复位值。
0	SWITCH	使能转换输入采样顺序(Enable switch input sample order) 如果设置为 0，则从输入数据字中提取的第一个样本在 MSB 上 如果设置为 1，则从该输入数据字的 LSB 中提取第一个样本。

### 43.6.6.4 帧宽度寄存器 (JPEGRBC\_FRMW)

偏移地址：0x0C

复位值：0x0003 FFFF



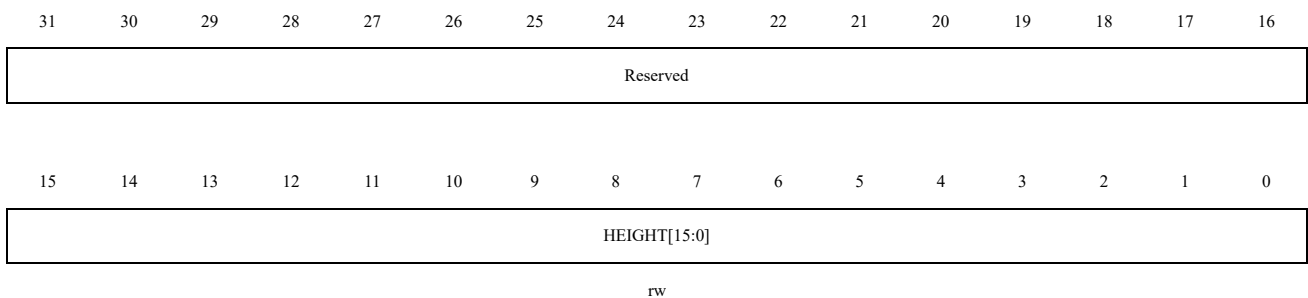
位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	WIDTH[15:0]	输入帧的宽度，以像素为单位。 实际大小公式：

位域	名称	描述
		非交错和单色: WIDTH 交错 4:4:4: WIDTH * 3 交错 4:2:2: WIDTH * 2 交错 4:2:0: WIDTH * 3

### 43.6.6.5 帧高度寄存器(JPEGRBC\_FRMH)

偏移地址: 0x10

复位值: 0x0000 FFFF



位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15:0	HEIGHT[15:0]	输入帧的高度, 以像素为单位。 0: 1 1: 2 ... 0xFFFF: 0x10000

### 43.6.6.6 像素格式寄存器(JPEGRBC\_PFORM)

偏移地址: 0x18

复位值: 0x0000 0000



位域	名称	描述
31:3	Reserved	保留, 必须保持复位值。
2:0	FORMAT[2:0]	像素格式。 可以将以下值写入该寄存器:

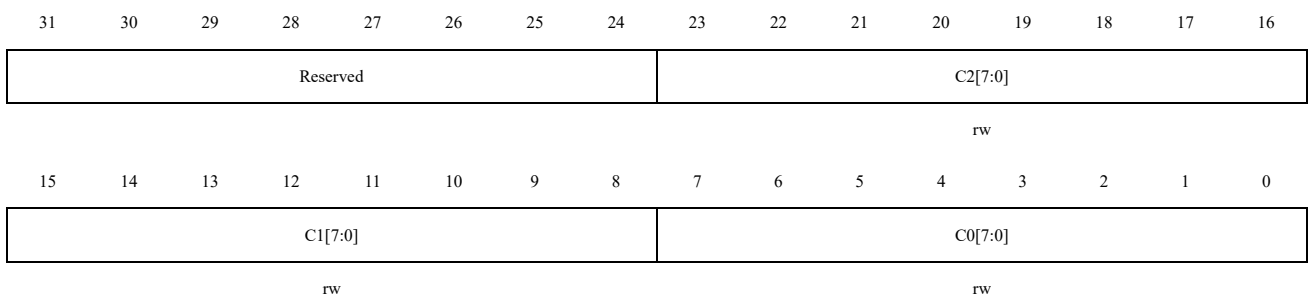


位域	名称	描述
		0x0: 4:4:4 非交错格式 0x1: 4:2:2 非交错格式 0x2: 4:2:0 非交错格式 0x3: 单色 0x4: 4:4:4 交错 0x5: 4:2:2 交错 0x6: 4:2:0 交错 0x7: 保留

### 43.6.6.7 组件名称寄存器 (JPEGRBC\_CNAME)

偏移地址: 0x1C

复位值: 0x0000 0000

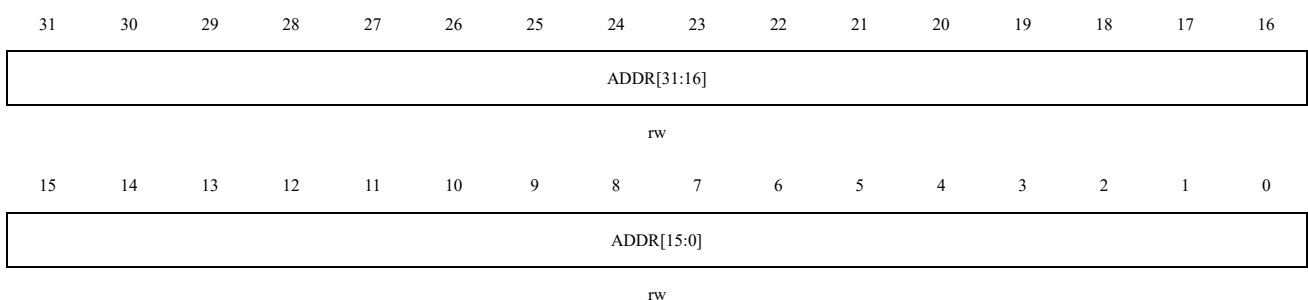


位域	名称	描述
31:24	Reserved	保留, 必须保持复位值。
23:16	C2[7:0]	组件 2 名称
15:8	C1[7:0]	组件 1 名称
7:0	C0[7:0]	组件 0 名称

### 43.6.6.8 组件 0 开始地址寄存器 (JPEGRBC\_C0SADD)

偏移地址: 0x20

复位值: 0x0000 0000

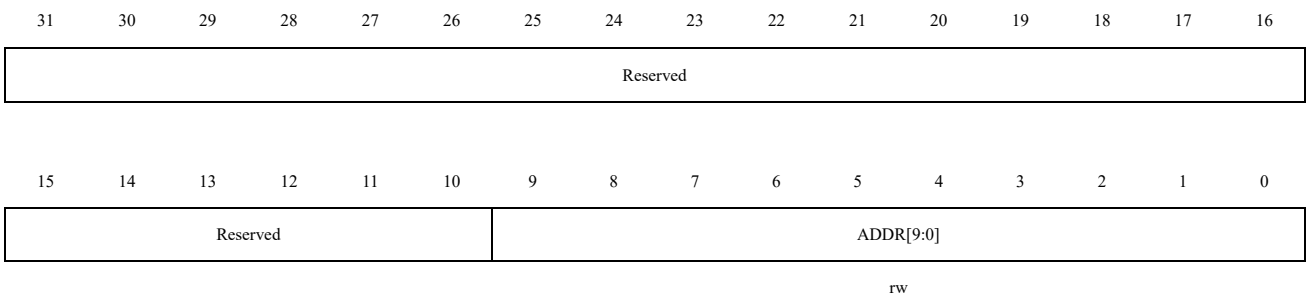


位域	名称	描述
31:0	ADDR[31:0]	AXI 存储器中缓冲区的起始地址 (Start address of buffer in the AXI memory) 这必须在 8 个采样边界上对齐。这意味着地址必须是 8 的倍数。

### 43.6.6.9 组件 0 结束地址寄存器 (JPEG\_RBC\_C0EADD)

偏移地址: 0x24

复位值: 0x0000 0000

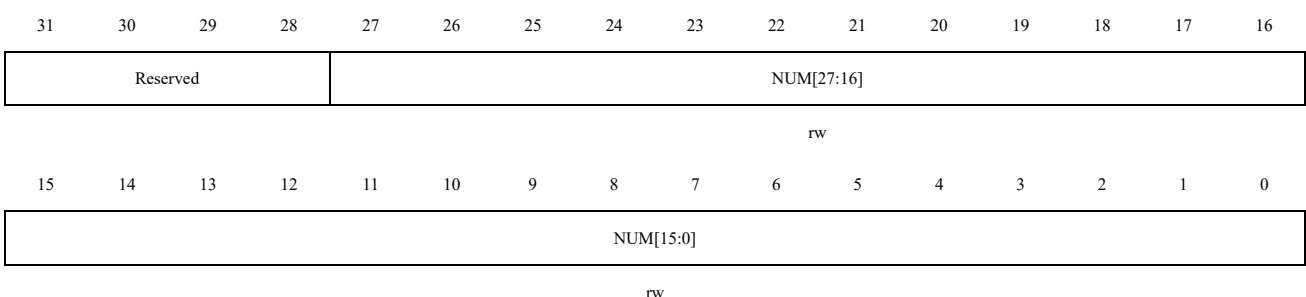


位域	名称	描述
31:10	Reserved	保留, 必须保持复位值。
9:0	ADDR[9:0]	AXI 内存中的缓冲区大小。 0: 1 1: 2 ... 0x3FF: 0x400

### 43.6.6.10 每个扫描 0 的块数寄存器 (JPEG\_RBC\_BPS0)

偏移地址: 0x60

复位值: 0x0000 0000



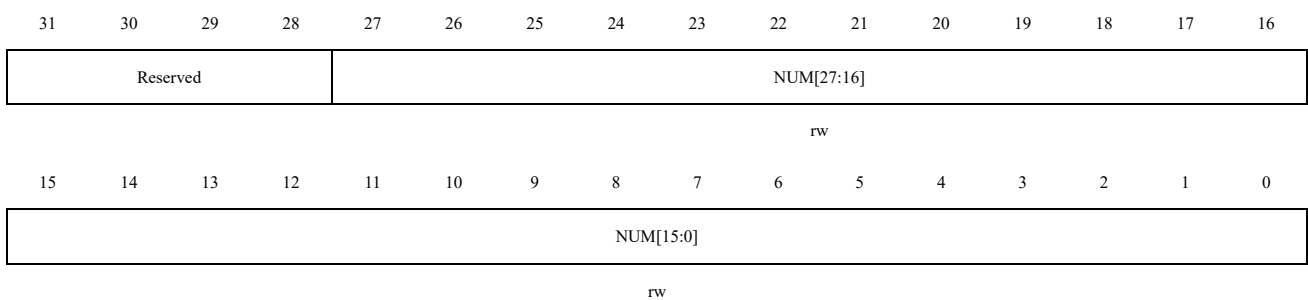
位域	名称	描述
31:28	Reserved	保留, 必须保持复位值。
27:0	NUM[27:0]	扫描 0 中的块数 (Number of blocks in Scan 0)。 公式: 非交错和单声道: $(JPEG\_RBC\_FRMW.WIDTH/8) * (JPEG\_RBC\_FRMH.HEIGHT/8) - 1$ 交错 4:4:4: $(JPEG\_RBC\_FRMW.WIDTH/8) * (JPEG\_RBC\_FRMH.HEIGHT/8) * 3 - 1$

位域	名称	描述
		交错 4:2:2: $(\text{JPEG\_RBC\_FRMW.WIDTH}/16) * (\text{JPEG\_RBC\_FRMH.HEIGHT}/8) * 4 - 1$ 交错 4:2:0: $(\text{JPEG\_RBC\_FRMW.WIDTH}/16) * (\text{JPEG\_RBC\_FRMH.HEIGHT}/16) * 6 - 1$ 0: 1 块 1: 2 块 ... 0xFFFFFFFF : 0x10000000 块

### 43.6.6.11 每个扫描 1 和 2 的块数寄存器 (JPEG\_RBC\_BPS12)

偏移地址: 0x64

复位值: 0x0000 0000



位域	名称	描述
31:28	Reserved	保留, 必须保持复位值。
27:0	NUM[27:0]	扫描 1 和 2 中的块数 (Number of blocks in Scan 1,2)。 公式: 非交错 4:4:4: $(\text{JPEG\_RBC\_FRMW.WIDTH}/8) * (\text{JPEG\_RBC\_FRMH.HEIGHT}/8) - 1$ 非交错 4:2:2: $(\text{JPEG\_RBC\_FRMW.WIDTH}/16) * (\text{JPEG\_RBC\_FRMH.HEIGHT}/8) - 1$ 非交错 4:2:0: $(\text{JPEG\_RBC\_FRMW.WIDTH}/16) * (\text{JPEG\_RBC\_FRMH.HEIGHT}/16) - 1$ 单声道: $(\text{JPEG\_RBC\_FRMW.WIDTH}/8) * (\text{JPEG\_RBC\_FRMH.HEIGHT}/8) - 1$ 交错 4:4:4: $(\text{JPEG\_RBC\_FRMW.WIDTH}/8) * (\text{JPEG\_RBC\_FRMH.HEIGHT}/8) * 3 - 1$ 交错 4:2:2: $(\text{JPEG\_RBC\_FRMW.WIDTH}/16) * (\text{JPEG\_RBC\_FRMH.HEIGHT}/8) * 4 - 1$ 交错 4:2:0: $(\text{JPEG\_RBC\_FRMW.WIDTH}/16) * (\text{JPEG\_RBC\_FRMH.HEIGHT}/16) * 6 - 1$ 0: 1 块 1: 2 块 ... 0xFFFFFFFF: 0x10000000 块

### 43.6.6.12 MCU 行扫描 0 寄存器 (JPEG\_RBC\_ROWS0)

偏移地址: 0x68

复位值: 0x0000 0000



Reserved
----------

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

Reserved	NUM[12:0]
----------	-----------

rw

位域	名称	描述
31:13	Reserved	保留，必须保持复位值。
12:0	NUM[12:0]	扫描 0 行数量(Number of MCU rows in Scan 0) 公式： 交错 4:2:0: $(\text{JPEG\_RBC\_FRMH.HEIGHT}/16) - 1$ 其他: $(\text{JPEG\_RBC\_FRMH.HEIGHT}/8) - 1$ 0: 1 块 1: 2 块 ... 0x1FFF: 0x2000 块

### 43.6.6.13 MCU 行扫描 1 和 2 寄存器(JPEG\_RBC\_ROWS12)

偏移地址: 0x6C

复位值: 0x0000 0000

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

Reserved
----------

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

Reserved	ROWS12[12:0]
----------	--------------

rw

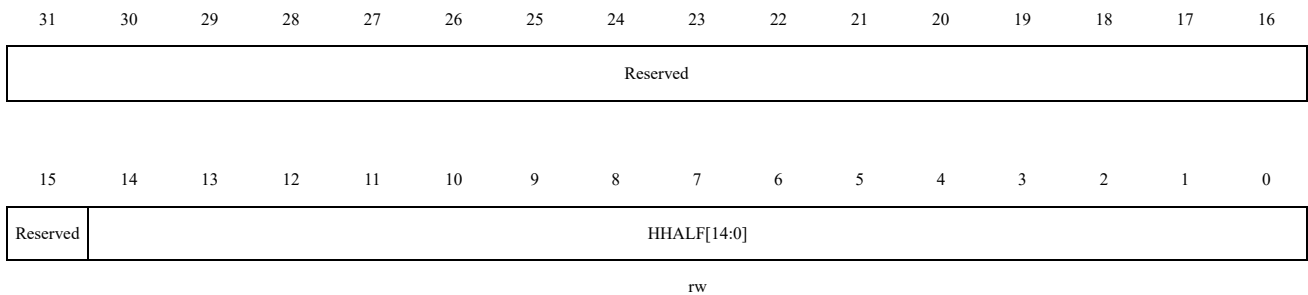
位域	名称	描述
31:13	Reserved	保留，必须保持复位值。
12:0	NUM[12:0]	扫描 1, 2 行数量(Number of MCU rows in Scan 1,2) 公式： 非交错 4:4:4: $(\text{JPEG\_RBC\_FRMH.HEIGHT}/8) - 1$ 非交错 4:2:2: $(\text{JPEG\_RBC\_FRMH.HEIGHT}/8) - 1$ 非交错 4:2:0: $(\text{JPEG\_RBC\_FRMH.HEIGHT}/16) - 1$ 交错 4:2:0: $(\text{JPEG\_RBC\_FRMH.HEIGHT}/16) - 1$ 其他: $(\text{JPEG\_RBC\_FRMH.HEIGHT}/8) - 1$ 0: 1 块

位域	名称	描述
		1: 2 块 ... 0x1FFF: 0x2000 块

#### 43.6.6.14 帧高度半寄存器(JPEGRBC\_HHALF)

偏移地址: 0x70

复位值: 0x0000 0000



位域	名称	描述
31:15	Reserved	保留, 必须保持复位值。
14:0	HHALF[14:0]	输入帧的高度以像素为单位除以 2(Height of the input frame counted in pixels divided by 2) (JPEGRBC_FRMH.HEIGHT/2)-1 0: 1 块 1: 2 块 ... 0x7FFF: 0x8000 块

#### 43.6.6.15 块行步长扫描模式 0 寄存器 (JPEGRBC\_BLSS0)

偏移地址: 0x74

复位值: 0x0000 0000



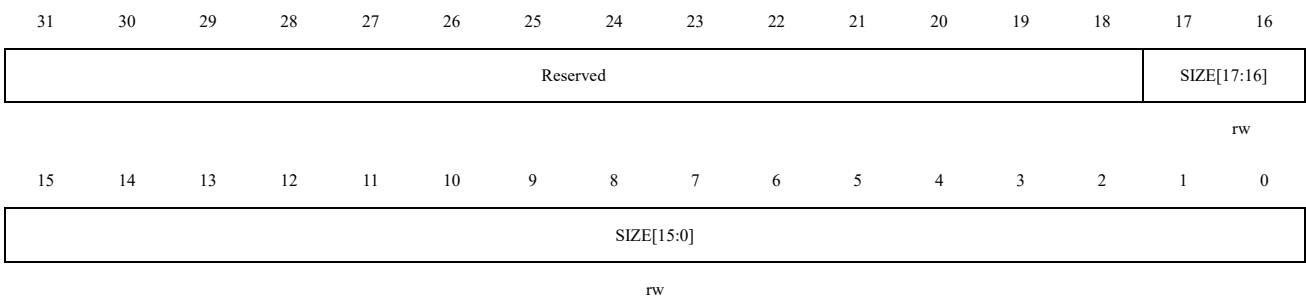
位域	名称	描述
31:18	Reserved	保留, 必须保持复位值。
17:0	SIZE[17:0]	扫描 0 的缓冲区中 MCU 块行内一行的大小 (字节) (Size of one line inside a block line in buffer in bytes for Scan 0)

位域	名称	描述
		公式： 非交错和单声道：JPEGRBC_FRMW.WIDTH/8*8 交错 4:4:4：JPEGRBC_FRMW.WIDTH/8*8 * 3 交错 4:2:2：JPEGRBC_FRMW.WIDTH/16*8 * 4 交错 4:2:0：JPEGRBC_FRMW.WIDTH/16*8 * 6

### 43.6.6.16 块行步长扫描模式 1 和 2 寄存器 (JPEGRBC\_BLSS12)

偏移地址：0x78

复位值：0x0000 0000

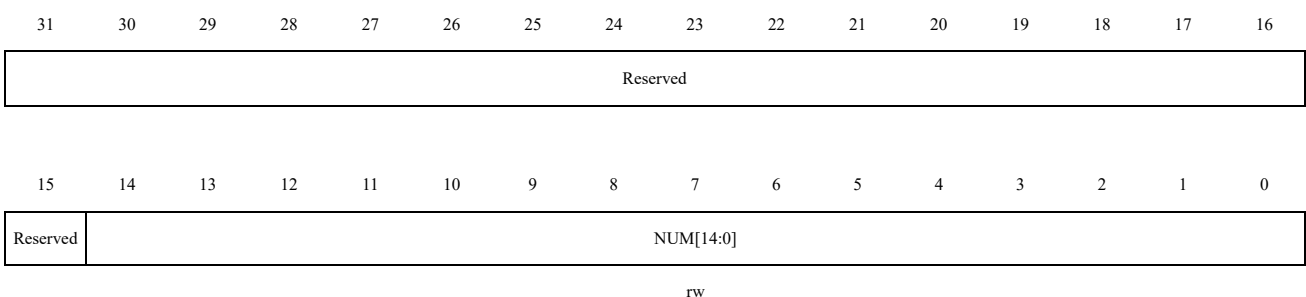


位域	名称	描述
31:18	Reserved	保留，必须保持复位值。
17:0	SIZE[17:0]	扫描 1,2 的缓冲区中 MCU 块行内一行的大小（字节）(Size of one line inside a block line in buffer in bytes for Scan 1,2) 公式： 非交错 4:4:4 和单声道：JPEGRBC_FRMW.WIDTH/8*8 非交错 4:2:2 & 4:2:0：JPEGRBC_FRMW.WIDTH/16*8 交错 4:4:4：JPEGRBC_FRMW.WIDTH/8*8 * 3 交错 4:2:2：JPEGRBC_FRMW.WIDTH/16*8 * 4 交错 4:2:0：JPEGRBC_FRMW.WIDTH/16*8 * 6

### 43.6.6.17 扫描模式 0 下的每 MCU 行块数寄存器 (JPEGRBC\_BPRS0)

偏移地址：0x7C

复位值：0x0000 0000

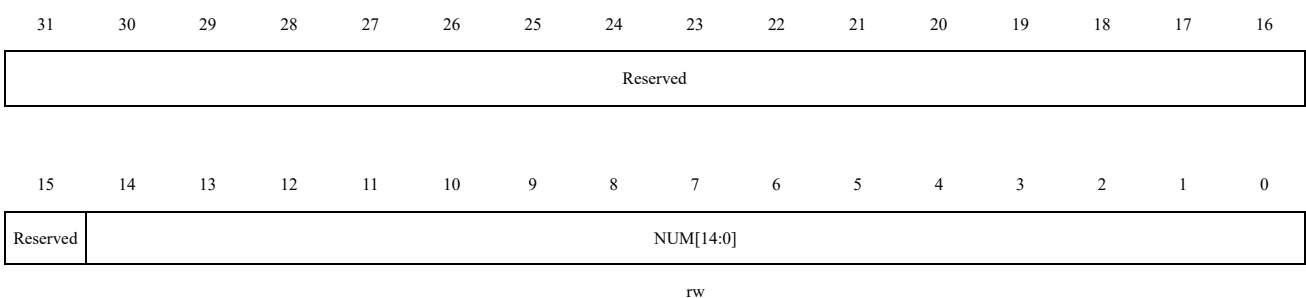


位域	名称	描述
31:15	Reserved	保留，必须保持复位值。
14:0	NUM[14:0]	扫描模式 0 下每 MCU 块行的块数量(Number of blocks in a block line for Scan 0) 公式： 非交错和单声道：JPEGRBC_FRMW.WIDTH/8 - 1 交错 4:4:4：JPEGRBC_FRMW.WIDTH/8 * 3 - 1 交错 4:2:2：JPEGRBC_FRMW.WIDTH/16 * 4 - 1 交错 4:2:0：JPEGRBC_FRMW.WIDTH/16 * 6 - 1

### 43.6.6.18 扫描模式 1,2 下的每 MCU 行块 (JPEGRBC\_BPRS12)

偏移地址：0x80

复位值：0x0000 0000

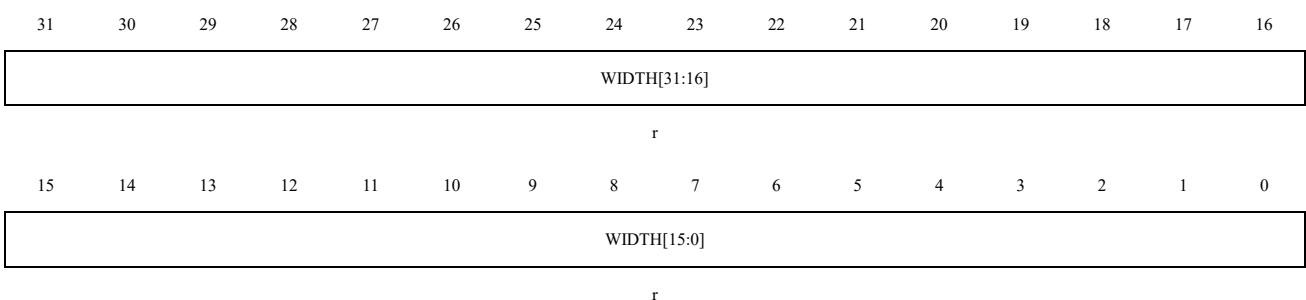


位域	名称	描述
31:15	Reserved	保留，必须保持复位值。
14:0	NUM[14:0]	扫描模式 1,2 下每 MCU 块行的块数量(Number of blocks in a block line for Scan 1, 2) 公式： 非交错 4:4:4 和单声道：JPEGRBC_FRMW.WIDTH/8 - 1 非交错 4:2:2 & 4:2:0：JPEGRBC_FRMW.WIDTH/16 - 1 交错 4:4:4：JPEGRBC_FRMW.WIDTH/8 * 3 - 1 交错 4:2:2：JPEGRBC_FRMW.WIDTH/16 * 4 - 1 交错 4:2:0：JPEGRBC_FRMW.WIDTH/16 * 6 - 1

### 43.6.6.19 最大支持宽度寄存器 (JPEGRBC\_MAXW)

偏移地址：0x84

复位值：0x0000 FFFF



位域	名称	描述
31:0	WIDTH[31:0]	最大支持宽度(Maximum supported width)

#### 43.6.6.20 最大支持高度寄存器(JPEGRBC\_MAXH)

偏移地址: 0x88

复位值: 0x0001 0000



位域	名称	描述
31:0	HEIGHT[31:0]	最大支持高度(Maximum supported height)

#### 43.6.6.21 最大支持 buffer 大小寄存器 (JPEGRBC\_MBSIZE)

偏移地址: 0x8C

复位值: 0x0000 FFFF



位域	名称	描述
31:0	SIZE[31:0]	指定 JPEGRBC_C0EADD.ADDR 可以设置的最大块行数。



## 44 LCD 显示控制器 (LCDC)

### 44.1 概述

该 LCD 显示控制器提供并行数字 RGB (红、绿、蓝) 以及水平/垂直同步、像素时钟和数据使能信号, 可直接输出至各类 LCD 面板。

### 44.2 LCDC 主要特性

LCDC 的主要特性如下:

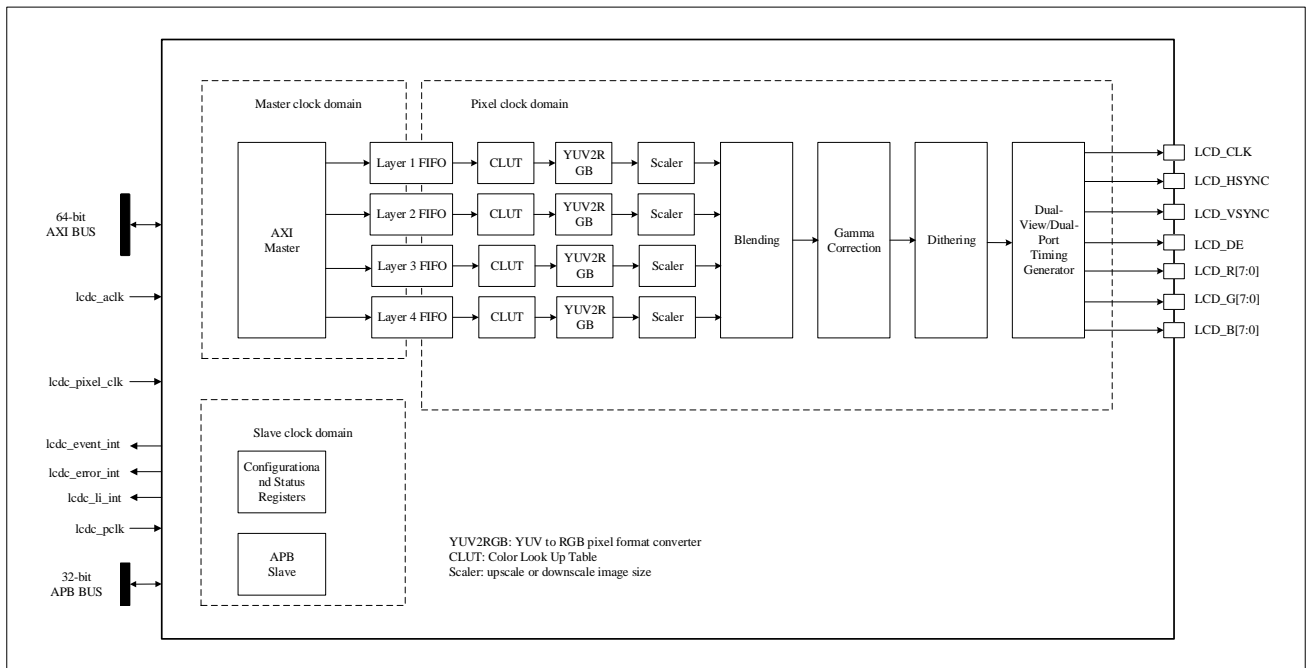
- 24 位 RGB 并行像素输出; 每像素 8 位 (RGB888)
- 4 个显示层, 具备 FIFO 缓冲区 (256×64 位)
- 查色表 (CLUT), 每层高达 256 种颜色 (256×64 位)
- 每层可选 8 种入颜色格式
  - ◆ ARGB8888
  - ◆ ABGR8888
  - ◆ RGBA8888
  - ◆ BGRA8888
  - ◆ RGB888
  - ◆ RGB565
  - ◆ BGR565
- 支持用户自定义像素格式 (像素格式大小需为字节倍数), 例如
  - ◆ L8 (8 位 Luminance 或 CLUT)
  - ◆ AL44 (4 位 alpha + 4 位 luminance)
  - ◆ AL88 (8 位 alpha + 8 位 luminance)
  - ◆ ARGB1555
  - ◆ .....
- 通道低位伪随机抖动输出
  - ◆ 红色、绿色、蓝色的抖动宽度为 2 位
- 使用 alpha 值在图层间灵活混合 (支持像素级或常量值)
- 色键 (透明颜色)
- 可编程窗口位置和大小
- Gamma 校准
- 缩放

- 镜像
- 双视图

## 44.3 LCDC 功能描述

### 44.3.1 框图

图 44-1 框图



### 44.3.2 LCDC 引脚和信号接口

表 44-1 LCDC 引脚

LCD-TFT 信号	信号类型	描述
LCD_CLK	O	时钟输出
LCD_HSYNC	O	水平同步
LCD_VSYNC	O	垂直同步
LCD_DE	O	数据使能
LCD_R[7:0]	O	数据: 8 位红色数据
LCD_G[7:0]	O	数据: 8 位绿色数据
LCD_B[7:0]	O	数据: 8 位蓝色数据

LCDC 引脚需由用户应用程序配置。未使用的引脚可用于其他用途。

对于最高 24 位 (RGB888) 的 LCDC 输出, 若使用低于 8 bpp 的输出连接至显示器时, RGB 显示数据线必须连接至 LCDC RGB 数据线的最高有效位 (MSB)。例如, 当 LCDC 连接 RGB565 16 位显示屏时, LCDC 的 R[4:0]、G[5:0]和 B[4:0]显示数据线引脚必须分别连接至 LCD\_R[7:3]、LCD\_G[7:2]和 LCD\_B[7:3]引脚。

表 44-2 LCDC 内部信号

名称	信号类型	描述
lcdc_axi_clk	I	LCDC AXI 时钟

lcdc_pixel_clk	I	LCDC 内核时钟用于生成 LCD_CLK（像素时钟）
lcdc_event_int	O	LCDC 全局中断
lcdc_error_int	O	LCDC 错误中断
lcdc_li_int	O	LCDC 行中断
lcdc_pclk	I	LCDC 寄存器访问时钟

## 44.4 LCDC 可编程参数

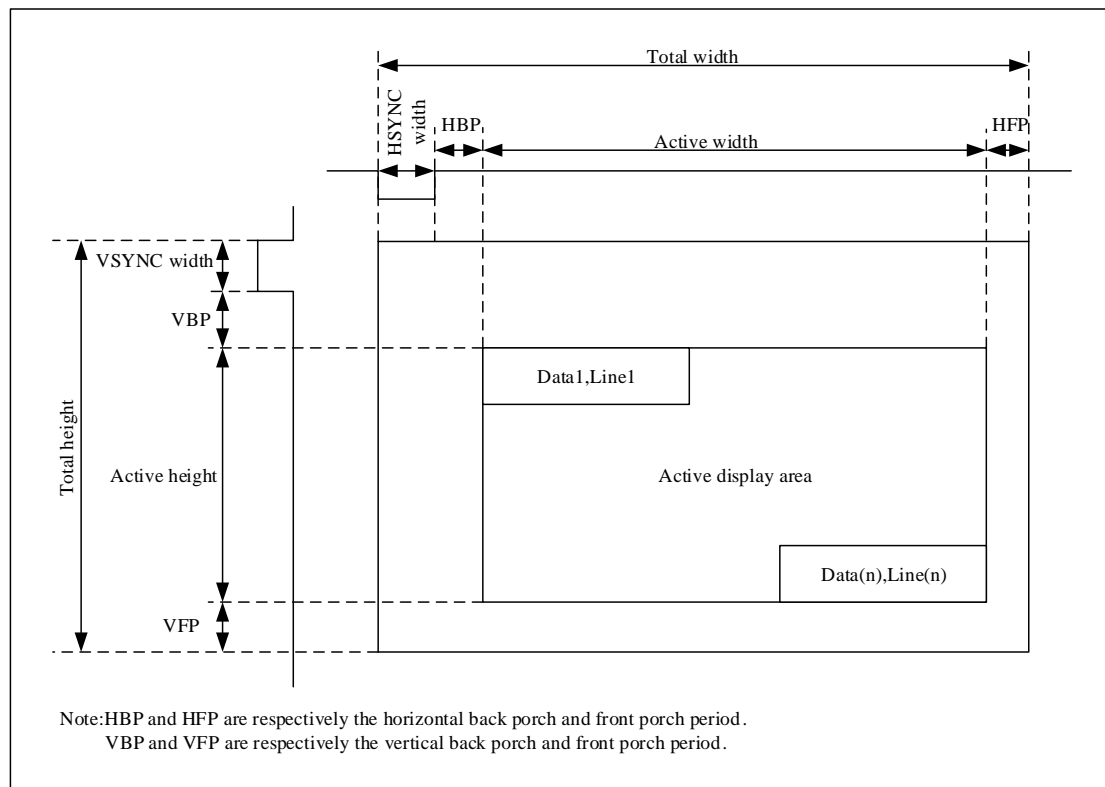
LCDC 控制器提供灵活可配置的参数。可通过 LCDC\_GCTRL 寄存器启用或禁用该控制器。

### 44.4.1 LCDC 全局配置参数

同步时序：

下图展示了由图 44-1 中所述的同步时序生成器模块生成的可配置时序参数。该模块生成水平与垂直同步时序面板信号、像素时钟信号以及数据使能信号。

图 44-2 LCDC 同步时序



LCDC 可编程同步时序如下：

- HSYNC 和 VSYNC 宽度：水平与垂直同步宽度，通过编程 LCDC\_SYNCCTRL 寄存器中 HSYNC 宽度-1 和 VSYNC 宽度-1 的值进行配置。
- HBP 和 VBP：水平与垂直同步后沿宽度，通过编程 LCDC\_BPCTRL 寄存器中 HSYNC 宽度+ HBP - 1 和 VSYNC 宽度+ VBP - 1 的值进行配置。
- 有效宽度与有效高度：通过编程 LCDC\_AWCTRL 寄存器中 HSYNC 宽度+HBP+有效宽度-1 和 VSYNC 宽度+VBP+有效高度-1 的值进行配置。
- 总宽度：通过编程 LCDC\_TWCTRL 寄存器中 HSYNC 宽度+HBP+有效宽度+HFP-1 的值进行配置。HFP 为水平前沿周期。
- 总高度：通过编程 LCDC\_TWCTRL 寄存器中 VSYNC 宽度+ VBP +有效高度+VFP - 1 的值进行配置。VFP 为垂直前沿周期

#### 44.4.1.1 同步时序配置示例

LCDC 时序参数（从面板数据手册中提取）：

- 水平与垂直同步宽度：0xA 像素和 0x2 行。
- 水平与垂直后沿：0x14 像素和 0x2 行。
- 有效宽度与有效高度：0x140 像素，0xF0 行（320x240）。
- 水平前沿：0xA 像素。
- 垂直前沿：0x4 行。

LCDC 时序寄存器配置如下：

- LCDC\_SYNCCTRL 寄存器配置为 0x00090001。（HSW[15:0]为 0x9，VSH[15:0]为 0x1）
- LCDC\_BPCTRL 寄存器配置为 0x001D0003。（AHBP[15:0]为 0x1D（0xA + 0x13），AVBP[15:0]为 0x3（0x2 + 0x1））
- LCDC\_AWCTRL 寄存器配置为 0x015D00F3。（AAW[15:0]为 0x15D（0xA + 0x14 + 0x13F），AAH[15:0]为 0xF3（0x2 + 0x2 + 0xEF））
- LCDC\_TWCTRL 寄存器配置为 0x00000167。（TOTALW[15:0]为 0x167（0xA + 0x14 + 0x140 + 0x9））
- LCDC\_TWCTRL 寄存器配置为 0x016700F7。（TOTALH[15:0]为 0xF7（0x2 + 0x2 + 0xF0 + 0x3））

#### 44.4.1.2 可编程极性

通过编程 LCDC\_GCTRL 寄存器，可将水平和垂直同步信号、数据使能信号以及像素时钟输出信号的极性配置为高电平有效或低电平有效。

#### 44.4.1.3 背景色

恒定的背景色（RGB888）可通过 LCDC\_BCCTRL 寄存器配置。它用于与底层混合。

#### 44.4.1.4 抖动

采用 LFSR 的抖动伪随机技术，通过向每个像素颜色通道（R、G 或 B）值添加微小随机值（阈值），在 24 位数据于 18 位显示器呈现时，可实现高位（MSB）的向上取整。因此抖动技术用于对帧间差异数据进行取整处理。

抖动伪随机技术本质上是 将 LSB 与阈值比较，仅当  $LSB \geq 阈值$  时向 MSB 位添加 1。应用抖动后 LSB 通常会被舍弃。

添加的伪随机值宽度为每个颜色通道 2 位：红色通道 2 位，绿色通道 2 位，蓝色通道 2 位。

LCDC 启用后，LFSR 将从首个活动像素开始运行，并在消隐期及抖动关闭时持续运行。若 LCDC 禁用，LFSR 将被复位。

通过 LCDC\_GCTRL 寄存器可实时开启或关闭抖动功能。

#### 44.4.1.5 重载影子寄存器

某些配置寄存器具有影子寄存器机制。当写入这些寄存器时，或在 LCDC\_SRCTRL 寄存器配置后垂直消隐期开始时，影子寄存器的值立即重载至活动寄存器。若选择立即重载配置，则须在所有新寄存器写入完成后激活重载操作。

在重新加载完成前，严禁再次修改影子寄存器。读取影子寄存器将返回实际值，新写入的值仅在重新加载完成后方可读取。

若在 LCDC\_INTEN 寄存器中启用该功能，则可生成寄存器重新加载中断。

除 LCDC\_CLUTWR 外，所有 Layerx 寄存器均为影子寄存器。

## 44.4.2 层可编程参数

最多可单独使能、禁用和配置四个层。图层显示顺序固定且自下而上。若使能四个层，则图层 4 为顶层显示窗口。

### 44.4.2.1 窗口

可为每个层定位和调整大小，各个层必须位于有效显示区域内。

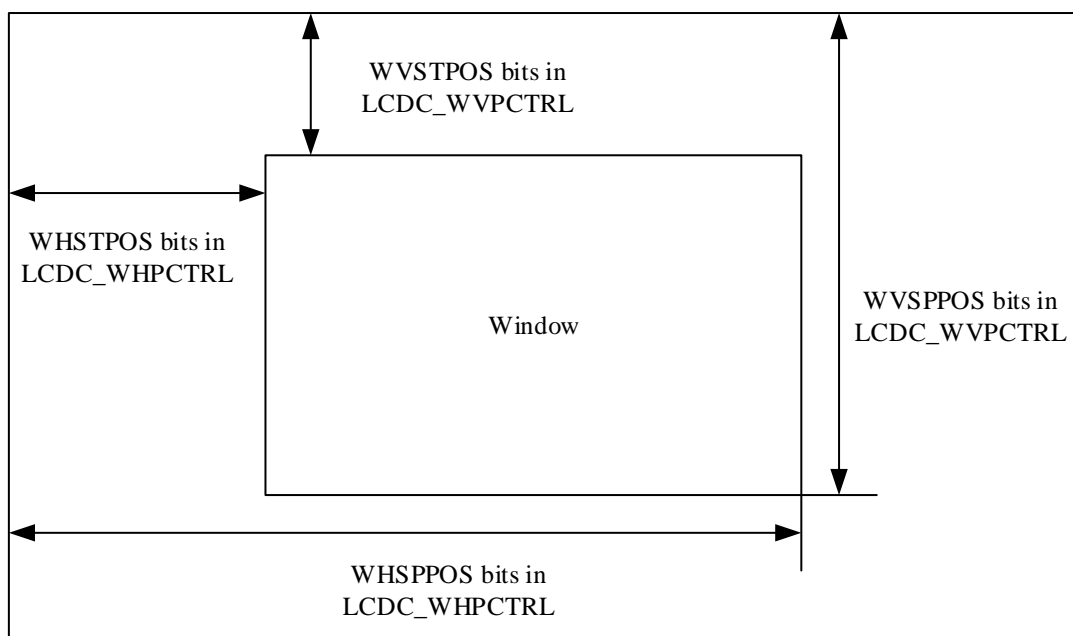
窗口位置和大小通过左上和右下的 X/Y 位置以及包含同步、后沿大小和有效数据区域的内部时序发生器配置。具体配置请参考 LCDC\_WHPCTRL 和 LCDC\_WVPCTRL 寄存器。

可编程层位置和大小定义了一行中的第一个/最后一个可见像素和窗口中的第一个/最后一个可见行。它允许显示完整的图像帧，也允许只显示图像帧的一部分（参见图 44-3）：

通过配置 LCDC\_WHPCTRL 寄存器中的 WHSTPOS[15:0]和 WHSPPOS[15:0]，可设置图层中第一个和最后一个可见像素。

通过配置 LCDC\_WVPCTRL 寄存器中的 WVSTPOS[15:0]和 WVSPPOS[15:0]，可设置图层中第一个和最后一个可见行。

图 44-3 层窗口可编程参数



### 44.4.2.2 像素格式

可编程像素格式用于在图层帧缓冲区中存储的数据。

每个图层可通过 LCDC\_PFCTRL 寄存器配置多达七种输入像素格式。

像素数据从帧缓冲区读取后，按以下方式转换为内部 8888（ARGB）格式：

宽度低于 8 位的分量通过位重复扩展到 8 位。所选位范围多次拼接，直至其超过 8 位。在得到的向量中，选择高 8 位。例如：5 位 RGB565 红色通道将变为（位位置）：43210432（低 3 位由 5 位中的高 3 位填充）。

下表描述了不同选定格式下的像素数据映射关系。

**表 44-3 像素数据映射与颜色格式**

ARGB8888			
@+3 $A_x[7:0]$	@+2 $R_x[7:0]$	@+1 $G_x[7:0]$	@ $B_x[7:0]$
@+7 $A_{x+1}[7:0]$	@+6 $R_{x+1}[7:0]$	@+5 $G_{x+1}[7:0]$	@+4 $B_{x+1}[7:0]$
ABGR8888			
@+3 $A_x[7:0]$	@+2 $B_x[7:0]$	@+1 $G_x[7:0]$	@ $R_x[7:0]$
@+7 $A_{x+1}[7:0]$	@+6 $B_{x+1}[7:0]$	@+5 $G_{x+1}[7:0]$	@+4 $R_{x+1}[7:0]$
RGBA8888			
@+3 $R_x[7:0]$	@+2 $G_x[7:0]$	@+1 $B_x[7:0]$	@ $A_x[7:0]$
@+7 $R_{x+1}[7:0]$	@+6 $G_{x+1}[7:0]$	@+5 $B_{x+1}[7:0]$	@+4 $A_{x+1}[7:0]$
BGRA8888			
@+3 $B_x[7:0]$	@+2 $G_x[7:0]$	@+1 $R_x[7:0]$	@ $A_x[7:0]$
@+7 $B_{x+1}[7:0]$	@+6 $G_{x+1}[7:0]$	@+5 $R_{x+1}[7:0]$	@+4 $A_{x+1}[7:0]$
RGB565			
@+3	@+2	@+1	@



$R_{x+1}[4:0]G_{x+1}[5:3]$	$G_{x+1}[2:0]B_{x+1}[4:0]$	$R_x[4:0]G_x[5:3]$	$G_x[2:0]B_x[4:0]$
@+7 $R_{x+3}[4:0]G_{x+3}[5:3]$	@+6 $G_{x+3}[2:0]B_{x+3}[4:0]$	@+5 $R_{x+2}[4:0]G_{x+2}[5:3]$	@+4 $G_{x+2}[2:0]B_{x+2}[4:0]$
BGR565			
@+3 $B_{x+1}[4:0]G_{x+1}[5:3]$	@+2 $G_{x+1}[2:0]R_{x+1}[4:0]$	@+1 $B_x[4:0]G_x[5:3]$	@ $G_x[2:0]R_x[4:0]$
@+7 $B_{x+3}[4:0]G_{x+3}[5:3]$	@+6 $G_{x+3}[2:0]R_{x+3}[4:0]$	@+5 $B_{x+2}[4:0]G_{x+2}[5:3]$	@+4 $G_{x+2}[2:0]R_{x+2}[4:0]$
RGB888			
@+3 $B_{x+1}[7:0]$	@+2 $R_x[7:0]$	@+1 $G_x[7:0]$	@ $B_x [7:0]$
@+7 $G_{x+2}[7:0]$	@+6 $R_{x+2}[7:0]$	@+5 $R_{x+1}[7:0]$	@+4 $G_{x+1}[7:0]$
L8			
@+3 $L_{x+3}[7:0]$	@+2 $L_{x+2}[7:0]$	@+1 $L_{x+1}[7:0]$	@ $L_x [7:0]$
@+7 $L_{x+7}[7:0]$	@+6 $L_{x+6}[7:0]$	@+5 $L_{x+5}[7:0]$	@+4 $L_{x+4}[7:0]$
AL44			
@+3 $A_{x+3}[3:0]L_{x+3}[3:0]$	@+2 $A_{x+2}[3:0]L_{x+2}[3:0]$	@+1 $A_{x+1}[3:0]L_{x+1}[3:0]$	@ $A_x[3:0]L_x[3:0]$
@+7 $A_{x+7}[3:0]L_{x+7}[3:0]$	@+6 $A_{x+6}[3:0]L_{x+6}[3:0]$	@+5 $A_{x+5}[3:0]L_{x+5}[3:0]$	@+4 $A_{x+4}[3:0]L_{x+4}[3:0]$
AL88			
@+3 $A_{x+1}[7:0]$	@+2 $L_{x+1}[7:0]$	@+1 $A_x[7:0]$	@ $L_x[7:0]$
@+7	@+6	@+5	@+4

$A_{x+3}[7:0]$	$L_{x+3}[7:0]$	$A_{x+2}[7:0]$	$L_{x+2}[7:0]$
----------------	----------------	----------------	----------------

注意：可通过配置 `LCDC_FCF1` 和 `LCDC_FCF2` 寄存器来预定义其它的像素格式

#### 44.4.2.3 查色表

可通过 `LCDC_LCTRL` 寄存器为每个层使能 CLUT, CLUT 在使用 L8、AL44 和 AL88 输入像素格式时适用。

首先, CLUT 必须烧在用于替换相应像素 (索引色) 的原始 R、G、B 值的 R、G、B 值。每个颜色 (RGB 值) 在 CLUT 内都有自己对应的地址。

R、G、B 值及其各自的地址均通过 `LCDC_CLUTWR` 寄存器配置。

在使用 L8 和 AL88 输入像素格式时, CLUT 须加载 256 个颜色。每种颜色的地址通过 `LCDC_CLUTWR.CLUTADDR[7:0]` 配置。

在使用 L44 输入像素格式时, CLUT 须加载 16 个颜色。每种颜色的地址通过将 4 位 L 通道重复为 8 位进行填充, 如下:

L0 (索引色 0), 地址 0x00

L1 (索引色 1), 地址 0x11

L2 (索引色 2), 地址 0x22

.....

L15 (索引色 15), 地址 0xFF

#### 44.4.2.4 颜色帧缓冲地址

每个层的颜色帧缓冲区都有一个起始地址, 该地址通过 `LCDC_CFBADDR` 寄存器配置。当使能某个层时, 这个层将从颜色帧缓冲区中获取数据。

#### 44.4.2.5 颜色帧缓冲区长度

每个层都设置颜色帧缓冲区的总行长和行数, 分别通过 `LCDC_CFBLEN` 和 `LCDC_CFBNUM` 寄存器配置。

行长和行数的设置用于阻止将数据预取到帧缓冲区末尾的层 FIFO 中

如果设置为低于所需字节, 则会产生 FIFO 下溢中断 (如果已使能)。

如果设置为高于实际所需字节, 则舍弃从 FIFO 中读取的无用数据。无用数据不会显示。

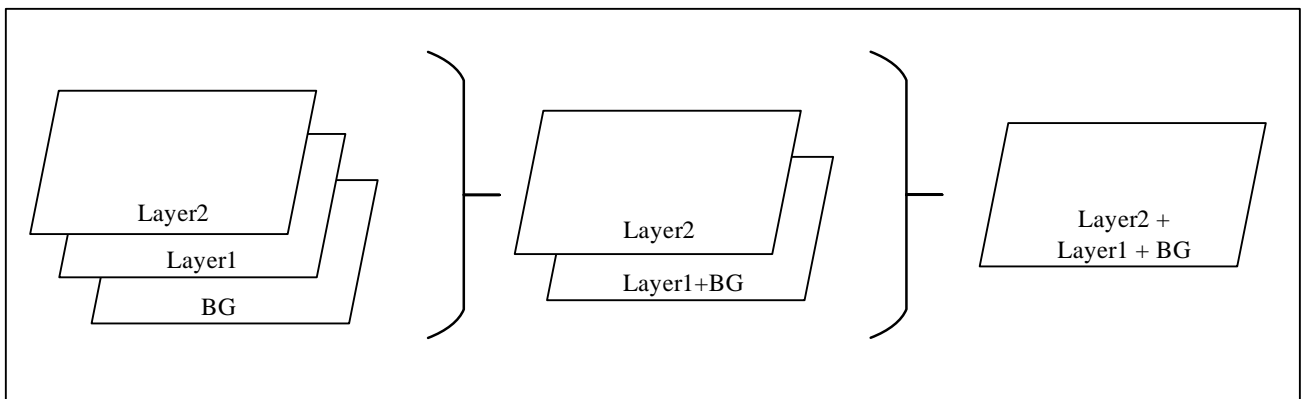
#### 44.4.2.6 颜色帧缓冲区间距

每层的颜色帧缓冲区均具有可配置间距, 此间距是一行的开始与下一行开始的距离 (单位为字节)。可以通过 `LCDC_CFBLEN` 寄存器配置。

#### 44.4.2.7 层混合

混合功能始终生效, 两个图层间根据 `LCDC_BFCTRL` 寄存器配置的混合因子进行混合。混合顺序固定, 如果四个图层均使能, 首先将背景层与第一层混合, 然后与第二层进行混合, 然后与第三层进行混合, 最后与第四层进行混合。

如下图为两个图层与背景层混合的示例:

**图 44-4 两图层与背景层混合**


#### 44.4.2.8 默认颜色

每个图层均可设置默认颜色，格式为 ARGB，该颜色在定义的层窗口外使用或者在层禁止时使用。默认颜色通过 LCDC\_DCCTRL 寄存器配置。

图层之间始终进行混合，即使层禁止也会混合。避免层禁止时显示默认颜色，在 LCDC\_BFCTRL 寄存器中将禁用层的混合系数配置为默认值。

#### 44.4.2.9 色键

色键（RGB）可配置为代表透明像素。

使能色键后，当前像素（格式转换后、混合前的像素）将与色键进行比较。如果当前像素与配置的 RGB 值相匹配，则该像素的所有通道（ARGB）均设置为 0。

色键通过 LCDC\_CKCTRL 寄存器配置。

### 44.5 LCDC 中断

LCDC 提供四个可屏蔽中断，逻辑或运算后映射至两个中断向量。

中断源可通过 LCDC\_INTEN 寄存器单独使能或禁用。将对应的中断使能位设置为“1”来启用相应中断。

在以下事件触发时可以产生中断：

- 行中断：当达到配置的行时产生。行中断位置通过 LCDC\_LINTPCTRL 寄存器配置。
- 寄存器重载中断：在垂直消隐期执行影子寄存器重载时产生。
- FIFO 下溢中断：从空层 FIFO 中请求像素时产生。
- 传输错误中断：数据传输期间发生总线错误时产生。

这些中断事件通过下图所示方式连接至 NVIC 控制器：

图 44-5 中断

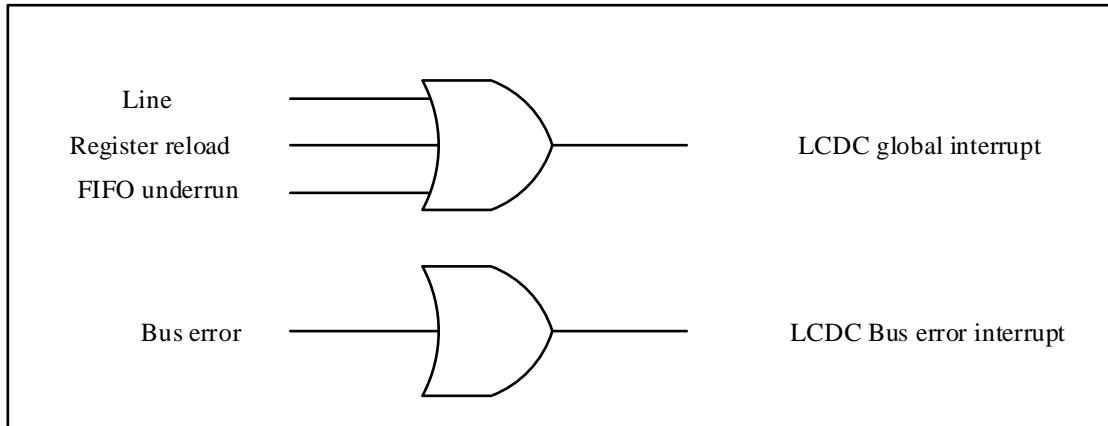


表 44-4 LCDC 中断请求

中断	中断标志	中断使能位
行中断	LCDC_INTSTS. LIF	LCDC_INTEN. LIEN
FIFO 下溢中断	LCDC_INTSTS. FUIF	LCDC_INTEN. FUIEN
总线错误中断	LCDC_INTSTS. BEIF	LCDC_INTEN. BEIEN
寄存器重载中断	LCDC_INTSTS. RRIF	LCDC_INTEN. RRIEN

## 44.6 LCDC 配置流程

- 在 RCC 寄存器中配置 LCDC 时钟。
- 根据面板数据表配置像素时钟。
- 根据面板数据表配置同步时序（参考 44.4.1 章节）：VSYNC、HSYNC、垂直和水平后沿、有效数据区域以及前沿时序。
- 在 LCDC\_GCTRL 寄存器中配置同步信号和时钟极性。
- 如有需要，在 LCDC\_BCCTRL 寄存器中配置背景色。
- 在 LCDC\_INTEN 和 LTDC\_LINTPCTRL 寄存器中配置所需中断。
- 通过以下方式配置 layerx (x=1,2,3,4) 参数：
  - ◆ 在 LCDC\_WHPCTR 和 LCDC\_WVPCTR 寄存器中配置层窗口的水平与垂直位置。层窗口必须位于有效数据区内。
  - ◆ 在 LCDC\_PFCTR 寄存器中配置像素输入格式。
  - ◆ 在 LCDC\_CFBADDR 寄存器中配置颜色帧缓冲区起始地址。
  - ◆ 在 LCDC\_CFBLEN 寄存器中配置颜色帧缓冲区的行长度与间距。
  - ◆ 在 LCDC\_CFBLNUM 寄存器中配置颜色帧缓冲区的行数。

- ◆ 如有需要，在 LCDC\_CLUTWR 寄存器中加载 RGB 值及其地址以初始化 CLUT。
- ◆ 若需配置默认颜色及混合因子，分别在 LCDC\_DCCTRL 和 LCDC\_BFCTRL 寄存器中配置。
- 在 LCDC\_LCTRL 寄存器中使能 layerx (x=1,2,3,4) 层，必要时启用 CLUT。
- 若需使能抖动和色键功能，分别在 LCDC\_GCTRL 和 LCDC\_CKCTRL 寄存器中配置。该功能可实时启用。
- 通过 LCDC\_SRCTRL 寄存器将影子寄存器数据加载至活动寄存器。
- 在 LCDC\_GCTRL 寄存器中使能 LCDC 控制器。
- 层参数均可实时修改。新配置可通过配置 LCDC\_SRCTRL 寄存器实现在垂直消隐期或立即加载。

*注意：所有层寄存器均采用影子寄存器机制。寄存器写入后，在完成重新加载前不得再次修改。因此，若未重新加载，对同一寄存器的新写入将覆盖先前配置。*

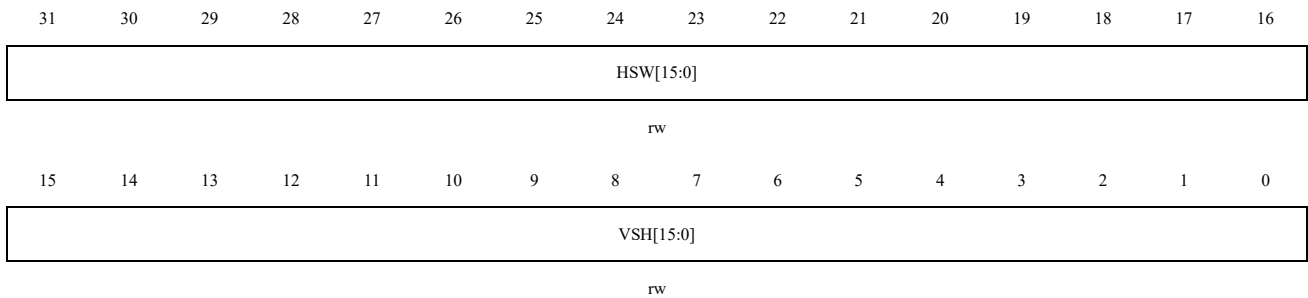
## 44.7 LCDC 寄存器

### 44.7.1 LCDC 同步大小控制寄存器 (LCDC\_SYNCCTRL)

偏移地址: 0x08

复位值: 0x0000 0000

该寄存器定义水平同步像素数减 1 以及垂直同步行数减 1。参考图 44-2。



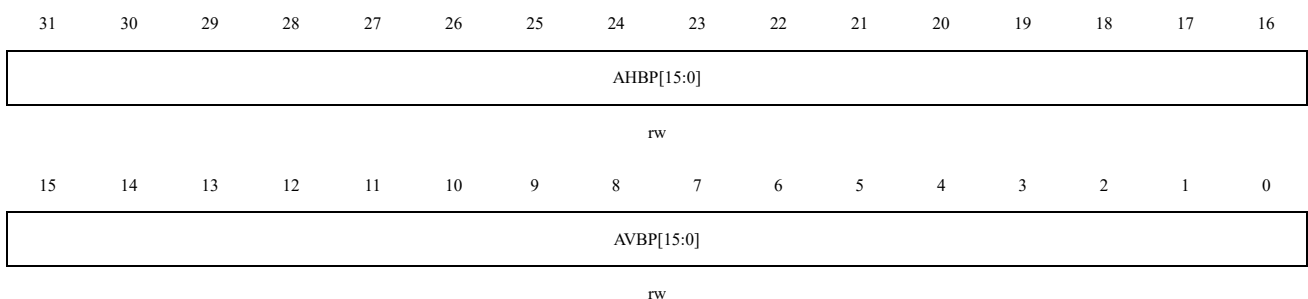
位域	名称	描述
31:16	HSW[15:0]	水平同步宽度（以像素时钟周期为单位） 这些位定义水平同步像素数减 1。
15:0	VSH[15:0]	垂直同步高度（以水平扫描行为单位） 这些位定义垂直同步高度减 1。它代表水平同步行的数量。

### 44.7.2 LCDC 后沿控制寄存器 (LCDC\_BPCTRL)

偏移地址: 0x0C

复位值: 0x0000 0000

此寄存器定义水平同步像素加水平后沿像素的累加数减 1 (HSYNC 宽度+HBP-1) 以及垂直同步行加垂直后沿的累加数减 1 (VSYNC 高度+VBP-1)。参考图 44-2。



位域	名称	描述
31:16	AHBP[15:0]	累加水平后沿（以像素时钟周期为单位） 这些位定义累加水平后沿宽度（水平同步像素加水平后沿像素减 1）。

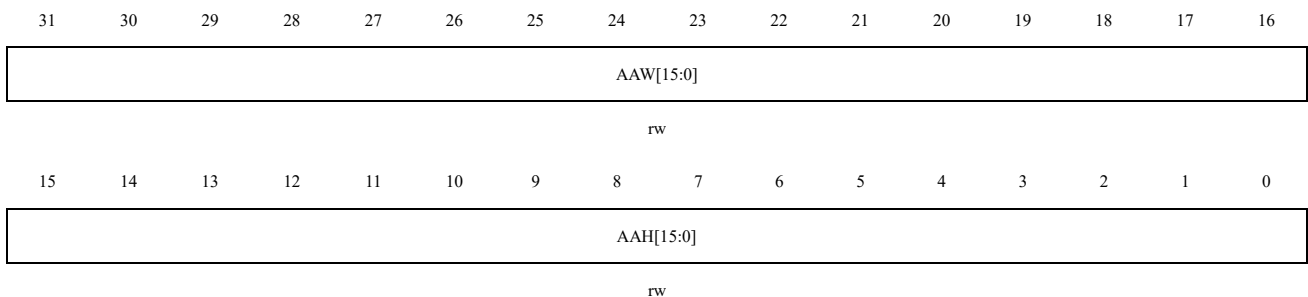
位域	名称	描述
		水平后沿是水平同步信号变为无效到下一扫描行的有效显示开始之间的间隔。
15:0	AVBP[15:0]	累加垂直后沿（以水平扫描行为单位） 这些位定义累加垂直后沿高度（垂直同步行加垂直后沿行减1）。 垂直后沿是帧开始到下一个帧的首个有效扫描行开始所包含的水平扫描行的数量。

### 44.7.3 LCDC 有效宽度控制寄存器（LCDC\_AWCTRL）

偏移地址：0x10

复位值：0x0000 0000

此寄存器定义水平同步像素加水平后沿像素加有效像素的累加数减 1（HSYNC 宽度+HBP+有效宽度-1）以及垂直同步行加垂直后沿行加有效行的累加数减 1（VSYNC 高度+VBP+有效高度-1）。参考图 44-2。



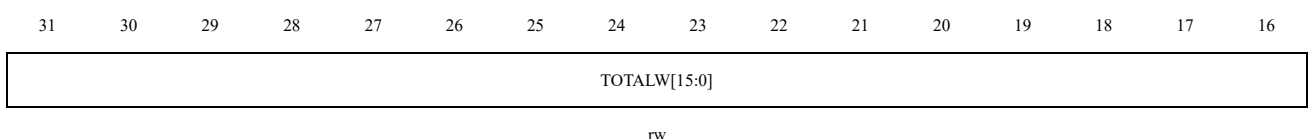
位域	名称	描述
31:16	AAW[15:0]	累加有效宽度（以像素时钟周期为单位） 这些位定义累加有效宽度（水平同步像素加水平后沿像素加有效像素减 1）。 有效宽度是面板扫描行的有效显示区中的像素数。
15:0	AAH[15:0]	累加有效高度（以水平扫描行为单位） 这些位定义累加有效高度（垂直同步行加垂直后沿行加有效高度减 1）。 有效高度是面板中的有效行数。

### 44.7.4 LCDC 总宽度控制寄存器（LCDC\_TWCTRL）

偏移地址：0x14

复位值：0x0000 0000

此寄存器定义水平同步像素加水平后沿像素加有效像素加水平前沿像素的累加数减 1（HSYNC 宽度+HBP+有效宽度+HFP-1）以及垂直同步行加垂直后沿行加有效行加垂直前沿行的累加数 1（VSYNC 高度+VBP+有效高度+VFP-1）。参考图 44-2。



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TOTALH[15:0]															
rw															

位域	名称	描述
31:16	TOTALW[15:0]	总宽度（以像素时钟周期为单位） 这些位定义累加总宽度（水平同步像素加水平后沿像素加有效宽度加水平前沿像素减 1）。
15:0	TOTALH[15:0]	总高度（以水平扫描行为单位） 这些位定义累加高度（垂直同步行加垂直后沿行加有效高度加垂直前沿行减 1）。

### 44.7.5 LCDC 全局控制寄存器（LCDC\_GCTRL）

偏移地址：0x18

复位值：0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

HSPOL	VSPOL	BPOL	PCLKPOL	Reserved										DEN
rw	rw	rw	rw											rw

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	DRW[2:0]	Reserved	DGW[2:0]	Reserved	DBW[2:0]	Reserved	GCEN	LCDCEN
	r		r		r		rw	rw

位域	名称	描述
31	HSPOL	水平同步极性 0: 水平同步极性低电平有效。 1: 水平同步极性高电平有效。
30	VSPOL	垂直同步极性 0: 垂直同步极性低电平有效。 1: 垂直同步极性高电平有效。
29	DEPOL	数据使能极性 0: 数据使能极性高电平有效。 1: 数据使能极性低电平有效。
28	PCLKPOL	像素时钟极性 0: 输入像素时钟。 1: 反相输入像素时钟。
27:17	Reserved	保留，必须保持复位值。



位域	名称	描述
16	DEN	抖动使能 0: 禁用抖动。 1: 使能抖动。
15	Reserved	保留, 必须保持复位值。
14:12	DRW[2:0]	抖动红色宽度 这些位返回红色抖动位。
11	Reserved	保留, 必须保持复位值。
10:8	DGW[2:0]	抖动绿色宽度 这些位返回绿色抖动位。
7	Reserved	保留, 必须保持复位值。
6:4	DBW[2:0]	抖动蓝色宽度 这些位返回蓝色抖动位。
3:2	Reserved	保留, 必须保持复位值。
1	GCEN	伽马校准使能 0: 禁用伽马校准。 1: 使能伽马校准。
0	EN	LCDC 使能 0: 禁用 LCDC。 1: 使能 LCDC。

#### 44.7.6 LCDC 影子重载控制寄存器 (LCDC\_SRCTRL)

偏移地址: 0x24

复位值: 0x0000 0000

配置此寄存器可立即或在垂直消隐周期内将影子寄存器的值重载到活动寄存器中。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													VBR	IMR	
													rw	rw	

位域	名称	描述
31:2	Reserved	保留, 必须保持复位值。
1	VBR	垂直消隐重载。 该位由软件设置, 仅能在重载后通过硬件清除 (一旦设置, 无法通过寄存器写入清除)。

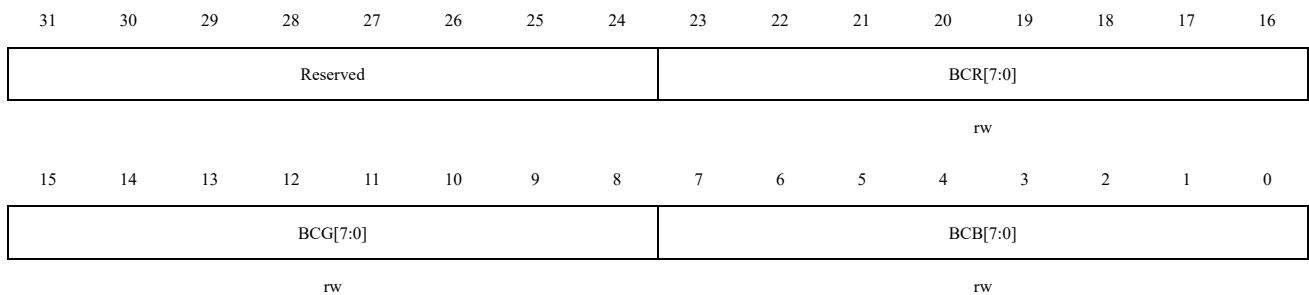
位域	名称	描述
		0: 无效果。 1: 影子寄存器在垂直消隐期间重新加载（有效显示区域后的第一行开时）。
0	IMR	立即重载。 该位由软件设置，仅在重载后通过硬件清除。 0: 无效果。 1: 影子寄存器立即重载。

### 44.7.7 LCDC 背景色控制寄存器 (LCDC\_BCCTRL)

偏移地址: 0x2C

复位值: 0x0000 0000

此寄存器定义背景色 (RGB888)。

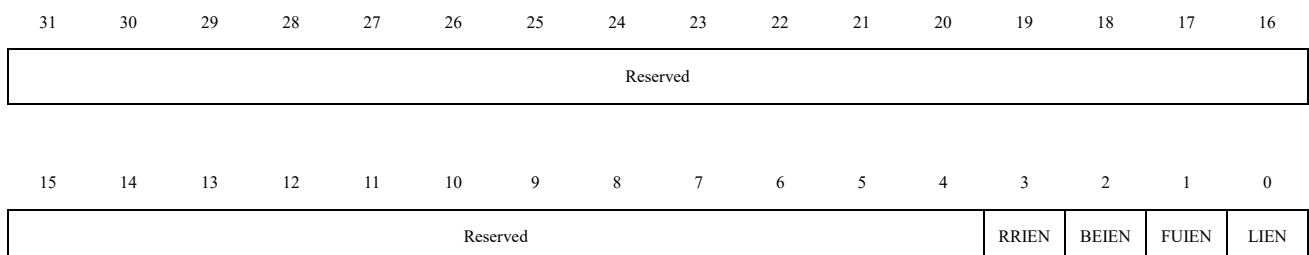


位域	名称	描述
31:24	Reserved	保留，必须保持复位值。
23:16	BCR[7:0]	红色背景值 这些位配置红色背景值。
15:8	BCG[7:0]	绿色背景值 这些位配置绿色背景值。
7:0	BCB[7:0]	蓝色背景值 这些位配置蓝色背景值。

### 44.7.8 LCDC 中断使能寄存器 (LCDC\_INTEN)

偏移地址: 0x34

复位值: 0x0000 0000



rw rw rw rw

位域	名称	描述
31:4	Reserved	保留，必须保持复位值。
3	RRIEN	寄存器重载中断使能 0：禁用寄存器重载中断。 1：使能寄存器重载中断。
2	BEIEN	总线错误中断使能 0：禁用总线错误中断。 1：使能总线错误中断。
1	FUIEN	FIFO 下溢中断使能 0：禁用 FIFO 下溢中断。 1：使能 FIFO 下溢中断。
0	LIEN	行中断使能 0：禁用行中断。 1：使能行中断。

#### 44.7.9 LCDC 中断状态寄存器 (LCDC\_INTSTS)

偏移地址：0x38

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												RRIF	BEIF	FUIF	LIF
												r	r	r	r

位域	名称	描述
31:4	Reserved	保留，必须保持复位值。
3	RRIF	寄存器重载中断标志 0：未产生寄存器重载中断。 1：发生垂直消隐重载时产生寄存器重载中断。
2	BEIF	总线错误中断标志 0：未产生总线错误中断。 1：发生总线错误时产生总线错误中断。
1	FUIF	FIFO 下溢中断标志 0：未产生 FIFO 下溢中断。 1：从 FIFO 读取像素数据，FIFO 为空时产生 FIFO 下溢中断。

位域	名称	描述
0	LIF	行中断标志 0: 未产生行中断。 1: 到达配置的行时产生行中断。

#### 44.7.10 LCDC 中断清除寄存器 (LCDC\_INTCLR)

偏移地址: 0x3C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												RRICLR	BEICLR	FUICLR	LICLR
												w	w	w	w

位域	名称	描述
31:4	Reserved	保留, 必须保持复位值。
3	RRICLR	寄存器重载中断标志清除 0: 无影响。 1: 将 LCDC_INTSTS 寄存器中 RRIF 标志清 0。
2	BEICLR	总线错误中断标志清除 0: 无影响。 1: 将 LCDC_INTSTS 寄存器中 BEIF 标志清 0。
1	FUICLR	FIFO 下溢中断标志清除 0: 无影响。 1: 将 LCDC_INTSTS 寄存器中 FUIF 标志清 0。
0	LICLR	行中断标志清除 0: 无影响。 1: 将 LCDC_INTSTS 寄存器中 LIF 标志清 0。

#### 44.7.11 LCDC 中断位置控制寄存器 (LCDC\_LINTPCTRL)

偏移地址: 0x40

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

LINTP[15:0]
-------------

rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	LINTP[15:0]	行中断位置 这些位用于配置行中断位置。

### 44.7.12 LCDC 当前位置状态寄存器 (LCDC\_CPSTS)

偏移地址: 0x44

复位值: 0x0000 0000

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

CXPOS[15:0]
-------------

r

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

CYPOS[15:0]
-------------

r

位域	名称	描述
31:16	CXPOS[15:0]	当前 X 位置 这些位返回当前 X 位置。
15:0	CYPOS[15:0]	当前 Y 位置 这些位返回当前 Y 位置。

### 44.7.13 LCDC 当前显示状态寄存器 (LCDC\_CDSTS)

偏移地址: 0x48

复位值: 0x0000 000F

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

Reserved
----------

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

Reserved	HSYNCS	VSYNC	HBS	VBS
----------	--------	-------	-----	-----

r            r            r            r

位域	名称	描述
31:4	Reserved	保留，必须保持复位值。
3	HSYNCS	水平同步显示状态 0: 低电平有效。 1: 高电平有效。
2	VSYNCS	垂直同步显示状态 0: 低电平有效。 1: 高电平有效。
1	HBS	水平消隐显示状态 0: 低电平有效。 1: 高电平有效。
0	VBS	垂直消隐显示状态 0: 低电平有效。 1: 高电平有效。

#### 44.7.14 LCDC 外部显示控制寄存器 (LCDC\_EXTDCTRL)

偏移地址: 0x60

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved							PCLKHES	PCLKHOEN	PCLKHEEN	SPMEN	DVEN	Reserved			
							r	r	r	r	r				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															

位域	名称	描述
31:25	Reserved	保留，必须保持复位值。
24	PCLKHES	像素时钟奇数/偶数半周期有效沿偏移 0: 无偏移。 1: 移位至像素时钟下降沿。 当该位设置为“1”时，会将两个输出时钟“奇数像素时钟半周期”和“偶数像素时钟半周期”的上升沿移位半个像素时钟周期。 此功能旨在简化简单双视图模式下的外部采样操作，通过将这些时钟的上升沿移位至对应偶数/奇数像素有效窗口的中心位置实现。
23	PCLKHOEN	像素时钟奇数半周期使能。 时钟输出“pixel_clk_half_odd_o”可被使能。禁用时输出置为低电平。
22	PCLKHEEN	像素时钟半周期偶数使能。 时钟输出“pixel_clk_half_even_o”可被使能。禁用时输出置为低电平。

位域	名称	描述
21	SPMEN	子像素混合功能使能 使能时，子像素混合会交换相邻偶数像素与奇数像素的绿色通道值。仅适用于双视图模式。
20	DVEN	双视图使能 通过此位启用双视图模式将影响抖动处理：相同的抖动阈值将应用于连续的奇偶像素，而在正常模式下每个像素的抖动阈值均会变化。 需使用图层寄存器的“双视图插入模式”控制功能，将图层分配至两个逻辑显示器。 该模式下可使用半频像素时钟外部采样奇偶像素值，即两个逻辑显示屏。某些集成式双视图显示器可能需要启用子像素混合功能。
19:0	Reserved	保留，必须保持复位值。

#### 44.7.15 LCDC 层影子重载控制寄存器 (LCDC\_LSRCTRL)

偏移地址：0x08 + 0x100\*y, (y=1 to 4)

复位值：0x0000 0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													MGR	VBR	IMR
													rw	rw	w

位域	名称	描述
31:3	Reserved	保留，必须保持复位值。
2	MGR	全局重载使能 0：层寄存器重载受全局重载控制。 1：层寄存器重载不受全局重载控制。
1	VBR	垂直消隐重载 0：无效果。 1：影子寄存器在垂直消隐期间重新加载。
0	IMR	立即重载 0：无效果。 1：影子寄存器立即重载。

#### 44.7.16 LCDC 层控制寄存器 (LCDC\_LCTRL)

偏移地址：0x0C + 0x100\*y, (y=1 to 4)

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved					SEN	DCBEN	HMEN	DVMD[1:0]		Reserved	CLUTEN	Reserved		CKEN	LEN
					rw	rw	rw	rw			rw			rw	rw

位域	名称	描述
31:11	Reserved	保留, 必须保持复位值。
10	SEN	缩放使能 0: 禁用缩放功能。 1: 使能缩放功能。
9	DCBEN	默认颜色混合使能 0: 禁用默认颜色混合。 1: 使能默认颜色混合。 此位用于使能与禁用图层或窗口外图层像素的默认颜色混合。当默认颜色混合禁用时, 此类像素将直接显示底层图层的颜色。
8	HMEN	水平镜像使能 0: 禁用水平镜像。 1: 使能水平镜像。 此位在读取帧缓冲区时为图层启用水平镜像功能。请注意, 在此模式下颜色帧缓冲区的起始地址必须设置为第一行最后一个字节的位置。
7:6	DVMD[1:0]	双视图插入模式 这些位用于双视图模式。使用这些位时, 图层将按以下方式分配至两个逻辑显示器(奇数/偶数): 00: 在两个像素(奇数和偶数)上插入像素值。 01: 仅在奇数像素上插入像素值。 10: 仅在偶数像素上插入像素值。 11: 在两个像素位插入相同像素值。 像素计数从有效区域开始, 即消隐结束后的首个像素为像素 0, 故为偶数像素位。
5	Reserved	保留, 必须保持复位值。
4	CLUTEN	CLUT 使能 0: 禁用 CLUT。 1: 使能 CLUT。 若使能, 帧缓冲区像素转换为内部像素格式后的蓝色分量将用于在表中查找 RGB 值。该 RGB 值将替换该像素的原始 RGB 值。



位域	名称	描述
3:2	Reserved	保留，必须保持复位值。
1	CKEN	色键使能 0: 禁用色键。 1: 使能色键。 使能时，格式转换后（可选 CLUT 查找）的像素值将与色键进行比对，若 RGB 值匹配，则该像素的所有通道（ARGB）均设为“0”。
0	LEN	层使能 0: 禁用层。 1: 使能层。

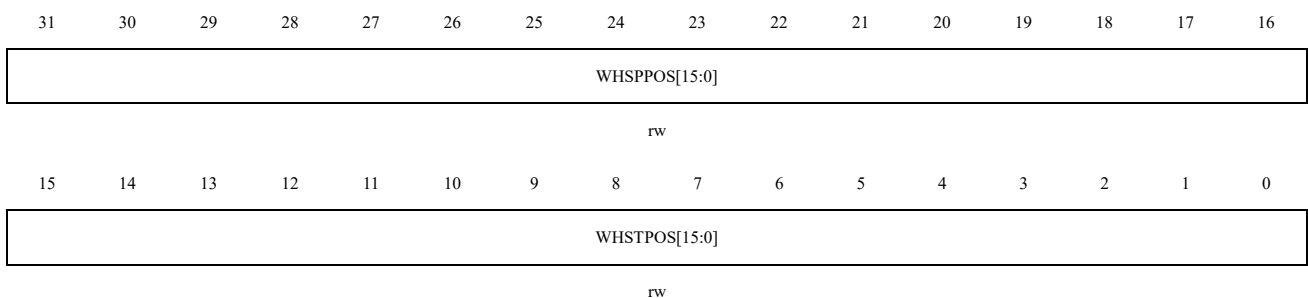
#### 44.7.17 LCDC 窗口水平位置控制寄存器（LCDC\_WHPCTRL）

偏移地址：0x10+ 0x100\*y, (y=1 to 4)

复位值：0x0000 0000

一行的第一个可见像素是在 LCDC\_BPCTRL 寄存器中编程的 AHBP[10:0]bits+1 的值。

一行的最后一个可见像素是在 LTDC\_AWCTRL 寄存器中编程的 AAW[10:0]bits 的值。



位域	名称	描述
31:16	WHSPPPOS[15:0]	窗口水平停止位置 这些位配置层窗口的一行的最后一个可见像素。
15:0	WHSTPOS[15:0]	窗口水平起始位置 这些位配置层窗口的一行的第一个可见像素。

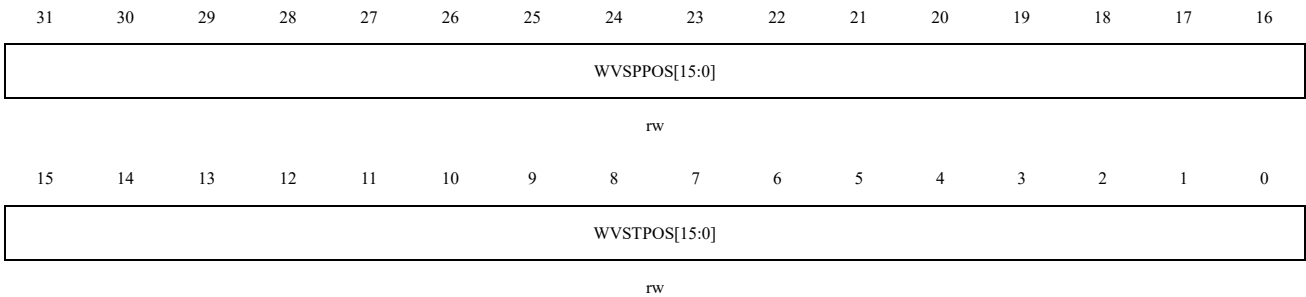
#### 44.7.18 LCDC 窗口垂直位置控制寄存器（LCDC\_WVPCTRL）

偏移地址：0x14+ 0x100\*y, (y=1 to 4)

复位值：0x0000 0000

一个帧的第一个可见行是在 LCDC\_BPCTRL 寄存器中编程的 AVBP[10:0]bits+1 的值。

一个帧的最后一个可见行是在 LTDC\_AWCR 寄存器中编程的 AAH[10:0]bits 的值。

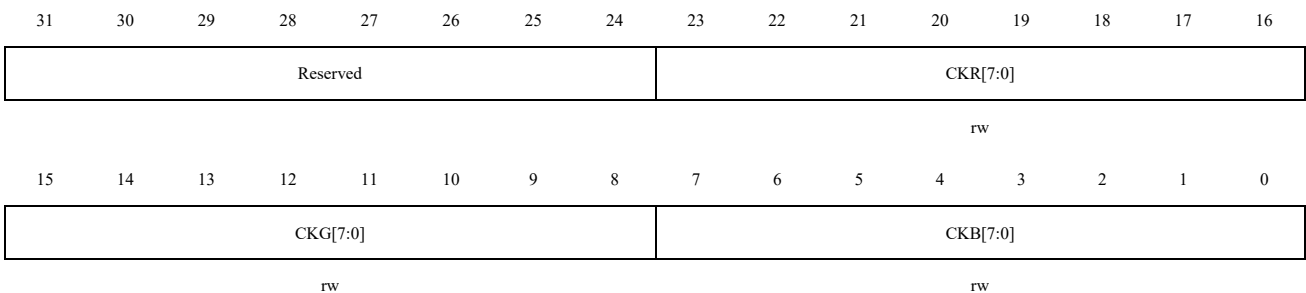


位域	名称	描述
31:16	WVSPPOS[15:0]	窗口垂直停止位置 这些位配置层窗口的最后一个可见行。
15:0	WVSTPOS [15:0]	窗口垂直开始位置 这些位配置层窗口的第一个可见行。

#### 44.7.19 LCDC 色键控制寄存器 (LCDC\_CKCTRL)

偏移地址:  $0x18 + 0x100 * y$ , ( $y = 1$  to  $4$ )

复位值: 0x0000 0000

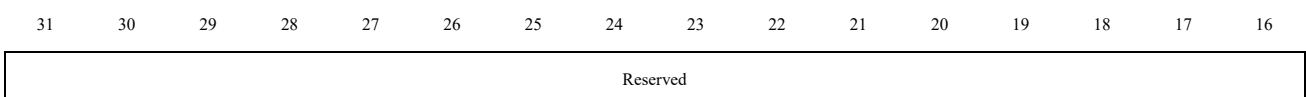


位域	名称	描述
31:24	Reserved	保留, 必须保持复位值。
23:16	CKR[7:0]	色键红色值。
15:8	CKG[7:0]	色键绿色值。
7:0	CKB[7:0]	色键蓝色值。

#### 44.7.20 LCDC 像素格式控制寄存器 (LCDC\_PFCTRL)

偏移地址:  $0x1C + 0x100 * y$ , ( $y = 1$  to  $4$ )

复位值: 0x0000 0000



15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													PF[2:0]		
rw															

位域	名称	描述
31:3	Reserved	保留，必须保持复位值。
2:0	PF[2:0]	像素格式 这些位用于配置像素格式。 000: ARGB8888。 001: ABGR8888。 010: RGBA8888。 011: BGRA8888。 100: RGB565。 101: BGR565。 110: RGB888。 111: 自定义。

#### 44.7.21 LCDC 恒定 Alpha 控制寄存器 (LCDC\_CACTRL)

偏移地址:  $0x20 + 0x100 * y$ , ( $y = 1$  to  $4$ )

复位值:  $0x0000\ 00FF$

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								CA[7:0]							
rw															

位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
7:0	CA[7:0]	恒定透明度 这些位用于配置混合操作中使用的恒定透明度。

#### 44.7.22 LCDC 默认颜色控制寄存器 (LCDC\_DCCTRL)

偏移地址:  $0x24 + 0x100 * y$ , ( $y = 1$  to  $4$ )

复位值:  $0x0000\ 0000$

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DCA[7:0]								DCR[7:0]							
rw								rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DCG[7:0]								DCB[7:0]							
rw								rw							

位域	名称	描述
31:24	DCA[7:0]	默认颜色 alpha 这些位配置默认 alpha 值。
23:16	DCR[7:0]	默认红色 这些位配置默认红色值。
15:8	DCG[7:0]	默认绿色 这些位配置默认绿色值。
7:0	DCB[7:0]	默认蓝色 这些位配置默认蓝色值。

### 44.7.23 LCDC 混合系数控制寄存器 (LCDC\_BFCTRL)

偏移地址:  $0x28 + 0x100 * y$ , ( $y = 1$  to  $4$ )

复位值:  $0x000z0607$ , ( $z = x - 1$ )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved											LBOP[3:0]				
											rw				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved					BF1[2:0]			Reserved					BF2[2:0]		
					rw								rw		

位域	名称	描述
31:20	Reserved	保留, 必须保持复位值。
19:16	LBOP[3:0]	图层混合顺序位置 (使用低 3 位) 该寄存器设置图层在混合顺序中的位置及混合因子 f1 和 f2: 图层混合顺序位置 1. 图层在混合顺序中的默认位置即其物理位置: (背景层 →) 图层 1 → 图层 2 → 图层 3 → ... 2. 可通过为图层分配不同位置编号来更改此顺序。 3. 重复/缺失/超范围的位置条目将导致所有图层位置恢复默认值。

位域	名称	描述
		混合因子 通用混合公式为： $c' = f1 \cdot c + f2 \cdot cs$ c': 混合后颜色 f1: 混合因子 1 c: 当前图层颜色 f2: 混合因子 2 cs: 混合操作中下层图层颜色
15:11	Reserved	保留，必须保持复位值。
10:8	BF1[2:0]	混合因子 1 这些位选择混合因子 1 000: 保留 001: 保留 010: 保留 011: 保留 100: 恒定 Alpha 101: 保留 110: 像素 Alpha × 恒定 Alpha 111: 保留
7:3	Reserved	保留，必须保持复位值。
2:0	BF2[2:0]	混合因子 2 这些位选择混合因子 F2 000: 保留 001: 保留 010: 保留 011: 保留 100: 保留 101: 1 - 恒定 Alpha 110: 保留 111: 1 - (像素 Alpha × 恒定 Alpha)

#### 44.7.24 LCDC 辅助帧缓冲控制寄存器 (LCDC\_AFBCTRL)

偏移地址:  $0x30 + 0x100 * y$ , ( $y = 1$  to  $4$ )

复位值:  $0x0000\ 0000$

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Reserved	YHEN	YUVIMDO[2:0]	YUVM[1:0]	YUVEN	Reserved
	rw	rw	rw	rw	

位域	名称	描述
31:10	Reserved	保留，必须保持复位值。
9	YHEN	Y 通道余量启用。 启用后，输入的 Y 值将在 16 ~ 235 范围内重新缩放至 0 ~ 255 范围，以满足 ITU-R BT.601 转换要求。
8:6	YUVIMDO[2:0]	YCbCr 4:2:2 交错模式分量输入顺序 这些控制位用于设置在使用 YCbCr 4:2:2 交错输入模式时，帧缓冲区中 Y0/Y1/Cb/Cr 分量的排列顺序。 YCbCr 4:2:0 半平面模式分量输入顺序 这些控制位用于设置在 YCbCr 4:2:0 半平面输入模式下帧缓冲区中 Cb/Cr 分量的排列顺序。 YCbCr 4:4:4 交错模式分量输入顺序 这些控制位用于设置在 YCbCr 4:4:4 交错输入模式下帧缓冲区中 Y0/Cb/Cr 分量的排列顺序。
5:4	YUVM[1:0]	YCbCr 输入转换模式 0: YCbCr 4:2:2 交错模式 1: YCbCr 4:2:0 半平面模式 2: YCbCr 4:2:0 平面模式 3: YCbCr 4:4:4 模式
3	YUVEN	YCbCr 输入转换使能 若使能，则根据第 5 至 4 位设置的模式，将颜色和辅助帧缓冲区像素数据从 YCbCr 转换为 RGB。若禁用，则不进行转换，模式设置对帧缓冲区数据无效。
2:0	Reserved	保留，必须保持复位值。

**表 44-5 YCbCr 4:2:2 交错模式分量输入顺序**

Ctrl-8bit	Ctrl-8bit	Ctrl-8bit	Interleaved FB Bytes			
Odd first	Cb first	Y first	3	2	1	0
0	0	0	Y1	Cb	Y0	Cr
1	0	0	Y0	Cb	Y1	Cr
0	1	0	Y1	Cr	Y0	Cb
1	1	0	Y0	Cr	Y1	Cb
0	0	1	Cb	Y1	Cr	Y0
1	0	1	Cb	Y0	Cr	Y1
0	1	1	Cr	Y1	Cb	Y0
1	1	1	Cr	Y0	Cb	Y1

**表 44-6 YCbCr 4:2:0 半平面模式分量输入顺序**

Ctrl-8bit	Ctrl-8bit	Ctrl-8bit	Interleaved FB Bytes	
Odd first	Cb first	Y first	1	0
-	0	-	Cb	Cr
-	1	-	Cr	Cb

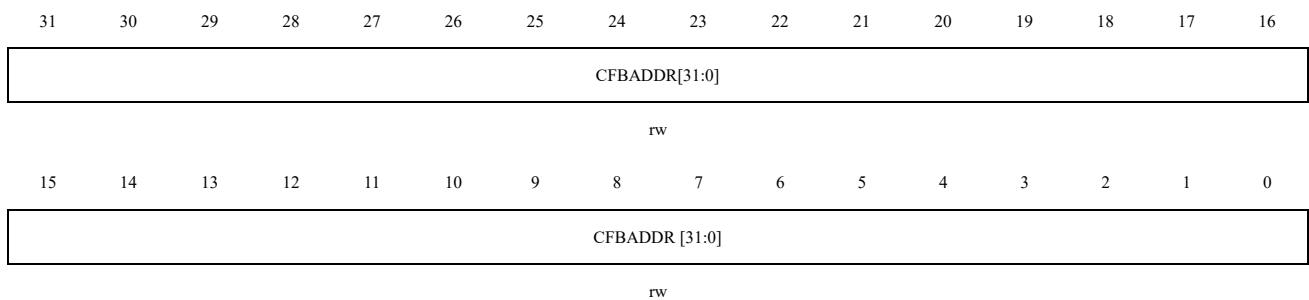
**表 44-7 YCbCr 4:4:4 交错模式分量输入顺序**

Ctrl-8bit	Ctrl-8bit	Ctrl-8bit	Interleaved FB Bytes		
Odd first	Cb first	Y first	3	2	0
-	0	0	Y0	Cb	Cr
-	0	1	Cb	Cr	Y0
-	1	0	Y0	Cr	Cb
-	1	1	Cr	Cb	Y0

### 44.7.25 LCDC 帧缓冲区地址寄存器 (LCDC\_CFBADDR)

偏移地址:  $0x34 + 0x100 * y$ , ( $y = 1$  to  $4$ )

复位值:  $0x0000\ 0000$



位域	名称	描述
31:0	CFBADDR[31:0]	颜色帧缓冲区起始地址。

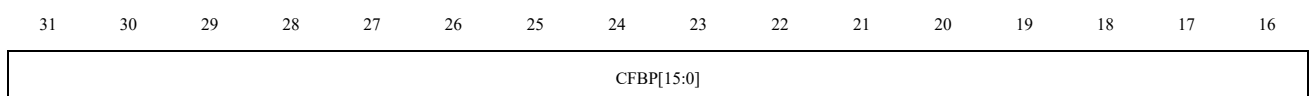
### 44.7.26 LCDC 帧缓冲区长度寄存器 (LCDC\_CFBLEN)

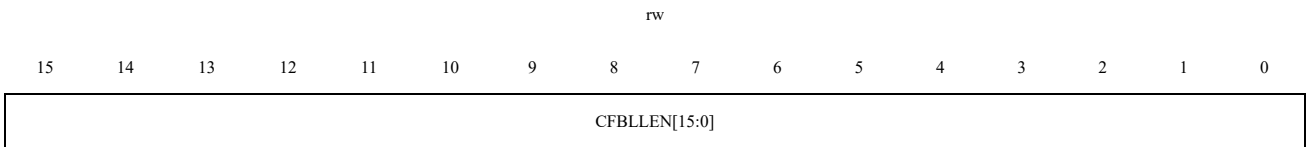
偏移地址:  $0x38 + 0x100 * y$ , ( $y = 1$  to  $4$ )

复位值:  $0x0000\ 0000$

示例: 一个具有 RGB565 格式 (每像素 2 字节) 且宽度为 256 像素的帧缓冲区 (每行总字节数为  $256 * 2 = 512$ ), 其中像素间距 (pitch) = 行长度, 需向该寄存器写入值  $0x02000207$ 。

示例: 一个具有 RGB888 格式 (每像素 3 字节) 且宽度为 320 像素 (每行总字节数为  $320 * 3 = 960$ ) 的帧缓冲区, 其中像素间距 (pitch) 等于行长度, 需向该寄存器写入值  $0x03c003c7$ 。





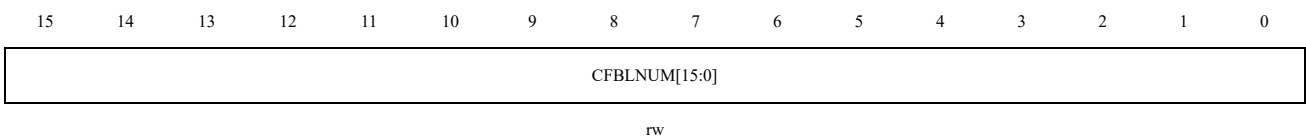
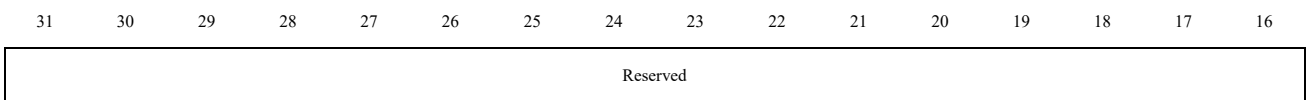
rw

位域	名称	描述
31:16	CFBP[15:0]	帧缓冲区间距（以字节为单位）。 这些位定义了从一行像素起始位置到下一行起始位置的字节增量。 该值为有符号数：负值将导致帧缓冲区垂直翻转。 读取此寄存器时，符号位[30]将扩展至位[31]。
15:0	CFBLLEN[15:0]	帧缓冲行长度。 这些位定义单行像素的长度（以字节为单位）+ 7。 行长度计算方式如下： 有效高宽度 x 每像素字节数 + 7。

#### 44.7.27 LCDC 帧缓冲区行数寄存器（LCDC\_CFBLNUM）

偏移地址：0x3C+ 0x100\*y, (y=1 to 4)

复位值：0x0000 0000

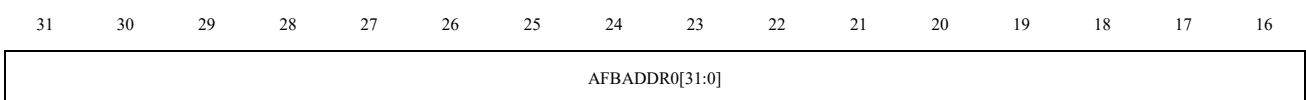


位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	CFBLNUM[15:0]	帧缓冲行数 这些位定义了帧缓冲区中高电平有效宽度对应的行数。

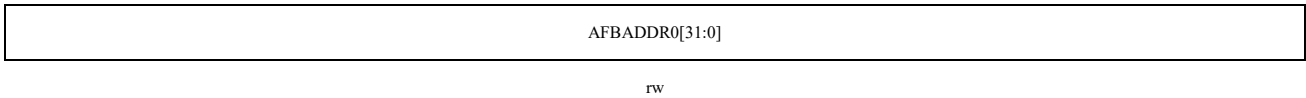
#### 44.7.28 LCDC 辅助帧缓冲区 0 地址寄存器（LCDC\_AFBADDR0）

偏移地址：0x40+ 0x100\*y, (y=1 to 4)

复位值：0x0000 0000





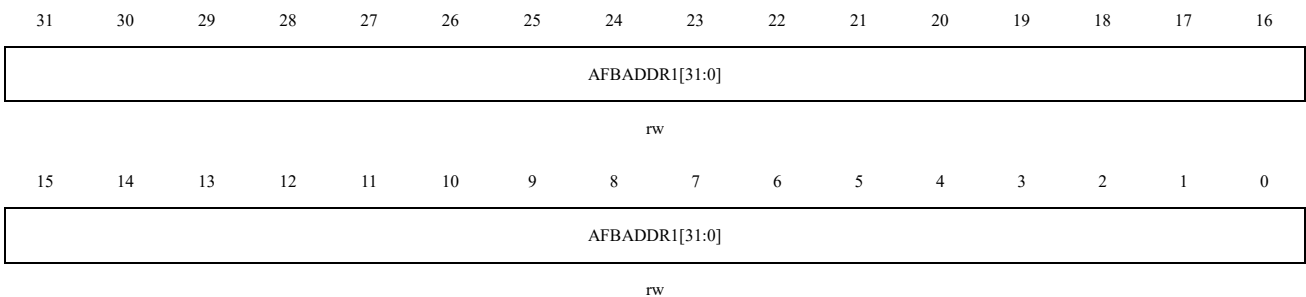


位域	名称	描述
31:0	AFBADDR0[31:0]	辅助帧 0 起始地址 这些位定义辅助帧 0 的起始地址。

### 44.7.29 LCDC 辅助帧缓冲区 1 地址寄存器 (LCDC\_AFBADDR1)

偏移地址:  $0x44 + 0x100 * y$ , ( $y = 1$  to  $4$ )

复位值:  $0x0000\ 0000$

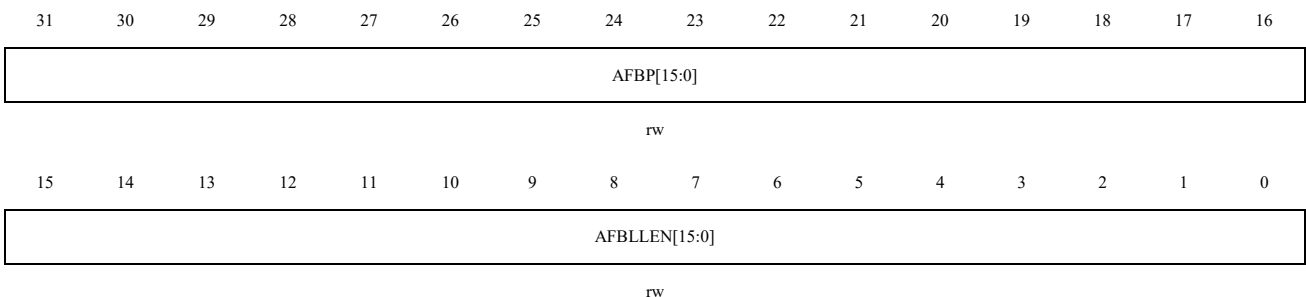


位域	名称	描述
31:0	AFBADDR1[31:0]	辅助帧 0 起始地址 这些位定义辅助帧 0 的起始地址。

### 44.7.30 LCDC 辅助帧缓冲区长度寄存器 (LCDC\_AFBLLEN)

偏移地址:  $0x48 + 0x100 * y$ , ( $y = 1$  to  $4$ )

复位值:  $0x0000\ 0000$

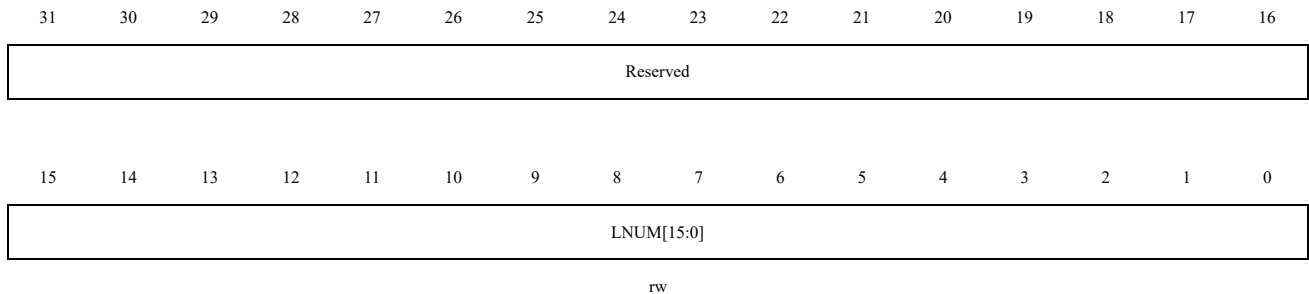


位域	名称	描述
31:16	AFBP[15:0]	辅助帧缓冲区间距 (以字节为单位)。
15:0	AFBLEN[15:0]	辅助帧缓冲区行长度+7。

### 44.7.31 LCDC 辅助帧缓冲区行数寄存器 (LCDC\_AFBLNUM)

偏移地址:  $0x4C + 0x100 * y$ , ( $y = 1$  to  $4$ )

复位值:  $0x0000\ 0000$

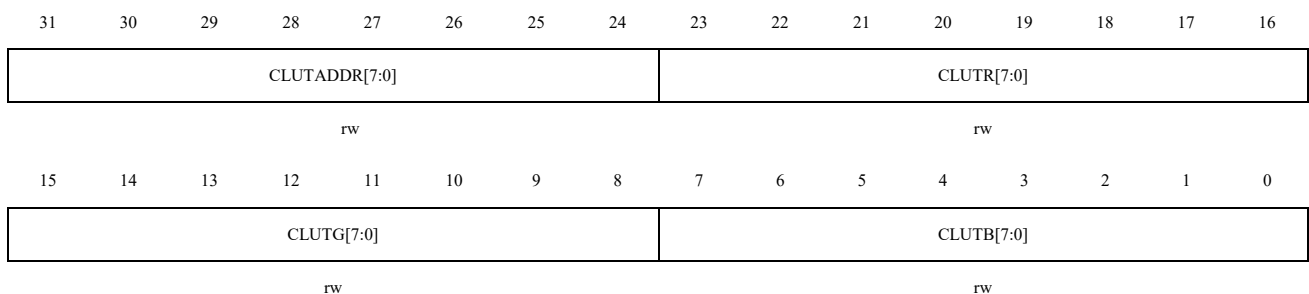


位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15:0	AFBLNUM[15:0]	辅助帧缓冲区 0/1 的行数。

### 44.7.32 LCDC CLUT 写寄存器 (LCDC\_CLUTWR)

偏移地址:  $0x50 + 0x100 * y$ , ( $y = 1$  to  $4$ )

复位值:  $0x0000\ 0000$



位域	名称	描述
31:24	CLUTADDR[7:0]	CLUT 地址 这些位配置每个 RGB 值的 CLUT 地址 (CLUT 内的颜色位置)。
23:15	CLUTR[7:0]	红色值 这些位配置红色值。
15:8	CLUTG[7:0]	绿色值 这些位配置绿色值。
7:0	CLUTB[7:0]	蓝色值 这些位配置蓝色值。

### 44.7.33 LCDC 缩放输入大小寄存器 (LCDC\_SINS)

偏移地址:  $0x54 + 0x100 * y$ , ( $y = 1$  to  $4$ )

复位值:  $0x0000\ 0000$

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				SINH[11:0]											
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				SINW[11:0]											
rw															

位域	名称	描述
31:28	Reserved	保留, 必须保持复位值。
27:16	SINH[11:0]	缩放输入高度 这些位配置缩放输入窗口的高度。
15:12	Reserved	保留, 必须保持复位值。
15:0	SINW[11:0]	缩放输入宽度 这些位配置缩放输入窗口的宽度。

### 44.7.34 LCDC 缩放输出大小寄存器 (LCDC\_SOUTS)

偏移地址:  $0x58 + 0x100 * y$ , ( $y = 1$  to  $4$ )

复位值:  $0x0000\ 0000$

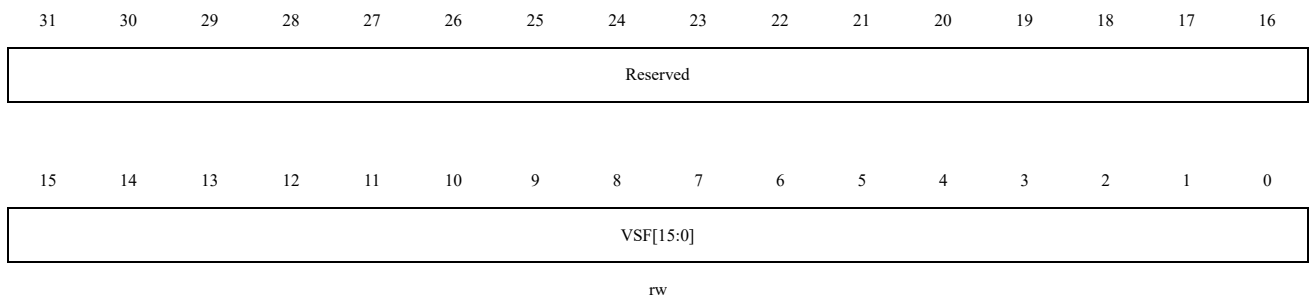
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				SOUTH[11:0]											
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				SOUTW[11:0]											
rw															

位域	名称	描述
31:28	Reserved	保留, 必须保持复位值。
27:16	SOUTH[11:0]	缩放输出高度 这些位配置缩放输出窗口的高度。
15:12	Reserved	保留, 必须保持复位值。
15:0	SOUTW[11:0]	缩放输出宽度 这些位配置缩放输出窗口的宽度。

### 44.7.35 LCDC 垂直缩放因子寄存器 (LCDC\_VSF)

偏移地址:  $0x5C + 0x100 * y$ , ( $y = 1$  to  $4$ )

复位值:  $0x0000\ 0000$

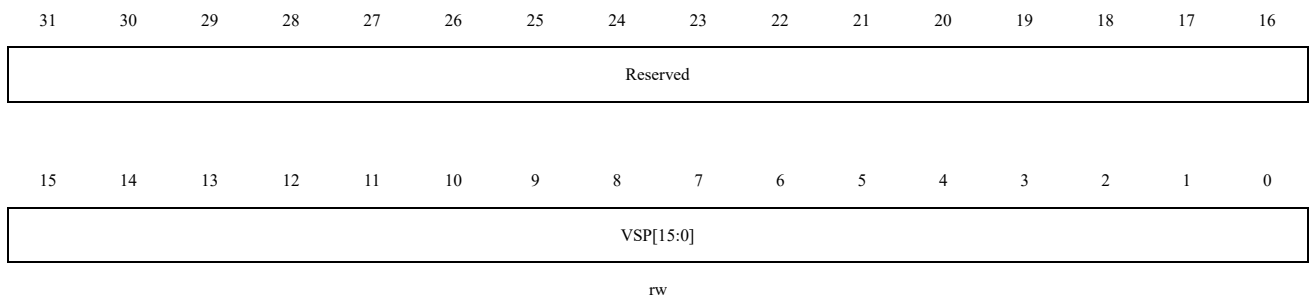


位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15:0	VSF[15:0]	垂直缩放因子 这些位配置垂直缩放因子值。

### 44.7.36 LCDC 垂直缩放相位寄存器 (LCDC\_VSP)

偏移地址:  $0x60 + 0x100 * y$ , ( $y = 1$  to  $4$ )

复位值:  $0x0000\ 0000$



位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15:0	VSP[15:0]	垂直缩放相位 这些位配置垂直缩放相位值。

### 44.7.37 LCDC 水平缩放因子寄存器 (LCDC\_HSF)

偏移地址:  $0x64 + 0x100 * y$ , ( $y = 1$  to  $4$ )

复位值:  $0x0000\ 0000$

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved															
----------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

HSF[15:0]															
-----------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	HSF[15:0]	水平缩放因子 这些位配置水平缩放因子值。

### 44.7.38 LCDC 水平缩放相位寄存器 (LCDC\_HSP)

偏移地址:  $0x68 + 0x100 * y$ , ( $y = 1$  to  $4$ )

复位值:  $0x0000\ 0000$

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved															
----------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

HSP[15:0]															
-----------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	HSP[15:0]	水平缩放相位 这些位配置水平缩放相位值。

### 44.7.39 LCDC YCbCr 比例寄存器 1 (LCDC\_YUVS1)

偏移地址:  $0x6C + 0x100 * y$ , ( $y = 1$  to  $4$ )

复位值:  $0x0000\ 0000$

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved									BUCS[9:0]						
----------	--	--	--	--	--	--	--	--	-----------	--	--	--	--	--	--

rw

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	RVCS[9:0]
----------	-----------

rw

位域	名称	描述
31:26	Reserved	保留，必须保持复位值。
25:16	BUCS[9:0]	蓝色分量比例系数 这些位配置蓝色分量比例系数。
15:10	Reserved	保留，必须保持复位值。
9:0	RVCS[9:0]	红色分量比例系数 这些位配置红色分量比例系数。

#### 44.7.40 LCDC YCbCr 比例寄存器 2 (LCDC\_YUVS2)

偏移地址：0x70+ 0x100\*y, (y=1 to 4)

复位值：0x0000 0000

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

Reserved	GUCS[9:0]
----------	-----------

rw

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

Reserved	GVCS[9:0]
----------	-----------

rw

位域	名称	描述
31:26	Reserved	保留，必须保持复位值。
25:16	GUCS[9:0]	蓝色分量对绿色通道比例系数 这些位配置蓝色分量对绿色通道比例系数。
15:10	Reserved	保留，必须保持复位值。
9:0	GVCS[9:0]	红色分量对绿色通道比例系数 这些位配置红色分量对绿色通道比例系数。

YCbCr 比例系数仅当启用 YCbCr 转 RGB 功能时使用。

这四个 10 位的缩放系数值用于 LCDC（色彩转换模块）内部的 YCbCr 到 RGB 转换，公式如下：

$$R = Yoffset + RedCrScale * Croffset$$

$$G = Yoffset - GreenCbScale * Cboffset - GreenCrScale * Croffset$$

$$B = Yoffset + BlueCbScale * Cboffset$$

如果“Y 动态范围启用”位被设置：

$$Yoffset = 255 * (Yinput - 16) / 219$$

$$C_{offset} = C_{input} - 128$$

$$C_{roffset} = C_{rinput} - 128$$

如果“Y 动态范围启用”位未被设置：

$$Y_{offset} = Y_{input}$$

$$C_{boffset} = C_{binput} - 128$$

$$C_{croffset} = C_{cinput} - 128$$

与比例值的乘法运算采用固定点乘法实现，输入和输出端均保留 8 位小数位，并进行舍入处理：

$$a * b = \text{round}(a_{in} * b_{in} / 256)$$

根据 ITU-R BT.601 标准进行 YCbCr 输入转换的示例：

Y 动态范围启用：

$$\text{RedCrScale} = 409$$

$$\text{GreenCbScale} = 100$$

$$\text{GreenCrScale} = 208$$

$$\text{BlueCbScale} = 516$$

#### 44.7.41 LCDC 自定义格式寄存器 1 (LCDC\_FCF1)

偏移地址：0x74+ 0x100\*y, (y=1 to 4)

复位值：0x0002 2100



位域	名称	描述
31:18	Reserved	保留，必须保持复位值。
17:14	RLENB[3:0]	红色位宽。
13:9	RSB[4:0]	红色起始位。
8:5	ALENB[3:0]	透明度位宽。
4:0	ASB[4:0]	透明度起始位。

#### 44.7.42 LCDC 自定义格式寄存器 2 (LCDC\_FCF2)

偏移地址：0x78+ 0x100\*y, (y=1 to 4)

复位值: 0x0012 3110

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved											BPP[2:0]		BLENB[3:0]		
											rw		rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BLENB[3:0]		BSB[4:0]				GLENB[3:0]			GSB[4:0]						
rw		rw				rw			rw						

位域	名称	描述
31:21	Reserved	保留, 必须保持复位值。
20:18	BPP[2:0]	像素字节数。 这些位配置每个像素点的字节数。
17:14	BLENB[3:0]	蓝色位宽。
13:9	BSB[4:0]	蓝色起始位。
8:5	GLENB[3:0]	绿色位宽。
4:0	GSB[4:0]	绿色起始位。



## 45 图形处理单元（GPU）

### 45.1 概述

N32H7xx 支持一个 2.5D GPU，用于嵌入式系统中的高分辨率显示器。即使在处理每帧数百万个像素时，该模块也进行了优化。

### 45.2 主要功能

2.5D GPU 支持的主要功能如下：

- 高渲染质量
  - ◆ 亚像素精确渲染
  - ◆ 直接边缘抗锯齿
  - ◆ 图元边缘模糊
  - ◆ 帧缓冲区回写时的静态抖动可增强 RGB565 输出
- 高性能
  - ◆ 300M 像素/秒填充率（300MHz 时钟，单管道）
  - ◆ 预取缓存
- 硬件加速图元
  - ◆ 快速清除/矩形填充
  - ◆ 线
  - ◆ 三角形
  - ◆ 四边形
  - ◆ 贝塞尔曲线
  - ◆ 高级的 Blit 操作，支持缩放、拉伸、旋转、着色和 Alpha 混合
  - ◆ 卷积滤波
- 混合
  - ◆ 正常 Alpha 混合
  - ◆ 独立 Alpha/颜色混合
  - ◆ 源/目标因子：0，1，源 Alpha，1-源 Alpha
- 纹理
  - ◆ 支持 4096 x 4096 纹理大小
  - ◆ 灵活的纹理颜色格式处理
    - ARGB8888、RGBA8888、RGB888、BGR888、ARGB8565、RGBA5658、ARGB4444、

RGBA4444、ARGB1555、RGBA5551、RGB565、AL88、AL44、AL17、AL8、AL4、AL2、AL1、ARGB2222、RGBA2222

- ◆ CLUT（彩色查找表）的索引格式
  - 适用于所有 ALx 格式
- ◆ RLE 纹理解压缩
- ◆ 纹理地址模式
  - 标准线性
  - 搅和
  - 反向搅和
  - 虚拟平铺
- 帧缓冲区
  - ◆ 支持 4096 x 4096
  - ◆ ARGB8888、rgba888、RGB888、BGR888、ARGB8565、RGBA5658、ARGB4444、RGBA4444、ARGB1555、RGBA5551、RGB565、A8、L8、AL17、ARGB2222、RGBA2222
  - ◆ 混合模式：混合、相乘、乘加、变暗、变亮
- 性能验证
  - ◆ 性能计数器
  - ◆ 可视化枚举效率
  - ◆ 可视化缓存突发访问长度

### 45.3 框图

图 45-1 GPU 框图

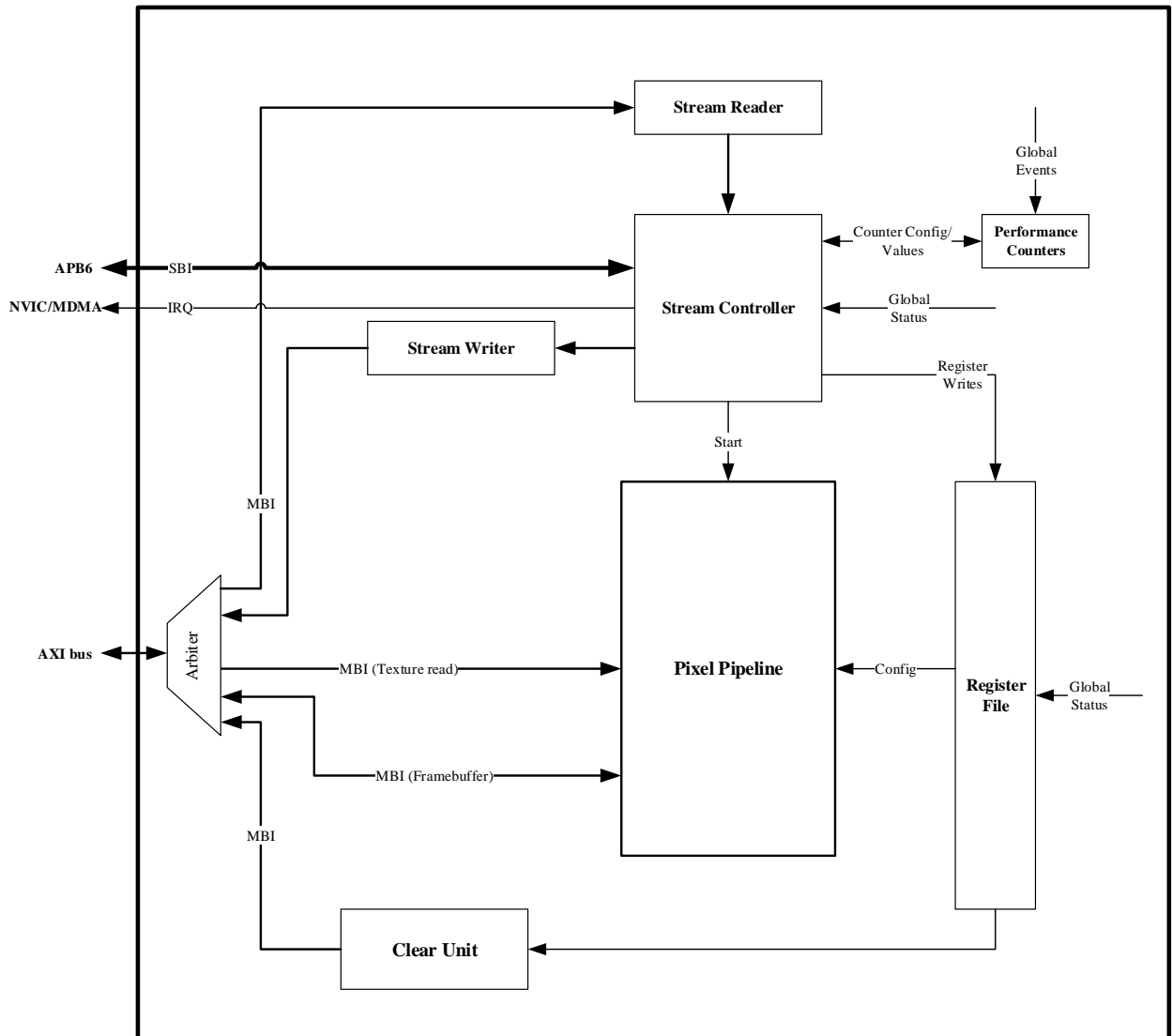
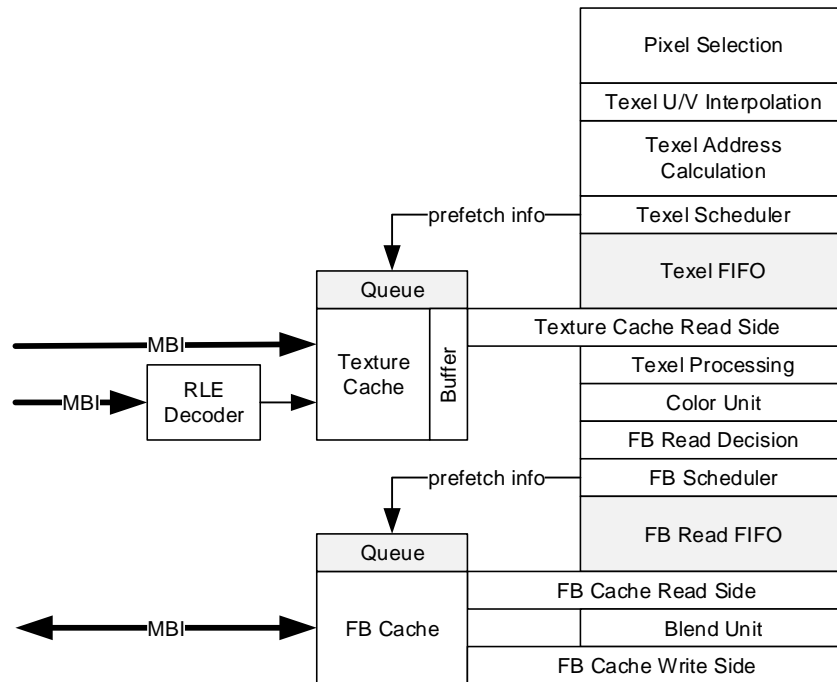


图 45-2 像素管道框图



#### (1)流控制器 (STC)

- ①通过 MBI (主总线接口) 从帧缓冲区读取和写入像素数据、读取纹理等
- ②通过 SBI (从总线接口) 提供外部寄存器访问等

#### (2)像素选择单元 (PSU)

扫描对象的边框, 并为每个像素确定它是在要渲染的对象的内部还是外部。内部的像素和它们的 x/y 坐标及用于抗锯齿的 8 位覆盖值, 一起输出到下一个模块。

#### (3)纹理 U/V 插值 (TXI)

该模块基于与像素 x/y 坐标的 (齐次) 2D 矩阵相乘来计算归一化纹理 u/v 坐标。它可以支持多个纹理单元 (纹理单元的最大数量取决于配置), 这些纹理单元被序列化到像素管道中, 归一化的 u/v 坐标与纹理单元 ID 一起输出。

#### (4)TXA 地址计算 (TXA)

通过应用纹理宽度和高度, 基于标准化纹理坐标计算四个绝对纹素偏移。在双线性滤波的情况下, 并行处理需要四个绝对纹素偏移。此外, 该模块还支持每像素 (和每纹理单元) 四个纹素偏移的倍数的多周期输出, 以支持卷积滤波。它支持线性、Z 字格搅和和虚拟平铺寻址模式。

#### (5)RLE 解码器 (RLD)

纹理高速缓存可以可选地通过游程长度解码单元将数据提取到高速缓存中, 而不是直接通过 MBI 来支持游程长度编码的纹理。

#### (6)纹素处理 (TXP)

将从纹理缓存接收的四个纹理采样组合为每个纹理的单个输出颜色。包含一个灵活的查找表 (LUT),

以支持索引纹理格式以及特殊模式，如 ARGB 颜色映射（LUT 存储映射的颜色通道值）和卷积滤波（LUT 保存卷积滤波器权重），也实现了色彩键控。

#### (7)颜色单元（COL）

在每个像素的多个过程中将多个恒定颜色值和纹理颜色值组合为单个输出颜色值（着色过程的最大数量取决于配置）。

#### (8)混合单元（BLU）

根据选定的混合模式，将源颜色（来自颜色单元）和目标颜色（来自帧缓冲区缓存读取端）组合为单个输出颜色。

#### (9)性能计数器（PFC）

可以使能相应的事件性能计数器，来读取当前值。

#### (10)清除单元（CLR）

使用常量值填充给定的内存区域。存储器区域可以通过宽度、高度和间距来指定，并且可以提供字节掩码来省略目标区域中的字节。

## 45.4 功能描述

### 45.4.1 流控制器（STC）

#### 45.4.1.1 流格式

流是一个 32 位字的序列，这些字是与命令或数据关联的。命令布局如下：

31	24	23	8	7	0
DF	Opcode	Arguments		Data Count	

- Bit 31：数据流（1bit）
- Bit 30...Bit 24：命令操作码（7bits）
- Bit 23...Bit 8：命令参数（16bits）
- Bit 7...Bit 0：数据计数（8bits）

在 DF=1 的每个命令之后，后面跟着与数据计数对应的数据字，0 到 255 的数据计数代表 1 到 256 个数据长度的数据字。在数据之后，下一个字又是一个命令。

#### 45.4.1.2 流命令

Command	Opcode	Arguments	Data
NOP	0x00	0	可选（用于填充流），将被丢弃

Wait	0x01	位等待掩码	无
Register Write	0x04	12 位寄存器起始地址	1~256 个寄存器字
Register Dump	0x05	12 位寄存器起始地址	2 个字, 第一个字为目标地址, 第二个字为转存寄存器数量-1
Jump/Call	0x08	0=Jump, 1=Call	1 或 2 个字, 结束地址 (Call 才有)+目标地址
Return	0x09	0	无
Checksum	0x7e	Bit 0: 0=禁能 Checksum 保护模式 1=使能 Checksum 保护模式 Bit11~1:0x5d4	1 个字, 校验和
Stream End	0x7f	位等待掩码	无

#### 45.4.1.3 启动命令流执行

对寄存器 `STREAM_ADDRESS` 执行写入操作, 会触发一个获取请求, 并从寄存器 `CALL_STACK_POINTER` 开始执行调用堆栈级别的命令流。在此之前, 调用堆栈指针通常应设置为 0, 调用堆栈级别 0 的结束地址应设置为 `0xfffff`。在暂停命令流执行后恢复或使用环形缓冲区模式的情况下, 这可能会有所不同。

#### 45.4.1.4 中断/错误

一共有五种不同的中断:

- 停止中断: 由于流结束、停止或流错误而停止流执行
- 暂停中断: 用于环形缓冲模式
- 暂缓中断: 暂缓请求后暂缓已完成
- MBI 错误中断: 收到外部 MBI 错误
- 同步中断: 当寄存器同步 ID 0 更改时

所有中断在寄存器 `Interrupt_status` 中都有一个状态位, 该状态位在触发时设置, 可以写为“1”以清除中断。控制寄存器中这些中断的使能位控制, 当设置相应的中断状态时, 是否断言相应的外部中断输出线。使能控制屏蔽中断线不会影响状态寄存器本身。

虽然这五个中断信号都是流控制器的单独输出线路, 但它们在内核的顶层上总共被组合成三个单独的中断线:

- 暂停 IRQ 有一条单独的 IRQ 线路

- 同步 IRQ 有一条单独的 IRQ 线路
- 停止 IRQ、暂缓 IRQ 和 MBI 错误 IRQ 被或组合到“特殊 IRQ”行

到达指定的暂停地址时产生地址暂停中断；每当寄存器同步 ID0 写入发生时产生同步寄存器更新完成中断；数据流结束、暂缓或错误执行时产生数据流异常中断。

## 45.4.2 像素选择单元 (PSU)

像素选择单元(PSU)的目的是发送对象的所有像素的 x/y 坐标及其覆盖值。不输出覆盖率为 0 的像素。为了将对象的像素绘制到帧缓冲区中，有必要枚举属于该对象的所有像素。一个物体可以是三角形、四边形，甚至贝塞尔(Bezier)曲线。

每个对象都位于由 LIM\_BBOX\_XMIN、LIM\_BBOX\_XMAX、LIM\_BBOX\_YMIN 和 LIM\_BBOX\_YMAX 寄存器定义的矩形轴对齐的边框 (Bbox) 内，并且由 LIM\_VSTART、LIM\_DX 和 LIM\_DY 寄存器定义的一组线性边 (限制器) 分隔，枚举被 x 和 y 坐标的两个最大值 (LIM\_BBOX\_MAX 寄存器的 M\_LIM\_XMAX 和 M\_LIM\_YMAX) 截断，作为一种安全功能，以避免生成帧缓冲区之外的像素。

PSU 逐像素枚举 Bbox 内部，同时尝试只枚举属于对象的像素，以尽量减少浪费在不可见像素上的周期数。枚举从寄存器 LIM\_START\_Y 中设置的垂直位置的 Bbox 左边界开始。必须相应地设置与该开始位置相关的限制器开始值 (LIM\_VSTART)。

整个枚举过程在写入控制寄存器 (LIM\_CTRL) 时开始。控制寄存器还控制限制器如何输出其各自的覆盖值。可选的 Bezier 后处理通过将前两个限制器值组合为 Bezier 覆盖值来计算覆盖值。

### 45.4.2.1 限制器

限制器实现了一个线性边缘函数： $value=vstart+x*dx+y*dy$ ，该函数在硬件中递增计算。

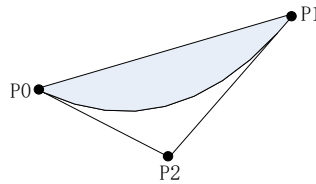
对于 PSU 的覆盖输出，所有限制器的输出值组合如下：七个内部覆盖值中最小的两个（六个线性限制器+可选的 Bezier 后处理）相乘。当 Bezier 单元被禁用时，它被完全绕过，即与启用时相比，PSU 的延迟减少。

### 45.4.2.2 枚举步骤

PSU 枚举尽可能少的不属于对象的像素。通常它从位置  $x/y=LIM\_BBOX\_XMIN.M\_LIM\_BBOX\_XMIN/LIM\_START.M\_LIM\_START\_Y$  开始，以尽可能少的步数（向右、向上和向下）进入对象内部。在对象内部，如有必要，它会先从左到右、从上到下，然后从左到右、从下到上。状态机控制 Bbox 枚举单元和限制器单元。它检查边框的极限和所有限制器的输出，并确定下一步。

一个特殊的功能是“线条枚举”模式，当 LIM\_STRIPE.M\_LIM\_STRIPE\_WIDTH 设置为不同于 0 的值时，该模式将启用。在这种模式下，枚举不会一次跳到边界框的右边界，而是在距离 LIM\_STRIPE.M\_LIM\_STRIP\_WIDTH 的垂直边界处停止，并首先处理一个完整的线条，然后再跳到右边的下一个线条。在平铺或搅和纹理模式下进行纹理映射时，此模式是明智的，可以减少纹理缓存未命中的次数。LIM\_STRIPE.M\_LIM\_STRIP\_OFFSET 可用于通过提供不为 0 的初始值，来实现边界框内的第一线条的宽度不同于 LIM\_STRIPE.M\_LIM\_STRIE\_WIDTH。此功能可用于例如将线条边界与帧缓冲区缓存标签边界对齐（前提是帧缓冲区缓存行的长度是线条宽度的数倍）。

### 45.4.2.3 贝塞尔(Bézier)后处理



Bézier 函数单元是覆盖值的可选后处理块。它将不属于二次 Bézier 曲线的所有像素的覆盖范围设置为零。二次 Bézier 曲线由一个控制三角形定义，该三角形同时也是被枚举的三角形。

贝塞尔模式由 LIM\_CTRL.M\_BEZ\_CTRL[0] 启用。如果 BEZ\_AA\_CTRL.M\_BEZ\_WIDTH 为 0，则 LIM\_CTRL.M\_BEZ\_CTRL[1] 控制 Bézier 曲线的凸 (0) 和凹 (1) 形状。

如果 BEZ\_AA\_CTRL.M\_BEZ\_AA 不为 0，则将对曲线应用抗锯齿。抗锯齿的宽度必须设置为寄存器的倒数值。抗锯齿的位置可以通过 BEZ\_AA\_CTRL.M\_BEZ\_AA\_OFFSET 的有符号值向曲线内部或外部移动。如果 BEZ\_AA\_CTRL.M\_BEZ\_WIDTH 大于 0，则 Bézier 曲线将绘制为具有指定宽度的线。

如果抗锯齿扩展了控制三角形的限制器，则该区域将被截断。为了避免这种情况，可以使用偏移量计算相应的限制器，以便将该区域包括在枚举中。如果该限制器也用于 Bézier 计算，则必须补偿偏移并将其设置到 BEZ\_VOFF 寄存器中。

对于较大的 Bézier 曲线，限制器的值可能会变得非常小，这可能导致量化伪影。为了提高计算精度，可以扩大限制器的范围。该缩放比例值应设置到 BEZ\_CTRL.M\_BEZ\_LIM\_SCALE 中。

### 45.4.3 清除单元 (CLR)

清除单元可以使用常量值填充给定的内存区域。存储器区域可以通过宽度、高度和间距来指定，并且可以提供字节掩码来省略目标区域中的字节。

在写入 CLR\_START\_ADDRESS 时，清除单元使用 CLR\_CTRL.M\_CLR\_MASK 掩码将 CLR\_VALUE.M\_CLR\_VALUE 的值写入到由 CLR\_CTRL.M\_CLR\_NUM\_LINES、CLR\_LINE\_CONFIG.M\_CLR\_LINE\_LENGTH 和 CLR\_LINE\_CONFIG.M\_CLR\_PITCH 定义的从 CLR\_START\_ADDRESS 开始的存储区域中的所有字节。

### 45.4.4 纹素 U/V 插值 (TXI)

TXI 模块计算所有活动纹理单元的归一化 U/V 对。当启用两个纹理单元 (TEX\_GLOBAL.M\_TEX\_NUM\_UNITS) 时，这两个纹理单位的结果被序列化为两个周期，这就是为什么管道中需要纹理 ID 的原因。当深度插值也启用时 (TEX\_GLOBAL.M\_TEX\_DEPTH\_ENABLE)，每个像素需要一个额外的周期。

纹理像素坐标标志用于允许在纹理像素地址计算 (TXA) 单元中进行正确的包裹：TXI 有效地丢弃了归一化纹理坐标的整数部分，但在某些包裹模式下，部分丢失的信息与 TXA 相关，因此它被编码在纹理像素坐标标记中。



## 45.4.5 纹素地址计算 (TXA)

### 45.4.5.1 基本功能

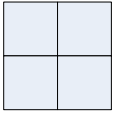
TXA 模块的主要目的是基于单个归一化纹理 U/V 输入坐标,生成每个周期四个纹素的绝对偏移(以位为单位)。对于双线性滤波,U/V 位置的小数部分(每个 8 位)被输出到 TXP 单元,TXP 单元最终执行滤波。此外, TXA 模块支持卷积滤波的多周期地址计算。

关于纹理的过滤, TXA 单元的使用有三种基本模式:

- 最近邻过滤: 过滤关闭, 过滤器卷积核为 1x1, 每个纹理单元单个输出
- 双线性滤波: 滤波打开, 滤波器卷积核为 2x2, 每个纹理单元单个输出
- 卷积滤波: 滤波打开, 滤波器卷积核为 NxM, 每个纹理单元可能有多个输出(即多个周期)

图 45-3 不同滤波器核示例

Filter sample shape QUAD



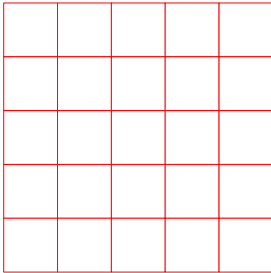
Filter sample shape ROW



Filter sample shape COLUMN



5 x 5 filter kernel



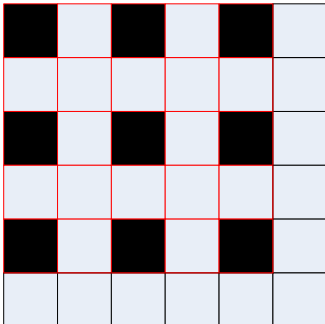
6 x 1 filter kernel



1 x 5 filter kernel



3 x 3 QUAD samples



2 x 1 ROW samples



1 x 2 COLUMN samples

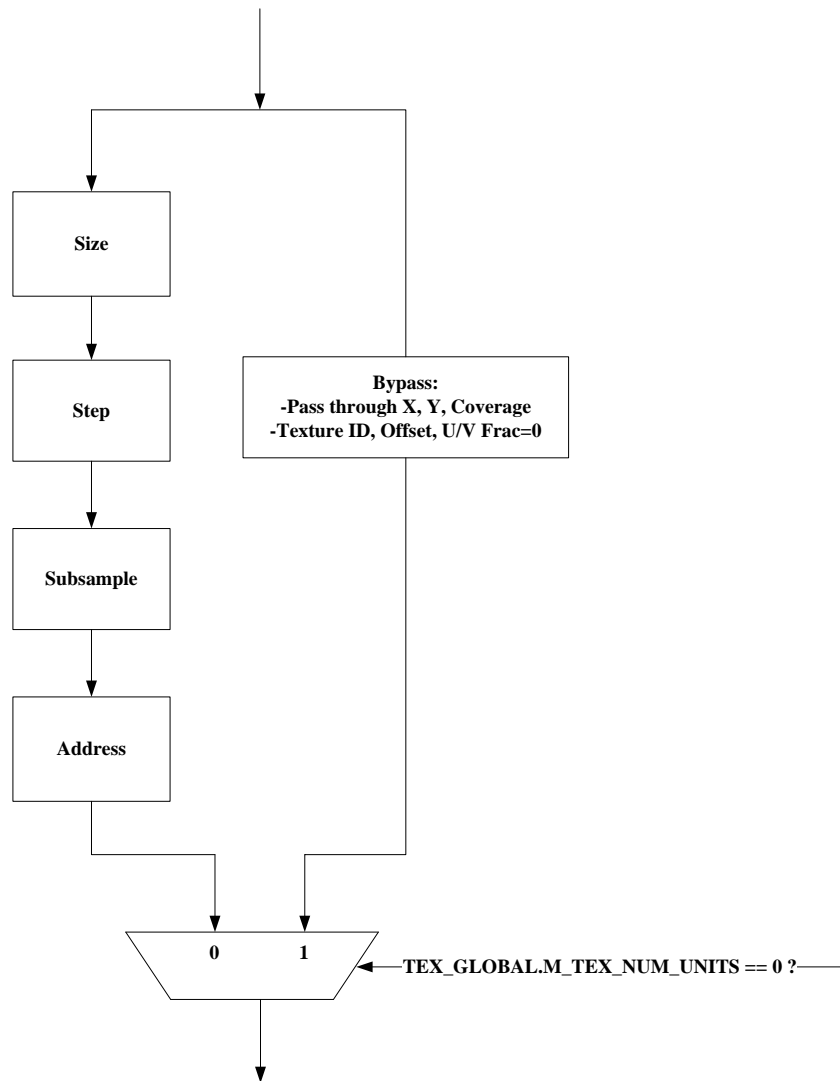


基本的滤波器采样形状仍然是 2x2 纹理像素 (“QUAD”), 就像双线性滤波的情况一样 (顶部)。完整卷积核 (中心) 需要 5x5 纹理像素。因此, 2x2 采样中的多个采样用于覆盖完整的 5x5 卷积核 (底部)。在右侧和底部, “QUAD” 采样与 5x5 卷积核重叠, 需要忽略相应的子采样。

该方案适用于一维卷积核, 如中心和右侧所示, 在这些情况下, 使用过滤器形状 “ROW” 和 “COLUMN” 而不是 “QUAD”。

### 45.4.5.2 子模块结构

图 45-4 纹理地址计算结构框图



TXA 模块由简单级联的四个子模块组成。如果纹理完全禁用 (TEX\_GLOBAL.M\_TEX\_NUM\_UNITS==0)，则使用上述旁路（即此模块不会发生管道延迟）。

结合上述示例图像，可以更好地理解子模块的目的：

- Size 将归一化的 u/v 坐标乘以宽度/高度，从而转换为绝对坐标，该模块每个周期输出单个坐标。
- Step 对于需要多个采样的较大内核很重要。由“Size”计算的坐标适用于左上角的采样。此模块计算其他采样的左上角坐标，因此可能在每个输入条目的输出端生成多个管道条目。从这里开始，内核的最后一个采样被标记为“last\_sample”。该模块每个周期仍然输出一个坐标。
- Subsample 为每个采样生成缺失的 3 个坐标，该模块的输出是每个周期 4 个坐标。
- Address 考虑到平铺模式和间距以及每像素的比特数，它从 u/v 转换为实际比特偏移。

## 45.4.6 纹理缓存/调度程序 (TXC/TXS)

### 45.4.6.1 获取缓存行

纹理缓存提供 2 组 4 个缓存行，每组（4 路组关联）每个纹理单元。因此，缓存行的总数为  $2 \times 2 \times 4 = 16$  行，但每个纹理单元只能使用 8 行。每个单元独立缓存行的优点是，单元之间不会发生缓存抖动。缓存行的长度为 16。

TXA 模块的主要目的是基于单个归一化纹理 U/V 输入坐标，生成每个周期四个纹素的绝对偏移（以位为单位）。对于双线性滤波，U/V 位置的小数部分（每个 8 位）被输出到 TXP 单元，TXP 单元最终执行滤波。此外，TXA 模块支持卷积滤波的多周期地址计算。

缓存行的实际提取是由缓存部分根据来自调度器的“预取作业”完成的。缓存行通常通过 MBI 相对于地址 TXC\_START\_ADDRESS 获取，但如果设置了 TXC\_USE\_RLD，则可以通过 RLE 解码器 (RLD) 获取。如果选择了非无虚拟平铺模式 (TEX\_MODE.M\_TEX\_VIRTUAL\_TILING\_MODE)，则缓存将使用由 TXP\_CTRL.M\_TXC\_BURST\_PITCH 偏移的多个脉冲串填充缓存行。（此模式仅适用于 MBI 获取，不适用于从 RLD 获取。对任何单元的 TXC\_START\_ADDRESS 进行写入时，缓存将完全无效，即对先前缓存内容的后续读取访问将触发新的读取。

### 45.4.6.2 调试模式

当通过寄存器 TEX\_GLOBAL.M\_TXC\_DEBUG\_MODE 选择调试模式时，纹理缓存可以更改像素的颜色，以显示每个像素的某些性能事件。它在覆盖信号上对颜色进行编码，这意味着必须启用混合单元的调试着色（参见寄存器 BLU\_WRITE.M\_BLU\_COVERAGE\_DEBUG\_ENABLE）才能使用此功能。

纹理缓存中有四个事件会影响调试着色：

- FIRST\_PIXEL：访问行的第一个像素
- REFRESH：像素触发一个或多个访问计数溢出
- FETCH\_WAIT：像素需要在缓存输入处等待取数，即无法完全隐藏预取延迟。
- RAM\_WAIT：像素需要在缓存 RAM 处等待，因为并非所有纹理像素都可以通过纹理像素缓冲区或单个缓存 RAM 访问周期进行访问，这是每个像素都可以访问的，没有不利影响。

## 45.4.7 RLE 解码器 (RLD)

### 45.4.7.1 基本功能

RLD 单元允许使用每个像素具有 1 到 4 个字节的行程长度编码纹理。当为单个纹理单元启用 TXP\_CTRL.M\_TXC\_USE\_RLD 时，RLE 纹理由纹理缓存从 RLD 单元透明地获取。

RLD 单元被设计为提供对行程长度编码纹理的透明访问。为此，纹理缓存请求 RLD 单元的绝对字节偏移，RLD 单元内部跟踪相对于该偏移的解码进度。实现了两个特殊的性能特征，以在来自纹理缓存的请求不是连续偏移的情况下加速解码，并提供虚拟随机访问：

- 快进：当来自纹理缓存的请求偏移有效地跳过了纹理的一部分（例如间距 > 宽度）时，来自 RLE 纹理的运行长度编码数据包将在单个周期内跳过，而不是“倒计时”。
- 快退：如果请求的偏移量低于之前请求的偏移，RLE 解码将从头开始，使用快进功能尽可能快地跳到请求的偏移。

从纹理缓存的角度来看，三字节 RLE 纹理实际上是作为四字节纹理来访问的，即 RLD 单元将为每个 24 位的空位预加 0xff（即假设 ARGB8888 格式）。

#### 45.4.7.2 RLE 格式

行程编码（RLE）图像包括两种类型的数据元素：行程数据包和原始数据包。每个数据包的第一个字段（1 字节）称为像素计数字段。第二个字段称为像素数据字段（1、2、3 或 4 字节）。对于运行长度数据包，像数据字段包含一个像素值。对于原始数据包，此字段具有可变数量的像素值。像素计数的最高阶位指示数据包是原始数据包或行程数据包。如果像素计数的第 7 位设置为 1，则数据包为运行长度数据包，否则为原始数据包。像素计数的低 7 位指定数据包表示的像素值。在行程数据包的情况下，此计数指示有多少连续像素具有像素数据字段指定的像素值。对于原始数据包，“像素计数”指定在下一个数据包开始之前实际跟随的像素值。此 7 位值被编码为比数据包中的像素数少 1（值为 0 表示 1 像素，而 0x7f 的值指示 128 个像素）。

表 45-1 行程包 RLE 格式

文件名称	包类型	像素计数	像素数据
字段大小	1 bit	7 bits	像素宽度 (RLE 解码器寄存器设置)
内容	对于行程包，必须为“1”	该数据包编码的像素数-1 (重复计数)	要使用的常用像素数据值

行程数据包由两部分组成。第一个是重复计数，第二个是要重复的像素值。

表 45-2 原始包 RLE 格式

文件名称	包类型	像素计数	像素数据
字段大小	1 bit	7 bits	像素宽度 * 像素计数 +1
内容	对于原始包，必须为“0”	该数据包编码的像素数-1	该数据包中包含的原始像素序列

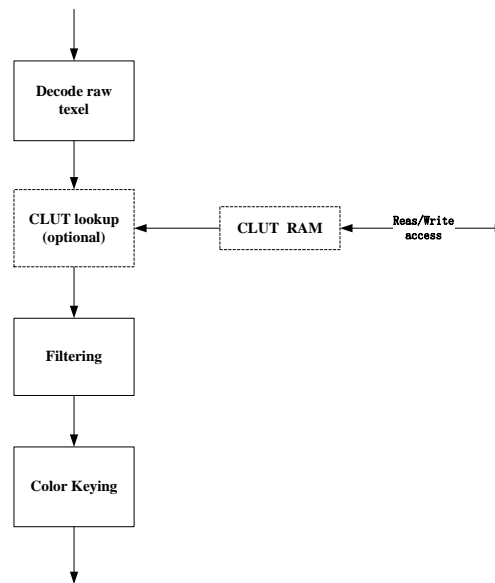
原始数据包是由两个字段组成。第一个字段是像素计数，第二个字段是“像素数据”字段。第二个字段的长度取决于“像素计数”字段的值。

### 45.4.8 纹素处理 (TXP)

#### 45.4.8.1 子模块结构

TXP 模块为每个像素和纹理单元生成单个输出颜色值。它由四个子模块组成：

图 45-5 纹素处理框图



#### 45.4.8.2 CLUT 查找

CLUT 是 TXP 块内的单端口 RAM，可以通过 SBI 或命令流进行读/写。

当 TXP\_CTRL.M\_TXP\_CLUT\_MODE 不是 OFF 时，它作为 TXP 操作的一部分被访问。当 CLUT 被 TXP 主动使用时，不允许从外部通过 SBI 或从命令流对 CLUT RAM 进行任何其他访问（读取或写入）。它们会导致 TXP 操作获得不正确的查找结果。

CLUT 在逻辑上包含不同类型的值，具体取决于 TXP\_CTRL.M\_TXP\_CLUT\_MODE:

- INDEXED\_COLOR:CLUT 包含颜色值
- MAP\_(A)RGB:CLUT 包含映射的通道值
- CONVOLUTION(\_SIGNED): CLUT 包含用于卷积滤波的滤波器权重

#### 45.4.8.3 滤波/ARGB 映射结合

此阶段根据 CLUT 模式确定最终输出颜色:

- MAP\_(A) RGB: 不进行滤波，CLUT 查找结果直接用作输出颜色。
- CONVOLUTION (\_SIGNED): CLUT 查找结果用作过滤器权重，覆盖基于 Texel\_U\_Frac 和 Texel\_V\_Frac 的默认双线性权重。
- OFF: 双线性过滤，基于 Texel\_U\_Frac 和 Texel\_V\_Frac 的权重。

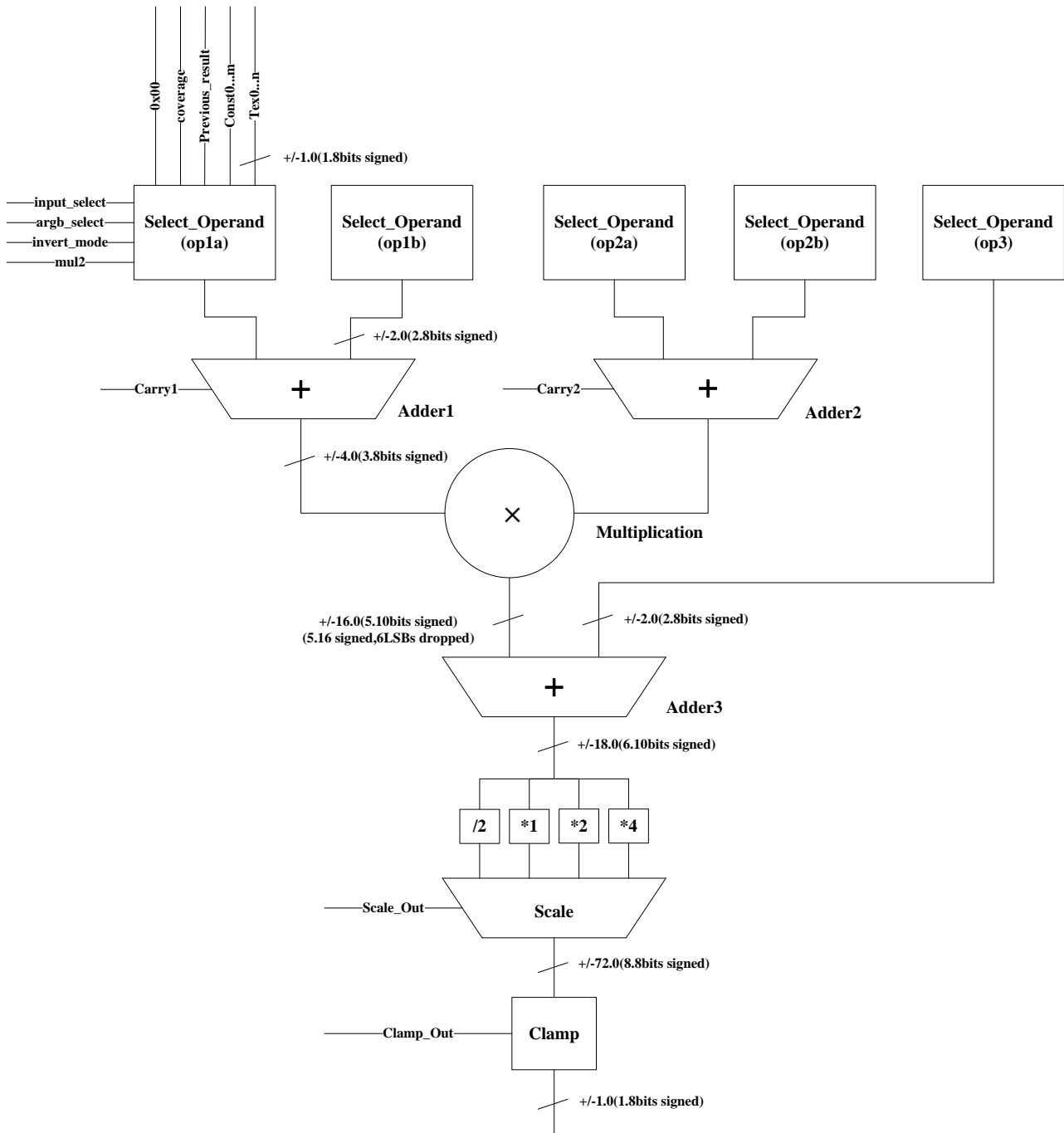
使用来自 CLUT 的双线性滤波器权重或卷积滤波器权重对每个时钟周期的四个纹理像素进行滤波加权。在卷积滤波的情况下，加权颜色值可以在多个时钟周期内累加。在累积周期结束时，比例和偏差应用到累加值上。

#### 45.4.9 颜色单元 (COL)

颜色单元有四个并行的 Alpha、R、G 和 B 的 Alpha/Color 路径。Alpha 路径有单独的寄存器，R、G 和 B 的颜色路径，除了“input select”输入选择控制，其他由同一组寄存器控制。

颜色单元的 Alpha/Color 路径如下图所示：

图 45-6 颜色单元内核 Alpha/RGB 路径



#### 45.4.10 帧缓冲区读取决策（FBD）

FBD 模块实现了 Alpha 测试功能，可用于根据其 Alpha 值丢弃彩色纹理像素，例如避免不必要的读-修改-写访问。在正常的混合情况下，Alpha 测试将被配置为“如果大于 0 则通过”，以有效地丢弃此阶段已经存在的透明源像素。

此外，读取决策标志用于为帧缓冲区调度器生成每像素读取指示。这些标志需要根据混合单元中配置的混合模式进行设置。

## 45.4.11 帧缓冲区缓存/调度程序 (FBC/FBS)

### 45.4.11.1 基本功能

调度程序基于输入的 x/y 坐标和 FBS\_PITCH 以及由 FB\_PIXEL\_ORG 定义的每个像素的字节来计算进入帧缓冲器的偏移 (以字节为单位)。然后它扫描偏移的连续跨度 (无间隙的像素序列), 调度这些偏移并安排帧缓冲区缓存预取。缓存依次从队列中获取这些作业, 并将每个跨度分配给一个缓存行。

由于帧缓冲区中不一定存在闭合的“读取跨度”, 因此在一个跨度内可能存在多个有效的闭合读取跨度, 其间存在间隙 (例如不需要读取的像素)。寄存器 FBS\_SPAN\_CONFIG.M\_FBS\_READ\_GAP\_LENGTH\_LIMIT 可以用于在读取间隙变得太长时控制一个跨度生成多个读取跨度。请注意, 当使用不带透明度的抗锯齿时, 在扫描行的开始和结束处都“使能读取”(例如未完全覆盖的像素), 而内部像素是不透明时, 可能会有很多跨度。针对这些情况调整 FBS\_SPAN\_CONFIG.M\_FBS\_READ\_GAP\_LENGTH\_LIMIT 的值可以提高性能或节省总线周期。

一个跨度中的最大字节数受到帧缓冲区缓存行的长度限制 (16x8=128 字节)。取决于 FB\_PIXEL\_ORG 相当于 32、64 或 128 个像素的配置。因此, 从 FBC\_START\_ADDRESS 处的帧缓冲区开始计数, 每 32、64 或 128 个像素就有一个“缓存行边界”, 像素跨度可能不会交叉

跨度总是分为两个跨度。

对于某些性能调整技巧, 可以使用 FBS\_SPAN\_CONFIG.M\_FBS\_SPAN\_LENGTH\_LIMIT 进一步减小跨度的最大长度。这可以用于例如在 8 位帧缓冲区格式的情况下强制最大 64 个像素跨度。

### 45.4.11.2 调试模式

当 FBS\_PITCH.M\_FBS\_DEBUG\_ENABLE 设置为 1 时, 像素输出处的颜色将被覆盖, 如下所示:

- 只写: 0xFFFFFFFF (白色)
- 读写: 0x00CC00 (绿色)
- 仅写时跨度结束: 0xFF0000 (红色)
- 读写时跨度结束: 0xFF9400 (橙色)
- 由于达到读取间隙长度限制而一分为二的作业的最后一个像素: 0xA101A6 (紫色)

## 45.4.12 混合单元 (BLU)

### 45.4.12.1 基本功能

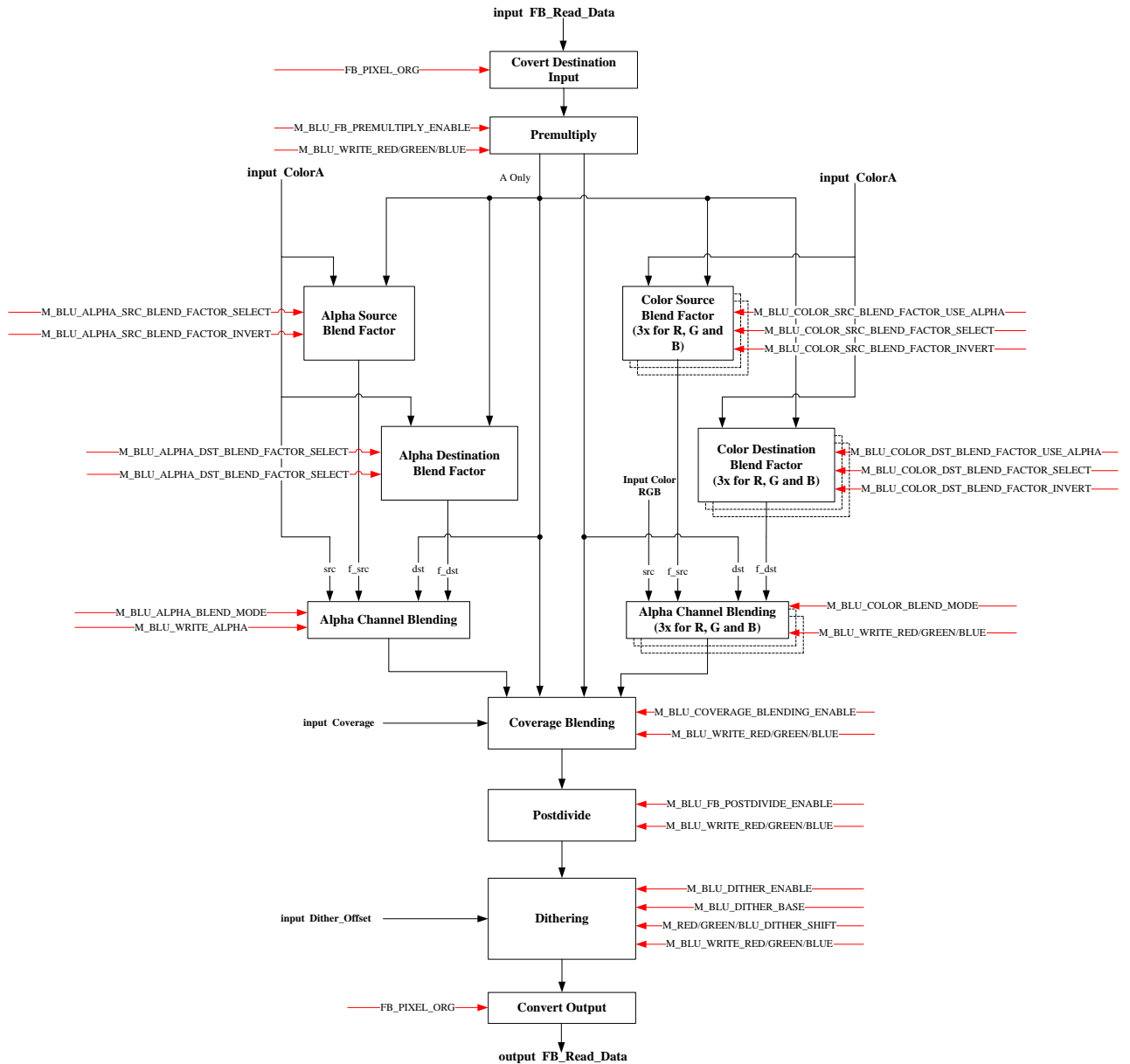
混合单元执行以下操作, 如下图所示:

- 根据当前帧缓冲区格式, 将原始目标输入像素数据 (从帧缓冲区读取像素 FB\_Read\_data) 转换为内部 ARGB8888 格式
- 启用时预乘目标输入
- 在以下步骤中, 独立混合源输入像素颜色 (color) 和转换后的目标输入颜色, 用于 A 和 R、G、B:
  - 选择源和目标因子
  - 根据混合模式、因子和写入掩码进行混合 (写入掩码可用于单独通过所有 4 个通道的目标颜色, 即禁用单个通道上的混合)



- 启用时进行覆盖混合
- 启用后分割覆盖混合结果
- 启用时对 R、G 和 B 通道应用抖动
- 将输出 ARGB8888 格式转换回当前帧缓冲区格式

图 45-7 混合单元框图



### 45.4.12.2 预乘

启用预乘法后，目标颜色的颜色通道将乘以其 Alpha 值。否则，它们将保持不变。写掩码抑制了每个通道的预乘。

### 45.4.12.3 Alpha/颜色写屏蔽

颜色写入屏蔽允许对选定的 Alpha/颜色通道进行混合。如果禁用，则将相应通道的原始帧缓冲区值发送到输出格式转换阶段。

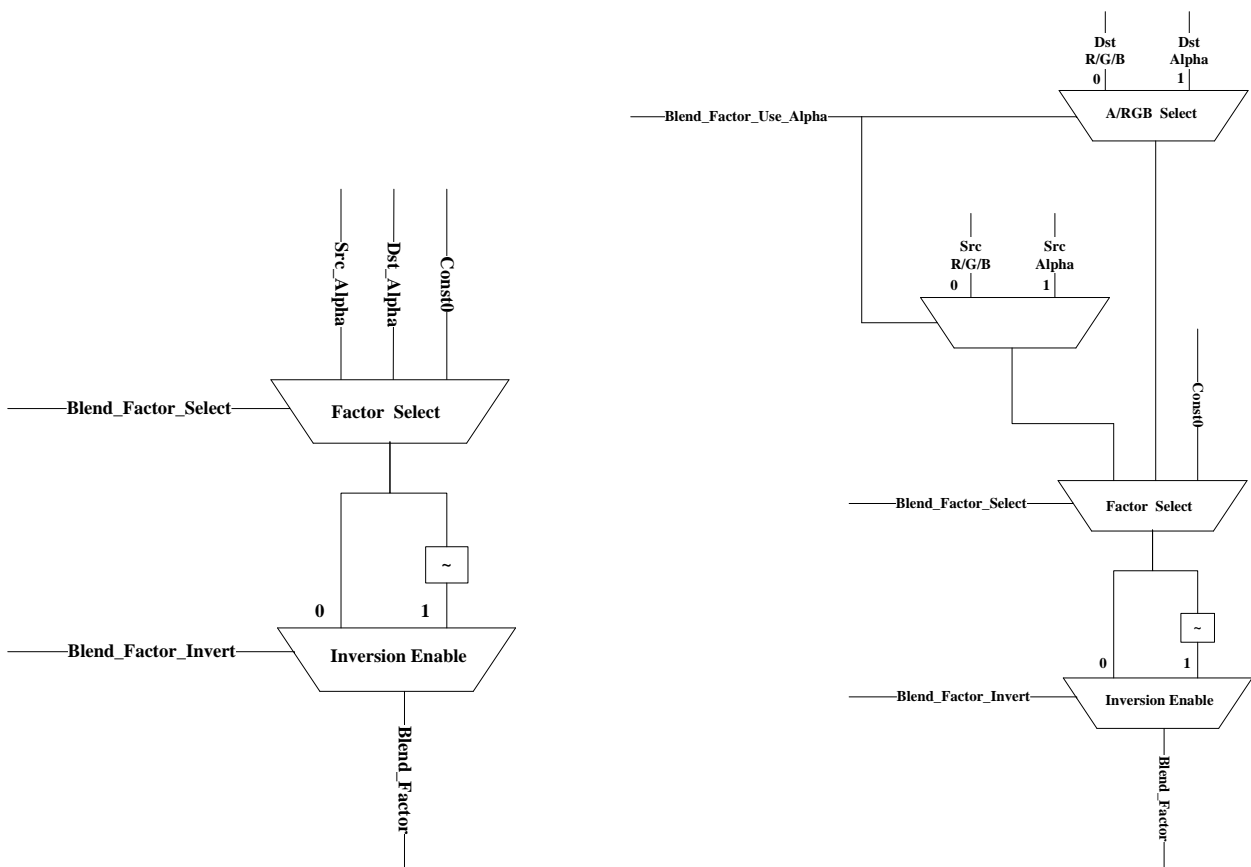
### 45.4.12.4 Alpha/颜色混合因子

Alpha 混合因子生成使用了两次，用于源和目标混合因子生成。

颜色混合因子生成总共使用了六次，R、G 和 B 各使用三次，分别用于源和目标混合因子生成。

Alpha 和颜色混合因子生成之间的区别在于，在颜色混合因子的生成中，控制“USE\_ALPHA”用于在 Alpha 和输入处的相应颜色通道（R/G/B）之间进行选择。

图 45-8 Alpha 混合因子生成



### 45.4.12.5 颜色通道混合

如上图所示，R、G 和 B 共享一组混合因子和混合模式，分别由各自的“BLU\_WRITE\_X”控制一次。

### 45.4.12.6 覆盖混合

覆盖混合通过将 Alpha/颜色通道混合阶段的结果与帧缓冲区内容混合，来作为覆盖值。

### 45.4.12.7 后分割

启用后分割时，覆盖混合后的颜色通道将被其 Alpha 通道分割。否则，它们将保持不变。写掩码抑制了每个通道的后分割。

### 45.4.12.8 抖动

抖动仅在 R、G 和 B 通道上进行。启用后，它会向相应的颜色通道添加一个 1 到 4 位的值（可通过通道的“抖动移位”寄存器控制选择）。目的是在输出格式每通道少于 8 位的情况下添加一些“噪声”，以减少条带伪影等。

### 45.4.12.9 转换输出

通过连接来自 Alpha 和颜色通道中相应数量的 MSB 数据，来组装 8 位、16 位或 32 位宽度的原始像素。如果格式中的字节数小于 4，则像素将重复 2 或 4 次。

## 45.5 寄存器

### 45.5.1 流控制器（STC）寄存器

基地址：0x5004 0000

#### 45.5.1.1 硬件版本寄存器（VERSION）

该寄存器是只读的，包含硬件版本号。

偏移地址：0x00

复位值：0xD404 0701

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CONSTANT[7:0]								HW_CONFIG_ID[7:0]							
r								r							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HW_VERSION[7:0]								HW_REVISION[7:0]							
r								r							

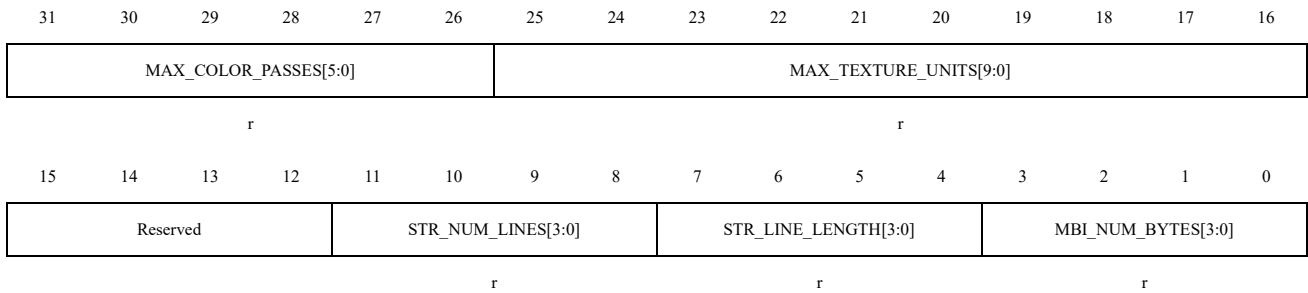
位域	名称	描述
31:24	CONSTANT[7:0]	固定值 0xD4
23:16	HW_CONFIG_ID[7:0]	硬件配置 ID
15:8	HW_VERSION[7:0]	硬件版本
7:0	HW_REVISION[7:0]	硬件修订版本

#### 45.5.1.2 配置 1 寄存器（CONFIG\_1）

该寄存器是只读的。

偏移地址：0x04

复位值：0x0302 0243



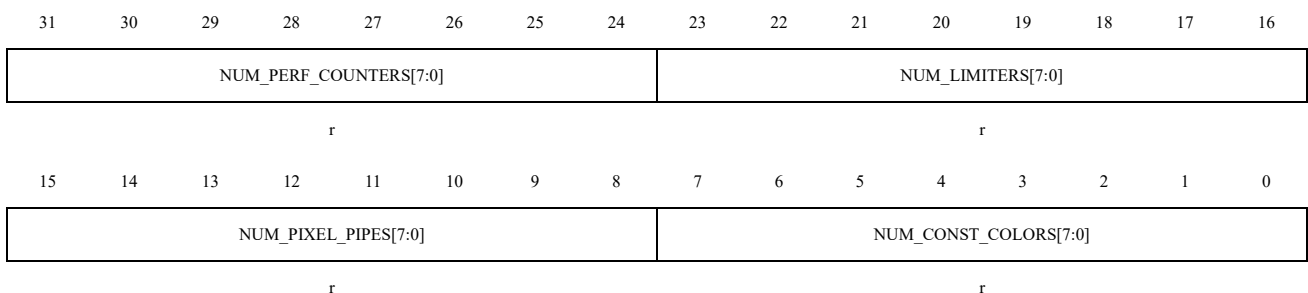
位域	名称	描述
31:26	MAX_COLOR_PASSES[5:0]	最大颜色通道数量
25:16	MAX_TEXTURE_UNITS[9:0]	最大纹理单元数量
15:12	Reserved	保留，必须保持复位值
11:8	STR_NUM_LINES[3:0]	流读取单元行数
7:4	STR_LINE_LENGTH[3:0]	流读取单元每行长度
3:0	MBI_NUM_BYTES[3:0]	主总线接口字节数

### 45.5.1.3 配置 2 寄存器 (CONFIG\_2)

该寄存器是只读的。

偏移地址：0x08

复位值：0x0406 0104



位域	名称	描述
31:24	NUM_PERF_COUNTERS[7:0]	性能计数器数量
23:16	NUM_LIMITERS[7:0]	限制器数量

15:8	NUM_PIXEL_PIPES[7:0]	像素管道数量
7:0	NUM_CONST_COLORS[7:0]	颜色常量数量

#### 45.5.1.4 配置 3 寄存器 (CONFIG\_3)

该寄存器是只读的。

偏移地址: 0x0C

复位值: 0x8001 0493

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved													ZSA_AVAILABLE	CLR_AVAILABLE	
r														r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STC_CALL_STACK_DEPTH [7:0]							TEX_CLUT_DEPTH[3:0]			RESERVED			TEX_CLUT_HAS_ALPHA	TEX_CLUT_AVAILABLE	
r							r						r	r	

位域	名称	描述
31	EXTENDED_CONFIG	扩展配置
30:18	Reserved	保留, 必须保持复位值
17	ZSA_AVAILABLE	ZSA 可获取
16	CLR_AVAILABLE	CLR 清除单元可获取
15:8	STC_CALL_STACK_DEPTH[7:0]	流控制调用栈深度
7:4	TEX_CLUT_DEPTH[3:0]	纹理彩色检查表深度
3:2	Reserved	保留, 必须保持复位值
1	TEX_CLUT_HAS_ALPHA	纹理彩色检查表包含 alpha(透明度)
0	TEX_CLUT_AVAILABLE	纹理彩色检查表可获取

#### 45.5.1.5 繁忙状态标志寄存器 (BUSY\_STATUS)

该寄存器是只读的。

偏移地址: 0x10

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						CLR_BUSY	BLEND_BUSY	COL_BUSY	TEX_BUSY	TXI_BUSY	PSU_BUSY	REG_BUSY	STW_BUSY	STR_BUSY	STC_BUSY
						r	r	r	r	r	r	r	r	r	r

位域	名称	描述
31:10	Reserved	保留，必须保持复位值
9	CLR_BUSY	CLR 清除单元状态，1 表示繁忙，0 表示空闲
8	BLEND_BUSY	(FBS 之后) BLEND 混合单元状态，1 表示繁忙，0 表示空闲
7	COL_BUSY	(TXS 之后) COL 颜色单元状态，1 表示繁忙，0 表示空闲
6	TEX_BUSY	(ZSS 之后) TEX 纹理单元状态，1 表示繁忙，0 表示空闲
5	TXI_BUSY	(PSU 之后) TXI 纹理插值单元状态，1 表示繁忙，0 表示空闲
4	PSU_BUSY	PSU 像素选择单元状态，1 表示繁忙，0 表示空闲
3	REG_BUSY	REG 寄存器操作单元状态，1 表示繁忙，0 表示空闲
2	STW_BUSY	STW 流写入单元状态，1 表示繁忙，0 表示空闲
1	STR_BUSY	STR 流读取单元状态，1 表示繁忙，0 表示空闲
0	STC_BUSY	STC 流控制器状态，1 表示繁忙，0 表示空闲

#### 45.5.1.6 STC 控制寄存器 (CONTROL)

该寄存器是可读写的。

偏移地址：0x14

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved	LIMIT_RI NG_PREF ETCH	STREAM HALT_RE QUEST	STALL_R EQUEST	Reserved	CHECKS UM_PRO TECTION _MODE	Reserved	PERMAN ENT_ENA BLE_CLO CK	Reserved				SYNC_IR Q_ENABL E	MBI_ERR OR_IRQ ENABLE	STALL_IR Q_ENABL E	PAUSE_IR Q_ENABL E	STOP_IR Q_ENABL E

rw      rw      rw                      rw                      rw      rw      rw      rw      rw

位域	名称	描述
31:15	Reserved	保留，必须保持复位值
14	LIMIT_RING_PREFETCH	限制环预取
13	STREAM_HALT_REQUEST	流暂停请求
12	STALL_REQUEST	暂缓请求
11	Reserved	保留，必须保持复位值
10	CHECKSUM_PROTECTION_MODE	校验和保护模式
9	Reserved	保留，必须保持复位值
8	PERMANENT_ENABLE_CLOCK	固定时钟使能
7:5	Reserved	保留，必须保持复位值
4	SYNC_IRQ_ENABLE	同步中断使能
3	MBI_ERROR_IRQ_ENABLE	主总线接口错误中断使能
2	STALL_IRQ_ENABLE	暂缓中断使能
1	PAUSE_IRQ_ENABLE	暂停中断使能
0	STOP_IRQ_ENABLE	停止中断使能

#### 45.5.1.7 中断状态寄存器 (INTERRUPT\_STATUS)

该寄存器是可读写的。

偏移地址：0x18

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved										MBI_WRITE_ERROR_SOURCE[1:0]	MBI_WRITE_ERROR	MBI_READ_ERROR_SOURCE[2:0]	MBI_READ_ERROR		
										r	r	r	r		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Reserved	STOP_IRQ_CODE[2:0]	Reserved	SYNC_IRQ_TRIGGERED	MBI_ERROR_TRIGGERED	STALL_IRQ_TRIGGERED	PAUSE_IRQ_TRIGGERED	STOP_IRQ_TRIGGERED
	r		rw	rw	rw	rw	rw

位域	名称	描述
31:23	Reserved	保留，必须保持复位值
22:21	MBI_WRITE_ERROR_SOURCE[1:0]	主总线接口写入错误源 0: 流写入器 1: 清除单元 2: 帧缓存写入端 3: ZSA 缓存写入端
20	MBI_WRITE_ERROR	主总线接口写入错误
19:17	MBI_READ_ERROR_SOURCE[2:0]	主总线接口读取错误源 0: 帧缓存读取端 1: 纹理缓存 2: 行程编码解码器 3: ZSA 缓存读取端 4: 流读取器
16	MBI_READ_ERROR	主总线接口读取错误
15:11	Reserved	保留，必须保持复位值
10:8	STOP_IRQ_CODE[2:0]	停止中断代码 0: 流正常结束 1: 停止请求后完成停止 2: 繁忙时接收到起始信号 3: 无效命令（解码错误） 4: 调用栈溢出（嵌套限制达到） 5: 试图写无效寄存器 6: 检测到错误校验码 7: 给出的操作码计数错误



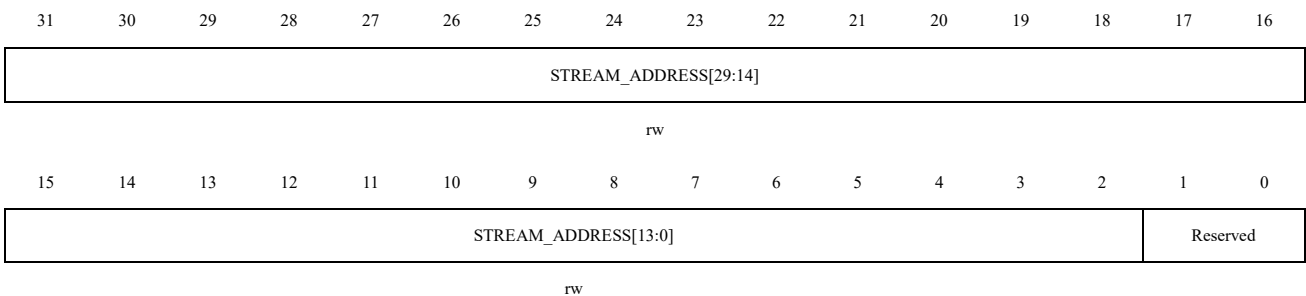
7:5	Reserved	保留，必须保持复位值
4	SYNC_IRQ_TRIGGERED	同步中断触发
3	MBI_ERROR_IRQ_TRIGGERED	主总线接口错误中断触发
2	STALL_IRQ_TRIGGERED	暂缓中断触发
1	PAUSE_IRQ_TRIGGERED	暂停中断触发
0	STOP_IRQ_TRIGGERED	停止中断触发

#### 45.5.1.8 流地址寄存器 (STREAM\_ADDRESS)

该寄存器是可读写的。

偏移地址：0x1C

复位值：0x0000 0000



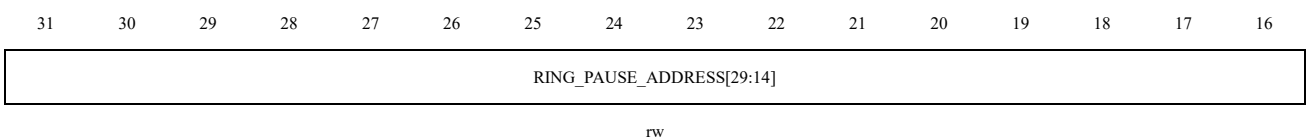
位域	名称	描述
31:2	STREAM_ADDRESS[29:0]	流地址
1:0	Reserved	保留，必须保持复位值

#### 45.5.1.9 环形队列暂停地址寄存器 (RING\_PAUSE\_ADDRESS)

该寄存器是可读写的。

偏移地址：0x20

复位值：0x0000 0000



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RING_PAUSE_ADDRESS[13:0]	Reserved
--------------------------	----------

rw

位域	名称	描述
31:2	RING_PAUSE_ADDRESS[29:0]	环形队列暂停地址
1:0	Reserved	保留，必须保持复位值

#### 45.5.1.10 当前环形队列地址寄存器（CURRENT\_RING\_ADDRESS）

该寄存器是可读写的。

偏移地址：0x24

复位值：0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

CURRENT_RING_ADDRESS[29:14]
-----------------------------

rw

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

CURRENT_RING_ADDRESS[13:0]	Reserved
----------------------------	----------

rw

位域	名称	描述
31:2	CURRENT_RING_ADDRESS[29:0]	当前环形队列地址
1:0	Reserved	保留，必须保持复位值

#### 45.5.1.11 当前流地址寄存器（CURRENT\_STREAM\_ADDRESS）

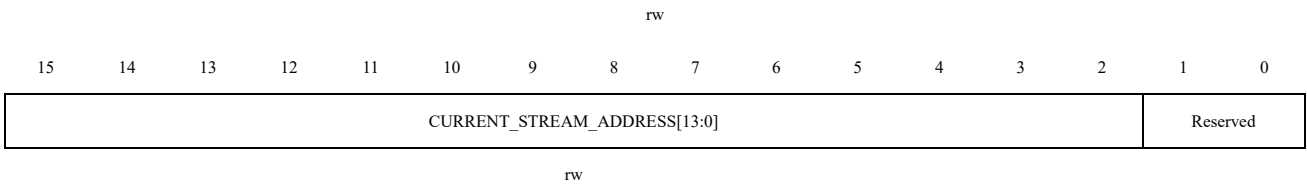
该寄存器是可读写的。

偏移地址：0x28

复位值：0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

CURRENT_STREAM_ADDRESS[29:14]
-------------------------------



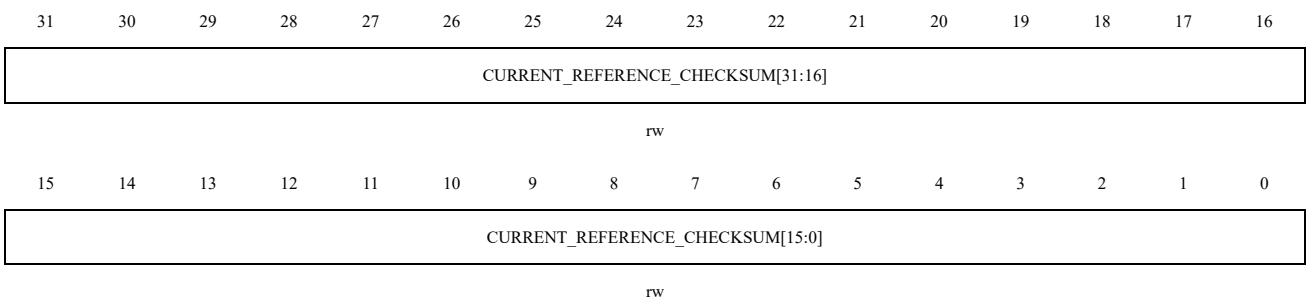
位域	名称	描述
31:2	CURRENT_STREAM_ADDRESS[29:0]	当前流地址
1:0	Reserved	保留，必须保持复位值

#### 45.5.1.12 当前校验和寄存器 (CURRENT\_CHECKSUM)

该寄存器是可读写的。

偏移地址：0x2C

复位值：0x0000 0000



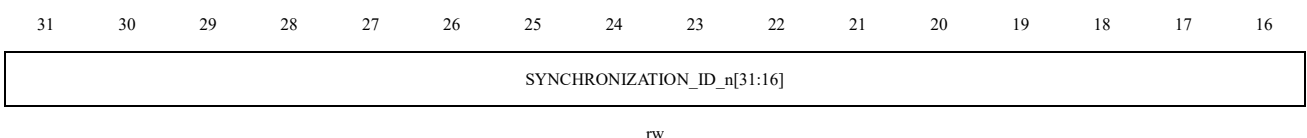
位域	名称	描述
31:0	CURRENT_REFERENCE_CHECKSUM[31:0]	当前参考校验和

#### 45.5.1.13 同步 ID 寄存器 (SYNC\_ID\_n, n=0~2)

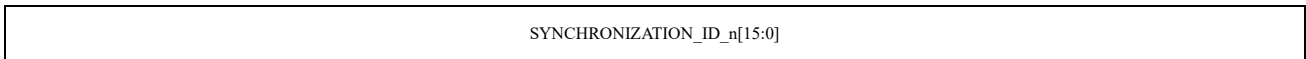
该寄存器是可读写的。

偏移地址：0x30+n\*4

复位值：0x0000 0000



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



rw

位域	名称	描述
31:0	SYNCHRONIZATION_ID_n[31:0]	第 n 个同步 ID, n=0~2

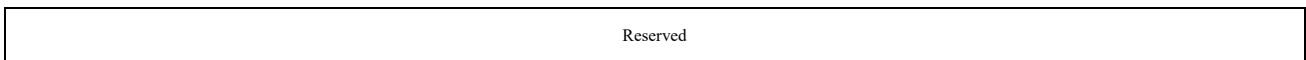
#### 45.5.1.14 调用栈指针寄存器 (CALL\_STACK\_POINTER)

该寄存器是可读写的。

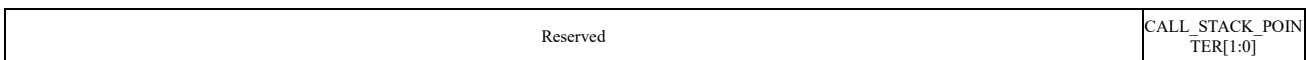
偏移地址: 0x3C

复位值: 0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



rw

位域	名称	描述
31:2	Reserved	保留, 必须保持复位值
1:0	CALL_STACK_POINTER[1:0]	调用栈指针

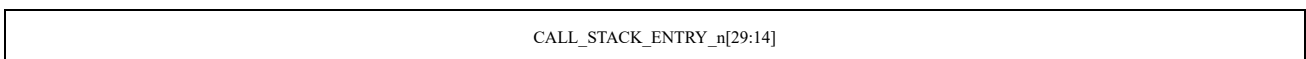
#### 45.5.1.15 调用栈指针寄存器 (CALL\_STACK\_ENTRY\_n, n=0~7)

该寄存器是可读写的。

偏移地址: 0x40+n\*4

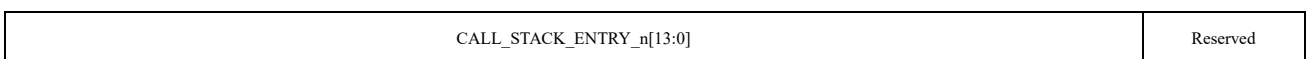
复位值: 0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



rw

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



rw

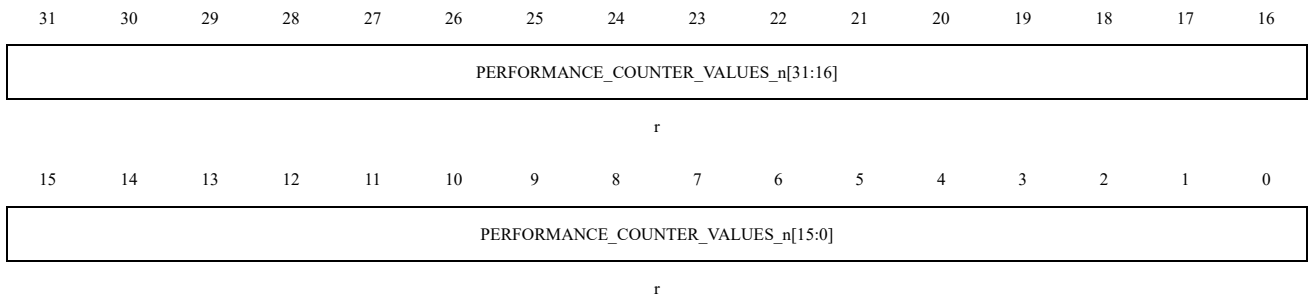
位域	名称	描述
31:2	CALL_STACK_ENTRY_n[29:0]	第 n 个调用栈入口, n=0~7
1:0	Reserved	保留, 必须保持复位值

#### 45.5.1.16 性能计数器寄存器 (PERFORMANCE\_COUNTER\_VALUES\_n, n=0~3)

该寄存器是可读写的。

偏移地址:  $0x80+n*4$

复位值: 0x0000 0000



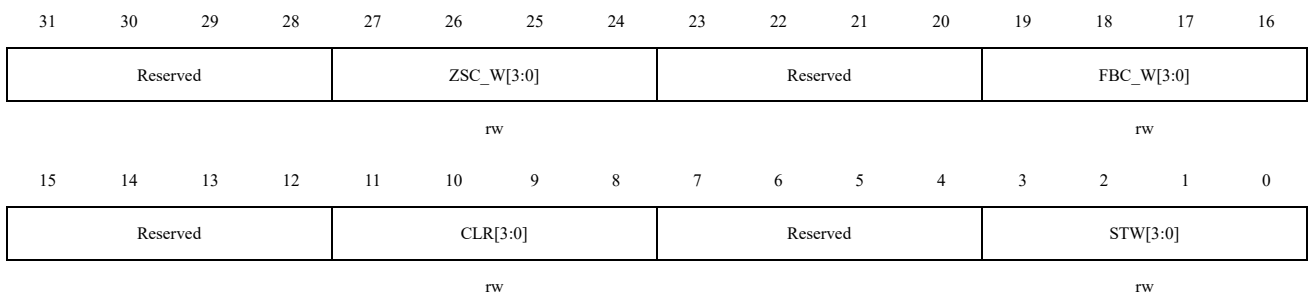
位域	名称	描述
31:0	PERFORMANCE_COUNTER_VALUES_n[31:0]	第 n 个性能计数器值, n=0~3

#### 45.5.1.17 突发长度限制写寄存器 (BURST\_LENGTH\_LIMIT\_WRITE)

该寄存器是可读写的。

偏移地址: 0xC0

复位值: 0x0F0F 0F0F



位域	名称	描述
31:28	Reserved	保留，必须保持复位值
27:24	ZSC_W[3:0]	ZSC 写入长度限制(保留)
23:20	Reserved	保留，必须保持复位值
19:16	FBC_W[3:0]	FBC 写入长度限制(保留)
15:12	Reserved	保留，必须保持复位值
11:8	CLR[3:0]	CLR 写入长度限制(保留)
7:4	Reserved	保留，必须保持复位值
3:0	STW[3:0]	STW 写入长度限制(保留)

#### 45.5.1.18 突发长度限制读 0 寄存器 (BURST\_LENGTH\_LIMIT\_READ\_0)

该寄存器是可读写的。

偏移地址：0xC4

复位值：0x0F0F 0F0F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				ZSC_R[3:0]				Reserved				RLD[3:0]			
				rw								rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				TXC[3:0]				Reserved				FBC[3:0]			
				rw								rw			

位域	名称	描述
31:28	Reserved	保留，必须保持复位值
27:24	ZSC_R[3:0]	ZSC 读取长度限制(保留)
23:20	Reserved	保留，必须保持复位值
19:16	RLD[3:0]	RLD 读取长度限制

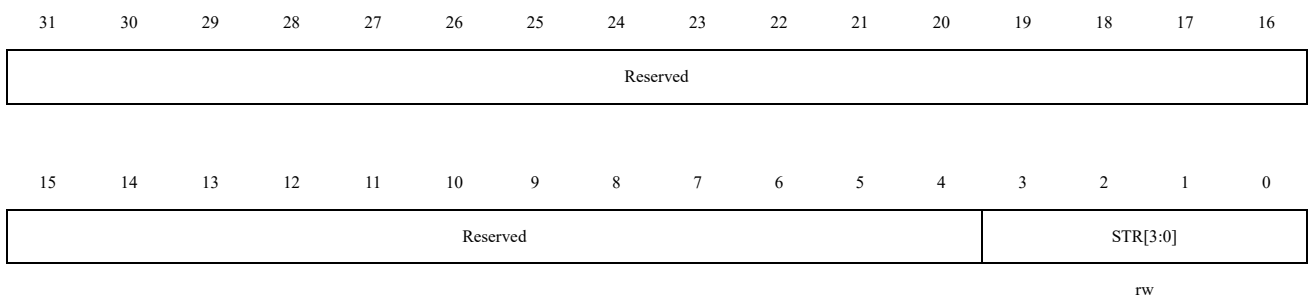
15:12	Reserved	保留，必须保持复位值
11:8	TXC[3:0]	TXC 读取长度限制
7:4	Reserved	保留，必须保持复位值
3:0	FBC[3:0]	FBC 读取长度限制(保留)

#### 45.5.1.19 突发长度限制读 1 寄存器 (BURST\_LENGTH\_LIMIT\_READ\_1)

该寄存器是可读写的。

偏移地址：0xC8

复位值：0x0000 000F



位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3:0	STR[3:0]	STR 读取长度限制(保留)

### 45.5.2 像素选择单元 (PSU) 寄存器

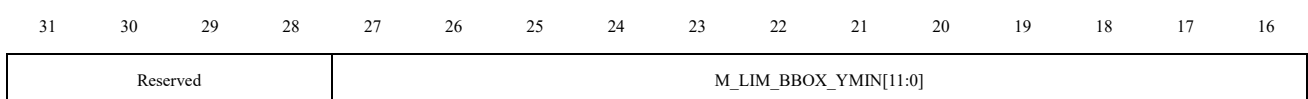
基地址：0x5004 0200

#### 45.5.2.1 限制器边框最小值寄存器 (LIM\_BBOX\_MIN)

该寄存器是可读写的。

偏移地址：0x00

复位值：0x0000 0000



rw

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	M_LIM_BBOX_XMIN[11:0]
----------	-----------------------

rw

位域	名称	描述
31:28	Reserved	保留，必须保持复位值
27:16	M_LIM_BBOX_YMIN[11:0]	限制器边框的 y 坐标最小值
15:12	Reserved	保留，必须保持复位值
11:0	M_LIM_BBOX_XMIN[11:0]	限制器边框的 x 坐标最小值

#### 45.5.2.2 限制器边框最大值寄存器 (LIM\_BBOX\_MAX)

该寄存器是可读写的。

偏移地址：0x04

复位值：0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved	M_LIM_BBOX_YMAX[11:0]
----------	-----------------------

rw

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	M_LIM_BBOX_XMAX[11:0]
----------	-----------------------

rw

位域	名称	描述
31:28	Reserved	保留，必须保持复位值
27:16	M_LIM_BBOX_YMAX[11:0]	限制器边框的 y 坐标最大值
15:12	Reserved	保留，必须保持复位值
11:0	M_LIM_BBOX_XMAX[11:0]	限制器边框的 x 坐标最大值

#### 45.5.2.3 限制器起始位置寄存器 (LIM\_START)

该寄存器是可读写的。



偏移地址：0x08

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				M_LIM_START_Y[11:0]											
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															

位域	名称	描述
31:28	Reserved	保留，必须保持复位值
27:16	M_LIM_START_Y[11:0]	限制器起始位置的 y 坐标(x 起始位置为边框的左边界)
15:0	Reserved	保留，必须保持复位值

#### 45.5.2.4 限制器控制寄存器 (LIM\_CTRL)

该寄存器是可读写的。

偏移地址：0x0C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		M_BEZ_CTRL[1:0]		Reserved				M_LIM_CTRL_5[3:0]			M_LIM_CTRL_4[3:0]				
rw				rw				rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
M_LIM_CTRL_3[3:0]				M_LIM_CTRL_2[3:0]				M_LIM_CTRL_1[3:0]				M_LIM_CTRL_0[3:0]			
rw				rw				rw				rw			

位域	名称	描述
31:30	Reserved	保留，必须保持复位值
29:28	M_BEZ_CTRL[1:0]	贝塞尔控制寄存器 Bit 0: 设置 1 使能贝塞尔曲线功能 Bit 1: 选择凹 (1) 或凸 (0) 贝塞尔曲线

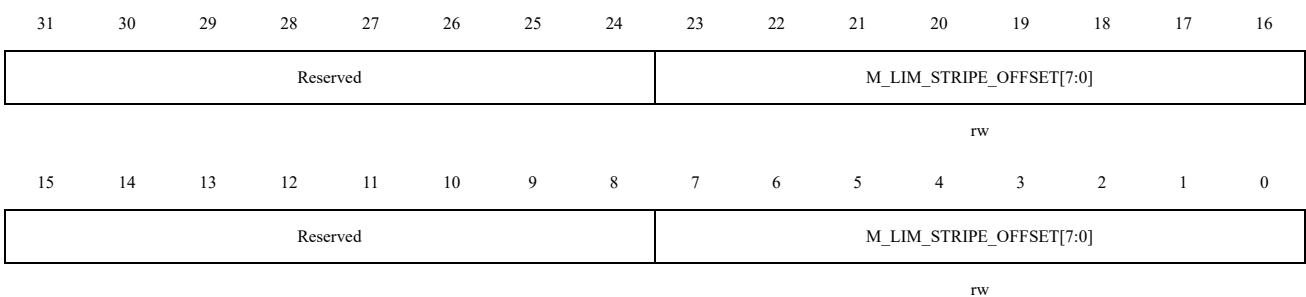
27:24	Reserved	保留，必须保持复位值
23:20	M_LIM_CTRL5[3:0]	限制器 n 控制寄存器 M_LIM_CTRL_n[3:0] Bit 0: 使能限制器 Bit 1: 公共边（无抗锯齿） Bit 2: 用于枚举（限制器只能用于贝塞尔曲线功能） Bit 3: 反向限制器,重复使用反转的 dx 和 dy
19:16	M_LIM_CTRL4[3:0]	
15:12	M_LIM_CTRL3[3:0]	
11:8	M_LIM_CTRL2[3:0]	
7:4	M_LIM_CTRL1[3:0]	
3:0	M_LIM_CTRL0[3:0]	

#### 45.5.2.5 限制器线条寄存器 (LIM\_STRIPE)

该寄存器是可读写的。

偏移地址：0x10

复位值：0x0000 0000



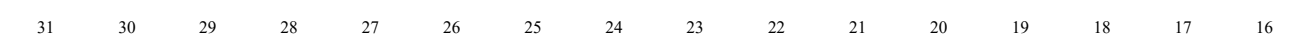
位域	名称	描述
31:24	Reserved	保留，必须保持复位值
23:16	M_LIM_STRIPE_OFFSET[7:0]	限制器线条偏移
15:8	Reserved	保留，必须保持复位值
7:0	M_LIM_STRIPE_WIDTH[7:0]	限制器线条宽度（0=全跨度，无剪枝枚举）

#### 45.5.2.6 贝塞尔控制寄存器 (BEZ\_CTRL)

该寄存器是可读写的。

偏移地址：0x14

复位值：0x0000 0000



Reserved
----------

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

Reserved	M_BEZ_LIM_SCALE[5:0]
----------	----------------------

rw

位域	名称	描述
31:6	Reserved	保留，必须保持复位值
5:0	M_BEZ_LIM_SCALE[5:0]	贝塞尔限制器比例

#### 45.5.2.7 贝塞尔限制器偏移 0 寄存器 (BEZ\_VOFF\_0)

该寄存器是可读写的。

偏移地址：0x18

复位值：0x0000 0000

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

M_BEZ_VOFF_0[31:16]
---------------------

rw

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

M_BEZ_VOFF_0[15:0]
--------------------

rw

位域	名称	描述
31:0	M_BEZ_VOFF_0[31:0]	贝塞尔限制器偏移 0（为有符号固定格式“14.18”）

#### 45.5.2.8 贝塞尔限制器偏移 1 寄存器 (BEZ\_VOFF\_1)

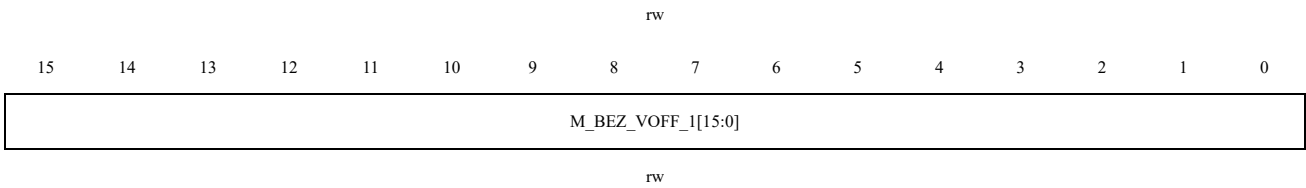
该寄存器是可读写的。

偏移地址：0x1C

复位值：0x0000 0000

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

M_BEZ_VOFF_1[31:16]
---------------------



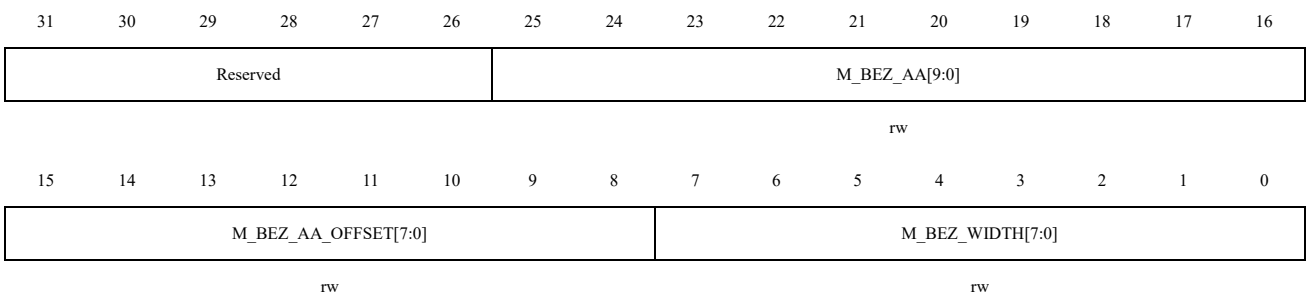
位域	名称	描述
31:0	M_BEZ_VOFF_1[31:0]	贝塞尔限制器偏移 1（为有符号固定格式“14.18”）

### 45.5.2.9 贝塞尔限制器抗锯齿控制寄存器（BEZ\_AA\_CTRL）

该寄存器是可读写的。

偏移地址：0x20

复位值：0x0000 0000



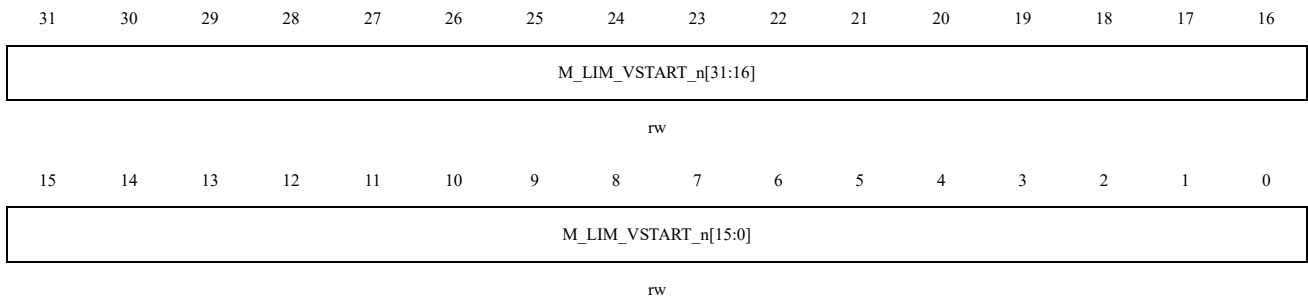
位域	名称	描述
31:26	Reserved	保留，必须保持复位值
25:16	M_BEZ_AA[9:0]	贝塞尔限制器抗锯齿宽度的倒数（为无符号固定格式“4.6”）
15:8	M_BEZ_AA_OFFSET[7:0]	贝塞尔限制器将抗锯齿区域从曲线内部移动到外部的偏移量（为有符号固定格式“4.4”）
7:0	M_BEZ_WIDTH[7:0]	贝塞尔限制器宽度（为无符号固定格式“4.4”） 0：贝塞尔全凸或凹曲线 >0:贝塞尔直线

### 45.5.2.10 贝塞尔限制器起始值寄存器 (LIM\_VSTART\_n, n=0~5)

该寄存器是可读写的。

偏移地址:  $0x24+n*0x0C$

复位值: 0x0000 0000



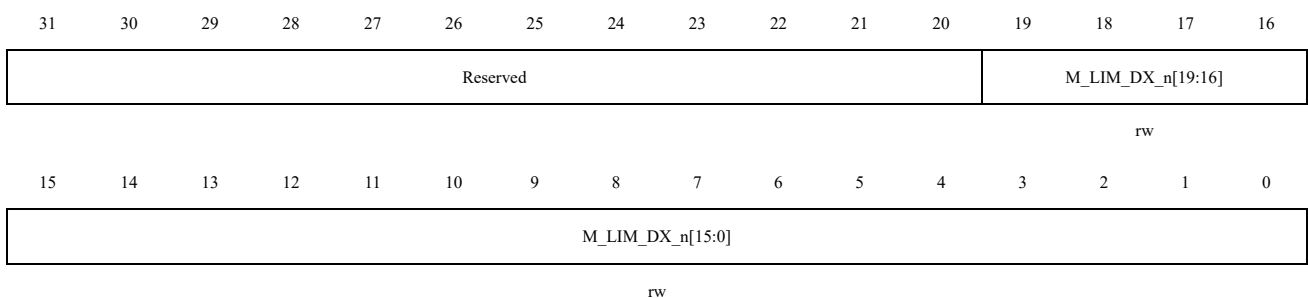
位域	名称	描述
31:0	M_LIM_VSTART_n[31:0]	限制器 n 枚举的起始位置 (为有符号固定格式“14.18”), n=0~5

### 45.5.2.11 贝塞尔限制器 x 增量寄存器 (LIM\_DX\_n, n=0~5)

该寄存器是可读写的。

偏移地址:  $0x28+n*0x0C$

复位值: 0x0000 0000



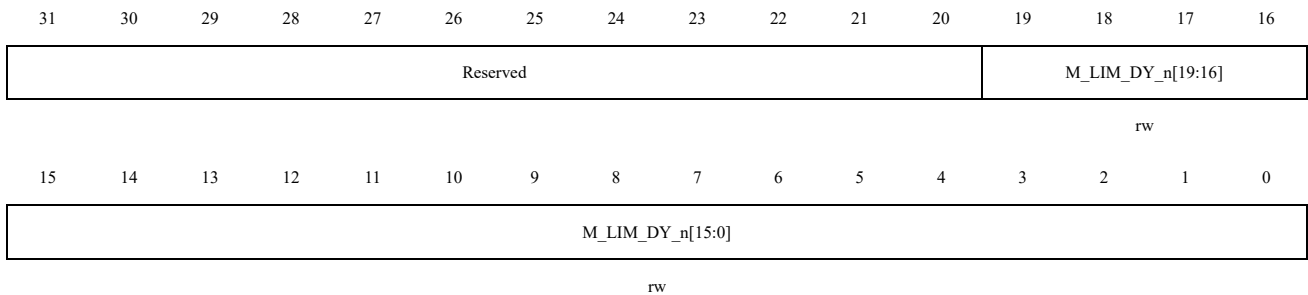
位域	名称	描述
31:20	Reserved	保留, 必须保持复位值
19:0	M_LIM_DX_n[19:0]	贝塞尔限制器 n 的 x 增量 (小数部分), 为有符号固定格式“2.18”, n=0~5

### 45.5.2.12 贝塞尔限制器 y 增量寄存器 (LIM\_DY\_n, n=0~5)

该寄存器是可读写的。

偏移地址: 0x2C+n\*0x0C

复位值: 0x0000 0000



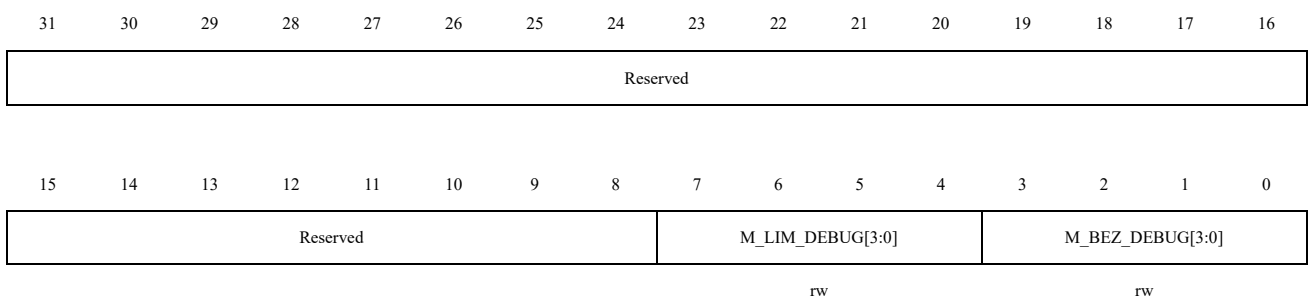
位域	名称	描述
31:20	Reserved	保留, 必须保持复位值
19:0	M_LIM_DY_n[19:0]	贝塞尔限制器 n 的 y 增量 (小数部分), 为有符号固定格式 “2.18”, n=0~5

### 45.5.2.13 调试控制寄存器 (DEBUG\_CTRL)

该寄存器是可读写的。

偏移地址: 0x6C

复位值: 0x0000 0000



位域	名称	描述
31:8	Reserved	保留, 必须保持复位值
7:4	M_LIM_DEBUG[3:0]	限制器调试控制位 (保留)

3:0	M_BEZ_DEBUG[3:0]	贝塞尔限制器调试控制位（保留）
-----	------------------	-----------------

#### 45.5.2.14 限制器边框限制寄存器（LIM\_BBOX\_MAX）

该寄存器是可读写的。

偏移地址：0x70

复位值：0x0FFF 0FFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				M_LIM_YMAX[11:0]											
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				M_LIM_XMAX[11:0]											
rw															

位域	名称	描述
31:28	Reserved	保留，必须保持复位值
27:16	M_LIM_YMAX[11:0]	边框裁剪限制 y 最大坐标值
15:12	Reserved	保留，必须保持复位值
11:0	M_LIM_XMAX[11:0]	边框裁剪限制 x 最大坐标值

### 45.5.3 纹理 U/V 插值寄存器

基地址：0x5004 0300

#### 45.5.3.1 U 偏移量 0 寄存器（TXA\_U\_OFFSET\_0）

该寄存器是可读写的。

偏移地址：0x00

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M_TXA_U_OFFSET_0[31:16]															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
M_TXA_U_OFFSET_0[15:0]															

rw

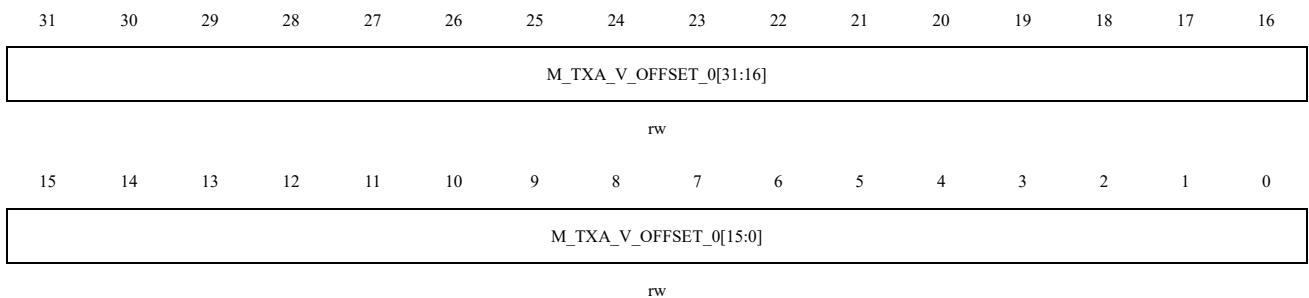
位域	名称	描述
31:0	M_TXA_U_OFFSET_0[31:0]	纹理单元 0 的 U 坐标起始值（偏移量）。起始位置是相对于屏幕原点而言（取决于纹素坐标计算的实现）

### 45.5.3.2 V 偏移量 0 寄存器 (TXA\_V\_OFFSET\_0)

该寄存器是可读写的。

偏移地址：0x04

复位值：0x0000 0000



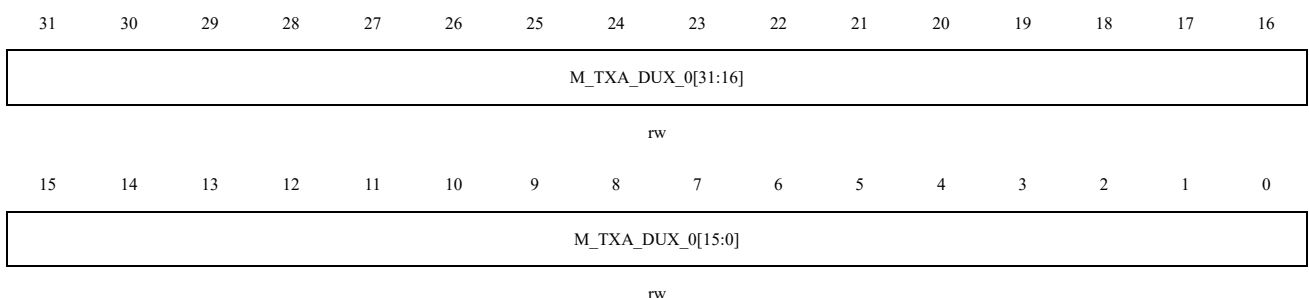
位域	名称	描述
31:0	M_TXA_V_OFFSET_0[31:0]	纹理单元 0 的 V 坐标起始值（偏移量）。起始位置是相对于屏幕原点而言（取决于纹素坐标计算的实现）

### 45.5.3.3 U 的 X 增量寄存器 (TXA\_DUX\_0)

该寄存器是可读写的。

偏移地址：0x08

复位值：0x3F80 0000





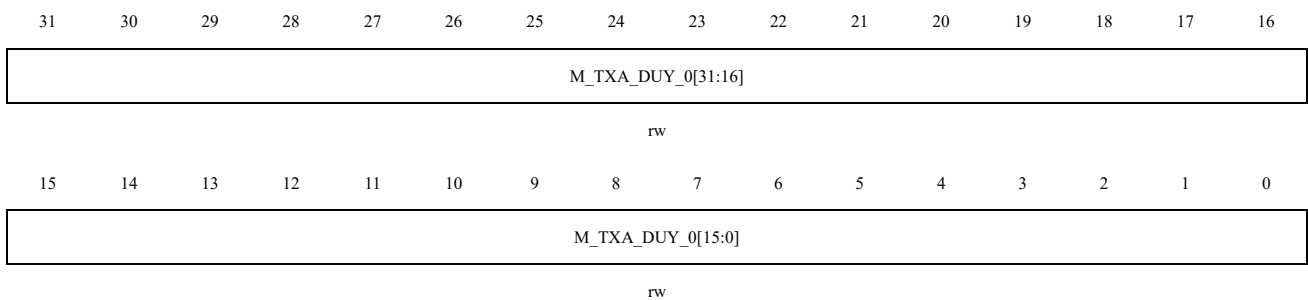
位域	名称	描述
31:0	M_TXA_DUX_0[31:0]	纹理 U 坐标的 X0 增量

#### 45.5.3.4 U 的 Y 增量寄存器 (TXA\_DUY\_0)

该寄存器是可读写的。

偏移地址: 0x0C

复位值: 0x0000 0000



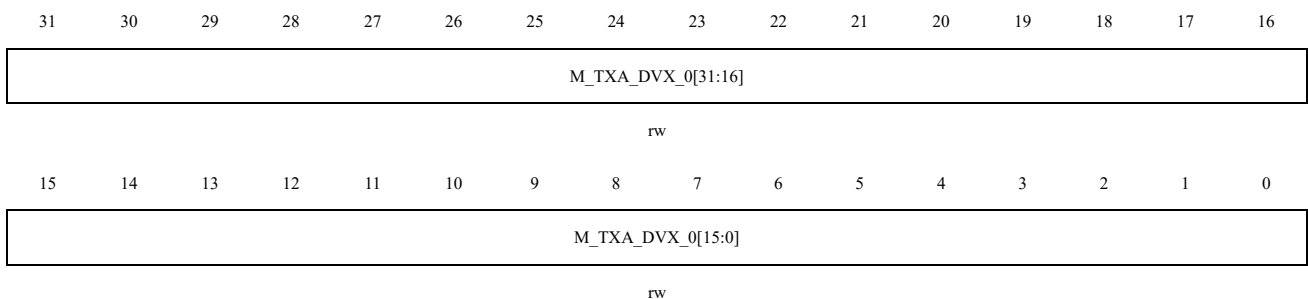
位域	名称	描述
31:0	M_TXA_DUY_0[31:0]	纹理 U 坐标的 Y0 增量

#### 45.5.3.5 V 的 X 增量寄存器 (TXA\_DVX\_0)

该寄存器是可读写的。

偏移地址: 0x10

复位值: 0x0000 0000



位域	名称	描述
----	----	----

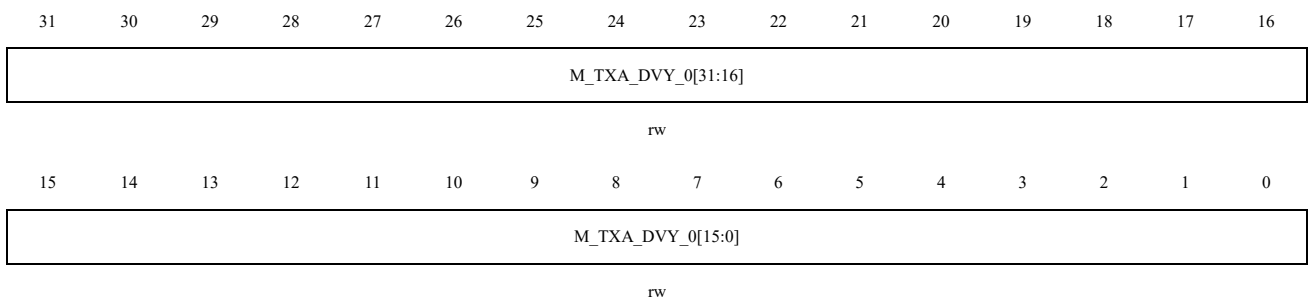
31:0	M_TXA_DVX_0[31:0]	纹理 V 坐标的 X0 增量
------	-------------------	----------------

#### 45.5.3.6 V 的 Y 增量寄存器 (TXA\_DVY\_0)

该寄存器是可读写的。

偏移地址: 0x14

复位值: 0x3F80 0000



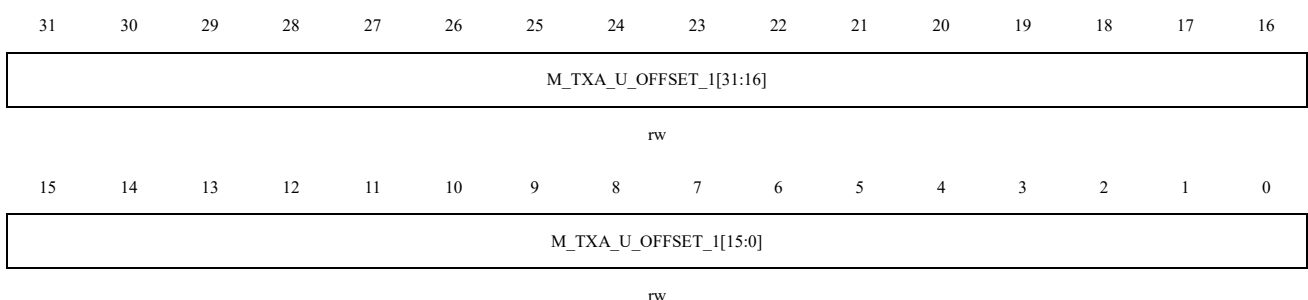
位域	名称	描述
31:0	M_TXA_DVY_0[31:0]	纹理 V 坐标的 Y0 增量

#### 45.5.3.7 U 偏移量 1 寄存器 (TXA\_U\_OFFSET\_1)

该寄存器是可读写的。

偏移地址: 0x18

复位值: 0x0000 0000



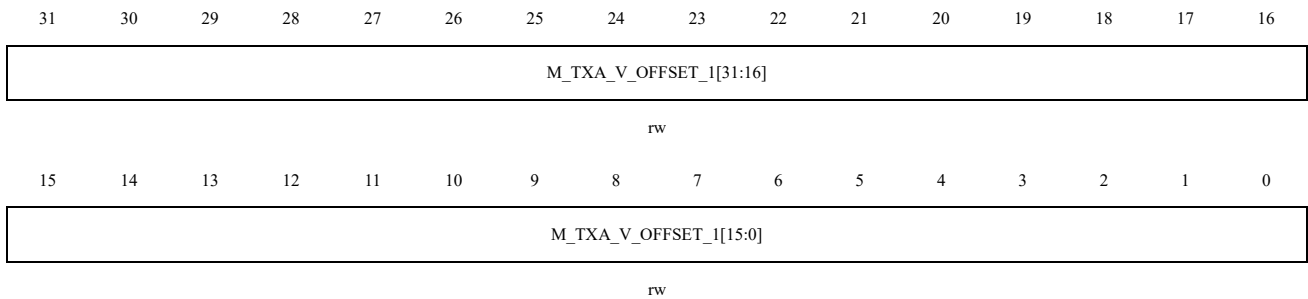
位域	名称	描述
31:0	M_TXA_U_OFFSET_1[31:0]	纹理单元 1 的 U 坐标起始值 (偏移量)。起始位置是相对于屏幕原点而言 (取决于纹素坐标计算的实现)

### 45.5.3.8 V 偏移量 1 寄存器 (TXA\_V\_OFFSET\_1)

该寄存器是可读写的。

偏移地址: 0x1C

复位值: 0x0000 0000



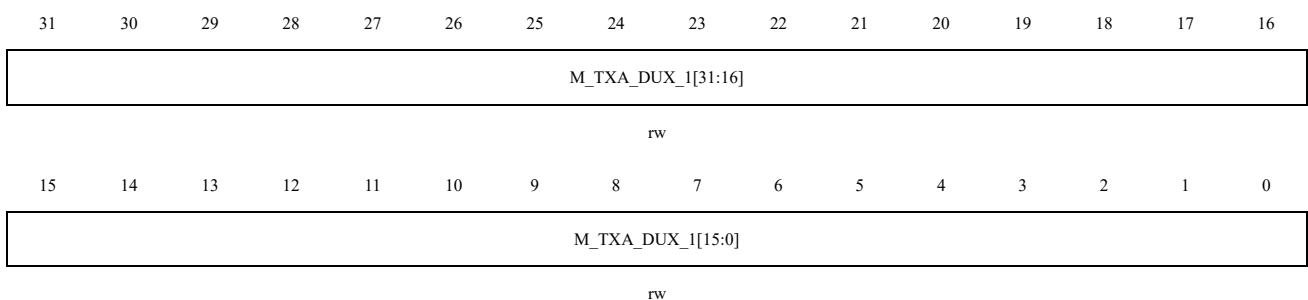
位域	名称	描述
31:0	M_TXA_V_OFFSET_1[31:0]	纹理单元 1 的 V 坐标起始值 (偏移量)。起始位置是相对于屏幕原点而言 (取决于纹素坐标计算的实现)

### 45.5.3.9 U 的 X 增量寄存器 (TXA\_DUX\_1)

该寄存器是可读写的。

偏移地址: 0x20

复位值: 0x3F80 0000



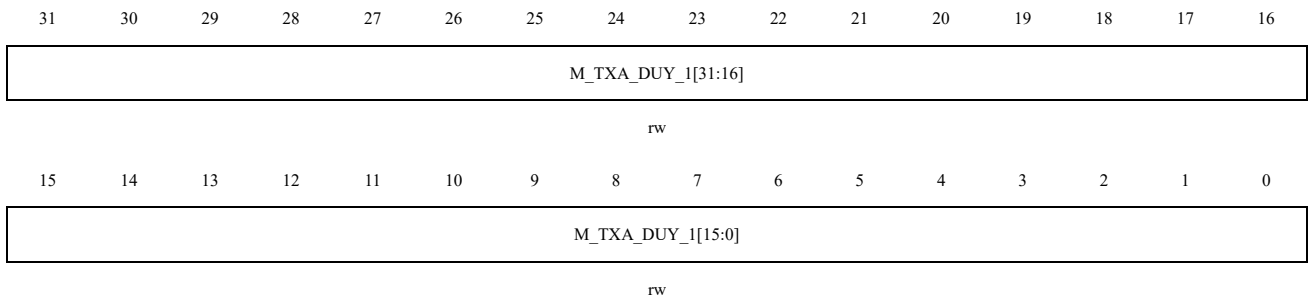
位域	名称	描述
31:0	M_TXA_DUX_1[31:0]	纹理 U 坐标的 X1 增量

### 45.5.3.10 U 的 Y 增量寄存器 (TXA\_DUY\_1)

该寄存器是可读写的。

偏移地址: 0x24

复位值：0x0000 0000



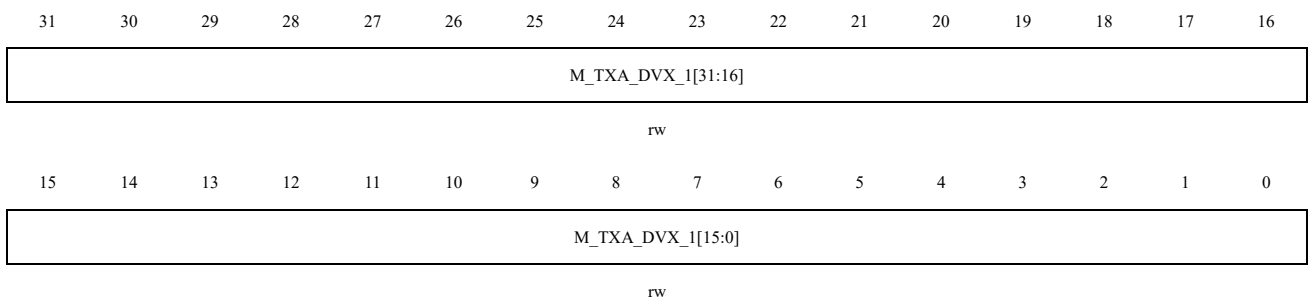
位域	名称	描述
31:0	M_TXA_DUY_1[31:0]	纹理 U 坐标的 Y1 增量

#### 45.5.3.11 V 的 X 增量寄存器 (TXA\_DVX\_1)

该寄存器是可读写的。

偏移地址：0x28

复位值：0x0000 0000



位域	名称	描述
31:0	M_TXA_DVX_1[31:0]	纹理 V 坐标的 X1 增量

#### 45.5.3.12 V 的 Y 增量寄存器 (TXA\_DVY\_1)

该寄存器是可读写的。

偏移地址：0x2C

复位值：0x3F80 0000





位域	名称	描述
31:0	M_TXA_DVY_1[31:0]	纹理 V 坐标的 Y1 增量

## 45.5.4 纹理 RHW 和 Z 插值寄存器

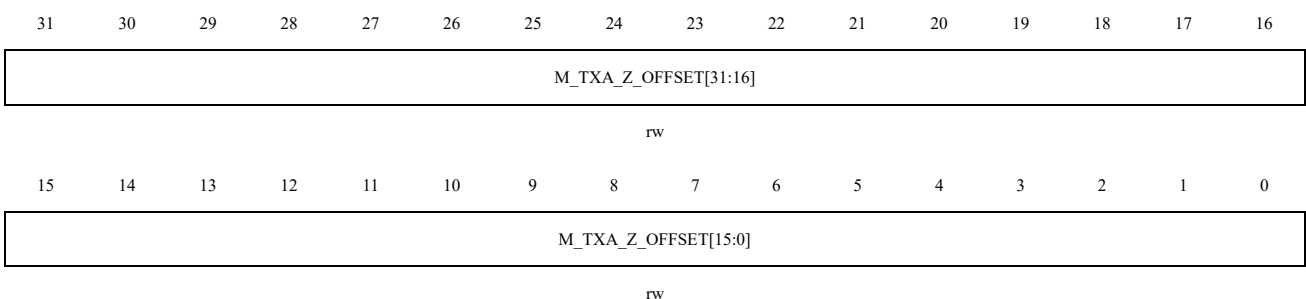
基地址：0x5004 0400

### 45.5.4.1 TXA 的 Z 偏移量寄存器 (TXA\_Z\_OFFSET)

该寄存器是可读写的。

偏移地址：0x08

复位值：0x0000 0000



位域	名称	描述
31:0	M_TXA_Z_OFFSET[31:0]	Z 坐标的起始值 (偏移量)

### 45.5.4.2 TXA 的 ZX 增量寄存器 (TXA\_DZX)

该寄存器是可读写的。

偏移地址：0x0C

复位值：0x0000 0000





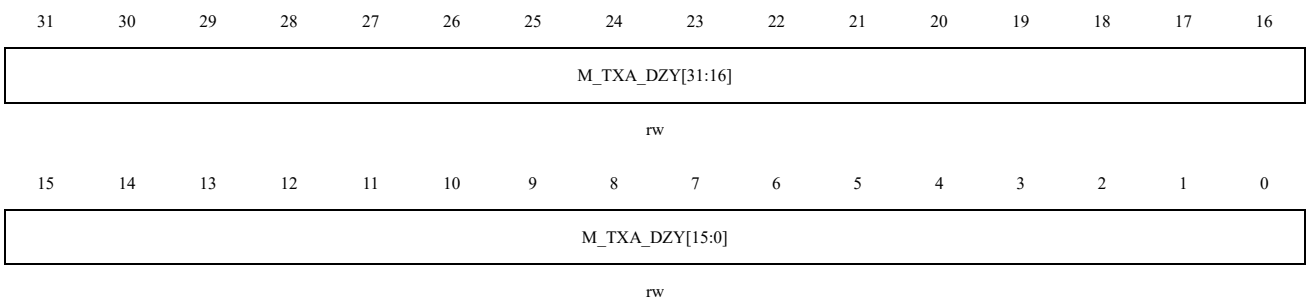
位域	名称	描述
31:0	M_TXA_DZX[31:0]	Z 坐标的 X 增量

#### 45.5.4.3 TXA 的 ZY 增量寄存器 (TXA\_DZY)

该寄存器是可读写的。

偏移地址：0x10

复位值：0x0000 0000



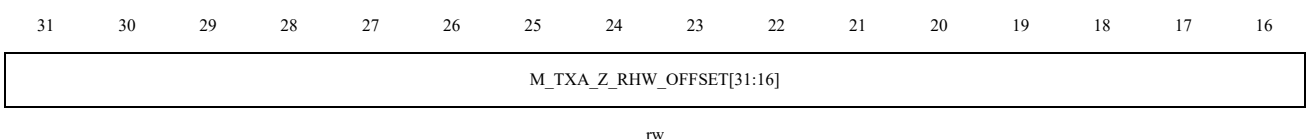
位域	名称	描述
31:0	M_TXA_DZY[31:0]	Z 坐标的 Y 增量

#### 45.5.4.4 TXA 的 Z\_RHW 偏移量寄存器 (TXA\_Z\_RHW\_OFFSET)

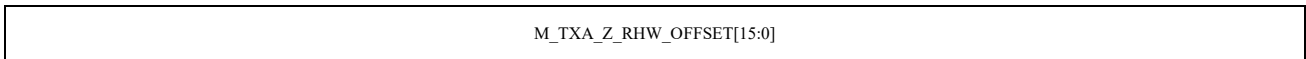
该寄存器是可读写的。

偏移地址：0x14

复位值：0x3F80 0000



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



rw

位域	名称	描述
31:0	M_TXA_Z_RHW_OFFSET[31:0]	Z 的 RHW 属性 (1/w) 的起始值 (偏移量)

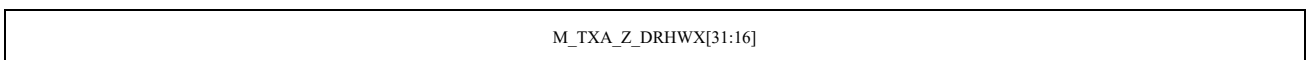
#### 45.5.4.5 TXA 的 Z\_RHWX 增量寄存器 (TXA\_Z\_DRHWX)

该寄存器是可读写的。

偏移地址: 0x18

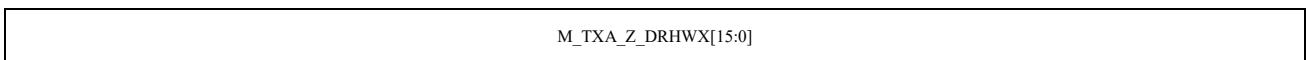
复位值: 0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



rw

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



rw

位域	名称	描述
31:0	M_TXA_Z_DRHWX[31:0]	Z 的 RHW 属性 (1/w) 的 X 增量

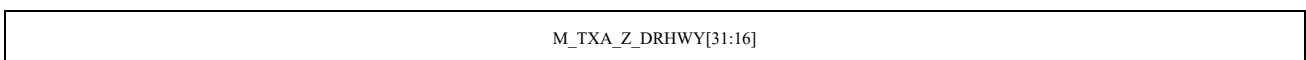
#### 45.5.4.6 TXA 的 Z\_RHWY 增量寄存器 (TXA\_Z\_DRHWY)

该寄存器是可读写的。

偏移地址: 0x1C

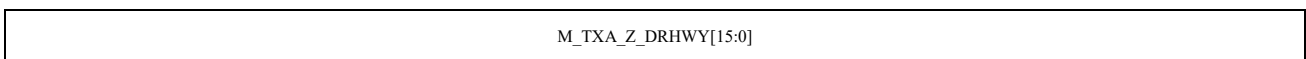
复位值: 0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



rw

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



rw

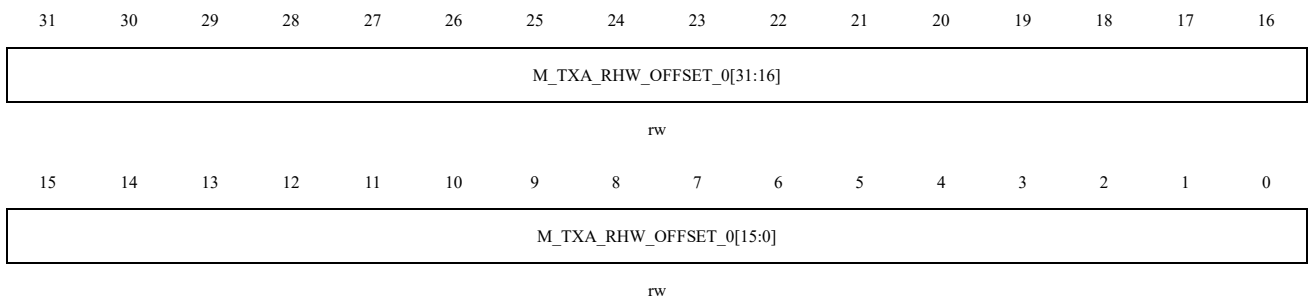
位域	名称	描述
31:0	M_TXA_Z_DRHWY[31:0]	Z 的 RHW 属性 (1/w) 的 Y 增量

#### 45.5.4.7 TXA 的 RHW 偏移量寄存器 (TXA\_RHW\_OFFSET\_0)

该寄存器是可读写的。

偏移地址: 0x20

复位值: 0x3F80 0000



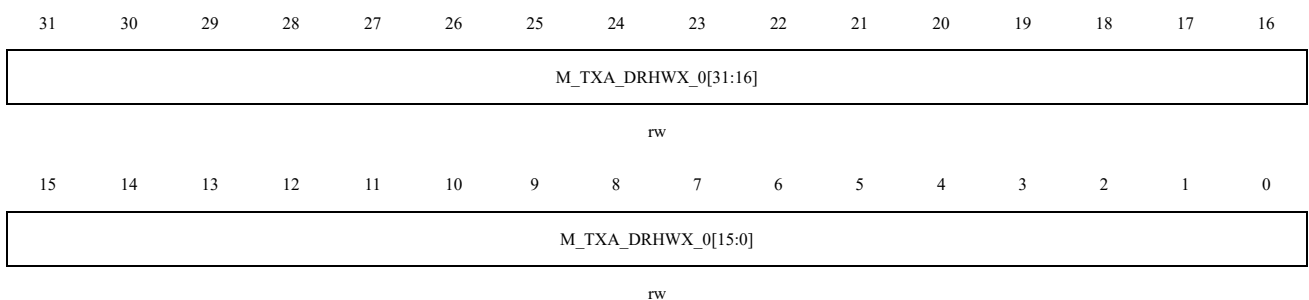
位域	名称	描述
31:0	M_TXA_RHW_OFFSET_0[31:0]	纹理单元 0 的 RHW 属性 (1/w) 的起始值 (偏移量)

#### 45.5.4.8 TXA 的 RHWX 增量寄存器 (TXA\_DRHWX\_0)

该寄存器是可读写的。

偏移地址: 0x24

复位值: 0x0000 0000





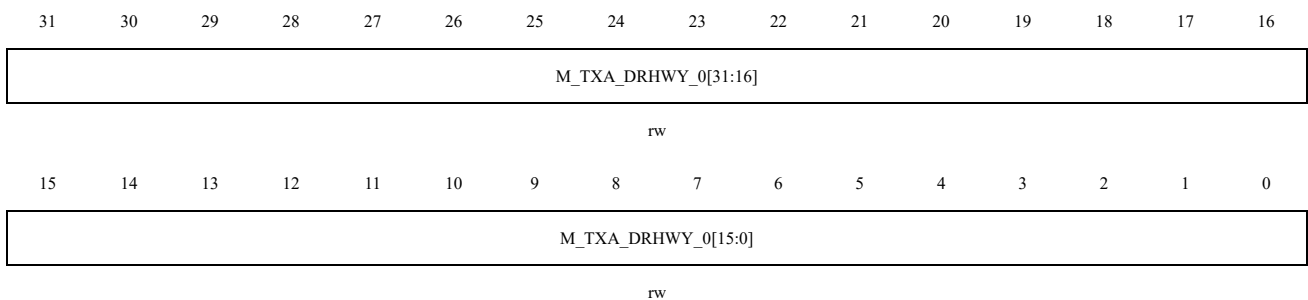
位域	名称	描述
31:0	M_TXA_DRHWX_0[31:0]	RHW 的 X 增量

#### 45.5.4.9 TXA 的 RHWY 增量寄存器 (TXA\_DRHWY\_0)

该寄存器是可读写的。

偏移地址: 0x28

复位值: 0x0000 0000



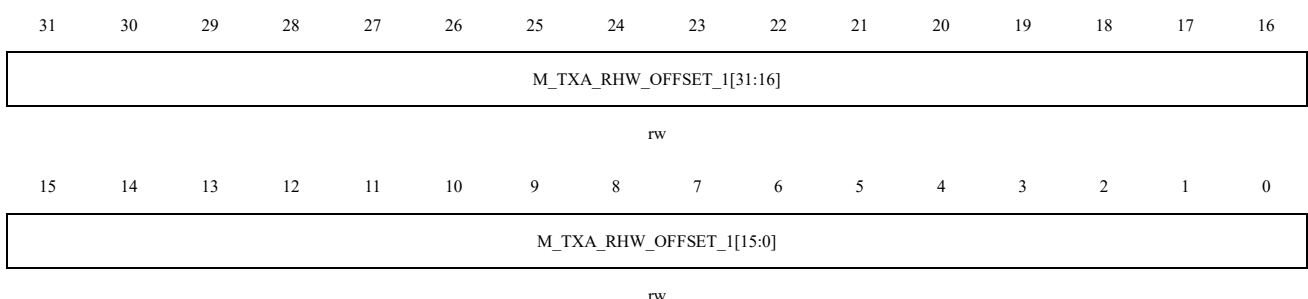
位域	名称	描述
31:0	M_TXA_DRHWY_0[31:0]	RHW 的 Y 增量

#### 45.5.4.10 TXA 的 RHW 偏移量寄存器 (TXA\_RHW\_OFFSET\_1)

该寄存器是可读写的。

偏移地址: 0x2C

复位值: 0x3F80 0000



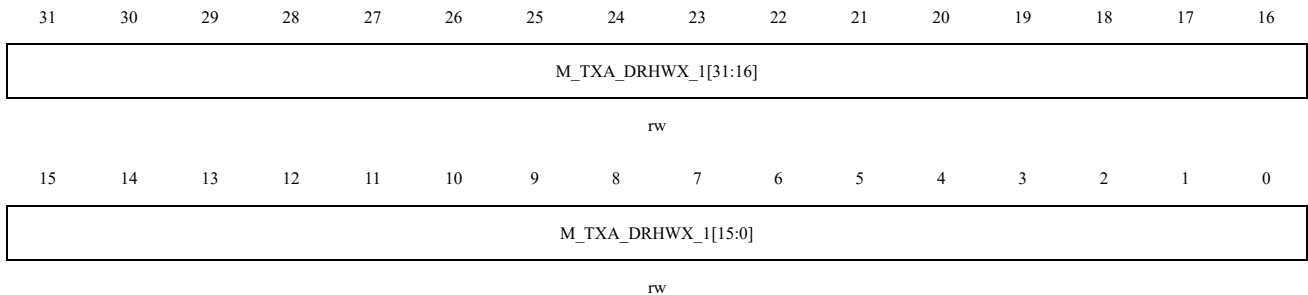
位域	名称	描述
31:0	M_TXA_RHW_OFFSET_1[31:0]	纹理单元 1 的 RHW 属性 (1/w) 的起始值 (偏移量)

#### 45.5.4.11 TXA 的 RHWX 增量寄存器 (TXA\_DRHWX\_1)

该寄存器是可读写的。

偏移地址: 0x30

复位值: 0x0000 0000



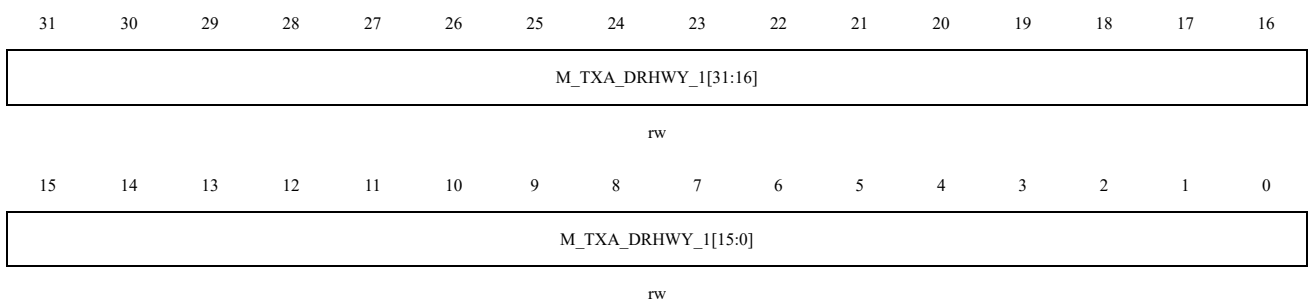
位域	名称	描述
31:0	M_TXA_DRHWX_1[31:0]	RHW 的 X 增量

#### 45.5.4.12 TXA 的 RHWY 增量寄存器 (TXA\_DRHWY\_1)

该寄存器是可读写的。

偏移地址: 0x34

复位值: 0x0000 0000



位域	名称	描述
31:0	M_TXA_DRHWY_1[31:0]	RHW 的 Y 增量

## 45.5.5 纹素地址计算(TXA)寄存器

基地址: 0x5004 0600

### 45.5.5.1 TXA 纹理单元大小寄存器 0 (TXA\_SIZE\_0)

该寄存器是可读写的。

偏移地址: 0x10

复位值: 0x0000 0000



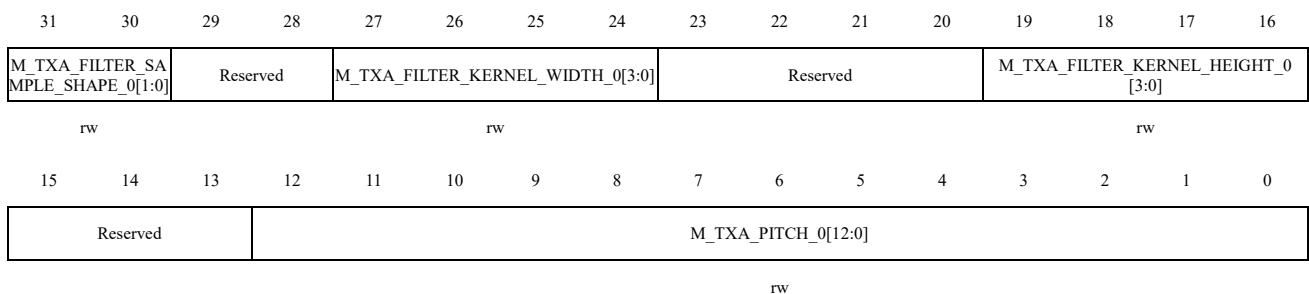
位域	名称	描述
31:29	Reserved	保留, 必须保持复位值
28:16	M_TXA_HEIGHT_0[12:0]	纹素中纹理高度
15:13	Reserved	保留, 必须保持复位值
12:0	M_TXA_WIDTH_0[12:0]	纹素中纹理宽度

### 45.5.5.2 TXA 入口寄存器 0 (TXA\_ACCESS\_0)

该寄存器是可读写的。

偏移地址: 0x14

复位值: 0x0101 0000



位域	名称	描述
31:30	M_TXA_FILTER_SAMPLE_SHAPE_0[1:0]	纹理滤波采样模型 0x00: 四边形, 2x2 采样 (用于双线性滤波或使用 n×m 卷积核的一般卷积滤波) 0x01: 行, 使用 n x 1 卷积核的水平卷积滤波 0x02: 列, 使用 1 x m 卷积核的垂直卷积滤波
29:28	Reserved	保留, 必须保持复位值
27:24	M_TXA_FILTER_KERNEL_WIDTH_0[3:0]	U 方向上的滤波器卷积核大小-1
23:20	Reserved	保留, 必须保持复位值
19:16	M_TXA_FILTER_KERNEL_HEIGHT_0[3:0]	V 方向上的滤波器卷积核大小-1
15:13	Reserved	保留, 必须保持复位值
12:0	M_TXA_PITCH_0[12:0]	纹理以纹素为单位的无符号间距。如果全是 Z 字格搅和, 需配为 0。

### 45.5.5.3 TXA 纹理单元大小寄存器 1 (TXA\_SIZE\_1)

该寄存器是可读写的。

偏移地址: 0x18

复位值: 0x0000 0000



位域	名称	描述
31:29	Reserved	保留, 必须保持复位值
28:16	M_TXA_HEIGHT_1[12:0]	纹素中纹理高度

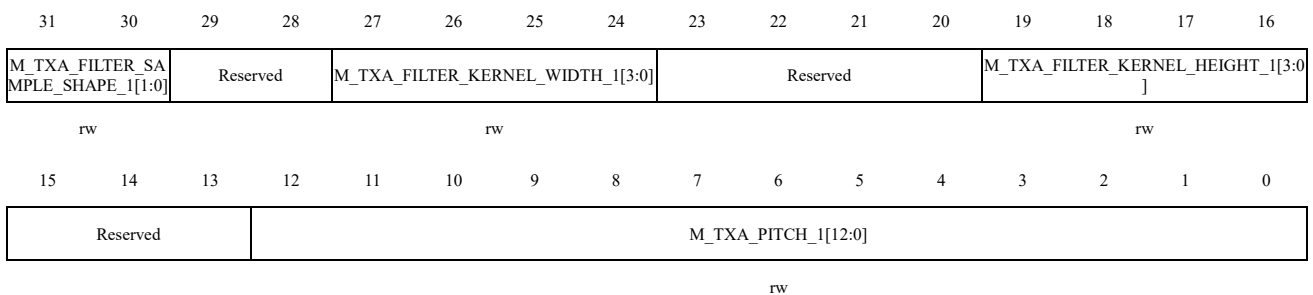
15:13	Reserved	保留，必须保持复位值
12:0	M_TXA_WIDTH_1[12:0]	纹素中纹理宽度

#### 45.5.5.4 TXA 入口寄存器 1 (TXA\_ACCESS\_1)

该寄存器是可读写的。

偏移地址：0x1C

复位值：0x0101 0000



位域	名称	描述
31:30	M_TXA_FILTER_SAMPLE_SHAPE_1	纹理滤波采样模型 0x00: 四边形, 2x2 采样 (用于双线性滤波或使用 n×m 卷积核的一般卷积滤波) 0x01: 行, 使用 n x 1 卷积核的水平卷积滤波 0x02: 列, 使用 1 x m 卷积核的垂直卷积滤波
29:28	Reserved	保留, 必须保持复位值
27:24	M_TXA_FILTER_KERNEL_WIDTH_1[3:0]	U 方向上的滤波器卷积核大小-1
23:20	Reserved	保留, 必须保持复位值
19:16	M_TXA_FILTER_KERNEL_HEIGHT_1[3:0]	V 方向上的滤波器卷积核大小-1
15:13	Reserved	保留, 必须保持复位值
12:0	M_TXA_PITCH_1[12:0]	纹理以纹素为单位的无符号间距。如果全是 Z 字格搅和, 需配为 0。

## 45.5.6 全局和帧缓存寄存器

基地址：0x5004 0800

### 1.1.1.1. 纹理单元全局寄存器 (TEX\_GLOBAL)

该寄存器是可读写的。

偏移地址：0x00

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M_TXC_DEBUG_MODE[1:0]		Reserved													
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		M_RLD_PIXEL_WIDTH[1:0]		Reserved						M_TEX_DEPTH_ENABLE	Reserved		M_TEX_NUM_UNITS[1:0]		
		rw								rw			rw		

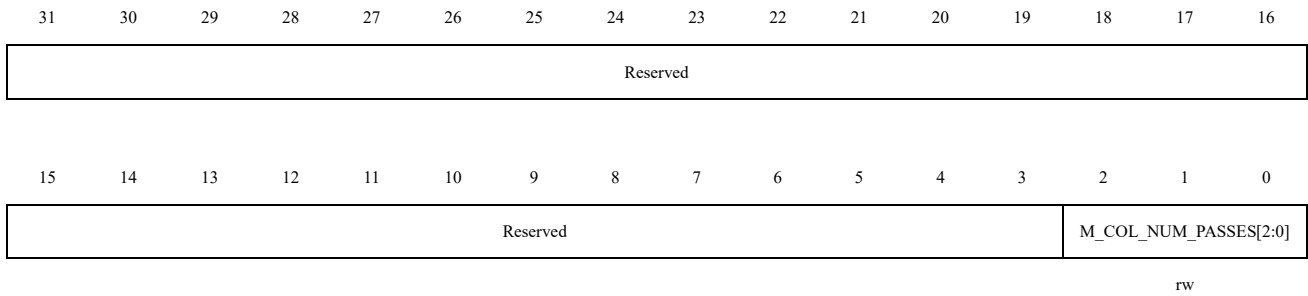
位域	名称	描述
31:30	M_TXC_DEBUG_MODE[1:0]	TXC 调试模式： 0: 未调试 1: 预定，像素高亮为其安排了获取或刷新作业 2: 等待周期，像素高亮为 TXC 输入与/或 RAM 缓存做必要的等待
29:14	Reserved	保留，必须保持复位值
13:12	M_RLD_PIXEL_WIDTH[1:0]	行程编码解码器像素宽度 (0=1byte; 1=2bytes; 2=3bytes; 3=4bytes)
11:5	Reserved	保留，必须保持复位值
4	M_TEX_DEPTH_ENABLE	使能深度插值，作为 U/V 坐标的附加对
3:2	Reserved	保留，必须保持复位值
1:0	M_TEX_NUM_UNITS[1:0]	纹理单元活动的数量

### 1.1.1.2. 颜色单元全局寄存器 (COL\_GLOBAL)

该寄存器是可读写的。

偏移地址：0x04

复位值：0x0000 0001



位域	名称	描述
31:3	Reserved	保留，必须保持复位值
2:0	M_COL_NUM_PASSES[2:0]	活动颜色单元通过数量

### 1.1.1.3. 帧缓存获取配置寄存器 (FBD\_CONFIG)

该寄存器是可读写的。

偏移地址：0x08

复位值：0x0000 0007



位域	名称	描述
31:16	Reserved	保留，必须保持复位值
15:8	M_FBD_ALPHA_TEST_REF[7:0]	Alpha 测试比较参考值

7	Reserved	保留，必须保持复位值
6:4	M_FBD_READ_DECISION_FLAGS[2:0]	帧缓存读取决策标志位 Bit 0: 若使能，则当像素 Alpha != 1.0 时读 Bit 1: 若使能，当像素 Alpha != 0.0 时读 Bit 2: 若使能，当覆盖值 != 1.0 时读
3	Reserved	保留，必须保持复位值
2:0	M_FBD_ALPHA_TEST_OP[2:0]	Alpha 测试选择，决定源像素通过或丢弃 0: 永远不通过 1: 小于，如果 Alpha 小于 Alpha 参考值，则通过 2: 等于，如果 Alpha 等于 Alpha 参考值，则通过 3: 小于等于，如果 Alpha 小于或等于 Alpha 参考值，则通过 4: 大于，如果 Alpha 大于 Alpha 参考值，则通过 5: 不等于，如果 Alpha 不等于 Alpha 参考值，则通过 6: 大于等于，如果 Alpha 大于或等于 Alpha 参考值，则通过 7: 总是通过

#### 1.1.1.4. 帧缓存调度间距寄存器 (FBS\_PITCH)

该寄存器是可读写的。

偏移地址: 0x0C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															M_FBS_DEBUG_ENABLE
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		M_FBS_PITCH[12:0]													



rw

位域	名称	描述
31:17	Reserved	保留，必须保持复位值
16	M_FBS_DEBUG_ENABLE	使能帧缓存调度调试模式
15:13	Reserved	保留，必须保持复位值
12:0	M_FBS_PITCH[12:0]	帧缓存调度间距

### 1.1.1.5. 帧缓存调度跨度配置寄存器 (FBS\_SPAN\_CONFIG)

该寄存器是可读写的。

偏移地址：0x10

复位值：0x0010 00FF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								M_FBS_READ_GAP_LENGTH_LIMIT[7:0]							
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								M_FBS_SPAN_LENGTH_LIMIT[7:0]							
rw															

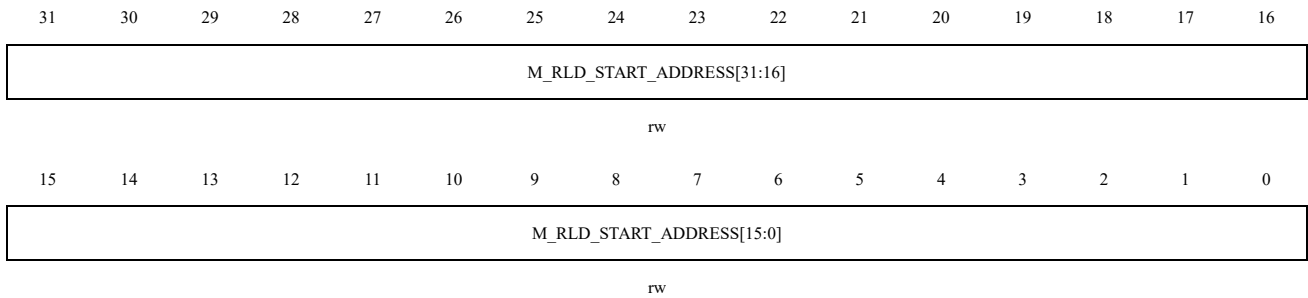
位域	名称	描述
31:24	Reserved	保留，必须保持复位值
23:16	M_FBS_READ_GAP_LENGTH_LIMIT[7:0]	(以像素为单位的)帧缓冲区缓存跨度读取间隙的最大长度
15:8	Reserved	保留，必须保持复位值
7:0	M_FBS_SPAN_LENGTH_LIMIT[7:0]	(以像素为单位的)帧缓冲区缓存的跨度最大长度-1

### 1.1.1.6. RLD 起始地址寄存器 (RLD\_START\_ADDRESS)

该寄存器是可读写的。

偏移地址：0x14

复位值：0x0000 0000



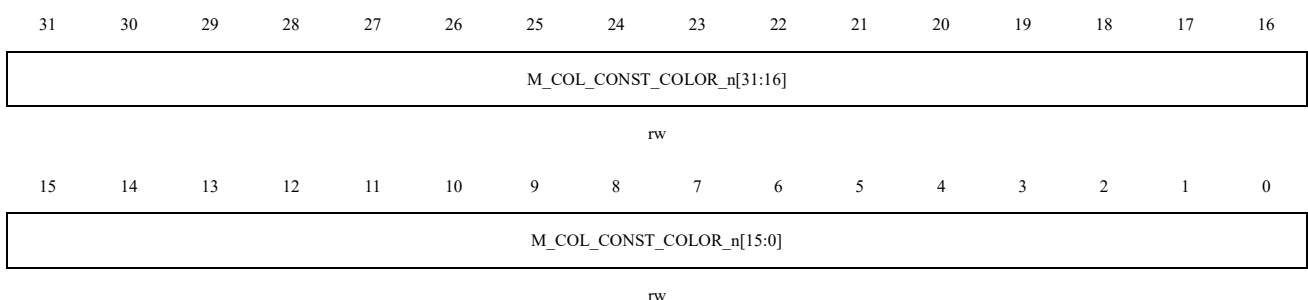
位域	名称	描述
31:0	M_RLD_START_ADDRESS[31:0]	RLD 行程编码解码器起始地址，必须与 MBI 总线宽度对齐。

### 1.1.1.7. 常量颜色寄存器 (COL\_CONST\_COLOR\_n, n=0~3)

该寄存器是可读写的。

偏移地址：0x18+n\*4

复位值：0xFFFF FFFF



位域	名称	描述
----	----	----

31:0	M_COL_CONST_COLOR_n[31:0]	第 n 组颜色常量 Bit 0 ~ Bit 7: B 通道 Bit 8 ~ Bit 15: G 通道 Bit 16 ~ Bit 23: R 通道 Bit 24 ~ Bit 31: Alpha 通道
------	---------------------------	--

### 45.5.7 纹理和纹素处理 (TXP) 寄存器

基地址: 0x5004 0A00

#### 45.5.7.1 纹理单元模式寄存器 (TEX\_MODE\_n, n=0~1)

该寄存器是可读写的。

偏移地址: 0x00+n\*0x1C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			M_TXP_DISCARD_ALPHA_n	Reserved	M_TXA_ADDRESS_BIT_OFFSET_n[2:0]			Reserved	M_TEX_VIRTUAL_TILING_MODE_n[2:0]			Reserved	M_TXA_SWIZZLE_MODE_n[2:0]		
			rw		rw				rw				rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		M_TXP_LIMIT_COLOR_TO_ALPHA_n	M_TEX_ORG_n[4:0]				M_TEX_FILTER_V_n	Reserved	M_TXA_WRAP_MODE_V_n[1:0]		M_TEX_FILTER_U_n	Reserved	M_TXA_WRAP_MODE_U_n[1:0]		
		rw	rw				rw		rw		rw		rw		

位域	名称	描述
31:29	Reserved	保留, 必须保持复位值
28	M_TXP_DISCARD_ALPHA_n	将 alpha 设置为 1.0, 而不是使用从纹理读取的值。可用于在 RGB565 和亮度格式中将 alpha 设置为 1.0。当 CLUT 被启用并且包含 alpha 时, 将使用来自 CLUT 的 alpha, 而不是常数 1.0。
27	Reserved	保留, 必须保持复位值
26:24	M_TXA_ADDRESS_BIT_OFFSET_n[2:0]	纹理起始点相对于 TXC_START_ADDRESS 寄存器指向的字节的位偏移量
23	Reserved	保留, 必须保持复位值

22:20	M_TEX_VIRTUAL_TILING_MODE_n[2:0]	<p>纹理的虚拟平铺模式</p> <p>0: 无虚拟平铺 (每个缓存行 1 个突发)</p> <p>1: 2 倍虚拟平铺 (每个缓存行 2 个突发)</p> <p>2: 4 倍虚拟平铺 (每个缓存行 4 个突发)</p> <p>3: 8 倍虚拟平铺 (每个缓存行 8 个突发)</p> <p>4: 16 倍虚拟平铺 (每个缓存行 16 个突发)</p>
19	Reserved	保留, 必须保持复位值
18:16	M_TXA_SWIZZLE_MODE_n[2:0]	<p>纹理搅和重排模式</p> <p>0: 一般线性存储器</p> <p>1: 交错 4, 限制适用于间距/高度和起始地址对齐</p> <p>2: 交错 16, 限制适用于间距/高度和起始地址对齐</p> <p>3: 全交错, 限制适用于间距/高度和起始地址对齐</p> <p>4: 反向交错 4, 检查有关该模式使用情况的 TRM</p> <p>5: 反向交错 16, 检查有关该模式使用情况的 TRM</p> <p>6: 虚拟平铺, 限制适用于间距/高度和起始地址对齐</p>
15:14	Reserved	保留, 必须保持复位值
13	M_TXP_LIMIT_COLOR_TO_ALPHA_n	使能 G 和 B 通道值到 alpha 通道 (预乘格式时)

12:8	M_TEX_ORG_n[4:0]	<p>纹素配置/纹理格式</p> <p>0: ARGB8888,4 通道, 32 位</p> <p>1: RGBA8888,4 通道, 32 位</p> <p>2: ARGB4444,4 通道, 16 位</p> <p>3: RGBA4444,4 通道, 16 位</p> <p>4: ARGB1555,4 通道, 16 位</p> <p>5: RGBA5551,4 通道, 16 位</p> <p>6: RGB565,3 通道, 16 位 (Alpha=B 通道)</p> <p>7: AL_88,2 通道, 8 位 (R/G/B=通道 0)</p> <p>8: AL_44,2 通道, 8 位 (R/G/B=通道 0)</p> <p>9: AL_17,2 通道, 8 位 (R/G/B=通道 0)</p> <p>10: AL_8,1 通道, 8 位 (A/R/G/B 相同值)</p> <p>11: AL_4,1 通道, 4 位 (A/R/G/B 相同值)</p> <p>12: AL_2,1 通道, 2 位 (A/R/G/B 相同值)</p> <p>13: AL_1,1 通道, 1 位 (A/R/G/B 相同值)</p> <p>14: ARGB2222,4 通道</p> <p>15: RGBA2222,4 通道</p> <p>16: RGB888,3 通道, 24 位 (Alpha=B 通道)</p> <p>17: BGR888,3 通道, 24 位 (Alpha=B 通道)</p> <p>18: ARGB8565,24 通道</p> <p>19: RGBA5658,24 通道</p>
7	M_TEX_FILTER_V_n	V 方向滤波使能
6	Reserved	保留, 必须保持复位值
5:4	M_TXA_WRAP_MODE_V_n[1:0]	<p>V 方向包裹模式</p> <p>0: 修剪纹理</p> <p>1: 重复纹理</p> <p>2: 镜像纹理</p> <p>3: 填充纹理</p>
3	M_TEX_FILTER_U_n	U 方向滤波使能
2	Reserved	保留, 必须保持复位值

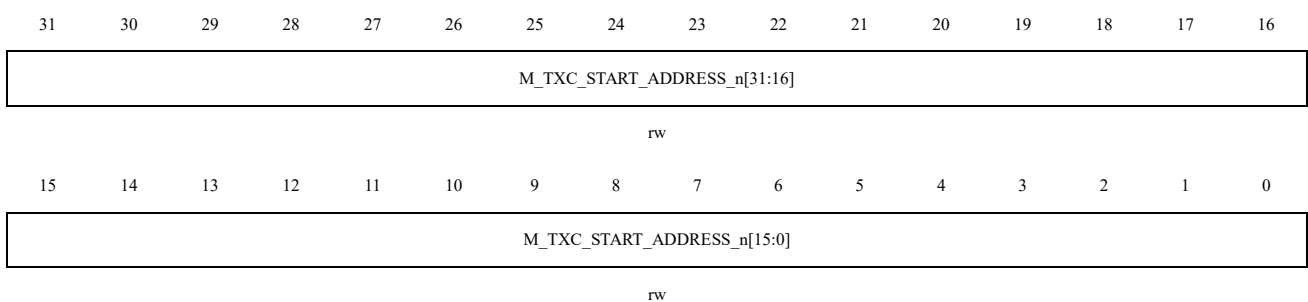
1:0	M_TXA_WRAP_MODE_U_n[1:0]	U 方向包裹模式 0: 修剪纹理 1: 重复纹理 2: 镜像纹理 3: 填充纹理
-----	--------------------------	--

### 45.5.7.2 TXC 起始地址寄存器 (TXC\_START\_ADDRESS\_n, n=0~1)

该寄存器是可读写的。

偏移地址:  $0x04+n*0x1C$

复位值:  $0x0000\ 0000$



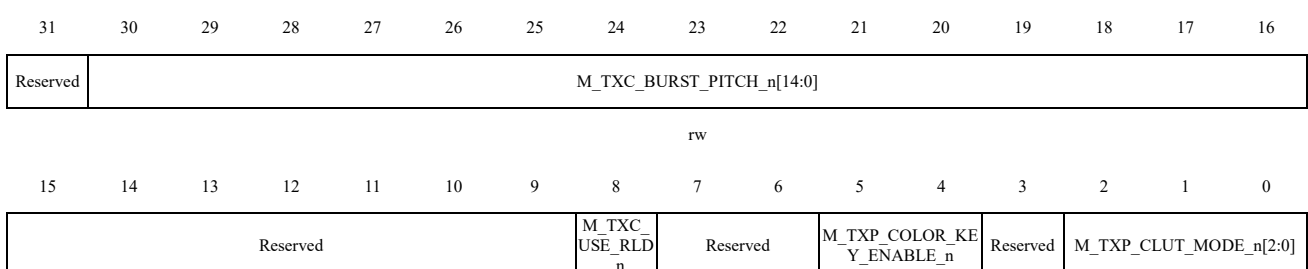
位域	名称	描述
31:0	M_TXC_START_ADDRESS_n[31:0]	内存中纹理左上角纹素的起始地址。在具有线性寻址的线性存储纹理的情况下, 可能与 MBI 总线宽度不对齐, LSB 部分应用于 TXA 模块内部。

### 45.5.7.3 TXP 控制寄存器 (TXP\_CTRL\_n, n=0~1)

该寄存器是可读写的。

偏移地址:  $0x08+n*0x1C$

复位值:  $0x0000\ 0000$



位域	名称	描述
31	Reserved	保留，必须保持复位值
30:16	M_TXC_BURST_PITCH_n[14:0]	虚拟平铺模式中，纹理缓存操作两个突发之间的字节间距
15:9	Reserved	保留，必须保持复位值
8	M_TXC_USE_RLD_n	使用行程编码解码器进行解码（因为只有一个 RLD 单元最大值，所以只有一个纹理单元可以设置此位）。
7:5	Reserved	保留，必须保持复位值
4	M_TXP_COLOR_KEY_ENABLE_n	色彩键使能，当颜色键匹配时，用全部 0 替换像素的 alpha 和 RGB
3	Reserved	保留，必须保持复位值
2:0	M_TXP_CLUT_MODE_n[2:0]	在纹素处理中配置 LUT 的使用 0: 关闭，不使用 LUT 1: 索引颜色，LUT 包含要索引的颜色 2: RGB 映射，LUT 包含 RGB 颜色映射值 3: ARGB 映射，LUT 包含 ARGB 颜色映射值 4: 卷积，LUT 包含权重卷积（无符号） 5: 有符号卷积，LUT 包含权重卷积（有符号）

#### 45.5.7.4 TXP 颜色检查表偏移量寄存器（TXP\_CLUT\_OFFSET\_n, n=0~1）

该寄存器是可读写的。

偏移地址：0x0C+n\*0x1C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Reserved	M_TXP_CLUT_OFFSET_n[8:0]
----------	--------------------------

rw

位域	名称	描述
31:9	Reserved	保留，必须保持复位值
8:0	M_TXP_CLUT_OFFSET_n[8:0]	所有的纹理单元颜色查找表偏移量

#### 45.5.7.5 TXP 色彩键寄存器 (TXP\_COLOR\_KEY\_n, n=0~1)

该寄存器是可读写的。

偏移地址：0x10+n\*0x1C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								M_TXP_COLOR_KEY_n[23:16]							
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
M_TXP_COLOR_KEY_n[15:0]															
rw															

位域	名称	描述
31:24	Reserved	保留，必须保持复位值
23:0	M_TXP_COLOR_KEY_n[23:0]	色彩键比较值 Bit 0 ~ Bit 7: B 通道 Bit 8 ~ Bit 15: G 通道 Bit 16 ~ Bit 23: R 通道

#### 45.5.7.6 TXP 颜色填充寄存器 (TXP\_FILL\_COLOR\_n, n=0~1)

该寄存器是可读写的。

偏移地址：0x14+n\*0x1C

复位值：0x0000 0000





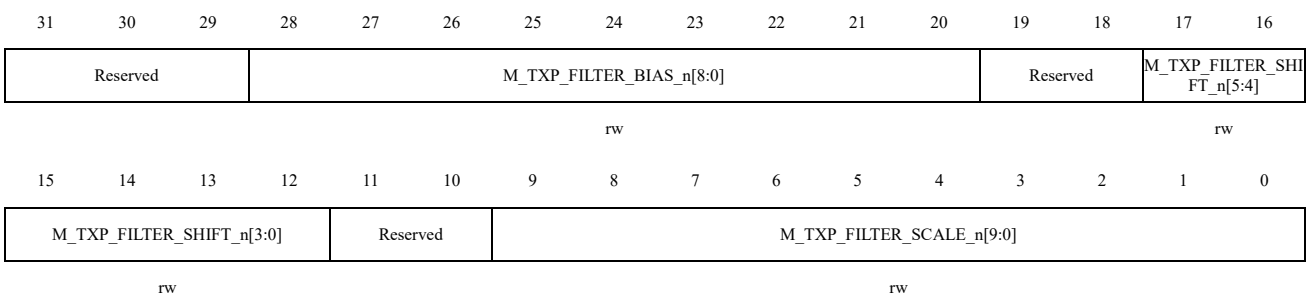
位域	名称	描述
31:0	M_TXP_FILL_COLOR_n[31:0]	包裹模式的纹理填充颜色 Bit 0 ~ Bit 7: B 通道 Bit 8 ~ Bit 15: G 通道 Bit 16 ~ Bit 23: R 通道 Bit 24 ~ Bit 31: Alpha 通道

#### 45.5.7.7 TXP 滤波比例偏差寄存器 (TXP\_FILTER\_SCALE\_BIAS\_n, n=0~1)

该寄存器是可读写的。

偏移地址: 0x18+n\*0x1C

复位值: 0x0000 0001



位域	名称	描述
31:29	Reserved	保留, 必须保持复位值
28:20	M_TXP_FILTER_BIAS_n[8:0]	TXP 单元滤波偏差
19:18	Reserved	保留, 必须保持复位值

17:12	M_TXP_FILTER_SHIFT_n[5:0]	TXP 单元滤波移位比例
11:10	Reserved	保留，必须保持复位值
9:0	M_TXP_FILTER_SCALE_n[9:0]	TXP 单元滤波比例

## 45.5.8 颜色单元 (COL) 寄存器

基地址: 0x5004 0B00

### 45.5.8.1 颜色单元 ARGB Op1a 寄存器 (COL\_ARGB\_OP1A\_n, n=0~2)

该寄存器是可读写的。

偏移地址: 0x00+n\*0x18

复位值: 0x0000 06C0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	M_COL_ALPHA_OP1A_MUL2_n	M_COL_ALPHA_OP1A_INVERT_MODE_n[1:0]	Reserved	Reserved	M_COL_ALPHA_OP1A_ARGB_SELECT_n[1:0]	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	M_COL_ALPHA_OP1A_INPUT_SELECT_n[4:0]
	rw	rw			rw										rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	M_COL_RGB_OP1A_MUL2_n	M_COL_RGB_OP1A_INVERT_MODE_n[1:0]	M_COL_RED_OP1A_ARGB_SELECT_n[1:0]	M_COL_GREEN_OP1A_ARGB_SELECT_n[1:0]	M_COL_BLUE_OP1A_ARGB_SELECT_n[1:0]	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	M_COL_RGB_OP1A_INPUT_SELECT_n[4:0]
	rw	rw	rw	rw	rw				rw						rw

位域	名称	描述
31	Reserved	保留，必须保持复位值
30	M_COL_ALPHA_OP1A_MUL2_n	使能 op1a Alpha 左移 1 位
29:28	M_COL_ALPHA_OP1A_INVERT_MODE_n[1:0]	选择 op1a Alpha 反转模式 0: 无反转 1: 反转所有 9 位 2: 反转 8 LSBs (除了最高位 MSB) 3: 反转第 7 位并将符号扩展到第 8 位 (无符号 8 位数值-128)
27:26	Reserved	保留，必须保持复位值

25:24	M_COL_ALPHA_OP1A_ARGB_SELECT_n[1:0]	Alpha 使用选择输入中的 ARGB 0: 使用所选输入中的 A 1: 使用所选输入中的 R 2: 使用所选输入中的 G 3: 使用所选输入中的 B
23:21	Reserved	保留, 必须保持复位值

20:16	M_COL_ALPHA_OP1A_INPUT_SELECT_n[4:0]	<p>Alpha 选择输入</p> <p>0: 选择常量值 0</p> <p>1: 选择覆盖 Alpha</p> <p>2: 选择之前的结果</p> <p>3: 选择常量颜色 0</p> <p>4: 选择常量颜色 1</p> <p>5: 选择常量颜色 2</p> <p>6: 选择常量颜色 3</p> <p>7: 选择常量颜色 4</p> <p>8: 选择常量颜色 5</p> <p>9: 选择常量颜色 6</p> <p>10: 选择常量颜色 7</p> <p>11: 选择常量颜色 8</p> <p>12: 选择常量颜色 9</p> <p>13: 选择常量颜色 10</p> <p>14: 选择常量颜色 11</p> <p>15: 选择常量颜色 12</p> <p>16: 选择常量颜色 13</p> <p>17: 选择常量颜色 14</p> <p>18: 选择常量颜色 15</p> <p>19: 从纹理单元 0 选择纹理颜色值</p> <p>20: 从纹理单元 1 选择纹理颜色值</p> <p>21: 从纹理单元 2 选择纹理颜色值</p> <p>22: 从纹理单元 3 选择纹理颜色值</p> <p>23: 从纹理单元 4 选择纹理颜色值</p> <p>24: 从纹理单元 5 选择纹理颜色值</p> <p>25: 从纹理单元 6 选择纹理颜色值</p> <p>26: 从纹理单元 7 选择纹理颜色值</p>
15	Reserved	保留，必须保持复位值
14	M_COL_RGB_OP1A_MUL2_n	使能 op1a RGB 左移 1 位

13:12	M_COL_RGB_OP1A_INVERT_MODE_n[1:0]	<p>选择 op1a RGB 反转模式</p> <p>0: 无反转</p> <p>1: 反转所有 9 位</p> <p>2: 反转 8 LSBs (除了最高位 MSB)</p> <p>3: 反转第 7 位并将符号扩展到第 8 位 (无符号 8 位数值-128)</p>
11:10	M_COL_RED_OP1A_ARGB_SELECT_n[1:0]	<p>R 通道使用选择输入中的 ARGB</p> <p>0: 使用所选输入中的 A</p> <p>1: 使用所选输入中的 R</p> <p>2: 使用所选输入中的 G</p> <p>3: 使用所选输入中的 B</p>
9:8	M_COL_GREEN_OP1A_ARGB_SELECT_n[1:0]	<p>G 通道使用选择输入中的 ARGB</p> <p>0: 使用所选输入中的 A</p> <p>1: 使用所选输入中的 R</p> <p>2: 使用所选输入中的 G</p> <p>3: 使用所选输入中的 B</p>
7:6	M_COL_BLUE_OP1A_ARGB_SELECT_n[1:0]	<p>B 通道使用选择输入中的 ARGB</p> <p>0: 使用所选输入中的 A</p> <p>1: 使用所选输入中的 R</p> <p>2: 使用所选输入中的 G</p> <p>3: 使用所选输入中的 B</p>
5	Reserved	保留, 必须保持复位值

4:0	M_COL_RGB_OP1A_INPUT_SELECT_n[4:0]	<p>RGB 选择输入</p> <p>0: 选择常量值 0</p> <p>1: 选择覆盖 Alpha</p> <p>2: 选择之前的结果</p> <p>3: 选择常量颜色 0</p> <p>4: 选择常量颜色 1</p> <p>5: 选择常量颜色 2</p> <p>6: 选择常量颜色 3</p> <p>7: 选择常量颜色 4</p> <p>8: 选择常量颜色 5</p> <p>9: 选择常量颜色 6</p> <p>10: 选择常量颜色 7</p> <p>11: 选择常量颜色 8</p> <p>12: 选择常量颜色 9</p> <p>13: 选择常量颜色 10</p> <p>14: 选择常量颜色 11</p> <p>15: 选择常量颜色 12</p> <p>16: 选择常量颜色 13</p> <p>17: 选择常量颜色 14</p> <p>18: 选择常量颜色 15</p> <p>19: 从纹理单元 0 选择纹理颜色值</p> <p>20: 从纹理单元 1 选择纹理颜色值</p> <p>21: 从纹理单元 2 选择纹理颜色值</p> <p>22: 从纹理单元 3 选择纹理颜色值</p> <p>23: 从纹理单元 4 选择纹理颜色值</p> <p>24: 从纹理单元 5 选择纹理颜色值</p> <p>25: 从纹理单元 6 选择纹理颜色值</p> <p>26: 从纹理单元 7 选择纹理颜色值</p>
-----	------------------------------------	---

#### 45.5.8.2 颜色单元 ARGB Op1b 寄存器 (COL\_ARGB\_OP1B\_n, n=0~2)

该寄存器是可读写的。

偏移地址：0x04+n\*0x18

复位值：0x0000 06C0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M_COL_ALPHA_CARRY1_n	M_COL_ALPHA_OP1B_MUL2_n	M_COL_ALPHA_OP1B_INVERT_MODE_n[1:0]	Reserved			M_COL_ALPHA_OP1B_ARGB_SELECT_n[1:0]	Reserved			M_COL_ALPHA_OP1B_INPUT_SELECT_n[4:0]					
rw	rw	rw				rw				rw					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
M_COL_RGB_CARRY1_n	M_COL_RGB_OP1B_MUL2_n	M_COL_RGB_OP1B_INVERT_MODE_n	M_COL_RED_OP1B_ARGB_SELECT_n[1:0]	M_COL_GREEN_OP1B_ARGB_SELECT_n[1:0]	M_COL_BLUE_OP1B_ARGB_SELECT_n[1:0]	Reserved			M_COL_RGB_OP1B_INPUT_SELECT_n[4:0]						
rw	rw	rw	rw	rw	rw	rw			rw						

位域	名称	描述
31	M_COL_ALPHA_CARRY1_n	使能 Alpha 以颜色为单位的第一个加法器的进位
30	M_COL_ALPHA_OP1B_MUL2_n	使能 op1b Alpha 左移 1 位
29:28	M_COL_ALPHA_OP1B_INVERT_MODE_n[1:0]	选择 op1b Alpha 反转模式 0: 无反转 1: 反转所有 9 位 2: 反转 8 LSBs (除了最高位 MSB) 3: 反转第 7 位并将符号扩展到第 8 位 (无符号 8 位数值-128)
27:26	Reserved	保留, 必须保持复位值
25:24	M_COL_ALPHA_OP1B_ARGB_SELECT_n[1:0]	Alpha 使用选择输入中的 ARGB 0: 使用所选输入中的 A 1: 使用所选输入中的 R 2: 使用所选输入中的 G 3: 使用所选输入中的 B
23:21	Reserved	保留, 必须保持复位值

20:16	M_COL_ALPHA_OP1B_INPUT_SELECT_n[4:0]	<p>Alpha 选择输入</p> <p>0: 选择常量值 0</p> <p>1: 选择覆盖 Alpha</p> <p>2: 选择之前的结果</p> <p>3: 选择常量颜色 0</p> <p>4: 选择常量颜色 1</p> <p>5: 选择常量颜色 2</p> <p>6: 选择常量颜色 3</p> <p>7: 选择常量颜色 4</p> <p>8: 选择常量颜色 5</p> <p>9: 选择常量颜色 6</p> <p>10: 选择常量颜色 7</p> <p>11: 选择常量颜色 8</p> <p>12: 选择常量颜色 9</p> <p>13: 选择常量颜色 10</p> <p>14: 选择常量颜色 11</p> <p>15: 选择常量颜色 12</p> <p>16: 选择常量颜色 13</p> <p>17: 选择常量颜色 14</p> <p>18: 选择常量颜色 15</p> <p>19: 从纹理单元 0 选择纹理颜色值</p> <p>20: 从纹理单元 1 选择纹理颜色值</p> <p>21: 从纹理单元 2 选择纹理颜色值</p> <p>22: 从纹理单元 3 选择纹理颜色值</p> <p>23: 从纹理单元 4 选择纹理颜色值</p> <p>24: 从纹理单元 5 选择纹理颜色值</p> <p>25: 从纹理单元 6 选择纹理颜色值</p> <p>26: 从纹理单元 7 选择纹理颜色值</p>
15	M_COL_RGB_CARRY1_n	使能 RGB 以颜色为单位的第一个加法器的进位
14	M_COL_RGB_OP1B_MUL2_n	使能 op1b RGB 左移 1 位



13:12	M_COL_RGB_OP1B_INVERT_MODE_n[1:0]	<p>选择 op1b RGB 反转模式</p> <p>0: 无反转</p> <p>1: 反转所有 9 位</p> <p>2: 反转 8 LSBs (除了最高位 MSB)</p> <p>3: 反转第 7 位并将符号扩展到第 8 位 (无符号 8 位数值-128)</p>
11:10	M_COL_RED_OP1B_ARGB_SELECT_n[1:0]	<p>R 通道使用选择输入中的 ARGB</p> <p>0: 使用所选输入中的 A</p> <p>1: 使用所选输入中的 R</p> <p>2: 使用所选输入中的 G</p> <p>3: 使用所选输入中的 B</p>
9:8	M_COL_GREEN_OP1B_ARGB_SELECT_n[1:0]	<p>G 通道使用选择输入中的 ARGB</p> <p>0: 使用所选输入中的 A</p> <p>1: 使用所选输入中的 R</p> <p>2: 使用所选输入中的 G</p> <p>3: 使用所选输入中的 B</p>
7:6	M_COL_BLUE_OP1B_ARGB_SELECT_n[1:0]	<p>B 通道使用选择输入中的 ARGB</p> <p>0: 使用所选输入中的 A</p> <p>1: 使用所选输入中的 R</p> <p>2: 使用所选输入中的 G</p> <p>3: 使用所选输入中的 B</p>
5	Reserved	保留, 必须保持复位值

4:0	M_COL_RGB_OP1B_INPUT_SELECT_n[4:0]	<p>RGB 选择输入</p> <p>0: 选择常量值 0</p> <p>1: 选择覆盖 Alpha</p> <p>2: 选择之前的结果</p> <p>3: 选择常量颜色 0</p> <p>4: 选择常量颜色 1</p> <p>5: 选择常量颜色 2</p> <p>6: 选择常量颜色 3</p> <p>7: 选择常量颜色 4</p> <p>8: 选择常量颜色 5</p> <p>9: 选择常量颜色 6</p> <p>10: 选择常量颜色 7</p> <p>11: 选择常量颜色 8</p> <p>12: 选择常量颜色 9</p> <p>13: 选择常量颜色 10</p> <p>14: 选择常量颜色 11</p> <p>15: 选择常量颜色 12</p> <p>16: 选择常量颜色 13</p> <p>17: 选择常量颜色 14</p> <p>18: 选择常量颜色 15</p> <p>19: 从纹理单元 0 选择纹理颜色值</p> <p>20: 从纹理单元 1 选择纹理颜色值</p> <p>21: 从纹理单元 2 选择纹理颜色值</p> <p>22: 从纹理单元 3 选择纹理颜色值</p> <p>23: 从纹理单元 4 选择纹理颜色值</p> <p>24: 从纹理单元 5 选择纹理颜色值</p> <p>25: 从纹理单元 6 选择纹理颜色值</p> <p>26: 从纹理单元 7 选择纹理颜色值</p>
-----	------------------------------------	---

#### 45.5.8.3 颜色单元 ARGB Op2a 寄存器 (COL\_ARGB\_OP2A\_n, n=0~2)

该寄存器是可读写的。

偏移地址: 0x08+n\*0x18

复位值: 0x0000 06C0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	M_COL_ALPHA_OP2A_MUL2_n	M_COL_ALPHA_OP2A_INVERT_MODE_n[1:0]	Reserved	Reserved	Reserved	M_COL_ALPHA_OP2A_ARGB_SELECT_n[1:0]	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	M_COL_ALPHA_OP2A_INPUT_SELECT_n[4:0]
	rw	rw				rw									rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	M_COL_RGB_OP2A_MUL2_n	M_COL_RGB_OP2A_INVERT_MODE_n[1:0]	M_COL_RED_OP2A_ARGB_SELECT_n[1:0]	M_COL_RED_OP2A_ARGB_SELECT_n[1:0]	M_COL_GREEN_OP2A_ARGB_SELECT_n[1:0]	M_COL_GREEN_OP2A_ARGB_SELECT_n[1:0]	M_COL_BLUE_OP2A_ARGB_SELECT_n[1:0]	M_COL_BLUE_OP2A_ARGB_SELECT_n[1:0]	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	M_COL_RGB_OP2A_INPUT_SELECT_n[4:0]
	rw	rw	rw	rw	rw	rw	rw	rw							rw

位域	名称	描述
31	Reserved	保留, 必须保持复位值
30	M_COL_ALPHA_OP2A_MUL2_n	使能 op2a Alpha 左移 1 位
29:28	M_COL_ALPHA_OP2A_INVERT_MODE_n[1:0]	选择 op2a Alpha 反转模式 0: 无反转 1: 反转所有 9 位 2: 反转 8 LSBs (除了最高位 MSB) 3: 反转第 7 位并将符号扩展到第 8 位 (无符号 8 位数值-128)
27:26	Reserved	保留, 必须保持复位值
25:24	M_COL_ALPHA_OP2A_ARGB_SELECT_n[1:0]	Alpha 使用选择输入中的 ARGB 0: 使用所选输入中的 A 1: 使用所选输入中的 R 2: 使用所选输入中的 G 3: 使用所选输入中的 B
23:21	Reserved	保留, 必须保持复位值

20:16	M_COL_ALPHA_OP2A_INPUT_SELECT_n[4:0]	<p>Alpha 选择输入</p> <p>0: 选择常量值 0</p> <p>1: 选择覆盖 Alpha</p> <p>2: 选择之前的结果</p> <p>3: 选择常量颜色 0</p> <p>4: 选择常量颜色 1</p> <p>5: 选择常量颜色 2</p> <p>6: 选择常量颜色 3</p> <p>7: 选择常量颜色 4</p> <p>8: 选择常量颜色 5</p> <p>9: 选择常量颜色 6</p> <p>10: 选择常量颜色 7</p> <p>11: 选择常量颜色 8</p> <p>12: 选择常量颜色 9</p> <p>13: 选择常量颜色 10</p> <p>14: 选择常量颜色 11</p> <p>15: 选择常量颜色 12</p> <p>16: 选择常量颜色 13</p> <p>17: 选择常量颜色 14</p> <p>18: 选择常量颜色 15</p> <p>19: 从纹理单元 0 选择纹理颜色值</p> <p>20: 从纹理单元 1 选择纹理颜色值</p> <p>21: 从纹理单元 2 选择纹理颜色值</p> <p>22: 从纹理单元 3 选择纹理颜色值</p> <p>23: 从纹理单元 4 选择纹理颜色值</p> <p>24: 从纹理单元 5 选择纹理颜色值</p> <p>25: 从纹理单元 6 选择纹理颜色值</p> <p>26: 从纹理单元 7 选择纹理颜色值</p>
15	Reserved	保留，必须保持复位值
14	M_COL_RGB_OP2A_MUL2_n	使能 op2a RGB 左移 1 位

13:12	M_COL_RGB_OP2A_INVERT_MODE_n[1:0]	<p>选择 op2a RGB 反转模式</p> <p>0: 无反转</p> <p>1: 反转所有 9 位</p> <p>2: 反转 8 LSBs (除了最高位 MSB)</p> <p>3: 反转第 7 位并将符号扩展到第 8 位 (无符号 8 位数值-128)</p>
11:10	M_COL_RED_OP2A_ARGB_SELECT_n[1:0]	<p>R 通道使用选择输入中的 ARGB</p> <p>0: 使用所选输入中的 A</p> <p>1: 使用所选输入中的 R</p> <p>2: 使用所选输入中的 G</p> <p>3: 使用所选输入中的 B</p>
9:8	M_COL_GREEN_OP2A_ARGB_SELECT_n[1:0]	<p>G 通道使用选择输入中的 ARGB</p> <p>0: 使用所选输入中的 A</p> <p>1: 使用所选输入中的 R</p> <p>2: 使用所选输入中的 G</p> <p>3: 使用所选输入中的 B</p>
7:6	M_COL_BLUE_OP2A_ARGB_SELECT_n[1:0]	<p>B 通道使用选择输入中的 ARGB</p> <p>0: 使用所选输入中的 A</p> <p>1: 使用所选输入中的 R</p> <p>2: 使用所选输入中的 G</p> <p>3: 使用所选输入中的 B</p>
5	Reserved	保留, 必须保持复位值

4:0	M_COL_RGB_OP2A_INPUT_SELECT_n[4:0]	<p>RGB 选择输入</p> <p>0: 选择常量值 0</p> <p>1: 选择覆盖 Alpha</p> <p>2: 选择之前的结果</p> <p>3: 选择常量颜色 0</p> <p>4: 选择常量颜色 1</p> <p>5: 选择常量颜色 2</p> <p>6: 选择常量颜色 3</p> <p>7: 选择常量颜色 4</p> <p>8: 选择常量颜色 5</p> <p>9: 选择常量颜色 6</p> <p>10: 选择常量颜色 7</p> <p>11: 选择常量颜色 8</p> <p>12: 选择常量颜色 9</p> <p>13: 选择常量颜色 10</p> <p>14: 选择常量颜色 11</p> <p>15: 选择常量颜色 12</p> <p>16: 选择常量颜色 13</p> <p>17: 选择常量颜色 14</p> <p>18: 选择常量颜色 15</p> <p>19: 从纹理单元 0 选择纹理颜色值</p> <p>20: 从纹理单元 1 选择纹理颜色值</p> <p>21: 从纹理单元 2 选择纹理颜色值</p> <p>22: 从纹理单元 3 选择纹理颜色值</p> <p>23: 从纹理单元 4 选择纹理颜色值</p> <p>24: 从纹理单元 5 选择纹理颜色值</p> <p>25: 从纹理单元 6 选择纹理颜色值</p> <p>26: 从纹理单元 7 选择纹理颜色值</p>
-----	------------------------------------	---

#### 45.5.8.4 颜色单元 ARGB Op2b 寄存器 (COL\_ARGB\_OP2B\_n, n=0~2)

该寄存器是可读写的。

偏移地址：0x0C+n\*0x18

复位值：0x0000 06C0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M_COL_ALPHA_CARRY2_n	M_COL_ALPHA_OP2B_MUL2_n	M_COL_ALPHA_OP2B_INVERT_MODE_n[1:0]	Reserved	M_COL_ALPHA_OP2B_ARGB_SELECT_n[1:0]	Reserved					M_COL_ALPHA_OP2B_INPUT_SELECT_n[4:0]					
rw	rw	rw		rw						rw					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
M_COL_RGB_OP2B_CARRY2_n	M_COL_RGB_OP2B_MUL2_n	M_COL_RGB_OP2B_INVERT_MODE_n[1:0]	M_COL_RED_OP2B_ARGB_SELECT_n[1:0]	M_COL_GREEN_OP2B_ARGB_SELECT_n[1:0]	M_COL_BLUE_OP2B_ARGB_SELECT_n[1:0]	Reserved					M_COL_RGB_OP2B_INPUT_SELECT_n[4:0]				
rw	rw	rw	rw	rw	rw	rw					rw				

位域	名称	描述
31	M_COL_ALPHA_CARRY2_n	使能 Alpha 以颜色为单位的第二个加法器的进位
30	M_COL_ALPHA_OP2B_MUL2_n	使能 op2b Alpha 左移 1 位
29:28	M_COL_ALPHA_OP2B_INVERT_MODE_n[1:0]	选择 op2b Alpha 反转模式 0: 无反转 1: 反转所有 9 位 2: 反转 8 LSBs (除了最高位 MSB) 3: 反转第 7 位并将符号扩展到第 8 位 (无符号 8 位数值-128)
27:26	Reserved	保留, 必须保持复位值
25:24	M_COL_ALPHA_OP2B_ARGB_SELECT_n[1:0]	Alpha 使用选择输入中的 ARGB 0: 使用所选输入中的 A 1: 使用所选输入中的 R 2: 使用所选输入中的 G 3: 使用所选输入中的 B
23:21	Reserved	保留, 必须保持复位值

20:16	M_COL_ALPHA_OP2B_INPUT_SELECT_n[4:0]	<p>Alpha 选择输入</p> <p>0: 选择常量值 0</p> <p>1: 选择覆盖 Alpha</p> <p>2: 选择之前的结果</p> <p>3: 选择常量颜色 0</p> <p>4: 选择常量颜色 1</p> <p>5: 选择常量颜色 2</p> <p>6: 选择常量颜色 3</p> <p>7: 选择常量颜色 4</p> <p>8: 选择常量颜色 5</p> <p>9: 选择常量颜色 6</p> <p>10: 选择常量颜色 7</p> <p>11: 选择常量颜色 8</p> <p>12: 选择常量颜色 9</p> <p>13: 选择常量颜色 10</p> <p>14: 选择常量颜色 11</p> <p>15: 选择常量颜色 12</p> <p>16: 选择常量颜色 13</p> <p>17: 选择常量颜色 14</p> <p>18: 选择常量颜色 15</p> <p>19: 从纹理单元 0 选择纹理颜色值</p> <p>20: 从纹理单元 1 选择纹理颜色值</p> <p>21: 从纹理单元 2 选择纹理颜色值</p> <p>22: 从纹理单元 3 选择纹理颜色值</p> <p>23: 从纹理单元 4 选择纹理颜色值</p> <p>24: 从纹理单元 5 选择纹理颜色值</p> <p>25: 从纹理单元 6 选择纹理颜色值</p> <p>26: 从纹理单元 7 选择纹理颜色值</p>
15	M_COL_RGB_CARRY2_n	使能 RGB 以颜色为单位的第二个加法器的进位
14	M_COL_RGB_OP2B_MUL2_n	使能 op2b RGB 左移 1 位



13:12	M_COL_RGB_OP2B_INVERT_MODE_n[1:0]	<p>选择 op2b RGB 反转模式</p> <p>0: 无反转</p> <p>1: 反转所有 9 位</p> <p>2: 反转 8 LSBs (除了最高位 MSB)</p> <p>3: 反转第 7 位并将符号扩展到第 8 位 (无符号 8 位数值-128)</p>
11:10	M_COL_RED_OP2B_ARGB_SELECT_n[1:0]	<p>R 通道使用选择输入中的 ARGB</p> <p>0: 使用所选输入中的 A</p> <p>1: 使用所选输入中的 R</p> <p>2: 使用所选输入中的 G</p> <p>3: 使用所选输入中的 B</p>
9:8	M_COL_GREEN_OP2B_ARGB_SELECT_n[1:0]	<p>G 通道使用选择输入中的 ARGB</p> <p>0: 使用所选输入中的 A</p> <p>1: 使用所选输入中的 R</p> <p>2: 使用所选输入中的 G</p> <p>3: 使用所选输入中的 B</p>
7:6	M_COL_BLUE_OP2B_ARGB_SELECT_n[1:0]	<p>B 通道使用选择输入中的 ARGB</p> <p>0: 使用所选输入中的 A</p> <p>1: 使用所选输入中的 R</p> <p>2: 使用所选输入中的 G</p> <p>3: 使用所选输入中的 B</p>
5	Reserved	保留, 必须保持复位值

4:0	M_COL_RGB_OP2B_INPUT_SELECT_n[4:0]	<p>RGB 选择输入</p> <p>0: 选择常量值 0</p> <p>1: 选择覆盖 Alpha</p> <p>2: 选择之前的结果</p> <p>3: 选择常量颜色 0</p> <p>4: 选择常量颜色 1</p> <p>5: 选择常量颜色 2</p> <p>6: 选择常量颜色 3</p> <p>7: 选择常量颜色 4</p> <p>8: 选择常量颜色 5</p> <p>9: 选择常量颜色 6</p> <p>10: 选择常量颜色 7</p> <p>11: 选择常量颜色 8</p> <p>12: 选择常量颜色 9</p> <p>13: 选择常量颜色 10</p> <p>14: 选择常量颜色 11</p> <p>15: 选择常量颜色 12</p> <p>16: 选择常量颜色 13</p> <p>17: 选择常量颜色 14</p> <p>18: 选择常量颜色 15</p> <p>19: 从纹理单元 0 选择纹理颜色值</p> <p>20: 从纹理单元 1 选择纹理颜色值</p> <p>21: 从纹理单元 2 选择纹理颜色值</p> <p>22: 从纹理单元 3 选择纹理颜色值</p> <p>23: 从纹理单元 4 选择纹理颜色值</p> <p>24: 从纹理单元 5 选择纹理颜色值</p> <p>25: 从纹理单元 6 选择纹理颜色值</p> <p>26: 从纹理单元 7 选择纹理颜色值</p>
-----	------------------------------------	---

#### 45.5.8.5 颜色单元 ARGB Op3 寄存器 (COL\_ARGB\_OP3\_n, n=0~2)

该寄存器是可读写的。

偏移地址:  $0x10+n*0x18$ 

复位值: 0x0003 06C3

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved	M_COL_ALPHA_OP3_MUL2_n	M_COL_ALPHA_OP3_INVERT_MODE_n[1:0]	Reserved	M_COL_ALPHA_OP3_ARGB_SELECT_n[1:0]	Reserved	M_COL_ALPHA_OP3_ARGB_SELECT_n[1:0]	Reserved	M_COL_ALPHA_OP3_ARGB_SELECT_n[1:0]	Reserved	M_COL_ALPHA_OP3_ARGB_SELECT_n[1:0]	Reserved	M_COL_ALPHA_OP3_ARGB_SELECT_n[1:0]	Reserved	M_COL_ALPHA_OP3_ARGB_SELECT_n[1:0]	M_COL_ALPHA_OP3_INPUT_SELECT_n[4:0]	
	rw	rw		rw		rw		rw		rw		rw		rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved	M_COL_RGB_OP3_MUL2_n	M_COL_RGB_OP3_INVERT_MODE_n[1:0]	M_COL_RED_OP3_ARGB_SELECT_n[1:0]	M_COL_GREEN_OP3_ARGB_SELECT_n[1:0]	M_COL_BLUE_OP3_ARGB_SELECT_n[1:0]	Reserved	M_COL_RGB_OP3_ARGB_SELECT_n[1:0]	Reserved	M_COL_RGB_OP3_ARGB_SELECT_n[1:0]	Reserved	M_COL_RGB_OP3_ARGB_SELECT_n[1:0]	Reserved	M_COL_RGB_OP3_ARGB_SELECT_n[1:0]	Reserved	M_COL_RGB_OP3_ARGB_SELECT_n[1:0]	M_COL_RGB_OP3_INPUT_SELECT_n[4:0]
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31	Reserved	保留, 必须保持复位值
30	M_COL_ALPHA_OP3_MUL2_n	使能 op3a Alpha 左移 1 位
29:28	M_COL_ALPHA_OP3_INVERT_MODE_n[1:0]	选择 op3a Alpha 反转模式 0: 无反转 1: 反转所有 9 位 2: 反转 8 LSBs (除了最高位 MSB) 3: 反转第 7 位并将符号扩展到第 8 位 (无符号 8 位数值-128)
27:26	Reserved	保留, 必须保持复位值
25:24	M_COL_ALPHA_OP3_ARGB_SELECT_n[1:0]	Alpha 使用选择输入中的 ARGB 0: 使用所选输入中的 A 1: 使用所选输入中的 R 2: 使用所选输入中的 G 3: 使用所选输入中的 B
23:21	Reserved	保留, 必须保持复位值

20:16	M_COL_ALPHA_OP3_INPUT_SELECT_n[4:0]	<p>Alpha 选择输入</p> <p>0: 选择常量值 0</p> <p>1: 选择覆盖 Alpha</p> <p>2: 选择之前的结果</p> <p>3: 选择常量颜色 0</p> <p>4: 选择常量颜色 1</p> <p>5: 选择常量颜色 2</p> <p>6: 选择常量颜色 3</p> <p>7: 选择常量颜色 4</p> <p>8: 选择常量颜色 5</p> <p>9: 选择常量颜色 6</p> <p>10: 选择常量颜色 7</p> <p>11: 选择常量颜色 8</p> <p>12: 选择常量颜色 9</p> <p>13: 选择常量颜色 10</p> <p>14: 选择常量颜色 11</p> <p>15: 选择常量颜色 12</p> <p>16: 选择常量颜色 13</p> <p>17: 选择常量颜色 14</p> <p>18: 选择常量颜色 15</p> <p>19: 从纹理单元 0 选择纹理颜色值</p> <p>20: 从纹理单元 1 选择纹理颜色值</p> <p>21: 从纹理单元 2 选择纹理颜色值</p> <p>22: 从纹理单元 3 选择纹理颜色值</p> <p>23: 从纹理单元 4 选择纹理颜色值</p> <p>24: 从纹理单元 5 选择纹理颜色值</p> <p>25: 从纹理单元 6 选择纹理颜色值</p> <p>26: 从纹理单元 7 选择纹理颜色值</p>
15	Reserved	保留，必须保持复位值
14	M_COL_RGB_OP3_MUL2_n	使能 op3a RGB 左移 1 位

13:12	M_COL_RGB_OP3_INVERT_MODE_n[1:0]	选择 op3a RGB 反转模式 0: 无反转 1: 反转所有 9 位 2: 反转 8 LSBs (除了最高位 MSB) 3: 反转第 7 位并将符号扩展到第 8 位 (无符号 8 位数值-128)
11:10	M_COL_RED_OP3_ARGB_SELECT_n[1:0]	R 通道使用选择输入中的 ARGB 0: 使用所选输入中的 A 1: 使用所选输入中的 R 2: 使用所选输入中的 G 3: 使用所选输入中的 B
9:8	M_COL_GREEN_OP3_ARGB_SELECT_n[1:0]	G 通道使用选择输入中的 ARGB 0: 使用所选输入中的 A 1: 使用所选输入中的 R 2: 使用所选输入中的 G 3: 使用所选输入中的 B
7:6	M_COL_BLUE_OP3_ARGB_SELECT_n[1:0]	B 通道使用选择输入中的 ARGB 0: 使用所选输入中的 A 1: 使用所选输入中的 R 2: 使用所选输入中的 G 3: 使用所选输入中的 B
5	Reserved	保留, 必须保持复位值

4:0	M_COL_RGB_OP3_INPUT_SELECT_n[4:0]	<p>RGB 选择输入</p> <p>0: 选择常量值 0</p> <p>1: 选择覆盖 Alpha</p> <p>2: 选择之前的结果</p> <p>3: 选择常量颜色 0</p> <p>4: 选择常量颜色 1</p> <p>5: 选择常量颜色 2</p> <p>6: 选择常量颜色 3</p> <p>7: 选择常量颜色 4</p> <p>8: 选择常量颜色 5</p> <p>9: 选择常量颜色 6</p> <p>10: 选择常量颜色 7</p> <p>11: 选择常量颜色 8</p> <p>12: 选择常量颜色 9</p> <p>13: 选择常量颜色 10</p> <p>14: 选择常量颜色 11</p> <p>15: 选择常量颜色 12</p> <p>16: 选择常量颜色 13</p> <p>17: 选择常量颜色 14</p> <p>18: 选择常量颜色 15</p> <p>19: 从纹理单元 0 选择纹理颜色值</p> <p>20: 从纹理单元 1 选择纹理颜色值</p> <p>21: 从纹理单元 2 选择纹理颜色值</p> <p>22: 从纹理单元 3 选择纹理颜色值</p> <p>23: 从纹理单元 4 选择纹理颜色值</p> <p>24: 从纹理单元 5 选择纹理颜色值</p> <p>25: 从纹理单元 6 选择纹理颜色值</p> <p>26: 从纹理单元 7 选择纹理颜色值</p>
-----	-----------------------------------	---

#### 45.5.8.6 颜色单元 ARGB 输出寄存器 (COL\_ARGB\_OUT\_n, n=0~2)

该寄存器是可读写的。

偏移地址:  $0x14+n*0x18$ 

 复位值:  $0x1001\ 1001$ 

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			M_COL_ALPHA_CLAMP_OUT_n	Reserved										M_COL_ALPHA_SCALE_OUT_n[1:0]	
			rw											rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			M_COL_RGB_CLAMP_OUT_n	Reserved										M_COL_RGB_SCALE_OUT_n[1:0]	
			rw											rw	

位域	名称	描述
31:29	Reserved	保留, 必须保持复位值
28	M_COL_ALPHA_CLAMP_OUT_n	允许将输出 Alpha 值箝位到范围 0~255(-256~255 除外)
27:18	Reserved	保留, 必须保持复位值
17:16	M_COL_ALPHA_SCALE_OUT_n[1:0]	选择输出 Alpha 值的比例模式 0: 右移一位 (/2) 1: 不移位 (*1) 2: 左移一位 (*2) 3: 左移二位 (*4)
15:13	Reserved	保留, 必须保持复位值
12	M_COL_RGB_CLAMP_OUT_n	允许将输出 RGB 值箝位到范围 0~255(-256~255 除外)
11:2	Reserved	保留, 必须保持复位值
1:0	M_COL_RGB_SCALE_OUT_n[1:0]	选择输出 RGB 值的比例模式 0: 右移一位 (/2) 1: 不移位 (*1) 2: 左移一位 (*2) 3: 左移二位 (*4)

## 45.5.9 混合单元（BLU）寄存器

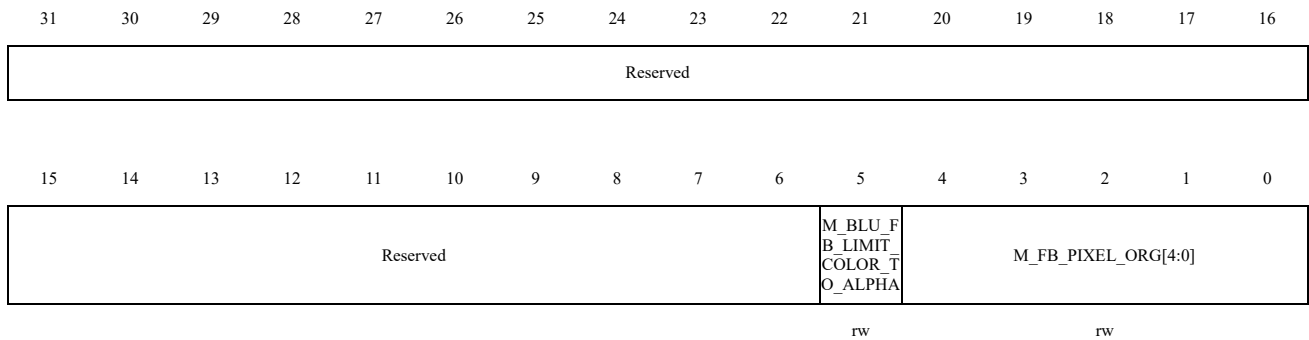
基地址：0x5004 0C00

### 45.5.9.1 帧缓存像素格式寄存器（FB\_PIXEL\_ORG）

该寄存器是可读写的。

偏移地址：0x00

复位值：0x0000 0000



位域	名称	描述
31:6	Reserved	保留，必须保持复位值
5	M_BLU_FB_LIMIT_COLOR_TO_ALPHA	使能读取帧缓存后 G 和 B 通道值到 Alpha（预乘格式时）



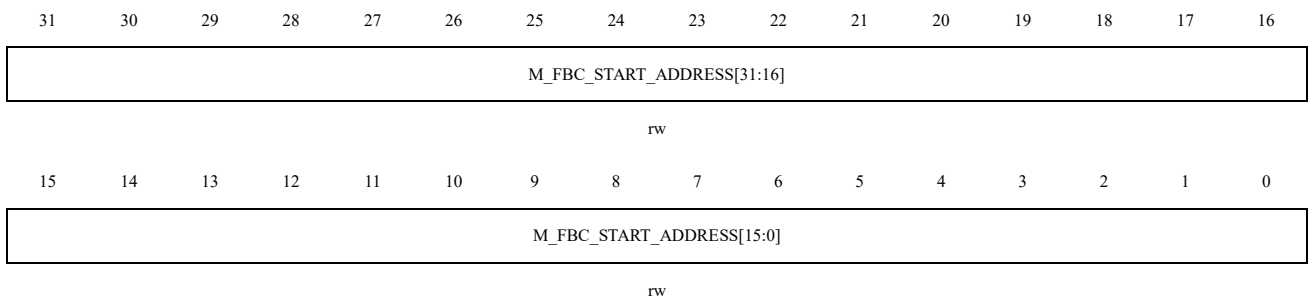
4:0	M_FB_PIXEL_ORG[4:0]	帧缓存像素分配/格式 0: ARGB_8888,4 通道 32 位 1: RGBA_8888,4 通道 32 位 2: ARGB_4444,4 通道 16 位 3: RGBA_4444,4 通道 16 位 4: ARGB_1555,4 通道 16 位 5: RGBA_5551,4 通道 16 位 6: RGB_565,3 通道 16 位 7: AL_88,2 通道 16 位 8: AL_44,2 通道 8 位 9: A_8,1 通道 8 位 10: L_8,1 通道 8 位 11: AL_17,2 通道 8 位 12: ARGB_2222,4 通道 8 位 13: RGBA_2222,4 通道 8 位 14: RGB_888,3 通道 24 位 15: BGR_888,3 通道 24 位 16: ARGB_8565,4 通道 24 位 17: RGBA_8565,4 通道 24 位
-----	---------------------	--

### 45.5.9.2 FBC 起始地址寄存器 (FBC\_START\_ADDRESS)

该寄存器是可读写的。

偏移地址: 0x04

复位值: 0x0000 0000



位域	名称	描述
31:0	M_FBC_START_ADDRESS[31:0]	FBC 起始地址.必须和 MBI 总线宽度对齐。

### 45.5.9.3 BLU 颜色混合寄存器 (BLU\_BLEND)

该寄存器是可读写的。

偏移地址：0x08

复位值：0x0122 0D22

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M_BLU_FB_POSTDIVIDE_ENABLE	M_BLU_FB_PREMULTIPLY_ENABLE	Reserved	M_BLU_ALPHA_BLEND_MODE	Reserved	M_BLU_ALPHA_DST_BLEND_FACTOR_INVERT	M_BLU_ALPHA_SRC_BLEND_FACTOR_INVERT	Reserved	M_BLU_ALPHA_DST_BLEND_FACTOR_SELECT[1:0]	Reserved	M_BLU_ALPHA_SRC_BLEND_FACTOR_SELECT[1:0]	Reserved	Reserved	Reserved	Reserved	Reserved
rw	rw		rw		rw	rw		rw		rw					rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	M_BLU_COLOR_BLEND_MODE[2:0]		M_BLU_COLOR_BLEND_FACTOR_USE_ALPHA	M_BLU_COLOR_BLEND_FACTOR_USE_ALPHA	M_BLU_COLOR_BLEND_FACTOR_INVERT	M_BLU_COLOR_BLEND_FACTOR_INVERT	Reserved	M_BLU_COLOR_DST_BLEND_FACTOR_SELECT[1:0]	Reserved	M_BLU_COLOR_SRC_BLEND_FACTOR_SELECT[1:0]	Reserved	Reserved	Reserved	Reserved	Reserved
			rw	rw	rw	rw	rw		rw		rw				rw

位域	名称	描述
31	M_BLU_FB_POSTDIVIDE_ENABLE	使能混合后（覆盖混合前）按 Alpha 通道划分颜色通道
30	M_BLU_FB_PREMULTIPLY_ENABLE	使能混合前将目标颜色乘以目标 Alpha
29	Reserved	保留，必须保持复位值
28	M_BLU_ALPHA_BLEND_MODE	Alpha 通道混合模式 0: 一般混合, $out=src*f\_src+dst*f\_dst$ 1: 乘加, 仅添加第 2 个因子, $out=src*f\_src+ f\_dst$
27:26	Reserved	保留，必须保持复位值
25	M_BLU_ALPHA_DST_BLEND_FACTOR_INVERT	Alpha 通道混合的目标混合因子反转
24	M_BLU_ALPHA_SRC_BLEND_FACTOR_INVERT	Alpha 通道混合的源混合因子反转

23:22	Reserved	保留，必须保持复位值
21:20	M_BLU_ALPHA_DST_BLEND_FACTOR_SELECT[1:0]	Alpha 通道混合的目标混合因子 0: 分别使用 Alpha 源颜色 1: 分别使用 Alpha 目标颜色 2: 使用 0, 0
19:18	Reserved	保留，必须保持复位值
17:16	M_BLU_ALPHA_SRC_BLEND_FACTOR_SELECT[1:0]	Alpha 通道混合的源混合因子 0: 分别使用源 Alpha 和颜色 1: 分别使用目标 Alpha 和颜色 2: 使用 0, 0
15	Reserved	保留，必须保持复位值
14:12	M_BLU_COLOR_BLEND_MODE[2:0]	颜色通道混合模式 0: 一般混合, $out=src*f_{src}+dst*f_{dst}$ 1: 乘加, 仅添加第 2 个因子, $out=src*(f_{src}+dst)+dst*f_{dst}$ 2: 变暗, $out=\min(src+dst*f_{dst}+src*f_{src})$ 3: 变亮, $out=\max(src+dst*f_{dst}+src*f_{src})$
11	M_BLU_COLOR_DST_BLEND_FACTOR_USE_ALPHA	颜色通道混合中目标混合因子 A/RGB 选择
10	M_BLU_COLOR_SRC_BLEND_FACTOR_USE_ALPHA	颜色通道混合中源混合因子 A/RGB 选择
9	M_BLU_COLOR_DST_BLEND_FACTOR_INVERT	颜色通道混合中目标混合因子 A/RGB 反转
8	M_BLU_COLOR_SRC_BLEND_FACTOR_INVERT	颜色通道混合中源混合因子 A/RGB 反转
7:6	Reserved	保留，必须保持复位值

5:4	M_BLU_COLOR_DST_BLEND_FACTOR_SELECT[1:0]	颜色通道混合中目标混合因子 0: SRC, 分别使用源 Alpha 和颜色 1: DST, 分别使用目标 Alpha 和颜色 2: 使用 0, 0
3:2	Reserved	保留, 必须保持复位值
1:0	M_BLU_COLOR_SRC_BLEND_FACTOR_SELECT[1:0]	颜色通道混合中源混合因子 0: SRC, 分别使用源 Alpha 和颜色 1: DST, 分别使用目标 Alpha 和颜色 2: 使用 0, 0

#### 45.5.9.4 BLU 颜色抖动寄存器 (BLU\_DITHER)

该寄存器是可读写的。

偏移地址: 0x0C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved					M_BLU_DITHER_SHIFT_BLUE[2:0]	Reserved	M_BLU_DITHER_SHIFT_GREEN[2:0]	Reserved	M_BLU_DITHER_SHIFT_RED[2:0]							
					rw				rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved							M_BLU_DITHER_BASE[3:0]	Reserved					M_BLU_DITHER_ENABLE			
							rw						rw			

位域	名称	描述
31:27	Reserved	保留, 必须保持复位值
26:24	M_BLU_DITHER_SHIFT_BLUE[2:0]	B 通道的剩余帧缓冲区位数
23	Reserved	保留, 必须保持复位值
22:20	M_BLU_DITHER_SHIFT_GREEN [2:0]	G 通道的剩余帧缓冲区位数
19	Reserved	保留, 必须保持复位值
18:16	M_BLU_DITHER_SHIFT_RED[2:0]	R 通道的剩余帧缓冲区位数

15:8	Reserved	保留，必须保持复位值
7:4	M_BLU_DITHER_BASE[3:0]	抖动矩阵相对于像素抖动偏移的 X/Y 偏移
3:1	Reserved	保留，必须保持复位值
0	M_BLU_DITHER_ENABLE	使能混合后抖动

#### 45.5.9.5 BLU 写控制寄存器 (BLU\_WRITE)

该寄存器是可读写的。

偏移地址：0x10

复位值：0x0001 000F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved														M_BLU_COVERAGE_DEBUG_ENABLE	M_BLU_COVERAGE_BLENDING_ENABLE
														rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											M_BLU_WRITE_ALPHA	M_BLU_WRITE_RED	M_BLU_WRITE_GREEN	M_BLU_WRITE_BLUE	
											rw	rw	rw	rw	

位域	名称	描述
31:18	Reserved	保留，必须保持复位值
17	M_BLU_COVERAGE_DEBUG_ENABLE	使能覆盖调试模式
16	M_BLU_COVERAGE_BLENDING_ENABLE	使能覆盖混合模式
15:4	Reserved	保留，必须保持复位值
3	M_BLU_WRITE_ALPHA	使能写 Alpha 通道
2	M_BLU_WRITE_RED	使能写 R 通道
1	M_BLU_WRITE_GREEN	使能写 G 通道
0	M_BLU_WRITE_BLUE	使能写 B 通道

## 45.5.10 性能计数器（PFC）寄存器

基地址：0x5004 0E00

### 45.5.10.1 PFC 使能寄存器（PFC\_ENABLE）

该寄存器是可读写的。

偏移地址：0x00

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												M_PFC_ENABLE_3	M_PFC_ENABLE_2	M_PFC_ENABLE_1	M_PFC_ENABLE_0
												rw	rw	rw	rw

位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3	M_PFC_ENABLE_3	使能性能计数器 3
2	M_PFC_ENABLE_2	使能性能计数器 2
1	M_PFC_ENABLE_1	使能性能计数器 1
0	M_PFC_ENABLE_0	使能性能计数器 0

### 45.5.10.2 PFC 清除寄存器（PFC\_CLEAR）

该寄存器是可读写的。

偏移地址：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												M_PFC_CLEAR_3	M_PFC_CLEAR_2	M_PFC_CLEAR_1	M_PFC_CLEAR_0

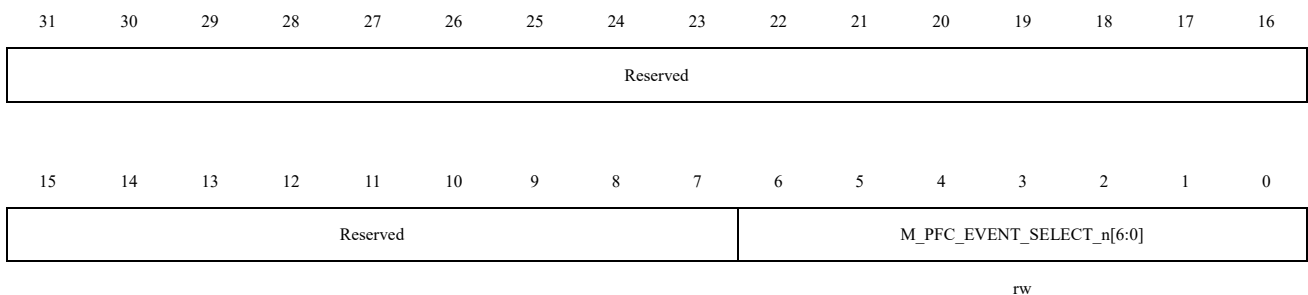
位域	名称	描述
31:4	Reserved	保留，必须保持复位值
3	M_PFC_CLEAR_3	清除性能计数器 3
2	M_PFC_CLEAR_2	清除性能计数器 2
1	M_PFC_CLEAR_1	清除性能计数器 1
0	M_PFC_CLEAR_0	清除性能计数器 0

#### 45.5.10.3 PFC 事件选择寄存器 (PFC\_EVENT\_SELECT\_n, n=0~3)

该寄存器是可读写的。

偏移地址：0x08+n\*4

复位值：0x0000 003B



rw

位域	名称	描述
31:7	Reserved	保留，必须保持复位值

6:0	M_PFC_EVENT_SELECT_n[6:0]	<p>性能计数器事件选择</p> <p>0: 流读取器开始获取事件</p> <p>1: 流读取器通过主总线接口突发读</p> <p>2: 流读取器从主总线接口接收到一个字（每个突发中每个字一个事件）</p> <p>3: 流写入器通过主总线接口突发写</p> <p>4: 流写入器从主总线接口写入一个字（每个突发中每个字一个事件）</p> <p>5: 清除单元通过主总线接口突发写</p> <p>6: 清除单元从主总线接口写入一个字（每个突发中每个字一个事件）</p> <p>7: 枚举新的图元</p> <p>8: 枚举新的线条</p> <p>9: 枚举可见像素，可见像素可能仍然具有 8 位 0 的覆盖值，这是由于被贝塞尔函数丢弃的像素仍然被计为可见。</p> <p>10: 枚举不可见像素，不考虑潜在的贝塞尔后处理，即贝塞尔函数丢弃的像素不算作不可见像素。</p> <p>11: 由于达到跨度长度限制，ZSA 缓冲区跨度拆分</p> <p>12: ZSA 缓存通过主总线接口突发读</p> <p>13: ZSA 缓存通过主总线接口突发写</p> <p>14: ZSA 缓存从主总线接口接收到一个字（每个突发中每个字一个事件）</p> <p>15: ZSA 缓存从主总线接口写入一个字（每个突发中每个字一个事件）</p> <p>16: ZSA 缓存处理一个像素读</p> <p>17: ZSA 缓存无任何等待周期处理一个读</p> <p>18: ZSA 缓存在读取端等待周期（每次未命中事件大于等于 1）</p> <p>19: ZSA 缓存处理一个像素写</p> <p>20: 需要读取的新作业与 ZSA 缓存中已存在的行之间发生 ZSA 缓冲区跨度冲突，新作业的读取范围与打开行的写入范围重叠。</p> <p>21: 由于跨度冲突，ZSA 缓冲区预取队列接口的等待周期</p>
-----	---------------------------	---



		<p>22: ZSA 缓冲区预取队列接口的等待周期, 因为没有可用的未使用行, 所以无法分配行</p> <p>23: 像素深度测试失败</p> <p>24: 像素模板测试失败</p> <p>25: 通过 Alpha 测试丢弃的像素</p> <p>26: 由于达到跨度长度限制而造成的跨度分离</p> <p>27: 由于达到读取间隙限制而造成的跨度分离</p> <p>28: 帧缓存通过主总线接口突发读</p> <p>29: 帧缓存通过主总线接口突发写</p> <p>30: 帧缓存从主总线接口接收到一个字 (每个突发中每个字一个事件)</p> <p>31: 帧缓存从主总线接口写入一个字 (每个突发中每个字一个事件)</p> <p>32: 帧缓存处理一个像素读</p> <p>33: 帧缓存无任何等待周期处理一个读</p> <p>34: 帧缓存在读取端等待周期 (每次未命中事件大于等于 1)</p> <p>35: 帧缓存处理一个像素写</p> <p>36: 需要读取的新作业与帧缓存中已存在的行之间发生帧缓冲区跨度冲突, 新作业的读取范围与打开行的写入范围重叠。</p> <p>37: 由于跨度冲突, 帧缓冲区预取队列接口的等待周期</p> <p>38: 帧缓冲区预取队列接口的等待周期, 因为没有可用的未使用行, 所以无法分配行</p> <p>39: 预取的纹理缓存调度表中缓存未命中</p> <p>40: 发送从纹理调度表到纹理缓存的行刷新作业</p> <p>41: 纹理缓存通过主总线接口突发读</p> <p>42: 纹理缓存从主总线接口写入一个字 (每个突发中每个字一个事件)</p> <p>43: 纹理缓存处理一个像素读, 即潜在的多个纹素读取仍然只有一个事件</p> <p>44: 纹理缓存无需等待提取地处理一个像素读</p> <p>45: 由于等待行提取, 管道读取接口处的等待周期</p> <p>46: 在管道读取路径中插入的等待周期, 因为读取 RAM</p>
--	--	--

		<p>需要多次访问，并且预取不成功。</p> <p>47: 从预取队列中获取作业，而无需等待访问计数达到替换计数。</p> <p>48: 预取队列接口处的等待周期，因为由于访问计数尚未达到替换计数，无法提取作业。</p> <p>49: 行程编码解码器通过主总线接口突发读</p> <p>50: 行程编码解码器从主总线接口写入一个字（每个突发中每个字一个事件）</p> <p>51: 行程编码解码器倒带到纹理代码的开头</p> <p>52: 访问 CLUT 时的等待周期：计算 CLUT 访问的每一个额外周期，超过 1 个周期/像素的最佳吞吐量。</p> <p>53: 完成一个流命令执行</p> <p>54: 流控制器等待流读取器数据的等待周期</p> <p>55: 流控制器等待寄存器从寄存器文件中写确认的等待周期</p> <p>56: 流控制器等待命令的等待周期</p> <p>57: 流控制器非达到暂停模式时的有效周期</p> <p>58: 当 ACG 使能，流控制器内核的有效周期</p> <p>59: 流控制器繁忙周期</p> <p>60: 流读取器繁忙周期</p> <p>61: 流写入器繁忙周期</p> <p>62: 寄存器繁忙周期</p> <p>63: PSU 繁忙周期</p> <p>64: PSU 至 ZSS 之后的模块繁忙周期</p> <p>65: ZSS 至 TXS 之后的模块繁忙周期</p> <p>66: TXS 至 FBS 之后的模块繁忙周期</p> <p>67: FBS 至 FBC 之后的模块繁忙周期</p> <p>68: 清除单元繁忙周期</p> <p>69: 每个时钟周期</p>
--	--	---

### 45.5.11 清除单元（CLR）寄存器

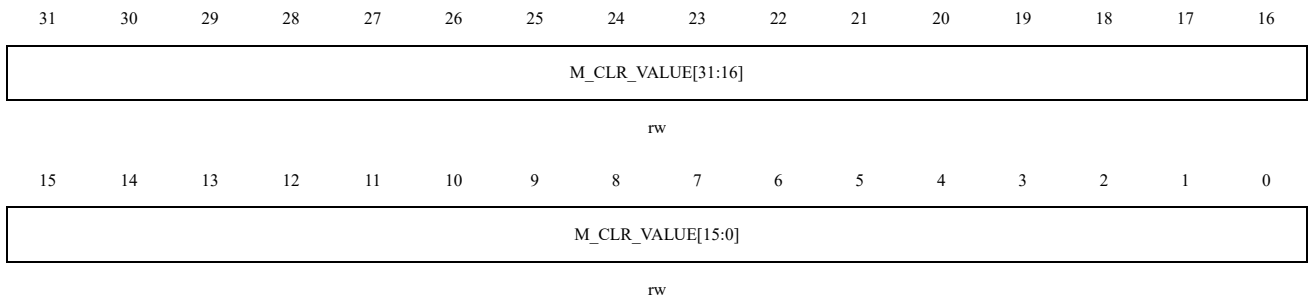
基地址：0x5004 0F00

### 45.5.11.1 清除单元颜色值寄存器 (CLR\_VALUE)

该寄存器是可读写的。

偏移地址：0x00

复位值：0xFFFF FFFF



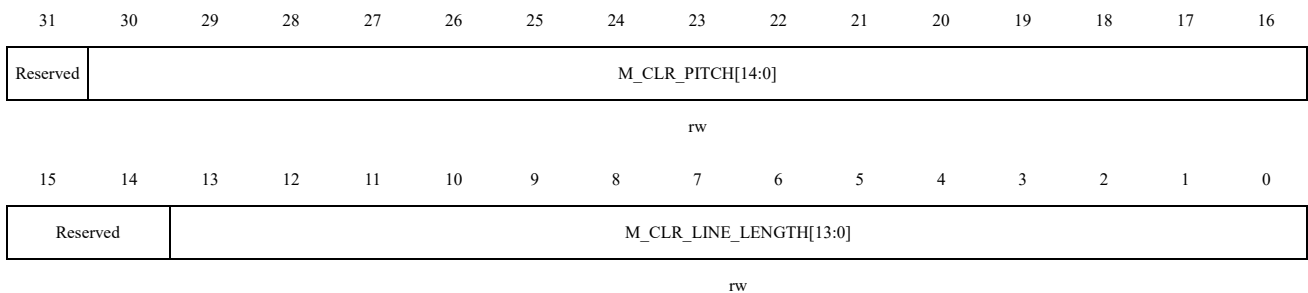
位域	名称	描述
31:0	M_CLR_VALUE[31:0]	清除单元颜色值

### 45.5.11.2 CLR 行配置寄存器 (CLR\_LINE\_CONFIG)

该寄存器是可读写的。

偏移地址：0x04

复位值：0x0000 0000



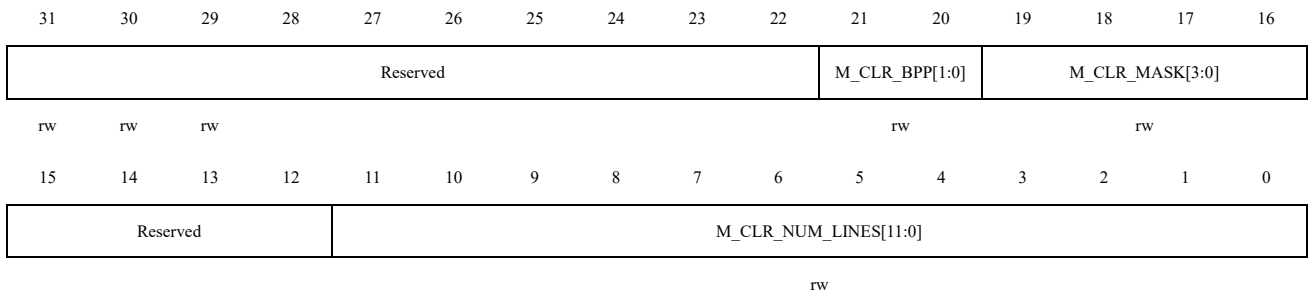
位域	名称	描述
31	Reserved	保留，必须保持复位值
30:16	M_CLR_PITCH[14:0]	清除单元间距（以字节为单位）
15:14	Reserved	保留，必须保持复位值
13:0	M_CLR_LINE_LENGTH[13:0]	清除单元每行长度-1（以字节为单位）

### 45.5.11.3 CLR 控制寄存器 (CLR\_CTRL)

该寄存器是可读写的。

偏移地址: 0x08

复位值: 0x003F 0000



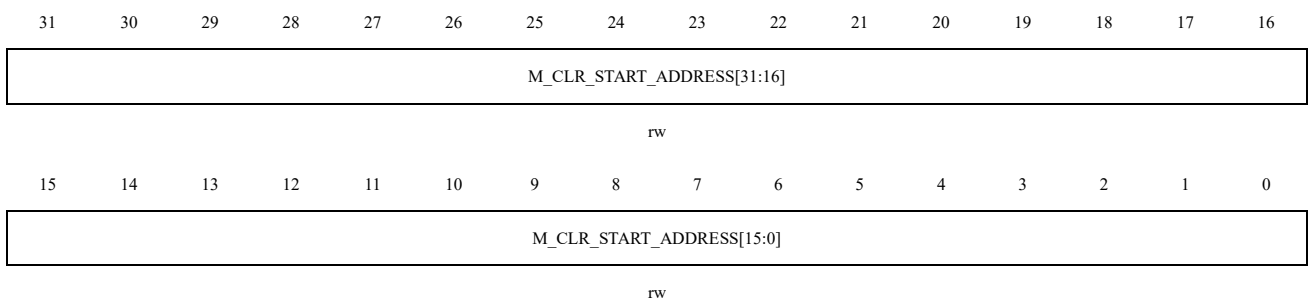
位域	名称	描述
31:22	Reserved	保留, 必须保持复位值
21:20	M_CLR_BPP[1:0]	清除单元每个像素字节数-1
19:16	M_CLR_MASK[3:0]	清除单元写入字节屏蔽
15:12	Reserved	保留, 必须保持复位值
11:0	M_CLR_NUM_LINES[11:0]	清除单元行数

### 45.5.11.4 CLR 起始地址寄存器 (CLR\_START\_ADDRESS)

该寄存器是可读写的。

偏移地址: 0x0C

复位值: 0x0000 0000



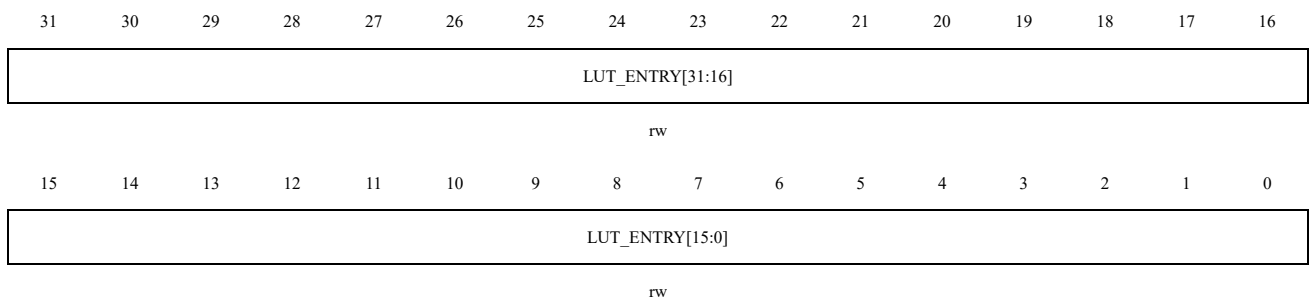
位域	名称	描述
31:0	M_CLR_START_ADDRESS[31:0]	CLR 起始地址

### 45.5.12 查找表（LUT）条目寄存器

该寄存器是可读写的。

地址：0x5004 2000

复位值：0x0000 0000



位域	名称	描述
31:0	LUT_ENTRY[31:0]	<p>查找表条目。CLUT 在逻辑上包含不同类型的值，具体取决于 TXP_CTRL.M_TXP_CLUT_MODE:</p> <ul style="list-style-type: none"> <li>•INDEXED_COLOR:CLUT 包含颜色值</li> <li>•MAP_(A)RGB:CLUT 包含映射的通道值</li> <li>•CONVOLUTION(_SIGNED): CLUT 包含用于卷积滤波的滤波器权重</li> </ul> <p>TXP 单元正在使用颜色查找表 CLUT 时，请勿访问！一定要等待 TXP 单元使用结束。</p>

## 46 DVP 接口 (DVP)

### 46.1 简介

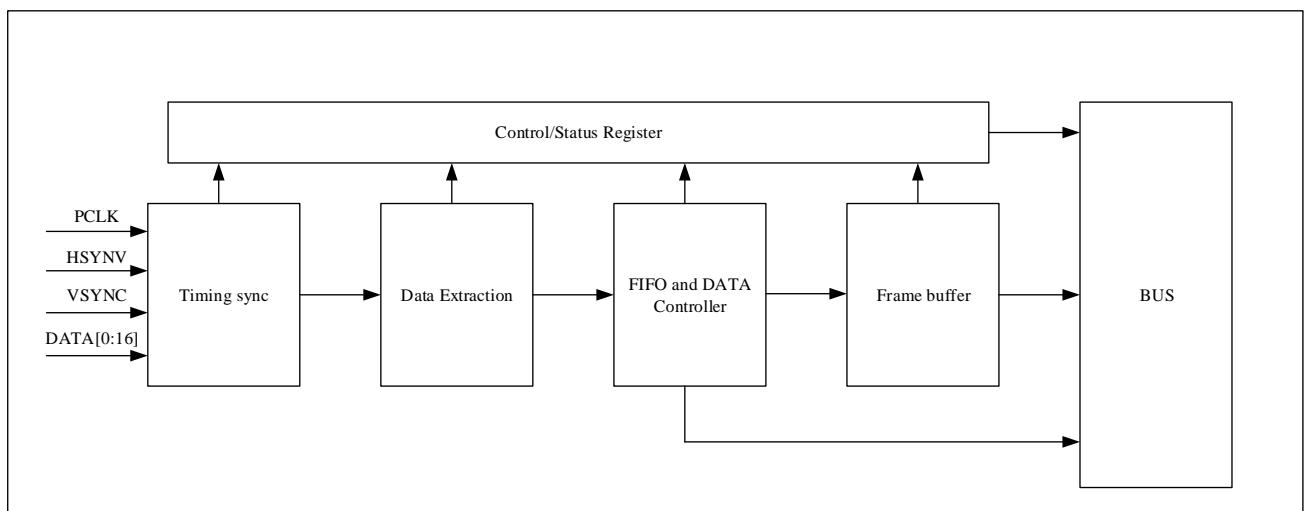
支持 2 个 DVP 接口，DVP 是一个同步并行接口，可以接收 CMOS 图像传感器的高速数据。可以支持数据格式:YCbCr422 和 RGB565 渐进式，压缩数据(JPEG)。

### 46.2 主要特性

- 支持 8 位、10 位、12 位、14 位和 16 位的并行接口
- 支持时钟输出（通过 MCO 输出，典型值 48MHz），给外部 CMOS 光学传感器提供时钟；
- 输入像素时钟 DVP\_PCLK、场同步信号 DVP\_VSYNC、行同步信号 DVP\_HSYNC 极性均可独立配置。
- 内嵌码/外部行同步和帧同步
- 具有 320\*8 bytes FIFO 接收像素数据
- 支持对采集的图像数据硬件取反
- 支持连续模式和快照模式。
- 支持硬件裁剪。
- 支持多种数据格式：
  - ◆ YCbCr422 渐进式视频
  - ◆ RGB565 渐进式视频
  - ◆ 压缩数据(JPEG)

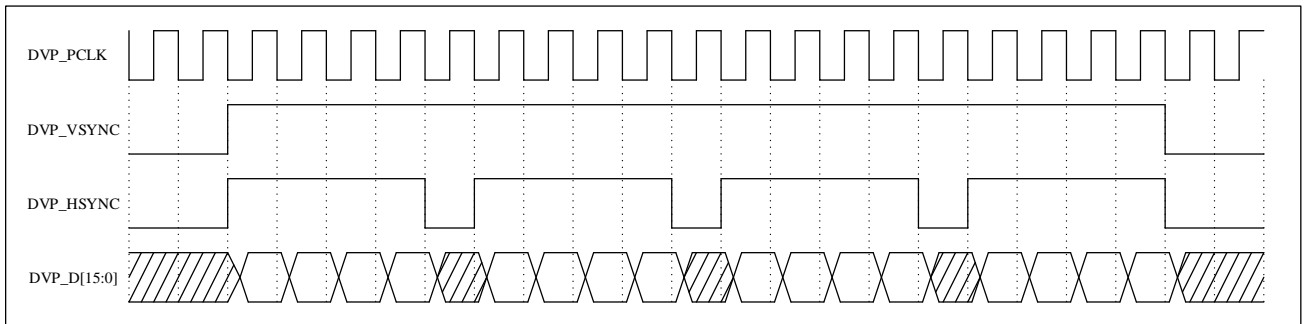
### 46.3 功能框图

图 46-1 DVP 框图



## 46.4 接口时序

图 46-2 DVP 接口时序示例



如上图所示：

- DVP\_PCLK 为像素时钟，每个时钟周期采集 2 个字节（16bit）的有效数据。
- DVP\_VSYNC 为场同步（帧同步）信号，高电平有效。
- DVP\_HSYNC 为行同步信号，高电平有效。
- 当 DVP\_VSYNC、DVP\_HSYNC 都为高电平时，数据有效。
- 每两行之间至少有一个像素时钟周期的间隔。
- 根据上图时序，用户需要在 DVP 模块中配置 DVP\_VSYNC、DVP\_HSYNC 高电平有效，DVP\_PCLK 下降沿捕获，才能正确接收数据。
- DVP 数据仅在 DVP 端口使能位（寄存器 DVP\_CTRL.DVPEN）为 1 时有效，且使能位置 1 必须早于 DVP\_VSYNC 有效信号（高电平）至少 4 个像素时钟周期，否则当前帧会被丢弃。

注：上图中 DVP\_VSYNC 与 DVP\_HSYNC 信号为高电平有效，实际应用中也可能为低电平有效，需要根据实际情况在 DVP 模块中配置信号极性。

## 46.5 DVP 时钟

AHB 接口时钟（hclk）必须等于或快于像素时钟。

## 46.6 功能描述和操作说明

### 46.6.1 操作流程

- 开启 CMOS 光学传感器，配置传感器参数；
- DVP 端口以及参数配置（例如：捕获模式、frame buffer 等）；
- 配置 DVP 端口使能（寄存器 DVP\_CTRL.DVPEN），准备好接收数据；
- 启动 CMOS 传感器，开始发送数据。

## 46.6.2 数据传输和同步

DVP 模块可接收 8 位、10 位、12 位、14 位或 16 位并行像素数据。其中根据 DVP\_PORTCFG 寄存器中的 DBIT[2:0] 设置，可配置数据在接口的有效位置，如下表所示

表 46-1 DVP 接口信号

端口	DVP_DBIT[2:0]	描述
DVP_D[7:0]	000 (8 bits)	像素数据总线，所有比特都用于获取数据。
DVP_D[9:0]	001 (10 bits)	
DVP_D[11:0]	010 (12 bits)	
DVP_D[13:0]	011 (14 bits)	
DVP_D[15:0]	100 (16 bits)	
DVP_D[9:0]	101	
DVP_D[11:0]	110	像素数据总线，仅[11:2](10 bit)被用于传输数据
DVP_D[11:0]	111	像素数据总线，仅[11:4](8 bit)被用于传输数据
DVP_VSYNC	N/A	垂直同步信号
DVP_HSYNC	N/A	水平同步信号
DVP_PCLK	N/A	像素时钟

DVP\_VSYNC、DVP\_HSYNC 和 DVP\_PCLK 的极性可以通过 DVP\_PORTCFG 寄存器进行配置。

为了将传输的数据整合成图像，需要进行水平同步和垂直同步，数字摄像头接口支持内嵌码同步或硬件（HSYNC 和 VSYNC）同步。使用内嵌码同步时，由数字摄像头模块确保 0x00 和 0xFF 值仅用于同步（不用于数据中）。

### 46.6.2.1 硬件同步模式

在硬件同步模式下，CMOS 影像摄像机可提供水平同步讯号与垂直同步信号，供接收端进行同步。配置 DVP\_PORTCFG.EMBSEN 为 0，DVP 可以此同步模式进行接收。每一个 DVP\_VSYNC 信号的有效区间代表一帧数据，每一个 DVP\_HSYNC 信号的有效区间代表一行数据。DVP\_VSYNC 信号默认低有效，DVP\_HSYNC 信号默认高有效，当 DVP\_VSYNC 和 DVP\_HSYNC 都处于有效状态时，在像素时钟的上升边缘捕获有效的像素数据。

### 46.6.2.2 内嵌码同步模式

在嵌入式同步模式下，像素数据同步不依赖于 DVP\_VSYNC 和 DVP\_HSYNC，而是在数据流中插入同步码。DVP 可以此同步模式进行接收。同步码(0xFF0000XX)由 4 字节数据构成，前 3 字节数据内容固定，第 1 字节为全 1 数据，之后接续第 2, 3 字节全 0 数据。第 4 字节数据则依同步信息而异，需依摄像机厂商所使



用的同步码型式与内容，配置 DVP\_EMSC 寄存器中的 HS\_PTTN、HE\_PTTN、VS\_PTTN、VE\_PTTN。内嵌码同步有两种模式，分别为普通模式和索尼模式，具体流程如下图所示。

图 46-3 普通模式下的帧组成

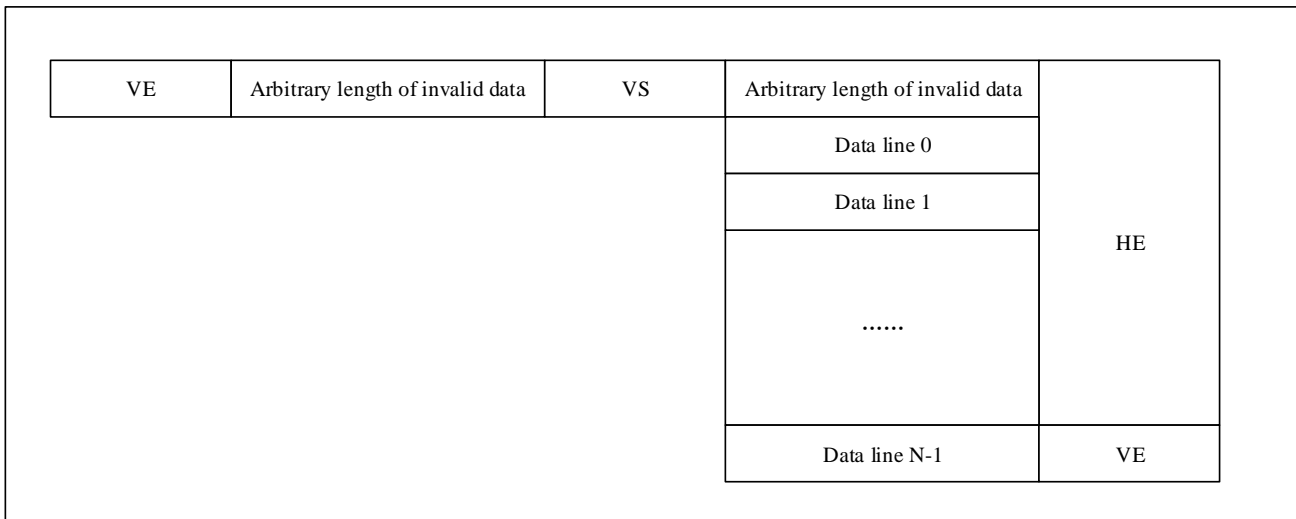
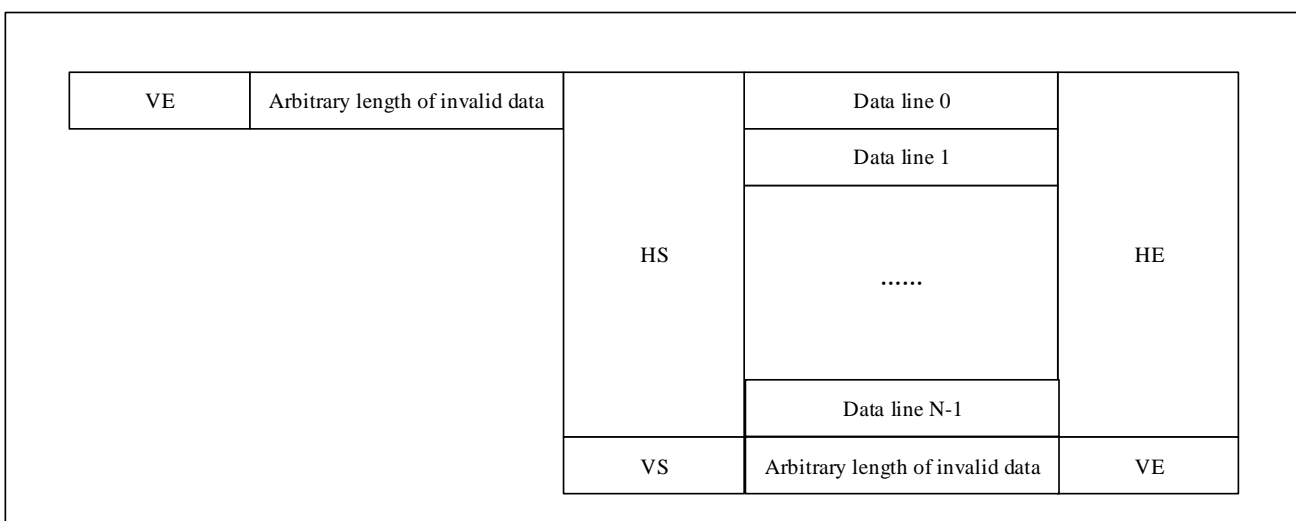


图 46-4 索尼模式下的帧组成



嵌入式同步模式只支持 8 位、10 位和 12 位数据模式。

### 46.6.3 捕获模式

有两种捕捉模式，一种是连续捕捉模式，另一种是快照模式。在接收图像帧时，当发生 FIFO 溢出时，相应接收帧缓冲区的溢出标志会被置起。当跳帧时，跳帧标志会被置起。

#### 46.6.3.1 快照模式（单帧捕获）

通过将 DVP\_CTRL.CM 寄存器位设置为“1”来启用此模式。在快照模式下，它取决于配置的帧缓冲区的数量。如果只有一个帧缓冲区，DVP 将在接收到一帧后停止捕获新的帧。同时，硬件将 DVP\_INTSTS.MITCF 寄存器位设置为“1”。指示硬件已完成当前帧接收。DVP 要再次捕获新帧，软件必须清除 DVP\_INTSTS.MITCF。

类似地，如果有两个帧缓冲区，DVP 将在接收到两个帧后停止捕获帧，DVP\_INTSTS.M1TCF 和 DVP\_INTSTS.M2TCF 位等待软件清除它们。软件必须在接收到标志时按顺序清除它们。一旦软件清除了其中一个标志，DVP 再次开始捕获帧。

### 46.6.3.2 连续采集模式

在这种模式下，DVP 将继续捕获图像数据并将其放入帧内存中，而不管前一帧数据是否被读取。它不等待软件清除完成标志（DVP\_INTSTS.MxRCF）。如果设置了两个帧缓冲区，帧就会以乒乓的方式被接收到这些帧缓冲区中。

要启用此模式，请确保 DVP\_CTRL.CM 寄存器位为“0”。

### 46.6.4 裁剪功能

将 DVP\_CTRL.CROPEN 寄存器位设置为“1”以进入裁剪功能。对于这个功能，用户只需要向 DVP 提供两个坐标，即起始坐标和结束坐标。用户在设置 CROPEN 位之前必须先输入坐标。每个图像像素可以用 1 或 2 个数据字节表示。如果图像像素需要两个数据字节，那么 DVP\_PORTCFG.PIXELDB 寄存器位必须为“1”。DVP 裁剪功能示例如图 3。

在设置裁剪位之前，用户必须先输入坐标。用户需要设置以下寄存器：

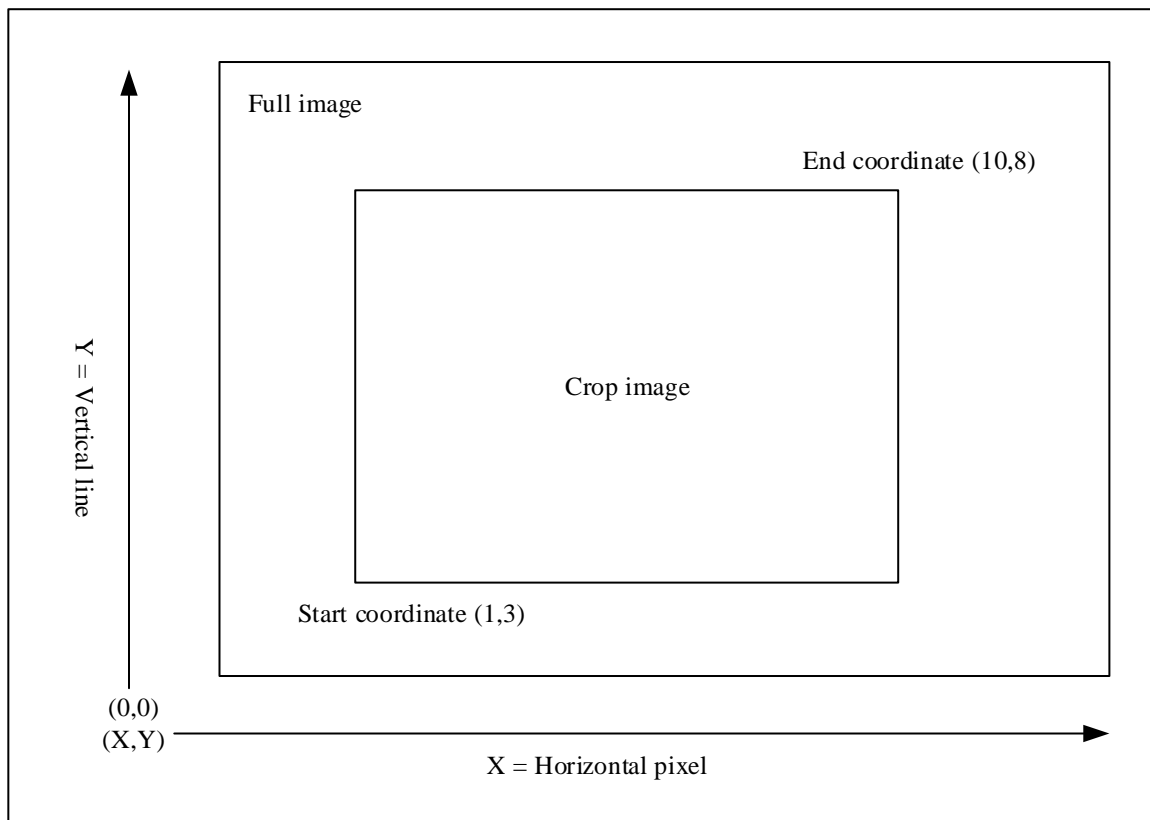
起始坐标寄存器: DVP\_CSXY.CSTAX = 1

起始坐标寄存器: DVP\_CSXY.CSTAY = 3

结束坐标寄存器: DVP\_CEXY.CENDX = 10

结束坐标寄存器: DVP\_CEXY.CENDY = 8

图 46-5 DVP 裁剪功能



### 46.6.5 跳行功能

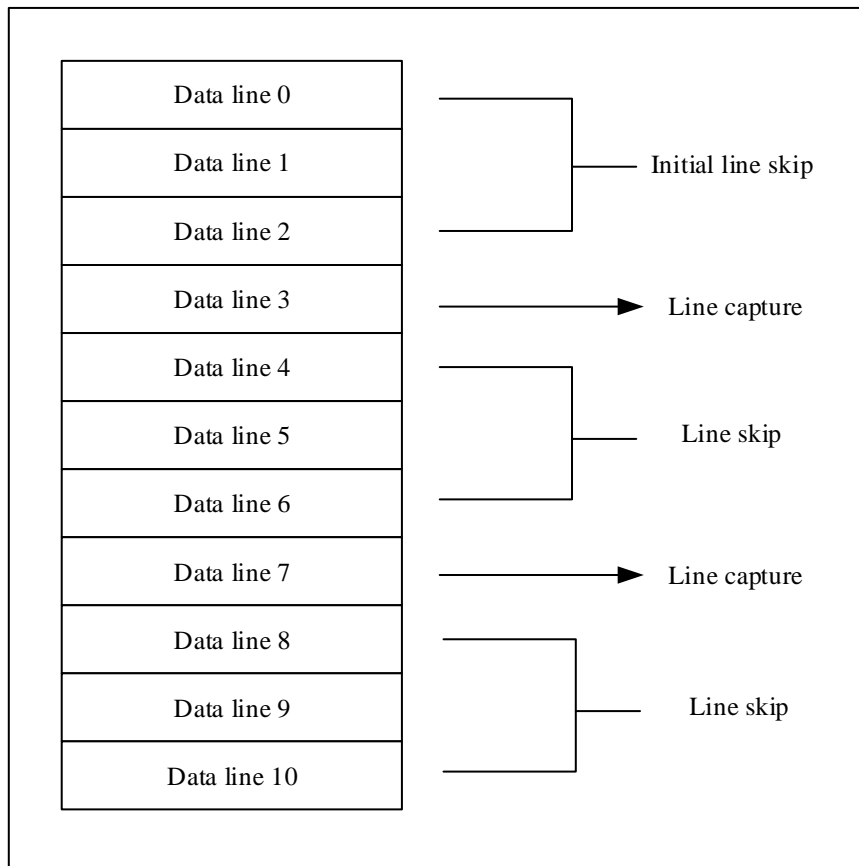
跳行功能由两个寄存器控制，DVP\_PORTCFG.HISKIP 寄存器控制初始的行跳跃数量。DVP\_PORTCFG.HRSKIP 寄存器控制行跳过模式。

DVP\_PORTCFG.HRSKIP 寄存器控制的行跳过模式有两种类型：

- 1、每捕获 1 行跳过几行。
- 2、捕获奇数行或偶数行。

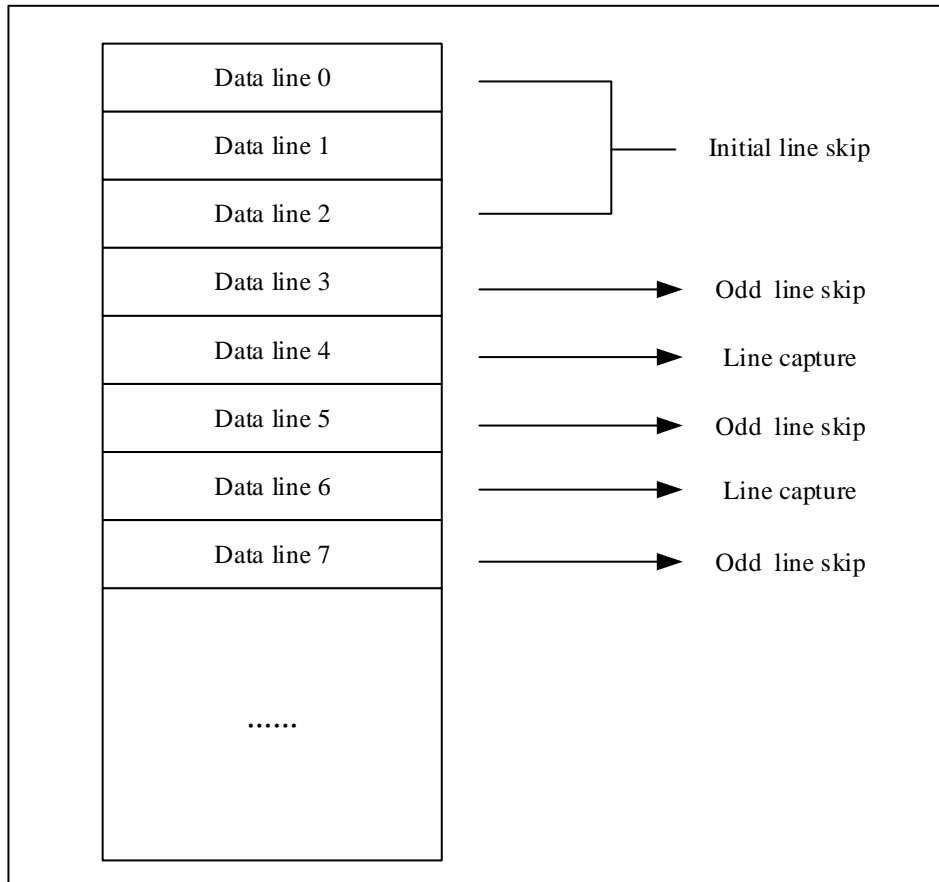
当这两个寄存器组合起来使用会有两种情况，例如配置 DVP\_PORTCFG.HISKIP 为 3，DVP\_PORTCFG.HRSKIP 为 3 时，实际情况如下图所示。

图 46-6 跳行功能: HISKIP=3, HRSKIP=3



配置 DVP\_PORTCFG.HISKIP 为 3, DVP\_PORTCFG.HRSKIP 为 14 时, 实际情况如下图所示。

图 46-7 跳行功能：HISKIP=3, HRSKIP=14



### 46.6.6 FIFO 和 DMA

DVP 模块内置一个 DMA，他的作用是当 FIFO 中的数据达到阈值时，会将数据搬运到对应的帧缓冲区 1/2。其中 DVP\_FIFOCFG 寄存器中的 TXBURSZ 控制 DMA 单次传输的数据量，配置值大于 0 时会采用突发传输。注意，配置的单次传输的数据量必须大于等于 FIFO 的传输阈值。其中 DVP\_FIFOCFG 寄存器中的 M1ADDREN/M2ADDREN 控制帧缓冲区的使能，再配合上 DVP\_SMADDR1、DVP\_SMADDR2、DVP\_FBS 寄存器的信息，即可解析出 DMA 需要搬运每笔数据的地址。

### 46.6.7 中断

与中断相关有 2 个寄存器，DVP\_INTSTS, DVP\_INTEN:

- DVP\_INTEN 是中断使能寄存器。
- DVP\_INTSTS 是中断状态寄存器，即使中断使能不开，中断状态也会变化，但不会向系统上报中断。只有 DVP\_INTEN 中对应中断使能位开启了之后才会上报相应的中断。
- 当用户想使用某个中断前，必须先清除寄存器 DVP\_INTSTS 中相应的标志（写 0 清除），避免之前的状态影响中断的上报。

## 46.7 DVP 寄存器

### 46.7.1 DVP 控制寄存器 (DVP\_CTRL)

偏移地址: 0x00

复位值: 0x8000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
VBDP[3:0]				Reserved											
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							CROPEN	Reserved					CM	DVPEN	
							rw					rw		rw	

位域	名称	描述
31:28	VBFLT[3:0]	VSYNC 消隐毛刺滤波控制。 默认情况下, 它设置为 8。VSYNC 信号连续采样 8 次, 所有采样均为“1”, 确认垂直消隐被检测到, 通过编程可以改变 VSYNC 的检测采样次数来确认垂直消隐, 范围从 0 到 15。 注: 软件只能在 DVP_CTRL.DVPEN=0 时才能更改此位。
27:9	Reserved	保留, 必须保持复位值。
8	CROPEN	裁剪功能启用使能。 0: 正常模式。 1: 裁剪模式。 在启用此功能之前, 需要在 DVP_CSXY 和 DVP_CEXY 寄存器中分别指定剪切开始和结束坐标。
7:2	Reserved	保留, 必须保持复位值。
1	CM	捕获模式控制。 0: 连续采集模式。 1: 单帧捕获模式。 在连续采集模式下, 如果配置有两个帧缓冲区, 则帧数据将以乒乓的方式连续接收到两个缓冲区中。在连续采集模式下, 缓冲区不会等待 DVP_INTSTS.MxRCF(x=1,2)标志被清除, 就会再次接收一个新的帧。如果一个缓冲区发生总线错误, 另一个缓冲区将会继续接收接下来的所有帧, 直到错误被清除, 然后它们继续接收帧交替。 在单捕获模式下, 建议使用单帧缓冲区。 启用单帧缓冲区 (M1): 当向帧缓冲区传输完一帧时, 会置起 DVP_INTSTS.M1TCF。等待 DVP_INTSTS.M1TCF 被清除后, 系统会再开始捕获新的帧。 启用两个帧缓冲区 (M1 和 M2): 当向帧缓冲区传输完一帧且另一个缓冲区的

位域	名称	描述
		DVP_INTSTS.MxRCF(x=1,2)未置起时，那么会向另一个缓冲区传输下一帧并置起该缓冲区的 DVP_INTSTS.MxRCF(x=1,2)。如果两个 DVP_INTSTS.MxRCF(x=1,2)标志都为 1 时，那么系统会一直等待，直到某一个标志位被清除。
0	DVPEN	DVP 端口使能。 写入“1”到这个位，启用 DVP 功能。 注意：向这个位写入“0”没有效果。请参考寄存器 DVP_INTSTS.DVPDIS 位禁能 DVP 功能。

## 46.7.2 DVP 中断使能寄存器 (DVP\_INTEN)

偏移地址：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved												FMSIE	SERRIE	CERRIE	SKIPIE
												rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							FBOIE	AHBERRIE	Reserved	FOIE	Reserved	M2TCIE	MITCIE	M2SIE	M1SIE
							rw	rw		rw		rw	rw	rw	rw

位域	名称	描述
31:20	Reserved	保留，必须保持复位值。
19	FMSIE	帧开始中断使能。 1：在 DVP 端口检测到帧开始（VSYNC 或内嵌码模式下的等效 VSYNC）时发送中断。 0：当在 DVP 端口检测到帧开始时，不发送中断。
18	SERRIE	同步码检测序列错误中断使能。 1：当检测到同步码序列错误时发送中断。 0：当检测到同步码序列错误时，不发送中断。 注意：这仅适用于内嵌码同步模式。
17	CERRIE	同步码检测不匹配中断使能。 1：当检测到同步码不匹配时发送中断。 0：当检测到同步码不匹配时，不发送中断。 注意：这仅适用于内嵌码同步模式。
16	SKIPIE	跳帧中断使能。 1：当检测到跳帧时发送中断。 0：当检测到跳帧时，不发送中断。 当 FIFO 数据溢出或没有可用的帧缓冲区接收新帧时，就会发生这种情况。此时，将会丢弃新的帧数据，并设置帧跳过标志。

位域	名称	描述
15:9	Reserved	保留，必须保持复位值。
8	MOIE	帧缓冲区溢出中断使能。 1: 帧缓冲区溢出事件发生时，发送中断。 0: 帧缓冲区溢出事件发生时，不发送中断。
7	AHBERRIE	AHB 总线错误响应中断使能。 1: 当 AHB 主机在发送数据到帧缓存区时收到错误响应，发送中断。 0: 当上述情况发生时，不发送中断。
6	Reserved	保留，必须保持复位值。
5	FOIE	FIFO 溢出中断使能。 1: 当 FIFO 溢出发生时，发送中断。 0: 当 FIFO 溢出发生时，不发送中断。
4	Reserved	保留，必须保持复位值。
3	M2TCIE	图像数据到帧缓冲区 2 传输完成中断使能。 1: 当数据到帧缓冲区 2 传输完成时，发送中断。 0: 当数据到帧缓冲区 2 传输完成时，不发送中断。
2	M1TCIE	图像数据到帧缓冲区 1 传输完成中断使能。 1: 当数据到帧缓冲区 1 传输完成时，发送中断。 0: 当数据到帧缓冲区 1 传输完成时，不发送中断。
1	M2SIE	帧缓冲区 2 开始接收图像数据中断使能。 1: 当帧缓冲区 2 开始接收数据时，发送中断。 0: 当帧缓冲区 2 开始接收数据时，不发送中断。
0	M1SIE	帧缓冲区 1 开始接收图像数据中断使能。 1: 当帧缓冲区 1 开始接收数据时，发送中断。 0: 当帧缓冲区 1 开始接收数据时，不发送中断。

### 46.7.3 DVP 中断状态寄存器 (DVP\_INTSTS)

偏移地址: 0x08

复位值: 0x0100 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
CROPENS	CM CTRLS	Reserved					DVPDIS	Reserved					SFDF	SERRF	CERRF	SKIPF
r	r						rs						re_w1	re_w1	re_w1	re_w1
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved						M2OF	M1OF	AHB ERR2F	AHB ERR1F	M2FOF	M1FOF	M2TCF	M1TCF	M2SF	M1SF	
						re_w1	re_w1	re_w1	re_w1	re_w1	re_w1	re_w1	re_w1	re_w1	re_w1	

位域	名称	描述
31	CROPENS	这是 DVP_CTRL.CROPEN 的影子位，此位只读。



位域	名称	描述
		此位放在这里以便软件在访问其他状态位时访问
30	CMS	这是 DVP_CTRL.CM 的影子位，此位只读。 此位放在这里以便软件在访问其他状态位时访问。
29:25	Reserved	保留，必须保持复位值。
24	DVPDIS	DVP 禁能 写 1 它禁用 DVP 端口。写 0 没有影响。 注：写入 1 禁用 DVP 端口后，它可能不会立即停止；这取决于当时硬件的状态。逻辑 1 代表硬件完全停止了。为了确保硬件停止，软件应该检查这个位是否为逻辑 1。这个位回到 0 时，这意味着 DVP 处于活动状态。
23:20	Reserved	保留，必须保持复位值。
19	FMSF	帧开始检测标志。 当检测到帧开始（VSYNC 或内嵌码同步模式下的等效 VSYNC）时，该位置 1。 此位写 1 清除，写 0 无效果。 注意：只有当 DVP_CTRL.DVPEN=1 后，它才开始检测帧开始。
18	SERRF	同步码序列检测错误标志。 此位仅在内嵌码同步模式下使用。当同步码序列错误在图像有效区域被检测到时，该位被设置为“1”，而在垂直消隐区域时，它将不会检测到该错误。 如果 DVP_INTEN.SERRIE=1，此位置起的同时会发送中断 此位写 1 清除，写 0 无效果。
17	CERRF	同步码不匹配错误检测标志。 此位仅在内嵌码同步模式下使用。当在图像有效区域检测到同步码不匹配时，此位被设置为“1”，而在垂直消隐区域时，它将不会检测到此错误。 如果 DVP_INTEN.CERRIE=1，此位置起的同时会发送中断。 此位写 1 清除，写 0 无效果。
16	SKIPF	跳帧检测信号。 当没有更多的 FIFO 空间或帧缓冲内存(快照模式)来接收新帧时，这个位被设置为“1”。 只有在启用 DVP 端口 DVP_CTRL.DVPEN=1 时才有意义。 在这个位上写“1”来清除。写“0”没有效果。
15:10	Reserved	保留，必须保持复位值。
9	M2OF	帧缓冲区 2 溢出。 0：没有溢出事件。 1：检测到溢出事件。 当帧数据超过分配的帧缓冲区大小时，此标志将被设置为“1”，数据将只写入帧缓冲区大小，其余数据将被删除。 此位写 1 清除，写 0 无效果。
8	M1OF	帧缓冲区 1 溢出。 0：没有溢出事件。 1：检测到溢出事件。 当帧数据超过分配的帧缓冲区大小时，此标志将被设置为 1，数据将只写入帧缓冲区大小，其余数据将被删除。

位域	名称	描述
		此位写 1 清除，写 0 无效果。
7	AHBERR2F	AHB 主机访问帧缓冲区 2 总线错误标志。 当 AHB 在访问帧缓冲区 2 时收到来自总线的错误响应时，这个位被设置为“1”。如果发生这种情况，帧缓冲区 2 将变得不可用，直到该标志位被清除。 此位写 1 清除，写 0 无效果。
6	AHBERR1F	AHB 主机访问帧缓冲区 1 总线错误标志。 当 AHB 主机在访问帧缓冲区 1 时收到来自总线的错误响应时，该位被设置为“1”。如果发生这种情况，帧缓冲区 1 将变得不可用，直到该标志位清除。 此位写 1 清除，写 0 无效果。
5	M2FOF	帧缓冲区 2 FIFO 溢出标志。 当接收帧缓冲区 2 的帧数据时，FIFO 发生溢出，此位设置为“1”。 此位写 1 清除，写 0 无效果。
4	M1FOF	帧缓冲区 1 FIFO 溢出标志。 当接收帧缓冲区 1 的帧数据时，FIFO 发生溢出，此位被设置为 1。 此位写 1 清除，写 0 无效果。
3	M2TCF	数据帧缓冲区 2 完成标志。 当帧缓冲区 2 在接收帧数据时完成时，此位被置为 1。在单帧捕获模式中，只有当 M2TCF 清除时，对应的缓冲区才会再次可用。 此位写 1 清除，写 0 无效果。
2	M1TCF	数据帧缓冲区 1 完成标志。 当帧缓冲区 1 在接收帧数据时完成时，此位被置为 1。在单帧捕获模式中，只有当 M1TCF 清除时，对应的缓冲区才会再次可用。 此位写 1 清除，写 0 无效果。
1	M2SF	数据到帧缓冲区 2 开始标志。 当帧缓冲区 2 开始接收帧数据时，此位被置为 1。 此位写 1 清除，写 0 无效果。
0	M1SF	数据帧缓冲区 1 开始标志。 当帧缓冲区 1 开始接收帧数据时，这个位被设置为“1”。 此位写 1 清除，写 0 无效果。

#### 46.7.4 DVP 端口配置寄存器 (DVP\_PORTCFG)

偏移地址：0x0C

复位值：0x00E4 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
HRSKIP[3:0]			HISKIP[3:0]			BMAP[7:0]									
rw			rw			rw									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		PIXELDB	Reserved		DBIT[2:0]		EMBSEN	SLC	Reserved	DATRVS	DATINV	VSPOL	HSPOL	PCLKPOL	

rw

rw

rw

rw

rw

rw

rw

rw

rw

位域	名称	描述
31:28	HRSKIP[3:0]	<p>循环跳行模式控制（包括偶数/奇数行捕获）。</p> <p>此寄存器的配置有两种：</p> <p>0000~1101：在捕获一行数据后，跳过一定的行数，再继续捕获下一行，并循环往复。</p> <p>1110、1111:只捕获奇数或者偶数行。</p> <p>具体情况如下：</p> <p>0000：不跳行。</p> <p>0001：每个捕获的行后面跳过 1 行。</p> <p>0010：每个捕获的行后面跳过 2 行。</p> <p>0011：每个捕获的行后面跳过 3 行。</p> <p>.....</p> <p>1101：每个捕获的行后面跳过 13 行。</p> <p>1110：只捕获偶数行，跳过所有奇数行（捕获第一行（row0），删除第二行（row1），等等）。</p> <p>1111：只捕获奇数行，跳过所有偶数行（删除第一行（row0），捕获第二行（row1），等等）</p> <p>软件只能在 DVP_CTRL.DVPEN=0 时修改寄存器。</p>
27:24	HISKIP[3:0]	<p>初始跳行模式控制。</p> <p>这个寄存器控制在每帧开头跳行的数量。跳过的行数从 1 到 15 不等。</p> <p>例如：如果将此寄存器设置为 3，那么每个帧的前 3 行将不会被捕获。</p> <p>软件只能在 DVP_CTRL.DVPEN=0 时修改寄存器。</p>
23:16	BMAP[7:0]	<p>接收像素数据到帧缓冲区映射。</p> <p>从 DVP 端口接收的每 4 字节数据可以视为一个数据组。在数据组（4 字节）中，它们的字节位置可以在写入帧缓冲区之前重新排列。</p> <p>BMAP [1:0]：第一个接收数据字节被重新排列的位置。</p> <p>BMAP [3:2]：第二个接收数据字节被重新定位的位置。</p> <p>BMAP [5:4]：第三个接收数据字节被重新排列的位置。</p> <p>BMAP [7:6]：第四个接收数据字节被重新排列的位置。</p> <p>例如：如果想交换第一个和第二个数据字节，那么需要设置 BMAP [1:0]=01 和 BMAP [3:2]=00。在正常操作中，你可以以任意顺序重新定位所有四个字节，所有 2 位字段的值不应该相同。如果你试图将 2 个字节重新映射到相同的字节位置，那么顺序较低的 2 位字段将优先。如果字节位置没有重新映射，那么该位置的字节数据保持不变</p> <p>在正常情况下，字节重新映射应该只用于 8 位模式。</p>
15:13	Reserved	保留，必须保持复位值。
12	PIXELDB	<p>双字节像素，每像素 2 字节。</p> <p>当 DVP 在 8 位模式下操作，且需要 2 字节来描述一个像素，软件应该将这个位设置为“1”，否则将这个位设置为“0”。</p> <p>软件只能在 DVP_CTRL.DVPEN=0 时才能修改这个位。</p>

位域	名称	描述
		注：此位仅用于裁剪模式。裁剪模式只支持单字节像素和双字节像素。
11	Reserved	保留，必须保持复位值。
10:8	DBIT[2:0]	数据端口模式。 000:8 位物理数据端口，DVP 采集所有数据线上的数据。 001:10 位物理数据端口，DVP 采集所有数据线上的数据。 010:12 位物理数据端口，DVP 采集所有数据线上的数据。 011:14 位物理数据端口，DVP 采集所有数据线上的数据。 100:16 位物理数据端口，DVP 采集所有数据线上的数据。 101:10 位物理数据端口，DVP 采集[9:2]位数据线上的 8bit 数据。 110:12 位物理数据端口，DVP 采集[11:2]位数据线上的 10bit 数据。 111:12 位物理数据端口，DVP 采集[11:4]位数据线上的 8bit 数据。 软件只能在 DVP_CTRL.DVPEN=0 时修改此位。
7	EMBSEN	内嵌码同步模式使能位。 1：启用内嵌码同步模式。 0：使用 VSYNC 和 HSYNC 进行同步。 软件只能在 DVP_CTRL.DVPEN=0 时修改这个位。
6	SLC	内嵌码同步码位置。 1：同步代码与数据线的最低有效位对齐。 例如，当 DBIT=1 时，同步代码位于[7:0] DBIT=2 时，同步代码位于[7:0] DBIT=6 时，同步代码位于[9:2]。 0：同步码与数据线的最高有效位对齐。 例如当 DBIT=1 时，同步码位于[9:2] DBIT=2 时，同步代码在[11:4] DBIT=6 时，同步码位于[11:4] 只有当 DVP_PORTCFG.EMBSEN=0 时，才能修改此寄存器。
5	Reserved	保留，必须保持复位值。
4	DATRV5	反转数据位顺序使能。 1：反转 DVP 端口数据的数据位顺序。 0：保持原始数据位顺序。
3	DATINV	数据位反转。 1：启用数据位反转。 0：未启用数据位反转。
2	VSPOL	VSYNC 极性控制。 1：当 VSYNC 高电平有效。 0：当 VSYNC 低电平有效。 软件只能在 DVP_CTRL.DVPEN=0 时修改此位。
1	HSPOL	HSYNC 极性控制。 1：当 HSYNC 低电平有效。 0：当 HSYNC 高电平有效。 软件只能在 DVP_CTRL.DVPEN=0 时修改此位。
0	PCLKPOL	端口像素时钟极性控制。

位域	名称	描述
		1: 数据在像素时钟的下降延采集。 0: 数据在像素时钟的上升延采集。 软件只能在 DVP_CTRL.DVPEN=0 时修改这个位。

### 46.7.5 DVP FIFO 配置寄存器 (DVP\_FIFOCFG)

偏移地址: 0x10

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved													TXBURSZ[2:0]		
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved					TXFTH[1:0]		Reserved		EN1KBD	DISP MODE	Reserved			M2ADDR EN	M1ADDR EN
rw						rw		rw	rw			rw	rw		

位域	名称	描述
31:19	Reserved	保留, 必须保持复位值。
18:16	TXBURSZ[2:0]	数据突发传输设置。 当 FIFO 数据达到传输阈值时, 模块的内置 DMA 会根据突发传输设置向缓存区突发写入数据。 000: 突发传输数据大小为 8 字节。 001: 突发传输数据大小为 16 字节。 010: 突发传输数据大小为 24 字节。 011: 突发传输数据大小为 32 字节。 100: 突发传输数据大小为 40 字节。 101: 突发传输数据大小为 48 字节。 110: 突发传输数据大小为 56 字节。 111: 突发传输数据大小为 64 字节。 注意: 确保 DVP_FIFOCFG.TXBURSZ 设置与 DVP_FIFOCFG.TXFTH 设置数据量相同或更小, 否则在运行时可能会遇到 FIFO 问题。

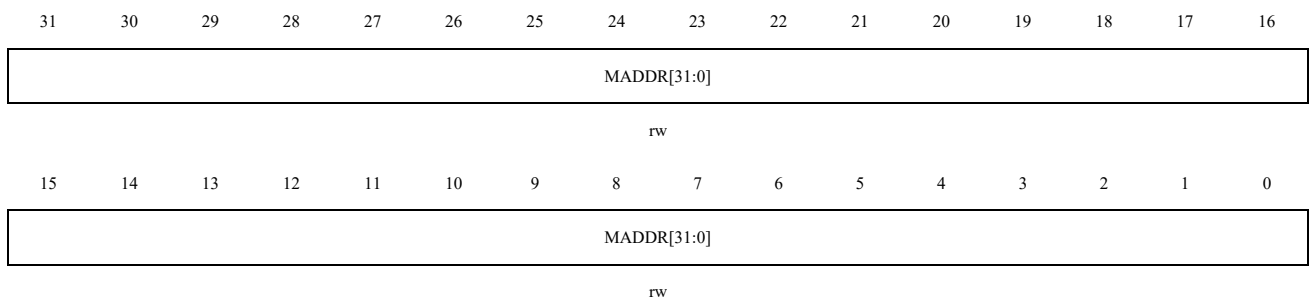
位域	名称	描述
15:11	Reserved	保留，必须保持复位值。
10:8	TXFTH[2:0]	<p>FIFO 传输阈值设置。</p> <p>当 FIFO 数据达到传输阈值时，模块的内置 DMA 会根据突发传输设置向缓存区突发写入数据。</p> <p>000：传输阈值为 8 字节。</p> <p>001：传输阈值为 16 字节。</p> <p>010：传输阈值为 32 字节。</p> <p>011：传输阈值为 64 字节。</p> <p>100：传输阈值为 128 字节。</p> <p>101：传输阈值为 256 字节。</p> <p>110：传输阈值为 512 字节。</p> <p>111：传输阈值为 1024 字节。</p> <p>注意：确保 DVP_FIFOCFG.TXBURSZ 设置与 DVP_FIFOCFG.TXFTH 设置相同或更小，否则可能会在运行时遇到 FIFO 问题。</p>
7:6	Reserved	保留，必须保持复位值。
5	EN1KBD	<p>跨越 1K 边界控制。</p> <p>0：突发数据传输禁止跨越 1K 边界。</p> <p>1：突发数据传输允许跨越 1K 边界。</p> <p>注意：如果禁用此功能，跨越 1K 边界的每个增量爆发都将被中断并发送非顺序事务，一旦突破 1K 边界，将再次恢复增量顺序事务。这个控制位用于调试，在正常情况下应该将其保留为默认设置“0”。</p>
4	DISPMODE	<p>显示当前帧缓冲区状态，是处于图像数据字节计数状态或缓冲区地址的控制。</p> <p>1：缓冲区地址输出到 DVP_FPBC1 和 DVP_FPBC2 寄存器上。</p> <p>0：帧缓冲区的数据字节数输出到 DVP_FPBC1 和 DVP_FPBC2 寄存器上。</p>
3:2	Reserved	保留，必须保持复位值。
1	M2ADDREN	<p>帧缓冲区 2 使能。</p> <p>1：帧缓冲区 2 被启用。</p> <p>0：帧缓冲区 2 未启用。</p> <p>软件只能在 DVP_CTRL.DVPEN=0 时修改此位。</p> <p>注意：启用帧缓冲区 2 有一个限制；它只能在启用帧缓冲区 1 的同时启用。帧缓冲区 2 不允许单独使用。如果你只需要一个帧缓冲区，那么你必须使用帧缓冲区</p>

位域	名称	描述
		1。
0	M1ADDREN	帧缓冲区 1 使能。 1: 帧缓冲区 1 已启用。 0: 帧缓冲区 1 未启用。 软件只能在 DVP_CTRL.DVPEN=0 和 DVP_FBS.FMSIZE 必须为非零时才能修改此位。

### 46.7.6 DVP 起始存储地址 1 寄存器 (DVP\_SMADDR1)

偏移地址: 0x14

复位值: 0x0000 0000

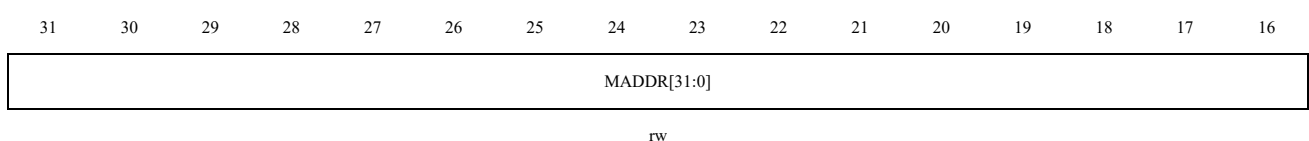


位域	名称	描述
31:0	MADDR[31:0]	缓存区 1 起始地址。此地址仅在 DVP_FIFOCFG.M1ADDREN=1 时有效。 此地址位 32 位对齐, 因此 MADDR[1:0] = 0。 仅当 DVP_FIFOCFG.M1ADDREN=0 时, 可以修改此位。

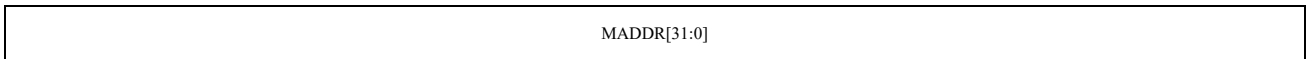
### 46.7.7 DVP 起始存储地址 2 寄存器 (DVP\_SMADDR2)

偏移地址: 0x18

复位值: 0x0000 0000



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



rw

位域	名称	描述
31:0	MADDR[31:0]	缓存区 2 起始地址。此地址仅在 DVP_FIFOCFG.M2ADDREN=1 时有效。 此地址位 32 位对齐，因此 MADDR[1:0] = 0。 仅当 DVP_FIFOCFG.M2ADDREN=0 时，可以修改此位。

### 46.7.8 DVP 缓存区大小寄存器 (DVP\_FBS)

偏移地址: 0x1C

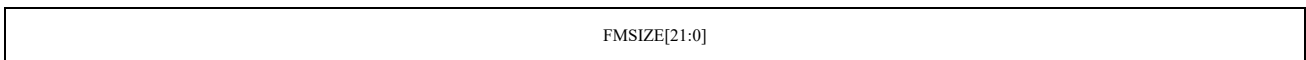
复位值: 0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



rw

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



rw

位域	名称	描述
31:22	Reserved	保留，必须保持复位值。
21:0	FMSIZE[21:0]	设置帧缓冲区大小。这个寄存器用来保护硬件不会写入超过这个范围的帧数据。

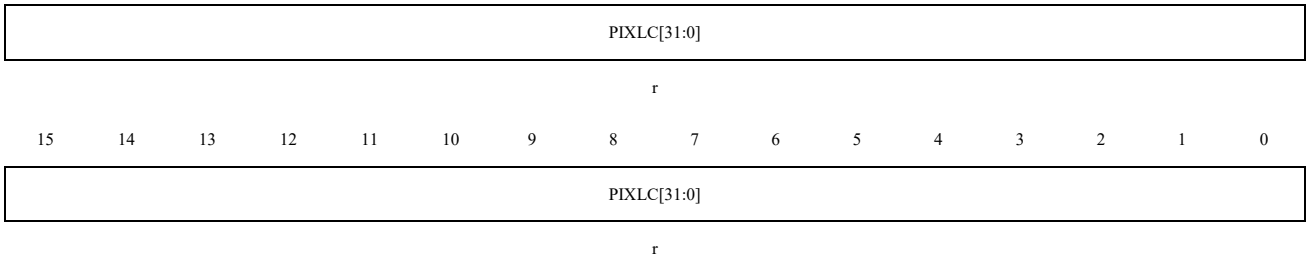
### 46.7.9 DVP 区块 1 像素字节计数寄存器 (DVP\_FPBC1)

偏移地址: 0x20

复位值: 0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



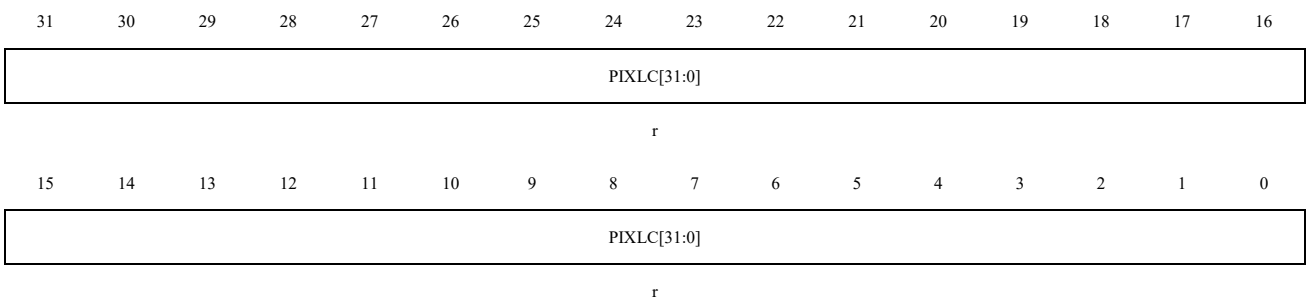


位域	名称	描述
31:0	PIXLC[31:0]	此寄存器只读。 当 DVP_FIFOCFG.DISPMODE =0 时，存储帧缓冲区 1 的数据字节数。 当 DVP_FIFOCFG.DISPMODE =1 时，存储帧缓冲区 1 地址。

### 46.7.10 DVP 区块 2 像素字节计数寄存器 (DVP\_FPBC2)

偏移地址：0x24

复位值：0x0000 0000



位域	名称	描述
31:0	PIXLC[31:0]	此寄存器只读。 当 DVP_FIFOCFG.DISPMODE =0 时，存储帧缓冲区 2 的数据字节数。 当 DVP_FIFOCFG.DISPMODE =1 时，存储帧缓冲区 2 地址。

### 46.7.11 DVP 裁剪起始 XY 坐标寄存器 (DVP\_CSXY)

偏移地址：0x28

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				CSTAY[10:0]											
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				CSTAX[11:0]											
rw															

位域	名称	描述
31:27	Reserved	保留，必须保持复位值。
26:16	CSTAY[10:0]	裁剪图像起点的 Y 坐标。以行为单位。 仅在 DVP_CTRL.CROPEN=1 时此寄存器有效。 注意：第一个像素坐标为(0,0)。
15:12	Reserved	保留，必须保持复位值。
11:0	CSTAX[11:0]	裁剪图像起点的 X 坐标。以图像像素为单位。 仅在 DVP_CTRL.CROPEN=1 时此寄存器有效。 注意：第一个像素坐标为(0,0)。

#### 46.7.12 DVP 裁剪终止 XY 坐标寄存器 (DVP\_CEXY)

偏移地址：0x2C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				CENDY[10:0]											
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				CENDX[11:0]											
rw															

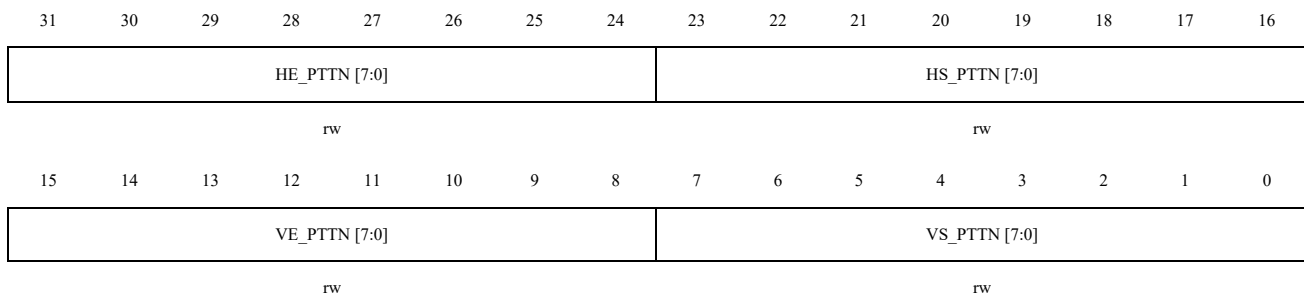
位域	名称	描述
31:27	Reserved	保留，必须保持复位值。
26:16	CENDY[10:0]	裁剪图像终点的 Y 坐标。以行为单位。 仅在 DVP_CTRL.CROPEN=1 时此寄存器有效。 注意：第一个像素坐标为(0,0)。

位域	名称	描述
15:12	Reserved	保留，必须保持复位值。
11:0	CENDX[11:0]	裁剪图像终点的 X 坐标。以图像像素为单位。 仅在 DVP_CTRL.CROPEN=1 时此寄存器有效。 注意：第一个像素坐标为(0,0)。

### 46.7.13 DVP 内嵌码同步标志寄存器 (DVP\_EMSC)

偏移地址：0x30

复位值：0x9D80 B6AB



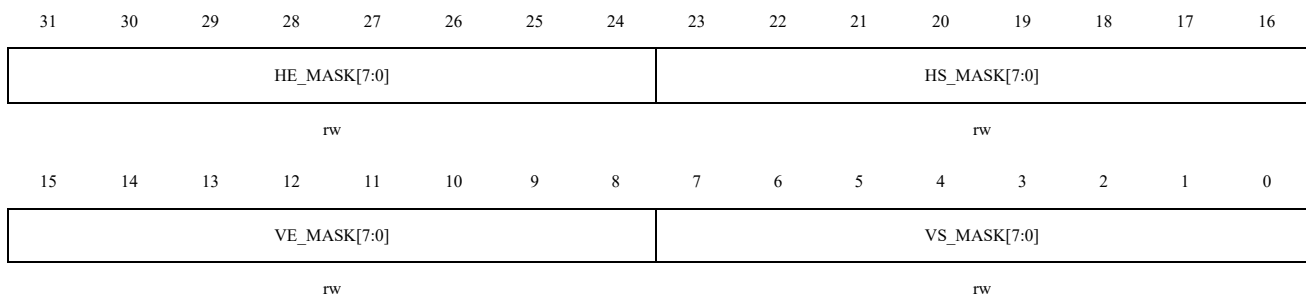
位域	名称	描述
31:24	HE_PTTN [7:0]	行有效结束同步码。 此位可配置内嵌码同步模式中同步码的第四字节数据，作为特征值来向 DVP 系统发送行有效结束同步码。 仅在 DVP_PORTCFG.EMBSEN =0 时，此位可被软件修改。
23:16	HS_PTTN [7:0]	行有效起始同步码。 此位可配置内嵌码同步模式中同步码的第四字节数据，作为特征值来向 DVP 系统发送行有效起始同步码。 仅在 DVP_PORTCFG.EMBSEN=0 时，此位可被软件修改。
15:8	VE_PTTN [7:0]	帧结束同步码。 此位可配置内嵌码同步模式中同步码的第四字节数据，作为特征值来向 DVP 系统发送帧结束同步码 仅在 DVP_PORTCFG.EMBSEN=0 时，此位可被软件修改。
7:0	VS_PTTN [7:0]	帧起始同步码。

位域	名称	描述
		此位可配置内嵌码同步模式中同步码的第四字节数据，作为特征值来向 DVP 系统发送帧起始同步码  仅在 DVP_PORTCFG.EMBSEN=0 时，此位可被软件修改。

### 46.7.14 DVP 内嵌码同步掩码寄存器 (DVP\_EMSCM)

偏移地址:0x34

复位值:0x0000 0000



位域	名称	描述
31:24	HE_MASK[7:0]	HE_PTTN 寄存器的掩码寄存器。  如果 HE_PTTN 对应的掩码位被设置成 1，那么 HE_PTTN 中的这些位将被排除在此模式检测之外。  仅在 DVP_PORTCFG.EMBSEN=0 时，此位可被软件修改。
23:16	HS_MASK[7:0]	HS_PTTN 寄存器的掩码寄存器。  如果 HS_PTTN 对应的掩码位被设置成 1，那么 HS_PTTN 中的这些位将被排除在此模式检测之外。  仅在 DVP_PORTCFG.EMBSEN=0 时，此位可被软件修改。
15:8	VE_MASK[7:0]	VE_PTTN 寄存器的掩码寄存器。  如果 VE_PTTN 对应的掩码位被设置成 1，那么 VE_PTTN 中的这些位将被排除在此模式检测之外。  仅在 DVP_PORTCFG.EMBSEN=0 时，此位可被软件修改。
7:0	VS_MASK[7:0]	VS_PTTN 寄存器的掩码寄存器。  如果 VS_PTTN 对应的掩码位被设置成 1，那么 VS_PTTN 中的这些位将被排除

位域	名称	描述
		在此模式检测之外。 仅在 DVP_PORTCFG.EMBSEN=0 时，此位可被软件修改。

## 47 以太网（ETH）

本章节部分内容版权归属©2020 Synopsys, Inc.。保留所有权利。经许可使用。

### 47.1 简介

N32H7xx 支持两个以太网外设模块，ETH1 包含 10/100/1000Mbps 以太网 MAC、ETH2 包含 10/100Mbps 以太网 MAC。ETH 模块采用专用 DMA 以优化数据包的发送与接收性能。支持与物理层（PHY）通讯的标准接口：MII、RMII、GMII（注：ETH2 不支持 GMII 接口），实现以太网数据包的发送与接收。以太网模块遵守的标准如下：

- IEEE 802.3-2015，用于以太网 MAC、MII、GMII
- IEEE 1588-2008，用于精确网络时间同步
- IEEE 802.3az-2010，用于 EEE
- AMBA 2.0，用于 AHB 主端口和 AHB 从端口
- RMII 联盟的 RMII 规范 1.2 版

### 47.2 主要特性

#### 47.2.1 MAC 特性

##### MAC Tx 和 Rx 通用特性

- 为应用提供独立的传输、接收和控制接口
- 支持以下 PHY 接口实现 10/100/1000Mbps 数据传输速率：
  - MII，用于与外部快速以太网 PHY 通信
  - RMII，用于与外部快速以太网 PHY 通信
  - GMII，用于与外部千兆以太网 PHY 通信
- 半双工操作：
  - 支持 CSMA/CD 协议
  - 支持背压流量控制
- 应用端 32 位数据传输接口
- 全双工流控操作（IEEE 802.3x 暂停数据包和优先级流量控制）
- 支持通过 RMON 或 MIB 计数器（RFC2819/RFC2665）进行强制网络统计
- IEEE 1588-2002 和 IEEE 1588-2008 中描述的以太网数据包时间戳（在 PTP 数据包的 Tx 或 Rx 状态中给出 64 位时间戳），TX 方向上支持一步和两步时间戳
- 支持灵活控制秒脉冲输出（PPS）
- 支持用于配置和管理 PHY 器件的 MDIO（Clause 22 和 Clause 45）主接口

## MAC Tx 特性

- 发送路径上插入前导码和 SFD
- 为应用程序传输的每个数据包提供单独的 32 位状态
- 基于每个数据包自动生成 CRC 和填充字节 (PAD)
- 可编程数据包长度, 以支持标准以太网数据包或高达 16KB 的巨型以太网数据包
- 可编程数据包间隙 (40~96 位, 步进长度为 8)
- IEEE 802.3x 流量控制会在流控输入从有效到无效的转换时自动传输零等待暂停数据包 (全双工模式下)
- 源地址字段插入或替换, 以及发送数据包中的 VLAN 插入、替换和删除 (按数据包控制或采用静态-全局控制)
- 最多可插入、替换或删除两个 VLAN 标签
- 在全双工模式下, 以较小的前导码大小传输数据包
- 支持插入、替换或删除基于队列/通道的 VLAN 标签

## MAC Rx 特性

- 接收路径上自动剥离 PAD 和 CRC
- 接收路径上删除前导码和 SFD
- 可编程看门狗超时限制
- 灵活的地址过滤:
  - 4 个 48 位完美目的地址 (DA) 过滤器, 每个字节都有掩码
  - 4 个 48 位源地址 (SA) 比较检查过滤器, 每个字节都有掩码
  - 64 位哈希过滤器 (Hash), 适用于多播和单播 (DA) 地址
  - 支持传送所有多播地址数据包
  - 支持混合模式, 不进行过滤, 直接传送所有数据包, 用于网络监控
  - 传送所有传入数据包时 (每次过滤时) 均附有一份状态报告
- 附加的数据包过滤:
  - 基于 VLAN 标签: 完美匹配和哈希过滤 (基于外部或内部 VLAN 标签进行过滤)
  - 基于第 3 层和第 4 层: 基于 IPv4/IPv6 的 TCP/UDP
- 支持 IEEE 802.1Q VLAN 标签检测和删除接收数据包中的 VLAN 标签
- 检测远程唤醒包和 AMD 魔术包
- 转发接收的暂停数据包至应用程序 (全双工模式下)
- 已接收数据包的第 3 层/第 4 层校验和减荷

## 47.2.2 MAC 事务层 (MTL) 特性

### MTL Tx 和 Rx 通用特性

- 32 位事务层模块 (连接应用程序和 MAC)
- 使用简单的 FIFO 协议执行数据传输
- 使用包分隔符优化面向数据包的传输
- 基于异步 FIFO 控制器的双端口 RAM
- 可编程突发 (burst) 长度, 可达 MTL Rx 队列或 Tx 队列大小的一半, 以支持 MTL 配置中的突发数据传输
- 每个队列具备可编程阈值能力 (阈值默认 64 字节)

### MTL Tx 特性

- 2KB 具有可编程阈值能力的发送 FIFO
- 发送路径上支持一个队列
- 存储转发模式或阈值模式 (直通模式)
- 半双工模式下自动重传冲突报文
- 延迟冲突、过度冲突、过度延迟和欠载 (underrun) 时丢弃数据包
- 计算和插入 IPv4 报头校验和, 以及 TCP、UDP 或 ICMP 校验和
- 通过为发送 FIFO 中丢弃的数据包 (由于下溢) 生成脉冲来进行统计
- 数据包级的控制:
  - VLAN 标签插入或替换
  - 以太网源地址段插入
  - 第 3 层/第 4 层检验和插入控制
  - 一步时间戳
  - 时间戳控制
  - CRC 和 PAD 控制

### MTL Rx 特性

- 2KB 具有可配置阈值的接收 FIFO
- 接收路径上支持一个队列
- 在 EOP/EOF 之后 (阈值模式) 和 SOP/SOF 之前, 将 Rx 状态向量插入 Rx 队列
- 阈值模式 (直通模式) 下, 可编程 Rx 队列阈值 (默认固定 64 字节)
- 存储转发模式下, 可以在接收时过滤所有错误数据包并且不将其转发至应用程序
- 支持转发矮小 (长度不足) 无误的数据包



- 通过为接收 FIFO 中丢失的数据包（由于溢出）生成脉冲来进行统计
- 根据 Rx 队列的填充级别自动生成暂定数据包控制信号或背压信号到 MAC

### 47.2.3 DMA 特性

- 32 位数据传输
- 发送路径和接收路径中分别具有单独的 DMA
- 以数据包分隔符优化面向数据包的 DMA 传输
- 支持以字节对齐的方式对数据缓存区寻址
- 支持双缓冲区（环形）描述符
- 描述符架构允许在最少 CPU 干预的情况下传输大数据块（每个描述符可传输多达 32K 字节的数据）
- 全面报告正常运行和传输错误的状态
- Tx DMA 和 Rx DMA 引擎的突发长度可单独编程，以优化主机总线利用率
- 可编程多种不同操作条件下所对应的中断
- 基于数据包的发送或接收完成中断控制
- 接收和发送引擎之间支持轮询或固定优先级仲裁
- 启动和停止模式
- 用于主机 CSR（控制状态寄存器）访问和主机数据接口的独立端口
- 支持 TCP 分段减荷（TSO）

### 47.2.4 总线接口特性

#### AHB 主接口特性

- 32 位数据，用于应用数据的访问
- 小端模式
- 软件选择 AHB 突发类型（固定突发、不确定突发或两者混合突发）

#### AHB 从接口特性

- 32 位数据，用于 CSR 的访问
- 小端模式
- 支持所有突发类型

### 47.2.5 监控、测试和调试特性

- MII/GMII 接口下 Loopback 模式，用于调试
- DMA 状态（Tx 和 Rx）作为状态位
- 调试状态寄存器，给出发送和接收路径中 FSM 的状态和 FIFO 填充级别

- 应用程序中止状态位
- MMC (RMON) 模块
- 当前 Tx 或 Rx 缓冲区指针作为状态寄存器
- 当前 Tx 或 Rx 描述符指针作为状态寄存器
- 可通过从端口访问 Tx 或 Rx 队列内存, 用于调试

## 47.3 功能框图

以太网外设主要由以下 4 个功能模块组成:

- 控制和状态寄存器模块 (CSR)  
由以太网外设所有内部控制寄存器和状态寄存器组成的 CSR 空间, 通过 AHB 32 位从接口进行访问。
- 直接存储器访问控制模块 (DMA)  
包含 1 个用于接收的物理通道和 1 个用于发送的物理通道。用于控制通过 AHB 32 位主接口在 MAC 和系统存储器之间进行的数据传输。
- MAC 事务层模块 (MTL)  
用于控制应用和 MAC 之间的数据流。
- 介质访问控制模块 (MAC)  
用于实现以太网协议。

此外, 还包含协议适配模块以支持 RMII PHY 介质独立接口。以太网外设功能框图如图 47-1 所示。

### 47.3.1 DMA

DMA 具有独立的发送 (Tx) 和接收 (Rx) 引擎以及一个 CSR 空间。Tx 引擎将数据从系统存储器传输到 MTL, 而 Rx 引擎将数据从 MTL 传输到系统存储器。

DMA 引擎可以在应用 CPU 最小干预的情况下, 通过描述符高效地将数据从源传输到目的地。DMA 专为面向数据包的数据传输 (如以太网中的数据包) 而设计。DMA 控制器经过编程后, 可在完成数据包发送和接收的传输时以及其他正常或错误条件下向应用 CPU 提供中断。

### 47.3.2 MTL

MAC 事务层 (MTL) 提供 FIFO 存储器接口, 用于缓冲和调节应用系统存储器与 MAC 之间的数据包。它还能在应用时钟域和 MAC 时钟域之间传输数据。MTL 层有两个数据路径: 发送路径和接收路径。两个方向的数据路径宽度均为 32 位。

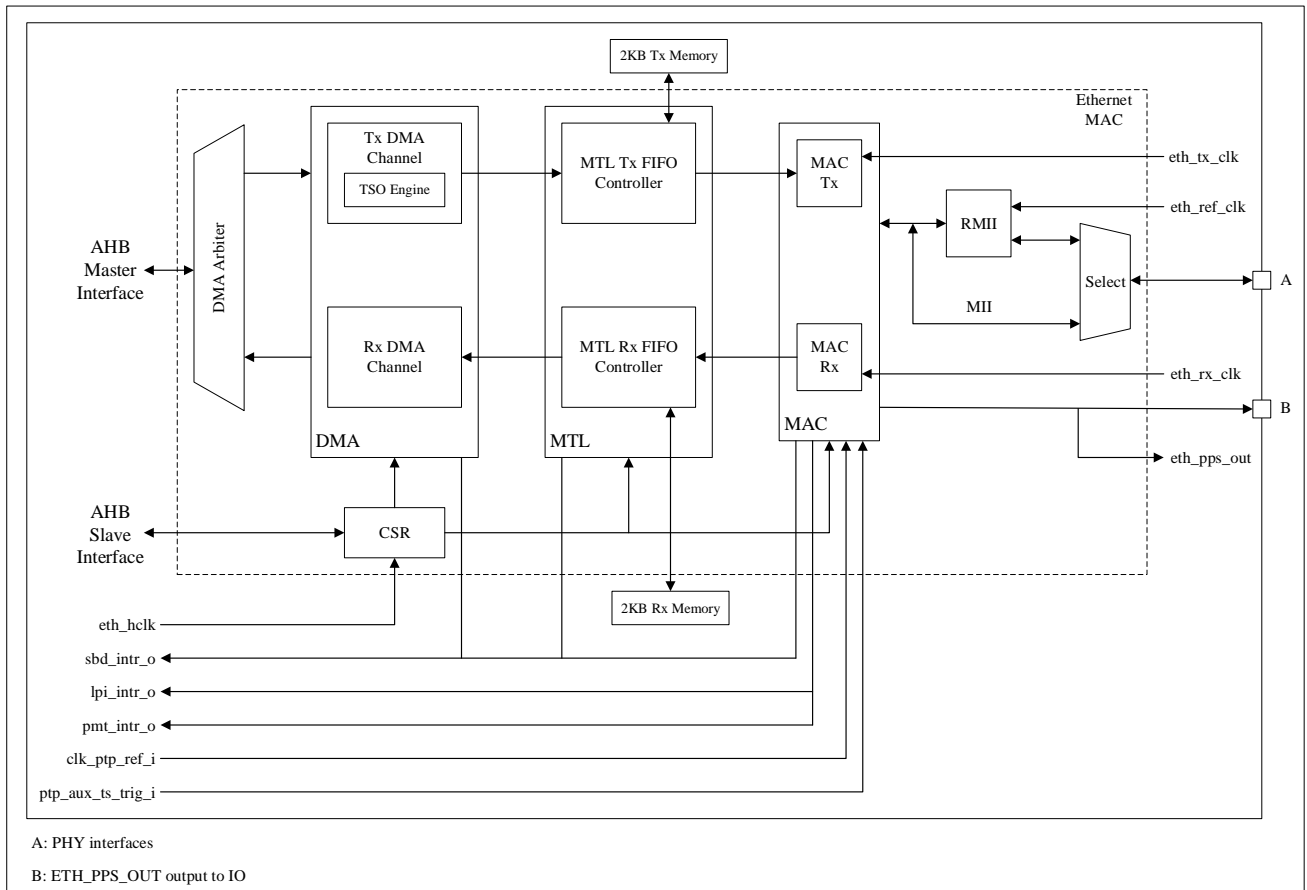
MTL 通过发送路径上的应用发送接口 (ATI) 和接收路径上的应用接收接口 (ARI) 与应用通信。MTL 还提供 MAC 控制接口 (MCI) 作为控制路径。

### 47.3.3 MAC

MAC 负责以太网协议数据包的处理。在发送模式下, MAC 从 MTL 模块的 Tx FIFO 接收数据, 然后再将其

传送到 PHY 接口。在接收模式下，MAC 从 PHY 接口接收数据，然后再将其传送到 MTL 模块的 Rx FIFO。MAC 支持多个 PHY 芯片接口。PHY 接口只能在复位后选择一次。MAC 通过 MAC 发送接口（MTI）、MAC 接收接口（MRI）和 MAC 控制接口（MCI）与应用端通信。

图 47-1 以太网功能框图



## 47.4 引脚和信号

本节列出了连接至通用输入输出（GPIO）的以太网输入/输出信号，同时列举并解释了图 47-1 及后续文本中涉及的内部以太网信号。具体说明详见表 47-1、表 47-2 和表 47-3：

表 47-1 ETH1 外设引脚

复用功能	引脚名 <sup>(1)</sup>	描述
ETH1_CLK125	PD10	125M 时钟输入信号，仅限 GMII，由外部时钟通过 Pad 输入时使用
ETH1_GMII_GTX_CLK	PF5	125M 时钟输出信号，仅限 GMII
ETH1_MII_RXD0 ETH1_RMII_RXD0 ETH1_GMII_RXD0	PC4	接收数据线 0
ETH1_MII_RXD1 ETH1_RMII_RXD1 ETH1_GMII_RXD1	PC5	接收数据线 1
ETH1_MII_RXD2	PB0, PH6	接收数据线 2，仅限 MII/GMII

复用功能	引脚名 <sup>(1)</sup>	描述
ETH1_GMII_RXD2		
ETH1_MII_RXD3 ETH1_GMII_RXD3	PB1, PH7	接收数据线 3, 仅限 MII/GMII
ETH1_GMII_RXD4	PE12, PH8	接收数据线 4, 仅限 GMII
ETH1_GMII_RXD5	PE13, PH9	接收数据线 5, 仅限 GMII
ETH1_GMII_RXD6	PE14, PH10	接收数据线 6, 仅限 GMII
ETH1_GMII_RXD7	PE15, PH11	接收数据线 7, 仅限 GMII
ETH1_MII_TXD0 ETH1_RMII_TXD0 ETH1_GMII_TXD0	PB12, PG13	发送数据线 0
ETH1_MII_TXD1 ETH1_RMII_TXD1 ETH1_GMII_TXD1	PB13, PG12, PG14	发送数据线 1
ETH1_MII_TXD2 ETH1_GMII_TXD2	PB7, PC2, PE3	发送数据线 2, 仅限 MII/GMII
ETH1_MII_TXD3 ETH1_GMII_TXD3	PB8, PE2	发送数据线 3, 仅限 MII/GMII
ETH1_GMII_TXD4	PF0, PI4	发送数据线 4, 仅限 GMII
ETH1_GMII_TXD5	PF1, PI5	发送数据线 5, 仅限 GMII
ETH1_GMII_TXD6	PF2, PI6	发送数据线 6, 仅限 GMII
ETH1_GMII_TXD7	PF3, PI7	发送数据线 7, 仅限 GMII
ETH1_MDC	PC1	站管理接口时钟信号
ETH1_MDIO	PA2	站管理接口数据信号
ETH1_MII_COL ETH1_GMII_COL	PA3, PH3	冲突检测信号 (仅限 MII/GMII)
ETH1_MII_CRS ETH1_GMII_CRS	PA0, PH2	载波侦听信号 (仅限 MII/GMII)
ETH1_MII_RX_CLK ETH1_RMII_REF_CLK ETH1_GMII_RX_CLK	PA1	基准时钟信号 (50 MHz, 仅限 RMII); 接收时钟信号 (10 Mbps 时为 2.5 MHz, 100 Mbps 时为 25 MHz, 仅限 MII); 接收时钟信号, 10 Mbps 时 2.5 MHz, 100 Mbps 时 25 MHz, 1000 Mbps 时 125 MHz, 仅限 GMII
ETH1_MII_RX_DV ETH1_RMII_CRS_DV ETH1_GMII_RX_DV	PA7	MII/GMII 接收数据有效信号, 与 RMII 的载波侦听及接收数据有效信号复用
ETH1_MII_RX_ER ETH1_GMII_RX_ER	PB10, PI10	接收错误信号, 仅限 MII/GMII
ETH1_MII_TX_CLK ETH1_GMII_TX_CLK	PC3	发送时钟信号, 10 Mbps 时为 2.5 MHz, 100 Mbps 时为 25 MHz (仅限 MII); 发送时钟信号, 10 Mbps 时为 2.5 MHz, 100 Mbps 时为 25 MHz, 1000 Mbps 时为 125 MHz (仅限 GMII)
ETH1_MII_TX_EN ETH1_RMII_TX_EN ETH1_GMII_TX_EN	PB11, PG11	发送数据使能信号, 由 MII/RMII/GMII 共享
ETH1_MII_TX_ER	PA9, PB2	发送错误信号, 仅限 MII/GMII

复用功能	引脚名 <sup>(1)</sup>	描述
ETH1_GMII_TX_ER		
ETH1_PHY_INTN	PB4, PD15, PG7, PG15	外部 PHY 中断信号
ETH1_PPS_OUT	PB5, PD14, PG8	秒脉冲输出信号

1. 有关 ETH1 引脚的复用功能映射, 请参阅 GPIO 章节。

**表 47-2 ETH2 外设引脚**

复用功能	引脚名 <sup>(1)</sup>	描述
ETH2_MII_RXD0 ETH2_RMII_RXD0	PG2, PG9, PI1	接收数据线 0
ETH2_MII_RXD1 ETH2_RMII_RXD1	PG3, PG10, PI2	接收数据线 1
ETH2_MII_RXD2	PG4, PJ8	接收数据线 2 (仅限 MII)
ETH2_MII_RXD3	PG5, PJ9	接收数据线 3 (仅限 MII)
ETH2_MII_TXD0 ETH2_RMII_TXD0	PF12, PH4, PH14	发送数据线 0
ETH2_MII_TXD1 ETH2_RMII_TXD1	PF13, PH5, PH15	发送数据线 1
ETH2_MII_TXD2	PF14, PJ0	发送数据线 2 (仅限 MII)
ETH2_MII_TXD3	PF15, PJ1	发送数据线 3 (仅限 MII)
ETH2_MDC	PF7	站管理接口时钟信号
ETH2_MDIO	PF6	站管理接口数据信号
ETH2_MII_COL	PF8, PK0	冲突检测信号, 仅限 MII
ETH2_MII_CRS	PF9, PK1	载波侦听信号, 仅限 MII
ETH2_MII_RX_CLK ETH2_RMII_REF_CLK	PA8, PF4, PJ4	基准时钟信号, 50 MHz, 仅限 RMII; 接收时钟信号, 10 Mbps 时 2.5 MHz, 100 Mbps 时 25 MHz, 仅限 MII
ETH2_MII_RX_DV ETH2_RMII_CRS_DV	PC0, PH12, PJ3	MII 接收数据有效信号, 与载波侦听及 RMII 接收数据有效信号复用
ETH2_MII_RX_ER	PG6, PI3	接收错误信号, 仅限 MII
ETH2_MII_TX_CLK	PG0, PI8	发送时钟信号, 10 Mbps 时 2.5 MHz, 100 Mbps 时 25 MHz, 仅限 MII
ETH2_MII_TX_EN ETH2_RMII_TX_EN	PF11, PH13	发送数据使能信号, MII/RMII 共享
ETH2_MII_TX_ER	PG1, PJ5	发送错误信号, 仅限 MII
ETH2_PHY_INTN	PD15, PE4, PE7	外部 PHY 中断信号
ETH2_PPS_OUT	PD10, PF10, PI15	秒脉冲输出信号

1. 有关 ETH2 引脚的复用功能映射, 请参阅 GPIO 章节。

**表 47-3 以太网内部信号**

信号名称	I/O 类型	描述
eth_hclk	数字输入	AHB 时钟
sbd_intr_o	数字输出	以太网模块全局中断信号, 该信号为由 DMA、MTL 和 MAC 相关中断信号作逻辑与运算后的输出信号
sbd_perch_tx_intr_o[0]	数字输出	DMA 发送通道 0 中断信号

信号名称	I/O 类型	描述
sbd_perch_rx_intr_o[0]	数字输出	DMA 接收通道 0 中断信号
lpi_intr_o	数字输出	发送器或接收器进入或退出 LPI 状态时的中断信号，ETH1 的该信号连接至 EXTI Line 83，ETH2 的该信号连接至 EXTI Line 84
pmt_intr_o	数字输出	接收到魔术包或远程唤醒数据包时的中断信号，ETH1 的该信号连接至 EXTI Line 83，ETH2 的该信号连接至 EXTI Line 84
clk_ptp_ref_i	数字输入	PTP 参考时钟输入信号
ptp_aux_ts_trig_i	数字输入	时间戳辅助快照触发输入信号，该信号连接到 CAN、TIM
eth_tx_clk	数字输入	MII/GMII 发送时钟
eth_ref_clk	数字输入	RMII 参考时钟
eth_rx_clk	数字输入	MII/GMII 接收时钟
eth_pps_out	数字输出	秒脉冲输出信号，特指输出到 CAN、TIM 等其他外设模块的信号，输出到 GPIO 的秒脉冲信号为大写的：ETH_PPS_OUT
phy_intr_i	数字输入	外部 PHY 中断输入信号，MAC 检测该信号的上升沿并触发 PHY 中断

## 47.5 功能描述

### 47.5.1 DMA 功能描述

DMA 和应用程序通过以下 2 种数据结构进行通信：

- 控制和状态寄存器（CSR）
- 描述符列表和数据缓冲区

DMA 支持 1 个 Tx 和 1 个 Rx 描述符列表（或 DMA 通道）。列表的基地址分别写入 DMA 通道 0 发送描述符列表地址寄存器和 DMA 通道 0 接收描述符列表地址寄存器。描述符列表是前向链接的，下一个描述符总是在当前描述符的固定偏移量上。偏移量由 DMA 通道 0 控制寄存器的 DSL 字段控制。列表中描述符的数量在相应的 Tx（或 Rx）描述符环长度寄存器中进行编程。处理完列表中的最后一个描述符后，DMA 会自动跳回列表地址寄存器中的描述符，以创建一个描述符环。

描述符列表位于应用程序的物理内存地址空间中。每个描述符最多可指向系统内存中的两个缓冲区。这样就可以使用两个物理地址的缓冲区，而不是内存中连续的缓冲区。

数据缓冲区位于应用程序物理内存空间中，由整个数据包或部分数据包组成，但不能超过一个数据包。缓冲区只包含数据。缓冲区状态保存在描述符中。数据链是指跨越多个数据缓冲区的数据包。但是，单个描述符不能跨越多个数据包。检测到 EOP 时，DMA 会跳至下一个数据包的数据缓冲区。

以太网外设支持 DMA 描述符的环形结构。有关描述符的更多信息，请参阅下文的描述符章节，其中介绍了描述符结构以及 DMA 访问描述符的方式。

#### 47.5.1.1 总线突发访问

DMA 引擎会尝试以各自 DMA 的发送控制寄存器和接收控制寄存器的 PBL 字段中编程的最大突发长度传输数据。Rx 和 Tx 描述符总是以最大可能（受 PBL 或 16\*8/总线宽度限制）的突发长度访问，以读取 16 个字节。根据应用接口协议（AHB）的要求和 DMA 系统总线模式寄存器的设置，DMA 发起的突发传输可分

为多个突发传输。

只有当 MTL Tx 队列（FIFO）中有足够空间容纳以下任一情况时，Tx DMA 才会启动数据传输：

- 与配置突发（PBL\*总线宽度/8）相对应的字节
- Tx 缓冲区中不包含 EOP 的剩余字节
- 到 EOP 的字节数

Rx DMA 在以下条件下启动数据传输：

- MTL Rx 队列中有足够的数据容纳所配置的突发
- 在 Rx 队列中检测到 EOP（当 EOP 小于配置的突发长度时）

DMA 向 AHB 主接口指示起始地址和所需的传输次数。当 AHB 接口配置为固定长度突发时，它会使用 INCR4、INCR8 或 INCR16 和 SINGLE 事务的最佳组合来传输数据。如果在 AHB 接口上的定长突发结束前达到 EOP，则会依次执行虚拟传输以完成定长突发。否则（DMA 系统总线模式寄存器的第 0 位被复位），DMA 将使用 INCR（未定义长度）和 SINGLE 事务传输数据。

当 AHB 接口配置为地址对齐节拍时，两个 DMA 引擎都会确保 AHB 启动的第一个突发传输小于或等于配置的 PBL 大小。因此，所有后续节拍都从与配置的 PBL 对齐的地址开始。对于 AHB 接口，DMA 只能对齐大小不超过 16（PBL > 16 时）的节拍地址，因为它不支持 INCR16 以上。

#### 47.5.1.2 数据缓冲区对齐

Tx 和 Rx 数据缓冲区对起始地址对齐没有任何限制。例如，在具有 32 位内存的系统中，缓冲区的起始地址可以与四个字节中的任何一个对齐。但是，DMA 在启动写传输时，总是将地址对齐到总线宽度，并在无效字节通道中使用虚拟数据（旧数据）。这种情况通常发生在传输以太网数据包的开始或结束时。软件驱动程序应根据缓冲区的起始地址和数据包的大小丢弃虚拟字节。

表 47-4 数据缓冲区对齐示例

访问操作	描述
读缓冲区	如果 Tx 缓冲区地址为 32'h00000FF2（32 位数据总线），需要传输 15 个字节，则 DMA 会从地址 32'h00000FF0 读取 5 个整字。但在向 MTL Tx 队列传输数据时，多余的字节（前两个字节）会被丢弃或忽略。同样，最后一次传输的最后 3 个字节也会被忽略。DMA 始终确保向 MTL Tx 队列传输完整的 32 位数据，除非是数据包的末尾。
写缓冲区	如果接收缓冲区地址为 32'h0000FF2（32 位数据总线），并且要传输 16 个字节的接收数据包，则 DMA 会从地址 32'h00000FF0 写入 5 个整字。但是，第一次传输的前 2 个字节和最后一次传输的后 2 个字节为虚拟数据。只有当偏移地址是数据包的第一个 Rx 缓冲区时，DMA 才会考虑该地址。DMA 会忽略偏移地址，并对数据包的中间和最后一个 Rx 缓冲区执行全字写入。

#### 47.5.1.3 缓冲区大小计算

DMA 不更新 Tx 和 Rx 描述符中的大小字段。DMA 只更新描述符的状态字段（RDES 和 TDES）。驱动程序必须执行大小计算。

Tx DMA 向 MAC 传输准确的字节数（由 TDES2 的缓冲区大小字段指示）。如果描述符被标记为第一个（TDES3 的 FD 位被置位），则 DMA 会将缓冲区的第一次传输标记为 SOP。如果某个描述符被标记为最后一个（TDES3 的 LD 位被置位），则 DMA 会将该数据缓冲区的最后一次传输标记为 EOP，并将其传输至 MTL。

Rx DMA 将数据传输到缓冲区，直到缓冲区满或从 MTL 接收到数据包尾。当描述符的 FD 位被设置时，缓冲区中的有效数据量由缓冲区大小字段（已在 DMA 通道接收控制寄存器中编程）减去数据缓冲区指针偏移量来准确指示。当数据缓冲指针与数据总线宽度对齐时，偏移量为零。如果描述符被标记为最后一个，则缓冲区可能未充满（如 DMA 通道 0 接收控制寄存器的位[14:1]中的缓冲区大小所示）。要计算最后一个缓冲区中的有效数据量，驱动程序必须读取数据包长度（RDES3[14:0]的 PL 位），然后减去该数据包中前几个缓冲区的缓冲区大小之和。Rx DMA 始终使用新描述符传输下一个数据包的起始部分。

*注：即使 Rx 缓冲区的起始地址与系统总线的数据宽度不一致，系统也应分配一个大小与系统总线宽度一致的 Rx 缓冲区。例如，如果系统从地址 0x1000 开始分配一个 1024 字节（1KB）的 Rx 缓冲区，软件可将 Rx 描述符中的缓冲区起始地址编程为 0x1002 偏移量。Rx DMA 将数据包写入该缓冲区，并在前两个位置（0x1000 和 0x1001）写入虚拟数据。实际数据包从 0x1002 位置写入。因此，由于起始地址偏移，尽管缓冲区大小编程为 1024 字节，但该缓冲区的实际有用空间为 1022 字节。*

#### 47.5.1.4 DMA 仲裁

DMA 模块内部的仲裁器对 AHB 主接口的 Tx 和 Rx 通道访问进行仲裁。支持以下两种仲裁类型：

##### ■ 循环仲裁

当 DMA 模式寄存器的第 1 位复位，且 Tx 和 Rx DMA 同时请求访问时，仲裁器按照 DMA 模式寄存器中的位[14:12]设置的比例分配数据总线。

##### ■ 固定优先级仲裁

当设置 DMA 模式寄存器的第 1 位置 1 时，默认情况下 Rx DMA 的数据访问优先级始终高于 Tx DMA。当 DMA 模式寄存器的第 11 位也被置 1 时，Tx DMA 优先级高于 Rx DMA。

#### 47.5.1.5 发送操作：非 OSP 模式

Tx DMA 引擎在非 OSP 模式下（默认模式）的运行流程如下：

1. 在为数据缓冲区设置好相应的以太网数据包数据后，应用配置发送描述符（TDES0~TDES3）并将 Own 位（TDES0[31]）置 1。
2. 应用对发送通道的描述符尾指针偏移值进行移位。
3. DMA 从应用内存中获取描述符。
4. 如果 DMA 检测到以下情况之一，则暂停（挂起）该通道的传输，并设置相应 DMA 通道状态寄存器的 bit2 和 bit16，发送引擎进入步骤 10：
  - 描述符标记为应用所有（TDES3[31] = 1'b0）
  - 在环形描述符列表模式下，描述符尾指针等于当前描述符指针
  - 出现错误条件
5. 如果获取的描述符被标记为 DMA 所有（TDES3[31] = 1'b1），则 DMA 将从获取的描述符中解码发送数据缓冲区地址。
6. DMA 从系统内存中获取发送数据，并将数据传输到 MTL 进行传输。
7. 如果以太网数据包存储在多个描述符的数据缓冲区中，DMA 会关闭中间描述符并获取下一个描述符。重复步骤 3 至步骤 6，直到以太网数据包的末尾数据传输到 MTL。
8. 数据包传输完成后，如果使能了数据包的 IEEE 1588 时间戳功能（如 Tx 状态所示），则会将从 MTL 获



取的时间戳值写入包含 EOP 缓冲区的 Tx 描述符 (TDES0 和 TDES1)。状态信息将写入此 Tx 描述符 (TDES3)。应用现在拥有该描述符, 因为 Own 位在此步骤中被清零。

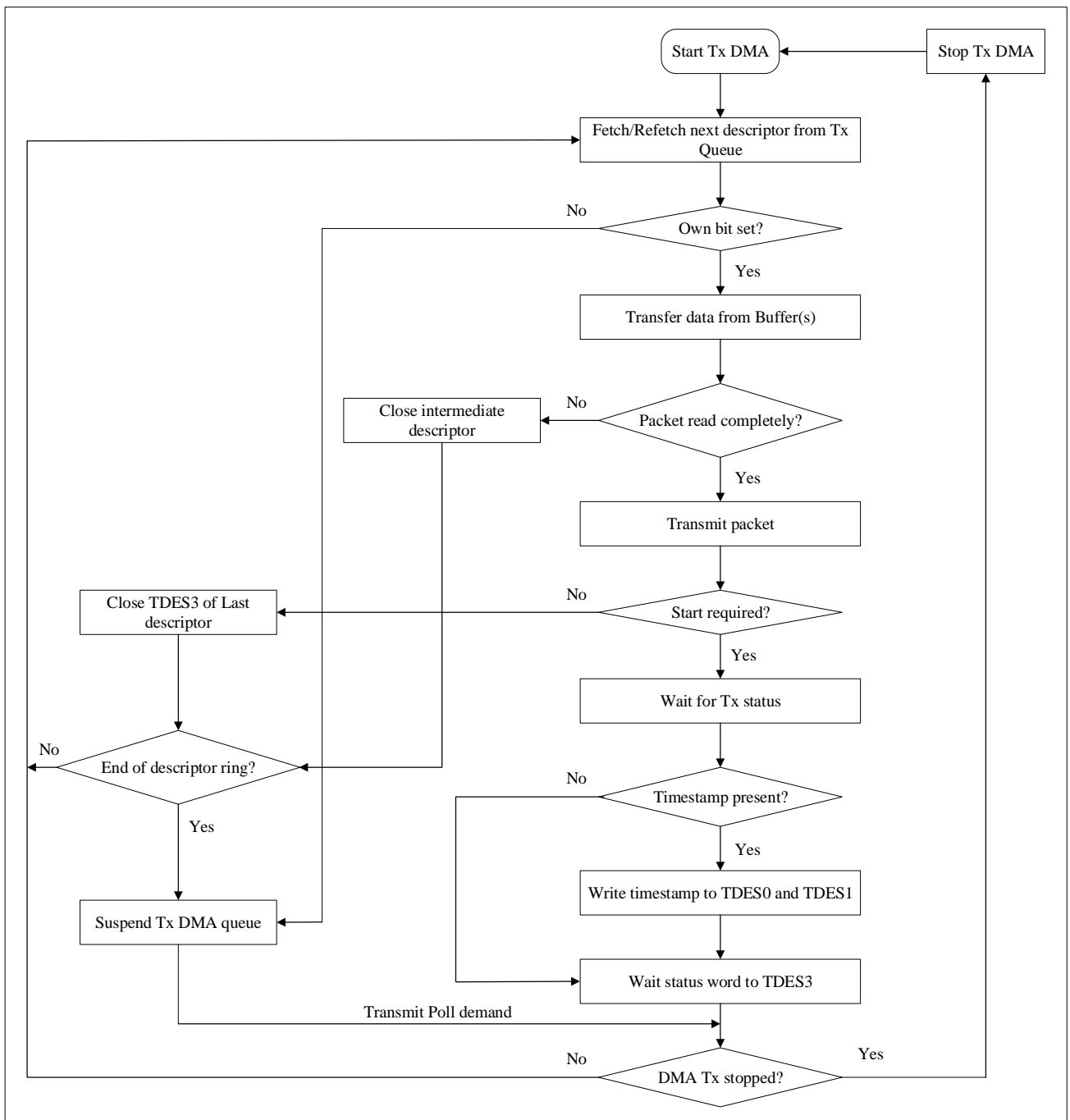
如果该数据包未使能时间戳功能, 则 DMA 不会更改 TDES0 和 TDES1 的内容。

9. 如果数据包的最后描述符中设置了"完成时中断" (TDES2[31]), 则数据包传输完成后, 相应通道状态寄存器的第 0 位将被置位。DMA 引擎返回步骤 3。
10. 在暂停 (挂起) 状态下, DMA 会尝试再次获取描述符 (从而返回步骤 3)。当接收到发送轮询需求且下溢中断状态位被清零时, 向 DMA 通道 0 发送描述符尾指针寄存器写入任意值即可触发轮询需求命令。如果应用程序清零了 DMA 通道 0 发送控制寄存器的第 0 位, 从而停止了 DMA, 则 DMA 进入停止状态。

*注: 在非 OSP 模式下, 即使 FD 设置为 1, 驱动程序/应用程序也不需要提取包状态并释放该包的描述符。驱动程序必须跟踪 OWN=0 且 LD=1 的描述符, 将其标记为 1; 此类描述符包含包的传输状态。这表明, 截至该描述符的所有描述符均可由驱动程序/应用程序释放以供后续包重复使用。*

Tx DMA 在非 OSP 模式下的操作流程图如下:

图 47-2 Tx DMA 操作流程图（非 OSP 模式）



### 47.5.1.6 发送操作：OSP 模式

在运行状态下，如果 DMA 通道 0 发送控制寄存器中的第 4 位被置 1，则发送进程可同时获取两个数据包，而无需关闭第一个数据包的状态描述符。发送进程完成第一个数据包的传输后，会立即轮询发送描述符列表以获取第二个数据包。如果第二个数据包有效，发送进程会在写入第一个数据包的状态信息之前传输该数据包。

在 OSP 模式下，运行状态下的 Tx DMA 按以下顺序操作：

1. DMA 按照 Tx DMA（默认模式）的步骤 1 至步骤 7 进行操作。
2. DMA 在不关闭上一个数据包的最后一个描述符的情况下获取下一个描述符。

3. 如果 DMA 拥有所获取的描述符，则 DMA 会解码该描述符中的发送缓冲区地址。如果 DMA 不拥有该描述符，则 DMA 进入暂停（挂起）模式并跳至步骤 7。
4. DMA 从系统内存中获取发送数据包，并将数据包传输到 MTL，直到 EOP 数据传输完毕，如果该数据包被拆分到多个描述符中，则关闭中间描述符。
5. DMA 等待数据包发送状态和前一个数据包的时间戳。当状态可用时，DMA 会将时间戳写入 TDES0 和 TDES1（如果捕获了时间戳（如状态位所示））。DMA 会清零 Own 位，并将状态写入相应的 TDES3，从而关闭描述符。如果上一个数据包未使能时间戳功能，则 DMA 不会更改 TDES2 和 TDES3 的内容。
6. 发送中断被设置（如果使能）。DMA 获取下一个描述符并进入步骤 3（状态正常时）。如果上一次传输状态显示下溢错误，则 DMA 进入暂停模式（步骤 7）。
7. 在暂停模式下，如果从 MTL 接收到暂停状态和时间戳，DMA 会执行以下操作：
  - 将时间戳（如果当前数据包使能）写入 TDES0 和 TDES1
  - 将状态写入相应的 TDES3
  - 设置相关中断并返回暂停模式

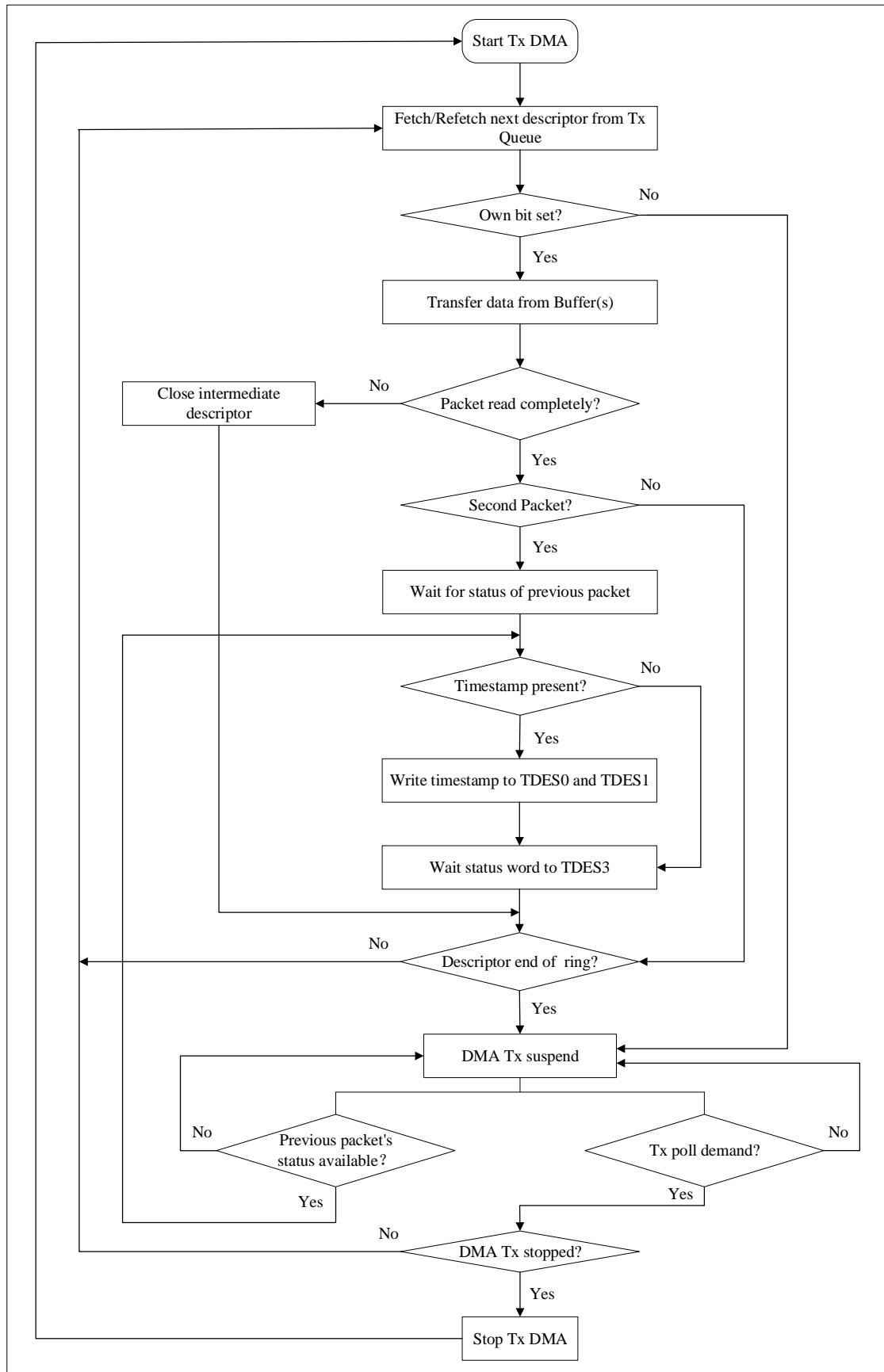
如果没有暂停状态，且应用程序通过清零 DMA 通道 0 发送控制寄存器的第 0 位来停止 DMA，则 DMA 进入停止状态。

8. 只有在 DMA 通道 0 发送描述符尾指针寄存器中接收到发送轮询需求后，DMA 才能退出暂停模式，进入运行状态（根据暂停状态跳转到步骤 1 或步骤 2）。

*注：DMA 会在关闭当前描述符之前获取下一个描述符。因此，描述符环长度必须大于两个。建议描述符长度至少为四个。在 OSP 模式下，除最后一个描述符外的所有描述符都会立即关闭。最后一个描述符会在数据包在线路上传输后关闭。因此，为了最大限度地降低复杂性，仅在前一数据包的待处理最后一个描述符中更新传输状态和必要的控制位。*

Tx DMA 在 OSP 模式下的操作流程图如下：

图 47-3 Tx DMA 操作流程 (OSP 模式)



### 47.5.1.7 发送数据包处理

Tx DMA 期望数据缓冲区包含完整的以太网数据包，不包括前导码、填充字节（PAD）和 FCS 字段。DA、SA 和类型/长度字段包含有效数据。如果 Tx 描述符指示 MAC 必须禁用 CRC 或 PAD 插入，则缓冲区必须包含包括 CRC 字节的完整以太网数据包（不包括前导码）。

数据包可以是数据链，也可以跨越多个缓冲区。数据包必须由 FD 位（TDES3[29]）和 LD 位（TDES3[28]）定界。传输开始时，第一个描述符的 FD 位必须设置为 1。此时，数据包数据将从应用缓冲区传输到 MTL Tx 队列。与此同时，如果当前数据包的 LD 位（TDES3[28]）为 0，则发送进程会尝试获取下一描述符，并且发送进程期望该描述符的 FD 位为 0。如果 LD 位为 0，则表示有一个中间缓冲区。如果 LD 位置 1，则表示数据包的最后一个缓冲区。

发送完数据包的最后一个缓冲区后，DMA 会将最终状态信息写回到 LD 位（TDES3[28]）置 1 的描述符的 TDES3 中。此时，如果设置了“完成时中断”（TDES2[31]），则 DMA 通道 0 状态寄存器的第 0 位会被置 1，然后获取下一个描述符，并重复上述过程。在出现以下任一情况后，开始实际数据包的发送：

- MTL 发送队列达到可编程的发送阈值（MTL 发送队列操作模式寄存器的位[6:4]）
- FIFO 中包含一个完整的数据包

也可以使用存储转发模式（设置 MTL 发送队列操作模式寄存器的第 1 位）。在此模式下，当 DMA 完成数据包传输时，描述符将被释放（清零 Own 位（TDES0[31]））。

*注：为确保正确传输数据包和下一个数据包，必须为 LD 位（TDES3[28]）置 1 的发送描述符指定一个非零的缓冲区大小。*

### 47.5.1.8 发送轮询暂停

发送轮询可在以下任何条件下暂停（挂起）：

- DMA 检测到描述符所属于应用程序（TDES3[31]=0）。  
若要恢复，驱动程序必须将描述符所有权移交给 DMA，然后通过写入尾指针寄存器发出轮询需求命令。如果 DMA 因上述情况进入暂停状态，则 DMA 通道 0 状态寄存器的 bit15 和 bit2 将被置 1。
- 当检测到发送错误时，数据包传输会因溢出而中止。  
相应的发送描述符 3（TDES3）位将置 1。出现这种情况时，以下寄存器位将被置 1，信息被写入 TDES3，导致传输中止：
  - DMA 通道 0 状态寄存器的 bit14
  - MTL 队列中断控制状态寄存器的 bit0
- DMA 检测到尾指针等于其关闭的当前描述符。  
若要恢复，软件驱动程序必须修改尾指针寄存器。

在所有情况下，发送列表中的位置都会保留。保留的位置是 DMA 关闭最后一个描述符后的描述符位置。在纠正了暂停原因后，驱动程序必须明确发出发送轮询需求命令。

### 47.5.1.9 接收操作

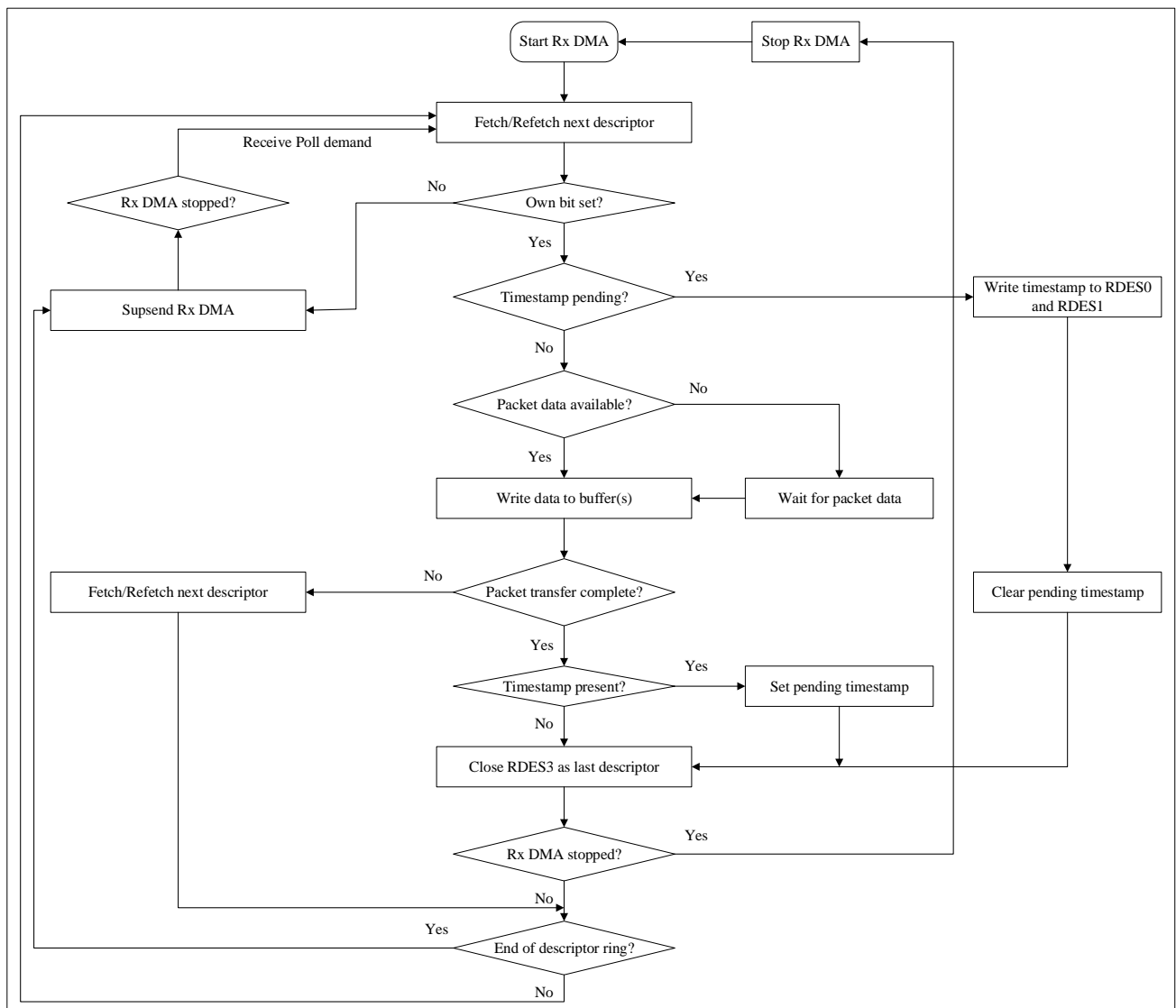
在接收路径中，DMA 从 MTL 接收队列中读取数据包，并将其写入 DMA 通道的数据包数据缓冲区。Rx DMA 引擎的运行流程如下：

1. 应用程序设置 Rx 描述符（RDES0~RDES3）和 Own 位（RDES3[31]设置为 1）。应用程序必须在 DMA

通道的接收描述符尾指针寄存器中设置正确的值。

2. DMA 通道 0 接收控制寄存器的 bit0 置 1 时，DMA 进入运行状态。DMA 根据 Rx 当前描述符和描述符尾指针寄存器的值查找空闲的描述符。如果没有空闲描述符，则 DMA 通道进入挂起（暂停）状态，并跳转至步骤 11。
3. DMA 在环路中获取下一个可用描述符，并从获取的描述符中解码接收数据缓冲区地址。
4. 如果使能了 IEEE 1588 时间戳，且上一个数据包的时间戳可用，则 DMA 会将时间戳（如果可用）写入当前描述符的 RDES0 和 RDES1，并将 CTXT 字段（RDES3[30]）置 1。
5. DMA 处理接收到的数据包，并将其存储至所获取描述符的数据缓冲区。
6. 如果当前数据包传输未完成，DMA 会将当前描述符作为中间描述符而关闭，并跳转至步骤 10。
7. DMA 从 MTL 获取接收帧（数据包）的状态，并将状态字写入当前描述符，同时清零 Own 位并设置最后描述符位（LD）为 1。
8. DMA 将帧长度写入 RDES3，将 VLAN 标签写入 RDES0。DMA 还会将 MAC 控制帧操作码、OAM 控制帧代码和扩展状态信息（如果可用）写入最后描述符的 RDES1。
9. 如果使能了 IEEE 1588 时间戳功能，DMA 会存储时间戳（如果可用）。DMA 在当前数据包的最后一个描述符之后写入上下文描述符（在下一个可用描述符中）。
10. 如果 Rx DMA 描述符环中有更多可用描述符，则跳转至步骤 3；否则转到挂起（暂停）状态（步骤 11）。
11. 当接收到接收轮询需求且应用程序将通道的接收尾指针寄存器增加时，Rx DMA 将退出暂停状态。引擎跳转至步骤 2 并重新获取下一个描述符。

Rx DMA 的操作流程图如下：

**图 47-4 Rx DMA 操作流程图**


#### 47.5.1.10 接收描述符获取

接收引擎总是尝试在接收到数据包时获取额外的描述符。如果满足以下任一条件，就会尝试获取描述符：

- DMA 通道 0 接收控制寄存器的 bit0 在进入运行状态后立即被置 1。
- 描述符尾指针寄存器的值领先于 Rx DMA 获取的当前描述符。
- 控制器已完成数据包接收，但当前接收描述符尚未关闭。
- 已发出接收轮询需求（更新尾指针寄存器）。

#### 47.5.1.11 接收数据包处理

接收数据包的处理顺序如下：

1. 只有当数据包通过地址过滤时，MAC 才会将接收到的数据包传输到 MTL 存储器（FIFO）。如果数据包未通过地址过滤，则会在 MAC 模块中将其丢弃（除非 MAC 数据包过滤器寄存器的 bit31 被置 1）。
2. 如果数据包大小大于或等于为 MTL 的 Rx 队列设置的可配置阈值字节数，或在存储转发模式下将完整数据包写入队列时，MTL 模块会请求 DMA 模块开始将数据包数据传输到当前描述符指向的接收缓冲

区。

由于冲突或过早终止，小于 64 字节的数据包将从 MTL 接收队列中删除。

3. 当 DMA 应用接口（AHB 或 MDC）准备就绪时，它将传输数据并设置以下内容：
  - 如果数据包适合单个描述符，则 DMA 同时将最后描述符标志位（RDES3[28]）和第一个描述符标志位（RDES3[29]）置 1。
  - 如果数据包适合多个描述符，则 DMA 将第一个描述符标志位（RDES3[29]）置 1 以定界数据包。
4. DMA 通过将 Own 位（RDES3[31]）重置为 1'b0 来释放描述符，原因可能是接收缓冲区已满或数据包的最后一段已传输到接收缓冲区。接收到的数据包状态将在最后一个描述符中更新。
5. 如果在数据包的第一个和最后一个描述符之间的任何一个描述符中设置了完成时中断使能（RDES3[30]）位，且 DMA 通道 0 中断使能寄存器的 bit6 被设置为 1，则 DMA 会将 DMA 通道 0 状态寄存器的 bit6 置 1。

除非 DMA 遇到标记为应用程序所有的描述符，或者环路中不再有描述符，否则将重复相同的过程。当 DMA 发现应用程序拥有的描述符时，如果 DMA 通道 0 中断使能寄存器的 bit7 被设置为 1，则接收进程会将 DMA 通道 0 状态寄存器的 bit7 置 1，然后进入暂停状态。接收列表中的位置保持不变。

#### 47.5.1.12 对 DMA 的错误响应

对于由 DMA 通道启动的任何数据传输，如果从设备回复错误响应，DMA 将停止所有操作，并更新 DMA 通道 0 状态寄存器中的错误位（REB 和 TEB）和致命总线错误位。应用程序可以复位以太网外设，或重新初始化 DMA 描述符列表并重新开始。

### 47.5.2 MTL 功能描述

**发送路径：**应用模块通过 ATI 驱动与发送路径相关的所有事务。内部 DMA 通过 ATI 处理传输路径的所有事务。应用程序或内部 DMA 将从应用程序或系统内存读取的以太网数据包推入 Tx 队列（FIFO）。然后，当达到队列阈值（阈值模式）或队列中有完整数据包（存储转发模式）时，数据包会被弹出并传输到 MAC。传输完 EOP 时，从 MAC 获取发送状态并回传至应用程序或内部 DMA。发送队列的默认大小为 2K 字节。队列的填充级别会指示给应用程序或内部 DMA（使用 PBL 和水印），以便它能从应用程序或系统内存中按所需的突发启动数据获取。应用程序或内部 DMA 通过 ATI 接口指示作为数据包定界符的 SOP 和 EOP。

**接收路径：**MTL Rx 模块从 MAC 接收数据包并将其推入 Rx 队列（FIFO）。当队列达到配置接收阈值（MTL 接收队列操作模式寄存器的 RTC 字段）或接收到完整数据包时，队列的状态将指示给应用程序或内部 DMA。MTL 还会指示队列的填充级别，以便 DMA 向 AHB 接口启动预先配置的突发传输。

#### 47.5.2.1 发送操作

以下两种操作模式可触发向 MAC 弹出数据：

##### ■ 阈值模式：

在阈值（或直通）模式下，一旦队列中的字节数超过所配置的阈值级别（或在超过阈值之前写入数据包的结尾），数据就会被准备好弹出并转发到 MAC。阈值级别通过 MTL 发送队列操作模式寄存器中的 TTC 字段进行配置。

##### ■ 存储转发模式：

在存储转发模式下，MTL 只有在以下一个或多个条件为真时，才会向 MAC 弹出数据包：



- 队列中存储了一个完整的数据包
- Tx FIFO 几乎已满
- ATI 水印变低

当请求的队列没有空间容纳 ATI 上请求的突发长度时，水印变低。因此，MTL 在存储转发模式下工作时，即使数据包长度大于 Tx 队列大小，也允许数据包传输。

应用程序可通过设置 MTL 队列发送操作模式寄存器中的 bit0 (FTQ) 来清除 Tx 队列的全部内容。该位具有自清除功能，可将队列指针初始化为默认状态。如果在数据包从 MTL 传输到 MAC 的过程中将 FTQ 位置 1，MTL 将停止进一步传输，因为队列被认为是空的。因此，MAC 发送器会发生下溢事件。

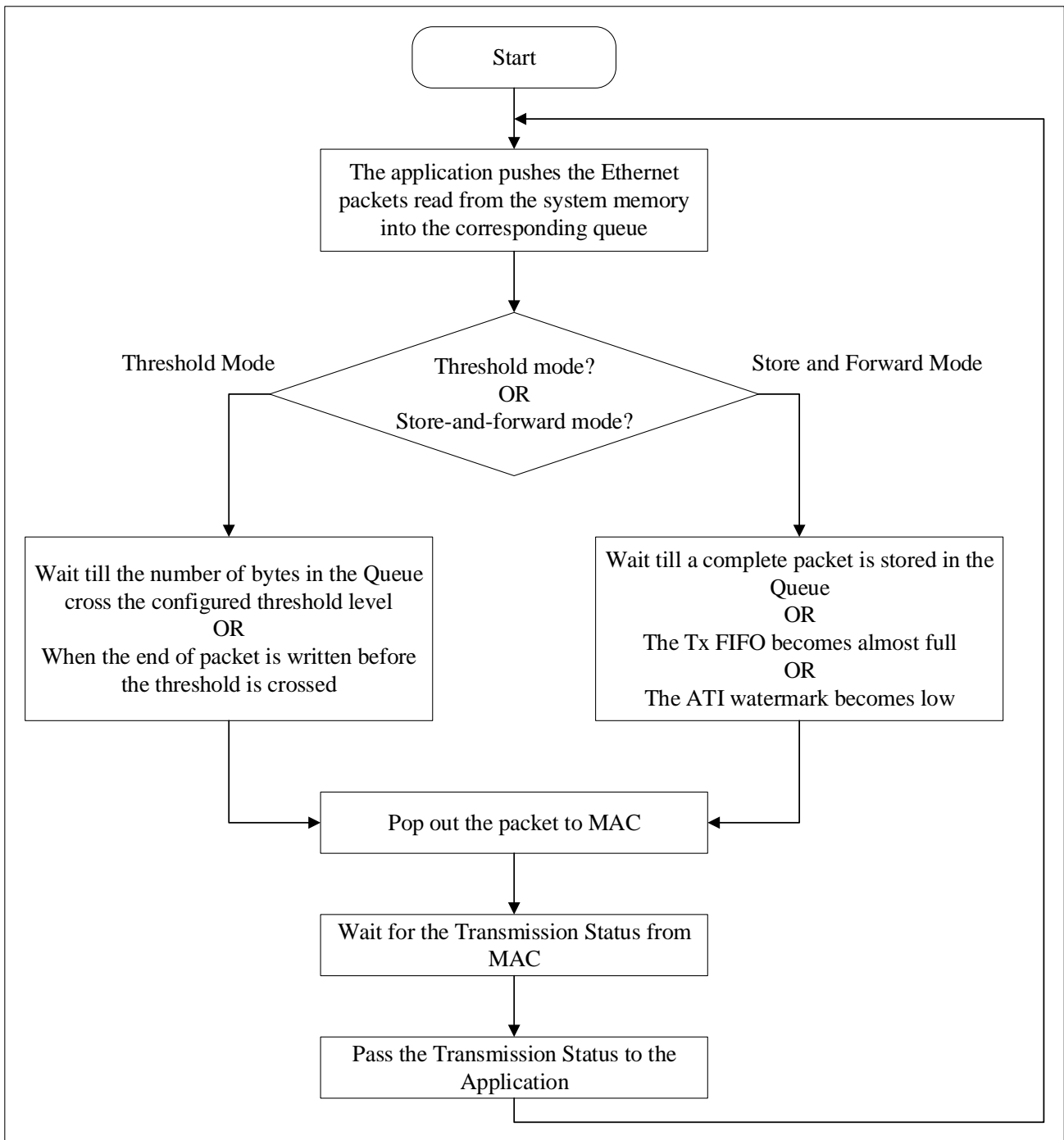
#### 47.5.2.2 单数据包发送操作

当内核以非 OSP 模式运行时，即 DMA 通道 0 发送控制寄存器的 bit4 (OSP) 设置为 0 时，以下流程有效。在发送操作期间，MTL 模块是 DMA 控制器的从设备。发送操作事件的一般顺序如下：

1. 如果系统有数据要传输，DMA 控制器（如果使能）通过 AHB 从应用程序获取数据，并开始将数据转发到 MTL。DMA 描述符存储器包含与数据包控制相关的信息，用于驱动 ATI 控制字。DMA 数据缓冲区存储器包含数据包数据。
2. MTL 将从 DMA 接收到的数据推入 Tx 队列。这一过程一直持续到 EOP 传输完毕。
3. 当达到阈值级别或队列接收到一个完整的数据包时，MTL 将读取数据包数据并将其传送到 MAC。
4. 队列控制器继续从队列中传输数据，直到一个完整的数据包传输到 MAC。
5. 数据包传输完成后，MTL 从 MAC 接收状态并通知 DMA 控制器。

MTL 单数据包发送流程图如下：

图 47-5 MTL 单数据包发送流程图



注：当 MTL 操作模式寄存器的 bit1 (DTXSTS) 设置为 1 时，MTL 不会向 DMA 提供任何状态。

### 47.5.2.3 双数据包发送操作

当内核以 OSP 模式运行时，即 DMA 通道 0 发送控制寄存器的 bit4 (OSP) 设置为 1 时，双数据包发送流程才有效。

双数据包发送流程与单数据包发送操作章节中描述的流程类似。不过，在获取一个数据包后，DMA 不会等待状态，而是继续获取系统内存中可用的另一个数据包。因此，MTL 可以在处理第一个数据包的同时接收第二个数据包。这种流程提高了性能，因为 DMA 可以在等待第一个数据包的状态之前，背靠背地处理两个

数据包。

#### 47.5.2.4 冲突期间的重传

当数据包从 MTL 传输到 MAC 时，在半双工模式下，MAC 线路接口上可能会发生冲突事件。在 EOP 从 MTL 传输之前，MAC 就会通过给出状态向 MTL 发出重新尝试的指示。然后，MTL 从队列中再次弹出数据包，使能重传。

在向 MAC 读出超过 96 个字节（或在 1000-Mbps 模式下超过 548 个字节）后，队列控制器将释放该空间，供应用程序或 DMA 推入更多数据。这就意味着，在超过该阈值后或当 MAC 指示发生后期冲突事件时，将无法进行重传。

当数据包传输因下溢而中止，且紧接着发生冲突事件（启动重试）时，重试的优先级高于中止。

#### 47.5.2.5 发送状态字

在向 MAC 传输以太网数据包包尾以及 MAC 完成数据包发送后，MTL 将提供有效发送状态。发送状态的详细说明与 TDES3 正常描述符回写格式的位[17:0]相同，具体信息请参阅描述符章节。如果使能了 IEEE 1588 时间戳功能，MTL 还将在返回数据包的 64 位时间戳以及 ATI 的传输状态。

可对 MTL 操作模式寄存器的 bit1 (DTXSTS) 进行编程，禁用应用程序或 DMA 从状态 FIFO 读取状态字的依赖性。

#### 47.5.2.6 接收操作

在接收操作期间，MTL 是 MAC 的从设备。事件发生的一般顺序如下：

1. 当 MAC 接收到数据包时，它会指示接收数据的有效性。
2. MAC 指示 SOP 和 EOP 定界符。
3. MTL 接收数据并将其推入 Rx 队列。
4. EOP 传输完成后，MAC 驱动状态字，该状态字也由 MTL 推入 Rx 队列。

*注：在阈值（直通）模式下，状态字存储在数据包的 EOP 之后。在存储转发模式下，在写入 SOP 之前保留最大状态字的位置，并在写入 EOP 之后将状态字写入保留的位置。*

5. 如果 IEEE 1588 时间戳功能已使能，并且 64 位时间戳与数据包状态一起可用，它将作为状态字的一部分被推入 Rx 队列。因此，在 32 位数据总线模式下，每个数据包需要额外占用两个位置来在 Rx 队列中存储时间戳。
6. MTL 从队列中取出数据，并根据模式将其发送至 DMA：

##### ■ 阈值模式：

在（默认）阈值模式下，当出现以下情况之一时，MTL 将读取数据并向应用程序或 DMA 指示其有效性：

- 与阈值量相等的数据字节数被写入 Rx 队列（MTL 接收队列操作模式寄存器的 RTC 字段）
- 队列接收到一个完整的数据包

##### ■ 存储转发模式：

在存储转发模式下（当 MTL 接收队列操作模式寄存器的 bit5 设置为 1 时），在写入 SOP 之前，会为状态字保留 Rx 队列的初始位置。数据包只有在完全写入 Rx 队列后才会被读出。在这种模式下，

所有错误数据包都会被丢弃（如果通过 MTL 接收队列操作模式寄存器的 bit4 进行了配置），这样只有有效数据包才能被读取并转发给应用程序。

### 47.5.2.7 多数据包接收操作

在阈值模式下，数据包状态紧随数据包数据之后。在存储转发模式下，数据包状态之后才是数据包数据。只要队列未满，MTL 就能将任意数量的数据包存储到队列中。

如果 MAC 在 Rx 队列已满时接收到数据包，则 MTL 会忽略该数据包。此外，MTL 还会递增 MTL 接收队列丢失和上溢数据包计数寄存器中的上溢计数器。

### 47.5.2.8 接收操作中的错误处理

如果 MTL Rx 队列在收到来自 MAC 的 EOP 数据之前已满，则会发生以下情况：

1. 声明溢出
2. 丢弃整个数据包（包括状态字）
3. 溢出计数器递增（MTL 接收队列的上溢计数寄存器）

即使 MTL 接收队列操作模式寄存器的 bit4（FEP）被置 1，情况也是如此。

如果此类数据包的起始地址已传输至读控制器，则数据包的其余部分将被丢弃，并向队列写入一个虚拟 EOP 以及带上溢状态的状态字。该状态表示由于溢出而产生了一个不完整数据包。在此类数据包中，数据包长度字段无效。如果 MTL 接收队列配置为存储转发模式，且接收到的数据包长度超过队列大小，则会发生溢出，并丢弃所有此类数据包。

如果使能 MTL 接收队列操作模式寄存器的 FEP 位和 FUP 位，MTL Rx 控制逻辑可过滤错误和大小不足的数据包。如果此类数据包的起始地址已传输至 Rx 队列的读控制器，则不会过滤该数据包。当数据包越过 MTL 接收队列操作模式寄存器的 RTC 字段设置的接收阈值后，数据包的起始地址将被传送至读控制器。

如果 MTL 接收队列配置为存储转发模式，则可以过滤和丢弃所有错误数据包。MTL 停止向应用程序（DMA）传输数据。它在内部读取数据包的其余部分并丢弃。然后，MTL 开始传输下一个数据包（如有）。

### 47.5.2.9 接收状态字

如多数据包接收操作章节中所述，阈值模式下 Rx 数据包状态字在数据包数据之后发送到应用，存储转发模式下 Rx 数据包状态字在数据包数据之前发送到应用。接收状态的详细说明与 RDES3 正常描述符回写格式相同，具体信息请参阅描述符章节。

## 47.5.3 MAC 功能描述

### 47.5.3.1 MAC 发送

MAC 发送流程如下：

1. 当 MTL 应用程序在 SOP 信号有效的情况下推入数据时，会启动发送。
2. 检测到 SOP 信号时，MAC 接受数据并开始向 GMII/MII 传输。应用启动发送后，将数据包传输到 GMII/MII 所需的时间取决于各种延迟因素，如 IPG 延迟、发送前导码或 SFD 的时间，以及半双工模式下的任何回退延迟。
3. EOP 传输到 MAC 后，MAC 会执行以下操作之一：
  - MAC 完成正常发送并向 MTL 提供发送状态。

- 如果在发送过程中发生正常碰撞（在半双工模式下），则 MAC 向 MTL 发出发送状态，并设置重试位。MAC 发出重试请求，直到以下情况之一为真：

- 数据包成功发送
- 达到最大重试请求次数

当达到最大重试请求次数时，MAC 会以"过度冲突发送状态"中止数据包发送。MAC 接受并丢弃所有其他数据，直到收到下一个 SOP。MTL 模块应在检测到来自 MAC 的重试请求（在状态中）时，从 SOP 重新发送同一数据包。

- 如果出现以下任何一种情况，MAC 将中止数据包发送：

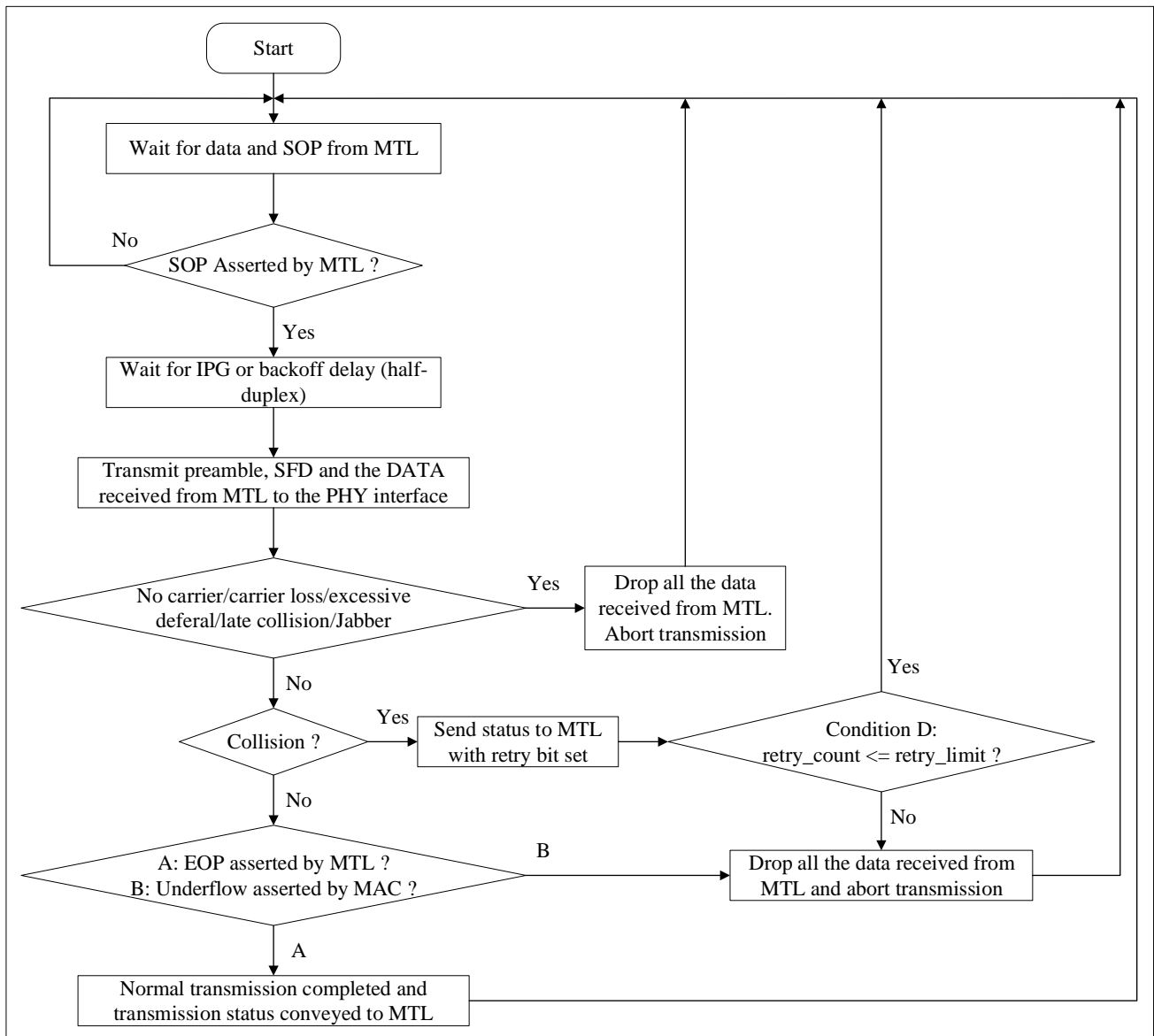
- 无载波（半双工模式）
- 丢失载波（半双工模式）
- 过度延迟（半双工模式）
- 延迟冲突（半双工模式）
- Jabber

MAC 接受并丢弃所有其他数据，直到收到下一个 SOP。

4. 如果 MTL 无法在传输过程中连续提供数据，MAC 就会发出下溢状态。在收到下一个 SOP 之前，MAC 会接受并丢弃所有其他数据。
5. 在从 MTL 传输数据包的正常过程中，如果 MAC 收到一个 SOP，但没有收到前一个数据包的 EOP，则会忽略该 SOP，并将新数据包视为前一个数据包的延续。

MAC 发送的流程图如下：

图 47-6 MAC 发送流程图



### 47.5.3.2 发送总线接口单元模块

MAC 发送总线接口单元 (TBU) 接受 32 位宽总线数据, 并在 GMII 接口的发送时钟上运行。

TBU 模块通过 FIFO 接口连接 MAC 的发送路径和外部数据包。

TBU 模块执行以下功能:

- 在正常发送或冲突结束时, 向应用程序输出 (32 位) 发送状态
- 将发送快照寄存器的值输出到 MTI 的时间戳信号, 并将状态有效信号置为高电平
- 通过交换字节通道和相应的字节使能, 执行数据总线的大小端转换
- 将输入数据转换为 8 位总线, 送往发送数据包控制器

### 47.5.3.3 发送数据包控制器模块

发送数据包控制器 (TPC) 模块由一个寄存器组组成, 用于保存从 TBU 接收到的数据和最后的数据控制。

寄存器在应用程序和发送协议引擎（TPE）之间提供一个缓冲区，以调节数据流。

当从应用程序接收到的字节数少于 60（DA+SA+LT+DATA）时，与 TBU 接口的状态机会自动在发送的数据包中附加零。这样做是为了使数据长度正好为 46 字节（前提是使能了 CRC 和 PAD 插入功能），以满足 IEEE 802.3 的最小数据字段要求。

帧校验序列（FCS）字段的循环冗余校验（CRC）在传输到 TPE 模块之前进行计算。该值由发送 CRC 生成模块（CTX）计算。TPC 模块接收计算出的 CRC，并将其附加到传输到 TPE 模块的数据中。当 MAC 被配置为不在以太网数据包末尾附加 CRC 值时，TPC 模块会忽略计算出的 CRC，只将从 TBU 模块接收到的数据传输到 TPE 模块。这一规则的例外情况是，当 MAC 被配置为为 TBU 模块发送的小于 60 字节的数据包（DA+SA+LT+DATA）附加 PAD 时，TPC 模块会在填充数据包的末尾附加 CRC。

#### 47.5.3.4 发送协议引擎模块

发送协议引擎（TPE）模块由一个发送状态机组成，用于控制以太网数据包发送的运行。

该模块的发送状态机包含以下功能，符合 IEEE 802.3/802.3z 规范：

- 生成前导码和 SFD
- 在半双工模式下的正常冲突后生成 JAM 模式
- 当数据包小于 512 字节时，在半双工（仅在 GMII 中）模式下生成载波扩展
- 在半双工（仅在 GMII 中）模式下支持数据包突发
- 支持 jabber 超时
- 支持半双工模式下的流量控制（背压）
- 生成发送数据包状态
- 包含支持 IEEE 1588 的时间戳快照逻辑

当 TPC 模块请求 TPE 模块进行新数据包传输时，发送状态机会发送前导码和 SFD，然后发送接收到的数据。前导码定义为 7 个字节的 8'b10101010 格式，SFD 定义为 1 个字节的 8'b10101011 格式。

冲突窗口定义为 1 个时隙时间（10/100Mbps 以太网为 512 比特，1000Mbps 以太网为 4096 比特）。JAM 模式生成仅适用于半双工模式，不适用于全双工模式。在全双工模式下，发送状态机会忽略来自 PHY 的冲突输入信号。

在 MII 模式下，如果从数据包开始到 CRC 字段结束的任何时间发生冲突，发送状态机将在 MII 上发送 32'h55555555 的 32 位 JAM 模式，通知所有其他站点发生了冲突。如果冲突发生在前导码传输阶段，则发送状态机完成前导码和 SFD 的传输，然后发送 JAM 模式。

在 GMII 模式下，如果在数据包开始和扩展字段结束之间的任何时间发生冲突，发送状态机将在 GMII 上发送 32'h55555555 的 32 位 JAM 模式，通知所有其他站点发生了冲突。如果冲突发生在前导码传输阶段，发送状态机将完成前导码和 SFD 的传输，然后发送 JAM 模式。如果冲突发生在扩展字段期间，则发送状态机发送 32'h1F1F1F1F 的 32 位 JAM 模式。

如果冲突发生在冲突窗口之后、FCS 字段结束之前（如果使能了数据包突发模式，则在突发结束之前），则发送状态机发送 32 位 JAM 模式，并在发送数据包状态中将延迟冲突位置 1。

*注：在 GMII 或 MII 接口上，异步冲突信号在与发送时钟域双同步后，由发送器进行检查。这种额外的延迟会推迟对冲突或延迟冲突事件的识别。当完整数据包发送完成后，即使在传输结束前 GMII 接口的 COL 信号为高电平，也不会被识别为冲突。同样，在正常冲突窗口的最后一个字节时，GMII 输入端的 COL 信号也*

可能因为同步器的延迟而被识别为延迟冲突。

在 GMII 半双工模式（1000Mbps）下，发送状态机确保所有有效载波事件的时隙时间都超过 4096 比特。为此，TPC 模块发送的任何短于 512 字节的发送数据包都会使用载波扩展。在 GMII 上，通过拉高 TX\_ER 信号、拉低 TX\_EN 信号，并将 TXD[7:0] 设置为 8h'0F，向 PHY 发出信号。

使能数据包突发模式后，如果突发的第一个数据包短于 512 字节，则仅对其进行载波扩展。载波扩展不适用于 MII 半双工和 GMII/II 全双工模式。使能数据包突发模式后，发送状态机将在不释放 PHY 的载波的情况下发送数据包突发（只要 TPC 模块提供数据包）。为此，状态机在数据包之间插入最小 IPG 周期（96 位时间）的载波扩展。只要 TPC 模块可提供额外数据包，且未超过 8192 字节/次的突发限制，发送状态机就会继续突发数据包。如果在数据包突发中间的 IPG 期间结束时没有额外的数据包，发送状态机就会通过拉低 GMII 上的 TX\_ER 和 TX\_EN 信号来释放载波。

数据包突发仅适用于 GMII 半双工模式。不适用于 MII 和 GMII 全双工模式。在 GMII 半双工模式下，数据包突发中第一个数据包的大小至少应等于时隙时间。如果第一个数据包（包括载波扩展）小于时隙时间，则 MAC 会将收到的第一个数据包和随后的数据包（在达到时隙时间后立即结束）的所有数据字节视为突发中的第一个数据包。这可能会导致 CRC 错误。但是，如果数据包突发在时隙时间之前结束（RX\_DV 和 RX\_ER 均为低电平），则后续数据包将被视为新数据包。这种行为符合 IEEE 802.3 标准。

如果 TPC 模块传输的数据包超过 2048（默认）个字节，TPE 模块会维护一个 jabber 定时器来停止以太网数据包的传输。当启用巨型数据包时，超时时间将变为 10240 字节。

在半双工模式下，发送状态机使用延迟机制进行流量控制（背压）。当应用程序请求停止接收数据包时，只要发送状态机侦测到接收到数据包，就会发送一个（8'h55）32 字节的 JAM 模式，前提是发送流量控制已使能。这将导致冲突，并且远程站点将退出。应用程序通过设置发送流量控制寄存器的 BPA 位请求流量控制。如果应用程序请求发送数据包，则即使激活了背压，也会安排并发送数据包。如果长时间激活背压（连续发生超过 16 次冲突事件），远程站会因冲突过多而放弃传输。

如果使能了发送数据包的 IEEE 1588 时间戳，则当 SFD 进入发送 GMII/II 总线时，该模块会对系统时间进行快照。系统时间源根据所选配置在内部生成。

*注：冲突输入是一个异步信号，至少应断言 32 位时间（1Gbps 为 4 个时钟，速度较慢时为 8 个时钟）。*

### 47.5.3.5 发送调度模块

发送调度模块（STX）负责调度 GMII/II 上的数据包传输。它在满足 IPG 和回退延迟后向 TPE 模块提供使能信号。STX 模块执行以下功能：

#### ■ 保持两个发送数据包之间的数据包间隙

STX 模块在任何两个发送的数据包之间保持一段空闲时间，空闲时间为所配置的数据包间隙（MAC 配置寄存器的 IPG 位）。如果来自 TPC 的数据包早于配置的 IPG 时间到达 TPE 模块，TPE 模块会等待来自 STX 模块的使能信号，然后才开始在 GMII/II 上传输。一旦 GMII/II 的载波信号处于非激活状态，STX 模块就会启动其 IPG 计数器。

在全双工模式下，当达到编程的 IPG 值时，模块会向 TPE 模块发出使能信号。在半双工模式下，当 IPG 配置为 96 位时，STX 模块遵循 IEEE 802.3 第 4.2.3.2.1 节规定的规则。如果在 IPG 间隔的前三分之二（所有 IPG 值的 64 位时间）检测到载波，模块将重置其 IPG 计数器。如果在 IPG 间隔的最后三分之一时间内检测到载波，STX 模块将继续进行 IPG 计数，并在 IPG 间隔结束后使能发送器。

#### ■ 执行截断二进制指数回退算法

STX 模块在半双工模式下工作时，会执行截断二进制指数回退算法。



### 47.5.3.6 发送 CRC 模块

MAC 发送 CRC (CTX) 模块与 TPC 模块连接, 为以太网数据包的 FCS 字段生成 CRC。

TPC 模块通过 8 位接口向 CTX 模块发送数据包数据和任何必要的填充。

CTX 模块计算以太网数据包 FCS 字段的 32 位 CRC。编码由以下生成多项式定义:

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$$

CTX 模块从 TPC 模块获取以太网数据包的字节数据 (DA+SA+LT+DATA+PAD), 并加上数据有效信号。TPC 还向 CTX 指示何时重置先前计算的 CRC, 以及何时开始为下一个数据包计算新的 CRC。TPC 模块在发送用于计算的新数据包数据前发出启动命令。计算出的 CRC 在接收到数据后的下一个时钟生效。

在 GMII 模式下, 从第一个数据字节到最后一个数据字节, 数据有效信号在每个时钟都有效。在 MII 模式下, 该信号在每隔一个时钟时有效。

### 47.5.3.7 发送流量控制器模块

发送流量控制器 (FTX) 模块根据全双工模式下的流量控制触发器生成暂停数据包并发送给 TPC 模块 (半双工模式下启用背压功能)。TPC 模块从 FTX 模块接收暂停数据包, 附加计算出的 CRC, 然后将数据包发送到 TPE 模块。

#### 全双工模式下的流量控制

在全双工模式下, 以太网外设使用 IEEE 802.3x 暂停 (Pause) 数据包进行流量控制。暂停数据包各字段的含义如下表所示:

表 47-5 暂停数据包位域

位域	描述
DA	特殊的组播地址
SA	MAC 地址 0
类型	0x8808
MAC 控制操作码	0001: IEEE 802.3x 暂停控制包
PT	在 MAC 发送流量控制寄存器中的 PT 字段指定的暂停时间

当 FCB 位置 1 时, MAC 会生成并传输一个暂停数据包。如果 FCB 位在暂停数据包发送完成后再次被置 1, 则无论暂停时间是否结束, MAC 都会发送另一个暂停数据包。若要在先前发送的暂停数据包指定的时间之前延长暂停或终止暂停, 应用程序应为暂停时间寄存器编程适当的值, 然后再次设置 FCB 位。

如果 MAC 发送流量控制寄存器的 DZPQ 位设置为 0, 则 MAC 会传输一个暂停时间为零的暂停数据包, 以向远端指示接收缓冲区已准备好接收新数据包。

#### 半双工模式下的流量控制

在半双工模式下, MAC 使用延迟机制进行流量控制 (背压)。当应用请求停止接收数据包时, 只要发送流量控制使能, MAC 在检测到数据包接收时会发送一个 32 字节的 JAM 模式。这将导致冲突, 远端站点将退出。如果应用程序请求发送数据包, 即使启动了背压功能, 也会安排并发送数据包。如果长时间激活背压 (连续发生超过 16 次冲突事件), 远程站点就会因冲突过多而放弃传输。

根据以下位的设置, 队列 0 的 Tx 通路流量控制如表 47-6 所示:

#### ■ MAC 发送流量控制寄存器的 TFE 位

■ MAC 配置寄存器的 DM 位

表 47-6 Tx MAC 流量控制

TFE	DM	描述
0	x	MAC 发送器不执行流量控制或背压操作。
1	0	当 MAC 发送流量控制寄存器的 bit0 被置 1 时，MAC 发送器会执行背压。
1	1	当 MAC 发送流量控制寄存器的 bit0 被置 1 时，MAC 发送器会发送暂停数据包。

### 47.5.3.8 MAC 接收

当 MAC 在 GMII/MII 上检测到 SFD 时，就会启动接收操作。在继续处理数据包之前，MAC 会删除前导码和 SFD。对报头字段进行过滤检查，并使用 FCS 字段验证数据包的 CRC。在执行地址过滤之前，接收到的数据包存储在浅缓冲区中。如果数据包未通过地址过滤，则会被丢弃在 MAC 中。

### 47.5.3.9 接收协议引擎模块

接收协议引擎（RPE）由接收状态机组成，接收状态机负责清除接收到的以太网数据包的前导码、SFD 和载波扩展（在半双工 1000-Mbps 模式下）。

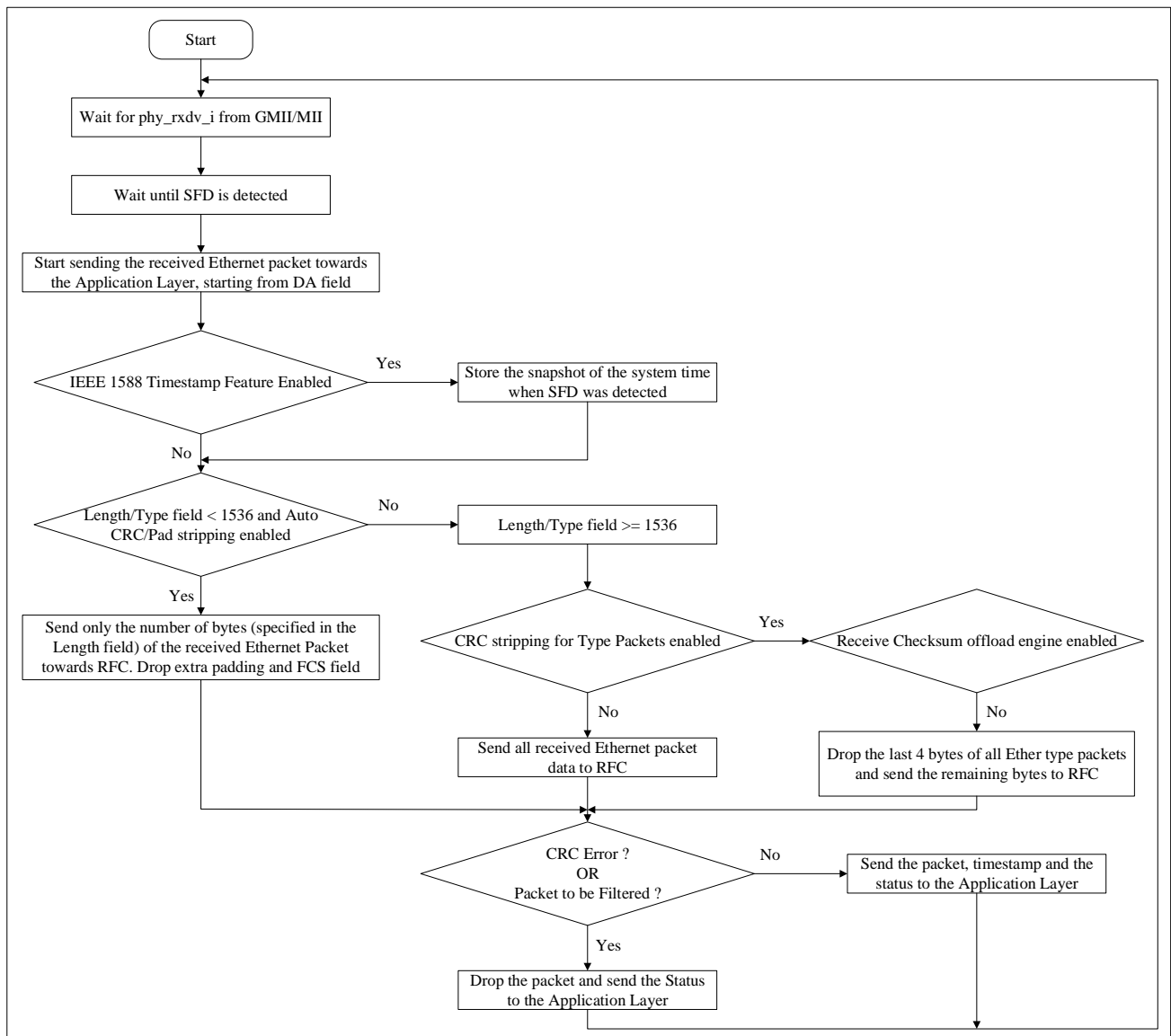
RPE 中的接收流程如下：

1. 当 GMII/MII 的 RX\_DV 信号有效时，RPE 的接收状态机开始寻找 SFD 字段。  
状态机会丢弃接收到的数据包，直到检测到 SFD。
2. 检测到 SFD 后，状态机从 SFD 后的第一个字节（目的地址）开始向 RPC 模块发送以太网数据包的数据。
3. 如果使能 IEEE 1588 时间戳功能，RPE 会在 GMII/MII 上检测到任何数据包的 SFD 时对系统时间进行快照。如果该数据包在 MAC 过滤过程中未被丢弃，则时间戳将传递给应用程序。在 MII 模式下，RPE 将接收到的半字节数据转换为字节，并将有效的数据包数据转发给 RFC 模块。
4. RPE 模块的接收状态机对接收以太网数据包的长度/类型字段进行解码。  
如果长度/类型字段小于 1536，且 MAC 已编程为自动 CRC/PAD 剥离（MAC 配置寄存器的 bit20），则状态机发送的数据包数据将达到长度/类型字段中指定的计数，并开始丢弃字节（包括 FCS 字段）。RPE 模块的状态机解码长度/类型字段并检查长度诠释。  
如果长度/类型字段大于或等于 1536，且未在 MAC 配置寄存器的 bit21 中使能“类型”数据包的 CRC 清除，则 RPE 模块会将所有接收到的以太网数据包数据发送到 RFC 模块。但是，如果已使能“类型”数据包的 CRC 清除，且未使能接收校验和减荷引擎，则 MAC 会在将数据包转发给应用程序之前，清除并丢弃所有以太类型数据包的最后 4 个字节。
5. 默认情况下，MAC 已编程使能看门狗定时器，即在 RPE 模块处切断大于 204 字节（如果启用了巨型数据包，则为 10240 字节）的数据包（DA+SA+LT+DATA+PAD+FCS）。此外，还可以使用可编程看门狗定时器（MAC 看门狗超时寄存器的 bit8）来覆盖 2048 或 10240 字节的固定超时。通过对 MAC 配置寄存器的 bit19 编程，可以禁用看门狗定时器。不过，即使看门狗定时器被禁用，超过 32KB 大小的数据包也会被切断，并显示看门狗超时状态。

在每个接收到的数据包结束时，RPE 模块会生成接收到的数据包状态并将其发送到 RPC 模块。控制、丢失数据包和过滤失败状态会添加到 RPC 模块的接收状态中。

MAC 接收的流程图如下：

图 47-7 MAC 接收流程图



### 47.5.3.10 接收 CRC 模块

MAC 接收 CRC (CRX) 与 RPE 模块相连，用于检查接收到的数据包中是否存在任何 CRC 错误。

CRX 模块通过 FCS 字段计算接收到的包含目的地址字段的 32 位 CRC。

编码由以下生成多项式定义：

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$$

CRX 模块从 RPE 模块获取数据 (DA+SA+LT+DATA+PAD+FCS)。RPE 模块还发送一个控制信号，指示数据的有效性。不论是自动 PAD 或 CRC 剥离，CRX 模块都会接收整个数据包，以计算接收到的数据包的 CRC 校验。

### 47.5.3.11 接收数据包控制器模块

MAC 接收数据包控制器 (RPC) 从 RPE 模块接收以太网数据包数据和状态。

RPC 模块由一个参数化深度的 FIFO (默认设置为 4 深 33 位宽) 和两个用于写入和读取 FIFO 的状态机组

成。FIFO 保存接收到的以太网数据包数据和字节使能，以及用于指示最后数据的控制位。状态机管理 FIFO，并为从 RPE 模块接收的以太网数据包提供数据包缓冲。以下是 RPC 模块的主要功能：

- 转换数据路径：将 8 位数据转换为 32 位数据，发送至 RBU 模块
- 数据包过滤
- 附加计算来自 IPC 输入的 IP 校验和
- 更新接收状态并将其转发给 RBU

如果 MAC 数据包过滤寄存器的 RA 位被置 1，则当 RPC 模块从 RPE 模块接收到 4 个字节的以太网数据时，RPC 模块将启动到 RBU 模块的数据传输。数据传输结束时，RPC 模块会发送接收到的数据包状态，其中包括数据包过滤位和 RPC 模块的状态。这些位是根据来自 AFM 模块的过滤失败信号生成的。该状态位向应用程序指示接收到的数据包是否通过了过滤控制（来自 CSR 的地址过滤和数据包过滤控制）。在这种模式下，RPC 模块不会自行丢弃任何数据包。

如果 RA 位被复位，RPC 模块将根据目的地址或源地址执行数据包过滤。如果应用程序不想接收任何坏数据包，如长度不够的数据包、CRC 错误数据包，则仍需执行另一级过滤。RPC 模块等待接收来自 RPE 模块的前 14 个字节的接收数据（类型字段）。在此之前，模块不会向 RBU 模块发起任何传输。接收到目的地址或源地址字节后，RPC 检查来自 AFM 模块的过滤失败信号是否与地址匹配。一旦检测到来自 AFB 的过滤失败信号，数据包就会在 RPC 模块被丢弃，不会传输到应用程序。

如果 AFM 的过滤响应延迟（这只有在更改 AFM 逻辑时才会发生），RPC 模块会等待直到 FIFO 满，然后继续将数据包传输到 RBU 模块。但是，RPC 模块仍会接收 AFM 模块的延迟响应，如果是（DA 或 SA）过滤器故障，则会丢弃数据包的其余部分，并立即发送 Rx 状态字（数据包长度为零、CRC 错误和 Runt 错误位置 1），指示过滤器故障。如果在发送 EOP 之前 AFM 没有响应，则相应更新 Rx 状态字中的过滤失败状态。

当使用 PMT 模块并配置为掉电模式时，该模块会丢弃所有接收到的数据包，并且不会将数据包转发给应用程序。

### 47.5.3.12 接收流量控制器模块

接收流量控制器（FRX）会检测收到的暂停数据包，并在收到的暂停数据包内指定的延迟时间内暂停数据包传输。FRX 模块仅在全双工模式下使能。如果在半双工模式下接收到任何暂停数据包，该数据包将被视为普通控制数据包。

*注：接收暂停数据包的帧大小应为 64 字节。*

根据以下位的设置，队列 0 的 Rx 通路流量控制如表 47-7 所示：

- MAC 接收流量控制寄存器的 RFE 位
- MAC 配置寄存器的 DM 位

**表 47-7 Rx MAC 流量控制**

RFE	DM	描述
0	x	MAC 接收器不会检测收到的暂停数据包。
1	0	MAC 接收器不会检测收到的暂停数据包，但会将此类数据包识别为控制数据包。
1	1	MAC 接收器检测或处理暂停数据包，并通过停止 MAC 发送器对此类数据包做出响应。

以下步骤描述了 Rx 流量控制：

1. MAC 检查接收到的“暂停”数据包的目的地址是否符合以下任一条件：
  - 组播目的地址：DA 与为控制数据包指定的唯一组播地址（48'h0180C2000001）相匹配。
  - 单播目的地址：DA 与 MAC 地址寄存器 0 的内容相匹配，并且 MAC 接收流量控制寄存器的 UP 位被置 1。  
如果 UP 位被置 1，MAC 除了处理唯一组播地址外，还处理具有单播目的地址的暂停数据包。
2. MAC 对接收到的数据包的以下字段进行解码：
  - 类型字段：检查该字段是否为 16'h8808。
  - 操作码字段：该字段被检查为 16'h0001（暂停数据包）。
  - 暂停时间字段：捕获暂停时间（用于暂停数据包），以确定需要暂停发送器的时间。
3. 如果状态的字节数显示为 64 字节，且没有 CRC 错误，则 MAC 发送器会执行以下操作：
  - 对于 802.3x 暂停数据包，MAC 会在解码的暂停时间值乘以时隙时间（64 字节次数）的持续时间内暂停传输任何数据包。
4. MAC 根据 MAC 数据包过滤器寄存器中 PCP 字段的设置将接收到的控制数据包传输给应用程序。

#### 47.5.3.13 接收总线接口单元模块

接收总线接口单元（RBU）将从 RPC 模块接收到的 32 位数据转换成应用程序侧的 32 位 FIFO 协议。RBU 模块通过 MAC 接收接口（MRI）与应用程序连接。

如果使能了 IEEE 1588 时间戳功能，RBU 模块还会输出从接收到的数据包中捕获的时间戳以及状态。

#### 47.5.3.14 地址过滤模块

地址过滤（AFM）模块对所有接收到的数据包执行目的地址和源地址检查功能，并向 RPC 模块报告地址过滤状态。

地址检查根据应用程序选择的不同参数（MAC 数据包过滤寄存器中）进行。这些参数作为控制信号输入 AFM 模块，AFM 模块根据这些输入的组合报告地址过滤状态。AFM 模块不会过滤接收数据包，但会向 RPC 模块报告地址过滤的状态（是否丢弃数据包）。AFM 模块还会报告地址过滤状态，以及接收到的数据包是组播数据包还是广播数据包。

AFM 模块探测 RPE 模块和 RPC 模块之间的 8 位接收数据路径，并检查每个传入数据包的目的地址和源地址字段。在 GMII 模式下，模块需要 8/14 个时钟（从数据包开始）来比较接收到的数据包的目的地址/源地址。同样，在 MII 模式下，模块需要 14/26 个时钟（从数据包开始）来比较接收到的数据包的目的地址/源地址。AFM 模块从 CSR 模块获取站点的物理（MAC）地址和组播哈希表，用于地址检查。CSR 模块向 AFM 提供数据包过滤寄存器参数。

对于过滤相关的其他功能请查阅数据包过滤章节。

#### 47.5.3.15 双 VLAN 处理

以太网外设支持内部和外部两个 VLAN 标签，用于处理双 VLAN。以太网外设支持以下功能：

- 在发送路径中插入、替换或删除最多两个 VLAN 标签。
- 根据接收路径中两个 VLAN 标签中的任意一个进行数据包过滤和剥离。作为接收状态的一部分，在接收路径中最多剥离和提供两个 VLAN 标签。

## 发送路径

发送路径上支持的双 VLAN 处理特性如下表所示：

表 47-8 发送路径上的双 VLAN 处理

特性	描述
支持 C-VLAN 和 S-VLAN 标签类型	<p>内部或外部 VLAN 标签可以是 C-VLAN 和 S-VLAN 类型。VLAN 类型通过 VLAN 包含寄存器和内部 VLAN 包含寄存器的 CSVL 位指定。以太网外设支持处理任意序列的外部 and 内部 VLAN 标签。<i>注：以太网外设不支持 C-VLAN S-VLAN 序列。</i></p> <p>MAC 不会检查应用程序提供的数据包是否具有有效的 VLAN 标签类型序列，也不会检查插入或替换操作是否会导致无效的 VLAN 标签类型序列。因此，应用程序必须提供正确的 VLAN 标签类型序列，并对 MAC 进行编程，使其在发送的数据包中产生正确的 VLAN 标签类型序列。应用程序必须确保以下几点：</p> <ul style="list-style-type: none"> <li>■ 使能外部 C-VLAN 标签插入时，内部标签不应是 S-VLAN。</li> <li>■ 使能内部 S-VLAN 标签插入时，外部标签不应是 C-VLAN。</li> <li>■ 外部标签应替换为 C-VLAN 时，内部标签不应是 S-VLAN。</li> <li>■ 内部标签应替换为 S-VLAN 时，外部标签不应是 C-VLAN。</li> </ul>
删除 VLAN 标签	<p>可以分别通过 VLAN 包含寄存器和内部 VLAN 包含寄存器的 VLC 字段，使能外部或内部标签的 VLAN 标签删除。使能 VLAN 删除后，MAC 将删除相应位置上的标签。当数据包只有一个标签时，它被视为外部标签。如果启用了内部标签删除，且数据包只有一个标签，则 MAC 不会删除该标签。</p>
插入或替换 VLAN 标签	<p>可以分别通过 VLAN 包含寄存器和内部 VLAN 包含寄存器的 VLC 字段，使能外部或内部标签的 VLAN 标签插入或替换。使能 VLAN 标签插入或替换时，VLAN 包含寄存器和内部 VLAN 包含寄存器中的 VLTl 位将用于确定应从寄存器还是控制字中获取 VLAN 标签。</p>

## 接收路径

接收路径上支持的双 VLAN 处理特性如下表所示：

表 47-9 接收路径上的双 VLAN 处理

特性	描述
基于外部或内部 VLAN 标签的过滤	MAC 可以通过 VLAN 标签寄存器中的 ERIVLT 位根据外部或内部 VLAN 标签过滤数据包。
基于 C-VLAN 和 S-VLAN 标签的过滤	MAC 可以通过 VLAN 标签寄存器中的 ERIVLT 位根据 C-VLAN 或 S-VLAN 类型过滤数据包。
外部和内部 VLAN 标签的剥离	MAC 可以根据 VLAN 标签寄存器中的 EVLS 位和 EIVLS 位从接收到的帧中剥离外部和内部 VLAN 标签。
Rx 状态中的 16 位外部和内部 VLAN 标签和类型	MAC 可以根据 VLAN 标签寄存器中的 EVLRXS 位和 EIVLRXS 位分别在 Rx 状态中提供 16 位外部和内部 VLAN 标签和类型。
禁用或跳过外部 VLAN 标签类型的检查	MAC 可以根据 VLAN 标签寄存器中的 DOVLTC 位禁用或跳过外部 VLAN 标签类型检查，以匹配 C-VLAN 或 S-VLAN。

### 47.5.3.16 源地址和 VLAN 插入/替换/删除

源地址 (SA) 和 VLAN 字段是与发送数据包相关的控制信息，通过 ATI 接口作为控制字的一部分提供。以太网外设支持根据 MAC 地址寄存器中的信息插入或替换源地址的功能，以及根据 VLAN 包含寄存器中的 VLTl 位的设置插入、替换或删除 VLAN 字段 (VLAN 类型和 VLAN 标签) 的功能。可以使能所有发送数

据包或部分数据包的 SA 插入或替换功能。同样，也可以使能所有发送数据包或部分数据包的 VLAN 插入、替换或删除功能。

### 源地址插入/替换

软件可使用 SA 插入或替换功能指示 MAC 对 Tx 数据包执行以下操作：

- 在 SA 字段中插入 MAC 地址寄存器的内容。
- 用 MAC 地址寄存器的内容替换 SA 字段的内容。

当 SA 插入被使能时，应用程序必须确保发送到 MAC 的数据包没有 SA 字段。MAC 不会检查发送数据包中是否有 SA 字段，而是在 SA 字段中插入 MAC 地址寄存器的内容。同样，当 SA 替换被使能时，应用程序必须确保发送到 MAC 的数据包中存在 SA 字段。MAC 会用 MAC 地址寄存器的内容替换发送数据包中目的地地址字段后面的六个字节。

可以使能所有发送数据包或部分数据包的 SA 插入或替换功能：

- 要使所有数据包都能使能此功能，需要对 MAC 配置寄存器的 SARC 字段编程。
- 要对部分数据包使能此功能，需要在数据包的第一个发送描述符中编程 SA 插入控制字段（TDES3 的位[25:23]）。TDES3 的 bit25 置 1 时，SA 插入控制字段表示插入或替换 MAC 地址 1 寄存器。TDES3 的 bit25 复位时，表示插入或替换 MAC 地址 0 寄存器。

如果未使能 MAC 地址 1 寄存器，则无论 SA 插入控制字段最高位的值如何，都将使用 MAC 地址 0 寄存器进行插入或替换。

### VLAN 插入/替换/删除

软件可使用 VLAN 插入、替换或删除功能指示 MAC 对 Tx 数据包执行以下操作：

- 删除 VLAN 类型和 VLAN 标签字段。
- 插入或替换 VLAN 类型和 VLAN 标签字段。

插入或替换取决于 VLAN 包含寄存器中的 VLTi 位的设置：

- VLTi 置 1 时，MAC 插入或替换发送上下文描述符的 VT 字段的内容。
- VLTi 复位时，MAC 插入或替换 VLAN 包含寄存器的 VLT 字段。

使能 VLAN 替换或删除后，MAC 会检查发送数据包中 DA 和 SA 字段之后是否存在 VLAN 类型字段（0x8100 或 0x88A8）。如果在 DA 和 SA 字段后的两个字节中未检测到 VLAN 类型字段，则不会进行替换或删除操作。但是，当使能 VLAN 插入时，MAC 不会检查发送数据包中是否存在 VLAN 类型字段，而只是插入 VLAN 类型和 VLAN 标签字段。

可以使能所有发送数据包或部分数据包的 VLAN 插入、替换或删除功能：

- 要使所有数据包都能使能此功能，需要对 VLAN 包含寄存器的 VLC 和 VLP 字段编程。
- 要对部分数据包使能此功能，需要对 TDES2 正常描述符的 VTIR 字段编程。

此外，VLAN 包含寄存器和内部 VLAN 包含寄存器中的 VLP（VLAN 优先级控制）位必须复位，MAC 才能接受主机的控制输入，具体取决于配置。

## 47.5.4 PHY 接口描述

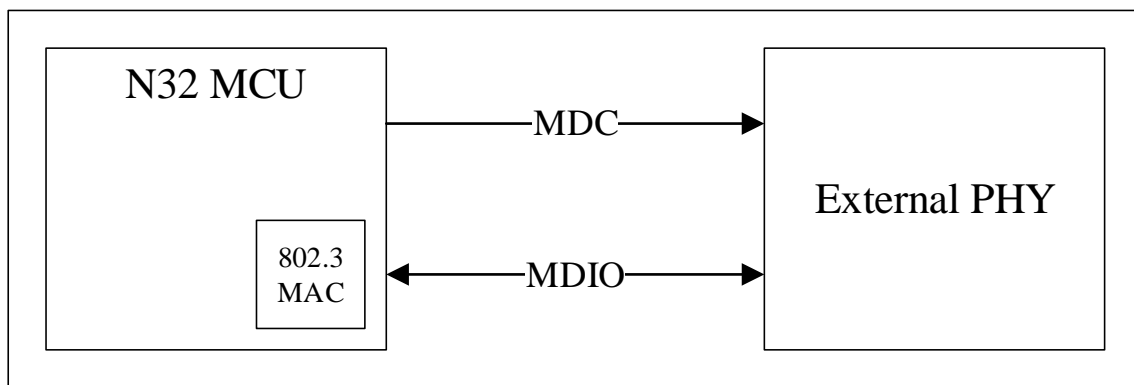
以太网外设支持多个 PHY 接口，其中 ETH1 支持 GMII、MII 和 RMII，ETH2 支持 MII 和 RMII。本章节将描述用于 PHY 控制（管理）的 SMA（站管理代理）接口以及不同的 PHY 接口。

### 47.5.4.1 站管理代理（SMA）

应用程序可以通过 SMA 访问 PHY 寄存器。SMA 是一个双线站管理接口。

SMA 模块支持访问多达 32 个 PHY。应用程序可寻址 32 个 PHY 中的任意一个的 32 个寄存器之一。但是一次只能对一个 PHY 中的一个寄存器进行寻址。应用程序通过 SMA 模块向 PHY 发送控制数据以及从 PHY 接收状态信息。

图 47-8 SMA 接口



对于 SMA 接口访问，MDC 的最大工作频率为 2.5MHz，符合 IEEE 802.3 的规定。在以太网内核中，MDC 时钟通过一个分频器从应用时钟或 CSR 工作时钟分频得到。分频系数取决于 MAC MDIO 地址寄存器中的时钟范围设置（CR 字段）。

MDIO 帧结构及其各字段的描述如下表所示：

表 47-10 MDIO 帧格式（Clause 45）

字段	描述
IDLE	MDIO 线为三态形式，MDC 无时钟
PREAMBLE	32 个值为 1 的连续位
START	数据包起始位置为 2'b00
OPCODE	<ul style="list-style-type: none"> <li>■ 2'b00: 地址</li> <li>■ 2'b01: 写</li> <li>■ 2'b10: 读+地址</li> <li>■ 2'b11: 读</li> </ul>
PHY ADDR	PHY 地址，占 5bit
DEV ADDR	设备地址，占 5bit
TA	对于读操作，周转值为 2'bZ0；对于写操作，周转值为 2'b10，其中 Z 为三态电平
DATA/ADDRESS	16 位值：对于地址周期（OPCODE = 2'b00），该帧包含下一周期要访问的寄存器地址。对于写入帧的数据周期，该字段包含要写入寄存器的数据。对于读或读后增量地址帧，该字段包含从 PHY 读取的寄存器内容。 <ul style="list-style-type: none"> <li>■ 在写地址和数据周期中，以太网外设会在传输这 16 位期间驱动 MDIO 线</li> </ul>



字段	描述
	<ul style="list-style-type: none"> <li>■ 在读和读后增量地址周期中，PHY 会在数据传输过程中驱动 MDIO 线</li> </ul>

还支持符合 Clause 22 的帧结构。MAC MDIO 地址寄存器中的 C45E 位可通过编程使能 Clause 22 或 Clause 45 工作模式。符合 Clause 22 的 MDIO 帧结构及其各字段的描述如下表所示：

表 47-11 MDIO 帧格式 (Clause 22)

字段	描述
IDLE	MDIO 线为三态形式，MDC 无时钟
PREAMBLE	32 个值为 1 的连续位
START	数据包起始位置为 2'b01
OPCODE	<ul style="list-style-type: none"> <li>■ 2'b01: 写</li> <li>■ 2'b10: 读</li> </ul>
PHY ADDR	PHY 地址，占 5bit
DEV ADDR	选择的寄存器地址，占 5bit
TA	对于读操作，周转值为 2'bZ0；对于写操作，周转值为 2'b10，其中 Z 为三态电平
DATA/ADDRESS	任意 16 位值： <ul style="list-style-type: none"> <li>■ 对于写操作，由以太网外设驱动 MDIO</li> <li>■ 对于读操作，由 PHY 驱动 MDIO</li> </ul>

### GMII/MII 管理写操作

SMA 收到 PHY 地址和来自 MAC CSR 模块的写数据后，SMA 开始对 PHY 寄存器进行写操作。

写操作流程如下：

1. 设置 MAC MDIO 地址寄存器中的 bit[3:2]为 2'b01 和设备 bit0。
2. MAC CSR 模块将 PHY 地址、PHY 中的寄存器地址和要写的数据（MAC MDIO 数据寄存器）传输给 SMA，以启动对 PHY 寄存器的写操作。
3. SMA 模块使用 GMII 规范中规定的管理数据包格式（根据 IEEE 802.3-2002 第 22.2.4.5 节）在 GMII 管理接口上启动写操作。
4. 当 SMA 模块开始对 MDIO 执行写操作时，写数据包将在 MDIO 线路上传输。MAC 在数据包的整个持续时间内驱动 MDIO 线路。“忙”位被置 1，直到写操作完成。在此期间（“忙”位为高电平），CSR 会忽略对 MAC MDIO 地址寄存器或 MAC MDIO 数据寄存器的写操作。
5. 写操作完成后，SMA 会通知 CSR。
6. CSR 复位“忙”位。

### GMII/MII 管理读操作

在 SMA 从 MAC CSR 模块接收到 PHY 地址和 PHY 中的寄存器地址后，SMA 启动对 PHY 寄存器的读取操作。

读操作流程如下：

1. 设置 MAC MDIO 地址寄存器中的 bit[3:2]为 2'b11 和设备 bit0。
2. MAC CSR 模块将 PHY 地址和 PHY 中的寄存器地址传输给 SMA，以启动对 PHY 寄存器的读操作。
3. SMA 模块使用 GMII 规范中规定的管理数据包格式（根据 IEEE 802.3-2002 第 22.2.4.5 节）在 GMII 管

理接口上启动读操作。

4. 当 SMA 模块开始对 MDIO 执行读操作时, CSR 会忽略在此期间对 MAC MDIO 地址寄存器或 MAC MDIO 数据寄存器的写操作 ("忙"位为高电平), 并在 MCI 接口上无任何错误地完成事务。
5. 读操作完成后, SMA 会通知 CSR。
6. CSR 复位"忙"位, 并用从 PHY 读取的数据更新 MAC MDIO 数据寄存器。

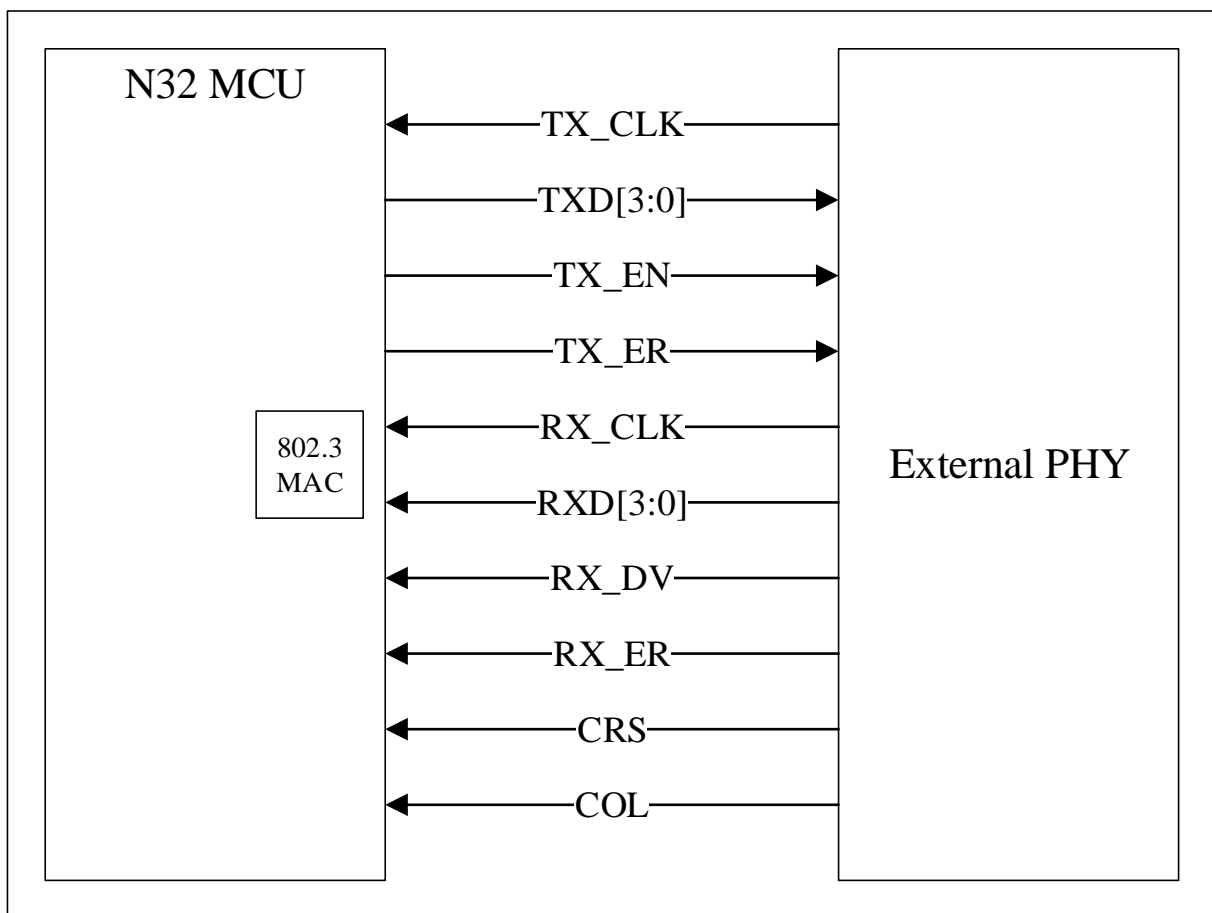
有关应用程序与 PHY 之间通信的更多信息, 请参阅 IEEE 802.3z, 1000BASE 以太网的"调和子层 (RS)"和"独立介质接口规范"部分。

#### 47.5.4.2 介质独立接口 (MII)

MII 定义了 MAC 子层与 PHY 之间的互连, 用于 10Mb/s 和 100Mb/s 的数据传输。

MII 的信号如下图所示:

图 47-9 MII 信号



- **TX\_CLK:** 连续时钟信号。为 Tx 数据传输提供时序参考。10Mbit/s 时的标称频率为 2.5MHz, 100Mbit/s 时的标称频率为 25MHz。
- **TXD[3:0]:** 发送数据。TXD 是一束由 MAC 子层同步驱动的 4 个数据信号, 在 TX\_EN 信号有效时才有效 (有效数据)。TXD[0]为最小有效位, TXD[3]为最大有效位。当 TX\_EN 失效时, 发送数据不会对 PHY 产生任何影响。
- **TX\_EN:** 发送使能信号。该信号表示 MAC 当前正针对 MII 发送半字节。它必须与前导码的第一个半

字节同步 (TX\_CLK)，并在所有待传输的字节被传送到 MII 时保持有效。

- TX\_ER (可选): 仅节能型以太网 (EEE) 需要。发送错误由 CRC 反相指示。远程站可通过不正确的 CRC 检测到发送错误。
- RX\_CLK: 连续时钟信号。为 Rx 数据传输提供时序参考。10Mbit/s 时标称频率为 2.5MHz, 100Mbit/s 时标称频率为 25MHz。
- RXD[3:0]: 接收数据。RXD 是一束由 PHY 同步驱动的 4 个数据信号, 在 RX\_DV 信号有效时才有效 (有效数据)。RXD[0]为最小有效位, RXD[3]为最大有效位。当 RX\_EN 无效、RX\_ER 有效时, 特定的 RXD[3:0]值用于从 PHY 传输特定信息。
- RX\_DV: 接收数据有效。该信号表示 PHY 当前正针对 MII 接收已恢复并解码的半字节。该信号必须与帧的第一个恢复半字节同步 (RX\_CLK), 并在最后一个恢复半字节时保持有效。该信号必须在最后一个半字节之后的第一个时钟周期之前置为无效。为了正确接收帧, RX\_DV 信号必须覆盖整个帧, 其起始时间不得晚于 SFD 字段。
- RX\_ER: 接收错误。该信号必须保持有效一个或多个时钟周期 (RX\_CLK), 以向 MAC 子层表明在帧的某处检测到错误。该错误条件必须由 RX\_DV 的有效情况来限定。
- CRS: 载波侦听。当发送或接收介质处于非空闲状态时, PHY 会将该信号置为有效。当发送和接收介质都处于空闲状态时, PHY 必须将该信号置为无效状态。PHY 必须确保 CS 信号在冲突条件持续期间保持有效。该信号无需与发送和接收时钟同步转换。在全双工模式下, 该信号的状态对于 MAC 子层来说无意义。
- COL: 冲突检测。当检测到介质上发生冲突时, PHY 必须将该信号置为有效, 并在冲突条件持续期间保持有效。该信号无需与发送和接收时钟同步转换。在全双工模式下, 该信号的状态对于 MAC 子层来说无意义。

注: MII 遵循 IEEE 802.3-2015 标准, 更多的 MII 相关信息请查阅 IEEE 802.3-2015 相关文档。

#### 47.5.4.3 精简介质独立接口 (RMII)

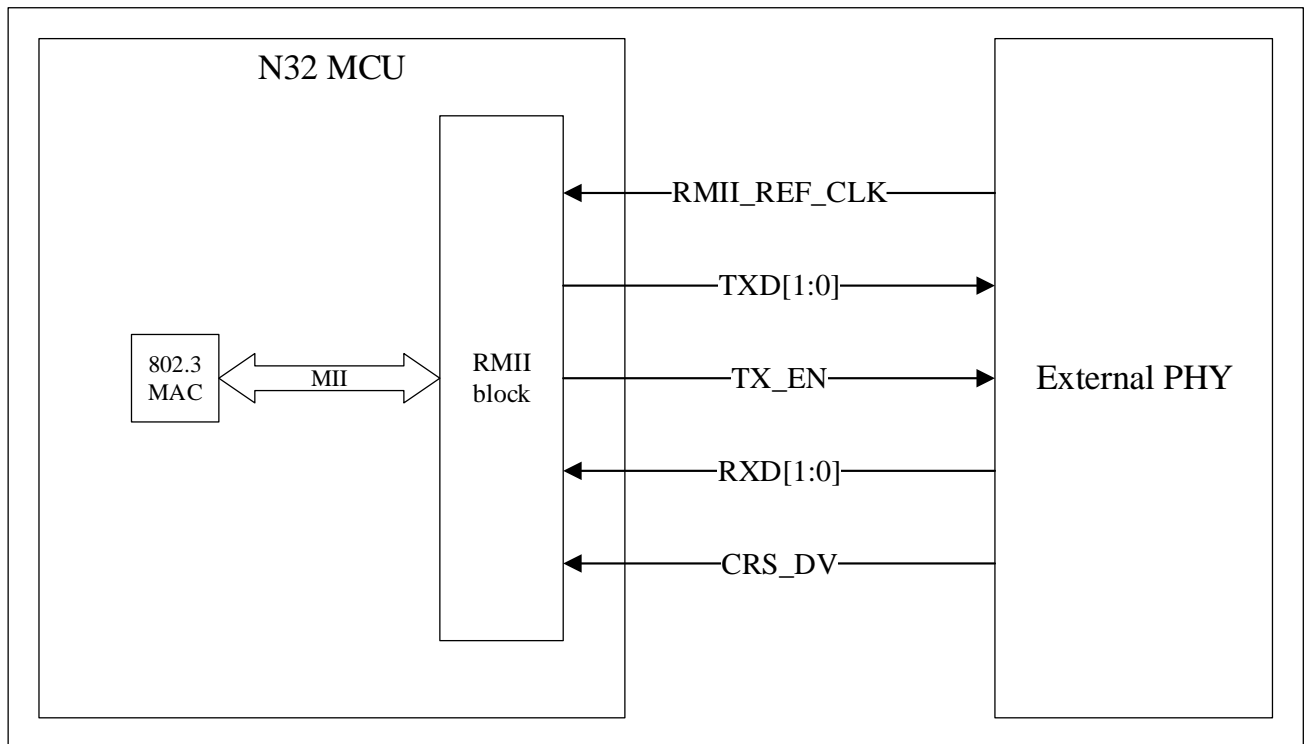
RMII 规范减少了以太网 PHY 和交换机 ASIC 之间的引脚数 (仅在 10/100Mbps 模式下)。根据 IEEE 802.3u, MII 包含 16 个用于数据和控制的引脚。在包含多个 MAC 或 PHY 接口的设备 (如交换机) 中, 随着端口数的增加, 引脚数量会大大增加成本。RMII 规范解决了这一问题, 将每个端口的引脚数减少到 7 个, 引脚数减少了 62.5%。

RMII 模块在 MAC 和 PHY 之间实例化, 有助于将 MAC 的 MII 转换为 RMII。RMII 模块具有以下特点:

- 支持 10Mbps 和 100Mbps 工作速率。不支持 1000Mbps 工作速率。
- 通过两个外部时钟参考源, 提供独立的 2 位宽发送和接收路径。

RMII 模块位于以太网外设内核之前, 用于将 MII 信号转换为 RMII 信号。RMII 的信号如下图所示:

图 47-10 RMII 信号

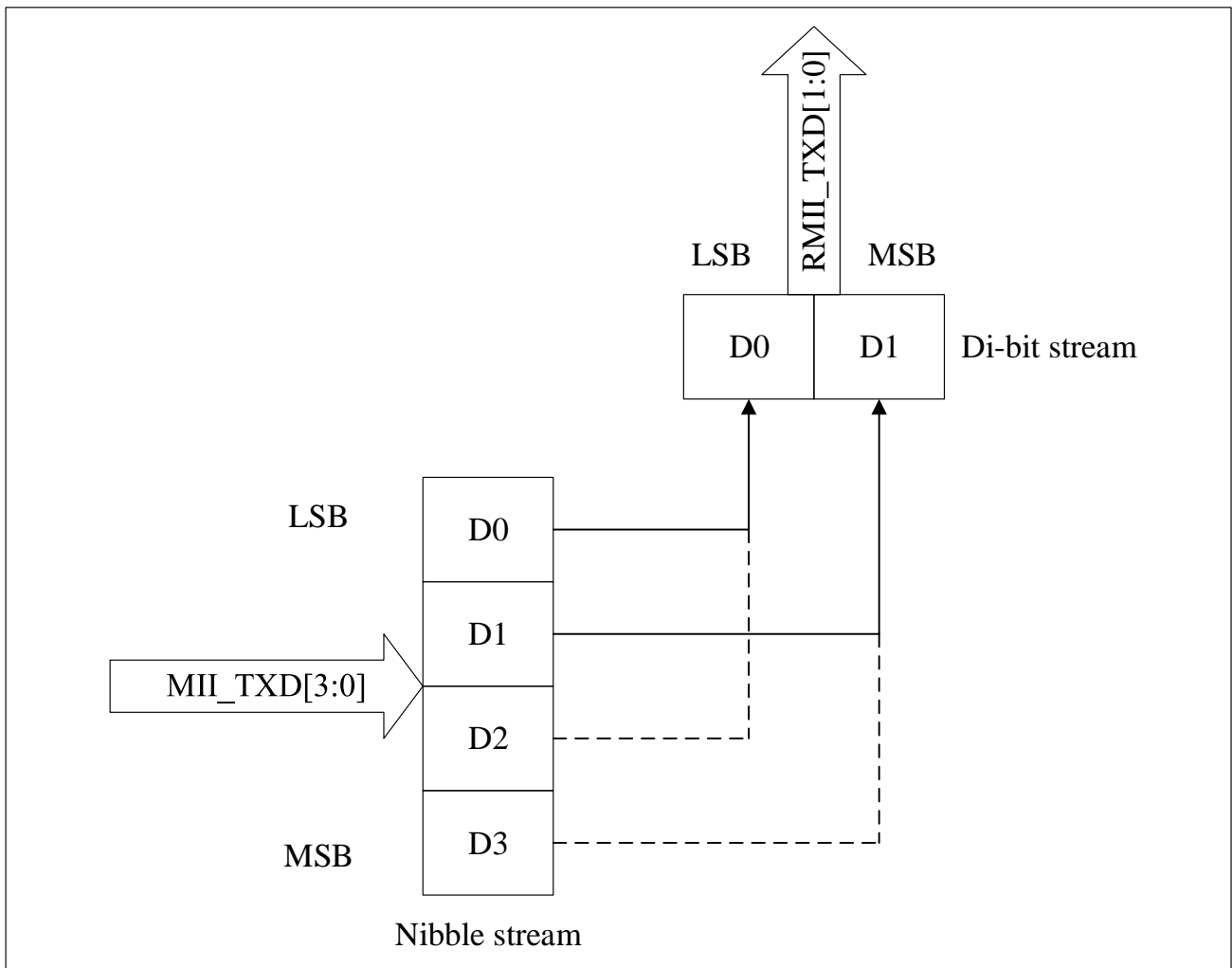


- RMII\_REF\_CLK: 连续时钟信号，50MHz 参考时钟输入。
- TXD[1:0]: 发送数据。
- TX\_EN: 发送数据使能。高电平时，该位表示 TXD[1:0]上正在传输有效数据。
- RXD[1:0]: 接收数据。
- CRS\_DV: 载波侦听 (CRS) 和接收数据有效 (RX\_DV) 在交替的时钟周期内复用。在 10Mbit/s 模式下，每 10 个时钟周期交替一次。

### 发送位序

MII 接口的每个半字节必须在 RMII 接口上发送，一次传输双位，传输顺序如图 47-11 所示。先发送低位 (D1 和 D0)，然后再发送高位 (D2 和 D3)。

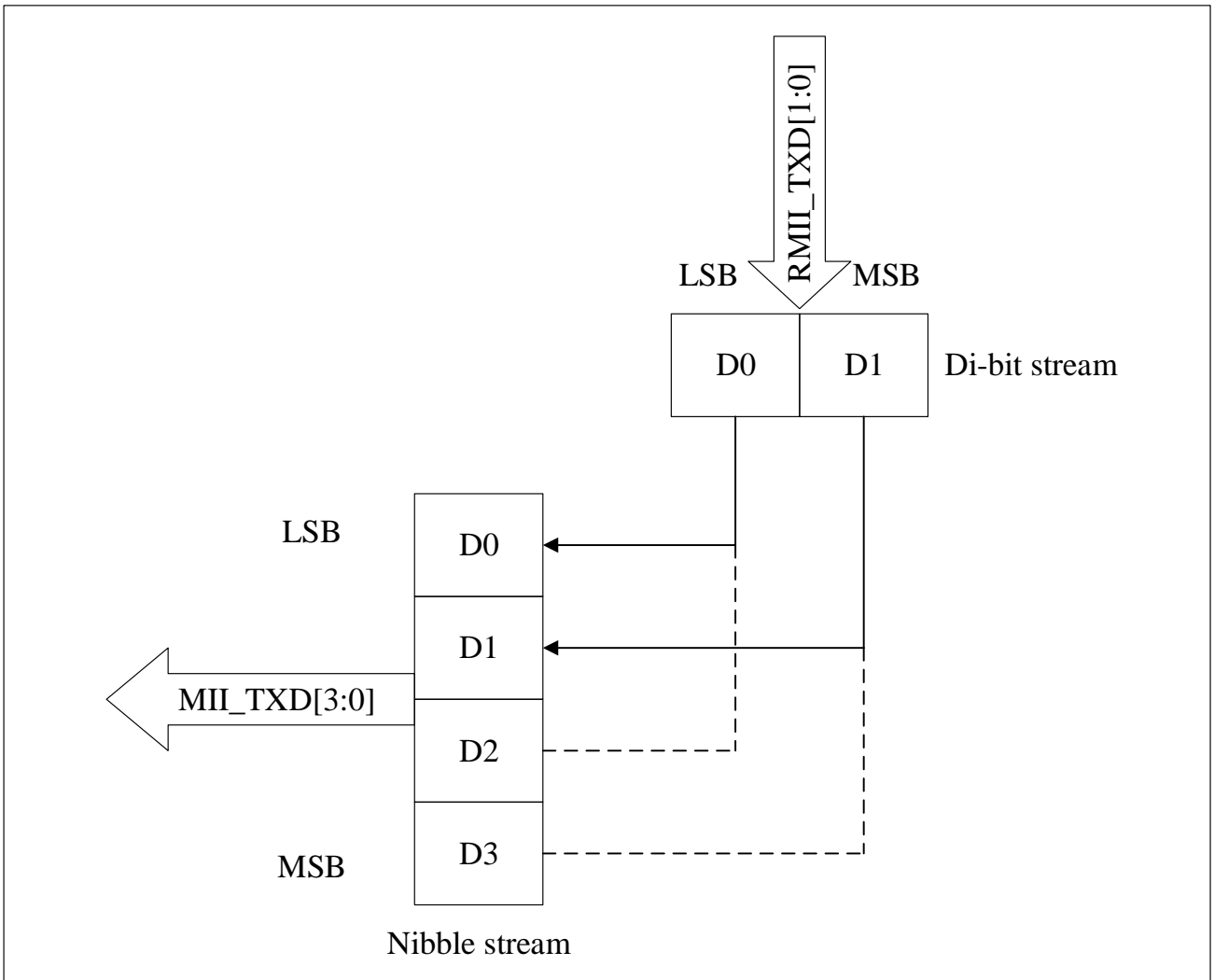
图 47-11 RMII 发送位序图



### 接收位序

每个半字节按照图 47-12 所示的半字节传输顺序，从 RMII 接口接收的双位传输到 MII 接口。先接收低位（D1 和 D0），然后再接收高位（D2 和 D3）。

图 47-12 RMII 接收位序图



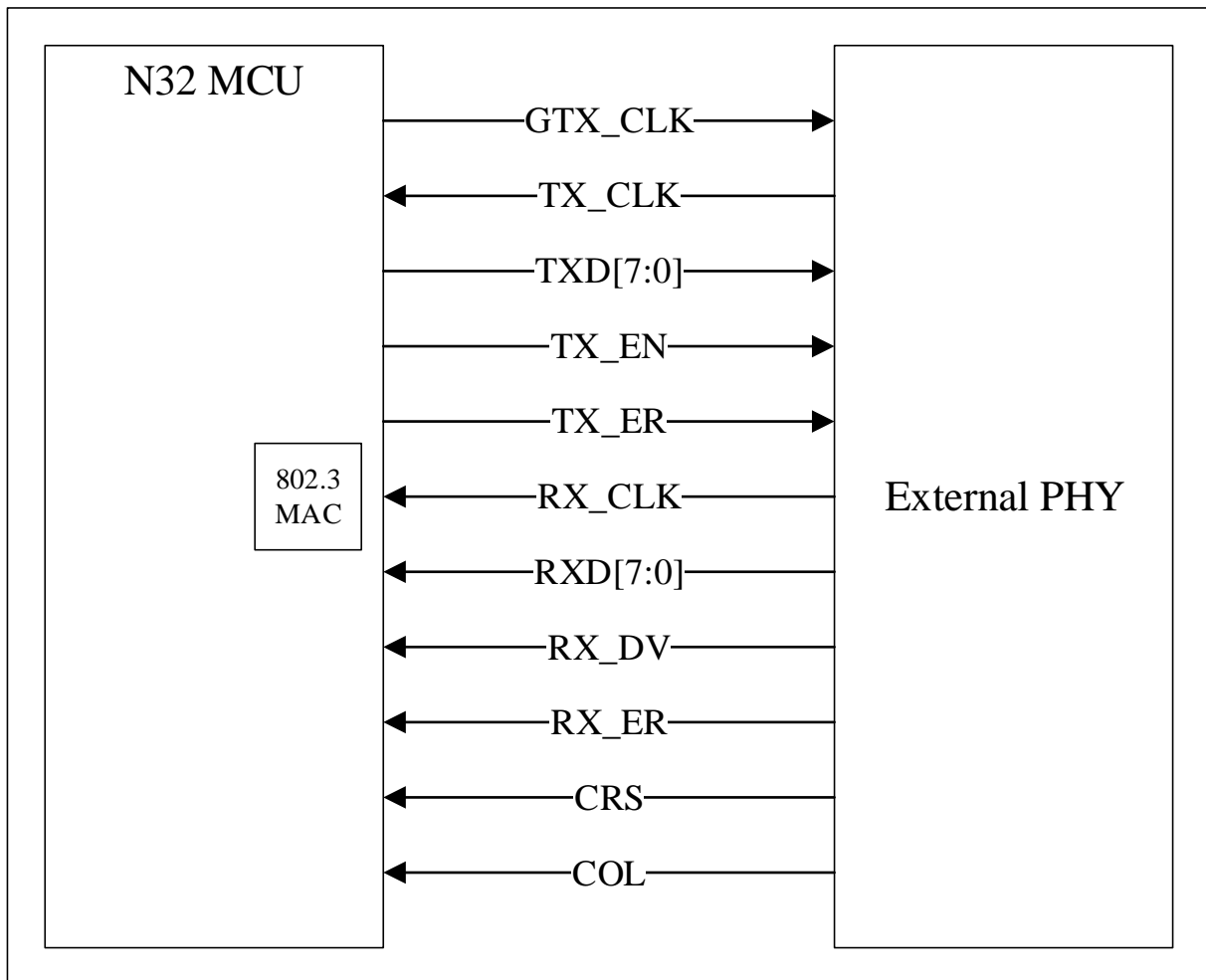
注：RMII 遵循 RMII 联盟规范 1.2 版，更多的 RMII 相关信息请查阅 RMII 联盟规范 1.2 版相关文档。

#### 47.5.4.4 千兆介质独立接口 (GMII)

GMII 定义了 MAC 子层与 PHY 之间的互连，用于 10Mb/s、100Mb/s 和 1000Mbit/s 的数据传输。

GMII 的信号如下图所示：

图 47-13 GMII 信号



- **GTX\_CLK**: 用于 1000Mbit/s 时的连续时钟信号。该时钟信号由芯片内部输出，并传输到 PHY 接口。标称频率为 125MHz。
- **TX\_CLK**: 连续时钟信号。为 10Mbit/s 和 100Mbit/s 运行时的 Tx 数据传输提供时序参考，10Mbit/s 时标的称频率为 2.5MHz，100Mbit/s 时的标称频率为 25MHz。
- **TXD[7:0]**: 发送数据。TXD 是一束由 MAC 子层同步驱动的 8 个数据信号，在 TX\_EN 信号有效时才有效（有效数据）。TXD[0]为最小有效位，TXD[7]为最大有效位。当 TX\_EN 失效时，发送数据不会对 PHY 产生任何影响。
- **TX\_EN**: 发送使能信号。该信号表示 MAC 当前正针对 GMII 发送字节数据。它必须与前导码的第一个字节同步（GTX\_CLK/TX\_CLK），并在所有待发送的字节被传送到 GMII 时保持有效。
- **TX\_ER**: 指示 TXD[7:0]上的发送错误或载波扩展。
- **RX\_CLK**: 连续时钟信号。为 Rx 数据传输提供时序参考。10Mbit/s 时的标称频率为 2.5MHz，100Mbit/s 时的标称频率为 25MHz，1000Mbit/s 时的标称频率为 125MHz。
- **RXD[7:0]**: 接收数据。RXD 是一束由 PHY 同步驱动的 8 个数据信号，并在 RX\_DV 信号有效时才有效（有效数据）。RXD[0]为最小有效位，RXD[7]为最大有效位。当 RX\_EN 失效、RX\_ER 有效时，特定的 RXD[7:0]值用于从 PHY 传输特定信息。

- **RX\_DV:** 接收数据有效。该信号表示 PHY 当前正针对 GMII 接收已恢复并解码的字节数据。该信号必须与帧的第一个恢复字节同步 (RX\_CLK)，并在最后一个恢复字节时保持有效。该信号必须在最后一个字节之后的第一个时钟周期之前置为无效。为了正确接收帧，RX\_DV 信号必须覆盖整个帧，其起始时间不得晚于 SFD 字段。
- **RX\_ER:** 接收错误。该信号必须保持有效一个或多个时钟周期 (RX\_CLK)，以向 MAC 子层表明在帧的某处检测到错误。该错误条件必须由 RX\_DV 的有效情况来限定。
- **CRS:** 载波侦听。当发送或接收介质处于非空闲状态时，PHY 会将该信号置为有效。当发送和接收介质都处于空闲状态时，PHY 必须将该信号置为无效状态。PHY 必须确保 CS 信号在冲突条件持续期间保持有效。该信号无需与发送和接收时钟同步转换。在全双工模式下，该信号的状态对于 MAC 子层来说无意义。
- **COL:** 冲突检测。当检测到介质上发生冲突时，PHY 必须将该信号置为有效，并在冲突条件持续期间保持有效。该信号无需与发送和接收时钟同步转换。在全双工模式下，该信号的状态对于 MAC 子层来说无意义。

注：GMII 遵循 IEEE 802.3-2015 标准，更多的 GMII 相关信息请查阅 IEEE 802.3-2015 相关文档。

## 47.5.5 数据包过滤

MAC 支持以下类型的 Rx 数据包过滤：

**MAC 源地址或目的地址过滤：**地址过滤模块 (AFM) 检查每个传入数据包的源地址和目的地址字段。

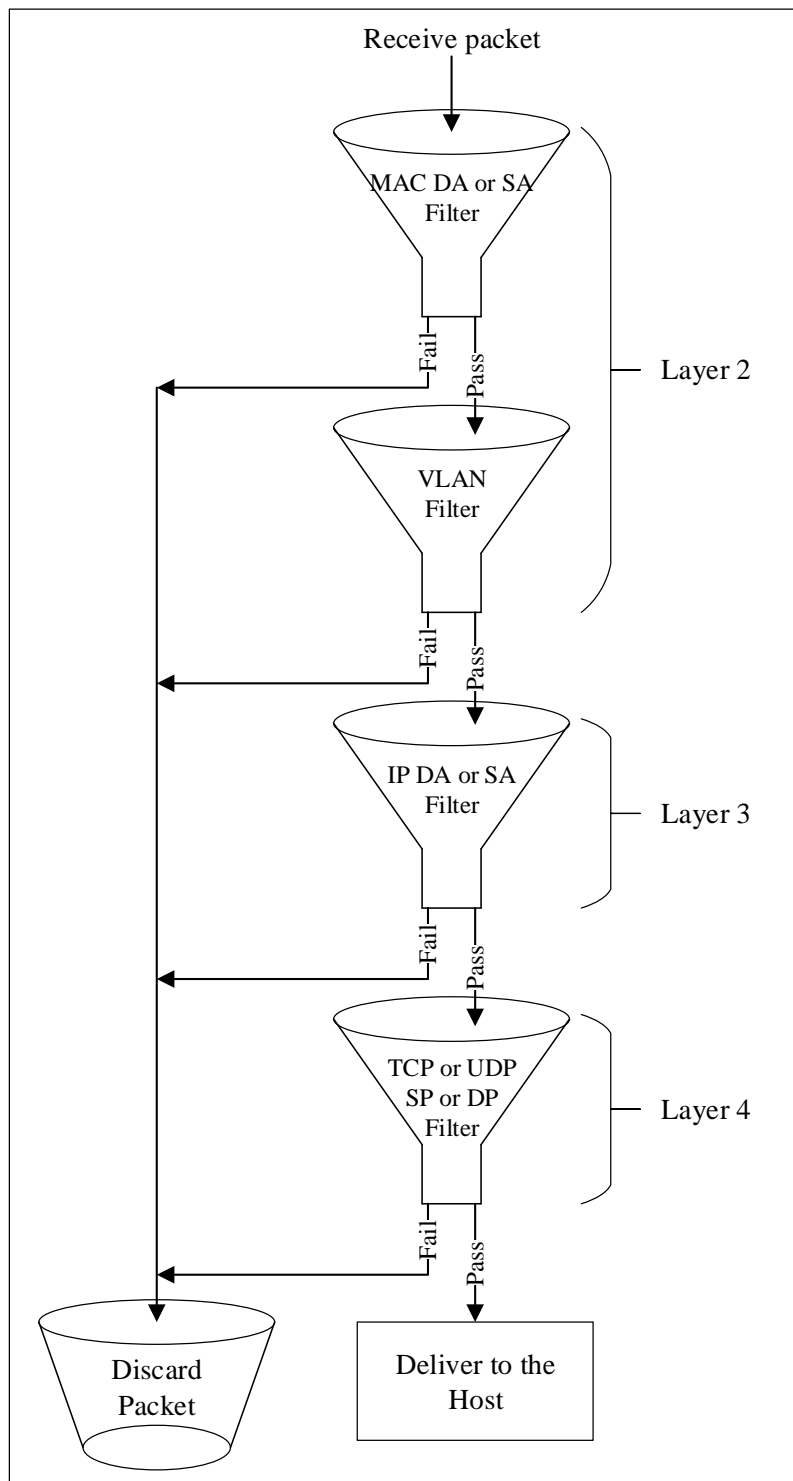
**VLAN 过滤：**MAC 支持基于 VLAN 标签和 VLAN 哈希过滤。

**第 3 层和第 4 层过滤：**第 3 层过滤是指 IP 源地址和目的地址过滤。第 4 层过滤指的是源端口和目的端口过滤。

这三种过滤类型可以级联。下图显示了 Rx 数据包的过滤顺序：



图 47-14 数据包过滤顺序



当所有过滤器（L2、VLAN、L3、L4）都处于活动状态时，图 47-14 所示的顺序有效。如果任意层过滤器未使能，则绕过该过滤器，应用后续过滤器。未通过任何过滤器的数据包都将被丢弃。不过，被丢弃的数据包可以根据寄存器控制转发给主机。例如，当 MAC 数据包过滤器寄存器的 RA 位置 1 时，所有被丢弃的数据包都会被转发到主机，但其数据包状态会显示特定的过滤失败。如果 RA 为 0，则 MAC 数据包过滤器寄存器的 VTFE 和 IPFE 位将控制未通过 VLAN 过滤和第 3-4 层过滤的数据包是丢弃还是转发给主机。

### 47.5.5.1 MAC 源地址或目的地址过滤

MAC 的地址过滤模块会检查每个传入数据包的源地址 (SA) 和目的地址 (DA) 字段。

#### 单播目的地址过滤

MAC 支持 4 个 MAC 地址的单播完美过滤。如果选择了完美过滤 (复位 MAC 数据包过滤器寄存器的 HUC 位), MAC 会将接收到的单播地址的所有 48 位与已编程的 MAC 地址进行比较, 以查找是否匹配。默认情况下 MacAddr0 始终使能。

MacAddr1 至 MacAddr3 通过单独的使能位选择。对于 MacAddr1 至 MacAddr3, 可通过设置寄存器中相应的屏蔽字节控制位, 在与相应的接收 DA 字节比较时屏蔽每个字节。这样就能使 DA 的组地址过滤生效。

在哈希过滤模式下 (当 HUC 位被置 1 时), MAC 使用 64 位哈希表对单播地址执行不完全过滤。在哈希过滤模式下, MAC 使用接收到的目的地址的高 6 位 CRC 来索引哈希表的内容。值为 00000 时选择所选寄存器的第 0 位, 值为 11111 时选择哈希表寄存器的第 63 位。如果相应位 (由 6 位 CRC 表示) 被置 1, 则认为单播数据包通过了哈希过滤器; 否则, 认为数据包未通过哈希过滤器。

#### 多播目的地址过滤

要对 MAC 进行编程以通过所有多播 (组播) 数据包, 需设置 MAC 数据包过滤器寄存器中的 PAM 位 (bit4)。如果 PAM 位被重置, MAC 将根据 MAC 数据包过滤器寄存器的 HMC 位过滤多播地址。

多播地址与已编程的 MAC 目的地址寄存器 (1~3) 进行比较。还支持组地址过滤。

在哈希过滤模式下, MAC 使用 64 位哈希表执行不完全过滤。MAC 使用接收到的多播地址的高 6 位 CRC 来索引哈希表的内容。值为 00000 时选择所选寄存器的第 0 位, 值为 11111 时选择哈希表寄存器的第 63 位。如果相应位被置 1, 则认为多播数据包通过了哈希过滤器。否则, 认为数据包未通过哈希过滤器。

#### 哈希或完美地址过滤

要配置 DA 过滤器, 使其在 DA 符合哈希过滤器或完美过滤器时通过数据包, 需设置 MAC 数据包过滤器寄存器中的 HPF 位和相应的 HUC 或 HMC 位。这适用于单播和多播数据包。如果 HPF 位被重置, 则只对接收到的数据包应用其中一种过滤器 (哈希或完美)。

#### 广播地址过滤

MAC 默认不过滤任何广播数据包。要将 MAC 编程为拒收所有广播数据包, 需设置 MAC 数据包过滤器寄存器中的 DBF 位。

#### 单播源地址过滤

MAC 可根据接收数据包的源地址字段执行完美过滤。默认情况下, MAC 将 SA 字段与 SA 寄存器中的编程值进行比较。可以通过设置相应寄存器的第 30 位, 将 MAC 地址寄存器 (1~3) 配置为使用 SA 代替 DA 进行比较。

MAC 还支持使用 SA 进行分组过滤。可以通过屏蔽地址的一个或多个字节来过滤一组地址。如果在 MAC 数据包过滤器寄存器中设置了 SAF 位, MAC 就会丢弃未通过 SA 过滤的数据包。否则, SA 过滤的结果将作为接收状态字中的一个状态位给出。当 SAF 位被置 1 时, 将对 SA 过滤和 DA 过滤结果进行与逻辑运算, 以决定是否需要转发数据包。这意味着, 如果其中任何一个过滤失败, 数据包就会被丢弃。只有当数据包依次通过两个过滤器时, 数据包才会转发给应用程序。

#### 反向过滤

对于 DA 和 SA 过滤, 可以通过设置 MAC 数据包过滤器寄存器的 DAIF 和 SAIF 位来反转最终输出的过滤

匹配结果。DAIF 位适用于单播和多播 DA 数据包。在这种模式下，将反转单播或多播目的地址过滤的结果。同样，当 SAIF 位被设置时，单播 SA 过滤的结果也会反转。

*注：当 MAC 数据包过滤器寄存器的 RA 位被置 1 时，所有数据包将连同 Rx 状态中正确的地址过滤结果一起转发给系统。*

表 47-12 和表 47-13 按数据包类型和 MAC 数据包过滤器寄存器的相关位域的配置总结了 DA 和 SA 过滤。

**表 47-12 DA 过滤**

数据包类型	PM	HPF	HUC	DAIF	HMC	PAM	DBP	DA 过滤器操作
广播	1	x	x	x	x	x	x	通过
	0	x	x	x	x	x	0	通过
	0	x	x	x	x	x	1	不通过
单播	1	x	x	x	x	x	x	通过所有数据包
	0	x	0	0	x	x	x	完美/组过滤器匹配时通过
	0	x	0	1	x	x	x	完美/组过滤器匹配时不通过
	0	0	1	0	x	x	x	哈希过滤器匹配时通过
	0	0	1	1	x	x	x	哈希过滤器匹配时不通过
	0	1	1	0	x	x	x	哈希或者完美/组过滤器匹配时通过
	0	1	1	1	x	x	x	哈希或者完美/组过滤器匹配时不通过
多播	1	x	x	x	x	x	x	通过所有数据包
	x	x	x	x	x	1	x	通过所有数据包
	0	x	x	0	0	0	x	完美/组过滤器匹配时通过，并在 PCF = 0x 时丢弃暂停数据包
	0	0	x	0	1	0	x	哈希过滤器匹配时通过，并在 PCF = 0x 时丢弃暂停数据包
	0	1	x	0	1	0	x	哈希或者完美/组过滤器匹配时通过，并在 PCF = 0x 时丢弃暂停数据包
	0	x	x	1	0	0	x	完美/组过滤器匹配时不通过，并在 PCF = 0x 时丢弃暂停数据包
	0	0	x	1	1	0	x	哈希过滤器匹配时不通过，并在 PCF = 0x 时丢弃暂停数据包
	0	1	x	1	1	0	x	哈希或者完美/组过滤器匹配时不通过，并在 PCF = 0x 时丢弃暂停数据包

**表 47-13 SA 过滤**

数据包类型	PM	SAIF	SAF	SA 过滤器操作
单播	1	x	x	通过所有数据包
	0	0	0	完美/组过滤器匹配时通过，但不丢弃未通过的数据包
	0	1	0	完美/组过滤器匹配时不通过，但不丢弃未通过的数据包
	0	0	1	完美/组过滤器匹配时通过，并丢弃未通过的数据包
	0	1	1	完美/组过滤器匹配时不通过，并丢弃未通过的数据包

*注：x 表示任意值。*

### 47.5.5.2 VLAN 过滤

#### VLAN 标签完美过滤

在 VLAN 标签完美过滤中，MAC 会比较接收到的数据包 VLAN 标签，并向应用程序提供 VLAN 数据包状态。根据编程模式，MAC 会比较接收到的 VLAN 标签的低 12 位或全部 16 位，以确定是否完全匹配。

如果使能了 VLAN 标签完美过滤，则 MAC 会转发带有 VLAN 标签的数据包以及 VLAN 标签匹配状态，并丢弃不匹配的 VLAN 数据包。可以通过设置 MAC VLAN 标签寄存器的 VTIM 位，使能 VLAN 数据包的反向匹配。此外，还可通过设置 MAC VLAN 标签寄存器的 ESVL 位，使能在处理默认 C-VLAN 标签数据包的同时处理 S-VLAN 标签数据包。VLAN 数据包状态位（RDES0 的 bit10）表示匹配数据包 VLAN 标签匹配状态。

*注：源地址或目的地址（如果使能）优先于 VLAN 标签过滤器。这意味着，无论 VLAN 标签过滤结果如何，源地址或目的地址过滤失败的数据包都会被丢弃。默认情况下，基于 VLAN 标签的完美过滤器在所有配置中都可用。*

#### VLAN 标签哈希过滤

16 位 VLAN 哈希表用于根据 VLAN 标签进行组地址过滤。VLAN 标签哈希过滤功能可通过 MAC VLAN 标签寄存器的 VTHM（VLAN 标签哈希表匹配使能）位使能。

MAC 通过 16 位哈希表提供 VLAN 标签哈希过滤功能。

MAC 根据 MAC VLAN 标签寄存器的 VTHM 执行 VLAN 哈希匹配。如果 VTHM 位置 1，则 VLAN 标签的 CRC-32 的最有效四位将用于索引 MAC VLAN 哈希表寄存器的内容。如果 MAC VLAN 哈希表寄存器中与索引相对应的值为 1，则表示数据包 VLAN 标签匹配，数据包应被转发。如果值为 0，则表示应丢弃有 VLAN 标签的数据包。

*注：根据 MAC VLAN 标签寄存器中的 ETV 位，VLAN 标签的 16 位或 12 位将被考虑用于 CRC-32 计算。当 ETV 位复位时，VLAN 标签的 CRC-32 最有效四位将被反转并用于索引 MAC VLAN 哈希表寄存器的内容。当 ETV 位置 1 时，VLAN 标签的 CRC-32 最有效四位将直接用于索引 MAC VLAN 哈希表寄存器的内容。*

MAC 还支持 VLAN 数据包的反向匹配。在反向匹配模式下，当数据包 VLAN 标签与完美或哈希过滤器匹配时，应丢弃该数据包。如果使能了 VLAN 完美匹配和 VLAN 哈希匹配，则如果 VLAN 哈希或 VLAN 完美过滤器匹配，则认为数据包已匹配。如果设置了反向匹配，则只有当完美过滤器和哈希过滤器都显示不匹配时，才会转发数据包。

表 6-3 显示了 VLAN 匹配的不同可能性和最终的 VLAN 匹配状态。当 MAC 数据包过滤器寄存器的 RA 位被置 1 时，将接收所有数据包，并在 RDES2 正常描述符（回写格式）的 VF 位中显示 VLAN 匹配状态。当 RA 位未被置 1 且 MAC 数据包过滤器寄存器中的 VTFE 位被置 1 时，如果最终的 VLAN 匹配状态为"Fail"，则丢弃数据包。

当 MAC VLAN 标签寄存器的 VL 字段中 VLAN VID 编程为 0 时，所有 VLAN 标签的数据包都被视为完美匹配，但 VLAN 哈希匹配的状态取决于 MAC VLAN 标签寄存器中的 VTHM 和 VTIM 位。

表 47-14 VLAN 匹配状态

VID	VLAN 完美过滤 匹配结果	VTHM	VLAN 哈希过滤 匹配结果	VTIM	最终的 VLAN 匹配状态
VID = 0	通过	0	x	x	通过
	通过	1	x	0	通过

VID	VLAN 完美过滤 匹配结果	VTHM	VLAN 哈希过滤 匹配结果	VTIM	最终的 VLAN 匹配状态
	通过	1	未通过	1	通过
	通过	1	通过	1	未通过
VID != 0	通过	x	x	0	通过
	未通过	0	x	0	未通过
	未通过	1	未通过	0	未通过
	未通过	1	通过	0	通过
	未通过	0	x	1	通过
	通过	x	x	1	未通过
	未通过	1	通过	1	未通过
未通过	1	未通过	1	通过	

注：x 表示任意值。

### 47.5.5.3 第 3 层和第 4 层过滤

以太网外设支持基于第 3 层和第 4 层的数据包过滤。第 3 层过滤指的是 IPv4 或 IPv6 数据包中的 IP 源地址或目的地址过滤，而第 4 层过滤指的是 TCP 或 UDP 中的源端口号或目的端口号过滤。

使能第 3 层和第 4 层过滤时，数据包的过滤方式如下：

- **匹配数据包：**MAC 将与所有使能字段匹配的数据包连同状态一起转发给应用程序。只有当 MAC 配置寄存器的 IPC 位被置 1 且以下条件之一为真时，MAC 才会给出匹配字段状态：
  - 所有使能的第 3 层和第 4 层字段匹配
  - 至少有一个使能字段匹配，其他字段被绕过或禁用

当使能多个第 3 层和第 4 层过滤器时，任何过滤器匹配都视为匹配。如果有一个以上的过滤器匹配，MAC 会提供最低过滤器的状态，其中过滤器 0 为最低过滤器，过滤器 1 为最高过滤器。例如，如果过滤器 0 和过滤器 1 匹配，则 MAC 提供与过滤器 0 相对应的状态。

*注：源地址或目的地址和 VLAN 标签过滤器（如果使能）优先于第 3 层和第 4 层过滤器。这意味着，无论第 3 层和第 4 层过滤结果如何，未通过源地址、目的地址或 VLAN 标签过滤的数据包都会被丢弃。*

- **不匹配数据包：**MAC 会丢弃与任何使能字段不匹配的数据包。可以使用反向匹配功能阻止或丢弃带有特定基于 IP 的 TCP 或 UDP 字段的数据包，并转发所有其他数据包。

当数据包被丢弃时，中止或部分数据包会被丢弃在 MTL Rx FIFO 中。如果 Rx FIFO 在阈值（直通）模式下运行，且阈值被编程为一个较小的值，从而在失败的第 3 层和第 4 层过滤结果可用之前就开始向应用程序传输数据包，则应用程序可能会收到具有适当中止状态的部分数据包。

- **非 TCP 或 UDP IP 数据包：**默认情况下，所有非 TCP 或 UDP IP 数据包都会从第 3 层和第 4 层过滤器中绕过。可以选择对 MAC 进行编程，以丢弃所有非 TCP 或 UDP IP 数据包（MAC 数据包过滤器寄存器的 bit21）。

### 第 3 层过滤

以太网外设支持 IP 源地址和目的地址的完全匹配或反向匹配。此外，还可以匹配完整的 IP 地址或屏蔽低位匹配，即比较地址中除指定低位屏蔽位之外的所有位。

对于 IPv6 数据包过滤，可以使能寄存器组的最后四个数据寄存器包含 128 位的 IP 源地址或 IP 目的地址。

IP 源地址或目的地址应按照 IPv6 规范中定义的顺序进行编程，即接收到的数据包中 IP 源地址或目的地址的第一个字节位于寄存器的较高字节，随后的寄存器遵循相同的顺序。

对于 IPv4 数据包过滤，可以使能寄存器组的第二和第三个数据寄存器包含 32 位 IP 源地址和 IP 目的地址。其余两个数据寄存器为保留寄存器。IP 源地址或目的地址应按照 IPv4 规范中定义的顺序编程，即接收到的数据包中 IP 源地址和目的地址的第一个字节位于相应寄存器的较高字节。

#### 第 4 层过滤

以太网外设支持 TCP 或 UDP 源端口和目的端口号的完全匹配或反向匹配。但是，一次只能对一种类型（TCP 或 UDP）进行编程。第一个数据寄存器包含 TCP 或 UDP 的 16 位源端口号和目的端口号，即较低的 16 位为源端口号，较高的 16 位为目的端口号。

TCP 或 UDP 源端口号和目的端口号应按照 TCP 或 UDP 规范规定的顺序进行编程，即接收到的数据包中 TCP 或 UDP 源端口号和目的端口号的第一个字节位于寄存器的较高字节。

#### L3 和 L4 过滤器寄存器组

MAC 实现了一组寄存器，用于基于第 3 层和第 4 层的数据包过滤。在每个过滤器的寄存器组中，包含一个控制寄存器，如：ETH 第 3 层和第 4 层过滤器 0 控制寄存器（ETH\_MACL3L4F0CTRL）或 ETH 第 3 层和第 4 层过滤器 1 控制寄存器（ETH\_MACL3L4F1CTRL），用于控制数据包过滤。此外，每个过滤器还有五个地址寄存器用于对要匹配的第 3 层和第 4 层字段进行编程，如：

- ETH 第 4 层过滤器 0 端口寄存器（ETH\_MACL4F0PORT）
- ETH 第 3 层过滤器 0 地址 0 寄存器（ETH\_MACL3F0ADDR0）
- ETH 第 3 层过滤器 0 地址 1 寄存器（ETH\_MACL3F0ADDR1）
- ETH 第 3 层过滤器 0 地址 2 寄存器（ETH\_MACL3F0ADDR2）
- ETH 第 3 层过滤器 0 地址 3 寄存器（ETH\_MACL3F0ADDR3）
- ETH 第 4 层过滤器 1 端口寄存器（ETH\_MACL4F1PORT）
- ETH 第 3 层过滤器 1 地址 0 寄存器（ETH\_MACL3F1ADDR0）
- ETH 第 3 层过滤器 1 地址 1 寄存器（ETH\_MACL3F1ADDR1）
- ETH 第 3 层过滤器 1 地址 2 寄存器（ETH\_MACL3F1ADDR2）
- ETH 第 3 层过滤器 1 地址 3 寄存器（ETH\_MACL3F1ADDR3）

### 47.5.6 IEEE 1588 时间戳

IEEE 1588 定义了精确时间协议（PTP），使测量和控制系统能实现精确的时间同步。该协议使包含不同固有精度、分辨率和稳定性时钟的异构系统能够同步。该协议支持亚微秒级的全系统同步精度，只需最少的网络和本地时钟计算资源。

以太网外设支持 IEEE 1588-2002（版本 1）和 IEEE 1588-2008（版本 2）。IEEE 1588-2002 支持通过 UDP/IP 传送的 PTP。IEEE 1588 2008 支持通过以太网传送的 PTP。以太网外设为这两种标准提供了可编程支持。它支持下列功能：

- 可获取所有数据包或仅 PTP 型数据包的快照
- 可获取仅事件消息的快照

- 可基于时钟类型获取快照：普通、边界、端对端透明和点对点透明
- 可将节点选作普通和边界时钟的主节点或从节点
- 识别数据包中直接通过以太网发送的 PTP 消息类型、版本和 PTP 有效负载，并发送状态
- 支持数字或二进制格式的测量亚秒级时间

### 47.5.6.1 时钟类型

#### 普通时钟

域中的普通时钟支持协议的单个副本。普通时钟具有单一 PTP 状态和单一物理端口。在典型的工业自动化应用中，普通时钟与传感器或执行器等应用设备相关联。在电信应用中，普通时钟可与定时分界设备相关联。

普通时钟可以是主时钟或从时钟。它支持以下功能：

- 发送和接收 PTP 信息。可按照 MAC 时间戳控制寄存器中的描述控制时间戳快照。
- 维护时间戳值等数据集。

表 47-15 列出了可以在接收端为主节点和从节点拍摄时间戳快照的报文。

**表 47-15 普通时钟：快照的 PTP 消息**

主节点	从节点
Delay_Req	SYNC

对于普通时钟，可以为以下任一 PTP 报文类型拍摄快照：版本 1 或版本 2。不能同时拍摄两种 PTP 报文类型的快照。可以通过设置 TSVER2ENA 位并在 MAC 时间戳控制寄存器中选择快照模式来拍摄快照。

#### 边界时钟

通常，边界时钟具有多个可与网络进行通信的物理端口。在边界时钟的协议引擎中，与同步、主从层级和信号传输结束相关的消息不会被转发。MAC 提供的 PTP 消息类型状态有助于识别消息的类型并采取适当的操作。

除以下功能外，边界时钟与普通时钟类似：

- 时钟数据集对边界时钟的所有端口通用。
- 本地时钟对边界时钟的所有端口通用。

#### 端对端透明时钟

端对端透明时钟支持从时钟和主时钟之间的端对端延迟测量机制。端对端透明时钟像普通网桥、路由器或中继器一样转发所有信息。PTP 数据包的停留时间是 PTP 数据包从入站端口到出站端口所需的时间。

端对端透明时钟内 SYNC 数据包的驻留时间会在相关 Follow\_Up PTP 数据包传输前更新其校正字段。同样，端对端透明时钟内的 Delay\_Req 数据包的停留时间也会在相关的 Delay\_Resp PTP 数据包传输前在校准字段中更新。因此，只有表 47-16 中提到的报文才必须在入站端口和出站端口拍摄快照。可以通过将 MAC 时间戳控制寄存器中的 SNAPTYPSEL 位设置为 10 来获取快照。

**表 47-16 端对端透明时钟：快照的 PTP 消息**

PTP 消息
SYNC

<b>PTP 消息</b>
Delay_Req

### 点对点透明时钟

点对点透明时钟与端对端透明时钟的不同之处在于它校准和处理 PTP 定时报文的方式。在所有其他方面，它与端对端透明时钟相同。

在点对点透明时钟中，链路延迟的计算基于与链路节点 Pdelay\_Req、Pdelay\_Resp 和 Pdelay\_Resp\_Follow\_Up 消息的交换。Pdelay\_Req 和相关 Pdelay\_Resp 数据包的驻留时间会被添加并插入相关 Pdelay\_Resp\_Followup 数据包的校准字段。因此，如表 47-17 所示，增加了对与 Pdelay 相关的事件报文快照的支持。可以通过将 MAC 时间戳控制寄存器中的 SNAPTYPESEL 位设置为 11 来获取快照。

**表 47-17 点对点透明时钟：快照的 PTP 消息**

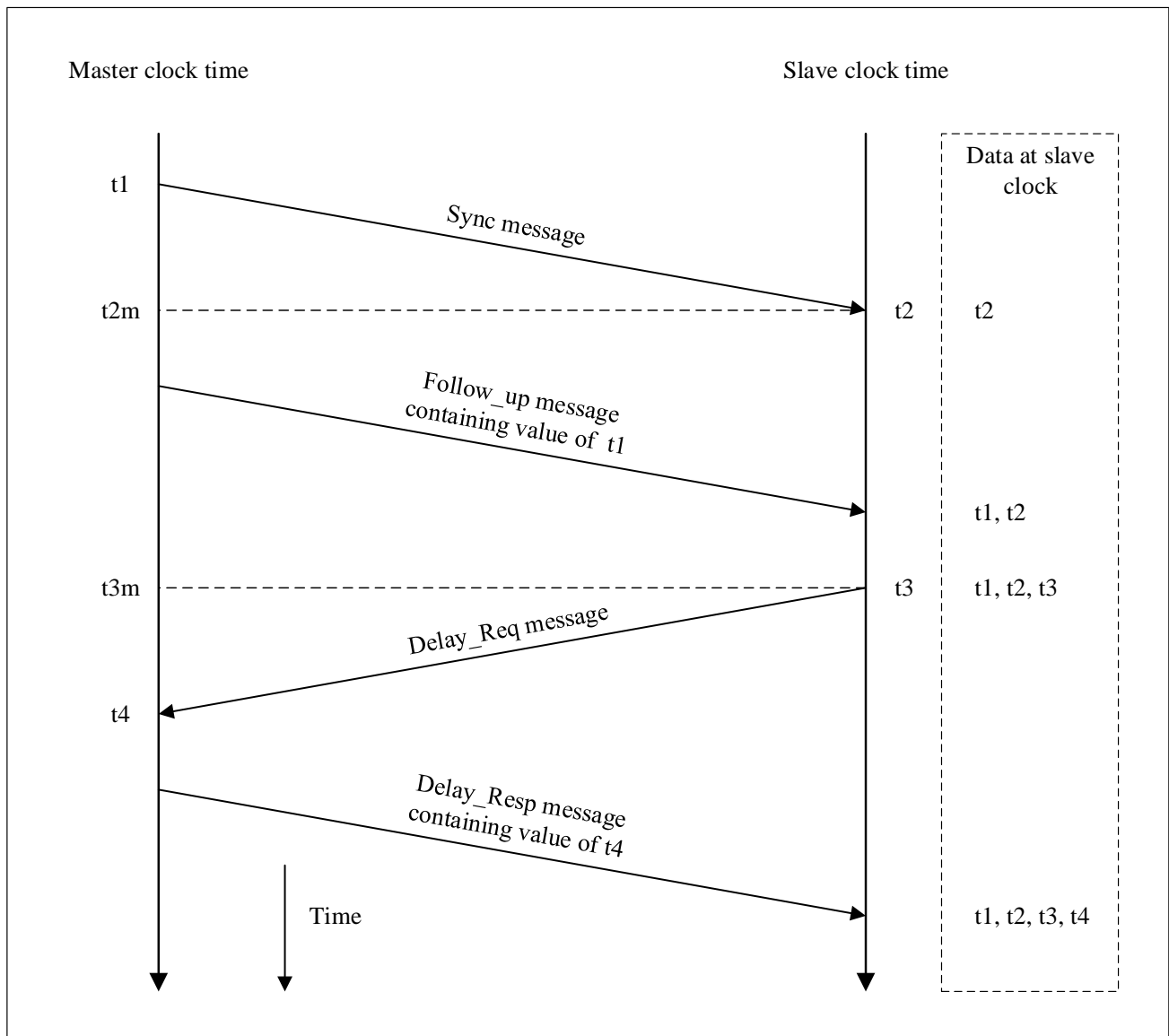
<b>PTP 消息</b>
SYNC
Pdelay_Req
Pdelay_Resp

### 47.5.6.2 延迟请求-响应机制

系统或网络分为主节点和从节点，用于分配定时和时钟信息。图 47-15 显示了 PTP 通过交换 PTP 信息将从节点同步到主节点的过程。



图 47-15 网络时间同步



如图 47-15 所示，PTP 采用以下流程：

1. 主节点向其所有节点广播 PTP 同步信息。同步报文包含主站的参考时间信息。该信息在  $t_1$  时离开主站系统。对于 GMII/MII 以太网端口，必须捕获该时间。
2. 从节点收到同步信息后，也会使用其定时参考捕捉准确时间  $t_2$ 。
3. 主节点向从站发送 Follow\_up 消息，其中包含供以后使用的  $t_1$  信息。
4. 从节点向主节点发送 Delay\_Req 消息，并记录该数据包离开 GMII/MII 接口的准确时间  $t_3$ 。
5. 主节点接收信息，并记录信息进入其系统的准确时间  $t_4$ 。
6. 主节点将 Delay\_Resp 消息中的  $t_4$  信息发送给从节点。
7. 从节点使用  $t_1$ 、 $t_2$ 、 $t_3$  和  $t_4$  这四个值将其本地定时基准与主节点的定时基准同步。

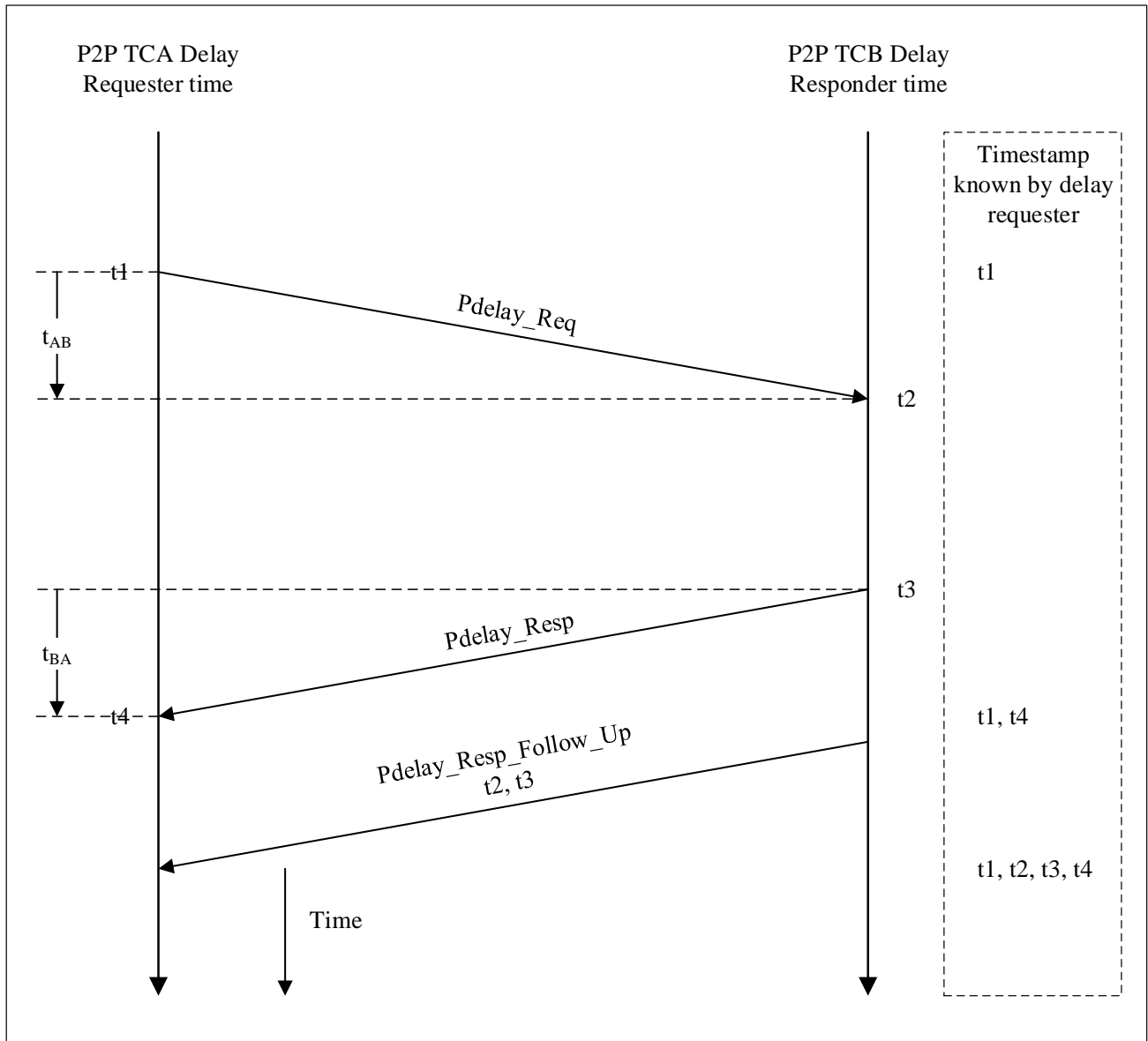
大部分 PTP 实现都是在以太网/UDP 层以上的软件中完成的。然而，在 GMII/MII 接口上捕获特定 PTP 数据包进入或离开以太网端口的准确时间需要硬件支持。必须捕获这些定时信息并返回给软件，以便实现高精

度的 PTP。

### 47.5.6.3 点对点 PTP 透明时钟 (P2PTC) 消息

除 SYNC、Delay\_Req、Follow\_up 和 Delay\_Resp 消息外, IEEE 1588-2008 标准还支持点对点 PTP (Pdelay) 消息。支持点对点路径校准的时钟的传播延迟计算方法如下图所示:

图 47-16 支持点对点路径校准的时钟的传播延迟计算



如图 47-16 所示, 传播延迟的计算方法如下:

1. TCA 发出 Pdelay\_Re 消息, 并为 Pdelay\_Req 信息生成一个时间戳 (t1)。
2. TCA 接收 Pdelay\_Req 消息, 并生成该消息的时间戳 (t2)。
3. TCB 返回 Pdelay\_Resp 消息, 并生成该消息的时间戳 (t3)。

为尽量减少两个端口之间的频率偏移造成的误差, TCB 在收到 Pdelay\_Req 消息后尽快返回 Pdelay\_Resp 消息。TCB 返回以下任一信息:

- Pdelay\_Resp 消息中时间戳 t2 和 t3 之间的差值。
  - Pdelay\_Resp\_Follow\_Up 消息中时间戳 t2 和 t3 之间的差值。
  - Pdelay\_Resp 和 Pdelay\_Resp\_Follow\_Up 消息中分别对应的时间戳 t2 和 t3。
4. TCA 在收到 Pdelay\_Resp 消息时生成一个时间戳 (t4)。
  5. TCA 使用所有四个时间戳来计算平均链路延迟。

#### 47.5.6.4 时间戳校准

根据 IEEE 1588 规范, 当 PTP 报文时间戳点 (紧随起始帧定界符八位位组之后的八位位组第一位的前沿) 越过节点和网络之间的边界时, 必须捕获时间戳。由于 MAC 在远离节点和网络实际边界的内部点获取时间戳, 因此会根据入口/出口路径延迟 (包括 PHY 层的延迟) 对获取的时间戳进行校准/更新。由于捕获点的时钟 (GMII/MII Tx、Rx 时钟) 与用于生成时间的 PTP 时钟 (clk\_ptp\_ref\_i) 不同, 因此会产生不准确/误差, 需要进一步修正。由此产生的 CDC (时钟域交叉) 电路会根据 GMII/MII 和 PTP 时钟的时钟周期增加误差。

#### 入口校准

在接收端, 与端口边界接收到数据包 SFD 位的时间相比, 内部快照点捕获的时间戳会延迟 (时间上较晚)。因此, 捕获的时间戳必须减去进站延迟和 CDC 采样误差。该校准值必须由软件确定/计算, 并写入 MAC 时间戳入口校正纳秒寄存器。

校准值由以下 3 部分组成:

1. 边界点和内核输入之间 PHY 层的外部延迟。

如果 PHY 符合 IEEE 802.3 Clause 45 MMD 寄存器的规定, 它就有个寄存器指示最大和最小入口延迟。软件可以读取这些寄存器, 并确定 PHY 的平均入口延迟。或者 (如果 PHY 不支持这些寄存器), 必须根据其数据表或定时特性确定入口延迟。

2. 从内核输入到内部捕获点的内部延迟。

可从 MAC 时间戳入口时延寄存器中读出内部入口延迟。这是一个只读寄存器, 以 IEEE 1588 Clause 5.3.2 中定义的比例纳秒格式给出延迟。延迟时间因有效 PHY 接口 (RMII) 和运行速度而异。因此, 软件必须在 MAC 速度发生变化后读取该寄存器, 以确定当前的内部延迟。

3. CDC 同步。

CDC 同步误差几乎等于 PTP 时钟周期 (clk\_ptp\_ref\_i) 的 2 倍。

软件应将这 3 个部分确定的值相加, 并写入 MAC 时间戳入口校正纳秒寄存器的 TSIC 字段。

*注: 写入寄存器的值必须是负值 (二进制补码), 因为它必须从捕获的时间戳中减去。MAC 接收器将寄存器中的值与捕获的时间戳相加, 然后将结果值作为接收数据包的时间戳。*

当 MAC 时间戳控制寄存器中的 TSCTRLSSR 位置 1 时, 捕获的时间戳的纳秒字段为十进制格式, 粒度为 1ns。因此, 必须将 TSIC 的 bit31 设置为 1 (表示负值), 并以二进制形式写入 bits[30:0], 表示 "10<sup>9</sup>- 总入口校准值[纳秒部分]"。例如, 如果所需的校准值为 -5ns, 则值为 0xBB9A\_C9FB。

当 MAC 时间戳控制寄存器中的 TSCTRLSSR 位复位时, 捕获的时间戳的纳秒字段为二进制格式, 粒度为 ~0.466ns。因此, bits[30:0] 必须写为 "2<sup>31</sup> - 总入口校准值", 用二进制表示, bit[31] = 1。

#### 出口校准

在发送端, 与端口边界输出该数据包 SFD 位的时间相比, 内部快照点捕获的时间戳要早 (时间提前)。因此,

捕获的时间戳必须根据出口延迟和 CDC 采样误差进行补偿。该校正值必须由软件确定/计算,并写入 MAC 时间戳出口校正纳秒寄存器。

校准值由以下 3 部分组成:

1. 内核输出与端口和网络边界之间 PHY 层的外部延迟。

如果 PHY 符合 IEEE 802.3 Clause 45 MMD 寄存器的规定,它就有个寄存器指示最大和最小出口延迟。软件可以读取这些寄存器并确定 PHY 的平均出口延迟。或者(如果 PHY 不支持这些寄存器),必须根据其数据表或定时特性确定出口延迟。

2. 从内部捕获点到内核输出的内部延迟。

可从 MAC 时间戳出口时延寄存器中读出内部出口延迟。这是一个只读寄存器,以 IEEE 1588 Clause 5.3.2 中定义的比例纳秒格式给出延迟。延迟时间因有效 PHY 接口(RMII)和运行速度而异。因此,软件必须在 MAC 速度发生变化后读取该寄存器,以确定当前的内部延迟。

3. CDC 同步误差。

CDC 同步误差值因单步时间戳模式而异。使能"一步时间戳"模式时,其值等于  $(1 * \text{clk\_ptp\_ref\_i 的周期} + 4 * \text{clk\_tx\_i 的周期})$ 。否则(两步时间戳模式),值等于  $(-2 * \text{clk\_ptp\_ref\_i 的周期})$ 。

### 47.5.6.5 PTP 处理和控制

表 47-18 显示了 PTP 报文的通用报文头。此格式摘自 IEEE 1588-2008。

表 47-18 PTP 消息格式

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Octet	Offset
transportSpecific				messageType				1	0
Reserved				versionPTP				1	1
messageLength								2	2
domainNumber								1	4
Reserved								1	5
flagField								2	6
correctionField								8	8
Reserved								4	16
sourcePortIdentity								10	20
sequenceId								2	30
controlField <sup>(1)</sup>								1	32
logMessageInterval								1	33

1. controlField 用于版本 1。在版本 2 中,信息类型字段用于检测不同的信息类型。

以太网有效载荷中有一些字段可以用来检测 PTP 数据包类型和控制要拍摄的快照。这些字段对于以下 PTP 数据包是不同的:

#### 基于 IPv4 的 PTP 数据包

表 47-19 提供了 IEEE 1588 版本 1 和 2 通过 UDP 基于 IPv4 发送的 PTP 数据包与控制快照匹配的字段信息。标记数据包的八位位组位置偏移了 4。这是基于 IEEE 1588-2008 和表 47-18 中定义的报文格式。

**表 47-19 IPv4-UDP PTP 数据包控制和状态所需字段**

匹配的字段	八位位组位置	匹配值	描述
MAC 数据包类型	12,13	0x0800	IPv4 数据报
IP 版本和头长度	14	0x45	IP 版本是 IPv4
第 4 层协议	23	0x11	UDP
IP 多播地址 (IEEE 1588 版本 1)	30,31,32,33	0xE0, 0x00, 0x01, 0x81 (/0x82/0x83/0x84)	允许的多播 IPv4 地址: <ul style="list-style-type: none"> <li>■ 224.0.1.129</li> <li>■ 224.0.1.130</li> <li>■ 224.0.1.131</li> <li>■ 224.0.1.132</li> </ul>
IP 多播地址 (IEEE 1588 版本 2)	30,31,32,33	0xE0, 0x00, 0x01, 0x81 0xE0, 0x00, 0x00, 0x6B	<ul style="list-style-type: none"> <li>■ PTP Primary 多播地址: 224.0.1.129</li> <li>■ PTP Pdelay 多播地址: 224.0.0.107</li> </ul>
UDP 目的端口	36,37	0x013F, 0x0140	<ul style="list-style-type: none"> <li>■ 0x013F: PTP 事件消息<sup>(1)</sup></li> <li>■ 0x0140: PTP 通用消息</li> </ul>
PTP 控制字段 (IEEE 1588 版本 1)	74	0x00, 0x01, 0x02, 0x03, 0x04	<ul style="list-style-type: none"> <li>■ 0x00: SYNC</li> <li>■ 0x01: Delay_Req</li> <li>■ 0x02: Follow_Up</li> <li>■ 0x03: Delay_Resp</li> <li>■ 0x04: Management</li> </ul>
PTP 消息类型字段 (IEEE 1588 版本 2)	42 (半字节)	0x0, 0x1, 0x2, 0x3, 0x8, 0x9, 0xB, 0xC, 0xD	<ul style="list-style-type: none"> <li>■ 0x0: SYNC</li> <li>■ 0x1: Delay_Req</li> <li>■ 0x2: Pdelay_Req</li> <li>■ 0x3: Pdelay_Resp</li> <li>■ 0x8: Follow_Up</li> <li>■ 0x9: Delay_Resp</li> <li>■ 0xA: Pdelay_Resp_Follow_Up</li> <li>■ 0xB: Announce</li> <li>■ 0xC: Signaling</li> <li>■ 0xD: Management</li> </ul>
PTP 版本	43 (半字节)	0x1/0x2	<ul style="list-style-type: none"> <li>■ 0x1: PTP 版本 1</li> <li>■ 0x2: PTP 版本 2</li> </ul>

1. PTP 事件报文为 SYNC、Delay\_Req (IEEE 1588 版本 1 和 2) 或 Pdelay\_Req、Pdelay\_Resp (仅限 IEEE 1588 版本 2)。

### 基于 IPv6 的 PTP 数据包

表 47-20 提供了 IEEE 1588 版本 1 和 2 通过 UDP 基于 IPv6 发送的 PTP 数据包与控制快照匹配的字段信息。标记数据包的八位位组位置偏移了 4。这是基于 IEEE 1588-2008 和表 47-18 中定义的报文格式。

**表 47-20 IPv6-UDP PTP 数据包控制和状态所需字段**

匹配的字段	八位位组位置	匹配值	描述
MAC 数据包类型	12,13	0x86DD	IP 数据报

匹配的字段	八位位组位置	匹配值	描述
IP 版本	14	0x6	IP 版本是 IPv6
第 4 层协议	20 <sup>(1)</sup>	0x11	UDP
PTP 多播地址	38~53	FF0x:0:0:0:0:0:0:181 (Hex) FF02:0:0:0:0:0:0:6B (Hex)	<ul style="list-style-type: none"> <li>■ PTP Primary 多播地址： FF0x:0:0:0:0:0:0:181 (Hex)</li> <li>■ PTP Pdelay 多播地址： FF02:0:0:0:0:0:0:6B (Hex)</li> </ul>
UDP 目的端口	56,57a	0x013F, 0x0140	<ul style="list-style-type: none"> <li>■ 0x013F: PTP 事件消息<sup>(1)</sup></li> <li>■ 0x0140: PTP 通用消息</li> </ul>
PTP 控制字段 (IEEE 1588 版本 1)	94a	0x00, 0x01, 0x02, 0x03, 0x04	<ul style="list-style-type: none"> <li>■ 0x00: SYNC</li> <li>■ 0x01: Delay_Req</li> <li>■ 0x02: Follow_Up</li> <li>■ 0x03: Delay_Resp</li> <li>■ 0x04: Management (版本 1)</li> </ul>
PTP 消息类型字段 (IEEE 1588 版本 2)	62a (半字节)	0x0, 0x1, 0x2, 0x3, 0x8, 0x9, 0xB, 0xC, 0xD	<ul style="list-style-type: none"> <li>■ 0x0: SYNC</li> <li>■ 0x1: Delay_Req</li> <li>■ 0x2: Pdelay_Req</li> <li>■ 0x3: Pdelay_Resp</li> <li>■ 0x8: Follow_Up</li> <li>■ 0x9: Delay_Resp</li> <li>■ 0xA: Pdelay_Resp_Follow_Up</li> <li>■ 0xB: Announce</li> <li>■ 0xC: Signaling</li> <li>■ 0xD: Management</li> </ul>
PTP 版本	63 (半字节)	0x1/0x2	<ul style="list-style-type: none"> <li>■ 0x1: PTP 版本 1</li> <li>■ 0x2: PTP 版本 2</li> </ul>

1. PTP 数据包未定义扩展头。

### 基于以太网的 PTP 数据包

表 47-21 提供了 IEEE 1588 版本 1 和 2 基于以太网发送的 PTP 数据包与控制快照匹配的字段信息。标记数据包的八位位组位置偏移了 4。这是基于 IEEE 1588-2008 和表 47-18 中定义的报文格式。

表 47-21 以太网 PTP 数据包控制和状态所需字段

匹配的字段	八位位组位置	匹配值	描述
MAC 目的多播地址 <sup>(1)</sup>	0~5	01-1B-19-00-00-00 01-80-C2-00-00-0E	所有 PTP 报文均可使用以下任意组播地址： <ul style="list-style-type: none"> <li>■ 01-1B-19-00-00-00</li> <li>■ 01-80-C2-00-00-0E<sup>(2)</sup></li> </ul>
MAC 数据包类型	12,13	0x88F7	PTP 以太网数据包

匹配的字段	八位位组位置	匹配值	描述
PTP 控制字段 (IEEE 1588 版本 1)	46	0x00, 0x01, 0x02, 0x03, 0x04	<ul style="list-style-type: none"> <li>■ 0x00: SYNC</li> <li>■ 0x01: Delay_Req</li> <li>■ 0x02: Follow_Up</li> <li>■ 0x03: Delay_Resp</li> <li>■ 0x04: Management</li> </ul>
PTP 消息类型字段 (IEEE 1588 版本 2)	14 (半字节)	0x0, 0x1, 0x2, 0x3, 0x8, 0x9, 0xB, 0xC, 0xD	<ul style="list-style-type: none"> <li>■ 0x0: SYNC</li> <li>■ 0x1: Delay_Req</li> <li>■ 0x2: Pdelay_Req</li> <li>■ 0x3: Pdelay_Resp</li> <li>■ 0x8: Follow_Up</li> <li>■ 0x9: Delay_Resp</li> <li>■ 0xA: Pdelay_Resp_Follow_Up</li> <li>■ 0xB: Announce</li> <li>■ 0xC: Signaling</li> <li>■ 0xD: Management</li> </ul>
PTP 版本	15 (半字节)	0x1/0x2	<ul style="list-style-type: none"> <li>■ 0x1: PTP 版本 1</li> <li>■ 0x2: PTP 版本 2</li> </ul>

1. 如果 MAC 时间戳控制寄存器的 TSENMACADDR 位被置 1, 则使用编入 MAC 地址 0~3 的目的地址 (DA) 的单播地址匹配。
2. MAC 不会将带有 Peer delay 多播地址 (01-80-C2-00-00-0E) 的 PTP 版本 1 报文视为有效的 PTP 报文。

#### 47.5.6.6 发送路径功能

当数据包的起始数据包定界符 (SFD) 在 GMII/MII 接口上发送时, MAC 会捕获一个时间戳。必须捕获时间戳的数据包可按数据包进行控制。每个发送数据包都可以做标记, 以表明是否要采集时间戳。

MAC 不会处理发送的数据包来识别 PTP 数据包。需要指定要捕获时间戳的数据包。可以使用发送描述符中的控制位来指定数据包。MAC 会将时间戳返回给相应发送描述符中的软件, 从而将时间戳自动连接到特定的 PTP 数据包。

64 位时间戳信息被写入 TDES0 和 TDES1 字段。TDES0 字段保存时间戳的 32 个最低有效位。

#### 47.5.6.7 接收路径功能

可以对 MAC 进行编程, 以捕获 GMII/MII 接口上接收到的所有数据包的时间戳, 或处理数据包以识别有效的 PTP 报文。使用 MAC 时间戳控制寄存器的下列选项来控制发送给应用程序的时间快照:

- 使能所有数据包的快照。
- 使能 IEEE 1588 版本 1 或版本 2 时间戳快照。
- 使能直接通过以太网或 UDP-IP-Ethernet 传输的 PTP 数据包的时间快照。
- 使能接收 IPv4 或 IPv6 数据包的时间戳快照。
- 使能仅对 EVENT 消息 (SYNC、DELAY\_REQ、PDELAY\_REQ 或 PDELAY\_RESP) 的时间戳快照。
- 使能节点为主节点或从节点, 并选择快照类型。此功能可控制快照的报文类型。

注：以太网外设也支持基于 VLAN 数据包的 PTP 消息。

表 47-22 时间戳快照与 ETH\_MACTSCTRL 寄存器的关系

SNAPTYPSEL	TSMSTRENA	TSEVNTENA	PTP 消息
00	x	0	SYNC, Follow_Up, Delay_Req, Delay_Resp
00	0	1	SYNC
00	1	1	Delay_Req
01	x	0	SYNC, Follow_Up, Delay_Req, Delay_Resp, Pdelay_Req, Pdelay_Resp, Pdelay_Resp_Follow_Up
01	0	1	SYNC, Pdelay_Req, Pdelay_Resp
01	1	1	Delay_Req, Pdelay_Req, Pdelay_Resp
10	x	x	SYNC, Delay_Req
11	x	x	Pdelay_Req, Pdelay_Resp

DMA 会将时间戳返回给相应接收描述符内的软件。包含时间戳信息状态和 IPC 状态的扩展状态写入正常描述符 RDES1 字段，时间戳快照写入上下文描述符的 RDES0 和 RDES1 字段。RDES0 字段保存时间戳的 32 个最低有效位。

#### 47.5.6.8 IEEE 1588 系统时间源

要获得时间快照，MAC 需要 IEEE 1588-2002 中定义的 64 位格式（IEEE 1588-2008 中定义的 80 位格式）的参考时间。以太网外设只接收参考时钟输入，并利用它在内部生成参考时间（也称为系统时间）和捕获时间戳。当内部参考时间作为系统时间源时，时间戳包含以下字段：

##### ■ UInteger48 secondsField

secondsField 是以秒为单位的时间戳的整数部分。宽度为 48 位。例如，2.000000001 秒表示为 secondsField = 0x0000\_0000\_0002。

##### ■ UInteger32 nanoSecondsField

nanoSecondsField 是以纳秒为单位的时间戳的小数部分。例如，2.000000001 秒表示纳秒为 0x0000\_0001。

纳秒字段支持以下两种模式：

- 数字翻转模式：在该模式下，纳秒字段的最大值为 0x3B9A\_C9FF，即（10e9-1）纳秒。
- 二进制翻转模式：在该模式下，纳秒字段在值 0x7FFF\_FFFF 后翻转并递增秒字段。精确度为每比特~0.466 毫微秒。

#### 47.5.6.9 系统时间寄存器模块

80 位时间保存在该模块中，并通过输入参考时钟（clk\_ptp\_ref\_i）进行更新。该时间是 GMII/MII 接口收发以太网数据包快照（时间戳）的来源。

系统时间计数器可使用粗略校正方法进行初始化或校正。在这种方法中，初始值或偏移值被写入时间戳更新寄存器。初始化时，系统时间计数器写入时间戳更新寄存器中的值。在系统时间校正时，偏移值将与系统时间相加或相减。

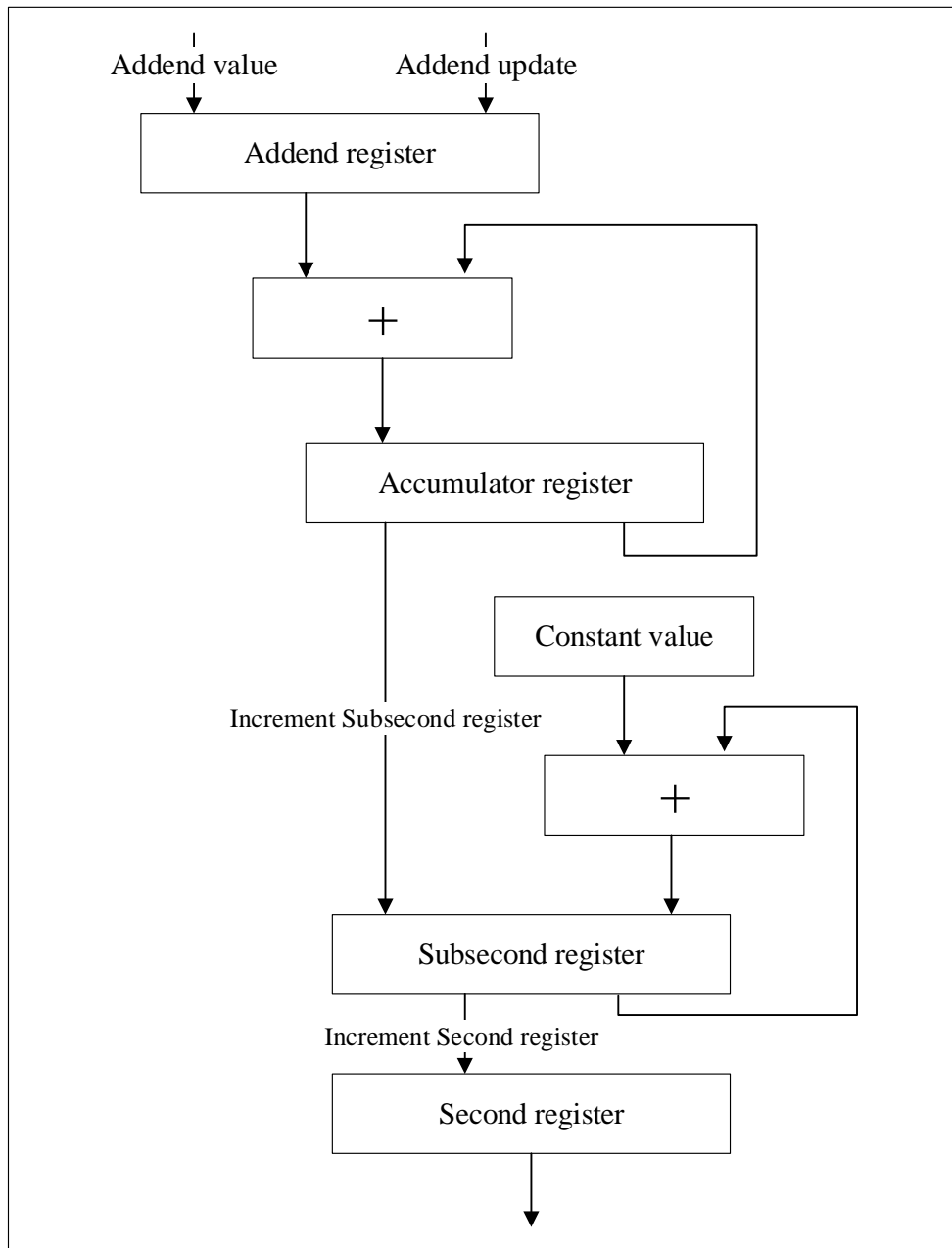
在精密校正方法中，从时钟（clk\_ptp\_ref\_i）相对于主时钟的频率偏移和/或频率漂移（如 IEEE 1588-2002 所定义）将在一段时间内进行校正，而不是像粗略校正那样在一个时钟内进行校正。这有助于保持线性时间，并且不会在 PTP 同步信息间隔之间的参考时间中引入剧烈变化（或较大抖动）。在这种方法中，累加器对添



加寄存器的内容进行累加，如图 47-17 所示。累加器产生的算术进位被用作系统时间计数器的增量脉冲。累加器和加法器都是 32 位寄存器。累加器充当高精度乘法器或除法器。

注：连接 PTP 时钟的频率必须高于指定精度所需的频率。

图 47-17 使用精密方法更新系统时间



系统时间更新逻辑需要 50MHz 的时钟频率才能达到 20ns 的精度。分频是基准时钟频率与所需时钟频率之比。例如，如果参考时钟 (clk\_ptp\_ref\_i) 为 66MHz，则该比率的计算公式为  $66\text{MHz} / 50\text{MHz} = 1.32$ 。因此，寄存器中默认设置的附加值为  $2^{32} / 1.32$ ，即 0xC1F07C1F。

如果参考时钟向下漂移，例如漂移到 65MHz，则比率为 65/50，即 1.3，寄存器中应设置的附加值为  $2^{32} / 1.30$ ，即 0xC4EC4EC4。如果时钟向上漂移，例如漂移到 67MHz，则附加寄存器必须设置为 0xBF0B7672。当时钟漂移为零时，必须编程设置默认附加值  $2^{32} / 1.32$ 。

在图 47-17 中，用于累加亚秒寄存器的常数值为十进制 43，系统时间的精度为 20ns（换句话说，以 20ns 为

单位递增)。软件必须根据同步信息计算频率漂移，并相应地更新 Addend 寄存器。

最初，从时钟是通过 Addend 寄存器中的 FreqCompensationValue0 设置的。该值如下：

$$\text{FreqCompensationValue0} = 2^{32}/\text{FreqDivisionRatio}$$

如果最初假定连续同步信息的 MasterToSlaveDelay 相同，则必须采用本节给出的算法。经过几个同步周期后，就会出现频率锁定。然后，从时钟可以确定一个精确的 MasterToSlaveDelay 值，并使用新值与主时钟重新同步。

该算法如下：

- 在 MasterSyncTime<sub>n</sub> 时间，主时钟向从时钟发送同步信息。从时钟收到该信息时，其本地时钟为 SlaveClockTime<sub>n</sub>，并按以下方式计算 MasterClockTime<sub>n</sub>：

$$\text{MasterClockTime}_n = \text{MasterSyncTime}_n + \text{MasterToSlaveDelay}_n$$

- 当前同步周期的主时钟计数 MasterClockCount<sub>n</sub> 为：

$$\text{MasterClockCount}_n = \text{MasterClockTime}_n - \text{MasterClockTime}_{n-1} \quad (\text{假设同步周期 } n \text{ 和 } n-1 \text{ 的 MasterToSlaveDelay 相同})$$

- 当前同步周期的从时钟计数 SlaveClockCount<sub>n</sub> 为：

$$\text{SlaveClockCount}_n = \text{SlaveClockTime}_n - \text{SlaveClockTime}_{n-1}$$

- 当前同步周期的主时钟计数和从时钟计数之差，即 ClockDiffCount<sub>n</sub> 为：

$$\text{ClockDiffCount}_n = \text{MasterClockTime}_n - \text{SlaveClockTime}_n$$

- 从时钟的频率缩放因子，即 FreqScaleFactor<sub>n</sub> 为：

$$\text{FreqScaleFactor}_n = (\text{MasterClockCount}_n + \text{ClockDiffCount}_n) / \text{SlaveClockCount}_n$$

- Addend 寄存器的频率补偿值 FreqCompensationValue<sub>n</sub> 为：

$$\text{FreqCompensationValue}_n = \text{FreqScaleFactor}_n \times \text{FreqCompensationValue}_{n-1}$$

理论上，该算法可在一个同步周期内实现锁定。不过，由于网络传播延迟和运行条件不断变化，可能需要几个周期。该算法具有自校正功能。如果从时钟最初被设置为主时钟的错误值，该算法会以更多同步周期为代价进行修正。

#### 47.5.6.10 IEEE 1588 高字寄存器

MAC 中保存的时间戳位宽为 64 位。秒寄存器的高 16 位每 130 年溢出一次。可以从 CSR 寄存器读取秒寄存器高 16 位的值。

#### 47.5.6.11 IEEE 1588 辅助快照

通过辅助快照功能，可以根据外部事件存储系统时间快照。事件被视为 ptp\_aux\_ts\_trig\_i[3:0] 边带信号的上升沿。最多可配置 4 个辅助快照输入。

任何输入的快照都存储在一个通用的 FIFO 中。应用程序可以通过读取 MAC 时间戳状态寄存器，了解 FIFO 顶部可供读取的输入的时间戳。

MAC 将这些快照存储在 FIFO 中。FIFO 中只存储 64 位的时间戳。当 MAC 系统时间高字秒寄存器存在时，可以从该寄存器读取秒的高 16 位。存储快照时，MAC 会通过中断向应用程序发出指示。快照值通过访问 FIFO 寄存器（MAC 辅助时间戳秒寄存器和 MAC 辅助时间戳纳秒寄存器）读取。如果 FIFO 已满，且外部

触发了快照，则会在 MAC 时间戳状态寄存器中设置快照触发丢失状态 (ATSSTM)。这表明 FIFO 中未存储时间戳的最新辅助快照。当 FIFO 已满时，最新快照不会写入 FIFO。

当应用程序从 FIFO 中读取 64 位时间戳时，空间就可用来存储下一个快照。可以通过设置 MAC 辅助控制寄存器中的 ATFC 位来清除 FIFO。当 FIFO 中存在多个快照时，计数会在 MAC 时间戳状态寄存器的位 [27:25] 中显示。

### 47.5.6.12 灵活秒脉冲输出

以太网外设可灵活地对 ptp\_pps\_o 输出上产生的脉冲的开始或停止时间、宽度和间隔进行编程。

*注：默认情况下，以太网外设处于“固定秒脉冲输出”模式（简称固定模式），指示 1 秒间隔。当通过设置 MAC PPS 控制寄存器中的 PPSSEN0 为 0 来选择固定模式时，所有 PPS 的输出均由 PPSCTRL\_PPSCMD 字段中的编程值控制。在固定模式下，不支持对单个 PPS 输出进行独立控制。MAC PPS 目标时间秒纳秒寄存器仅用于生成目标时间到达中断；不用于生成 PPS 输出。TRGTMODSEL0 必须编程为 0。PPS 输出频率可通过设置 MAC PPS 控制寄存器中的 PPSCTRL0 字段进行更改。*

灵活 PPS 输出支持以下功能：

- 以系统时间为单位编程启动或停止时间。
- 以 64 位系统时间为单位编程单脉冲的起始点以及脉冲串的起始点和停止点。目标时间寄存器用于编程启动和停止时间。
- 提前对停止时间进行编程，即在实际启动时间结束前对停止时间进行编程。
- 以 MAC 亚秒增量寄存器中编程的亚秒增量值的单位数来编程 PPS 信号输出的上升沿和相应的下降沿之间的宽度。可以在  $1 \sim 2^{32}-1$  个单位的亚秒增量值之间对脉冲宽度进行编程。
- 编程 PPS 信号上升沿之间的间隔，单位为亚秒级增量值。可以在  $1 \sim 2^{32}-1$  个单位的亚秒增量值之间对脉冲间隔进行编程。
- 取消已编程 PPS 启动或停止请求。
- 如果编程的启动或停止时间已过，则会出错。

*注：下文中提到的 PTP 参考时钟是更新系统时间的时钟。当 MAC 时间戳控制寄存器的 TSCFUPDT 位设置为 0 时，该时钟与 clk\_ptp\_ref\_i 时钟类似。在精密校正模式下，这是更新系统时间的时钟刻度（使用 MAC 亚秒增量寄存器（如图 47-17 所示））。*

#### PPS 开始或停止时间

初始启动时间可在目标时间寄存器中进行编程。

如果需要，可以再次编程开始或停止时间，但必须在先前编程的值与 PTP 时钟域同步后才能进行。MAC PPS 目标时间纳秒寄存器的 bit31 表示同步已完成。这使得可以在先前的停止或启动时间尚未结束之前，提前对启动或停止时间进行编程。

为确保正确的 PPS 信号输出，应为启动或停止时间编程高级系统时间。如果应用程序编制的启动或停止时间已过，则 MAC 会设置一个错误状态位，显示编程错误。如果使能，MAC 还会设置“目标时间已达”中断事件。只有在相应的启动或停止时间未过的情况下，应用程序才能取消启动或停止请求。如果时间已过，取消命令则无效。

#### PPS 宽度和间隔

PPS 宽度和间隔以系统时间的粒度（即亚秒级增量值的单位数）进行编程。例如，如果 PTP 参考时钟为 50MHz，

PPS 脉冲宽度为 40ns，间隔为 100ns，则应将宽度和间隔分别编程为 2 和 5。可以通过使用更快的 PTP 参考时钟来实现更小的粒度。

在 PPS 输出上发出触发脉冲或脉冲串的命令之前，应编程或更新 PPS 信号输出的间隔和宽度。

### 47.5.6.13 PTP 时间戳减荷

当 MAC 作为 PTP 网络中的特定节点工作时，PTP 时间戳减荷功能使其能自动生成特定的 PTP 数据包。

这些数据包可以定期生成，也可以由主机软件触发。在其他模式下，该功能可在接收器上解析传入的 PTP 数据包，并自动生成和响应所需的 PTP 数据包。这有助于以更高的精度和更低的响应延迟为某些 PTP 节点功能减荷。

根据编程模式，MAC 会定期生成 PTP 以太网消息，或从应用程序生成，或根据特定 PTP 报文的接收情况生成。

表 47-23 列出了 PTP 消息生成标准。

表 47-23 PTP 消息生成标准

SNAPTYPSEL	TSMSTRENA	TSEVNTENA	模式	生成 PTP 消息的条件	生成 PTP 消息的类型
2'b00	0	1	普通/边界从模式	接收到 SYNC 消息	Delay_Req
2'b00	1	1	普通/边界主模式	定期生成/由应用程序触发	SYNC
				接收到 Delay_Req 消息	Delay_Resp
2'b01	0	1	透明从模式	定期生成/由应用程序触发	Pdelay_Req
				接收到 Pdelay_Req 消息	Pdelay_Resp
				接收到 SYNC 消息	Delay_Req
2'b01	1	1	透明主模式	定期生成/由应用程序触发	Pdelay_Req
				接收到 Pdelay_Req 消息	Pdelay_Resp
				定期生成/由应用程序触发	SYNC
				接收到 Delay_Req 消息	Delay_Resp
2'b11	x	x	点对点透明模式	定期生成/由应用程序触发	Pdelay_Req
				接收到 Pdelay_Req 消息	Pdelay_Resp

所有其他编程组合对应 PTP 减荷功能均无效。

*注：根据 IEEE 1588-2008 规范，支持对等延迟机制的时钟不得生成延迟请求/延迟响应信息。不过，以太网控制器通过一个可编程控制位 (DRRDIS) 支持这种灵活性。可以使用 DRRDIS 位来控制延迟请求/延迟响应信息的响应生成。例如，在透明从模式下，只有当该位被复位时，才会生成延迟请求以响应接收到的同步。*

例如，当 MAC 被设置为 PTP 网络中的普通或边界从时钟时，它可以通过自动生成和发送相应的 Delay\_Req 消息来响应 SYNC 消息的接收。同样，其他各种操作模式的说明见表 47-23。

MAC 支持以组播通信模式生成 SYNC 和 Pdelay\_Req PTP 消息。如：生成的以太网 PTP 数据包的目的地址字段是定义的特殊组播地址 (0x011B19000000 用于除对等延迟机制消息以外的所有消息，0x0180C200000E 用于对等延迟机制消息)。

当 MAC 以特殊组播目的地址响应接收到的 SYNC、Delay\_Req 和 Pdelay\_Req PTP 消息时，也会在自动生成的 Delay\_Req、Delay\_Resp 和 Pdelay\_Resp PTP 消息的 DA 字段中分别使用相应的特殊组播地址。

当 MAC 以单播目的地址响应接收到的 SYNC、Delay\_Req 和 Pdelay\_Req PTP 消息时，它将接收到的数据包

的 SA 字段分别作为自动生成的 Delay\_Req、Delay\_Resp 和 Pdelay\_Resp PTP 消息的 DA 字段。

与此同时，所有接收到的 PTP 消息都会连同 Rx 状态一起转发给应用程序，表明如果符合 MAC 接收器的数据包过滤逻辑，响应是否由 MAC 生成。

当 MAC 自动生成 Pdelay\_Req 或响应 Delay\_Req 时，这两个 PTP 消息的出口时间戳会在 Tx TS 状态（Tx 时间戳状态寄存器和生成的中断）中提供。

除了为基本以太网 PTP 消息检测匹配的 messageType 和 versionPTP 字段外，还要匹配以下附加字段，以确定接收到的 PTP 消息类型：

1. 检查 domainNumber 字段是否与 CSR 中编程的值匹配。
2. 检查 flagField 字段中的 twoStepFlag 是否为单步指示（1'b0）。
3. 在使能时，检查 transportSpecific 字段是否为默认以太网 PTP（4'h0）或 802.1AS 模式（4'h1）。

### PTP 数据包生成

下文介绍启用该模式后 MAC 自动生成的 PTP 数据包的格式和内容。并提供了通用 PTP 消息头的模板，以及生成的特定 PTP 数据包字段的详细说明，关于 PTP 消息头的各字段见表 47-18。

#### ■ messageType

以下编码值用于 PTP 消息类型：

- SYNC: 0000
- Delay\_Req: 0001
- Pdelay\_Req: 0010
- Pdelay\_Resp: 0011
- Delay\_Resp: 1001

#### ■ transportSpecific

以下编码值用于传输协议：

- 基于以太网的 PTP: 0000
- 802.1AS 模式: 1111

#### ■ versionPTP

该字段总是设置为 2，因为支持 PTP 版本 2。

#### ■ domainNumber

该字段包含来自 MAC PTO 控制寄存器的值。

#### ■ flagField

使用以下值：

- alternateMasterFlag (bit0): 1'b0，用于 SYNC 和 Delay\_Resp
- twoStepFlag (bit1): 1'b0，用于 SYNC 和 Pdelay\_Resp
- unicastFlag (bit2): 1'b0 表示多播地址，1'b1 表示单播地址

#### ■ correctionField

更多信息如表 47-24 所示。

#### ■ sourcePortIdentity

该字段采用在 MAC 源端口标识 x 寄存器中编程的值 (x = 0,1,2)。

#### ■ sequenceId

Pdelay\_Resp 和 Delay\_Resp 使用接收到的 Pdelay\_Req 和 Delay\_Req PTP 消息中的相同序列字段。对于 SYNC/Delay\_Req、Pdelay\_Req, 会保留一个单独的序列码计数器。每次生成和传输相应的消息时, 这些序列码计数器都会递增 1。

#### ■ controlField

以下编码值用于 controlField:

- SYNC: 0000 0000
- Delay\_Req: 0000 0001
- Pdelay\_Req: 0000 0010
- Pdelay\_Resp: 0000 0101
- Delay\_Resp: 0000 0011

#### ■ logMessageInterval

- SYNC: 此项包含相应 MAC 日志消息间隔寄存器中的 logSyncInterval 值。
- Delay\_Resp: 包含 DRSYNCR 和 logSyncInterval 值的总和, 组播 PTP 消息时 logSyncInterval 的值取自 MAC 日志消息间隔寄存器, 单播 PTP 消息时为 8'h7F。
- Delay\_Req、Pdelay\_Req 和 Pdelay\_Resp: 8'h7F。其中  $\log\text{SyncInterval} = \log_2$  (间隔的平均值, 秒)。

MAC 支持 logSyncInterval 字段的值为: -15~15, 即 32.768 微秒( $2^{-15}$ )~ $2^{15}$  秒范围。对于给定的日志同步间隔 (N) 值, 两个 SYNC 数据包之间的时间间隔如下所示:

- $2^{(30+N)}$  毫微秒, 当 N 为负值时 (-1~-15)
- $2^N$  秒, 当 N 为正值时 (0~15)

例如:

- 当 logSyncInterval 设置为 1 时, 间隔为  $2^1$ ; 因此 SYNC 信息每 2 秒发送一次。
- 当 logSyncInterval 设置为 -1 时, 间隔为  $2^{-1} = 0.536$  秒; 因此 SYNC 信息每 536 毫秒发送一次。该值为 0.536 秒, 因为  $2^{-30} = 1\text{ns}$ 。
- 当 logSyncInterval 设置为 -5 时, 间隔为  $2^{-5} = 33.55$  毫秒; 因此 SYNC 信息每 33.55 毫秒发送一次。

*注: MAC 使用 PTP 系统时间生成定期数据包传输的时间间隔。对于已编程的日志信息间隔的负值, 由于系统时间纳秒字段的非二进制性质, 生成的周期可能会偏离等式  $2^{(30+N)}$  所给出的值。*

#### ■ messageLength

不支持后缀, 因此该字段包含 PTP 消息的长度, 其中包括 34 字节的 PTP 通用消息头和特定于消息类型的主体。

对于 SYNC 和 Delay\_Req 数据包，该字段为 44，而对于 Delay\_Resp、Pdelay\_Req 和 Pdelay\_Resp，该字段为 54。

■ **originTimestamp**

该字段是捕获的 SYNC、Delay\_Req 和 Pdelay\_Req PTP 消息的出口时间戳。

■ **receiveTimestamp**

对于 Delay\_Resp PTP 消息，该字段是相应接收到的 Delay\_Req PTP 消息的入口时间戳。

■ **请求端口标识**

对于 Delay\_Resp 和 Pdelay\_Resp PTP 消息，该字段是从相应接收到的 Delay\_Req 和 Pdelay\_Req PTP 消息中提取的源端口标识字段。

■ **requestReceiptTimestamp**

对于 Pdelay\_Resp PTP 消息，该字段设置为 0。

### 47.5.6.14 一步时间戳

以太网外设支持一步时间戳功能。当一步时间戳功能使能时，MAC 会识别数据包中的偏移量，并在该偏移量处插入从应用程序接收到的时间戳。

#### MAC 发送 PTP 模式

根据消息类型及其模式，MAC 会更新发送 PTP 消息的以下字段：

■ 消息的 PTP 头中的 correctionField

■ SYNC、Delay\_Req 和 Pdelay\_Req 消息中的 originTimestamp

表 47-24 显示了如何根据 MAC 时间戳控制寄存器的 SNAPTYPSEL、TSMSTRENA 和 TSEVNTENA 位的设置选择 PTP 模式，以及在一步时间戳操作过程中根据该模式下的消息类型更新传入 PTP 数据包的字段。

表 47-24 MAC 发送 PTP 模式和一步时间戳操作<sup>(1)</sup>

SNAPTYPSEL	TSMSTRENA	TSEVNTENA	模式	TTSE <sup>(2)</sup>	OSTC <sup>(3)</sup>	TTS <sup>(4)</sup>	Tx 路径上的消息处理
x	x	x	N/A	1	x	x	捕获时间戳并返回给应用程序
x	x	x	N/A	x	0	x	未执行 OST 操作 (PTP 数据包未修改)
2'b00	x	0	点对点透明模式	0	1	入口 TS	Sync (停留时间和入口误差校正字段) Delay_Req (停留时间和出口误差校正字段)
2'b00	0	1	普通/边界从模式	1	1	x	Delay_Req (originTimestamp 字段)

SNAPTYPSEL	TSMSTRENA	TSEVNTENA	模式	TTSE <sup>(2)</sup>	OSTC <sup>(3)</sup>	TTS <sup>(4)</sup>	Tx 路径上的消息处理
							Delay_Req (出口误差校正字段)
2'b00	1	1	普通/边界主模式	0	1	x	Sync (originTimestamp 字段) Sync (亚纳秒校正字段)
2'b01	x	0	端到端透明模式, 支持对等延迟机制	0	1	入口 TS	Sync (停留时间和入口误差校正字段)
						入口 TS	Pdelay_Req (停留时间和出口误差校正字段)
						入口 TS	Pdelay_Resp (停留时间和入口误差校正字段)
2'b01	0	1	普通/边界主模式, 支持对等延迟机制或点对点透明模式模式	0	1	入口 TS	Sync (停留时间和入口误差校正字段) (仅适用于点对点透明时钟操作)
							Delay_Req (originTimestamp 字段) Delay_Req (出口误差校正字段)
							Pdelay_Req (originTimestamp 字段) Pdelay_Req (出口误差校正字段)
							Pdelay_Resp (周转时间和入口误差校正字段)
2'b01	1	1	普通/边界主模式, 支持对等延迟机制	0	1	x	Sync (originTimestamp 字段) Sync (亚纳秒校正字段)
						x	Pdelay_Req (originTimestamp 字段)



SNAPTYPSEL	TSMSTRENA	TSEVNTENA	模式	TTSE <sup>(2)</sup>	OSTC <sup>(3)</sup>	TTS <sup>(4)</sup>	Tx 路径上的消息处理		
							字段) Pdelay_Req (出口误差校正字段)		
				0	1	Pdelay_Req 入口 TS	Pdelay_Resp (周转时间和入口误差校正字段)		
2'b10	x	x	点对点透明模式模式	0	1	入口 TS	Sync (停留时间和入口误差校正字段)		
						入口 TS	Delay_Req (停留时间和出口误差校正字段)		
2'b11	x	x	点对点透明模式模式	0	1	入口 TS	Sync (停留时间和入口误差校正字段)		
						1	1	x	Pdelay_Req (originTimestamp 字段)
									Pdelay_Req (出口误差校正字段)
0	1	Pdelay_Req 入口 TS	Pdelay_Resp (周转时间和入口误差校正字段)						

1. 每个数据包控制值 (TTSE、OSTC 和 TTS) 是设备在典型 PTP 操作中针对编程模式使用的推荐设置。
2. TTSE 表示发送正常描述符的 TTSE 位。TTSE 功能独立于 OST 功能和 OST 的编程运行模式。当 TTSE 位被设置时，MAC 捕获并返回时间戳。
3. OSTC 表示发送上下文描述符的 OSTC 位。
4. TTS 表示发送正常描述符 (回写格式) 的 TTSH、TTSL 字段中提供的时间戳值。

*注：停留时间/周转时间的计算方法是捕获的时间戳 (出口时间戳) 与入口时间戳之间的差值。当使能亚纳秒功能时，停留时间的计算包括亚纳秒精度。支持对等延迟机制的时钟不使用延迟请求或响应，但为了灵活起见，OST 中包含了这一功能。*

### 一步时间戳使能

可以通过设置发送上下描述符 TDES3 中的 bit27 (OSTC) 来使能数据包的一步时间戳功能。要更新某些 PTP 数据包中的校正字段，必须在 TSSL 和 TSSH 字段中给出出入口时间戳。如果 MAC 系统时间高字秒寄存器存在，则时间戳为 80 位，还包含时间戳高字寄存器高 16 位的内容。

## 47.5.7 发送校验和减荷

在发送路径中，MAC 会计算校验和并将其插入 Tx 数据包。这一功能有助于减轻软件的负担，提高系统的

整体吞吐量。

发送校验和减荷引擎（COE）模块支持两种类型的校验和计算和插入。可以通过设置 CIC 字段（TDES3 位 [17:16]）来控制每个数据包的校验和引擎。

*注：TCP、UDP 或 ICMP 的校验和是通过完整数据包计算得出的，然后插入相应的报头字段。由于这一要求，当启用该功能时，即使配置为阈值（直通）模式，Tx FIFO 也会自动以存储转发模式运行。*

*提示：有关 IPv4、TCP、UDP、ICMP、IPv6 和 ICMPv6 数据包报头规范，请分别参见 IETF 规范 RFC 791、RFC 793、RFC 768、RFC 792、RFC 2460 和 RFC 4443。*

### 47.5.7.1 IP 报头校验和引擎

在 IPv4 数据报中，报头字段的完整性由 16 位报头校验和字段（IPv4 数据报的第 11 和第 12 字节）表示。当以太网数据包的类型字段值为 0x0800，而 IP 数据报的版本字段值为 0x4，COE 就会检测到 IPv4 数据报。在计算过程中，输入数据包的校验和字段会被忽略，取而代之的是计算值。

*注：IPv6 报头没有校验和字段。因此，COE 不会修改 IPv6 报头字段。*

IP 报头校验和计算的结果由发送状态（正常描述符回写格式 TDES3 的 bit0）中的 IP 报头错误状态位指示。如果以太网类型字段和 IP 报头的版本字段的值不一致，或者以太网数据包的数据量不足（如 IP 报头长度字段所示），则该状态位被置位。换句话说，在以下情况下出现 IP 报头错误时，该位将被置位：

- 对于 IPv4 数据报：
  - 接收的以太网类型为 0x0800，但 IP 报头的版本字段不等于 0x4。
  - IPv4 报头长度字段显示的值小于 0x5（20 字节）。
  - 数据包总长度小于 IPv4 报头长度字段中给出的值。
- 对于 IPv6 数据报：
  - 以太网类型为 0x86DD，但 IP 报头版本字段不等于 0x6。
  - 数据包在完全接收到 IPv6 报头（40 字节）或扩展报头（如扩展报头中相应的报头长度字段所示）之前结束。

### 47.5.7.2 TCP/UDP/ICMP 校验和引擎

TCP/UDP/ICMP 校验和引擎处理 IPv4 或 IPv6 报头（包括扩展报头），并确定封装的有效负载是 TCP、UDP 还是 ICMP。计算 TCP、UDP 或 ICMP 有效负载的校验和，并将其插入报头中的相应字段。Tx COE 可在以下两种模式下工作：

- TCP、UDP 或 ICMPv6 伪报头不包括在校验和计算中，而是假定存在于输入数据包的校验和字段中。该引擎在校验和计算中包含校验和字段，然后用最终计算出的校验和替换校验和字段。
- 该引擎忽略校验和字段，在校验和计算中包含 TCP、UDP 或 ICMPv6 伪报头数据，并用最终计算值覆盖校验和字段。

*注：对于 ICMP-over-IPv4 数据包，ICMP 数据包中的校验和字段在两种模式下都必须始终为 16'h0000，因为此类数据包没有定义伪报头。如果不等于 16'h0000，则可能在数据包中插入错误的校验和。*

该操作的结果由发送状态向量中的有效负载校验和错误状态位（正常描述符读格式 TDES1 的 bit12）指示。当检测到数据包在存储转发模式下被转发到 MAC 发送引擎而未将数据包尾（EOP）写入 FIFO，或在收到 IP 头中有效负载长度字段所指示的字节数之前数据包结束时，该引擎会设置有效负载校验和错误状态位。

当数据包长度超过指示的有效载荷长度时，COE 会将其作为填充字节忽略，并且不会报告错误。当该引擎检测到第一类错误时，它不会修改 TCP、UDP 或 ICMP 报头。对于第二种错误类型，它仍会将计算出的校验和插入相应的报头字段。

表 47-25 根据数据包类型描述了发送校验和减荷引擎支持的功能。当 MAC 不插入校验和时，表中显示为“否”。

表 47-25 不同数据包类型的发送校验和减荷引擎功能

数据包类型	硬件 IP 报头校验和插入	硬件 TCP/UDP 校验和插入
非 IPv4 或 IPv6 数据包	否	否
带 TCP、UDP 或 ICMP 的 IPv4	是	是
IPv4 数据包具有 IP 选项（IP 报头长度大于 20 字节）	是	是
数据包为一个 IPv4 分片	是	否
主报头或扩展报头中包含以下后续报头字段的 IPv6 数据包：		
■ 逐跳选项（在 IPv6 主报头中）	■ 不适用	■ 是
■ 逐跳选项（在 IPv6 扩展报头中）	■ 不适用	■ 否
■ 目标选项	■ 不适用	■ 是
■ 路由（剩余段为 0）	■ 不适用	■ 否
■ 路由（剩余段 > 0）	■ 不适用	■ 否
■ TCP、UDP 或 ICMP	■ 不适用	■ 是
■ 认证	■ 不适用	■ 否
■ 主报头或扩展报头中的任何其他后续报头字段	■ 不适用	■ 否
IPv4 数据包有带选项字段的 TCP 报头	是	是
IPv4 通道：		
■ IPv4 通道中的 IPv4 数据包	■ 是（IPv4 通道报头）	■ 否
■ IPv4 通道中的 IPv6 数据包	■ 是（IPv4 通道报头）	■ 否
IPv6 通道：		
■ IPv6 通道中的 IPv4 数据包	■ 不适用	■ 否
■ IPv6 通道中的 IPv6 数据包	■ 不适用	■ 否
具有 802.3ac 标签的 IPv4 数据包（使能时带有 C-VLAN 标签或 S-VLAN 标签）。	是	是
具有 802.3ac 标签的 IPv6 数据包（使能时带有 C-VLAN 标签或 S-VLAN 标签）。	不适用	是
带安全功能（例如封装的安全有效负载）的 IPv4 帧	是	否
带安全功能（例如封装的安全有效负载）的 IPv6 帧	不适用	否

## 47.5.8 接收校验和减荷

以太网外设提供接收校验和卸载引擎，用于检测接收路径上 IPv4 或 IPv6 数据包中的任何错误。MAC 将接收到的数据包的校验和字段与内部计算的校验和进行校验，并提供状态。

接收校验和卸载引擎用于通过计算报头校验和来检测 IP 数据包中的错误，并将其与接收到的报头校验和进一步匹配。该引擎还能识别接收到的 IP 数据包中的 TCP、UDP 或 ICMP 有效负载，并适当计算这些有效负载的校验和。

在这里，接收到的以太网数据包中的 IPv4 和 IPv6 数据包都会被检测出来，并进行数据完整性处理。MAC

接收器通过检查接收到的以太网数据包类型字段中的值 0x0800 或 0x86DD，来分别识别为 IPv4 或 IPv6 数据包。这种识别方法适用于单 VLAN 标签数据包。当使能双 VLAN 处理（设置了 MAC VLAN 标签寄存器的 EDVLP 位时），它也适用于双 VLAN 标记数据包。

Rx COE 会计算 IPv4 报头校验和，并检查它们是否与接收到的 IPv4 报头校验和相匹配。这一操作的结果（通过或未通过）将提供给 RFC 模块，以便插入到接收状态字中。如果指示的有效负载类型（以太网类型字段）与 IP 报头版本不匹配，或接收的数据包没有足够的字节（如 IPv4 报头的长度字段所示）（或 IPv4 或 IPv6 报头中可用的字节少于 20 个），则设置 IP 报头错误位。

当 MTL 接收队列操作模式寄存器中的 DISTCPEF 位被复位且 FEP 位被置 1 时，MTL 会丢弃有 TCP/IP 错误（报头或有效负载）的数据包。

该引擎还能识别接收到的 IP 数据报（IPv4 或 IPv6）中的 TCP、UDP 或 ICMP 有效负载，并按照 TCP、UDP 或 ICMP 规范的规定正确计算这些有效负载的校验和。该引擎包括用于计算校验和的 TCP、UDP 或 ICMPv6 伪报头字节，并检查接收到的校验和字段是否与计算值一致。此操作的结果将作为接收状态字中的有效负载校验和错误位给出。如果 TCP、UDP 或 ICMP 有效载荷的长度与 IP 头中给出的预期有效负载长度不匹配，也会设置该状态位。

表 47-26 根据数据包类型描述了接收校验和减荷引擎支持的功能。当未处理 IP 数据包的有效负载时（表中显示为“否”），接收状态中会给出相关信息（是否绕过校验和引擎）。

注：MAC 不会在接收到的以太网数据包中附加任何有效负载校验字节。

表 47-26 不同数据包类型的接收校验和减荷引擎功能

数据包类型	硬件 IP 报头校验和检查	硬件 TCP/UDP 校验和检查
非 IPv4 或 IPv6 数据包	否	否
带 TCP、UDP 或 ICMP 的 IPv4	是	是
IPv4 报头的协议字段包含除 TCP、UDP 或 ICMP 之外的协议	是	否
IPv4 数据包具有 IP 选项（IP 报头长度大于 20 字节）	是	是
数据包为一个 IPv4 分片	是	否
主报头或扩展报头中包含以下后续报头字段的 IPv6 数据包： <ul style="list-style-type: none"> <li>■ 逐跳选项（在 IPv6 主报头中）</li> <li>■ 逐跳选项（在 IPv6 扩展报头中）</li> <li>■ 目标选项</li> <li>■ 路由（剩余段为 0）</li> <li>■ 路由（剩余段 &gt; 0）</li> <li>■ TCP、UDP 或 ICMP</li> <li>■ 主报头或扩展报头中的任何其他后续报头字段</li> </ul>	<ul style="list-style-type: none"> <li>■ 不适用</li> <li>■ 不适用</li> <li>■ 不适用</li> <li>■ 不适用</li> <li>■ 不适用</li> <li>■ 不适用</li> <li>■ 不适用</li> </ul>	<ul style="list-style-type: none"> <li>■ 是</li> <li>■ 否</li> <li>■ 是</li> <li>■ 是</li> <li>■ 否</li> <li>■ 是</li> <li>■ 否</li> </ul>
IPv4 数据包有带选项字段的 TCP 报头	是	是
IPv4 通道： <ul style="list-style-type: none"> <li>■ IPv4 通道中的 IPv4 数据包</li> <li>■ IPv4 通道中的 IPv6 数据包</li> </ul>	<ul style="list-style-type: none"> <li>■ 是（IPv4 通道报头）</li> <li>■ 是（IPv4 通道报头）</li> </ul>	<ul style="list-style-type: none"> <li>■ 否</li> <li>■ 否</li> </ul>
IPv6 通道： <ul style="list-style-type: none"> <li>■ IPv6 通道中的 IPv4 数据包</li> <li>■ IPv6 通道中的 IPv6 数据包</li> </ul>	<ul style="list-style-type: none"> <li>■ 不适用</li> <li>■ 不适用</li> </ul>	<ul style="list-style-type: none"> <li>■ 否</li> <li>■ 否</li> </ul>

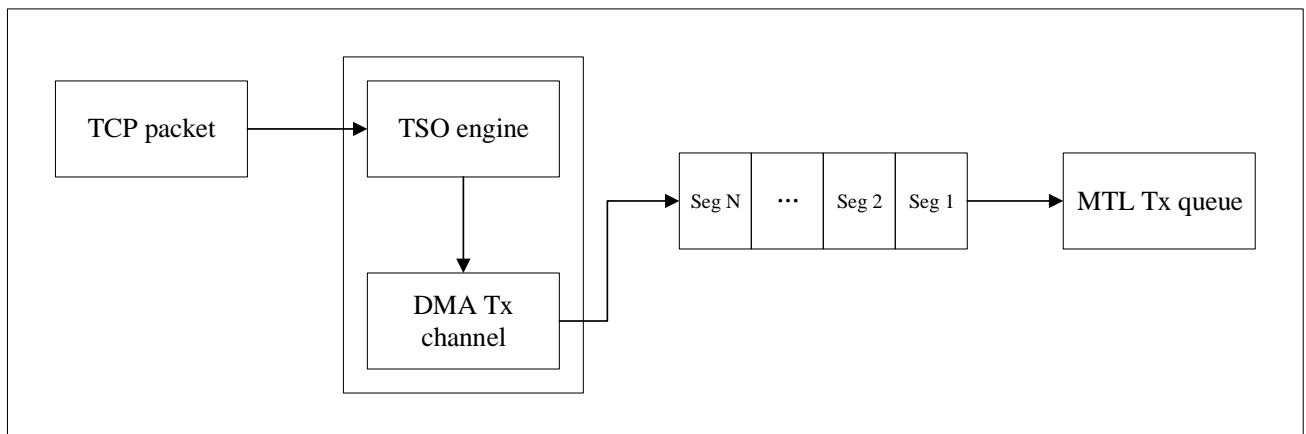
数据包类型	硬件 IP 报头校验和检查	硬件 TCP/UDP 校验和检查
非 IPv4 或 IPv6 数据包	否	否
具有 802.3ac 标签的 IPv4 数据包（使能时带有 C-VLAN 标签或 S-VLAN 标签）。	是	是
具有 802.3ac 标签的 IPv6 数据包（使能时带有 C-VLAN 标签或 S-VLAN 标签）。	不适用	是
带安全功能（例如封装的安全有效负载）的 IPv4 帧	是	否
带安全功能（例如封装的安全有效负载）的 IPv6 帧	不适用	否

## 47.5.9 TCP 分段减荷

以太网外设提供 TCP 分段减荷引擎。还支持 UDP 分段减荷（USO），其中 UDP 有效负载在硬件中被分段。分段中没有可用或更新的顺序/排序控制，因此它可用于接收器不希望出现不按顺序发送数据包的点对点应用中。本节提及的 TSO 说明和流程与 USO 相同，任何偏差均以注释形式提供。

如图 47-18 所示，在 TCP 分段减荷（TSO）功能中，DMA 会将大型 TCP 数据包分割成多个小数据包，并将这些数据包传递给 MTL。

图 47-18 TCP 分段概览



### 47.5.9.1 带 TSO 功能的 DMA 操作

对于 TSO 功能，Tx DMA 的操作如下，操作流程如图 47-19 所示：

- 应用程序设置发送描述符（TDES0~TDES3），并在为以太网数据包数据设置相应的数据缓冲区后设置 Own 位（TDES3[31]）。
- 应用程序增加 DMA Tx 通道描述符尾指针的偏移值。
- 在运行状态下，DMA 会获取下一个可用描述符，并执行以下操作之一：
  - 如果描述符是上下文描述符，且上下文不在数据包的第一个和最后一个描述符之间，则 DMA 存储上下文值。
  - 如果描述符是上下文描述符，且上下文介于数据包的第一个和最后一个描述符之间，则 DMA 关闭上下文描述符，显示“上下文描述符错误”（TDES3[23]）状态，并获取下一个描述符。
  - 如果描述符是正常描述符，DMA 会检查 TSE 位。如果 TSE 位未置 1，DMA 将继续执行默认操作模式或 OSF 操作（如果使能）。

4. DMA 根据 TCP 有效负载长度 (TDES3[17:0]) 和 MSS 值计算段数。
5. DMA 通过通道仲裁获取数据缓冲区。DMA 分别获取数据头和有效负载。
6. 对于第一个分段, DMA 从系统内存中获取报头并将其存储到 TSO 内存中 (如果存在, 且报头长度不大于 TSO 内存大小)。

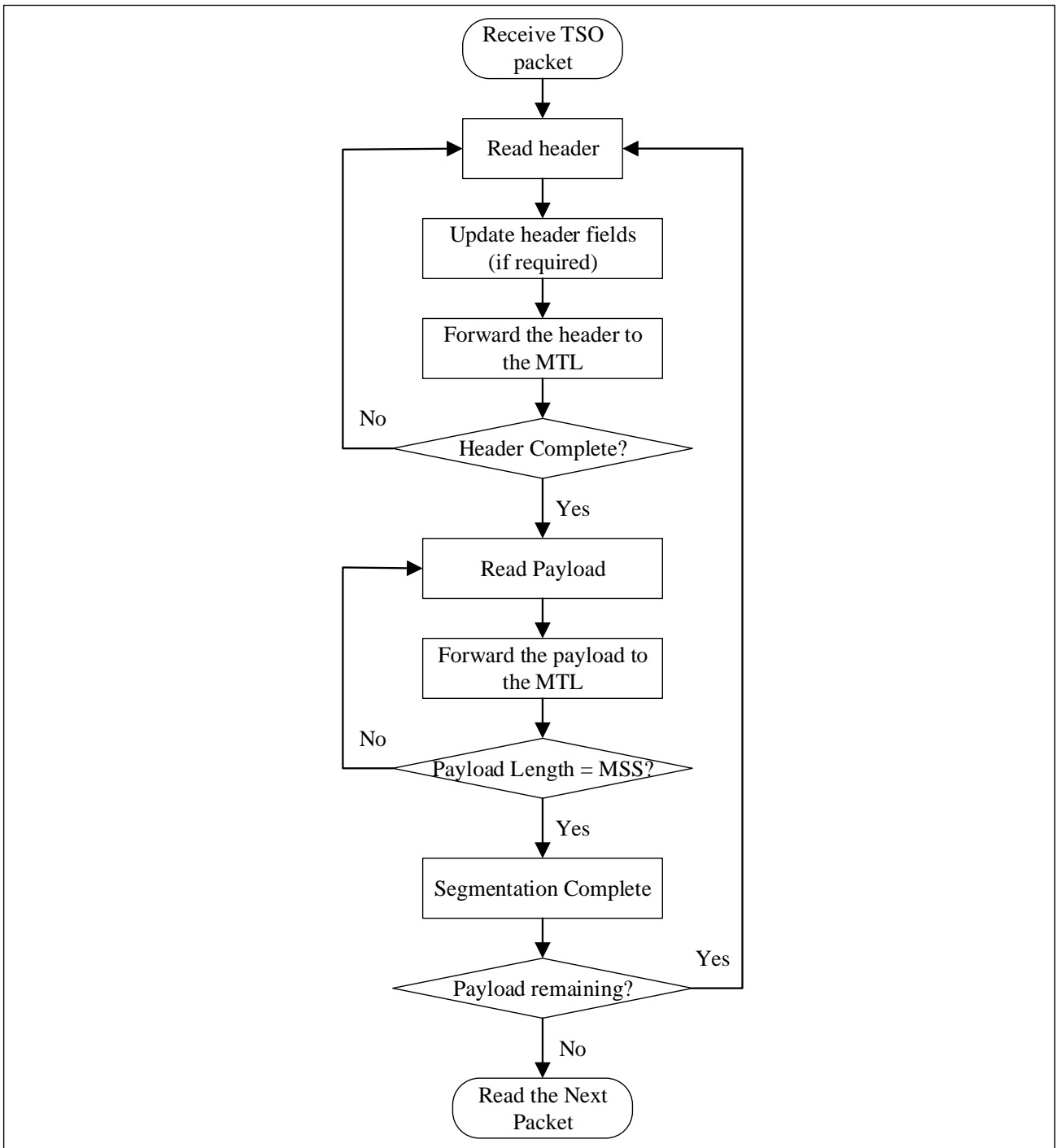
如果当前分段数据包不是第一个分段, DMA 会从本地 TSO 内存 (如果有) 获取报头。如果当前分段数据包不是第一个分段, 则 DMA 会从本地 TSO 内存中获取报头 (如果可用), 否则会再次从系统内存中获取报头缓冲区, 如同对第一个分段所做的一样。在这种情况下 (TSO 内存中没有报头), DMA 不会关闭包含报头缓冲区的第一个描述符, 直到取到最后一个数据段的报头。

7. 根据分段要求修改/更新报头字节中的所需字段, 并将其写入相应的 MTL Tx 队列。
8. 然后, DMA 获取有效负载缓冲区指针, 从系统内存中获取有效负载字节的 MSS 数量, 并直接将其推入 MTL Tx 队列。如果描述符中的缓冲区没有足够的 MSS 有效负载数据 (最后一个数据段除外), DMA 将关闭该描述符。
9. DMA 跳转到步骤 3 并重复该过程, 直到最后一个数据段被写入 Tx 队列。
10. DMA 关闭最后一个描述符和第一个描述符 (包含未存储在 TSO 内存中的报头缓冲区), 然后进入下一个数据包传输。

如果有更多描述符可用, DMA 会重复上述步骤。如果没有可用的描述符, DMA 就会进入挂起 (暂停) 状态。

*注: TSO 引擎根据数据包第一个正常 Tx 描述符 TDES3 中的 THL 字段 (TCP 头长度) 确定执行 TSO 还是 USO 操作。值为 2 表示 USO, 大于或等于 5 表示 TSO。*

图 47-19 TCP 分段减荷流程图



### 47.5.9.2 TCP/IP 报头字段

在 TCP 数据包分段时，DMA 会自动更新 TCP/IP 报头字段。表 47-27 介绍了 TCP 和 IP 报头的更新方式。

**表 47-27 TSO: TCP 和 IP 报头字段**

数据包序列	TCP 报头	IP 报头
第一个数据包	<ol style="list-style-type: none"> <li>不更新序列号。将使用报头中提供的值。</li> <li>重新计算 TCP 校验和。</li> <li>如果 FIN 和 PSH 标志置 1，则将其清零。</li> </ol>	<ul style="list-style-type: none"> <li>■ IPv4 报头                             <ul style="list-style-type: none"> <li>- 总长度 = MSS + TCP 报头长度 + IP 报头长度</li> <li>- 不修改标识字段。按照软件提供的报头进行发送</li> <li>- 重新计算 IPv4 报头校验和</li> </ul> </li> <li>■ IPv6 报头                             <ul style="list-style-type: none"> <li>- 有效负载长度 = MSS + TCP 报头长度 + IP 扩展报头长度</li> </ul> </li> </ul>
后续数据包	<ol style="list-style-type: none"> <li>更新序列号。将 MSS 值与前一段的序列号值相加。</li> <li>如果 FIN 和 PSH 标志置 1，则将其清零。</li> <li>重新计算 TCP 校验和。</li> </ol>	<ul style="list-style-type: none"> <li>■ IPv4 报头                             <ul style="list-style-type: none"> <li>- 总长度 = MSS + TCP 报头长度 + IP 报头长度</li> <li>- 标识字段 = 前一个标识字段 + 1</li> <li>- 重新计算 IPv4 报头校验和</li> </ul> </li> <li>■ IPv6 报头                             <ul style="list-style-type: none"> <li>- 有效负载长度 = MSS + TCP 报头长度 + IP 扩展报头长度</li> </ul> </li> </ul>
最后一个数据包	<ol style="list-style-type: none"> <li>更新序列号。将 MSS 值与前一段的序列号值相加。</li> <li>如果 FIN 和 PSH 标志在原始报头中被置 1，则将这些标志置 1。</li> <li>重新计算 TCP 校验和。</li> </ol>	<ul style="list-style-type: none"> <li>■ IPv4 报头                             <ul style="list-style-type: none"> <li>- 总长度 = 剩余有效负载 + TCP 报头长度 + IP 报头长度</li> <li>- 标识字段 = 前一个标识字段 + 1</li> <li>- 重新计算 IPv4 报头校验和</li> </ul> </li> <li>■ IPv6 报头                             <ul style="list-style-type: none"> <li>- 有效负载长度 = 剩余有效负载 + TCP 报头长度 + IP 扩展报头长度</li> </ul> </li> </ul>

注：在 USO 的情况下，引擎只更新 IP-UDP 报头中的以下字段：

- IPv4 报头中的总长度、标识字段和报头校验和字段。
- IPv6 报头中的有效负载长度字段。
- UDP 报头中的长度和校验和字段。

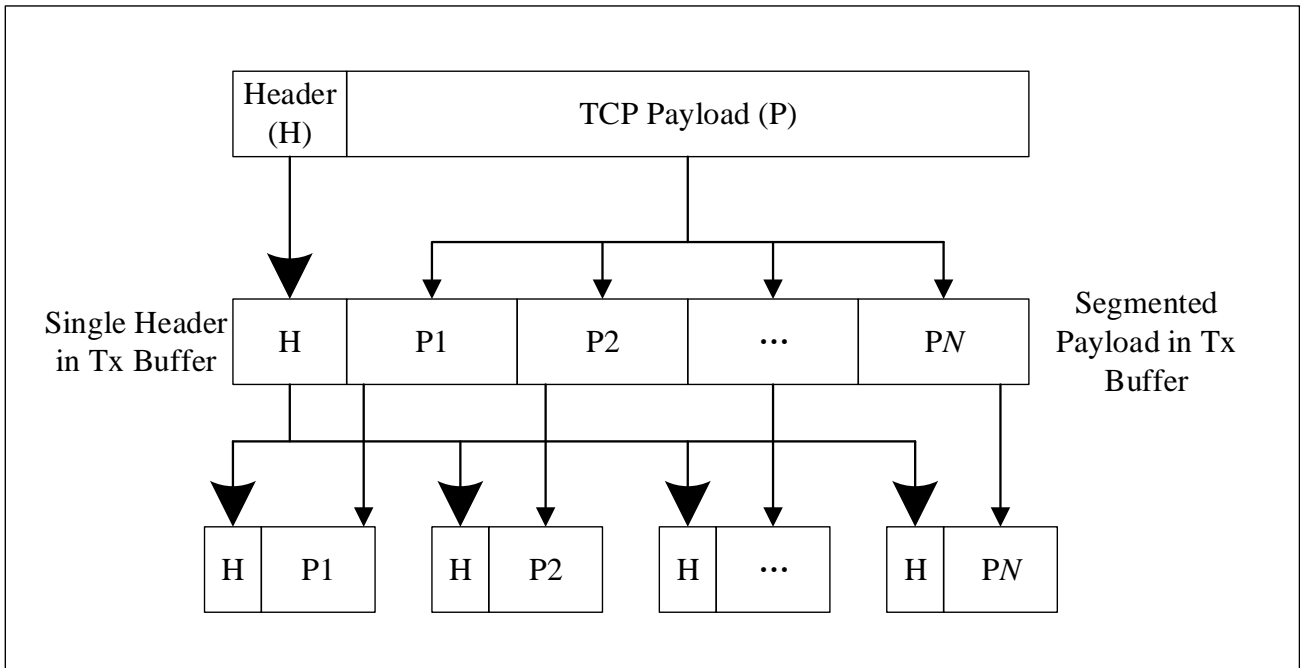
### 47.5.9.3 分段数据包的报头和有效负载字段

分段后，除表 47-27 中描述的报头字段外，分段数据包使用与父 TCP 数据包相同的报头。图 47-20 显示了分段数据包的报头字段如何使用相同的报头。

应用程序必须在要分段的数据包的第一个描述符的缓冲区 1 中创建报头，并在第一个描述符 (FD = 1) 的 TDES2 中提供报头长度。当 FD 位被置 1 时，DMA 将从 TDES0 所指向的报头缓冲区中读取报头。第一个描述符的缓冲区 2 可用于有效负载以及后续描述符的 TDES0 和 TDES1。对于后续描述符 (FD = 0)，TDES0 和 TDES1 所指向的地址被视为同一数据包的有效载荷缓冲区地址。



图 47-20 分段数据包的报头和负载字段



#### 47.5.9.4 上下文描述符序列

可以使用上下文描述符为分段提供 MSS 值。应用程序必须在用于相应 TCP 数据包的正常描述符之前提供上下文描述符。如果应用程序要提供新的 MSS，则必须在描述符列表中创建上下文描述符，然后再创建要使用新 MSS 值分段的数据包的第一个正常描述符。只有当上下文描述符中 TDES3 的 TCMSSV 位被置 1 且 OSTC 位被复位时，上下文描述符中的 MSS 值才有效。

当应用程序提供具有有效 MSS 值的上下文描述符时，DMA 会在内部存储 MSS 值，并将此 MSS 值用于通过 TDES3 正常描述符的 TSE 位使能 TSO 的所有后续数据包。

如果应用程序将上下文描述符放在数据包的中间（数据包的第一个和最后一个描述符之间），则 DMA 会执行以下操作：

1. DMA 忽略上下文并关闭描述符。
2. DMA 在描述符状态中显示错误。
3. 如果 DMA 通道 0 中断使能寄存器中的 CDEE 位被设置，则 DMA 会产生中断。

应用程序可通过 DMA 通道 0 状态寄存器的 CDE 位读取中断状态。

#### 47.5.9.5 构建 TSO 功能的描述符和数据包

设置第一个正常描述符 TDES3 的 TSE 位来开启数据包的分段功能。

*注：如果在非 TCP/IP 数据包的 TDES3 中设置了 TSE 位，DMA 行为将无法预测。*

应用程序必须在 TDES3[17:0]中设置 TCP 数据包有效负载的长度，并在 TDES3[22:19]中设置 TCP 报头的长度。可分段的 TCP 数据包有效负载最大长度为 256KB。

TSO 数据包的第一个正常描述符的缓冲区 1 中应提供数据包的报头，包括以太网报头、L3 报头和 L4 报头。只有使能 TSO 的数据包的第一个正常描述符的缓冲区 1 才是包含报头的缓冲区。

TCP 有效负载可以从第一个正常描述符的缓冲区 2 开始，一直延伸到第二个正常描述符的缓冲区 1 和缓冲区 2 以及后续描述符。

TCP 有效负载可跨越多个缓冲区和多个描述符。包含 TCP 有效负载的缓冲区大小加起来应等于第一个正常描述符的 TDES3[17:0]中提供的 TCP 有效负载长度。

MAC 始终会为 DMA 分割的所有数据包计算和附加 CRC 并插入 PAD（如需要）。如果使能 TDES3 的 TSE 位，则保留 TDES3 的 CRC PAD 控制（CPC）字段。要确定分段后 TCP 数据包的大小，DMA 会使用应用程序通过上下文描述符提供的最大分段大小（MSS）。DMA 只对有效负载大小大于 MSS 的数据包进行分段。应用程序必须通过在 DMA 通道 0 控制寄存器中编程 MSS 值或提供上下文描述符来提供 MSS。DMA 使用最后编程的 MSS 值或通过上下文提供的最后 MSS 值（以较后提供者为准）。

报头长度加上 MSS 大小（等于每个 TCP 网段的大小）不得超过 16383 字节，否则 MAC 发送器会在 16383 字节后截断数据包，导致 CRC 错误。

DMA 还支持对带有 VLAN 标签的 TCP/IP 帧进行分段，因此如果 TCP 数据包带有 VLAN 标签，则无论提供的 VLAN 标签类型（C-VLAN 或 S-VLAN）如何，所有分段都将使用相同的标签。VLAN 标签插入/替换控制位用于所有网段。

如果选择了双 VLAN 功能，则无论提供的 VLAN 标签类型（C-VLAN 或 S-VLAN）如何，DMA 都会为所有网段传递两个标签。两个标签的 VLAN 标签插入/替换控制位适用于所有网段。

*注：如果未选择双 VLAN 功能，则应用程序不得在 TDES3 中为具有两个标签的 TCP/IP 数据包设置 TSE 位。这种情况下的 DMA 行为是不可预测的。*

如果在 TDES3 中为数据包设置了 TSE 位，且提供的 TCP 报头长度小于 5（这意味着 TCP 报头无效，因为长度小于 20 字节），则 DMA 不会执行分段，而是将整个数据包作为单个数据包传输。在这种情况下，DMA 将 CRC 填充控制位强制设置为 2'b00（MAC 执行 CRC 和填充），并将校验和插入控制位强制设置为 2'b11（硬件执行报头和有效载荷的校验和计算）。

*注：只有当 MAC 在全双工模式下运行时，才支持 TSO 功能。如果在 DMA 通道 0 发送控制寄存器中将 TxPBL 值编程为小于 8，则不支持 TSO 功能。*

## 47.5.10 IPv4 ARP 减荷

以太网外设支持 IPv4 数据包的地址识别协议（ARP）减荷。该功能允许在接收路径中处理 IPv4 ARP 请求数据包，并在发送路径中生成相应的 ARP 响应数据包。IPv4 的 ARP 数据包是长度/类型为 0x0806 的 L2 层数据包。

ARP 减荷功能步骤如下：

1. 如果 ARP 请求的目标协议地址与 MAC L3 寄存器中编程的 IPv4 地址相匹配，则 MAC 接收端会收到 ARP 请求。
2. MAC 生成 ARP 响应数据包。
3. MAC 会将 ARP 请求中的发送方硬件地址字段复制到以下字段：
  - 以太网包头的 DA 字段
  - ARP 响应数据包的目标硬件地址字段
4. MAC 将 ARP 请求中的“发送方协议地址”字段复制到 ARP 响应数据包中的“目标协议地址”字段。

5. MAC 将其 MAC 地址放在以下字段中：
  - 以太网包头的 SA 字段
  - ARP 响应数据包的发送方硬件地址字段
6. MAC 将 ARP 请求中的"目标协议地址"字段复制到 ARP 响应数据包中的"发送方协议地址"字段。
7. MAC 将 ARP 响应数据包中的操作码字段设置为 2，表示 ARP 响应。
8. MAC 重新计算 CRC，并对生成的 ARP 响应数据包进行填充。
9. MAC 发送器发送 ARP 响应。

MAC 一次只处理一个 ARP 请求。它不会存储多个 ARP 请求的字段。如果 MAC 收到 ARP 请求时已在处理先前的 ARP 请求，则 MAC 不会为新的 ARP 请求生成 ARP 响应。MAC 将新的 ARP 请求数据包转发给应用程序，并设置 ARP 回复未生成 (bit34) 状态位。但是，在掉电模式下，如果 MAC 收到 ARP 请求时已在处理先前的 ARP 请求，则 MAC 会丢弃新的 ARP 请求。

如果 MAC 扩展配置位中的禁用 CRC 校验位被设置，则 MAC 不会检查 ARP 请求数据包的有效 CRC。如果其他条件有效，则 MAC 可以生成 ARP 响应数据包。如果使能 PMT 功能，则 ARP 请求数据包必须始终具有有效的 CRC。

*注：当接收到的 ARP 请求小于 64 字节数据包长度时，以太网外设不会发送 ARP 响应。它会被视为正常数据包，并根据以太网外设过滤设置转发给应用程序。*

## 47.5.11 低功耗管理 (PMT)

以太网外设支持以下低功耗技术：

- 魔术数据包
- 远程唤醒

魔术数据包和远程唤醒技术用于在主机系统处于空闲（掉电模式）时节省电能，只有在接收到来自以太网网络的特定数据包时才需要唤醒主机系统。在掉电模式下，主机逻辑和大部分以太网内核（除 MAC 接收逻辑外）的电源可以关闭。在接收到来自网络的特定数据包时，MAC 会触发主机系统恢复供电，并回到正常状态。

当在 PMT 模块中使能低功耗模式时，MAC 会丢弃所有接收到的数据包，并且不会向 MTL Rx 队列或应用程序转发任何数据包。

### 47.5.11.1 魔术数据包模式

在基于魔术数据包模式中，MAC 接收器接收到有效魔术包会触发退出低功耗模式。当 MAC PMT 控制状态寄存器的 PWRDWN 位编程为 1 时，MAC 进入低功耗模式。通过将 MAC PMT 控制状态寄存器的 MGKPKTEN 位设置为 1，使能从基于魔术数据包的低功耗模式退出。

魔术数据包在目的地址、源地址和长度/类型字段之后的任意偏移处都包含一个唯一格式。除了唯一格式匹配外，MAC 接收器还检查以下内容，以检测接收到的数据包是否为有效的魔术包：

- 数据包必须向其寻址（接收到的数据包的目的地址应与 MAC 地址 0 高位寄存器和 MAC 地址 0 低位寄存器完全匹配）或具有多播/广播地址。
- 数据包不得有长度错误、FCS 错误、dribble 位错误、GMII/MII 错误和冲突。

- 数据包不得过长（包括以太网头和 FCS 在内的长度至少为 64 字节）。

注：魔术数据包功能是基于 *Advanced Micro Device (AMD) 的 Magic Packet 技术白皮书*。无论在 MAC 配置寄存器的 WD 位和 MAC 看门狗超时寄存器的 PWE 位上编程的值是多少，魔术数据包的看门狗超时限制都是 2048 字节。

### 魔术数据包格式

魔术数据包的唯一格式包含的内容如下：

- 6 个字节全"1"（48'hFF\_FF\_FF\_FF\_FF），称为同步流。8'hFF 可以多于 6 个，但只考虑最后 6 个。
- 同步流之后紧接着是 16 次重复的数据包目的地址字段（MAC 地址（MAC 地址 0 高位寄存器和 MAC 地址 0 低位寄存器）或多播/广播地址）。
- 同步流与目的地地址字段的首次重复之间或其 16 次重复内无任何断开或中断。

如果节点的 MAC 地址为 48'h00\_11\_22\_33\_44\_55，则 MAC 扫描以下数据序列：

```
(目的地址)(源地址)(长度/类型) .....FF FF FF FF FF FF
00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55
00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55
00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55
00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55
.....CRC
```

### 47.5.11.2 远程唤醒数据包模式

在基于远程唤醒数据包模式中，MAC 接收器接收到预期的远程唤醒数据包时会触发退出低功耗模式。当 MAC PMT 控制状态寄存器的 PWRDWN 位编程为 1 时，MAC 进入低功耗模式。通过将 MAC PMT 控制状态寄存器的 RWKPKTEN 位编程为 1，使能从基于远程唤醒的低功耗模式退出。

MAC 实现了一个过滤查找表（通过 MAC 远程唤醒过滤寄存器编程），其中编程了嵌入远程唤醒数据包的模式的 CRC、偏移和字节掩码以及过滤操作命令。

嵌入远程唤醒数据包的位于目的地址和源地址字段之后的任意偏移量处。除了格式的 CRC 匹配外，MAC 接收器还检查以下内容，以检测接收到的数据包是否为有效的远程唤醒数据包：

- 数据包必须向其寻址（接收到的数据包的目的地址应与 MAC 地址 0 高位寄存器和 MAC 地址 0 低位寄存器完全匹配）或具有多播/广播地址。
- 数据包不得有长度错误、FCS 错误、dribble 位错误、GMII/MII 错误和冲突。
- 数据包不得过长（包括以太网头和 FCS 在内的长度至少为 64 字节）。

当接收到有效的远程唤醒数据包时，MAC 接收器会设置 MAC PMT 控制状态寄存器中的 RWKPRCVD 位，并触发输出端口上的中断。在低功耗模式下未使能功率门控时，MAC 中断状态寄存器中的 PMTIS 位被置位。在低功耗模式下，当中断使能（MAC 中断使能寄存器中的 PMTIE 位被置位）且 CSR 时钟未被门控关闭时，将向应用程序触发中断。

### 远程唤醒数据包过滤器

使能基于远程唤醒的低功耗模式时，可选择 4 个远程唤醒过滤器。远程唤醒过滤器结构如表 47-28 所示。

**表 47-28 远程唤醒过滤寄存器**

寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
唤醒帧过滤器寄存器 0	过滤器 0 字节屏蔽																															
唤醒帧过滤器寄存器 1	过滤器 1 字节屏蔽																															
唤醒帧过滤器寄存器 2	过滤器 2 字节屏蔽																															
唤醒帧过滤器寄存器 3	过滤器 3 字节屏蔽																															
唤醒帧过滤器寄存器 4	保留				过滤器 3 命令				保留				过滤器 2 命令				保留				过滤器 1 命令				保留				过滤器 0 命令			
唤醒帧过滤器寄存器 5	过滤器 3 偏移								过滤器 2 偏移								过滤器 1 偏移								过滤器 0 偏移							
唤醒帧过滤器寄存器 6	过滤器 1 CRC-16																过滤器 0 CRC-16															
唤醒帧过滤器寄存器 7	过滤器 3 CRC-16																过滤器 2 CRC-16															

远程唤醒过滤寄存器的各字段的描述如下：

### 过滤器 i 字节屏蔽字段

过滤器 i (0、1、2、3) 字节屏蔽寄存器定义了过滤器 i 检查数据包的字节，以确定数据包是否为唤醒数据包。

- MSB (bit31) 必须为 0。
- 位 j[30:0] 是字节掩码。
- 如果设置了字节掩码的 j 位 (字节编号)，CRC 块将处理输入数据包的过滤器 i 偏移量 + j；否则将忽略过滤器 i 偏移量 + j。

### 过滤器 i 命令字段

- 第 3 位指定地址类型，定义模式的目的地址类型。设置该位时，该模式仅适用于组播数据包；复位该位时，该模式仅适用于单播数据包。
- 第 2 位 (反向模式) 设置后，将反转 CRC16 哈希函数信号的逻辑，以拒绝与 CRC-16 值匹配的数据包。bit2 和 bit1 允许 MAC 通过创建过滤逻辑 (如“模式 1 和模式 2 进行与非运算”) 来拒绝远程唤醒数据包子集。
- 第 1 位 (And\_Previous) 实现布尔逻辑。设置时，当前条目的结果与前一个过滤结果进行逻辑 AND。通过这种 AND 逻辑，可以在两个、三个或四个过滤器之间分割掩码，从而实现长度超过 32 字节的过滤模式。这取决于设置了 And\_Previous 位的过滤器数量。具体细节如下：

- And\_Previous 位的设置适用于一组 4 个过滤器。
- 对未使能的过滤器的 And\_Previous 位进行设置不会产生任何影响，即对 4 个过滤器中编号最低的过滤器的 And\_Previous 位进行设置不会产生任何影响。例如，设置过滤器 0 的 And\_Previous 位没有任何作用。
- 如果为形成 AND 链的过滤器设置了 And\_Previous 位，则 AND 链会在任何过滤器未使能时断开。例如如果过滤器 2 的 And\_Previous 位被置位 (过滤器 2 命令中的 bit1 被置位)，但过滤器 1 没有使能 (过滤器 1 命令中的 bit0 被复位)，则只考虑过滤器 2 的结果。如果过滤器 2 的 And\_Previous 位被置位 (过滤器 2 命令中的 bit1 被置位)，过滤器 3 的 And\_Previous 位被置位 (过滤器 3 命令中的 bit1 被置位)，但过滤器 1 没有使能 (过滤器 1 命令中的 bit0 被复位)，则只考虑过滤器 2 与过滤器 3 的 AND 结果。如果过滤器 2 的 And\_Previous 位被置位 (过滤器 2 命令中的 bit1 被置位)，过滤

器 3 的 And\_Previous 位被置位（过滤器 3 命令中的 bit1 被置位），但过滤器 2 没有使能（过滤器 2 命令中的 bit0 被复位），则由于过滤器 2 的 And\_Previous 位的设置没有影响，因此只考虑过滤器 1 与过滤器 3 的结果的 OR 结果。

- 如果通过 And\_Previous 位设置串联的过滤器具有互补程序，则帧可能永远无法通过 AND 链过滤器。例如，如果过滤器 2 的 And\_Previous 位被置位（过滤器 2 命令中的 bit1 被置位），过滤器 1 的 Address\_Type 位被置位（过滤器 1 命令中的 bit3 被置位），表示组播检测，而过滤器 2 的 Address\_Type 位被复位（过滤器 2 命令中的 bit3 被复位），表示单播检测，反之亦然，则远程唤醒帧不会通过 AND 链过滤器，因为远程唤醒帧不可能同时具有单播和组播地址类型。

- 第 0 位是过滤器 i 的使能位，如果 bit0 未设置，过滤器 i 将被禁用。

### 过滤器 i 偏移字段

过滤器 i 偏移寄存器定义了第 i 个过滤器检查数据包的偏移量（数据包内）。

- 这个 8 位模式偏移量是过滤器 i 第一个要检查的字节的偏移量。
- 允许的最小偏移量为 12，即数据包的第 13 个字节。
- 偏移值 0 指的是数据包的第一个字节。

### 过滤器 i CRC-16 字段

该过滤器 i CRC-16 寄存器包含根据模式计算的 CRC-16 值，以及对唤醒过滤寄存器模块编程的字节屏蔽。

- 使用以下多项式进行 16 位 CRC 计算：

$$G(x) = x^{16} + x^{15} + x^2 + 1$$

- 哈希函数计算中使用的每个屏蔽均与该屏蔽相关的 16 位值进行比较。每个过滤器均包含以下内容：
  - 32 位屏蔽：该屏蔽中的每个位均对应于所检测数据包中的一个字节。如果该位为 1，则会将相应的字节用于 CRC-16 计算。
  - 8 位偏移指针：指定开始 CRC-16 计算的字节。指针和屏蔽一起用来定位用于 CRC16 计算的字节。

远程唤醒过滤器寄存器以 8 个间接访问寄存器（wkuppktfilter\_reg#i）的形式实现，并由应用程序通过 MAC 远程唤醒过滤寄存器进行访问。要对远程唤醒过滤器进行编程时，必须写入整组 wkuppktfilter\_reg 寄存器。在 MAC 远程唤醒过滤寄存器中依次写入 wkuppktfilter\_reg0、wkuppktfilter\_reg1、...、wkuppktfilter\_reg7 的 8 个寄存器值，即可对 wkuppktfilter\_reg 寄存器进行编程。wkuppktfilter\_reg 寄存器的读取方式与此类似。MAC 会更新 MAC PMT 控制状态寄存器中的 RWKPTR 字段中的 wkuppktfilter\_reg 寄存器当前指针值。

*注：当写 MAC 远程唤醒过滤寄存器时，写操作完成后，内容将从 CSR 时钟域转移到 PHY 接收时钟域，在 PHY 接收时钟域更新第一次写操作之前，不应再向 MAC 远程唤醒过滤寄存器写入任何内容。否则，第二次写操作不会更新到 PHY 接收时钟域。因此，两次写入 MAC 远程唤醒过滤寄存器之间的延迟应至少为 4 个 PHY 接收时钟周期。*

## 47.5.12 节能型以太网（EEE）

EEE 是一种运行模式，可使 IEEE 802.3 介质访问控制（MAC）子层与物理层家族在低功耗空闲（LPI）模式下运行。EEE 运行模式支持 IEEE 802.3 MAC 在 100 Mbps 和 1000 Mbps 速率下工作。以太网外设支持 IEEE 802.3az-2010 标准实现 EEE 功能。

LPI 模式通过在无数据传输接收时关闭通信设备的部分功能实现节能。链路两端的系统可在低链路利用率期

间禁用某些功能以节省功耗。MAC 层控制系统是否进入或退出 LPI 模式，并将该指令传达给物理层。

EEE 规范了链路伙伴可采用的能力协商方法，用于确定 EEE 支持状态，并据此选择两设备共有的参数集。

### 47.5.12.1 发送路径功能

发送路径功能包含 MAC 层为使物理层进入 LPI 状态必须执行的任务。在发送路径中，软件需设置 MAC LPI 控制状态寄存器的 LPIEN 位，以指示 MAC 停止传输并启动 LPI 协议。MAC 完成当前传输任务，生成传输状态，并在链路状态持续处于活动状态达到 MAC LPI 定时器控制寄存器中 LST 字段指定时长后，开始发送 LPI 模式而非空闲模式。MAC LPI 控制状态寄存器的 PHY 链路状态位反映物理层链路状态。

*注：当 MAC 配置为使用 RMII 时，不支持 EEE 功能。根据标准 (IEEE 802.3az-2010)，在 MII (10 或 100) 模式的 LPI 状态期间，PHY 不得停止 Tx\_CLK 时钟。但在 GMII (1000) 模式的 LPI 状态期间，MAC 可停止 GTX\_CLK 时钟。*

为使物理层进入 LPI 状态，MAC 执行以下操作：

1. 取消 TX\_EN 有效
2. 使能 TX\_ER
3. 将 TXD[3:0] 设为 0x1 (100 Mbps) 或 TXD[7:0] 设为 0x01 (1000 Mbps)

*注：在物理层处于 LPI 状态期间，MAC 将保持 TX\_EN、TX\_ER 和 TXD 信号的相同状态。*

4. 更新状态 (MAC LPI 控制状态寄存器的 TLPIEN 位) 并生成中断

要使物理层退出 LPI 状态 (即软件复位 LPIEN 位时)，MAC 执行以下操作：

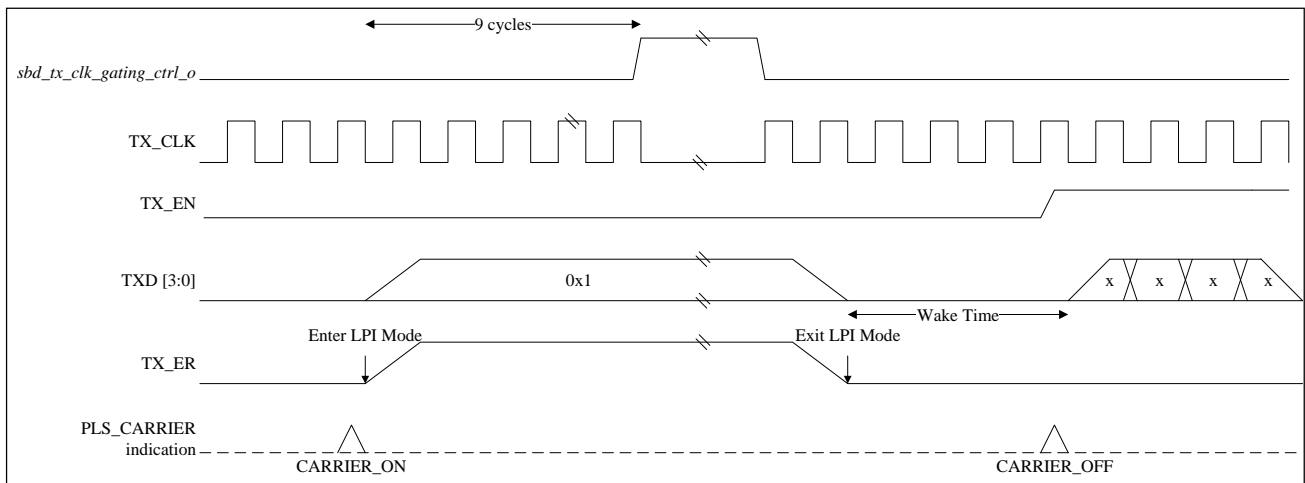
1. 停止发送 LPI 模式，开始发送空闲模式
2. 启动 LPI 发送等待计时器

MAC 必须在物理层指定的唤醒时间到期后才能开始发送。自动协商的唤醒间隔存储于 MAC LPI 计时器控制寄存器的 TWT 字段中。

3. 更新 LPI 退出状态 (MAC LPI 控制状态寄存器的 TLPIEX 位) 并生成中断。

图 47-21 展示了 LPI 模式转换期间 TX\_EN、TX\_ER 和 TXD[3:0] 信号的行为。

*注：MAC 不会停止 TX\_CLK 时钟。若物理层支持且 MAC 将 `sbd_tx_clk_gating_ctrl_o` 信号置为 1 时，可停止该时钟 (如图 47-21 所示)。`sbd_tx_clk_gating_ctrl_o` 信号在九个 Tx 时钟周期、一个脉冲同步器延迟周期及一个 CSR 时钟周期后被置高。该信号的置高状态取决于 MAC LPI 控制状态寄存器中的 LPITCSE 位。当 MAC 处于 Tx LPI 模式且 Tx 时钟停止时，应用程序不应向同步于 Tx 时钟域的 CSR 寄存器写入数据。若 MAC 处于 LPI 模式期间应用程序执行软复位或硬复位，MAC 发射器将退出 LPI 模式。*

**图 47-21 LPI 转换（发送）**


### 47.5.12.2 发送路径中 LPI 模式的自动进入/退出

MAC 发射器可被编程为根据是否处于特定时段的空闲状态或存在待传输数据包，自动进入/退出 LPI 空闲模式。这些模式通过 MAC LPI 控制状态寄存器启用和控制。

当 MAC LPI 控制状态寄存器的 LPITXA（位[19]）和 LPITXEN（位[16]）被置位时，若 MAC 发送路径（含 MTL 层与 DMA 层）处于空闲状态，MAC 发射器即进入 LPI 空闲状态。当传输路径中任一功能（DMA、MTL 或 MAC）因数据包传输启动而进入非空闲状态时，MAC 发射器立即退出 LPI 空闲状态并清除 LPITXEN 位。

此外，当位[20]（LPIATE）同时置位时，MAC 发送器仅在发送路径保持空闲状态（无活动）且持续时间满足 MAC LPI 进入定时器寄存器值要求时，才会进入 LPI 空闲状态。在此模式下，任何功能模块恢复活动时，MAC 发送器同样立即退出 LPI 空闲状态。但 LPITXEN 位不会被清除，始终保持有效状态，因此当 MAC 再次进入空闲状态时，无需软件干预即可重新进入 LPI 空闲状态。

当 LPIATE 和 LPITXA 位均被清除时，可通过编程设置 LPITXEN 位直接控制 LPI 空闲状态的进入与退出。

### 47.5.12.3 接收路径功能

接收路径功能包含物理层（PHY）和介质访问控制层（MAC）在接收来自链路伙伴的信号时必须执行的任务，以退出低功耗初始化（LPI）状态。

在接收路径中，当物理层接收来自链路伙伴的信号进入 LPI 状态时，物理层和介质访问控制层执行以下任务：

1. 物理层断言 RX\_ER 信号
2. 物理层将 RXD[7:0]置为 0x01
3. 物理层取消断言 RX\_DV 信号

*注：物理层在整个 LPI 状态期间保持 RX\_ER、RXD 和 RX\_DV 信号的相同状态。*

4. MAC 更新 MAC LPI 控制状态寄存器的 RLPIEN 位，并立即生成中断

*注：若检测到的 LPI 模式持续时间极短（即少于两个接收时钟周期），MAC 不会进入接收 LPI 模式。若当前接收 LPI 模式结束与下一个接收 LPI 模式开始之间间隔极短（即少于两个接收时钟周期），则 MAC 退出并再次进入接收 LPI 模式。MAC 不提供接收 LPI 退出和进入中断。*

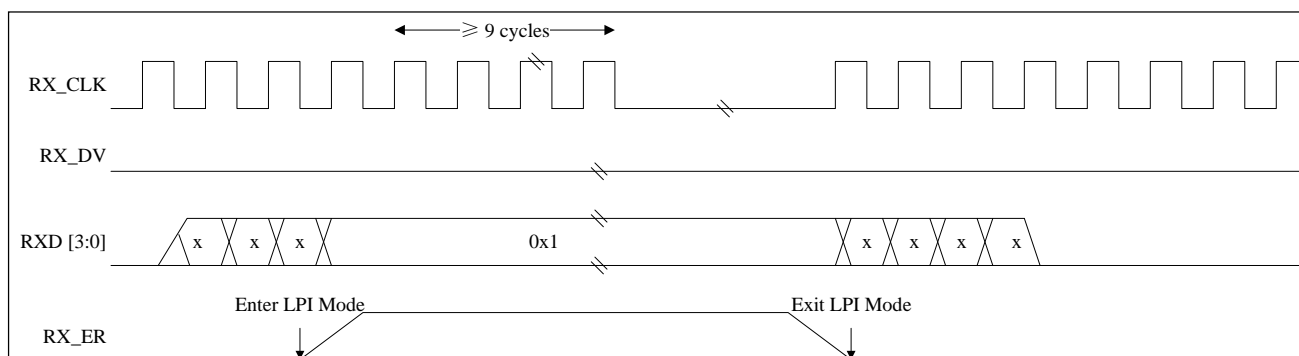


当物理层接收到链路伙伴发出的退出 LPI 状态信号时，物理层与 MAC 执行以下任务：

1. 物理层取消 RX\_ER 信号有效，并恢复至正常包间状态。
2. MAC 更新 MAC LPI 控制状态寄存器的 RLPIEX 位并立即生成中断。同时使能边带信号 lpi\_intr\_o（与接收时钟同步）。

图 47-22 展示了 LPI 模式转换过程中 RX\_ER、RX\_DV 和 RXD[3:0]信号的行为。

图 47-22 LPI 转换（接收）



注：当 PHY 向 MAC 指示 LPI 时，若 RX\_CLK\_stoppable 位（通过 MDIO 写入 PHY 寄存器）被置位，则 PHY 可在 LPI 状态开始后超过九个时钟周期时随时停止 RX\_CLK，如图 47-22 所示。当 MAC 处于 LPI 模式且应用程序执行软复位或硬复位时，MAC 接收器将在复位期间退出 LPI 模式。若复位解除后仍接收到 LPI 模式信号，MAC 接收器将重新进入 LPI 状态。若在 RX LPI 模式下停止接收时钟，应用程序不应向与接收时钟域同步的 CSR 寄存器写入数据。当 PHY 发送 LPI 模式时，若 EEE 功能启用，MAC 将自动进入 LPI 状态。目前尚无软件控制机制可阻止 MAC 进入 LPI 状态。

#### 47.5.12.4 LPI 定时器

发射器维护 LPI LS 定时器、LPI TW 定时器和 LPI 自动进入定时器。

以下是通过 MAC LPI 定时器控制寄存器和 MAC LPI 进入定时器寄存器加载相应值的 LPI 定时器：

##### ■ LPI LS 定时器

LPI LS 定时器以毫秒为单位计数链路状态建立后经过的时间。

链路状态通过软件在 MAC LPI 控制状态寄存器的 PLS 位编程值向 MAC 指示。软件应通过读取 PHY 寄存器获取物理层链路状态，并据此更新 PLS 位。

该定时器在链路断开时清零。链路恢复后开始累加，持续计数直至达到终端计数值。达到终端计数后，只要链路保持连接状态，计时器值将维持不变。终端计数值由 MAC LPI 计时器控制寄存器的 Bits[25:16] 位编程设定。除非达到终止计数值，否则 GMII 接口不会断言 LPI 模式。这确保了与远端站建立链路后，至少存在 1 秒的 LPI 模式断言间隔期（IEEE 802.3-az-2010 标准定义）。LPI LS 计时器为 10 位宽，因此软件可编程的最大值为 1023 毫秒。

##### ■ LPI TW 计时器

LPI TW 计时器以微秒为单位计数自 LPI 失效后经过的时间。终止计数值应编程至 LPI 计时器控制寄存器的 Bit[15:0] 位。该计时器的终止计数值即为解析后的发送 TW 值——即 MAC 可恢复正常发送操作的自动协商时间。退出 LPI 模式后，当 TW 计时器达到终止计数值时，MAC 将恢复正常工作。

MAC 支持以微秒为单位的 LPI TW 计时器。该计时器为 16 位宽，因此软件可编程的最大值为 65535 微

秒。

#### ■ LPI 自动进入定时器

该定时器以 8 微秒为步进计时，当 MAC 发送路径保持空闲状态（无活动）达到该时长后，MAC 发送器将进入 LPI 空闲状态并开始传输 LPI 模式。当 MAC LPI 控制状态寄存器中的 LPITE 位被置位时，此定时器生效。

*注意：在 GMII 与 MII 模式切换前，请将 MAC LPI 控制状态寄存器的 PLS 位设置为 1'b0。此操作将重置内部计时器。若在 LPI LS 计时器或 LPI TW 计时器启动后变更模式，发射时钟频率的变化可能导致超时判断错误。*

### 47.5.13 MAC 管理计数器

以太网外设支持在寄存器中存储有关接收和发送数据包的统计信息，这些寄存器可通过应用程序访问。

MAC 管理计数器（MMC）模块中的计数器可视为 CSR 模块寄存器地址空间的扩展。MMC 模块维护一组寄存器，用于收集接收和发送数据包的统计数据。寄存器集包括一个用于控制寄存器行为的控制寄存器、两个包含所产生中断的状态寄存器（接收和发送）以及中断使能寄存器（接收和发送）。应用程序可通过 MAC 控制接口（MCI）访问这些寄存器。每个寄存器宽 32 位。只要地址是字对齐的，就允许非 32 位访问。使用事务访问 MMC 与访问 CSR 地址空间的方式相同。

MMC 计数器是自由运行的，计数器启动时无需单独使能。如果内核中存在特定的 MMC 计数器，则在接收或发送相应数据包时开始计数。接收 MMC 计数器会对地址过滤器（AFM）模块通过的数据包进行更新。被 AFM 模块丢弃的数据包统计信息不会更新，除非它们是少于 6 字节的矮小包（DA 字节未完全接收）。要获取所有数据包的统计数据，需要设置 MAC 数据包过滤器寄存器中的第 0 位。

MMC 模块还收集接收到的以太网数据包中封装的 IPv4、IPv6、TCP、UDP 或 ICMP 有效负载的统计数据。

以下定义界定了 MMC 寄存器说明中使用的术语：

- 如果传输成功，则认为传输的数据包“良好”。换句话说，如果数据包传输没有因以下任何错误而中止，则传输的数据包为“良好”数据包：
  - Jabber 超时
  - 无载波或丢失载波
  - 延迟冲突
  - 数据包下溢
  - 过度延迟
  - 过度冲突
- 如果不存在以下错误，则认为接收到的数据包“良好”：
  - CRC 错误
  - 短包（短于 64 字节）
  - 对齐错误（仅限 10/100Mbps）
  - 长度错误（仅限非类型数据包）

- 超出范围（仅限非类型数据包，长度超过 1518 字节）
- GMII\_RX\_ER/MII\_RX\_ER 输入错误
- 最大传输帧大小取决于帧类型，如下所示：
  - 无标签帧最大大小 = 1518
  - VLAN 帧最大大小 = 1522
  - 巨型帧最大大小 = 9018
  - 巨型 VLAN 帧最大大小 = 9022
- 最大接收数据包大小取决于数据包类型和控制位（JE、S2KP、GPSLCE 和 EDVLP），如表 47-29 所示。

**表 47-29 最大接收数据包大小**

JE	S2KP	GPSLCE	EDVLP	无标签帧的最大大小（字节）	单 VLAN 帧的最大大小（字节）	双 VLAN 帧的最大大小（字节）
1	x	x	1	9018	9022	9026
0	1	x	x	2000	2000	2000
0	0	1	1	GPSL	GPSL + 4	GPSL + 8
0	0	0	1	1518	1522	1526
1	x	x	0	9018	9022	9022
0	0	1	0	GPSL	GPSL + 4	GPSL + 4
0	0	0	0	1518	1522	1522

### 47.5.14 Loopback 模式

MAC 支持向接收器环回已发送的数据包。以下是使用环回模式的一些指导原则：

- 仅在全双工模式下使能环回。在半双工模式下，载波检测信号（CRS）或碰撞（COL）信号输入会被采样，这可能会导致丢包等问题。
- 如果在不连接 PHY 芯片的情况下使能环回模式，则应在外部生成 Tx 和 Rx 时钟，并将这些时钟提供给 MAC。
- 不要循环回传大数据包。大数据包可能会在回环 FIFO 中损坏。

MAC 不处理循环返回的 ARP 或 PMT 数据包。要使能此功能，需要对 MAC 配置寄存器的 LM 位进行编程。

### 47.5.15 描述符

以太网子系统 DMA 根据描述符链表传输数据。应用程序在系统内存中创建描述符。以太网外设发送端和接收端分别支持以下两种类型的描述符：

- 正常描述符：正常描述符用于数据包数据，并提供适用于要传输的数据包的控制信息。
- 上下文描述符：上下文描述符用于提供与要传输的数据包相关的控制信息。

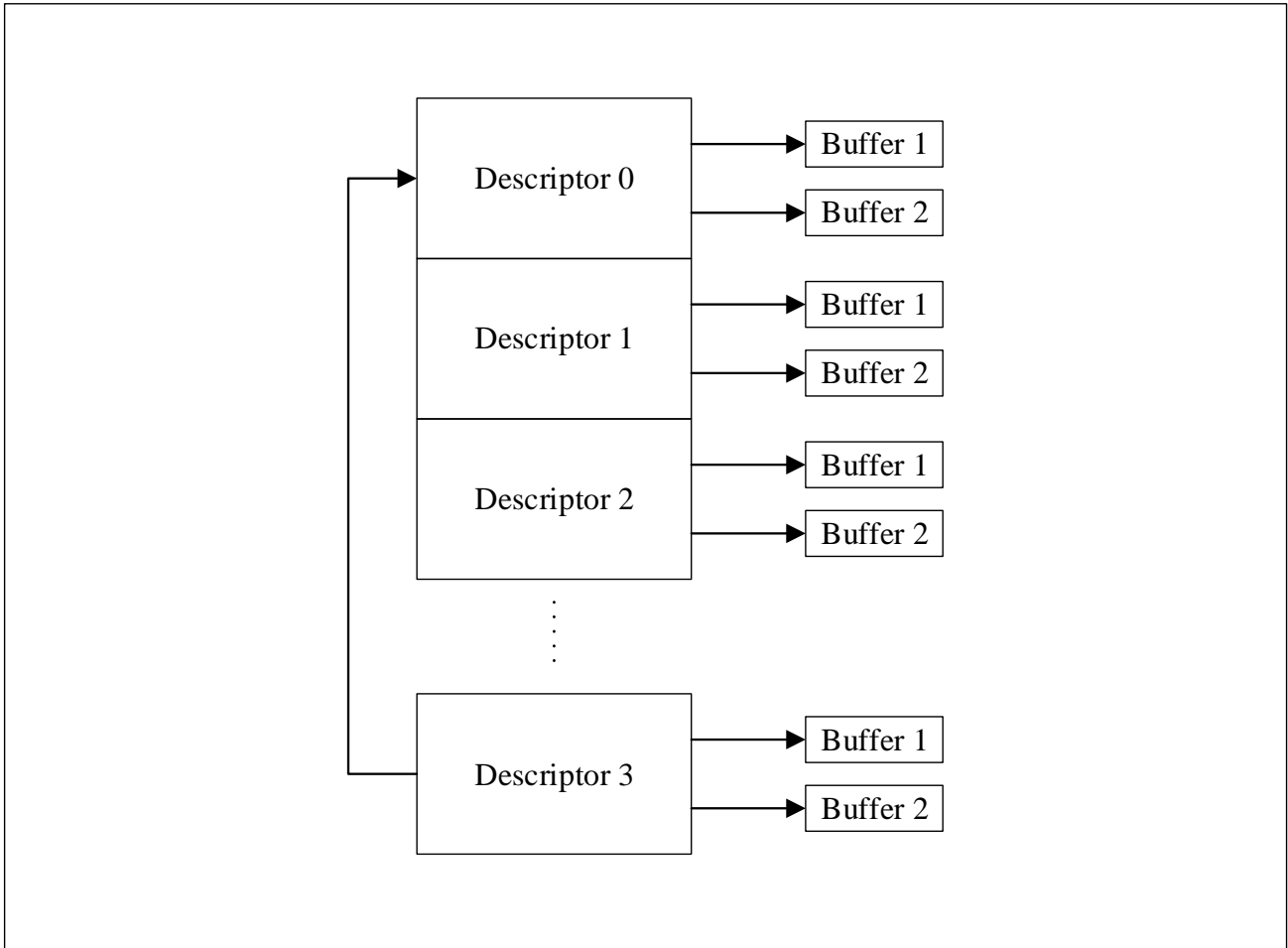
每个正常描述符包含两个缓冲区和两个地址指针。这些缓冲区使适配器端口能与各种类型的内存管理方案兼容。

*注：单个数据包可使用的描述符数量没有限制。*

### 47.5.15.1 描述符结构

以太网外设支持 DMA 描述符的环结构。如图 47-23 所示：

图 47-23 描述符环结构



在环形结构中，描述符由 DMA 通道 0 控制寄存器 DSL 字段中编程的 Word（32-bits）编号分隔。应用程序需要在 DMA 通道的下列寄存器中编程总环长度，即环结构中描述符的总数：

- ETH DMA 通道 0 发送描述符环长度寄存器（ETH\_DMACH0TXDRLEN）。
- ETH DMA 通道 0 接收控制寄存器 2（ETH\_DMACH0RXCTRL2）。

描述符尾指针寄存器包含描述符地址（ $N$ ）的指针。基地址和当前描述符指针决定了 DMA 可以处理的当前描述符的地址。

对于至少比描述符尾指针（ $N-1$ ）所指示的描述符少一个地址单元的描述符，均为 DMA 所有。DMA 将继续处理这些描述符，直至出现以下情况：

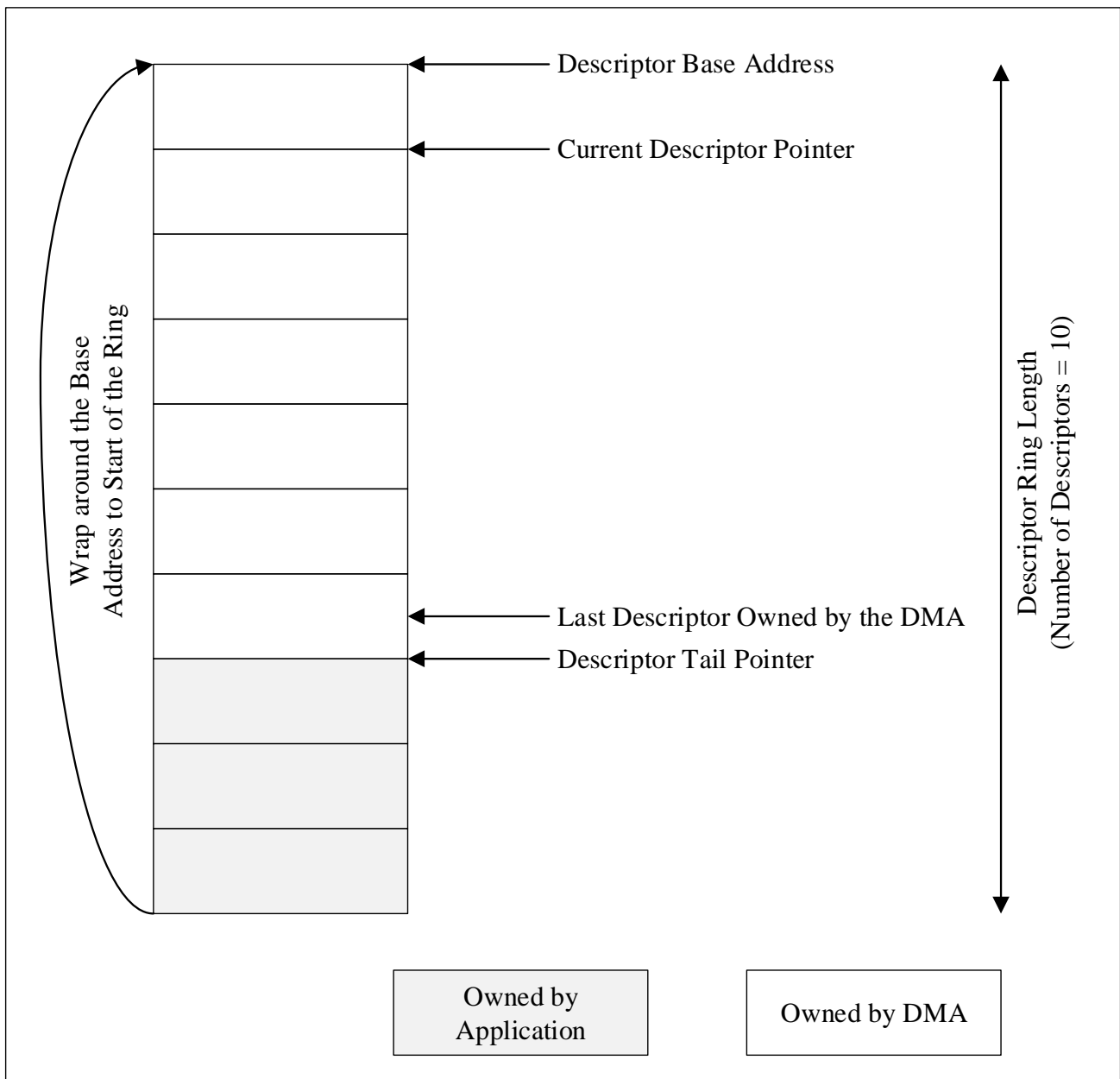
当前描述符指针 == 描述符尾指针；

出现此条件时，DMA 将进入暂停（挂起）模式。应用程序必须写入描述符尾指针寄存器并更新尾指针，使以下条件为真：

当前描述符指针 < 描述符尾指针；

如图 47-24 所示，当到达环末端时，DMA 会自动绕基址运行。

图 47-24 DMA 描述符环



对于应用程序拥有的描述符，T(R)DES3 的 OWN 位被重置为 0。对于 DMA 拥有的描述符，OWN 位被设置为 1。如果应用程序在开始时只有一个描述符，则应用程序会将最后一个描述符地址（尾指针）设置为描述符基地址 + 1。DMA 处理第一个描述符，然后等待应用程序将尾指针向前递增。

#### 47.5.15.2 发送描述符

以太网外设中的 DMA 至少需要一个发送数据包描述符。除了两个缓冲区、两个字节数缓冲区和两个地址指针外，发送描述符还包含控制字段，可用于控制每个发送数据包的 MAC 操作。发送正常描述符有两种格式：读格式和回写格式。

#### 发送正常描述符（读格式）

表 47-30 显示了发送正常描述符的读格式。表 47-31 至表 47-34 描述了发送正常描述符的读格式：TDES0、TDES1、TDES2 和 TDES3 的读格式。

**表 47-30 发送正常描述符（读格式）**

寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDES0	报头或 Buffer1 地址[31:0]																															
TDES1	Buffer2 地址[31:0]																															
TDES2	IOC	TTSE	Buffer2 长度														VTIR	报头或 Buffer1 长度														
TDES3	OWN	控制[30:16]或控制[30:18]														帧长度[14:0]或负载长度[17:0]																

**表 47-31 TDES0 正常描述符（读格式）**

位域	名称	描述
31:0	BUF1AP	缓冲区 1 地址指针或 TSO 报头地址指针（Buffer 1 Address Pointer or TSO Header Address Pointer） 将以下位置 1 时，这些位指示缓冲区 1 的物理地址或 TSO 报头地址指针： <ul style="list-style-type: none"> <li>■ TDES3 的 TSE 位</li> <li>■ TDES3 的 FD 位</li> </ul>

**表 47-32 TDES1 正常描述符（读格式）**

位域	名称	描述
31:0	BUF2AP	缓冲区 2 地址指针（Buffer 2 Address Pointer） 使用描述符环结构时，这些位指示缓冲区 2 的物理地址。缓冲区地址对齐方式不限。

**表 47-33 TDES2 正常描述符（读格式）**

位域	名称	描述
31	IOC	完成时中断（Interrupt on completion） 该位控制 DMA 通道 0 状态寄存器中 TI 和 ETI 状态位的设置。当 ETIC = 1 和 TDES2[LD] = 0 时，该位设置 ETI 位。当 TDES3[LD] = 1 时，该位设置 TI 状态位。
30	TTSE	发送时间戳使能（Transmit Timestamp Enable） 如果未设置 TSE 位，则该位可使能描述符引用的发送数据包的 IEEE 1588 时间戳。
29:16	B2L	Buffer 2 长度（Buffer 2 Length） 驱动程序会设置这个字段，该字段表示缓冲区 2 的长度。
15:14	VTIR	VLAN 标签插入或替换（VLAN Tag Insertion or Replacement）

位域	名称	描述
		这些位请求 MAC 在发送数据包之前执行 VLAN 标签或取消标记操作。为数据包使能 VLAN 标签插入、替换或删除时，应用程序必须相应地设置 CRC 填充控制位。这些位的值如下： <ul style="list-style-type: none"> <li>■ 00：不添加 VLAN 标签。</li> <li>■ 01：在发送前从数据包中删除 VLAN 标签。此选项应只与 VLAN 数据包一起使用。</li> <li>■ 10：使用在 VLAN 包含寄存器或上下文描述符中编程的标签值插入 VLAN 标签。</li> <li>■ 11：使用在 VLAN 包含寄存器或上下文描述符中编程的标签值替换数据包中的 VLAN 标签。此选项应只与 VLAN 数据包一起使用。</li> </ul>
13:0	HL/B1L	报头长度或 Buffer 1 长度（Header Length or Buffer 1 Length） 对于报头长度，只使用[9:0]位。[13:0]仅适用于解释缓冲区 1 长度。 如果通过 TDES3 的 TSE 位使能 TCP 分段减荷功能，则该字段等于报头长度。 当 TDES3 中的 TSE 位被设置时，报头长度包括从以太网源地址到 TCP 报头结束的 长度（以字节为单位）。TSO 功能支持的最大报头长度为 1023 字节。 如果未使能 TCP 分段减荷功能，则该字段等于缓冲区 1 长度。

**表 47-34 TDES3 正常描述符（读格式）**

位域	名称	描述
31	OWN	所属位（Own Bit） 该位置 1 时，表示 DMA 拥有描述符。该位复位后，表示应用程序拥有该描述符。 DMA 在完成相关缓冲区中的数据传输后会清除该位。
30	CTXT	上下文类型（Context Type） 对于正常描述符，该位应设置为 1'b0。
29	FD	第一个描述符（First Descriptor） 该位置 1 时，表示缓冲区包含数据包的第一个数据段。
28	LD	最后一个描述符（Last Descriptor） 该位置 1 时，表示缓冲区包含数据包的最后一个数据段。该位置 1 时，B1L 或 B2L 字段的值应为非零。
27:26	CPC	CRC PAD 控制（CRC Pad Control） 该字段控制 Tx 数据包的 CRC 和 PAD（填充）插入。该字段仅在第一个描述符位 （TDES3[29]）被设置时有效。 下面列出了位[27:26]的值： <ul style="list-style-type: none"> <li>■ 2'b00：CRC 和 PAD 插入                              MAC 在长度大于或等于 60 字节的发送数据包末尾附加循环冗余校验（CRC）。                              对于长度小于 60 字节的数据包，MAC 会自动附加填充和 CRC。</li> <li>■ 2'b01：插入 CRC（禁用填充插入）                              MAC 在发送的数据包末尾附加 CRC，但不附加填充。应用程序应确保从                              发送缓冲区发送的数据包中包含填充字节，即从发送缓冲区发送的数据包                              长度大于或等于 60 字节。</li> </ul>

位域	名称	描述
		<ul style="list-style-type: none"> <li>■ 2'b10: 禁用 CRC 插入 MAC 不会在发送的数据包末尾附加 CRC。应用程序应确保从发送缓冲区发送的数据包中包含填充和 CRC 字节。</li> <li>■ 2'b11: CRC 替换 MAC 使用重新计算的 CRC 字节替换发送数据包的最后四个字节。应用程序应确保从发送缓冲区发送的数据包中包含填充和 CRC 字节。</li> </ul> 该字段仅对第一个描述符有效。 <i>注意: 当 TSE 位被设置时, MAC 会忽略此字段, 因为对于分段, CRC 和填充插入总是进行的。</i>
25:23	SAIC	源地址插入控制 (SA Insertion Control) 这些位要求 MAC 将以太网数据包中的源地址字段添加或替换为 MAC 地址 0 寄存器中的值。当数据包启用 SA 插入控制时, 应用程序必须适当设置 CRC PAD 控制位。第 25 位指定用于插入或替换源地址的 MAC 地址寄存器 (1 或 0) 值。下面列出了位[24:23]的值: <ul style="list-style-type: none"> <li>■ 2'b00: 不包含源地址</li> <li>■ 2'b01: 包含或插入源地址。为实现可靠传输, 应用程序必须提供不含源地址的帧</li> <li>■ 2'b10: 替换源地址。为实现可靠传输, 应用程序必须提供带有源地址的帧</li> <li>■ 2'b11: 保留</li> </ul> 该字段仅对第一个描述符有效。
22:19	THL	TCP/UDP 报头长度 (TCP/UDP Header Length) 如果设置了 TSE 位, 则该字段包含 TCP/UDP 报头的长度。对于 TCP 报头, 该字段的最小值必须为 5。对于 UDP 报头, 该值必须等于 2。 该字段仅对第一个描述符有效。
18	TSE	TCP 分段使能 (TCP Segmentation Enable) 该位置 1 时, DMA 将对数据包执行 TCP/UDP 分段。 该字段仅对第一个描述符有效。
17:16	CIC/TPL	校验和插入控制或 TCP 负载长度 (Checksum Insertion Control or TCP Payload Length) 这些位控制校验和的计算和插入。以下列表描述了这些位的编码: <ul style="list-style-type: none"> <li>■ 2'b00: 禁用校验和插入。</li> <li>■ 2'b01: 仅使能 IP 报头校验和计算与插入。</li> <li>■ 2'b10: 使能 IP 报头校验和及有效负载校验和计算和插入, 但不在硬件中计算伪报头校验和。</li> <li>■ 2'b11: 使能 IP 报头校验和及有效负载校验和计算和插入, 并在硬件中计算伪报头校验和。</li> </ul> 当 TSE 位复位时, 该字段有效。 当 TSE 位置 1 时, 该字段包含 TCP 有效负载 (或 UDP 分片的 IP 有效负载) 的高位[17:16]。这使得 TCP/UDP 数据包长度字段可以跨越 TDES3[17:0], 以提供 256KB 数据包长度支持。 该字段仅对第一个描述符有效。
15	TPL	保留或 TCP 负载长度 (Reserved or TCP Payload Length) 当 TSE 位复位时, 该位被保留。当 TSE 位置 1 时, 该位为 TCP 有效负载长度



位域	名称	描述
		[17:0]的第 15 位。
14:0	FL/TPL	帧长度或 TCP 负载长度 (Frame Length or TCP Payload Length) 该字段等于要发送的数据包长度 (以字节为单位)。当 TSE 位未置 1 时, 该字段等于要发送的数据包总长度: <i>以太网头长度 + TCP/IP 头长度 - 前导码长度 - SFD 长度 + 以太网有效负载长度</i> 当 TSE 位置 1 时, 该字段等于分段情况下 TCP 有效负载长度的低 15 位, 以及 UDP 分片情况下 IP 有效负载的低 15 位。 在分段情况下, 该长度不包括以太网头或 TCP/UDP/IP 头长度。在分片情况下, 该长度不包括以太网头和 IP 头。 未使能 DWRR/WFQ 算法时, 当 TSE = 0 时, 不使用写入此字段的值。

### 发送正常描述符 (回写格式)

发送描述符的回写格式包括时间戳低位、时间戳高位、OWN 和状态位。

回写格式仅适用于相应数据包的最后一个描述符。在 DMA 回写相应发送数据包的状态和时间戳信息的描述符中, LD 位 (TDES3[28]) 被置位。

表 47-35 显示了发送正常描述符的回写格式。表 47-36 至表 47-39 描述了发送正常描述符的回写格式: TDES0、TDES1、TDES2 和 TDES3 的回写格式。

表 47-35 发送正常描述符 (回写格式)

寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDES0	时间戳低位																															
TDES1	时间戳高位																															
TDES2	保留																															
TDES3	OWN	状态																														

表 47-36 TDES0 正常描述符 (回写格式)

位域	名称	描述
31:0	TTSL	发送数据包时间戳低位 (Transmit Packet Timestamp Low) DMA 会用相应发送数据包捕获的时间戳的最小有效 32 位更新该字段。只有在数据包的第一个描述符中设置了 TTSE 位时 (TDES2), DMA 才会写入时间戳。只有当描述符中的 LS 位置 1 且时间戳状态 (TTSS) 位置 1 时, 该字段才具有时间戳。

**表 47-37 TDES1 正常描述符（回写格式）**

位域	名称	描述
31:0	TTSH	发送数据包时间戳高位（Transmit Packet Timestamp High） DMA 会用相应发送数据包捕获的时间戳的最大有效 32 位更新该字段。只有在数据包的第一个描述符中设置了 TTSE 位时（TDES2），DMA 才会写入时间戳。只有当描述符中的 LS 位置 1 且时间戳状态（TTSS）位置 1 时，该字段才具有时间戳。

**表 47-38 TDES2 正常描述符（回写格式）**

位域	名称	描述
31:0	Reserved	保留。

**表 47-39 TDES3 正常描述符（回写格式）**

位域	名称	描述
31	OWN	所属位（Own Bit） 该位置 1 时，表示 DMA 拥有该描述符。DMA 完成数据包传输完成后会清除该位。回写完成后，该位被设置为 1'b0。
30	CTXT	上下文类型（Context Type） 对于正常描述符，该位应设置为 1'b0。
29	FD	第一个描述符（First Descriptor） 该位置 1 时，表示缓冲区包含数据包的第一个数据段。
28	LD	最后一个描述符（Last Descriptor） 该位置 1 时，表示缓冲区包含数据包的最后一个数据段。DMA 只在数据包的最后一个描述符中写入状态字段。
27:24	Reserved	保留。
23	DE	描述符错误（Descriptor Error） 该位被置 1 时，表示描述符内容不正确。DMA 在回写过程中会设置该位，同时关闭描述符。 描述符错误可能是： <ul style="list-style-type: none"> <li>■ 上下文描述符顺序不正确。例如，位置位于数据包的第一个描述符之后。</li> <li>■ 全部为 1。</li> <li>■ CTXT 设为 1，LD 或 FD 位设为 1。</li> </ul> 注 1：当由于全部为 1 或 CTXT、LD 和 FD 位置 1 而发生描述符错误时，发送 DMA 关闭发送描述符，DE 和 LD 位设置为 1。当对应的第一个描述符的 TDES2 中的 IOC 位设置为 1 时，发送 DMA 将设置 DMA 通道 0 状态寄存器中的 TI 位。 注 2：根据发送描述符的 CTXT、LD 和 FD 位，后续描述符可能被视为第一描述符（即使 FD 位未设置），并发送部分数据包。
22:18	Reserved	保留。
17	TTSS	发送时间戳状态（Tx Timestamp Status） 该状态位表示已捕获相应发送数据包的时间戳。该位被设置时，TDES0 和 TDES1 具有为发送数据包捕获的时间戳值。只有当描述符中的 LD 位

位域	名称	描述
		(TDES3[28]) 被设置时, 该字段才有效。该位仅在 IEEE 1588 时间戳功能使能时有效, 否则保留。
16	EUE	ECC 不可纠错状态 (ECC Uncorrectable Error Status) 表示 TSO 存储器中的 ECC 不可纠正错误。 注: 发送 FIFO 存储器中的不可纠正错误在 (bit13) PF = 1 时报告。这是因为所有此类数据包都会被以太网外设刷新。
15	ES	错误汇总 (Error Summary) 该位表示以下位的逻辑 OR: <ul style="list-style-type: none"> <li>■ TDES3[0]: IP 头错误</li> <li>■ TDES3[14]: Jabber 超时</li> <li>■ TDES3[13]: 数据包刷新</li> <li>■ TDES3[12]: 有效负责校验和错误</li> <li>■ TDES3[11]: 载波丢失</li> <li>■ TDES3[10]: 无载波</li> <li>■ TDES3[9]: 延迟冲突</li> <li>■ TDES3[8]: 过度冲突</li> <li>■ TDES3[3]: 过度延迟</li> <li>■ TDES3[2]: 下溢错误</li> </ul> 当 EUE (bit16) 被置 1 时, 该位也被置 1。
14	JT	Jabber 超时 (Jabber Timeout) 该位表示 MAC 发送器发生了 Jabber 超时。只有当 MAC 配置寄存器的 JD 位未置 1 时, 该位才会被置 1。
13	PF	数据包刷新 (Packet Flushed) 该位表示 DMA 或 MTL 根据 CPU 发出的软件刷新命令刷新了数据包。
12	PCE	有效负载校验和错误 (Payload Checksum Error) 该位表示校验和减荷引擎发生故障, 未在封装的 TCP、UDP 或 ICMP 有效负载中插入任何校验和。出现这种故障的原因可能是 IP 头的有效负载长度字段显示的字节数不足, 也可能是 MTL 在存储转发模式下开始将数据包转发到 MAC 发送器, 但尚未计算校验和。第二种错误情况仅发生在发送 FIFO 深度小于正在传输的以太网数据包长度时, 以避免死锁, MTL 在 FIFO 满时开始转发数据包, 即使在存储转发模式下也是如此。 在数据包传输过程中检测到总线错误时, 也会出现这种错误。
11	LOC	载波丢失 (Loss of Carrier) 该位表示在数据包传输期间发生了载波丢失 (即在数据包传输期间, CRS 信号在一个或多个发送时钟周期内处于非活动状态)。该位仅对无冲突传输的数据包和 MAC 在半双工模式下工作时有效。
10	NC	无载波 (No Carrier) 该位表示在传输过程中 PHY 的载波检测信号无效。
9	LC	延迟冲突 (Late Collision) 该位表示由于冲突窗口 (在 MII 模式下为 64 字节, 包括前导码; 在 GMII 模式下为 512 字节, 包括前导码和载波扩展) 之后发生冲突, 数据包传输被中止。 如果"下溢错误"位置 1, 则该位无效。

位域	名称	描述
8	EC	过度冲突 (Excessive Collision) 该位表示在尝试发送当前数据包时连续发生 16 次冲突后传输被中止。如果在 MAC 配置寄存器中设置了 DR 位, 则该位将在第一次冲突后被置 1, 数据包的传输将被中止。
7:4	CC	冲突计数 (Collision Count) 该 4 位计数器值表示数据包发送前发生冲突的次数。当 EC 位被置 1 时, 计数无效。
3	ED	过度延迟 (Excessive Deferral) 如果在 MAC 配置寄存器中设置了 DC 位, 则该位表示由于过度延迟超过 24288 比特次 (在 1000Mbps 模式或启用巨型数据包模式下为 155680 比特次) 而导致传输结束。 在全双工模式下使能 TBS 且该位被置 1 时, 表示帧在到达过期时间后被丢弃。
2	UF	下溢错误 (Underflow Error) 该位表示 MAC 因数据延迟从系统内存到达而终止数据包。发生下溢错误的原因可能是以下任一情况: <ul style="list-style-type: none"> <li>■ DMA 在传输数据包时遇到空的发送缓冲区</li> <li>■ 应用程序填充 MTL Tx FIFO 的速度慢于 MAC 发送速率</li> </ul> 发送过程进入暂停状态, 并设置 MTL 中断状态寄存器中与队列相对应的下溢位。
1	DB	Deferred 位 (Deferred Bit) 该位表示 MAC 因存在载波而推迟发送。该位仅在半双工模式下有效。
0	IHE	IP 报头错误 (IP Header Error) 该位置 1 时, 表示校验和减荷引擎检测到 IP 报头错误。该位仅在启用 Tx 校验和减荷时有效。 否则保留。如果 COE 检测到 IP 报头错误, 但以太网类型字段显示 IPv4 有效负责, 则仍会插入 IPv4 报头校验和。

### 发送上下文描述符

上下文描述符用于为进一步时间戳校正提供时间戳, 为 VLAN 插入功能提供 VLAN 标签 ID。

发送上下文描述符可在数据包描述符之前的任何时间提供。上下文对当前数据包和后续数据包有效。对上下文描述符的回写仅用于复位 OWN 位。

表 47-40 显示了发送上下文描述符的格式。表 47-41 至表 47-44 描述了发送上下文描述符的格式: TDES0、TDES1、TDES2 和 TDES3 的格式。

**表 47-40 发送上下文描述符**

寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDES0	时间戳低位																															
TDES1	时间戳高位																															
TDES2	内部 VLAN 标签																保留		最大段大小													

寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDES3	OWN	控制															VLAN 标签															

**表 47-41 TDES0 上下文描述符**

位域	名称	描述
31:0	TTSL	发送数据包时间戳低位 (Transmit Packet Timestamp Low) 对于单步校正, 驱动程序可在该描述符字中提供时间戳的低 32 位。DMA 将此值作为低字来进行单步时间戳校正。该字段仅在 TDES3 上下文描述符的 OSTC 位和 TCMSSV 位被置 1 时有效。

**表 47-42 TDES1 上下文描述符**

位域	名称	描述
31:0	TTSH	发送数据包时间戳高位 (Transmit Packet Timestamp High) 对于单步校正, 驱动程序可在该描述符字中提供时间戳的高 32 位。DMA 将此值作为高字来进行单步时间戳校正。该字段仅在 TDES3 上下文描述符的 OSTC 位和 TCMSSV 位被置 1 时有效。

**表 47-43 TDES2 上下文描述符**

位域	名称	描述
31:16	IVT	内部 VLAN 标签 (Inner VLAN Tag) 当 TDES3 上下文描述符的 IVLTV 位被置 1 且 TDES3 上下文描述符的 TCMSSV 位和 OSTC 位被复位时, TDES2[31:16]包含要插入后续发送数据包的内部 VLAN 标签。
15:14	Reserved	保留。
13:0	MSS	最大段大小 (Maximum Segment Size) 当使能 TCP/IP 数据包的 TCP 分段减荷功能时, 驱动程序可在该字段中提供最大分段大小。在分段 TCP/IP 有效负载时, 将使用此分段大小。该字段仅在 TDES3 上下文描述符的 TCMSSV 位被置 1 且 TDES3 上下文描述符的 OSTC 位被复位时有效。

**表 47-44 TDES3 上下文描述符**

位域	名称	描述
31	OWN	所属位 (Own Bit) 该位置 1 时, 表示 DMA 拥有描述符。该位复位时, 表示应用程序拥有该描述符。DMA 会在读操作后立即清除该位。
30	CTXT	上下文类型 (Context Type) 对于上下文描述符, 该位应设置为 1'b1。
29:28	Reserved	保留。

位域	名称	描述
27	OSTC	一步时间戳校正使能 (One-Step Timestamp Correction Enable) 该位置 1 时, DMA 将参照 TDES0 和 TDES1 中提供的时间戳值执行一步时间戳校正。
26	TCMSSV	一步时间戳校正输入或 MSS 有效 (One-Step Timestamp Correction Input or MSS Valid) 当该位和 OSTC 位被置 1 时, 表示 TDES0 和 TDES1 中提供的时间戳校正输入有效。 当 OSTC 位被复位且该位和 TDES3 的 TSE 位在后续正常描述符中被置 1 时, 表示 TDES2 中的 MSS 输入有效。
25:24	Reserved	保留。
23	CDE	上下文描述符错误 (Context Descriptor Error) 该位被置 1 时, 表示描述符内容不正确。DMA 在回写过程中会设置该位, 同时关闭上下文描述符。 上下文描述符错误可能是: <ul style="list-style-type: none"> <li>■ 上下文描述符顺序不正确。例如, 位置位于数据包的第一个描述符之后。</li> <li>■ 全部为 1。</li> <li>■ CD、LD 或 FD 位设为 1。</li> </ul> 注 1: 当由于全部为 1 或 CTXT、LD 和 FD 位置 1 而发生描述符错误时, 发送 DMA 关闭发送描述符, DE 和 LD 位设置为 1。当对应的第一个描述符的 TDES2 中的 IOC 位设置为 1 时, 发送 DMA 将设置 DMA 通道 0 状态寄存器中的 TI 位。 注 2: 根据发送描述符的 CTXT、LD 和 FD 位, 后续描述符可能被视为第一描述符 (即使 FD 位未设置), 并发送部分数据包。 注 3: 此错误被归类为异常事件; 只能通过软件复位来恢复 (不支持 DMA 停止-重新配置-重新启动恢复机制)
22:20	Reserved	保留。
19:18	IVTIR	内部 VLAN 标签插入或替换 (Inner VLAN Tag Insert or Replace) 这些位会要求 MAC 在发送数据包之前执行内部 VLAN 标记或取消标记。如果数据包修改了 VLAN 标签, MAC 会自动重新计算并替换 CRC 字节。 下面列出了这些位的值: 2'b00: 不添加内部 VLAN 标签。 2'b01: 发送前删除数据包中的内部 VLAN 标签。该选项只能用于 VLAN 帧。 2'b10: 用 MAC 内部 VLAN 包含寄存器或上下文描述符中编程的标签值插入内部 VLAN 标签。 2'b11: 用 MAC 内部 VLAN 包含寄存器或上下文描述符中编程的标签值替换数据包中的内部 VLAN 标签。该选项只能用于 VLAN 帧。
17	IVLTV	内部 VLAN 标签有效 (Inner VLAN Tag Valid) 该位置 1 时, 表示 TDES2 的 IVT 字段有效。
16	VLTV	VLAN 标签有效 (VLAN Tag Valid) 该位置 1 时, 表示 TDES3 的 VT 字段有效。
15:0	VT	VLAN 标签 (VLAN Tag) 该字段包含要在数据包中插入或替换的 VLAN 标签。只有当 MAC VLAN 包含寄存器的 VLTi 位被复位时, 该字段才会被用作 VLAN 标签。

### 47.5.15.3 接收描述符

只有当接收描述符尾指针与基指针或当前指针不同时，以太网外设中的 DMA 才会尝试读取描述符。建议描述符环的长度至少能容纳 MAC 收到的两个完整数据包。否则，由于描述符不可用，DMA 的性能会受到很大影响。在这种情况下，MTL 中的 Rx FIFO 就会满载并开始丢弃数据包。

所有 Rx 描述符均由软件准备并作为"正常"描述符提供给 DMA，其内容如接收正常描述符（读格式）所示。DMA 读取该描述符，并将接收到的数据包（或部分数据包）传输到描述符所示的缓冲区后，Rx DMA 关闭该描述符，并给出相应的数据包状态。该状态的格式参见"接收正常描述符（回写格式）"。

对于某些数据包，正常描述符位不足以写入完整的状态。对于此类数据包，Rx DMA 会将扩展状态写入下一个描述符（无需处理或使用嵌入该描述符的缓冲区/指针）。描述符回写的格式和内容请参见"接收上下文描述符"。

#### 接收正常描述符（读格式）

接收正常描述符的读格式由 Buffer 1 地址、保留字段、Buffer 2 地址、30 位保留字段、OWN 位和中断位组成。

表 47-45 显示了接收正常描述符的读格式。表 47-46 至表 47-49 描述了接收正常描述符的读格式：RDES0、RDES1、RDES2 和 RDES3 的读格式。

表 47-45 接收正常描述符（读格式）

寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RDES0	Buffer 1 地址																															
RDES1	保留																															
RDES2	Buffer 2 地址																															
RDES3	OWN	IOC	保留																													

注：在接收描述符（读格式）中，如果缓冲区地址字段全为 0，则以太网外设不会向该缓冲区传输数据，而是跳转到下一个缓冲区或下一个描述符。

表 47-46 RDES0 正常描述符（读格式）

位域	名称	描述
31:0	BUF1AP	缓冲区 1 地址指针（Buffer 1 Address Pointer） 这些位表示缓冲区 1 的物理地址。

表 47-47 RDES1 正常描述符（读格式）

位域	名称	描述
31:0	Reserved	保留。

**表 47-48 RDES2 正常描述符（读格式）**

位域	名称	描述
31:0	BUF2AP	缓冲区 2 地址指针（Buffer 2 Address Pointer） 这些位指示缓冲器 2 的物理地址。

**表 47-49 RDES3 正常描述符（读格式）**

位域	名称	描述
31	OWN	所属位（Own Bit） 该位置 1 时，表示 DMA 拥有描述符。该位复位时，表示应用程序拥有该描述符。当以下任一条件为真时，DMA 会清零该位： <ul style="list-style-type: none"> <li>■ DMA 完成数据包接收。</li> <li>■ 与描述符相关的缓冲区已满。</li> </ul>
30	IOC	完成时中断（Interrupt Enabled on Completion） 该位置 1 时，当 DMA 关闭该描述符时将向应用程序发出中断。
29:26	Reserved	保留。
25	BUF2V	缓冲区 2 地址有效（Buffer 2 Address Valid） 该位置 1 时，它向 DMA 表明 RDES2 中指定的缓冲区 2 地址有效。 应用程序必须设置该位，这样 DMA 才能使用 RDES2 中缓冲区 2 地址指向的地址写入接收到的数据包数据。
24	BUF1V	缓冲区 1 地址有效（Buffer 1 Address Valid） 该位置 1 时，将向 DMA 指示 RDES0 中指定的缓冲区 1 地址有效。 应用程序必须设置该位，这样 DMA 才能使用 RDES0 中缓冲区 1 地址指向的地址写入接收到的数据包数据。
23:0	Reserved	保留。

**接收正常描述符（回写格式）**

表 47-50 显示了接收正常描述符的回写格式。表 47-51 至表 47-54 描述了接收正常描述符的回写格式：RDES0、RDES1、RDES2 和 RDES3 的回写格式。

**表 47-50 接收正常描述符（回写格式）**

寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RDES0	内部 VLAN 标签																外部 VLAN 标签															
RDES1	OAM 码/MAC 控制操作码																扩展状态															
RDES2	MAC 过滤																保留		ARPNR	保留												
RDES3	OWN	CTXC	FD	LD	状态												数据包长度															



**表 47-51 RDES0 正常描述符（回写格式）**

位域	名称	描述
31:16	IVT	内部 VLAN 标签（Inner VLAN Tag） 如果 RDES3 的 RSOV 位被置 1，则该字段包含接收数据包的内部 VLAN 标签。
15:0	OVT	外部 VLAN 标签（Outer VLAN Tag） 如果 RDES3 的 RSOV 位被置 1，则该字段包含接收数据包的外部 VLAN 标签。

**表 47-52 RDES1 正常描述符（回写格式）**

位域	名称	描述
31:16	OPC	OAM 子类型代码或 MAC 控制包操作码（OAM Sub-Type Code, or MAC Control Packet opcode） OAM 子类型代码 如果 RDES3 的位[18:16]设置为 3'b111，则该字段包含 OAM 子类型和代码字段。 MAC 控制包操作码 RDES3 的位[15:8]包含子类型，位[7:0]包含代码。
15	TD	时间戳丢失（Timestamp Dropped） 该位表示已捕获该数据包的时间戳，但由于溢出而被丢弃在 MTL Rx FIFO 中。
14	TSA	时间戳有效（Timestamp Available） 当存在时间戳时，该位表示上下文描述符字 2（RDES2）和字 1（RDES1）中有时间戳值。只有当最后描述符位（RDES3[28]）被置 1 时，该位才有效。 上下文描述符将写入数据包最后一个正常描述符之后的下一个描述符中。
13	PV	PTP 版本（PTP Version） 该位表示接收到的 PTP 报文采用 IEEE 1588 版本 2 格式。该位复位时，则表示 IEEE 1588 版本 1 格式。
12	PFT	PTP 数据包类型（PTP Packet Type） 该位表示 PTP 报文直接通过以太网发送。
11:8	PMT	PTP 消息类型（PTP Message Type） 将对这些位进行编码，以给出所接收消息的类型： <ul style="list-style-type: none"> <li>■ 0000: 未接收到任何 PTP 消息</li> <li>■ 0001: SYNC（所有时钟类型）</li> <li>■ 0010: Follow_Up（所有时钟类型）</li> <li>■ 0011: Delay_Req（所有时钟类型）</li> <li>■ 0100: Delay_Resp（所有时钟类型）</li> <li>■ 0101: Pdelay_Req（针对点对点透明时钟）</li> <li>■ 0110: Pdelay_Resp（针对点对点透明时钟）</li> <li>■ 0111: Pdelay_Resp_Follow_Up（针对点对点透明时钟）</li> <li>■ 1000: 发布</li> <li>■ 1001: 管理</li> <li>■ 1010: 信号传输</li> <li>■ 1011~1110: 保留</li> <li>■ 1111: 采用保留消息类型的 PTP 数据包</li> </ul>

位域	名称	描述
7	IPCE	IP 有效负载错误 (IP Payload Error) 该位置 1 时, 表示以下任一项: <ul style="list-style-type: none"> <li>■ 由 MAC 计算的 16 位 IP 有效负载校验和 (即 TCP、UDP 或 ICMP 校验和) 与接收段中对应的校验和字段不匹配。</li> <li>■ TCP、UDP 或 ICMP 段长度与 IP 报头字段中的有效负载长度值不匹配。</li> <li>■ TCP、UDP 或 ICMP 段长度小于 TCP、UDP 或 ICMP 的最小允许段长度。</li> </ul> 该位置 1 时, RDES3 的位 15 (ES) 不置 1。
6	IPCB	绕过 IP 校验和 (IP Checksum Bypassed) 该位表示绕过校验和减荷引擎。
5	IPV6	存在 IPv6 报头 (IPv6 header Present) 该位表示检测到 IPv6 报头。
4	IPV4	存在 IPv4 报头 (IPv4 Header Present) 该位表示检测到 IPv4 报头。
3	IPHE	IP 报头错误 (IP Header Error) 该位置 1 时, 表示以下任一项: <ul style="list-style-type: none"> <li>■ 由 MAC 计算的 16 位 IPv4 报头校验和与接收的校验和字节不匹配。</li> <li>■ IP 数据报版本与以太网类型值不一致。</li> <li>■ 以太网数据包不具有预期 IP 报头字节数。</li> </ul> 该位在 bit5 或 bit4 置 1 时有效。
2:0	PT	有效负载类型 (Payload Type) 这些位表示由接收校验和减荷引擎 (COE) 处理的 IP 数据报中封装的有效负载类型: <ul style="list-style-type: none"> <li>■ 000: 类型未知, 或未处理 IP 有效负载</li> <li>■ 001: UDP</li> <li>■ 010: TCP</li> <li>■ 011: ICMP</li> <li>■ 其他值: 保留</li> </ul> 如果 COE 因存在 IP 报头错误或分段 IP 而未处理 IP 数据报的有效负载, 则会将这些位设为 3'b000。

**表 47-53 RDES2 正常描述符 (回写格式)**

位域	名称	描述
31:29	L3L4FM	第 3 层和第 4 层过滤器编号匹配 (Layer 3 and Layer 4 Filter Number Matched) 这些位表示与接收到的数据包匹配的 第 3 层和第 4 层过滤器的编号: <ul style="list-style-type: none"> <li>000: 过滤器 0</li> <li>001: 过滤器 1</li> <li>010: 过滤器 2</li> <li>011: 过滤器 3</li> <li>100: 过滤器 4</li> <li>101: 过滤器 5</li> <li>110: 过滤器 6</li> </ul>

位域	名称	描述
		111: 过滤器 7 只有在 bit28 或 bit27 置为高电平时, 该字段才有效。如果有多个过滤器匹配, 则这些位会给出最低级过滤器的编号。
28	L4FM	第 4 层过滤器匹配 (Layer 4 Filter Match) 该位置 1 时, 表示接收到的数据包与使能的第 4 层端口号字段之一匹配。只有在下列条件之一为真时, 才会给出该状态: <ul style="list-style-type: none"> <li>■ 第 3 层字段未使能, 所有使能的第 4 层字段均匹配</li> <li>■ 所有已使能的第 3 层和第 4 层过滤器字段均匹配</li> </ul> 如果有多个过滤器匹配, 该位会给出由位[31:29]指示的过滤器的第 4 层过滤器状态。
27	L3FM	第 3 层过滤器匹配 (Layer 3 Filter Match) 该位置 1 时, 表示接收到的数据包与使能的第 3 层 IP 地址字段之一匹配。只有在下列条件之一为真时, 才会给出该状态: <ul style="list-style-type: none"> <li>■ 所有使能的第 3 层字段均匹配, 所有使能的第 4 层字段均被绕过</li> <li>■ 所有使能的过滤器字段均匹配</li> </ul> 如果有多个过滤器匹配, 该位会给出由位[31:29]指示的过滤器的第 3 层过滤器状态。
26:19	MADRM	MAC 地址匹配或哈希值 (MAC Address Match or Hash Value) 当 HF 位复位时, 该字段包含与接收到的数据包的目标地址匹配的 MAC 地址寄存器编号。只有在 DAF 位复位时, 该字段才有效。 HF 位置 1 时, 该字段包含由 MAC 计算的哈希值。哈希过滤器寄存器中对应于哈希值的位置 1 时, 数据包会通过哈希过滤器。
18	HF	哈希过滤器状态 (Hash Filter Status) 该位置 1 时, 表示数据包通过 MAC 地址哈希过滤器。位[26:19]表示哈希值。
17	DAF	DA 地址过滤失败 (Destination Address Filter Fail) 该位置 1 时, 表示数据包未通过 MAC 中的 DA 过滤。
16	SAF	SA 地址过滤失败 (SA Address Filter Fail) 该位置 1 时, 表示数据包未通过 MAC 中的 SA 过滤。
15	VFS	VLAN 过滤状态 (VLAN Filter Status) 该位置 1 时, 表示接收到的数据包的 VLAN 标签通过 VLAN 过滤。
14:11	Reserved	保留。
10	ARPNR	未生成 ARP 响应 (ARP Reply Not Generated) 该位置 1 时, 表示 MAC 未针对接收到的 ARP 请求数据包生成 ARP 响应。MAC 忙于针对较早 ARP 请求发送 ARP 响应时, 该位置 1 (一次只能处理一个 ARP 请求)。
9:0	Reserved	保留。

**表 47-54 RDES3 正常描述符 (回写格式)**

位域	名称	描述
31	OWN	所属位 (Own Bit) 该位置 1 时, 表示 DMA 拥有描述符。该位复位时, 表示应用程序拥有该描述

位域	名称	描述
		符。当以下任一条件为真时，DMA 会清零该位： <ul style="list-style-type: none"> <li>■ DMA 完成数据包接收。</li> <li>■ 与描述符相关的缓冲区已满。</li> </ul>
30	CTXT	接收上下文描述符（Receive Context Descriptor） 该位置 1 时，表示当前描述符是上下文类型描述符。对于正常接收描述符，DMA 会向该位写入 1'b0。 当 CTXT 和 FD 位一起使用时，{CTXT, FD}： <ul style="list-style-type: none"> <li>■ 2'b00：中间描述符</li> <li>■ 2'b01：第一描述符</li> <li>■ 2'b10：保留</li> <li>■ 2'b11：描述符错误（由于全为 1）</li> </ul> <i>注：当发生描述符错误时，接收 DMA 将关闭显示描述符错误的接收描述符。该接收描述符将被跳过，缓冲区地址不会用于写入数据包数据。接收 DMA 设置 DMA 通道 0 状态寄存器中的 CDE 字段，但即使设置了 IOC 字段，也不会设置 RI 字段，因为它未被标记为数据包的最后一个接收描述符。随后的有效接收描述符用于写入数据包数据。</i>
29	FD	第一个描述符（First Descriptor） 该位置 1 时，表示该描述符包含数据包的第一个缓冲区。如果第一个缓冲区的大小为 0，则第二个缓冲区包含数据包的起始字节。如果第二个缓冲区的大小也为 0，则下一个描述符包含数据包的起始字节。 有关同时使用 CTXT 位和 FD 位的详细信息，请参阅 CTXT 位说明。
28	LD	最后一个描述符（Last descriptor） 该位置 1 时，表示该描述符所指向的缓冲区为数据包的最后几个缓冲区。
27	RS2V	接收状态 RDES2 有效（Receive Status RDES2 Valid） 该位置 1 时，表示 RDES2 中的状态有效，且由 DMA 写入。该位仅在 RDES3 的 LD 位置 1 时有效。
26	RS1V	接收状态 RDES1 有效（Receive Status RDES1 Valid） 该位置 1 时，表示 RDES1 中的状态有效，且由 DMA 写入。该位仅在 RDES3 的 LD 位置 1 时有效。
25	RS0V	接收状态 RDES0 有效（Receive Status RDES0 Valid） 该位置 1 时，表示 RDES0 中的状态有效，且由 DMA 写入。该位仅在 RDES3 的 LD 位置 1 时有效。
24	CE	CRC 错误（CRC Error） 该位置 1 时，表示接收到的数据包发生循环冗余校验（CRC）错误。该字段仅在 RDES3 的 LD 位置 1 时有效。
23	GP	大型数据包（Giant Packet） 该位置 1 时，表示数据包长度超出指定的最大以太网大小，即，1518、1522 或 2000 字节（如果巨型数据包使能位置 1，则为 9018 或 9022 字节）。 <i>注：大型数据包仅表示数据包长度，不会导致数据包截断。</i>
22	RWT	接收看门狗超时（Receive Watchdog Timeout） 该位置 1 时，表示接收看门狗定时器在接收当前数据包时已到期。看门狗超时后，当前数据包会被截断。

位域	名称	描述
21	OE	<p>上溢错误 (Overflow Error)</p> <p>该位置 1 时, 表示接收到的数据包因 Rx FIFO 中发生缓冲区上溢而损坏。</p> <p>注: 只有在 DMA 将部分数据包传输到应用程序时, 该位才会置 1。仅当 Rx FIFO 工作在阈值模式下时才会出现这种情况。在存储转发模式下, 所有部分数据包均会在 Rx FIFO 中被完全丢弃。</p>
20	RE	<p>接收错误 (Receive Error)</p> <p>该位置 1 时, 表示在接收数据包期间 RX_ER 信号有效, 而 RX_DV 信号也有效。该错误还包括 GMII 和半双工模式下的载波扩展错误。错误可能是扩展较少或没有扩展, 也可能是扩展过程中出现错误 (rxdl=0f)。</p>
19	DE	<p>Dribble 位错误 (Dribble Bit Error)</p> <p>该位置 1 时, 表示接收到的数据包具有非整数倍数的字节 (奇数半字节)。该位仅在 MII 模式下有效。</p>
18:16	LT	<p>长度/类型字段 (Length/Type Field)</p> <p>该字段指示接收到的数据包为长度数据包或类型数据包。这 3 个位的编码如下:</p> <ul style="list-style-type: none"> <li>■ 3'b000: 数据包为长度数据包</li> <li>■ 3'b001: 数据包为类型数据包</li> <li>■ 3'b011: 数据包为 ARP 请求数据包类型</li> <li>■ 3'b100: 数据包为带有 VLAN 标签的类型数据包</li> <li>■ 3'b101: 数据包为带有双 VLAN 标签的类型数据包</li> <li>■ 3'b110: 数据包为 MAC 控制数据包类型</li> <li>■ 3'b111: 数据包为 OAM 数据包类型</li> <li>■ 3'b010: 保留</li> </ul>
15	ES	<p>错误汇总 (Error Summary)</p> <p>该位置 1 时, 表示以下位的逻辑或运算结果:</p> <p>RDES3[24]: CRC 错误 (CRC Error)</p> <p>RDES3[19]: Dribble 错误 (Dribble Error)</p> <p>RDES3[20]: 接收错误 (Receive Error)</p> <p>RDES3[22]: 看门狗超时 (Watchdog Timeout)</p> <p>RDES3[21]: 上溢错误 (Overflow Error)</p> <p>RDES3[23]: 大型数据包 (Giant Packet)</p> <p>只有在 RDES3 的 LD 位置 1 时, 该字段才有效。</p>
14:0	PL	<p>数据包长度 (Packet Length)</p> <p>这些位表示传输到系统内存的接收数据包的字节长度 (包括 CRC)。</p> <p>当 RDES3 的 LD 位置 1 且溢出错误位被复位时, 该字段才有效。当启用 IP 校验和计算且接收的数据包不是 MAC 控制数据包时, 数据包长度还包括附加到以太网数据包的两个字节。</p> <p>该字段在 RDES3 的 LD 位置 1 时有效。当最后描述符位和错误汇总位均未置 1 时, 该字段表示当前数据包已传输的累计字节数。</p>

### 接收上下文描述符

该描述符对应用程序来说是只读的。只有 DMA 可以写入该描述符。上下文描述符提供与最后接收的数据包相关的扩展状态信息。RDES3 的第 30 位表示上下文类型描述符。

表 47-55 显示了接收上下文描述符的格式。表 47-56 至表 47-59 描述了接收上下文描述符的格式：RDES0、RDES1、RDES2 和 RDES3 的格式。

**表 47-55 接收上下文描述符**

寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RDES0	时间戳低位																															
RDES1	时间戳高位																															
RDES2	保留																															
RDES3	OWN	CTXT	保留																													

**表 47-56 RDES0 上下文描述符**

位域	名称	描述
31:0	RTSL	接收数据包时间戳低位 (Receive Packet Timestamp Low) DMA 会用相应接收数据包捕获的时间戳的最低有效 32 位更新该字段。当该字段和 RDES1 的 RTSH 字段显示全 1 值时，必须将时间戳视为损坏。

**表 47-57 RDES1 上下文描述符**

位域	名称	描述
31:0	RTSH	接收数据包时间戳高位 (Receive Packet Timestamp High) DMA 会用相应接收数据包捕获的时间戳的最高有效 32 位更新该字段。当该字段和 RDES0 的 RTSL 字段显示全 1 值时，必须将时间戳视为损坏。

**表 47-58 RDES2 上下文描述符**

位域	名称	描述
31:0	Reserved	保留。

**表 47-59 RDES3 上下文描述符**

位域	名称	描述
31	OWN	所属位 (Own Bit) 该位置 1 时，表示 DMA 拥有描述符。该位复位时，表示应用程序拥有该描述符。当以下任一条件为真时，DMA 会清零该位： <ul style="list-style-type: none"> <li>■ DMA 完成数据包接收。</li> <li>■ 与描述符相关的缓冲区已满。</li> </ul>
30	CTXT	接收上下文描述符 (Receive Context Descriptor) 该位置 1 时，表示当前描述符是上下文类型描述符。DMA 向该位写入 1'b1 表示

位域	名称	描述
		上下文描述符。 当 CTXT 和 DE 位一起使用时，{CTXT, DE}： <ul style="list-style-type: none"> <li>■ 2'b00：保留</li> <li>■ 2'b01：保留</li> <li>■ 2'b10：上下文描述符</li> <li>■ 2'b11：描述符错误</li> </ul> <i>注：当发生描述符错误时，接收 DMA 关闭显示描述符错误的接收描述符。接收 DMA 在 DMA 通道 0 状态寄存器中设置 CDE 位，但不会设置 RI 字段（即使 IOC 已置 1），因为这没有被标记为数据包的最后一个接收描述符。随后的有效接收描述符用于写入数据包数据。</i>
29	DE	描述符错误（Descriptor Error） 有关与 CTXT 位一起使用 DE 位的详情，请参阅 CTXT 位说明。
28:0	Reserved	保留。

## 47.5.16 以太网中断

以太网控制器中的各种事件都会产生中断。这些事件被记录在状态寄存器中，并为每个中断源提供中断使能，这样只有当相应的中断使能被设置时，中断才会有效。

中断状态寄存器和相应的使能寄存器以层级结构进行组织，以便软件更容易遍历和快速识别中断事件的来源。中断触发时，DMA 中断状态寄存器是第一层，指示中断事件源的主要块。该寄存器为只读寄存器，包含与每个 DMA 通道（Tx 和 Rx）、MTL 和 MAC 相对应的位。然后，软件应用程序必须读取与被置 1 位相对应的一个（或多个）寄存器：

- ETH MAC 中断状态寄存器（ETH\_MACINTSTS）
- ETH MTL 中断状态寄存器（ETH\_MTLINTSTS）
- ETH DMA 通道 0 状态寄存器（ETH\_DMACH0STS）

### 47.5.16.1 DMA 中断

DMA 通道 0 状态寄存器捕获该 Tx DMA 和 Rx DMA 通道对的所有中断事件。DMA 通道 0 中断使能寄存器包含每个中断事件的相应使能位。DMA 通道中有两组中断，即正常中断和异常中断。它们分别由 DMA 通道 0 状态寄存器的位[15:14]表示。正常组用于正常传输数据包（TI、RI、TBU）过程中发生的事件，而异常中断事件用于错误事件。向相应位写入 1'b1 可清除中断事件。当所有使能的中断事件（包括 NIS 和 AIS）被清除后，来自 DMA 通道的中断源也会被清除，DMA 中断状态寄存器中的相应位也会被清除。

中断不会形成队列。如果同一中断事件在驱动程序响应前一个中断事件之前再次发生，则不会产生额外的中断。例如，DMA 通道 0 状态寄存器的接收中断位[bit6]表示一个或多个数据包已传输到应用缓冲区。驱动程序必须扫描 DMA 拥有的所有描述符（从最后记录的位置到第一个位置），以确定收到了多少个数据包。

多个事件只产生一次中断。驱动程序必须扫描 DMA 中断状态寄存器，查找中断原因，并清除相应状态寄存器中的中断源。只有当 DMA 中断状态寄存器的所有位都被清零时，sbd\_intr\_o 才会被清零。

#### 发送和接收中断的周期性调度

出于系统吞吐量性能的考虑，为 DMA（RI 和 TI）传输的每个数据包生成中断并不可取。以太网外设允许使用两种方法灵活地定周期性调度中断：

- 每传输一个"所需的"数据包，就设置一次发送描述符中的"完成时中断"位（TDES2[31]）。
- 同样，仅在接收描述符的某些特定时间间隔设置 IOC（RDES3[30]）位。这样，每当接收到的数据包传输到系统内存完成，且用于该数据包传输的任何描述符的 IOC 位被置 1 时，才会产生 RI 事件。

此外，还提供了一个中断定时器（DMA 通道 0 接收中断看门狗定时器寄存器），用于灵活控制和定期调度接收中断。当该中断定时器被编程为非零值时，只要 Rx DMA 完成将接收到的数据包传输到系统内存而未触发接收中断，该定时器就会被激活，因为相应的完成中断 IOC 位（RDES3[30]）未被置 1。当该定时器按照编程值结束计时时，如果在 DMA 通道 0 中断使能寄存器中相应的 RIE 被使能，则 RI 位被置 1，并触发中断。如果 RI 被置 1 的数据包传输的描述符的 IOC 被置 1，则定时器在过期前停止并清零。下一次数据包传输完成后，定时器会自动重新激活，而不会产生 RI 事件。

### 通道传输完成中断

发送传输完成中断（TI）和接收传输完成中断（RI）反映在 DMA 通道 0 状态寄存器中。每当 Tx DMA 通道关闭 IOC 位（TDES2[31]）被置 1 的发送描述符时，TI 位被置 1。同样，每当 Rx DMA 通道关闭 LD 位被置 1 的接收描述符，并且在用于传输该数据包的任何描述符中，IOC 位（RDES3[30]）被置 1 时，RI 位被置 1。

只有在 DMA 通道 0 中断使能寄存器中使能相应中断时，才会针对传输完成中断将通用 sbd\_intr\_o 中断输出信号置为有效。

还支持以下通道 0 的传输完成中断信号。

- sbd\_perch\_tx\_intr\_o[0]（通道 0 发送中断信号）
- sbd\_perch\_rx\_intr\_o[0]（通道 0 接收中断信号）

根据 DMA 模式寄存器中的 INTM 字段的设置，RI/TI/sbd\_perch\_tx\_intr\_o/sbd\_perch\_rx\_intr\_o 的行为会发生变化。表 47-60 解释了传输完成中断行为。

表 47-60 传输完成中断行为

中断模式	sbd_perch_tx_intr_o 和 sbd_perch_rx_intr_o 信号的行为	RI/TI 和 sbd_intr_o 信号的行为
INTM = 0	当检测到相应的 Tx/Rx 传输完成事件（描述符的 IOC 位已使能）时，无论相应的中断状态如何，这些输出信号都会发出一个脉冲。	每当检测到"传输完成"事件时，TI/RI 状态信号就会被置 1。当软件驱动程序向这些位写入"1"时，这些位将被清零。当相应的中断也在 DMA 通道 0 中断使能寄存器中被使能时，sbd_intr_o 会被置为有效。RI/TI 事件发生时，NIS 状态位将被置为有效。
INTM = 1	这些信号反映了设置相应中断使能时 DMA 通道 0 状态寄存器中相应 TI/RI 位的值。因此，它们是电平信号，应用程序可通过向 RI/TI 状态位写入 1'b1 将其清除。当相应的中断使能位未置 1 时，该信号不会被置为有效。	对于 RI/TI 事件，sbd_intr_o 信号和 NIS 状态位不会被置为有效。
INTM = 2	在此模式下，RI/TI 中断处于队列状态。这些信号反映了设置相应中断使能时 DMA 通道 0 状态寄存器中相应 TI/RI 位的值。它们是电平信号，软件可通过向 RI/TI 状态位写入 1'b1 将其清除。但是，如果在前一个事件的 TI/RI 位被清除之前检测到另一个（多个）TI/RI 事件，它将再次被置 1。	每当检测到传输完成事件时，RI/TI 状态位就会被置 1，每当软件驱动程序通过写 1 清除这些位时，RI/TI 状态位就会被清除。但是，如果在软件清除之前检测到另一个传输完成事件，则以太网外设会自动再次设置这些状态位。不过，sbd_intr_o 信号不会根据 TI/RI 生成。RI/TI 事件发生时，NIS 状态位将被置为有



中断模式	sbd_perch_tx_intr_o 和 sbd_perch_rx_intr_o 信号的行为	RI/TI 和 sbd_intr_o 信号的行为
		效。

### 47.5.16.2 MTL 中断

MTL 中断事件与 DMA 中的事件结合用于生成中断信号。MTL 中断状态寄存器报告负责该事件的队列号。应读取 MTL 队列中断控制状态寄存器以获取事件说明。

MTL 中断默认为禁用。当 MTL 队列中断控制状态寄存器中的相应位被置 1 时，每个事件都能触发中断。

MTL 中断信号由以下事件之一驱动：

- 接收队列上溢
- 发送队列下溢

### 47.5.16.3 MAC 中断

由 MAC 接收器、MAC 发送器或其他模块/功能（如 RMON 计数器、EEE 等）中的各种事件，可从 MAC 生成中断。

MAC 中断事件与 DMA 中的事件结合用于生成中断信号。MAC 中断属于电平类型，即中断保持断言（高电平）状态，直到应用程序或软件将其清除。

MAC 中断状态寄存器描述了可能导致 MAC 中断的事件。MAC 中断默认为禁用。当 MAC 中断状态寄存器中的相应位被置 1 时，每个事件都能触发中断。

中断寄存器位仅指示报告事件的块。要清除中断，必须读取相应的状态寄存器和其他寄存器。

MAC 中断信号由以下事件之一驱动：

- 接收状态中断
- 发送状态中断
- 时间戳中断状态
- MMC 中断状态
- MMC 接收校验和减荷中断状态
- MMC 发送中断状态
- MMC 接收中断状态
- LPI 中断状态
- PMT 中断状态
- PHY 中断

*注：以下两个边带信号与 LPI 和 PMT 中断一起生成：lpi\_intr\_o 和 pmt\_intr\_o。这两个信号用于在 EXTI 级进行唤醒事件检测。*

*注：默认情况下，当读取包含中断源的寄存器时，MAC 中断状态位将被清除。如果将 ETH\_CSR 软件控制寄存器（ETH\_MACCSRSWCTRL）中的 RCWE 位编程为 1，则当包含中断源的位被明确写入 1 时，MAC 中断状态位也将被清除。*

## LPI 中断

当发送 (Tx) 或接收 (Rx) 侧进入或退出 LPI 状态时, MAC 会生成 LPI 中断。当 LPI 中断状态被设置时, 中断 `sbd_intr_o` 会被触发。LPI 中断可通过读取 MAC LPI 控制状态寄存器来清除。

当 MAC 退出接收端 LPI 状态时, 除了 `sbd_intr_o` 之外, 与接收端时钟同步的旁路信号 `lpi_intr_o` 也会被触发。`lpi_intr_o` 信号可用于触发外部时钟门控电路, 以恢复应用程序时钟至 MAC。`lpi_intr_o` 信号与接收时钟域同步, 提供该信号以便在 MAC 处于 LPI 状态时停止应用程序时钟。

`lpi_intr_o` 信号在接收时钟域中生成。在读取 MAC LPI 控制状态寄存器后, 该信号可能不会立即清除。这是因为清除信号在 CSR 时钟域中生成, 需要穿越接收时钟域, 然后清除中断源。此延迟至少为四个接收时钟周期, 当以太网外设以 10Mbps 模式运行时, 该延迟可能相当显著。

## 47.5.17 编程指南

本章提供了按正确顺序初始化 DMA 或 MAC 寄存器的相关说明以及部分功能的编程指南。

*注: 当任何寄存器内容在写操作后被转移到不同的时钟域时, 在第一个写操作更新之前, 不应再向同一位置写入任何内容。否则, 第二次写操作将无法更新到目标时钟域。因此, 对同一寄存器位置的两次写操作之间的延迟至少应为四个目标时钟 (PHY 接收时钟、PHY 发送时钟或 PTP 时钟) 周期。*

### 47.5.17.1 DMA 初始化

DMA 初始化步骤如下:

1. 提供软件复位。这将重置所有 MAC 内部寄存器和逻辑 (DMA 模式寄存器的第 0 位)。
2. 等待复位过程完成 (轮询 DMA 模式寄存器的第 0 位, 只有在复位操作完成后才会清零)。
3. 对下列字段进行编程, 以初始化 DMA 系统总线模式寄存器:
  - a) AAL
  - b) 固定突发或未定义突发
  - c) AHB 总线接口的突发模式值
4. 为发送和接收创建描述符列表。此外, 确保描述符归 DMA 所有 (设置描述符 `TDES3/RDES3` 的第 31 位)。

有关描述符的更多信息, 请参阅 47.5.15 描述符章节。

5. 编程发送和接收描述符环长度寄存器 (DMA 通道 0 发送描述符环长度寄存器和 ETH DMA 通道 0 接收控制寄存器 2)。编程的环长度必须至少为 4。

*注: 从环的起点到终点的描述符地址不得跨越 4GB 边界。*

6. 使用发送和接收描述符的基地址初始化接收和发送描述符列表地址 (DMA 通道 0 发送描述符列表地址寄存器和 DMA 通道 0 接收描述符列表地址寄存器)。此外, 还要编程发送和接收尾指针寄存器 (DMA 通道 0 发送描述符尾指针寄存器和 DMA 通道 0 接收描述符尾指针寄存器), 向 DMA 指示可用描述符。
7. 对下列寄存器的参数设置进行编程, 如 DMA 启动的最大突发长度 (PBL)、描述符跳过长度、Tx DMA 的 OSP、Rx DMA 的 RBSZ 等:

- ETH DMA 通道 0 控制寄存器 (ETH\_DMACH0CTRL)

- ETH DMA 通道 0 发送控制寄存器 (ETH\_DMACH0TXCTRL)
  - ETH DMA 通道 0 接收控制寄存器 (ETH\_DMACH0RXCTRL)
8. 通过对 ETH DMA 通道 0 中断使能寄存器 (ETH\_DMACH0INTEN) 编程使能中断。
  9. 通过设置 DMA 通道 0 接收控制寄存器的 SR (bit0) 和 DMA 通道 0 发送控制寄存器的 ST (bit0), 启动接收和发送 DMA。

### 47.5.17.2 MTL 初始化

必须初始化事务层 (MTL) 寄存器, 以建立发送和接收操作模式和命令。

MTL 初始化步骤如下:

1. 对以下字段进行编程, 以初始化 MTL 发送队列操作模式寄存器中的操作模式。
  - a) 发送存储转发 (TSF) 或发送阈值控制 (TTC) (使用阈值模式时)
2. 对以下字段进行编程, 以初始化 MTL 接收队列操作模式寄存器中的操作模式:
  - a) 接收存储转发 (RSF) 或接收阈值控制 RTC (使用阈值模式时)
  - b) 错误数据包和过小良好数据包转发使能 (FEP 和 FUP)

### 47.5.17.3 MAC 初始化

以下 MAC 初始化操作可在 DMA 初始化后执行。如果 MAC 初始化在配置 DMA 之前完成, 则只有在 DMA 激活后才能使能 MAC 接收器 (以下序列中的最后一步)。否则, 接收的帧会填满 Rx FIFO 并溢出 (上溢)。

1. 提供 MAC 地址寄存器: MAC 地址 0 高位寄存器和 MAC 地址 0 低位寄存器。以及对其他 3 个附加 MAC 地址进行适当编程。
2. 对下列字段进行编程, 以便在 MAC 数据包过滤器寄存器中为传入帧设置适当的过滤器:
  - a) 全部接收
  - b) 混杂模式
  - c) 哈希或完美过滤器
  - d) 单播、组播、广播和控制帧过滤设置
3. 在 MAC 发送流量控制寄存器中对下列字段进行编程, 以实现正确的流量控制:
  - a) 暂停时间和其他暂停帧控制位
  - b) 发送流量控制位
  - c) 流量控制忙位
4. 根据需要对 MAC 中断使能寄存器进行编程 (如果适用), 以适用于用户的配置。
5. 对 MAC 配置寄存器中的相应字段进行编程。例如传输时的数据包间隙和禁用 jabber。
6. 设置 MAC 配置寄存器中的第 0 位和第 1 位, 以启动 MAC 发送器和接收器。

要支持巨型发送/接收数据包, 请按以下步骤操作:

在 MAC 配置寄存器中:

- a) 将 JE 字段设为 1

- b) 将 JD 和 WD 字段设为 0  
避免巨型数据包错误报告
- c) 将 GPSLCE 字段设置为 1
- d) 将 MAC 扩展配置寄存器的 GPSL 字段设置为大于 9026 的值

要支持最大 16K 的发送/接收数据包，请执行以下步骤：

在 MAC 配置寄存器中：

- a) 将 JD 和 WD 字段设为 1  
避免巨型数据包错误报告
- b) 将 GPSLCE 字段设为 1
- c) 将 MAC 扩展配置寄存器的 GPSL 字段设置为 16383

#### 47.5.17.4 执行正常接收和发送操作

在以太网外设正常运行期间，将读取正常和发送中断、轮询描述符、暂停 DMA（如果它不拥有描述符），并读取当前主机发送器或接收器描述符指针的值以进行调试。

要正常运行，请完成以下步骤：

1. 对于正常的发送和接收中断，读取中断状态。然后轮询描述符，读取主机拥有的描述符状态（发送或接收）。
2. 为描述符设置适当的值，确保 DMA 拥有发送和接收描述符，以恢复数据的发送和接收。
3. 如果描述符不为 DMA 所有（或没有可用的描述符），DMA 将进入暂停状态。可通过释放描述符并将描述符尾指针写入 Tx/Rx 描述符尾指针寄存器来恢复发送或接收。
4. 调试过程中可读取当前主机发送器或接收器描述符地址指针的值（DMA 通道 0 当前应用程序发送描述符寄存器和 ETH DMA 通道 0 当前应用程序接收描述符寄存器）。
5. 调试过程中可读取当前主机发送缓冲区地址指针和接收缓冲区地址指针的值（DMA 通道 0 当前应用程序发送缓冲区寄存器和 ETH DMA 通道 0 当前应用程序接收缓冲区寄存器）。

#### 47.5.17.5 停止和开始发送

完成以下步骤可暂停发送一段时间：

1. 通过清除 DMA 通道 0 发送控制寄存器的第 0 位（ST），禁用发送 DMA（如果适用）。
2. 等待之前的帧传输完成。可以通过读取 MTL 发送队列调试寄存器的相应位（TRCSTS 非 01 且 TXQSTS = 0）来检查。
3. 通过清除 MAC 配置寄存器的 RE 位和 TE 位，禁用 MAC 发送器和 MAC 接收器。
4. 在确保 Rx FIFO 中的数据已传输到系统内存后（通过读取 MTL 接收队列调试寄存器的相应位，PRXQ = 0 和 RXQSTS = 00），禁用接收 DMA（如适用）。
5. 确保 Tx 队列和 Rx 队列为空（MTL 发送队列调试寄存器中的 TXQSTS 为 0，MTL 接收队列调试寄存器中的 RXQSTS 为 0）。
6. 要重新启动操作，首先启动 DMA，然后再使能 MAC 发送器和接收器。

注：当 MAC 正在发送或接收数据时，请勿更改配置（如双工模式、速度、端口或 Loopback）。只有在 MAC 发送器和接收器未激活时，软件才会更改这些参数。同样，当发送和接收 DMA 处于活动状态时，请勿更改 DMA 相关配置。

#### 47.5.17.6 在 Rx DMA 中切换到新描述符列表

与 Tx DMA 相比，在 Rx DMA 中切换到新描述符列表的操作有所不同。当 RxDMA 处于 SUSPEND（暂停）状态时，允许切换到新的描述符列表，具体说明如下：

- 一般情况下，RxDMA 会提前准备描述符。
- 如果 Rx DMA 因描述符不可用而进入 SUSPEND 状态，就会发生重大故障（软件无法释放已填满的描述符/缓冲区）。如果不立即纠正这一问题，就会因 Rx FIFO 溢出而丢失帧。因此，允许软件创建一个新的描述符列表，并对 Rx DMA 进行编程，使其立即开始使用，而无需进入 STOP 状态。

#### 47.5.17.7 切换 AHB 时钟频率

要动态更改 AHB 时钟频率（无需应用软复位或硬复位），请按照以下步骤操作：

1. 禁用发送 DMA（如适用），等待之前的帧传输完成。帧传输完成后，Tx FIFO 变为空，Tx DMA 进入 STOP（停止）状态。Tx FIFO 的状态在 MTL 发送队列调试寄存器中给出，DMA 的状态在 DMA 调试状态寄存器中给出。
2. 清除 MAC 配置寄存器中的相应位，禁用 MAC 发送器和 MAC 接收器。
3. 在确保 Rx FIFO 中的数据已传输到系统内存后，禁用接收 DMA（如适用）。Rx FIFO 空状态在 MTL 接收队列调试寄存器中给出。
4. 确保应用程序不执行任何寄存器读写操作。
5. 更改 AHB 时钟频率。
6. 使能 MAC 发送器或 MAC 接收器以及发送或接收 DMA。

这些步骤可确保时钟频率切换时 Tx FIFO 或 Rx FIFO 中没有有效数据，并防止数据损坏。

#### 47.5.17.8 PHY 接口链路状态转换--链路断开时发送和接收时钟处于运行状态

当链路断开但发送和接收时钟正在运行时，请完成以下步骤：

1. 清除 DMA 通道 0 发送控制寄存器的第 0 位（ST），禁用发送 DMA（如适用）。
2. 清除 MAC 配置寄存器的第 2 位（RE），禁用 MAC 接收器。
3. 等待之前的帧传输完成。可以通过读取 MTL 发送队列调试寄存器的相应位（TRCSTS 不是 01）来检查。
4. 清除 MAC 配置寄存器的第 1 位（TE），禁用 MAC 发送器。
5. 确保 Tx 队列和 Rx 队列为空（在 MTL 发送队列调试寄存器中 TXQSTS 为 0，在 MTL 接收队列调试寄存器中 RXQSTS 为 0）。
6. 链路接通后，读 PHY 寄存器以了解最新配置，并相应地对 MAC 寄存器进行编程。
7. 如果需重新启动操作，先启动 Tx DMA，然后使能 MAC 发送器和接收器。无需禁用 Rx DMA。由于接收器已禁用，因此无法从 Rx FIFO 中获取任何数据。

### 47.5.17.9 PHY 接口链路状态转换--链路断开时发送和接收时钟处于停止状态

当链路断开但发送和接收时钟停止时，请完成以下步骤：

1. 清除 MAC 配置寄存器的 RE 和 TE 位，禁用 MAC 发送器和接收器。由于时钟不存在，因此不会立即生效。
2. 等待链路正常，时钟恢复。
3. 在发送/接收时钟停止时，等待任何部分帧（如果有）的传输完成。这可通过读 MAC 调试寄存器（应全为零）来检查。当 MAC 发送器停止时，一些旧数据包可能仍留在 Tx FIFO 中。
4. 读 PHY 寄存器以了解最新的工作模式，并相应地对 MAC 寄存器进行编程。
5. 通过设置 RE 和 TE 位重新启动 MAC 发送器和接收器。

### 47.5.17.10 IEEE 1588 时间戳--系统时间生成

可以通过设置 MAC 时间戳控制寄存器的第 0 位来使能时间戳功能。不过，在设置该位后，必须对时间戳计数器进行初始化。初始化过程中完成以下步骤：

1. 清除 MAC 中断使能寄存器的第 12 位，屏蔽时间戳触发中断。
2. 设置 MAC 时间戳控制寄存器的第 0 位，使能时间戳。
3. 根据 PTP 时钟频率对 MAC 亚秒增量寄存器进行编程。
4. 如果使用精密校准方法，则对 MAC 时间戳加数寄存进行编程，并设置 MAC 时间戳控制寄存器的第 5 位。
5. 轮询 MAC 时间戳控制寄存器，直到第 5 位被清除。
6. 对 MAC 时间戳控制寄存器的第 1 位编程，以选择精密更新方法（如需要）。
7. 用适当的时间值对 MAC 系统时间秒更新寄存器和 MAC 系统时间纳秒更新寄存器进行编程。
8. 设置 MAC 时间戳控制寄存器中的第 2 位。

时间戳计数器根据写入时间戳更新寄存器的值初始化后立即开始运行。

如果使能一步时间戳：

- a) 要使能一步时间戳，请对 TDES3 上下文描述符的第 27 位进行编程。
  - b) 对寄存器 MAC 时间戳入口不对称校正寄存器和 MAC 时间戳出口不对称校正寄存器进行编程，以更新 PDelay\_Req PTP 报文中的校正字段。
9. 使能 MAC 接收器和发送器，以获得正确的时间戳。

*注：如果通过清除 MAC 时间戳控制寄存器的第 0 位禁用了时间戳操作，则重复上述所有步骤以重新启动时间戳操作。*

### 47.5.17.11 IEEE 1588 时间戳--系统时间粗略校准

要在一个过程中同步或更新系统时间（粗略校准法），请完成以下步骤：

1. 在时间戳更新寄存器（MAC 系统时间秒更新寄存器和 MAC 系统时间纳秒更新寄存器）中设置偏移（正或负）。
2. 设置 MAC 时间戳控制寄存器的第 3 位（TSUPDT）。

清除 TSUPDT 位后，时间戳更新寄存器中的值将与系统时间相加或相减。

#### 47.5.17.12 IEEE 1588 时间戳--系统时间精密校准

要同步或更新系统时间以减少系统时间抖动（精密校准方法），请完成以下步骤：

1. 参照系统时间寄存器模块章节中说明的算法，计算要使系统时间增量变慢或变快的速率。
2. 用新值更新 MAC 时间戳加数寄存器并设置 MAC 时间戳控制寄存器的第 5 位。
3. 等待加数寄存器中的新值生效。可以在系统时间达到目标值后使能时间戳触发中断。
4. 在 MAC PPS 目标时间秒寄存器和 MAC PPS 目标时间纳秒寄存器中设置所需的目标时间。
5. 设置 MAC 中断使能寄存器的第 12 位来使能时间戳中断。
6. 当触发器产生中断时，读取 MAC 中断状态寄存器。
7. 用旧值重新编程 MAC 时间戳加数寄存器，并再次设置第 5 位。

#### 47.5.17.13 PTP 减荷--自动定期生成 PTP 同步消息

请按照以下步骤使能自动定期生成 PTP 同步信息：

1. 将 MAC 时间戳控制寄存器的 SNAPTYPSEL、TSMSTRENA 和 TSEVNTENA 字段分别编程为 0、1 和 1，以将节点配置为普通主节点或边界主节点（1、1 和 1 表示透明主节点）。
2. 对 MAC PTO 控制寄存器的 PTOEN 位和 DN 字段进行编程，使能 PTP 减荷功能和域号，以便在出口 PTP 同步报文中发送。
3. 对 MAC PTO 控制寄存器的 ASYNCEN 位进行编程，使其能定期生成 PTP 同步报文。
4. 在 MAC 源端口标识 0 寄存器、MAC 源端口标识 1 寄存器和 MAC 源端口标识 2 寄存器中设置 80 位源端口标识，以便在出口 PTP 同步报文中发送。
5. 对 MAC 日志消息间隔寄存器的 LSI 字段进行编程，以设定 PTP 同步报文的周期。  
例如，1 的值对应  $2^1$ ，即每 2 秒发送一次 PTP 同步信息；0xFF（-1 的二进制补码）的值对应  $2^{-1}$ ，即每 0.536 秒发送一次 PTP 同步消息。
6. 对 MAC 中断使能寄存器的 TSIE 位进行编程，使能产生时间戳中断。
7. 等待 MAC 时间戳状态寄存器中的 TXTSSIS 位被设置时产生的 sbd\_intr\_o 中断，该中断表明 PTP 同步消息的时间戳已被捕获到 MAC 发送时间戳状态秒寄存器和 MAC 发送时间戳状态纳秒寄存器寄存器中。

#### 47.5.17.14 PTP 减荷--定期生成 PTP Pdelay\_Req 消息

请按照以下步骤使能自动定期生成 PTP Pdelay\_Req 消息：

1. 将 MAC 时间戳控制寄存器的 SNAPTYPSEL、TSMSTRENA 和 TSEVNTENA 字段分别编程为 1、0 和 1，以将节点配置为透明从节点（1、1 和 1 表示透明主节点，3、x 和 x 表示点对点透明节点）。
2. 对 MAC PTO 控制寄存器的 PTOEN 位和 DN 字段编程，使能 PTP 减荷功能和域号，以便在出口 PTP Pdelay\_Req 消息中发送。
3. 对 MAC PTO 控制寄存器的 APDREQEN 位编程，使能定期生成 PTP Pdelay\_Req 报文。
4. 对 MAC 源端口标识 0 寄存器、MAC 源端口标识 1 寄存器和 MAC 源端口标识 2 寄存器中的 80 位源端

口标识进行编程，以便在出口发送 PTP Pdelay\_Req 报文。

5. 对 MAC 日志消息间隔寄存器的 LMPDRI 字段进行编程，以设定 PTP Pdelay\_Req 报文的周期。

例如，1 的值对应  $2^1$ ，即每 2 秒发出一次 PTP Pdelay\_Req；0xFF（-1 的二进制补码）的值对应  $2^{-1}$ ，即每 0.536 秒发出一次 PTP Pdelay\_Req。

6. 对 MAC 中断使能寄存器的 TSIE 位进行编程，使能生成时间戳中断。
7. 等待 MAC 时间戳状态寄存器中的 TXTSSIS 位被设置时产生的 sbd\_intr\_o 中断，该中断表明 PTP 同步消息的时间戳已被捕获到 MAC 发送时间戳状态秒寄存器和 MAC 发送时间戳状态纳秒寄存器寄存器中。

#### 47.5.17.15 PTP 减荷--生成普通/边界主模式 PTP 响应消息

请按照以下步骤使能生成普通或边界主模式的 PTP 响应消息（生成周期性 PTP 同步报文和生成 PTP Delay\_Resp 报文以响应 PTP Delay\_Req 报文）：

1. 将 MAC 时间戳控制寄存器的 SNAPTYPSEL、TSMSTRENA 和 TSEVNTENA 字段分别编程为 0、1 和 1。
2. 将 MAC PTO 控制寄存器的 PTOEN 位和 DN 字段编程，使能 PTP 减荷功能和域编号，以便与入口 PTP Delay\_Req 报文匹配，并在出口 PTP Delay\_Resp 报文中发送。
3. 对 MAC 源端口标识 0 寄存器、MAC 源端口标识 1 寄存器和 MAC 源端口标识 2 寄存器中的 80 位源端口标识进行编程，使其与入口 PTP Delay\_Req 报文和出口 PTP Delay\_Resp 报文相匹配。
4. 对 MAC 日志消息间隔寄存器中的 DRSYNCR 和 LSI 字段进行编程，这两个字段的总和将被更新到 PTP Delay\_Resp 报文的 logMinDelayReqInterval 字段中。

#### 47.5.17.16 PTP 减荷--生成普通/边界从模式 PTP 响应消息

请按照以下步骤使能生成普通或边界从模式的 PTP 响应消息（生成 PTP Delay\_Resp 报文以响应 PTP Delay\_Req 报文）：

1. 将 MAC 时间戳控制寄存器的 SNAPTYPSEL、TSMSTRENA 和 TSEVNTENA 字段分别编程为 0、0 和 1。
2. 将 MAC PTO 控制寄存器的 PTOEN 位和 DN 字段编程，使能 PTP 减荷功能和域编号，以便与入口 PTP 同步报文匹配，并在出口 PTP Delay\_Req 报文中发送。
3. 对 MAC 源端口标识 0 寄存器、MAC 源端口标识 1 寄存器和 MAC 源端口标识 2 寄存器中的 80 位源端口标识进行编程，使其与入口 PTP 同步报文和出口 PTP Delay\_Req 报文相匹配。
4. 对 MAC 日志消息间隔寄存器中的 DRSYNCR 字段进行编程，以指示在收到多少条 PTP 同步报文后生成一条 PTP Delay\_Req 报文。

#### 47.5.17.17 PTP 减荷--生成透明从模式 PTP 响应消息

请按照以下步骤使能生成透明从模式的 PTP 响应消息（生成 PTP Delay\_Req 报文以响应 PTP 同步报文、生成 PTP Pdelay\_Resp 报文以响应 PTP Pdelay\_Req 报文以及生成周期性 PTP Pdelay\_Req 报文）：

1. 将 MAC 时间戳控制寄存器的 SNAPTYPSEL、TSMSTRENA 和 TSEVNTENA 字段分别编程为 1、0 和 1。
2. 将 MAC PTO 控制寄存器的 PTOEN 位和 DN 字段编程，使能 PTP 减荷功能和域编号，以便与入口 PTP



同步或 Pdelay\_Req 报文相匹配，并在出口 PTP Delay\_Req 或 Pdelay\_Resp 或 Pdelay\_Req 报文中发送。

- 对 MAC 源端口标识 0 寄存器、MAC 源端口标识 1 寄存器和 MAC 源端口标识 2 寄存器中的 80 位源端口标识进行编程，使其与入口 PTP 同步或 Pdelay\_Req 报文相匹配，并发送出口 PTP Delay\_Req 或 Pdelay\_Resp 或 Pdelay\_Req 报文。
- 对 MAC 日志消息间隔寄存器中的 DRSYNCR 和 LMPDRI 字段进行编程，以指示根据接收 PTP 同步报文的数量和 PTP Pdelay\_Req 报文的周期生成一个 PTP Delay\_Req 报文。
- 对 MAC 中断使能寄存器的 TSIE 位编程，使能生成时间戳中断。
- 等待 MAC 时间戳状态寄存器中的 TXTSSIS 位被设置时产生的 sbd\_intr\_o 中断，该中断表明 PTP 同步消息的时间戳已被捕获到 MAC 发送时间戳状态秒寄存器和 MAC 发送时间戳状态纳秒寄存器寄存器中。

#### 47.5.17.18 PTP 减荷--生成透明主模式 PTP 响应消息

请按照以下步骤使能生成透明主模式的 PTP 响应消息（生成 PTP Delay\_Resp 报文以响应 PTP Delay\_Req 报文、生成 PTP Pdelay\_Resp 报文以响应 PTP Pdelay\_Req 报文以及生成周期性 PTP Pdelay\_Req 或同步报文）：

- 将 MAC 时间戳控制寄存器的 SNAPTYPSEL、TSMSTRENA 和 TSEVNTENA 字段分别编程为 1、1 和 1。
- 将 MAC PTO 控制寄存器的 PTOEN 位和 DN 字段编程，使能 PTP 减荷功能和域编号，以便与入口 PTP Delay\_Req 或 Pdelay\_Req 报文相匹配，并在出口 PTP Delay\_Resp 或 Pdelay\_Resp 或 Pdelay\_Req 或同步报文中发送。
- 对 MAC 源端口标识 0 寄存器、MAC 源端口标识 1 寄存器和 MAC 源端口标识 2 寄存器中的 80 位源端口标识进行编程，使其与入口 PTP Delay\_Req 或 Pdelay\_Req 报文相匹配，并在出口 PTP Delay\_Resp 或 Pdelay\_Resp 或 Pdelay\_Req 或同步报文中发送。
- 对 MAC 日志消息间隔寄存器中的 DRSYNCR、LSI 和 LMPDRI 字段进行编程，将 DRSYNCR 和 LSI 之和更新为 PTP Delay\_Resp 报文的 logMinDelayReqInterval 字段以及 PTP 同步或 Pdelay\_Req 报文的周期。
- 对 MAC 中断使能寄存器的 TSIE 位编程，使能生成时间戳中断。
- 等待 MAC 时间戳状态寄存器中的 TXTSSIS 位被设置时产生的 sbd\_intr\_o 中断，该中断表明 PTP 同步消息的时间戳已被捕获到 MAC 发送时间戳状态秒寄存器和 MAC 发送时间戳状态纳秒寄存器寄存器中。

#### 47.5.17.19 PTP 减荷--生成点对点透明模式 PTP 响应消息

请按照以下步骤使能生成点对点透明模式的 PTP 响应消息（生成 PTP Pdelay\_Resp 报文以响应 PTP Pdelay\_Req 报文和周期性 PTP Pdelay\_Req 报文）：

- 将 MAC 时间戳控制寄存器的 SNAPTYPSEL、TSMSTRENA 和 TSEVNTENA 字段分别编程为 3、x 和 x。
- 将 MAC PTO 控制寄存器的 PTOEN 位和 DN 字段编程，使能 PTP 减荷功能和域编号，以便与入口 PTP Pdelay\_Req 报文相匹配，并在出口 PTP Pdelay\_Resp 报文中发送。
- 对 MAC 源端口标识 0 寄存器、MAC 源端口标识 1 寄存器和 MAC 源端口标识 2 寄存器中的 80 位源端口标识进行编程，使其与入口 PTP Pdelay\_Req 报文和出口 PTP Pdelay\_Resp 报文相匹配。

4. 对 MAC 日志消息间隔寄存器中的 LMPDRI 字段进行编程，以指示 PTP Pdelay\_Req 报文的周期。
5. 对 MAC 中断使能寄存器的 TSIE 位编程，使能生成时间戳中断。
6. 等待 MAC 时间戳状态寄存器中的 TXTSSIS 位被设置时产生的 sbd\_intr\_o 中断，该中断表明 PTP 同步消息的时间戳已被捕获到 MAC 发送时间戳状态秒寄存器和 MAC 发送时间戳状态纳秒寄存器寄存器中。

#### 47.5.17.20 EEE--进入和退出 Tx LPI 模式

在以太网 (ETH) 初始化过程中，启用 EEE 后，您可以设置如何进入和退出传输低功耗空闲 (Tx LPI) 模式：EEE 启用 IEEE 802.3 媒体访问控制 (MAC) 子层以及一组物理层，使其在低功耗空闲 (LPI) 模式下运行。在传输路径中，软件必须将 MAC LPI 控制状态寄存器的 LPIEN 位设置为 1，以指示 MAC 停止传输并启动 LPI 协议。

在初始化 ETH 时，请按照以下步骤操作：

1. 通过 MDIO 接口读取物理层寄存器，检查远程端是否具备 EEE 功能，然后协商定时器值。
2. 通过 MDIO 接口编程物理层寄存器（包括 RX\_CLK\_stoppable 位，该位指示 PHY 在 LPI 模式下是否停止接收时钟。）
3. 编程 MAC LPI 定时器控制寄存器的位[25:16]和位[15:0]。
4. 通过 MDIO 接口读取 PHY 芯片的链路状态，并相应更新 MAC LPI 控制状态寄存器的位 17。此更新应在 PHY 芯片的链路状态发生变化时进行。
5. 根据用于访问 CSR 从属端口的时钟频率编程 MAC 1US 时钟计数器。
6. 使用 MAC LPI 进入定时器寄存器 (LPIET) 编程 MAC 在自行进入 LPI 状态前应等待的空闲时间。
7. 将 MAC LPI 控制状态寄存器的 LPITE 和 LPITXA 位（位[20:19]）设置为启用 MAC 自动进入 LPI 状态以及自动从 LPI 状态退出。
8. 根据用于访问 CSR 从属端口的时钟频率对 MAC 1US 时钟计数器进行编程。
9. 将 MAC LPI 进入定时器寄存器 (LPIET) 设置为 MAC 在自行进入 LPI 状态前应等待的空闲时间。
10. 设置 MAC LPI 控制状态寄存器的 LPITE 和 LPITXA 位（位[20:19]），以启用 MAC 自动进入 LPI 状态并自动退出 LPI 状态。
11. 将 MAC LPI 控制状态寄存器的第 16 位设置为使 MAC 发射器进入 LPI 状态。MAC 在完成所有计划的包后进入 LPI 模式，并保持空闲状态，持续时间由 LPIET 指定。进入 LPI 状态后，它设置 TLPIEN（位[0]）。
12. 当数据包被调度进行传输（当 TxDMA 从空闲状态退出或当数据包在 ATI 或 MTI 接口上呈现时），MAC 发射器自动退出 LPI 状态。它在设置 TLPIE 中断状态位之前等待 TWT 时间，然后继续数据包传输。
13. 如果 MAC 发射器在 LPIET 时间内保持空闲状态，它将重新进入 LPI 状态并设置 TLPIEN 位，进入-退出循环继续。
14. 如果应用程序希望覆盖自动进入/退出模式并使 MAC 发射器直接退出 LPI 状态，请重置 LPITXEN。

*注意：为确保 MAC 仅在 Tx FIFO 中所有队列帧的传输完成后进入 LPI 状态，您应设置 MAC LPI 控制状态寄存器中的第 19 位。*

### 47.5.17.21 灵活秒脉冲输出--在 PPS 上生成单脉冲

要在 PPS 上生成单脉冲：

1. 在 MAC PPS 控制寄存器的 TRGTMODSEL 位[6:5]中编程 11 或 10（用于中断）。此操作指示 MAC 使用目标时间寄存器（MAC PPS 目标时间秒寄存器和 MAC PPS 目标时间纳秒寄存器）作为 PPS 信号输出的起始时间。
2. 在目标时间寄存器（MAC PPS 目标时间秒寄存器和 MAC PPS 目标时间纳秒寄存器）中编程起始时间值。
3. 在 MAC PPS 宽度寄存器中编程 PPS 信号输出宽度。
4. 将 MAC PPS 控制寄存器的位[3:0]（PPSCMD）编程为 0001。这指示 MAC 在目标时间寄存器编程的时间点于 PPS 信号输出端生成单脉冲。

### 47.5.17.22 灵活秒脉冲输出--在 PPS 上生成下一个脉冲

执行 PPSCMD 指令时（PPSCMD 位=0），可在预设启动时间结束前通过发送取消启动命令（PPSCMD=0011）中止脉冲生成。您也可预先设定下一个脉冲的行为模式。设置下一个脉冲时请遵循以下步骤：

1. 在目标时间寄存器中编程下一个脉冲的起始时间。该时间应晚于前一个脉冲的下降沿发生时间。
2. 在 MAC PPS 宽度寄存器中编程下一个 PPS 信号输出的宽度。
3. 编程 MAC PPS 控制寄存器的位[3:0]（PPSCMD），使其在前一个脉冲失效后生成单个脉冲。此指令将使 MAC 在目标时间寄存器设定的时间点于 PPS 信号输出端生成单脉冲。

若在前次脉冲变低前发出此指令，新指令将覆盖前次指令，此时 QOS 可能仅生成 1 个延长脉冲。

### 47.5.17.23 灵活秒脉冲输出--在 PPS 上生成脉冲列

完成以下步骤可在 PPS 上生成脉冲列：

1. 在 MAC PPS 控制寄存器的 TRGTMODSEL 位[6:5]中编程 11 或 10（用于中断）。此操作指示 MAC 使用目标时间寄存器作为 PPS 信号输出的起始时间。
2. 在目标时间寄存器中编程起始时间值。
3. 在 MAC PPS 间隔寄存器中编程 PPS 信号输出脉冲列间隔值。
4. 在 MAC PPS 宽度寄存器中编程 PPS 信号输出宽度。
5. 将 MAC PPS 控制寄存器的位[3:0]（PPSCMD）编程为 0010。此操作指示 MAC 在 PPS 信号输出端生成脉冲列，其起始时间由目标时间寄存器设定。默认情况下，PPS 脉冲列将自由运行，除非通过“在时间点停止脉冲列”或“立即停止脉冲列”命令终止。
6. 在目标时间寄存器中编程停止值。再次编程目标时间寄存器前，请确保 MAC PPS 目标时间纳秒寄存器的位 31（TSTRBUSY）已复位。
7. 将 MAC PPS 控制寄存器的 PPSCMD 字段（位 3:0）编程为 0100。此操作将在步骤 6 设定的停止时间结束后终止 PPS 信号输出的脉冲列。

您可随时通过在 PPSCMD 字段编程 0101 来停止脉冲列。同样地，可在步骤 6 设定的时间结束前将 PPSCMD 字段编程为 0110，以取消步骤 7 设定的脉冲列停止指令。若要在步骤 2 设定的时间结束前取消脉冲列生成，需将 PPSCMD 字段编程为 0011。

#### 47.5.17.24 灵活秒脉冲输出--生成中断而不影响 PPS

MAC PPS 控制寄存器的位[6:5] (TRGTMODSEL) 可用于编程目标时间寄存器, 使其执行以下任一功能:

- 仅生成中断。
- 生成中断及 PPS 起始与停止时间。
- 仅生成 PPS 起始与停止时间。

完成以下步骤可将目标时间寄存器配置为仅生成中断事件:

1. 在 MAC PPS 控制寄存器的位[6:5] (TRGTMODSEL) 中编程 00 (表示中断)。此操作指示 MAC 使用目标时间寄存器生成目标时间中断。
2. 在目标时间寄存器中编程目标时间值。这指示 MAC 在目标时间到期时生成中断。

若修改位[6:5] (TRGTMODSEL) 设置 (例如用于控制 PPS), 则中断生成功能将被新模式及新编程的目标时间寄存器值覆盖。

*注意: 当编程的目标时间小于系统时间 (即时间倒退) 时, 系统会根据 MAC 系统时间秒寄存器和纳秒寄存器的值触发中断。为避免误触发, 正确写入顺序如下:*

1. ETH MAC PPS 目标时间纳秒寄存器 (ETH\_MACPPSTN)
2. ETH MAC PPS 目标时间秒寄存器 (ETH\_MACPPSTS)
3. ETH MAC PPS 间隔寄存器 (ETH\_MACPPSINTE)
4. ETH MAC PPS 宽度寄存器 (ETH\_MACPPSWID)
5. MAC PPS 控制寄存器的 PPSCTRL\_PPSCMD 和 PPSSEN0 字段

#### 47.5.17.25 TCP 分段减荷 (TSO)

TCP 分段卸载 (TSO) 引擎用于将 TCP 分段功能卸载至硬件。配置 TSO 时, 需设置 TSE 位以启用 TCP 数据包分段, 并编程描述符字段以启用当前数据包的 TSO 功能。配置 TSO 需完成以下步骤:

1. 编程对应 DMA 通道 CH0 的 Tx 控制寄存器中的 TSE 位, 以在该 DMA 通道中启用 TCP 数据包分段。
2. 除常规传输描述符设置外, 还需配置下列描述符字段以启用当前数据包的 TSO 功能:
  - a) 在 TDES3 寄存器第 18 位启用 TSE
  - b) 在 TDES3 寄存器第 17 至 0 位配置未分段 TCP/IP 数据包有效负载长度, 在第 22 至 19 位配置 TCP 头信息长度
  - c) 在 DMA 通道 0 控制寄存器或上下文描述符中设置分段最大大小 (MSS)。若 MSS 字段同时存在于两处, 则以最新软件编程值为准
3. 非分段 TCP/IP 数据包的头部应位于首个描述符的缓冲区 1 中, 且该缓冲区不得包含任何负载字节。负载分配至缓冲区 2 及后续描述符的缓冲区。

*注意: 若在非 TCP/IP 数据包中启用 TDES3 的 TSE 功能, 结果将不可预测。*

#### 47.5.17.26 接收路径上的 VLAN 过滤

完成以下步骤在接收时设置 VLAN 过滤:

1. 为 MAC VLAN 标签寄存器的以下位编程, 以选择过滤方法:

- a) ETV: 使能 12 位 VLAN 标签比较或 16 位 VLAN 标签比较
  - b) VTHM: 启用 VLAN 标签哈希表匹配
  - c) ERIVLT: 使能内部 VLAN 标签或外部 VLAN 标签（要使能内部或外部 VLAN 标签过滤，应通过设置 EDVLP 启用双 VLAN 处理）
  - d) ERSVLM: 使能接收 S-VLAN 匹配或 C-VLAN 匹配（要使能 S-VLAN 处理，需设置 ESVL）。
  - e) DOVLTC: 忽略标签匹配的 VLAN 类型
  - f) VTIM: 使能 VLAN 标签反向匹配，而不是正常的 VLAN 标签匹配
2. 为 12 位或 16 位 VLAN 标签对 MAC VLAN 标签寄存器的 VL 字段进行编程。
  3. 如果使能 VLAN 标签的哈希过滤，则对 MAC VLAN 哈希表寄存器编程。当 ETV 位被复位时，VLAN 标签计算出的 CRC-32 的高 4 位将被反相并用于索引 MAC VLAN 哈希表寄存器的内容。当 ETV 位被置 1 时，VLAN 标签计算出的 CRC-32 的高 4 位将用于索引 MAC VLAN 哈希表寄存器的内容。例如，当设置 ETV 位时，哈希值 4b'1000 选择 VLAN 哈希表的第 8 位。当复位 ETV 位时，哈希值 4b'1000 将选择 VLAN 哈希表的第 7 位。

## 47.6 寄存器

ETH 包含以下寄存器：

- MAC 寄存器，其中包含 MMC 相关寄存器（请参见 47.6.1 章节）
- MTL 寄存器（请参见 47.6.2 章节）
- DMA 寄存器（请参见 47.6.3 章节）

### 47.6.1 ETH MAC 寄存器

#### 47.6.1.1 ETH MAC 配置寄存器（ETH\_MACCFG）

偏移地址：0x0000

复位值：0x0000 0000（ETH2 复位值：0x0000 8000）

MAC 配置寄存器用于建立 MAC 的工作模式。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ARPOE	SARC			CSO	IPG			GPSLCE	S2KP	CST	ACS	WD	BE	JD	JE
rw	rw			rw	rw			rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PS	FES	DM	LM	ECRSFD	DO	DCRS	DR	Reserved	BL	DC	PRELEN	TE	RE		
rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw		

位域	名称	描述
31	ARPOE	ARP 减荷使能（ARP Offload Enable） 该位置 1 时，MAC 可以识别传入的 ARP 请求数据包，并调度发送 ARP 数据包。它会将 ARP 数据包转发到应用程序，还会在 RxStatus 中指示事件。 该位复位时，MAC 接收器不会识别任何 ARP 数据包，并会在 RxStatus 中将其指示为类型帧。 0：禁用 ARP 减荷功能 1：启用 ARP 减荷功能
30:28	SARC[2:0]	源地址插入或替换控制（Source Address Insertion or Replacement Control） 该字段控制所有传输数据包的源地址插入或替换。bit30 指定 MAC 地址寄存器（0 或 1），bits[29:28] 基于以下值指定插入还是替换： 0x：mti_sa_ctrl_i 和 ati_sa_ctrl_i 输入信号控制 SA 字段的生成 10：bit30 为 0 时，MAC 在所有传输报文的 SA 字段中插入 MAC 地址 0 寄存器的内容；bit30 为 1 时，MAC 在所有传输报文的 SA 字段中插入 MAC 地址 1 寄存器的内容 11：bit30 为 0 时，MAC 会在所有传输数据包的 SA 字段中替换 MAC 地址 0 寄存器的内容；bit30 为 1 时，MAC 会在所有传输数据包的 SA 字段中替换 MAC 地址 1 寄存器的内容

位域	名称	描述
		<p><i>注：对此字段的修改仅在数据包起始时生效。如果在发送数据包时对该寄存器字段进行写操作，则只有后续数据包可使用更新值，即，当前数据包不使用更新值。</i></p>
27	CSO	<p>校验和减荷（Checksum Offload）</p> <p>该位置 1 时，会使能 IPv4 报头校验和检查以及 IPv4 或 IPv6 TCP、UDP 或 ICMP 有效负载校验和检查。</p> <p>该位复位时，将禁止接收器中的 COE（Checksum Offload Engine）功能。</p> <p>第 3 层和第 4 层数据包过滤和使能拆分报头功能可自动选择接收端的 CSO 全校验和减荷引擎。使能其中的任一功能时，都必须将该位置 1。</p> <p>0：禁用 IP 头/有效负载校验和检查功能 1：启用 IP 头/有效负载校验和检查功能</p>
26:24	IPG[2:0]	<p>数据包间隙（Inter-Packet Gap）</p> <p>这些位控制发送期间数据包间的最小包间隙。这个最小包间隙范围在全双工模式下有效。半双工模式下，包间隙只能配置为 64 位（IPG = 100）。</p> <p>因背压功能激活而发送 JAM 模式时，MAC 不考虑最小 IPG。</p> <p>上述功能（IPG 小于 96 位时间）仅在 ETH_MACEXTCFG 寄存器中的 EIPGEN 位复位时有效。EIPGEN 置 1 时，将按照 ETH_MACEXTCFG 寄存器的 EIPG 字段中给出的说明控制最小 IPG（大于 96 位时间）。</p> <p>000：96 位时间 001：88 位时间 010：80 位时间 ... 111：40 位时间</p>
23	GPSLCE	<p>大型数据包大小限制控制使能（Giant Packet Size Limit Control Enable）</p> <p>当该位置 1 时，MAC 会考虑 ETH_MACEXTCFG 寄存器的 GPSL 字段中的值，以将接收到的数据包声明为大型数据包。必须将该字段编程为大于 1518 字节。否则，MAC 会将 1518 字节视为大型数据包限值。</p> <p>当该位复位时，如果接收到的数据包大小大于 1518 字节（对于带标签的数据包，为 1522 字节），则 MAC 会将其视为大型数据包。</p> <p>看门狗超时限制、巨型数据包使能和 2K 数据包使能的优先级高于该位，即，对于接收到的数据包，如果在使能巨型数据包的情况下其大小大于 9018 字节（对于带标签的数据包，为 9022 字节）以及在使能 2K 数据包的情况下其大小大于 2000 字节，则 MAC 会将其视为大型数据包。看门狗超时（如果使能）会在达到看门狗限值时终止接收到的数据包。因此，要获取大型数据包状态，编程的大型数据包限值应小于看门狗限值。</p> <p>0：禁用大型数据包大小限制控制功能 1：启用大型数据包大小限制控制功能</p>
22	S2KP	<p>2K 数据包的 IEEE 802.3as 支持（IEEE 802.3as Support for 2K Packets）</p> <p>该位置 1 时，MAC 将所有长度未超过 2000 字节的数据包视为正常数据包。JE 位未置 1 时，MAC 将所有接收到的大小超过 2K 字节的数据包视为大型数据包。</p> <p>该位复位且 JE 位未置 1 时，MAC 将所有接收到的大小超过 1518 字节（对于带标签的数据包，为 1522 字节）的数据包视为大型数据包。有关此位和 JE 位的</p>

位域	名称	描述
		<p>设置会如何影响大型数据包状态的详细信息，请参见表 47-61。</p> <p>0: 禁用最多支持 2K 数据包的功能</p> <p>1: 启用最多支持 2K 数据包的功能</p>
21	CST	<p>类型数据包的 CRC 去除 (CRC stripping for Type packets)</p> <p>该位置 1 时，在将数据包转发到应用程序之前，所有 EtherType 的数据包 (类型字段大于 1536) 的最后四个字节 (FCS) 都会被去除和丢弃。</p> <p>0: 禁用类型数据包的 CRC 去除功能</p> <p>1: 启用类型数据包的 CRC 去除功能</p>
20	ACS	<p>自动 Pad 或 CRC 去除 (Automatic Pad or CRC Stripping)</p> <p>该位置 1 时，MAC 仅在长度字段值小于 1536 字节时去除传入数据包上的 Pad 或 FCS 字段。所有长度字段大于或等于 1536 字节的接收数据包都会传给应用程序，而不会去除 Pad 或 FCS 字段。</p> <p>该位复位时，MAC 将所有传入的数据包传送给应用程序，而不进行任何修改。</p> <p>0: 禁用自动 Pad 或 CRC 去除功能</p> <p>1: 启用自动 Pad 或 CRC 去除功能</p>
19	WD	<p>禁用看门狗 (Watchdog Disable)</p> <p>该位置 1 时，MAC 关闭接收器上的看门狗定时器。MAC 可以接收多达 16383 字节的数据包。</p> <p>该位复位时，MAC 不允许接收超过 2048 字节 (如果 JE 设置为高，则为 10240 字节) 的数据包。MAC 会切断在 2048 字节之后接收到的所有字节。</p> <p>0: 启用看门狗功能</p> <p>1: 禁用看门狗功能</p>
18	BE	<p>数据包突发使能 (Packet Burst Enable)</p> <p>该位置 1 时，MAC 允许在 GMII 半双工模式下进行数据包突发传输。</p> <p>0: 禁用数据包突发功能</p> <p>1: 启用数据包突发功能</p> <p><i>注: 仅 ETH1 支持该位, ETH2 中该位无效。</i></p>
17	JD	<p>禁用 Jabber (Jabber Disable)</p> <p>该位置 1 时，MAC 禁止发送器上的 jabber 定时器。MAC 可以发送多达 16383 字节的数据包。</p> <p>该位复位时，如果应用程序在发送期间发送超过 2048 字节的数据 (如果 JE 设置为高，则为 10240 字节)，则 MAC 不会发送该数据包中的剩余字节。</p> <p>0: 启用 Jabber 功能</p> <p>1: 禁用 Jabber 功能</p>
16	JE	<p>巨型数据包使能 (Jumbo Packet Enable)</p> <p>该位置 1 时，MAC 允许 9018 字节的巨型数据包 (对于带 VLAN 标签的数据包，为 9022 字节)，且不会在 Rx 数据包状态中报告大型数据包错误。</p> <p>0: 禁用巨型数据包功能</p> <p>1: 启用巨型数据包功能</p>
15	PS	<p>端口选择 (Port Select)</p> <p>该位选择以太网速率。该位与第 14 位一起选择确切的线路速度。在仅 10/100Mbps (始终为 1) 或仅 1000Mbps (始终为 0) 配置中，该位为只读，具有适当的值。</p>



位域	名称	描述
		<p>0: 用于 1000Mbps 操作</p> <p>1: 用于 10Mbps 或 100Mbps 操作</p> <p>注: ETH1 中该位为读写位, ETH2 中该位为只读位且始终读为 1。</p>
14	FES	<p>速度 (Speed)</p> <p>该位选择速度模式。</p> <p>0: PS 位为 1 时, 速度为 10Mbps; PS 位为 0 时, 速度为 1000bps</p> <p>1: PS 位为 1 时, 速度为 100Mbps</p> <p>注: 只有 ETH1 中该位才与 PS 位共用。</p>
13	DM	<p>双工模式 (Duplex Mode)</p> <p>该位置 1 时, MAC 在全双工模式下工作, 此时它可以同时发送和接收。</p> <p>0: 半双工模式</p> <p>1: 全双工模式</p>
12	LM	<p>环回模式 (Loopback Mode)</p> <p>该位置 1 时, MAC 在 MII/GMII 下以环回模式工作。环回正常工作需要 MII/GMII Rx 时钟输入。这是因为 Tx 时钟没有内部环回。</p> <p>0: 禁用环回功能</p> <p>1: 启用环回功能</p>
11	ECRSFD	<p>全双工模式下进行发送之前使能载波侦听 (Enable Carrier Sense Before Transmission in Full-Duplex Mode)</p> <p>该位置 1 时, MAC 发送器会在全双工模式下发送数据包之前检查 CRS 信号。仅当 CRS 信号为低电平时, MAC 才开始发送。</p> <p>该位复位时, MAC 发送器将忽略 CRS 信号的状态。</p> <p>0: 禁用全双工模式下进行发送之前使能载波侦听的功能</p> <p>1: 启用全双工模式下进行发送之前使能载波侦听的功能</p>
10	DO	<p>禁止自接收 (Disable Receive Own)</p> <p>该位置 1 时, MAC 在半双工模式下且 TX_EN 有效时将禁止接收数据包。</p> <p>该位复位时, MAC 将接收 PHY 提供的所有数据包。</p> <p>该位不适用于全双工模式。</p> <p>0: 启用自接收功能</p> <p>1: 禁用自接收功能</p>
9	DCRS	<p>发送期间禁止载波侦听 (Disable Carrier Sense During Transmission)</p> <p>该位置 1 时, MAC 发送器会在半双工模式下发送数据包期间忽略 MII/GMII CRS 信号。因此, 不会因在发送期间载波丢失或无载波而生成错误。</p> <p>该位复位时, MAC 发送器会因载波侦听而生成错误。MAC 甚至会中止发送。</p> <p>0: 发送期间启用载波侦听功能</p> <p>1: 发送期间禁用载波侦听功能</p>
8	DR	<p>禁止重试 (Disable Retry)</p> <p>该位置 1 时, MAC 仅尝试一次发送。当在 MII/GMII 接口发生冲突时, MAC 会忽略当前数据包发送, 并在 Tx 数据包状态中报告"数据包终止"和"过度冲突错误"。</p> <p>该位复位时, MAC 会根据 BL 字段的设置进行重试。</p> <p>该位仅适用于半双工模式。</p> <p>0: 启用重试功能</p>

位域	名称	描述
		1: 禁用重试功能
7	Reserved	保留, 必须保持复位值。
6:5	BL[1:0]	<p>后退限制 (Back-Off Limit)</p> <p>后退限制决定发生冲突后重试期间 MAC 在重新安排一次发送之前等待的随机整数 (r) 个时隙延迟 (对于 1000Mbps 为 4096 位时间; 对于 10/100Mbps 为 512 位时间)。</p> <p>其中, n = 重新发送尝试的次数。</p> <p>随机整数 r 的取值范围为 <math>0 \leq r &lt; 2^k</math>。</p> <p>该位仅适用于半双工模式。</p> <p>00: k = min(n, 10)</p> <p>01: k = min(n, 8)</p> <p>10: k = min(n, 4)</p> <p>11: k = min(n, 1)</p>
4	DC	<p>延迟检查 (Deferral Check)</p> <p>该位置 1 时, MAC 将启用延迟检查功能。当 Tx 状态机在 10/100Mbps 模式下延迟超过 24288 位时间时, MAC 将发出数据包中止状态, 同时在 Tx 数据包状态中设置过度延迟错误位。如果将 MAC 配置为 1000Mbps 操作模式, 则延迟阈值为 155680 位时间。当发送器准备好发送但因 MII/GMII 上存在有效载波侦听信号 (CRS) 而被阻止时延迟开始。</p> <p>延迟时间是非累积性的。例如, 如果发送器因为 CRS 信号有效而延迟 10000 位时间, 之后 CRS 信号变为无效, 则会导致发送器进行发送时出现冲突。由于发生冲突, 因此发送器需要后退, 并在完成后退之后再次延迟。在这种情况下, 延迟定时器将复位为 0, 并重新启动。</p> <p>该位复位时, 禁止延迟检查功能, MAC 发生延迟, 直到 CRS 信号变为无效信号。</p> <p>该位仅适用于半双工模式。</p> <p>0: 禁用延迟检查功能</p> <p>1: 启用延迟检查功能</p>
3:2	PRELEN[1:0]	<p>发送数据包的前导码长度 (Preamble Length for Transmit packets)</p> <p>这些比特控制着添加到每个 Tx 数据包开头的前导码字节数。只有当 MAC 以全双工模式运行时, 才会减少前导码。</p> <p>00: 7 字节前导码</p> <p>01: 5 字节前导码</p> <p>10: 3 字节前导码</p> <p>11: 保留</p>
1	TE	<p>发送器使能 (Transmitter Enable)</p> <p>该位置 1 时, 使能 MAC 发送状态机, 以便在 MII/GMII 接口上进行传输。</p> <p>该位复位时, MAC 发送状态机在完成当前数据包的传输后被禁用。发送状态机不再传输任何数据包。</p> <p>0: 禁用发送状态机</p> <p>1: 启用发送状态机</p>
0	RE	<p>接收器使能 (Receiver Enable)</p> <p>该位置 1 时, 使能 MAC 接收状态机, 以便从 MII/GMII 接口上接收数据包。</p>

位域	名称	描述
		该位复位时，MAC 接收状态机在完成当前数据包的接收后被禁用。接收状态机不再从 MII/GMII 接口接收任何数据包。 0：禁用接收状态机 1：启用接收状态机

**表 47-61 基于 S2KP 和 JE 位的巨型数据包状态**

长度/类型字段	接收到的数据包长度	S2KP	JE	巨型包状态
无标签数据包	>1518	0	0	1
	>2000	1	0	1
	>9018	x	1	1
VLAN 标签数据包	>1522	0	0	1
	>2000	1	0	1
	>9022	x	1	1

### 47.6.1.2 ETH MAC 扩展配置寄存器 (ETH\_MACEXTCFG)

偏移地址：0x0004

复位值：0x0000 0000

MAC 扩展配置寄存器用于建立 MAC 扩展的操作模式。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	APDIM	EIPG				EIPGEN	Reserved				USP	SPEN	DCRCC		
	rw	rw				rw					rw	rw	rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		GPSL													
rw															

位域	名称	描述
31	Reserved	保留，必须保持复位值。
30	APDIM	IP 地址不匹配时丢弃 ARP 包 (ARP Packet Drop if IP Address Mismatch) 该位置 1 时，目标协议地址与 IPv4 地址不匹配的数据包将在 MTL 层丢弃。 该位复位时，当目标协议地址不匹配时，数据包将转发到 MTL，以保持向后兼容性。 0：禁用 IP 地址不匹配时丢弃 ARP 包的功能 1：启用 IP 地址不匹配时丢弃 ARP 包的功能
29:25	EIPG[4:0]	扩展数据包间隙 (Extended Inter-Packet Gap) EIPGEN 位置 1 时，此字段中的值有效。该字段 (作为最高有效位) 以及 ETH_MACCFG 中的 IPG 字段一起给出最小 IPG (大于 96 位时间，以 8 位时间为步长): {EIPG, IPG} 0x00: 104 位时间 0x01: 112 位时间

位域	名称	描述
		0x02: 120 位时间 ... 0xFF: 2144 位时间
24	EIPGEN	扩展数据包间隙使能 (Extended Inter-Packet Gap Enable) 该位置 1 时, MAC 将 EIPG 字段和 ETH_MACCFG 中的 IPG 字段一起解析为最小 IPG (大于 96 位时间, 以 8 位时间为步长)。该位复位时, MAC 将忽略 EIPG 字段, 并将 ETH_MACCFG 中的 IPG 字段解析为最小 IPG (小于等于 96 位时间, 以 8 位时间为步长)。 0: 禁用扩展数据包间隙功能 1: 启用扩展数据包间隙功能
23:19	Reserved	保留, 必须保持复位值。
18	USP	单播慢速协议数据包检测 (Unicast Slow Protocol Packet Detect) 该位置 1 时, MAC 会检测具有 MAC 地址 0 高寄存器和 MAC 地址 0 地寄存器所指定的站单播地址的慢速协议数据包。MAC 还会检测具有慢速协议多播地址 (01-80-C2-00-00-02) 的慢速协议数据包。 该位复位时, MAC 仅检测具有在 IEEE 802.3-2015 的第 5 节中所指定的慢速协议多播地址的慢速协议数据包。 0: 禁用单播慢速协议数据包检测功能 1: 启用单播慢速协议数据包检测功能
17	SPEN	慢速协议检测使能 (Slow Protocol Detection Enable) 该位置 1 时, MAC 会处理慢速协议数据包 (EtherType: 0x8809) 并提供 Rx 状态。MAC 会丢弃具有无效子类型的慢速协议数据包。 该位复位时, MAC 将所有无错误的慢速协议数据包转发到应用程序。MAC 将这类数据包视为正常类型数据包。 0: 禁用慢速协议检测功能 1: 启用慢速协议检测功能
16	DCRCC	禁用对已接收数据包的 CRC 检查 (Disable CRC Checking for Received Packets) 该位置 1 时, MAC 接收器不会检查已接收数据包中的 CRC 字段。 该位复位时, MAC 接收器将始终检查已接收数据包中的 CRC 字段。 0: 启用 CRC 检查功能 1: 禁用 CRC 检查功能
15:14	Reserved	保留, 必须保持复位值。
13:0	GPSL[13:0]	大型数据包大小限制 (Giant Packet Size Limit) 如果接收到的数据包大小大于在此字段中编程的值 (以字节为单位), 则 MAC 会将接收到的数据包声明为大型数据包。在此字段中编程的值必须大于或等于 1518 字节。任何其他编程值均被视为 1518 字节。对于带 VLAN 标签的数据包, MAC 会将编程的值加上 4 个字节。选择使能双 VLAN 处理选项时, MAC 会将带有双 VLAN 标签的数据包的编程值加上 8 个字节。 将 ETH_MACCFG 寄存器中的 GPSLCE 位置 1 时, 该字段中的值有效。

### 47.6.1.3 ETH MAC 数据包过滤器寄存器 (ETH\_MACPFLT)

偏移地址: 0x0008

复位值：0x0000 0000

MAC 数据包过滤寄存器包含接收数据包的过滤控制。寄存器中的部分控制功能会进入 MAC 的地址检查模块，该模块会执行第一级地址过滤。第二级过滤是根据其他控制（如传送不良数据包（Pass Bad Packets）和传送控制数据包（Pass Control Packets））对接收到的数据包进行过滤。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
RA	Reserved										DNTU	IPFE	Reserved			VTFE
rw										rw	rw	rw				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved					HPF	SAF	SAIF	PCP	DBP	PAM	DAIF	HMC	HUC	PM		
					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	

位域	名称	描述
31	RA	接收所有（Receive All） 该位置 1 时，无论接收到的数据包是否通过地址过滤器，MAC 接收器模块都会将它们全部传送至应用程序。SA 或 DA 过滤的结果在 Rx 状态字的相应位进行更新（通过或失败）。 该位复位时，接收器模块仅将通过 SA 或 DA 地址过滤器的数据包传送至应用程序。 0：禁用接收所有数据包的功能 1：启用接收所有数据包的功能
30:22	Reserved	保留，必须保持复位值。
21	DNTU	丢弃非 TCP/UDP 的 IP 数据包（Drop Non-TCP/UDP over IP Packets） 该位置 1 时，MAC 会丢弃非 TCP/UDP 的 IP 数据包。MAC 仅转发由第 4 层过滤器处理的数据包。 该位复位时，MAC 会转发所有非 TCP/UDP 的 IP 数据包。 0：转发所有非 TCP/UDP 的 IP 数据包 1：丢弃所有非 TCP/UDP 的 IP 数据包
20	IPFE	第 3 层和第 4 层过滤器使能（Layer 3 and Layer 4 Filter Enable） 该位置 1 时，MAC 会丢弃与使能的第 3 层和第 4 层过滤器不匹配的数据包。 该位复位时，无论第 3 层和第 4 层字段的匹配状态如何，MAC 都会转发所有数据包。 0：禁用第 3 层和第 4 层过滤器 1：启用第 3 层和第 4 层过滤器
19:17	Reserved	保留，必须保持复位值。
16	VTFE	VLAN 标签过滤器使能（VLAN Tag Filter Enable） 该位置 1 时，MAC 将丢弃与 VLAN 标签过滤器不匹配的带 VLAN 标签的数据包。 该位复位时，无论 VLAN 标记的匹配状态如何，MAC 都会转发所有数据包。 0：禁用 VLAN 标签过滤器 1：启用 VLAN 标签过滤器

位域	名称	描述
15:11	Reserved	保留，必须保持复位值。
10	HPF	哈希或完美过滤器（Hash or Perfect Filter） 该位置 1 时，如果数据包与完美过滤或哈希过滤（通过 HMC 或 HUC 位设置）匹配，则此数据包会通过地址过滤器。 该位复位并且 HUC 或 HMC 位置 1，则只有在数据包与哈希过滤器匹配时才会通过过滤器。 0：禁用哈希或完美过滤器 1：启用哈希或完美过滤器
9	SAF	源地址过滤器使能（Source Address Filter Enable） 该位置 1 时，MAC 会将接收到的数据包 SA 字段与使能的 SA 寄存器中编程的值进行比较。如果比较结果不相同，MAC 将丢弃数据包。 该位复位时，MAC 会将接收到的数据包转发给应用程序，并根据 SA 地址比较结果更新 Rx 状态的 SAF 位。 0：禁用源地址过滤器 1：启用源地址过滤器 <i>注：根据 IEEE 规范，SA 的第 47 位为保留位。但是，在本 IP 中，MAC 会比较所有 48 位。软件驱动程序在针对 SA 编程 MAC 地址寄存器时应考虑到这一点。</i>
8	SAIF	SA 反向过滤（SA Inverse Filtering） 该位置 1 时，地址检查模块在反向过滤模式下进行 SA 地址比较。如果数据包的 SA 与 SA 寄存器中编程的值匹配，则会将其标记为 SA 地址过滤失败。 该位复位时，如果数据包的 SA 与 SA 寄存器中编程的值不匹配，则会将其标记为 SA 地址过滤失败。 0：禁用 SA 反向过滤 1：启用 SA 反向过滤
7:6	PCP[1:0]	通过控制数据包（Pass Control Packets） 这些位控制所有控制数据包（包括单播和多播暂停数据包）的转发。 00：MAC 会过滤掉所有控制数据包，阻止它们到达应用程序 01：MAC 会将暂停数据包以外的所有控制数据包转发给应用程序，即使这些数据包未通过地址过滤器。 10：MAC 会将所有控制数据包转发给应用程序，即使这些数据包未通过地址过滤器 11：MAC 转发通过地址过滤器的控制数据包
5	DBP	禁用广播数据包（Disable Broadcast Packets） 该位置 1 时，地址过滤模块会阻止所有传入的广播数据包。此外，它还会覆盖所有其他过滤设置。 该位复位时，地址过滤模块会通过所有接收到的广播数据包。 0：启用接收所有广播数据包的功能 1：禁用接收所有广播数据包的功能
4	PAM	通过所有多播（Pass All Multicast） 该位置 1 时，指示通过接收到的带多播目的地址（目的地址字段的第一位是“1”）的所有数据包。 该位复位时，多播数据包的过滤取决于 HMC 位。

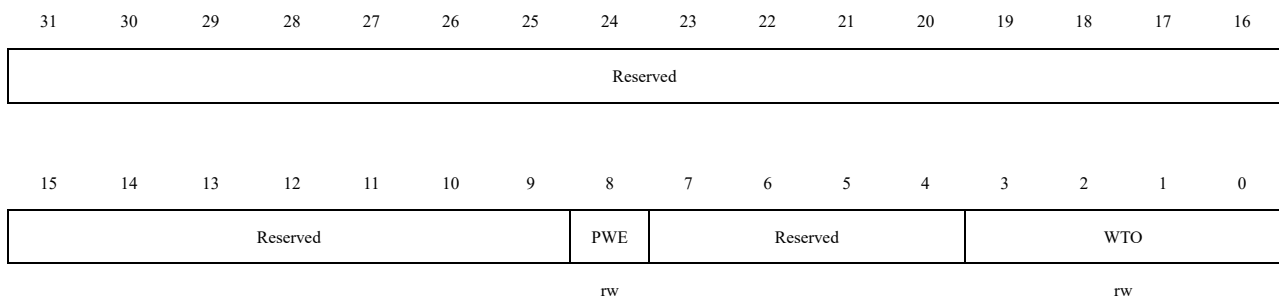
位域	名称	描述
		0: 禁用通过所有多播数据包的功能 1: 启用通过所有多播数据包的功能
3	DAIF	DA 反向过滤 (DA Inverse Filtering) 该位置 1 时, 地址检查模块在反向过滤模式下对单播和多播数据包均进行 DA 地址比较。 该位复位时, 执行数据包的正常过滤。 0: 禁用 DA 反向过滤功能 1: 启用 DA 反向过滤功能
2	HMC	哈希多播 (Hash Multicast) 该位置 1 时, MAC 根据哈希表对接收到的多播数据包执行目的地址过滤。 该位复位时, MAC 对多播数据包执行完美目的地址过滤, 即, 将 DA 字段与 DA 寄存器中编程的值进行比较。 0: 禁用哈希多播过滤功能 1: 启用哈希多播过滤功能
1	HUC	哈希单播 (Hash Unicast) 该位置 1 时, MAC 根据哈希表对接收到的单播数据包执行目的地址过滤。 该位复位时, MAC 对单播数据包执行完美目的地址过滤, 即, 将 DA 字段与 DA 寄存器中编程的值进行比较。 0: 禁用哈希单播过滤功能 1: 启用哈希单播过滤功能
0	PM	混合模式 (Promiscuous Mode) 该位置 1 时, 地址过滤模块将通过所有传入的数据包, 而不管其目的地址或源地址为何。当 PM 被设置时, 始终将 Rx 状态字的 SA 或 DA 过滤失败状态位清零。 0: 禁用混合模式 1: 启用混合模式

#### 47.6.1.4 ETH MAC 看门狗超时寄存器 (ETH\_MACWDGTO)

偏移地址: 0x000C

复位值: 0x0000 0000

看门狗超时寄存器控制接收数据包的看门狗超时。



位域	名称	描述
31:9	Reserved	保留, 必须保持复位值。
8	PWE	可编程看门狗使能 (Programmable Watchdog Enable)

		该位置 1 且 ETH_MACCFG 寄存器的 WD 位复位时，WTO 字段用作已接收数据包的看门狗超时。 该位复位时，通过设置 ETH_MACCFG 寄存器的 WD 和 JE 位来控制已接收数据包的看门狗超时。 0: 禁用可编程看门狗功能 1: 启用可编程看门狗功能
7:4	Reserved	保留，必须保持复位值。
3:0	WTO[3:0]	看门狗超时 (Watchdog Timeout) 当 PWE 位置 1 且 ETH_MACCFG 寄存器的 WD 位复位时，该字段将用作接收数据包的看门狗超时。如果接收到的数据包长度超过了该字段的值，该数据包将被终止并被声明为错误数据包。 0x0: 2K 字节 0x1: 3K 字节 0x2: 4K 字节 0x3: 5K 字节 0x4: 6K 字节 0x5: 7K 字节 ... 0xD: 15K 字节 0xE: 16383 字节 0xF: 保留 注：设置 PWE 位时，该字段的值应大于 1522。否则，IEEE 802.3 规定的有效标记数据包将被声明为错误数据包并丢弃。

#### 47.6.1.5 ETH MAC 哈希表寄存器 0 (ETH\_MACHASHTR0)

偏移地址：0x0010

复位值：0x0000 0000

哈希表寄存器 0 包含哈希表 (64 位) 的前 32 位。

对于哈希过滤，传入数据包中目的地址的内容通过 CRC 逻辑传送，CRC 寄存器的高六位用于对哈希表内容进行索引。最高有效位决定要使用的寄存器 (哈希表寄存器 0 或 1)。

目的地址的哈希值按如下方式计算：

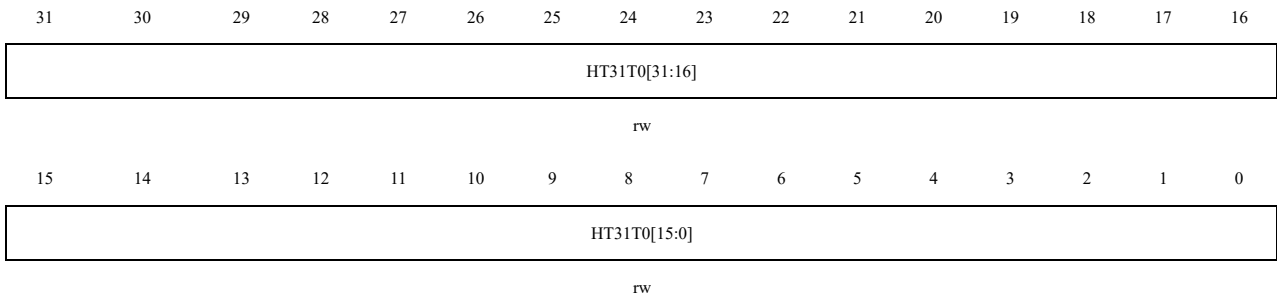
1. 计算 DA 的 32 位 CRC (有关计算 CRC32 的步骤，请参见 IEEE 802.3 的第 3.2.8 节)。
2. 对第 1 步中得出的值执行按位反转。
3. 从步骤 2 得出的值中取高 6 位。

如果寄存器的相应位值为 1，则接受数据包，否则拒绝数据包。如果 MAC 数据包过滤器寄存器中的 PAM 位置 1，则不论多播哈希值为何，都会接受所有多播数据包。

如果哈希表寄存器被配置为与 MII/GMII 时钟域双同步，则只有在写入哈希表寄存器 x 的位[31:24] (小端模式) 或位[7:0] (大端模式) 时才会触发同步。

如果启用了双同步，对该寄存器的连续写入应至少在目标时钟域的四个时钟周期后进行。





位域	名称	描述
31:0	HT31T0[31:0]	MAC 哈希表的前 32 位（MAC Hash Table First 32 Bits） 该字段包含哈希表的前 32 位，即位[31:0]。

#### 47.6.1.6 ETH MAC 哈希表寄存器 1（ETH\_MACHASHTR1）

偏移地址：0x0014

复位值：0x0000 0000

哈希表寄存器 0 包含哈希表（64 位）的后 32 位。

对于哈希过滤，传入数据包中目的地址的内容通过 CRC 逻辑传送，CRC 寄存器的高六位用于对哈希表内容进行索引。最高有效位决定要使用的寄存器（哈希表寄存器 0 或 1）。

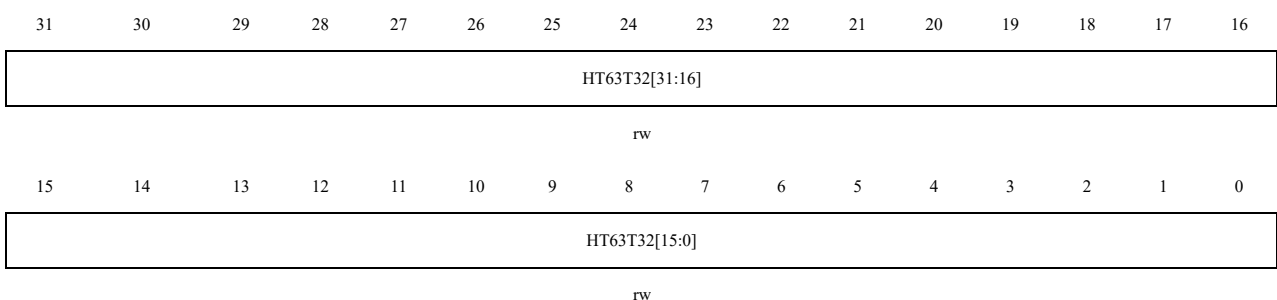
目的地址的哈希值按如下方式计算：

4. 计算 DA 的 32 位 CRC（有关计算 CRC32 的步骤，请参见 IEEE 802.3 的第 3.2.8 节）。
5. 对第 1 步中得出的值执行按位反转。
6. 从步骤 2 得出的值中取高 6（或 7 或 8）位。

如果寄存器的相应位值为 1，则接受数据包，否则拒绝数据包。如果 MAC 数据包过滤器寄存器中的 PAM 位置 1，则不论多播哈希值为何，都会接受所有多播数据包。

如果哈希表寄存器被配置为与 MII/GMII 时钟域双同步，则只有在写入哈希表寄存器 x 的位[31:24]（小端模式）或位[7:0]（大端模式）时才会触发同步。

如果启用了双同步，对该寄存器的连续写入应至少在目标时钟域的四个时钟周期后进行。



位域	名称	描述
31:0	HT63T32[31:0]	MAC 哈希表的后 32 位（MAC Hash Table Second 32 Bits） 该字段包含哈希表的后 32 位，即位[63:32]。

### 47.6.1.7 ETH VLAN 标签寄存器 (ETH\_MACVLANTAG)

偏移地址: 0x0050

复位值: 0x0000 0000

VLAN 标签寄存器用来标识 IEEE 802.1Q VLAN 类型的报文。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EIVLRXS	Reserved	EIVLS	ERIVLT	EDVLP	VTHM	EVLRXS	Reserved	EVLS	DOVLTC	ERSVLM	ESVL	VTIM	ETV		
rw		rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VL[15:0]															
rw															

位域	名称	描述
31	EIVLRXS	在 Rx 状态中使能内部 VLAN 标签 (Enable Inner VLAN Tag in Rx Status) 该位置 1 时, MAC 会在 Rx 状态中提供内部 VLAN 标签。 该位复位时, MAC 不会在 Rx 状态中提供内部 VLAN 标签。 0: 禁用 Rx 状态中的内部 VLAN 标签 1: 启用 Rx 状态中的内部 VLAN 标签
30	Reserved	保留, 必须保持复位值。
29:28	EIVLS[1:0]	在接收端使能内部 VLAN 标签剥离 (Enable Inner VLAN Tag Stripping on Receive) 此字段指示在接收到的数据包中对内部 VLAN 标签进行的剥离操作。 00: 不剥离 01: 如果通过 VLAN 过滤器, 则剥离 10: 如果未通过 VLAN 过滤器, 则剥离 11: 始终进行剥离操作
27	ERIVLT	使能内部 VLAN 标签 (Enable Inner VLAN Tag) 该位和 EDVLP 字段均置 1 时, MAC 接收器会使能针对内部 VLAN 标签 (如果存在) 的操作。 该位复位时, MAC 接收器会使能针对外部 VLAN 标签 (如果存在) 的操作。 ERSVLM 位确定使能哪种 VLAN 类型进行过滤或匹配。 0: 禁用内部 VLAN 标签 1: 启用内部 VLAN 标签
26	EDVLP	使能双 VLAN 处理 (Enable Double VLAN Processing) 该位置 1 时, MAC 可在 Tx 和 Rx 上处理多达两个 VLAN 标签 (如果存在)。 该位复位时, MAC 最多可在 Tx 和 Rx 上处理一个 VLAN 标签 (如果存在)。 0: 禁用双 VLAN 处理功能 1: 启用双 VLAN 处理功能
25	VTHM	VLAN 标签哈希表匹配使能 (VLAN Tag Hash Table Match Enable) 该位置 1 时, 则使用 VLAN 标签的 CRC 的四个最高有效位来索引 ETH_MACVHASHT 寄存器的内容。VLAN 哈希表寄存器的值 1 对应于索引,

位域	名称	描述
		表示数据包与 VLAN 哈希表匹配。 ETV 位置 1 时，使用 12 位 VLAN 标识符（VID）的 CRC 进行比较。 ETV 位复位时，使用 16 位 VLAN 标签的 CRC 进行比较。 该位复位时，不执行 VLAN 哈希匹配操作。 0: 禁用 VLAN 标签哈希表匹配功能 1: 启用 VLAN 标签哈希表匹配功能
24	EVLRXS	Rx 状态中使能 VLAN 标签（Enable VLAN Tag in Rx status） 该位置 1 时，MAC 会在 Rx 状态中提供外部 VLAN 标签。 该位复位时，MAC 不会在 Rx 状态中提供外部 VLAN 标签。 0: 禁用 Rx 状态中的 VLAN 标签 1: 启用 Rx 状态中的 VLAN 标签
23	Reserved	保留，必须保持复位值。
22:21	EVLS[1:0]	在接收端使能 VLAN 标签剥离（Enable VLAN Tag Stripping on Receive） 此字段指示在接收到的数据包中对外部 VLAN 标签进行的剥离操作。 00: 不剥离 01: 如果通过 VLAN 过滤器，则剥离 10: 如果未通过 VLAN 过滤器，则剥离 11: 始终进行剥离操作
20	DOVLTC	禁止 VLAN 类型检查（Disable VLAN Type Check） 该位置 1 时，MAC 不检查由 ERIVLT 位指定的 VLAN 标签是 S-VLAN 类型还是 C-VLAN 类型。 该位复位时，只有当 VLAN 标签类型与 ERSVLM 位指定的相似时，MAC 才会过滤或匹配 ERIVLT 位指定的 VLAN 标签。当接收到的数据包 VLAN 类型与 VLAN 过滤器中编程的 VLAN 类型不匹配时，将绕开 VLAN 过滤器。 0: 启用 VLAN 类型检查功能 1: 禁用 VLAN 类型检查功能
19	ERSVLM	使能接收 S-VLAN 匹配（Enable Receive S-VLAN Match） 该位置 1 时，MAC 接收器会使能针对 S-VLAN（类型 = 0x88A8）数据包的过滤或匹配。 该位复位时，MAC 接收器会使能针对 C-VLAN（类型 = 0x8100）数据包的过滤或匹配。 ERIVLT 位确定用于过滤或匹配的 VLAN 标签位置（内部还是外部标签）。 0: 禁用接收 S-VLAN 匹配功能 1: 启用接收 S-VLAN 匹配功能
18	ESVL	使能 S-VLAN（Enable S-VLAN） 该位置 1 时，MAC 发送器和接收器会将 S-VLAN 数据包（类型 = 0x88A8）视为带 VLAN 标签的有效数据包。 0: 禁用 S-VLAN 1: 启用 S-VLAN
17	VTIM	VLAN 标签反向匹配使能（VLAN Tag Inverse Match Enable） 该位置 1 时，会使能 VLAN 标签反向匹配。不含匹配 VLAN 标签的数据包被标记为匹配。 该位复位时，会使能 VLAN 标签完美匹配。含有匹配 VLAN 标签的数据包被标

位域	名称	描述
		记为匹配。 0: 禁用 VLAN 标签反向匹配功能 1: 启用 VLAN 标签反向匹配功能
16	ETV	使能 12 位 VLAN 标签比较 (Enable 12-Bit VLAN Tag Comparison) 该位置 1 时, 使用 12 位 VLAN 标识符进行比较和过滤, 而不使用完整的 16 位 VLAN 标签。VLAN 标签的位[11:0]与所接收带 VLAN 标签的数据包中的相应字段进行比较。类似地, 使能时, 只有所接收数据包中的 12 位 VLAN 标签用于基于哈希的 VLAN 过滤。 该位复位时, 所接收 VLAN 数据包的第 15 个和第 16 个字节的所有 16 位都用于比较和 VLAN 哈希过滤。 0: 禁用 12 位 VLAN 标签比较功能 1: 启用 12 位 VLAN 标签比较功能
15:0	VL[15:0]	用于接收数据包的 VLAN 标签标识符 (VLAN Tag Identifier for Receive Packets) 该字段包含用于识别 VLAN 数据包的 802.1Q VLAN 标签。该 VLAN 标签标识符将与接收到的数据包的第 15 个和第 16 个字节进行比较, 以识别 VLAN 数据包。下面对该字段的各个位进行了说明: bits[15:13]: 用户优先级 bit12: 标准格式指示符 (CFI) 或丢弃合法指示符 (DEI) bits[11:0]: VLAN 标签的 VLAN 标识符 (VID) 字段 当 ETV 位置 1 时, 仅使用 VID 进行比较。 如果该字段 (ETV 置 1 时为[11:0]) 全部为零, 则 MAC 不会检查用于 VLAN 标签比较的第 15 个和第 16 个字节, 而是将类型字段值为 0x8100 或 0x88a8 的所有数据包均声明为 VLAN 数据包。

#### 47.6.1.8 ETH VLAN 哈希表寄存器 (ETH\_MACVHASHT)

偏移地址: 0x0058

复位值: 0x0000 0000

ETH\_MACVLANTAG 寄存器的 ERSVLM 位置 1 时, 16 位 VLAN 哈希表寄存器用于基于 VLAN 标签进行组地址过滤。对于哈希过滤, 传入数据包中的 16 位 VLAN 标签或 12 位 VLAN ID (取决于 EETH\_MACVLANTAG 寄存器的 ETV 位) 的内容通过 CRC 逻辑传送。计算得出的 CRC 的高四位用于索引 VLAN 哈希表的内容。例如, 哈希值 4b'1000 用于选择 VLAN 哈希表的位 8。

目的地址的哈希值按如下方式计算:

1. 计算 VLAN 标签或 ID 的 32 位 CRC (有关计算 CRC32 的步骤, 请参见 IEEE 802.3 的第 3.2.8 节)。
2. 对第 1 步中获得的值执行按位反转。
3. 从步骤 2 得出的值中取高 4 位。

如果 VLAN 哈希表寄存器被配置为与 MII/GMII 时钟域双同步, 则只有在写入该寄存器的位[15:8] (小端模式) 或位[7:0] (大端模式) 时才会触发同步。

如果启用了双同步, 对该寄存器的连续写入应至少在目标时钟域的四个时钟周期后进行。

31      30      29      28      27      26      25      24      23      22      21      20      19      18      17      16

Reserved
----------

15      14      13      12      11      10      9      8      7      6      5      4      3      2      1      0

VLHT[15:0]
------------

rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	VLHT[15:0]	VLAN 哈希表（VLAN Hash Table） 该字段包含 16 位 VLAN 哈希表。

### 47.6.1.9 ETH VLAN 包含寄存器（ETH\_MACVLANINC）

偏移地址：0x0060

复位值：0x0000 0000

VLAN 包含寄存器包含在发送数据包中插入或替换 VLAN 标签。它还包含 VLAN 标签插入控制。

31      30      29      28      27      26      25      24      23      22      21      20      19      18      17      16

Reserved	VLTl	CSVl	VLP	VLC
----------	------	------	-----	-----

rw      rw      rw      rw

15      14      13      12      11      10      9      8      7      6      5      4      3      2      1      0

VLTl[15:0]
------------

rw

位域	名称	描述
31:21	Reserved	保留，必须保持复位值。
20	VLTl	VLAN 标签输入（VLAN Tag Input） 该位置 1 时，表示应从 Tx 描述符中获取要在 Tx 数据包中插入或替换的 VLAN 标签。 0：禁用 VLAN 标签输入功能 1：启用 VLAN 标签输入功能
19	CSVl	C-VLAN 或 S-VLAN（C-VLAN or S-VLAN） 该位置 1 时，会在所发送数据包的第 13 个和第 14 个字节中插入或替换 S-VLAN 类型（0x88A8）。 该位复位时，会在所发送数据包的第 13 个和第 14 个字节中插入或替换 C-VLAN 类型（0x8100）。 0：插入或替换 C-VLAN 1：插入或替换 S-VLAN
18	VLP	VLAN 优先级控制（VLAN Priority Control） 该位置 1 时，使用控制位[17:16]进行 VLAN 删除、插入或替换。 该位复位时，将使用 mti_vlan_ctrl_i 控制输入，并会忽略位[17:16]。 0：禁用 VLAN 优先级控制功能

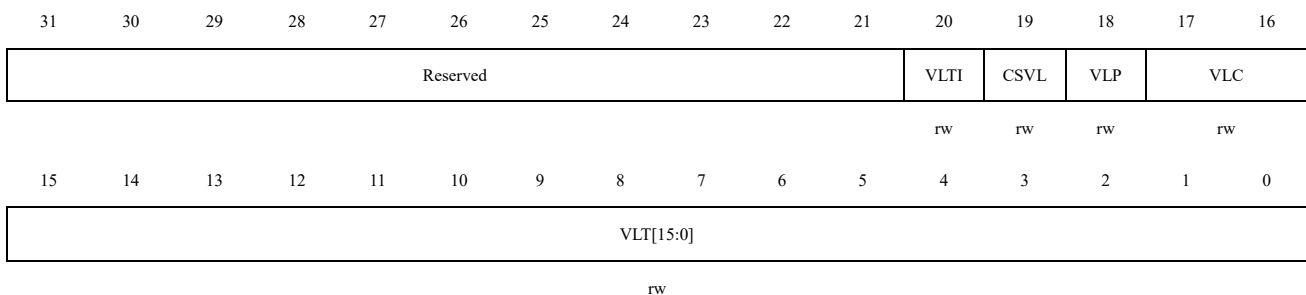
位域	名称	描述
		1: 启用 VLAN 优先级控制功能
17:16	VLC[1:0]	发送数据包中的 VLAN 标签控制 (VLAN Tag Control in Transmit Packets) 00: 不进行 VLAN 标签删除、插入或替换 01: VLAN 标签删除。MAC 将删除所有带 VLAN 标签的已发送数据包的 VLAN 类型 (字节 13 和 14) 以及 VLAN 标签 (字节 15 和 16)。 10: VLAN 标签插入。在字节 13 和 14 中插入类型值 (0x8100 或 0x88A8) 后, MAC 会在数据包的字节 15 和 16 中插入 VLT。无论已发送数据包是否已具有 VLAN 标签, 都会对它们全部进行该操作。 11: VLAN 标签替换。MAC 替换所有 VLAN 类型已发送数据包的字节 15 和 16 中的 VLT (字节 13 和 14 的值为 0x8100 或 0x88A8)。 <i>注: 对此字段的修改仅在数据包起始时生效。如果在发送数据包时对该寄存器字段进行写操作, 则只有后续数据包可使用更新值, 即, 当前数据包不使用更新值。</i>
15:0	VLT[15:0]	发送数据包的 VLAN 标签 (VLAN Tag for Transmit Packets) 该字段包含要插入或替换的 VLAN 标签值。该值只能在发送线路处于非活动状态或初始化阶段更改。 bits[15:13]: 用户优先级 bit12: 标准格式指示符 (CFI) 或丢弃合法指示符 (DEI) bits[11:0]: VLAN 标签的 VLAN 标识符 (VID) 字段

#### 47.6.1.10 ETH 内部 VLAN 包含寄存器 (ETH\_MACIVLANINC)

偏移地址: 0x0064

复位值: 0x0000 0000

内部 VLAN 包含寄存器包含要在发送数据包中插入或替换的内部 VLAN 标签。它还包含内部 VLAN 标签插入控制。



位域	名称	描述
31:21	Reserved	保留, 必须保持复位值。
20	VLT1	VLAN 标签输入 (VLAN Tag Input) 该位置 1 时, 表示应从 Tx 描述符中获取要在 Tx 数据包中插入或替换的 VLAN 标签。 0: 禁用 VLAN 标签输入功能 1: 启用 VLAN 标签输入功能

位域	名称	描述
19	CSVL	C-VLAN 或 S-VLAN (C-VLAN or S-VLAN) 该位置 1 时, 会在所发送数据包的第 17 个和第 18 个字节中插入或替换 S-VLAN 类型 (0x88A8)。 该位复位时, 会在所发送数据包的第 17 个和第 18 个字节中插入或替换 C-VLAN 类型 (0x8100)。 0: 插入或替换 C-VLAN 1: 插入或替换 S-VLAN
18	VLP	VLAN 优先级控制 (VLAN Priority Control) 该位置 1 时, 使用 VLC 位域进行 VLAN 删除、插入或替换。 该位复位时, 将使用 mti_vlan_ctrl_i 控制输入, 并会忽略 VLC 位域。 0: 禁用 VLAN 优先级控制功能 1: 启用 VLAN 优先级控制功能
17:16	VLC[1:0]	发送数据包中的 VLAN 标签控制 (VLAN Tag Control in Transmit Packets) 00: 不进行 VLAN 标签删除、插入或替换 01: VLAN 标签删除。MAC 将删除所有带 VLAN 标签的已发送数据包的 VLAN 类型 (字节 17 和 18) 以及 VLAN 标签 (字节 19 和 20)。 10: VLAN 标签插入。在字节 17 和 18 中插入类型值 (0x8100 或 0x88A8) 后, MAC 会在数据包的字节 19 和 20 中插入 VLT。无论已发送数据包是否已具有 VLAN 标签, 都会对它们全部进行该操作。 11: VLAN 标签替换。MAC 替换所有 VLAN 类型已发送数据包的字节 19 和 20 中的 VLT (字节 17 和 18 的值为 0x8100 或 0x88A8)。 <i>注: 对此字段的修改仅在数据包起始时生效。如果在发送数据包时对该寄存器字段进行写操作, 则只有后续数据包可使用更新值, 即, 当前数据包不使用更新值。</i>
15:0	VLT[15:0]	发送数据包的 VLAN 标签 (VLAN Tag for Transmit Packets) 该字段包含要插入或替换的 VLAN 标签值。该值只能在发送线路处于非活动状态或初始化阶段更改。 bits[15:13]: 用户优先级 bit12: 标准格式指示符 (CFI) 或丢弃合法指示符 (DEI) bits[11:0]: VLAN 标签的 VLAN 标识符 (VID) 字段

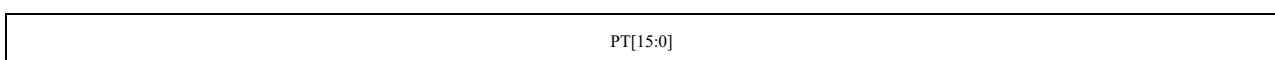
#### 47.6.1.11 ETH MAC 发送流量控制寄存器 (ETH\_MACTXFLWCTRL)

偏移地址: 0x0070

复位值: 0x0000 0000

流量控制寄存器控制 MAC 的流量控制模块生成和接收控制 (暂停命令) 数据包。当写入寄存器并将“忙”位设置为 1 时, 会触发流量控制模块生成一个暂停数据包。控制数据包的字段按照 802.3x 规范的规定进行选择, 该寄存器中的暂停时间值用于控制数据包的暂停时间字段。在控制数据包传输到电缆上之前, “忙”位一直处于置位状态。应用程序在向寄存器写入数据前, 必须确保“忙”位已被清除。

31      30      29      28      27      26      25      24      23      22      21      20      19      18      17      16



rw

15      14      13      12      11      10      9      8      7      6      5      4      3      2      1      0

Reserved	DZPQ	PLT[2:0]	Reserved	TFE	FCB_BPA
	rw	rw		rw	rw

位域	名称	描述
31:16	PT[15:0]	暂停时间（Pause Time） 此字段保留 Tx 控制数据包中暂停时间字段要使用的值。如果将暂停时间位配置为与 MII/GMII 时钟域双同步，则只能在目标时钟域的至少四个时钟周期后执行对此寄存器的连续写操作。
15:8	Reserved	保留，必须保持复位值。
7	DZPQ	禁止零等待暂停（Disable Zero-Quanta Pause） 该位置 1 时，则会在来自 FIFO 层的流控信号置为有效时，禁止自动生成零时间片暂停数据包。 该位复位时，会使能自动零时间片暂停数据包生成的正常操作。 0：启用零等待暂停数据包生成的功能 1：禁用零等待暂停数据包生成的功能
6:4	PLT[2:0]	暂停阈值下限（Pause Low Threshold） 该字段配置暂停定时器的阈值，在该阈值处将检查输入流控制信号，以便自动重新发送暂停数据包。 该阈值应始终小于在位[31:16]中配置的暂停时间。例如，如果 PT = 100H（256 个时隙），而 PLT = 001，则在第一个暂停数据包发送完成后，第二个暂停数据包会在 228（256 - 28）个时隙将流量控制信号置为有效时自动发送。 下面给出了针对不同值的阈值： 000：暂停时间减去 4 个时隙（PT - 4 个时隙） 001：暂停时间减去 28 个时隙（PT - 28 个时隙） 010：暂停时间减去 36 个时隙（PT - 36 个时隙） 011：暂停时间减去 144 个时隙（PT - 144 个时隙） 100：暂停时间减去 256 个时隙（PT - 256 个时隙） 101：暂停时间减去 512 个时隙（PT - 512 个时隙） 110-111：保留 时隙时间定义为 MII/GMII 接口每传输 512 位（64 字节）所需的时间。 此（近似）计算基于数据包大小（64、1518、2000、9018、16384 或 32768）+ 2 个暂停数据包大小 + IPG 的时隙时间。
3:2	Reserved	保留，必须保持复位值。
1	TFE	发送流控使能（Transmit Flow Control Enable） 全双工模式下：该位置 1 时，MAC 将使能流控操作来发送暂停数据包。该位复位时，将禁止 MAC 中的流控操作，MAC 不会发送任何暂停数据包。 半双工模式下：该位置 1 时，MAC 将使能背压操作。该位复位时，将禁止背压功能。 0：禁用发送流控功能 1：启用发送流控功能
0	FCB_BPA	流控忙或背压激活（Flow Control Busy or Backpressure Activate） 此位在全双工模式下启动暂停数据包，在半双工模式下，TFE 位置 1 时，会激活背压功能。



		<p>全双工模式：向该寄存器写入数据前此位应读为 0。要启动暂停数据包，应用程序必须将此位置 1。在控制数据包传输过程中，此位保持置 1 以指示数据包发送正在进行中。当暂停数据包发送完成时，MAC 会将该位复位为 0。在该位清零之前，不应对该寄存器进行写操作。</p> <p>半双工模式：如果该位在半双工模式下置 1（且 TFE 位置 1），则 MAC 会激活背压。在背压操作期间，当 MAC 接收到新数据包时，发送器会开始发送一个导致冲突的 JAM 模式。该控制寄存器位将与流量控制输入信号进行逻辑或运算，以用于背压功能。当 MAC 配置为全双工模式时，将自动禁止 BPA。</p> <p>0：禁用流量控制忙或背压激活功能 1：启用流量控制忙或背压激活功能</p> <p>注：该位有访问限制，写 1 有效，自动清零，写 0 无影响。</p>
--	--	---

### 47.6.1.12 ETH MAC 接收流量控制寄存器（ETH\_MACRXFLWCTRL）

偏移地址：0x0090

复位值：0x0000 0000

接收流量控制寄存器根据接收到的暂停数据包控制 MAC 发送的暂停。



位域	名称	描述
31:2	Reserved	保留，必须保持复位值。
1	UP	<p>单播暂停数据包检测（Unicast Pause Packet Detect）</p> <p>当暂停数据包具有 IEEE 802.3 中指定的唯一多播地址时，就会被处理。该位置 1 时，MAC 也能检测到带有站点单播地址的暂停数据包。该单播地址应与 MAC 地址 0 高寄存器和 MAC 地址 0 低寄存器中指定的地址相同。该位复位时，MAC 仅检测具有唯一多播地址的暂停数据包。</p> <p>0：禁用单播暂停数据包检测功能 1：启用单播暂停数据包检测功能</p> <p>注：如果多播地址与该唯一多播地址不同，则 MAC 不会处理暂停数据包。唯一多播地址（0x01_80_C2_00_00_01）如 IEEE 802.1 Qbb-2011 中所规定。</p>
0	RFE	<p>接收流控使能（Receive Flow Control Enable）</p> <p>该位置 1 且 MAC 工作在全双工模式下时，MAC 对接收到的暂停数据包进行解码，并禁止其在指定（暂停）时间内发送。当该位复位或 MAC 工作在半双工模式下时，会禁止暂停数据包的解码功能。</p> <p>0：禁用接收流控功能 1：启用接收流控功能</p>

### 47.6.1.13 ETH MAC 中断状态寄存器 (ETH\_MACINTSTS)

偏移地址: 0x00B0

复位值: 0x0000 0000

中断状态寄存器包含以太网模块的各中断状态。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved												MDIOIS	Reserved		
												r	r		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	RXSTSSIS	TXSTSSIS	TSIS	MMCRXIPIS	MMCTXIS	MMCRXIS	MMCIS	Reserved	LPIIS	PMTIS	PHYIS	Reserved			
	r	r	r	r	r	r	r		r	r	r				

位域	名称	描述
31:19	Reserved	保留, 必须保持复位值。
18	MDIOIS	MDIO 中断状态 (MDIO Interrupt Status) 该位指示 MDIO 操作完成后的中断事件。要重置该位, 应用程序必须读该位或在 MAC CSR 软件控制寄存器的 RCWE 位被设置时向该位写 1。 0: MDIO 中断状态未激活 1: MDIO 中断状态激活 <i>注: 该位有访问限制。读 (或当 MAC CSR 软件控制寄存器中的 RCWE 位被设置时写 1) 清零。内部事件时自动置 1。</i>
17:15	Reserved	保留, 必须保持复位值。
14	RXSTSSIS	接收状态中断 (Receive Status Interrupt) 该位指示接收数据包的状态。当 MAC Rx Tx 状态寄存器中的 RWT 位被设置时, 该位被置位。当读取 MAC Rx Tx 状态寄存器中相应的中断源位 (或当设置 MAC CSR 软件控制寄存器的 RCWE 位时对相应的中断源位写 “1”) 时, 清零该位。 0: 接收中断状态未激活 1: 接收中断状态激活
13	TXSTSSIS	发送状态中断 (Transmit Status Interrupt) 该位指示发送数据包的状态。当 MAC Rx Tx 状态寄存器中以下任何位被置位时, 该位被置位: <ul style="list-style-type: none"> <li>● 过度冲突 (EXCOL)</li> <li>● 延迟冲突 (LCOL)</li> <li>● 过度延迟 (EXDEF)</li> <li>● 载波丢失 (LCARR)</li> <li>● 无载波 (NCARR)</li> <li>● Jabber 超时 (TJT)</li> </ul> 当读取 MAC Rx Tx 状态寄存器中相应的中断源位 (或当设置 MAC CSR 软件控制寄存器的 RCWE 位时对相应的中断源位写 “1”) 时, 清零该位。 0: 发送中断状态未激活

位域	名称	描述
		1: 发送中断状态激活
12	TSIS	<p>时间戳中断状态 (Timestamp Interrupt Status)</p> <p>如果启用了时间戳功能, 则在以下任一条件为真时该位置位:</p> <ul style="list-style-type: none"> <li>● 系统时间值等于或超过目标时间高寄存器和目标时间低寄存器中指定的值</li> <li>● 秒寄存器中出现溢出</li> <li>● 发生目标时间错误, 即编程目标时间已过</li> </ul> <p>如果使能辅助快照功能, 则在辅助快照触发信号有效时, 该位会置 1。</p> <p>如果在 MTL 中使能丢弃发送状态, 则在 MAC Tx 时间戳状态纳秒寄存器和 MAC Tx 时间戳状态秒寄存器中更新捕获的发送时间戳时, 该位会置 1。</p> <p>如果使能 PTP 减荷功能, 则在 MAC Tx 时间戳状态纳秒寄存器和 MAC Tx 时间戳状态秒寄存器中更新捕获的发送时间戳时, 该位会置 1, 以用于 PTO 生成的延迟请求和 Pdelay 请求数据包。</p> <p>当读取 MAC 时间戳状态寄存器中相应的中断源位 (或当设置 MAC CSR 软件控制寄存器的 RCWE 位时对相应的中断源位写 “1”) 时, 清零该位。</p> <p>0: 时间戳中断状态未激活 1: 时间戳中断状态激活</p> <p><i>注: 当第一个条件为真时, 要产生时间戳中断 (如果使能), 必须保证第三个条件为假且设置 MAC 时间戳控制寄存器的 bit4 (TSTRIG) 为 1。</i></p>
11	MMCRXIPIS	<p>MMC 接收校验和卸载中断状态 (MMC Receive Checksum Offload Interrupt Status)</p> <p>当 MMC 接收校验和卸载中断寄存器中产生中断时, 该位会置 1。清除该中断寄存器中的所有位后, 该位将被清除。</p> <p>0: MMC 接收校验和卸载中断状态未激活 1: MMC 接收校验和卸载中断状态激活</p>
10	MMCTXIS	<p>MMC 发送中断状态 (MMC Transmit Interrupt Status)</p> <p>当 MMC 发送中断寄存器中产生中断时, 该位会置 1。清除该中断寄存器中的所有位后, 该位将被清除。</p> <p>0: MMC 发送中断状态未激活 1: MMC 发送中断状态激活</p>
9	MMCRXIS	<p>MMC 接收中断状态 (MMC Receive Interrupt Status)</p> <p>当 MMC 接收中断寄存器中产生中断时, 该位会置 1。清除该中断寄存器中的所有位后, 该位将被清除。</p> <p>0: MMC 接收中断状态未激活 1: MMC 接收中断状态激活</p>
8	MMCIS	<p>MMC 中断状态 (MMC Interrupt Status)</p> <p>当 bit11, bit10 或者 bit9 被设置为高时, 该位会置 1。当这些位均为低时, 该位将被清除。</p> <p>0: MMC 中断状态未激活 1: MMC 中断状态激活</p>
7:6	Reserved	保留, 必须保持复位值。
5	LPIIS	<p>LPI 中断状态 (LPI Interrupt Status)</p> <p>启用节能型以太网功能后, MAC 发送器或接收器在进入或退出任何 LPI 状态时都将使该位置 1。</p>

位域	名称	描述
		当读取 MAC LPI 控制状态寄存器中相应的中断源位（或当设置 MAC CSR 软件控制寄存器的 RCWE 位时对相应的中断源位写“1”）时，清零该位。 0: LPI 中断状态未激活 1: LPI 中断状态激活
4	PMTIS	PMT 中断状态（PMT Interrupt Status） 当接收到一个魔术包或者 Wake-on-LAN 数据包（远程唤醒包）时，该位会置 1。 当对 MAC PMT 控制状态寄存器执行读操作而清除相应的中断源位（或当设置 MAC CSR 软件控制寄存器的 RCWE 位时对 MAC PMT 控制状态寄存器相应的中断源位写“1”）时，清零该位。 0: PMT 中断状态未激活 1: PMT 中断状态激活
3	PHYIS	PHY 中断（PHY Interrupt） 当检测到 phy_intr_i 输入信号的上升沿时，该位会置 1。 当读该寄存器（或当设置 MAC CSR 软件控制寄存器的 RCWE 位时对该位写“1”）时，清零该位。 0: 未检测到 PHY 中断 1: 检测到 PHY 中断
2:0	Reserved	保留，必须保持复位值。

#### 47.6.1.14 ETH MAC 中断使能寄存器（ETH\_MACINTEN）

偏移地址：0x00B4

复位值：0x0000 0000

中断使能寄存器包含用于产生中断的掩码。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved													MDIOIE	Reserved		
													rw	rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved	RXSTSIE	TXSTSIE	TSIE	Reserved						LPIIE	PMTIE	PHYIE	Reserved			
	rw	rw	rw							rw	rw	rw				

位域	名称	描述
31:19	Reserved	保留，必须保持复位值。
18	MDIOIE	MDIO 中断使能（MDIO Interrupt Enable） 该位置 1 时，该中断信号在 MAC 中断状态寄存器中的 MDIOIS 位置 1 时有效。 0: 禁用 MDIO 中断 1: 启用 MDIO 中断
17:15	Reserved	保留，必须保持复位值。

位域	名称	描述
14	RXSTSIE	接收状态中断使能 (Receive Status Interrupt Enable) 该位置 1 时, 该中断信号因 MAC 中断状态寄存器中的 RXSTSIS 位置 1 而有效。 0: 禁用接收状态中断 1: 启用接收状态中断
13	TXSTSIE	发送状态中断使能 (Transmit Status Interrupt Enable) 该位置 1 时, 该中断信号因 MAC 中断状态寄存器中的 TXSTSIS 位置 1 而有效。 0: 禁用发送状态中断 1: 启用发送状态中断
12	TSIE	时间戳中断使能 (Timestamp Interrupt Enable) 该位置 1 时, 该中断信号因 MAC 中断状态寄存器中的 TSIS 位置 1 而有效。 0: 禁用时间戳中断 1: 启用时间戳中断
11:6	Reserved	保留, 必须保持复位值。
5	LPIIE	LPI 中断使能 (LPI Interrupt Enable) 该位置 1 时, 该中断信号因 MAC 中断状态寄存器中的 LPIIS 位置 1 而有效。 0: 禁用 LPI 中断 1: 启用 LPI 中断
4	PMTIE	PMT 中断使能 (PMT Interrupt Enable) 该位置 1 时, 该中断信号因 MAC 中断状态寄存器中的 PMTIS 位置 1 而有效。 0: 禁用 PMT 中断 1: 启用 PMT 中断
3	PHYIE	PHY 中断使能 (PHY Interrupt Enable) 该位置 1 时, 该中断信号因 MAC 中断状态寄存器中的 PHYIS 位置 1 而有效。 0: 禁用 PHY 中断 1: 启用 PHY 中断
2:0	Reserved	保留, 必须保持复位值。

#### 47.6.1.15 ETH MAC 接收发送状态寄存器 (ETH\_MACRXTXSTS)

偏移地址: 0x00B8

复位值: 0x0000 0000

接收发送状态寄存器包含接收和发送错误状态。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						RWT	Reserved	EXCOL	LCOL	EXDEF	LCARR	NCARR	TJT		
						r		r	r	r	r	r	r		
位域	名称	描述													

31:9	Reserved	保留，必须保持复位值。
8	RWT	<p>接收看门狗超时（Receive Watchdog Timeout）</p> <p>当接收到长度大于 2048 字节（如果使能巨型数据包模式，则为 10240 字节）的数据包，且 MAC 配置寄存器中的 WD 位复位时，该位置 1。</p> <p>当接收到长度大于 16383 字节的数据包，且 MAC 配置寄存器中的 WD 位置 1 时，该位置 1。</p> <p>0：无接收看门狗超时 1：发生接收看门狗超时</p> <p><i>注：该位有访问限制。读（或当 MAC CSR 软件控制寄存器中的 RCWE 位被设置时写 1）清零。内部事件时自动置 1。</i></p>
7:6	Reserved	保留，必须保持复位值。
5	EXCOL	<p>过度冲突（Excessive Collisions）</p> <p>当 MTL 操作模式寄存器中的 DTXSTS 位置 1 时，该位指示尝试发送当前数据包时因出现 16 个连续冲突而中止发送。如果 MAC 配置寄存器中的 DR 位置 1，则该位在第一次冲突后置 1，并且数据包发送过程将中止。</p> <p>0：无冲突 1：检测到过度冲突</p> <p><i>注：该位有访问限制。读（或当 MAC CSR 软件控制寄存器中的 RCWE 位被设置时写 1）清零。内部事件时自动置 1。</i></p>
4	LCOL	<p>延迟冲突（Late Collision）</p> <p>当 MTL 操作模式寄存器中的 DTXSTS 位置 1 时，该位指示数据包传输因冲突窗口（MII 模式下为 64 个字节，包含前导码；GMII 模式下为 512 字节，包含前导码和载波扩展）之后发送冲突而中止。</p> <p>如果发生下溢错误，则该位无效。</p> <p>0：无冲突 1：检测到延迟冲突</p> <p><i>注：该位有访问限制。读（或当 MAC CSR 软件控制寄存器中的 RCWE 位被设置时写 1）清零。内部事件时自动置 1。</i></p>
3	EXDEF	<p>过度延迟（Excessive Deferral）</p> <p>当 MTL 操作模式寄存器中的 DTXSTS 位置 1，且 MAC 配置寄存器中的 DC 位置 1 时，该位指示因延迟超过 24288 个位时间（在 1000Mbps 模式下或在使能巨型数据包时，为 155680）而结束发送。</p> <p>0：无过度延迟 1：过度延迟</p> <p><i>注：该位有访问限制。读（或当 MAC CSR 软件控制寄存器中的 RCWE 位被设置时写 1）清零。内部事件时自动置 1。</i></p>
2	LCARR	<p>载波丢失（Loss of Carrier）</p> <p>当 MTL 操作模式寄存器中的 DTXSTS 位置 1 时，该位指示在数据包传输过程中发生了载波丢失，即在数据包传输过程中，phy_crs_i 信号在一个或多个传输时钟周期内处于非活动状态。该位仅对无冲突传输的数据包有效。</p> <p>0：载波存在 1：载波丢失</p> <p><i>注：该位有访问限制。读（或当 MAC CSR 软件控制寄存器中的 RCWE 位被设置时写 1）清零。内部事件时自动置 1。</i></p>

1	NCARR	无载波 (No Carrier) 当 MTL 操作模式寄存器中的 DTXSTS 位置 1 时, 该位指示在前导码发送结束时不存在来自 PHY 的载波信号。 0: 载波存在 1: 无载波 <i>注: 该位有访问限制。读 (或当 MAC CSR 软件控制寄存器中的 RCWE 位被设置时写 1) 清零。内部事件时自动置 1。</i>
0	TJT	发送 Jabber 超时 (Transmit Jabber Timeout) 当数据包大小超过 2048 字节 (如果使能巨型数据包模式, 则为 10240 字节) 且 MAC 配置寄存器中的 JD 位复位时, 该位表示传输 Jabber 定时器过期。 当数据包大小超过 16383 字节且 MAC 配置寄存器中的 JD 位置 1 时, 该位置 1。 0: 无发送 Jabber 超时 1: 发生发送 Jabber 超时 <i>注: 该位有访问限制。读 (或当 MAC CSR 软件控制寄存器中的 RCWE 位被设置时写 1) 清零。内部事件时自动置 1。</i>

#### 47.6.1.16 ETH PMT 控制状态寄存器 (ETH\_MACPMTCTRLSTS)

偏移地址: 0x00C0

复位值: 0x0000 0000

PMT 控制状态寄存器包含远程唤醒数据包、魔术数据包相关的控制和状态位。

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

RWKFILTRST	Reserved	RWKPTR[4:0]	Reserved
------------	----------	-------------	----------

rw

r

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	RWKPF E	GLBLU CAST	Reserved	RWKPR CVD	MGKPR CVD	Reserved	RWKPK TEN	MGKPK TEN	PWRD WN
----------	---------	------------	----------	-----------	-----------	----------	-----------	-----------	---------

rw

rw

r

r

rw

rw

rw

位域	名称	描述
31	RWKFILTRST	远程唤醒数据包过滤寄存器指针复位 (Remote wakeup Packet Filter Register Pointer Reset) 该位置 1 时, 远程唤醒数据包过滤寄存器指针将复位为 3'b000。它会在 1 个时钟周期后自动清零。 0: 远程唤醒包过滤寄存器指针未复位 1: 远程唤醒包过滤寄存器指针复位
30:29	Reserved	保留, 必须保持复位值。
28:24	RWKPTR[4:0]	远程唤醒 FIFO 指针 (Remote wakeup FIFO Pointer) 该字段给出了远程唤醒数据包过滤寄存器指针的当前值 (0 到 7)。如果该指针的值等于 7, 则对该寄存器进行写操作时, 远程唤醒数据包过滤寄存器的内容将被传输到 clk_rx_i 域。
23:11	Reserved	保留, 必须保持复位值。
10	RWKPF E	远程唤醒数据包转发使能 (Remote wakeup Packet Forwarding Enable)

		<p>该位与 RWKPKTEN 均置 1 时，MAC 接收器会丢弃所有接收到的帧，直到收到预期的唤醒帧。在此之后的所有帧，包括接收到的唤醒帧，都会转发给应用程序。接收到唤醒数据包后，该位自动清零。应用程序也可以在收到预期唤醒帧之前清除该位。在这种情况下，MAC 将恢复为默认行为，将接收到的数据包转发给应用程序。该位必须仅在 RWKPKTEN 置为高电平且 PWRDWN 置为低电平时置 1。当 PWRDWN 置为高电平时，该位的设置无效。</p> <p>0：禁用远程唤醒数据包转发功能 1：启用远程唤醒数据包转发功能</p> <p><i>注：如果在设置该位的同时使能了魔术包和唤醒帧，并且在唤醒帧之前收到了魔术包，则在收到魔术包时该位将自清除，收到的魔术包将被丢弃，收到魔术包后的所有帧将转发给应用程序。</i></p> <p><i>注：该位有访问限制，写 1 有效，自动清零，写 0 无影响。</i></p>
9	GLBLUCAST	<p>全局单播（Global Unicast）</p> <p>该位置 1 时，任何经 MAC 地址识别过滤（DAF）的单播数据包都会被检测为远程唤醒数据包。</p> <p>0：禁用全局单播功能 1：启用全局单播功能</p>
8:7	Reserved	保留，必须保持复位值。
6	RWKPRCVD	<p>接收到远程唤醒数据包（Remote wakeup Packet Received）</p> <p>该位置 1 时，指示因接收到远程唤醒数据包而生成了电源管理事件。对此寄存器执行读操作时此位清零。</p> <p>0：未接收到远程唤醒数据包 1：接收到远程唤醒数据包</p> <p><i>注：该位有访问限制。读（或当 MAC CSR 软件控制寄存器中的 RCWE 位被设置时写 1）清零。内部事件时自动置 1。</i></p>
5	MGKPRCVD	<p>接收到魔术数据包（Magic Packet Received）</p> <p>该位置 1 时，指示因接收到魔术数据包而生成了电源管理事件。对此寄存器执行读操作时此位清零。</p> <p>0：未接收到魔术数据包 1：接收到魔术数据包</p> <p><i>注：该位有访问限制。读（或当 MAC CSR 软件控制寄存器中的 RCWE 位被设置时写 1）清零。内部事件时自动置 1。</i></p>
4:3	Reserved	保留，必须保持复位值。
2	RWKPKTEN	<p>远程唤醒数据包使能（Remote wakeup Packet Enable）</p> <p>该位置 1 时，则会在 MAC 接收到远程唤醒数据包时生成电源管理事件。</p> <p>0：禁用远程唤醒数据包功能 1：启用远程唤醒数据包功能</p>
1	MGKPKTEN	<p>魔术数据包使能（Magic Packet Enable）</p> <p>该位置 1 时，则会在 MAC 接收到魔术数据包时生成电源管理事件。</p> <p>0：禁用魔术数据包功能 1：启用魔术数据包功能</p>
0	PWRDWN	<p>掉电（Power Down）</p> <p>该位置 1 时，MAC 接收器会丢弃所有接收到的数据包，直到收到预期的魔术数据包或远程唤醒数据包。随后该位自动清零，且掉电模式被禁用。软件可在收</p>



		到预期魔术数据包或远程唤醒数据包之前清除该位。此位清零后 MAC 接收到的数据包会被转发给应用程序。只有当魔术数据包使能、全局单播或远程唤醒数据包使能位置为高电平时才必须将该位置 1。 0: 禁用掉电模式 1: 启用掉电模式 注: 可以在掉电模式下关闭 CSR 时钟。但是, 当 CSR 时钟处于关断状态时, 不能对该寄存器执行任何读写操作, 因此软件无法清除该位。
--	--	--

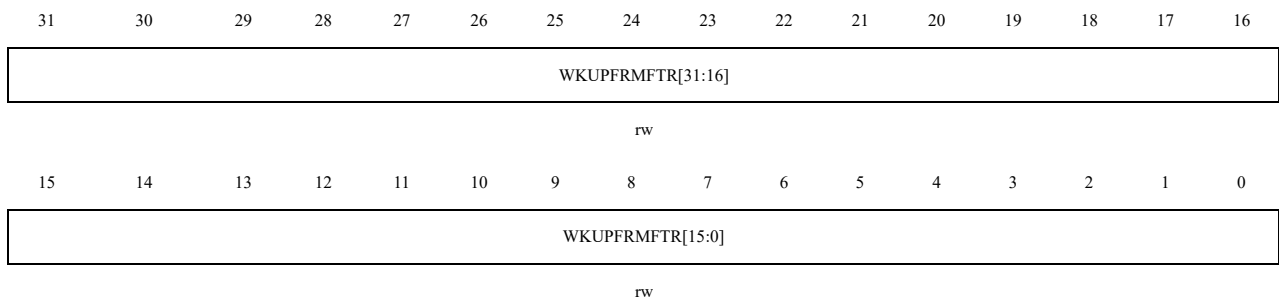
#### 47.6.1.17 ETH MAC 远程唤醒过滤寄存器 (ETH\_MACRWUPFLT)

偏移地址: 0x00C4

复位值: 0x0000 0000

远程唤醒过滤寄存器以 8 个间接访问寄存器 (wkuppktfilter\_reg#i) 的形式实现, 并由应用程序通过 MAC 远程唤醒过滤寄存器进行访问。要对远程唤醒过滤器进行编程时, 必须写入整组 wkuppktfilter\_reg 寄存器。在 MAC 远程唤醒过滤寄存器中依次写入 wkuppktfilter\_reg0、wkuppktfilter\_reg1、...、wkuppktfilter\_reg7 的 8 个寄存器值, 即可对 wkuppktfilter\_reg 寄存器进行编程。wkuppktfilter\_reg 寄存器的读取方式与此类似。MAC 会更新 MAC PMT 控制状态寄存器 RWKPTR 字段中的 wkuppktfilter\_reg 寄存器当前指针值。

远程唤醒过滤寄存器的字段描述参见 47.5.11.2 章节。



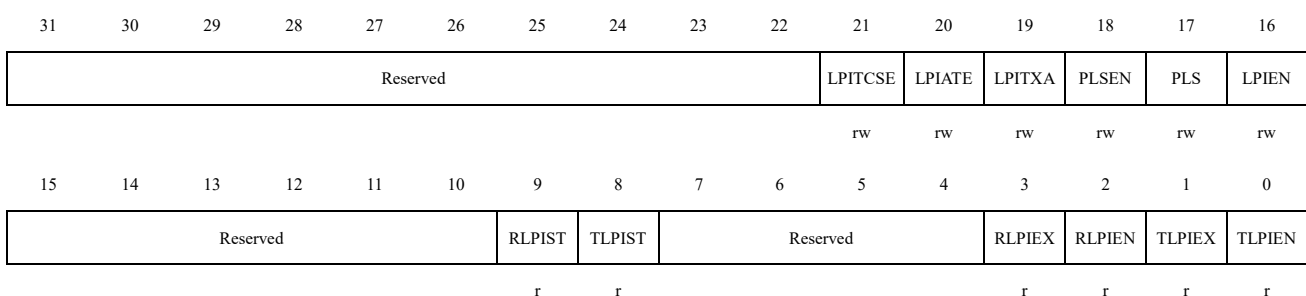
位域	名称	描述
31:0	WKUPFRMFTR	远程唤醒过滤 (RWK Packet Filter) 此字段包含 RWK 包过滤器的各种控制。

#### 47.6.1.18 ETH LPI 控制状态寄存器 (ETH\_MACLPICTRLSTS)

偏移地址: 0x00D0

复位值: 0x0000 0000

LPI 控制和状态寄存器控制 LPI 功能并提供 LPI 中断状态。读该寄存器时, 状态位将被清零。



位域	名称	描述
31:22	Reserved	保留，必须保持复位值。
21	LPITCSE	<p>LPI Tx 时钟停止使能 (LPI Tx Clock Stop Enable)</p> <p>该位置 1 时，MAC 在进入 Tx LPI 模式后会将 <code>sbd_tx_clk_gating_ctrl_o</code> 信号 (IP 内部信号) 置为高电平，以指示可以停止向 MAC 提供 Tx 时钟。</p> <p>该位复位时，MAC 在进入 Tx LPI 模式后不会将 <code>sbd_tx_clk_gating_ctrl_o</code> 信号 (IP 内部信号) 置为高电平。</p> <p>0: 禁用 LPI Tx 时钟停止功能 1: 启用 LPI Tx 时钟停止功能</p>
20	LPIATE	<p>LPI 定时器使能 (LPI Timer Enable)</p> <p>该位控制 MAC 发送器自动进入和退出 LPI 状态。如果 LPITE、LPITXA 和 LPITXEN 位均置 1，则只有在整个 MAC 发送数据路径保持空闲的时长达到 LPI 入口定时器寄存器所指示的时间后，MAC 发送器才会进入 LPI 状态。进入 LPI 状态后，如果数据路径变为非空闲 (由于接受了新的需要发送的数据包)，则发送器会退出 LPI 状态，但不会清除 LPITXEN 位。这样就能在再次进入空闲状态时重新进入 LPI 状态。LPITE 为 0 时，LPI 自动定时器被禁用，MAC 发送器根据 LPITXA 和 LPITXEN 位的设置进入 LPI 状态。</p> <p>0: 禁用 LPI 定时器功能 1: 启用 LPI 定时器功能</p>
19	LPITXA	<p>LPI Tx 自动化 (LPI Tx Automate)</p> <p>该位控制 MAC 在发送端进入或退出 LPI 模式时的行为。如果 LPITXA 和 LPIEN 位均置 1，则只有在已发送所有未完成的数据包 (在内核中) 和暂停的数据包 (在应用程序接口中) 之后，MAC 才会进入 LPI 模式。应用程序发送任何数据包以供传送，或应用程序发出 Tx FIFO 刷新命令时，MAC 将退出 LPI 模式。此外，MAC 退出 LPI 状态时会自动将 LPIEN 位清零。当 MAC 处于 LPI 模式时，如果在 MTL Tx 队列 0 操作模式寄存器的 FTQ 位中将 Tx FIFO 刷新置为有效，则 MAC 会退出 LPI 模式。</p> <p>该位为 0 时，LPIEN 位直接控制 MAC 进入或退出 LPI 模式时的行为。</p> <p>0: 禁用 LPI Tx 自动化功能 1: 启用 LPI Tx 自动化功能</p>
18	Reserved	保留，必须保持复位值。
17	PLS	<p>PHY 链路状态 (PHY Link Status)</p> <p>该位指示 PHY 的链路状态。只有当链路状态至少在 LPI LS 定时器所指示的时间内为正常 (OKAY) 时，MAC 发送器才会将 LPI 模式置为有效。</p> <p>该位置 1 时，将链路视为正常状态 (UP)。</p> <p>该位复位时，将链路视为断开状态。</p> <p>0: 链路断开 1: 链路正常</p>
16	LPIEN	<p>LPI 使能 (LPI Enable)</p> <p>该位置 1 时，指示 MAC 发送器进入 LPI 状态。</p> <p>该位复位时，指示 MAC 退出 LPI 状态并恢复正常发送。</p> <p>当 LPITXA 位置 1 且 MAC 因有新数据包传输而退出 LPI 状态时，该位被清零。</p> <p>0: 禁用 LPI 功能 1: 启用 LPI 功能</p>

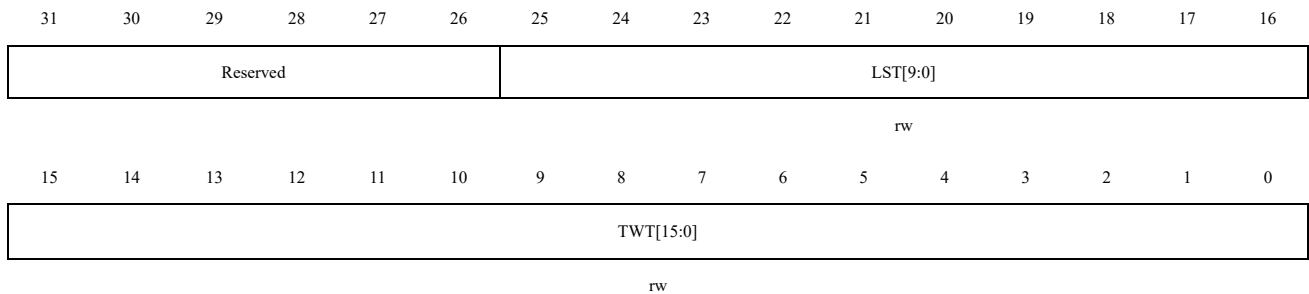
位域	名称	描述
15:10	Reserved	保留，必须保持复位值。
9	RLPIST	接收 LPI 状态 (Receive LPI State) 该位置 1 时，指示 MAC 在 MII/GMII 接口上正处于接收 LPI 模式。 0: 未检测到接收 LPI 状态 1: 检测到接收 LPI 状态
8	TLPIST	发送 LPI 状态 (Transmit LPI State) 该位置 1 时，指示 MAC 在 MII/GMII 接口上正处于发送 LPI 模式。 0: 未检测到发送 LPI 状态 1: 检测到发送 LPI 状态
7:4	Reserved	保留，必须保持复位值。
3	RLPIEX	接收 LPI 退出 (Receive LPI Exit) 该位置 1 时，指示 MAC 接收器在 MII/GMII 接口已停止接收 LPI 模式，并且退出 LPI 状态和恢复正常接收。通过对此寄存器执行读操作 (或当设置 MAC CSR 软件控制寄存器的 RCWE 位时对该位写 “1”) 可将此位清零。 0: 未检测到接收 LPI 退出 1: 检测到接收 LPI 退出 <i>注: 如果 MAC 停止接收 LPI 模式的时间很短, 例如小于三个 CSR 时钟周期, 则该位可能不会被置 1。</i>
2	RLPIEN	接收 LPI 进入 (Receive LPI Entry) 该位置 1 时，指示 MAC 接收器已接收到 LPI 模式并进入 LPI 状态。通过对此寄存器执行读操作 (或当设置 MAC CSR 软件控制寄存器的 RCWE 位时对该位写 “1”) 可将此位清零。 0: 未检测到接收 LPI 进入 1: 检测到接收 LPI 进入 <i>注: 如果 MAC 停止接收 LPI 模式的时间很短, 例如小于三个 CSR 时钟周期, 则该位可能不会被置 1。</i>
1	TLPIEX	发送 LPI 退出 (Transmit LPI Exit) 该位置 1 时，指示 MAC 发送器在应用程序清除 LPIEN 位且 LPI TW 定时器过期后退出 LPI 状态。通过对此寄存器执行读操作 (或当设置 MAC CSR 软件控制寄存器的 RCWE 位时对该位写 “1”) 可将此位清零。 0: 未检测到发送 LPI 退出 1: 检测到发送 LPI 退出
0	TLPIEN	发送 LPI 进入 (Transmit LPI Entry) 该位置 1 时，指示 MAC 发送器因 LPIEN 位被置而进入 LPI 状态。通过对此寄存器执行读操作 (或当设置 MAC CSR 软件控制寄存器的 RCWE 位时对该位写 “1”) 可将此位清零。 0: 未检测到发送 LPI 进入 1: 检测到发送 LPI 进入

#### 47.6.1.19 ETH LPI 定时器控制寄存器 (ETH\_MACLPITIMCTRL)

偏移地址: 0x00D4

复位值: 0x03E8 0000

LPI 定时器控制寄存器控制 LPI 状态下的超时值。它指定 MAC 发送 LPI 模式的时间以及 MAC 在恢复正常发送之前等待的时间。



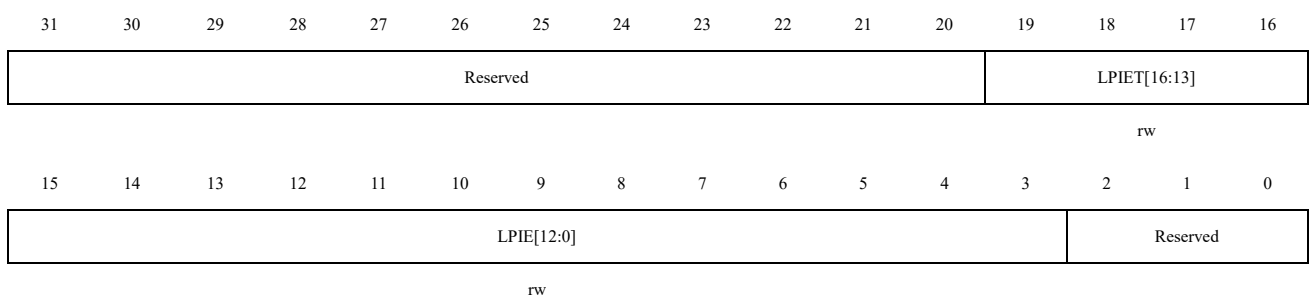
位域	名称	描述
31:26	Reserved	保留，必须保持复位值。
25:16	LST[9:0]	LPI LS 定时器（LPI LS Timer） 该字段指定在可以将 LPI 模式传输到 PHY 之前，来自 PHY 的链路状态（OKAY）应持续的最短时间（以毫秒为单位）。即使 LPIEN 位置 1，MAC 也不会发送 LPI 模式，除非 LPI LS 定时器达到编程的终端计数。根据 IEEE 标准的规定，LPI LS 定时器的默认值为 1000（1 秒）。
15:0	TWT[15:0]	LPI TW 定时器（LPI TW Timer） 该字段指定 MAC 停止向 PHY 传输 LPI 模式后，在恢复正常传输之前等待的最短时间（以微秒为单位）。 该定时器到期后，TLPIEX 状态位将被设置。

#### 47.6.1.20 ETH LPI 进入定时器寄存器（ETH\_MACLPIETYTIM）

偏移地址：0x00D8

复位值：0x0000 0000

该寄存器控制 Tx LPI 进入计时器。只有当 LPI 控制状态寄存器的 bit20（LPITE）设置为 1 时，才会启用该计数器。



位域	名称	描述
31:20	Reserved	保留，必须保持复位值。
19:3	LPIET[16:0]	LPI 进入定时器（LPI Entry Timer） 此字段指定 MAC 在传输完所有帧后进入 LPI 模式的等待时间（以微秒为单位）。

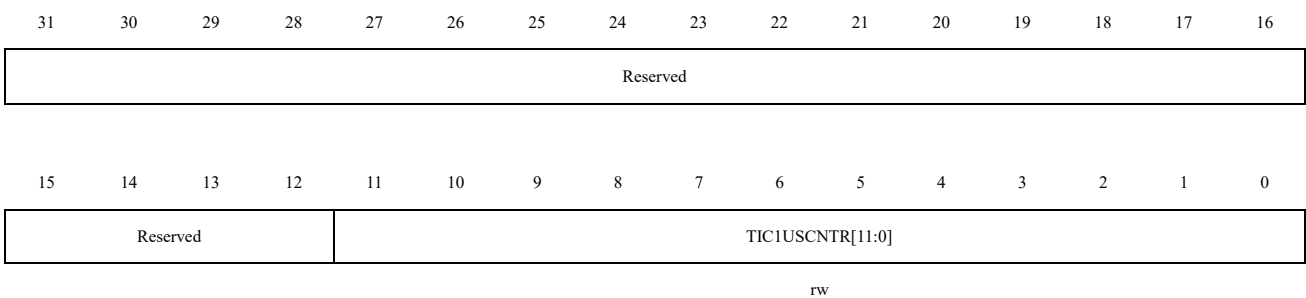
位域	名称	描述
		该字段仅在 LPITE 和 LPITXA 均置 1 时有效和使用。 位[2:0]为只读位，因此该定时器的粒度以 8 微秒为步长。
2:0	Reserved	保留，必须保持复位值。

#### 47.6.1.21 ETH MAC 1 微秒节拍计数器寄存器 (ETH\_MAC1USTICCNT)

偏移地址: 0x00DC

复位值: 0x0000 0063

该寄存器控制所有 LPI 定时器的参考时间 (1 微秒节拍) 的生成。最初必须由软件对该定时器进行编程。



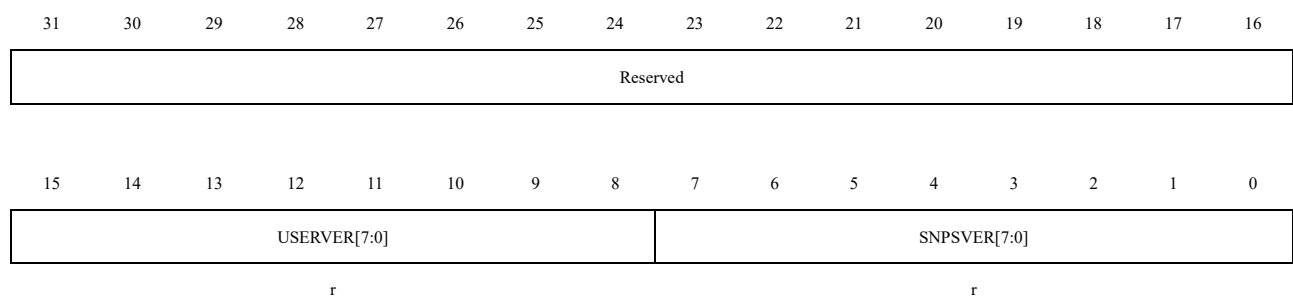
位域	名称	描述
31:12	Reserved	保留，必须保持复位值。
11:0	TIC1USCNTR	1 微秒节拍计数器 (1 $\mu$ s tick Counter) 应用程序必须对该计数器进行编程，以使 CSR 时钟的时钟周期数为 1 微秒。(从编程前的值中减去 1)。例如，如果 CSR 时钟为 100MHz，则需要将该字段编程为 $100 - 1 = 99$ (即 0x63)。这样才能产生 1 微秒事件，用于更新某些与 EEE 相关的计数器。

#### 47.6.1.22 ETH MAC 版本寄存器 (ETH\_MACVER)

偏移地址: 0x0110

复位值: 0x0000 1052

版本寄存器用于标识以太网外设的版本。该寄存器包含两个字节：一个字节由 Synopsys 用于标识 IP 版本号，另一个字节由国民技术用于标识 IP 配置版本号。



位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:8	USERVER[7:0]	用户定义的版本 (User-defined Version)

7:0	SNPSVER[7:0]	Synopsys 定义的版本 (Synopsys-defined Version)
-----	--------------	---

### 47.6.1.23 ETH MAC 调试寄存器 (ETH\_MACDBG)

偏移地址: 0x0114

复位值: 0x0000 0000

调试寄存器提供各个 MAC 模块的调试状态。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved												TFCSTS	TPESTS		
												r	r		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												RFCFCSTS	RPESTS		
												r	r		

位域	名称	描述
31:19	Reserved	保留, 必须保持复位值。
18:17	TFCSTS[1:0]	MAC 发送数据包控制器状态 (MAC Transmit Packet Controller Status) 此字段指示 MAC 发送数据包控制器模块的状态: 00: 空闲状态 01: 等待以下情况之一: 前一个数据包的状态或 IPG 或后延期结束 10: 生成并发送暂停控制数据包 (在全双工模式下) 11: 传输要发送的输入数据包
16	TPESTS	MAC MII/GMII 发送协议引擎状态 (MAC MII/GMII Transmit Protocol Engine Status) 该位置 1 时, 表示 MAC MII/GMII 发送协议引擎正在主动发送数据, 而未处于空闲状态。 0: 未检测到 MAC MII/GMII 发送协议引擎状态 1: 检测到 MAC MII/GMII 发送协议引擎状态
15:3	Reserved	保留, 必须保持复位值。
2:1	RFCFCSTS[1:0]	MAC 接收数据包控制器 FIFO 状态 (MAC Receive Packet Controller FIFO Status) 该字段置 1 时, 表示 MAC 接收数据包控制器模块的各个小 FIFO 读和写控制器的有效状态。
0	RPESTS	MAC MII/GMII 接收协议引擎状态 (MAC MII/GMII Receive Protocol Engine Status) 该位置 1 时, 表示 MAC MII/GMII 接收协议引擎正在主动接收数据, 而未处于空闲状态。 0: 未检测到 MAC MII/GMII 接收协议引擎状态 1: 检测到 MAC MII/GMII 接收协议引擎状态

### 47.6.1.24 ETH MAC 硬件特性寄存器 0 (ETH\_MACHWF0)

偏移地址: 0x011C

复位值: 0x0A0D 73F7

该寄存器指示第一组可选的以太网外设功能。软件驱动程序可使用该寄存器来动态使能或禁止与可选模块相关的程序。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	ACTPHYSEL		SAVLANINS	TSSTSSEL	MACADR64SEL	MACADR32SEL	ADDMACADRSEL					Reserved	RXCOSSEL		
	r		r	r	r	r					r				r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	TXCOSSEL	EESEL	TSEL	Reserved	ARPOFSEL	MMCSEL	MGKSEL	RWKSEL	SMASEL	VLHAS	Reserved	HDSEL	GMIISEL	MIISEL	
	r	r	r		r	r	r	r	r	r		r	r	r	

位域	名称	描述
31	Reserved	保留，必须保持复位值。
30:28	ACTPHYSEL	已选择的有效 PHY (Active PHY Selected)。 当配置中有多个 PHY 接口时，该字段表示复位去支持期间 phy_intf_sel_i 的采样值。 0x0: GMII 或 MII 0x4: RMII 其他值：保留
27	SAVLANINS	已使能源地址或 VLAN 插入 (Source Address or VLAN Insertion Enabled) 选择"在 Tx 上启用 SA 和 VLAN 插入"选项时，该位置 1。 0: 未选择"启用 SA 和 VLAN 插入"选项 1: 已选择"启用 SA 和 VLAN 插入"选项
26:25	TSSTSSEL	时间戳系统时间源 (Timestamp System Time Source) 该字段指示时间戳系统时间源： 0x0: 内部 0x1: 外部 0x2: 内部和外部
24	MACADR64SEL	已选择 MAC 地址 64-127 (MAC Addresses 64-127 Selected) 选择"启用附加 64-127 MAC 地址寄存器"选项时，该位置 1。 0: 未选择"附加 64-127 MAC 地址寄存器"选项 1: 已选择"附加 64-127 MAC 地址寄存器"选项
23	MACADR32SEL	已选择 MAC 地址 32-63 (MAC Addresses 32-63 Selected) 选择"启用附加 32-63 MAC 地址寄存器"选项时，该位置 1。 0: 未选择"附加 32-63 MAC 地址寄存器"选项 1: 已选择"附加 32-63 MAC 地址寄存器"选项
22:18	ADDMACADRSEL	已选择 MAC 地址 1-31 (MAC Addresses 1-31 Selected) 该字段指示附加的 MAC 地址。 0x1: 启用附加 MAC 地址 1 0x2: 启用附加 MAC 地址 2 0x3: 启用附加 MAC 地址 3 ... 0x1F: 启用附加 MAC 地址 31

位域	名称	描述
17	Reserved	保留，必须保持复位值。
16	RXCOESEL	已使能接收校验和减荷（Receive Checksum Offload Enabled） 选择"启用接收 TCP/IP 校验和检查"选项时，该位置 1。 0：未选择"接收校验和减荷"选项 1：已选择"接收校验和减荷"选项
15	Reserved	保留，必须保持复位值。
14	TXCOESEL	已使能发送校验和减荷（Transmit Checksum Offload Enabled） 选择"启用发送 TCP/IP 校验和检查"选项时，该位置 1。 0：未选择"发送校验和减荷"选项 1：已选择"发送校验和减荷"选项
13	EEESEL	已使能节能型以太网（Energy Efficient Ethernet Enabled） 选择"启用节能型以太网"选项时，该位置 1。 0：未选择"启用节能型以太网"选项 1：已选择"启用节能型以太网"选项
12	TSSEL	已使能 IEEE 1588-2008 时间戳（IEEE 1588-2008 Timestamp Enabled） 选择"启用 IEEE 1588 时间戳"选项时，该位置 1。 0：未选择"启用 IEEE 1588 时间戳"选项 1：已选择"启用 IEEE 1588 时间戳"选项
11:10	Reserved	保留，必须保持复位值。
9	ARPOFFSEL	已使能 ARP 减荷（ARP Offload Enabled） 选择"启用 IPv4 ARP 减荷"选项时，该位置 1。 0：未选择"启用 IPv4 ARP 减荷"选项 1：已选择"启用 IPv4 ARP 减荷"选项
8	MMCSEL	已使能 RMON 模块（RMON Module Enabled） 选择"启用 MAC 管理计数（MMC）"选项时，该位置 1。 0：未选择"启用 MAC 管理计数（MMC）"选项 1：已选择"启用 MAC 管理计数（MMC）"选项
7	MGKSEL	已使能 PMT 魔术包（PMT Magic Packet Enabled） 选择"启用魔术包检测"选项时，该位置 1。 0：未选择"启用魔术包检测"选项 1：已选择"启用魔术包检测"选项
6	RWKSEL	已使能 PMT 远程唤醒包（PMT Remote Wake-up Packet Enabled） 选择"启用远程唤醒包检测"选项时，该位置 1。 0：未选择"启用远程唤醒包检测"选项 1：已选择"启用远程唤醒包检测"选项
5	SMASEL	SMA（MDIO）接口（SMA（MDIO）Interface） 选择"启用站管理（MDIO 接口）"选项时，该位置 1。 0：未选择 SMA（MDIO 接口） 1：已选择 SMA（MDIO 接口）
4	VLHASH	已选择 VLAN 哈希过滤（VLAN Hash Filter Selected） 选择"启用 VLAN 哈希表过滤"选项时，该位置 1。 0：未选择 VLAN 哈希过滤



位域	名称	描述
		1: 已选择 VLAN 哈希过滤
3	Reserved	保留, 必须保持复位值。
2	HDSEL	半双工支持 (Half-duplex Support) 选择"半双工模式"选项时, 该位置 1。 0: 不支持半双工 1: 支持半双工
1	GMIISEL	1000Mbps 支持 (1000 Mbps Support) 选择"1000Mbps 模式"选项时, 该位置 1。 0: 不支持 1000Mbps 1: 支持 1000Mbps <i>注: 只有 ETH1 支持该位。</i>
0	MIISEL	10/100Mbps 支持 (10/100 Mbps Support) 选择"10/100Mbps 模式"选项时, 该位置 1。 0: 不支持 10/100Mbps 1: 支持 10/100Mbps

#### 47.6.1.25 ETH MAC 硬件特性寄存器 1 (ETH\_MACHWF1)

偏移地址: 0x0120

复位值: 0x1104 3904

该寄存器指示第二组可选的以太网外设功能。软件驱动程序可使用该寄存器来动态使能或禁止与可选模块相关的程序。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	L3L4FNUM				Reserved	HASHTBLSZ	POUOST	Reserved	RAVSEL	AVSEL	DBGME	TSOEN	SPHEN	DCBEN	
	r					r		r		r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR64		ADVTH	PTOEN	OSTEN	TXFIFOSIZE				SPRAM	RXFIFOSIZE					
	r	r	r	r			r		r						r

位域	名称	描述
31	Reserved	保留, 必须保持复位值。
30:27	L3L4FNUM	L3 或 L4 过滤器总数 (Total number of L3 or L4 Filters) 该字段指示 L3 或 L4 过滤器的总数: 0000: 无 L3 或 L4 过滤器 0001: 1 个 L3 或 L4 过滤器 0010: 2 个 L3 或 L4 过滤器 ... 1000: 8 个 L3 或 L4 过滤器
26	Reserved	保留, 必须保持复位值。
25:24	HASHTBLSZ	哈希表大小 (Hash Table Size) 该字段指示哈希表的大小: 00: 无散列表

		01: 64 10: 128 11: 256
23	POUOST	已使能基于 UDP/IP 的一步 PTP (One Step for PTP over UDP/IP Feature Enable) 选择"基于 UDP/IP 的一步时间戳 PTP"特性时, 该位置 1。 0: 未选择"基于 UDP/IP 的一步时间戳 PTP"特性 1: 已选择"基于 UDP/IP 的一步时间戳 PTP"特性
22	Reserved	保留, 必须保持复位值。
21	RAVSEL	已使能 Rx 端 AV 特性 (Rx Side Only AV Feature Enabled) 选择"启用 Rx 端音视频桥接"选项时, 该位置 1。 0: 未选择"Rx 端音视频桥接 (AV)"特性 1: 已选择"Rx 端音视频桥接 (AV)"特性
20	AVSEL	已使能 AV 特性 (AV Feature Enabled) 选择"启用音视频桥接"选项时, 该位置 1。 0: 未选择"音视频桥接 (AV)"特性 1: 已选择"音视频桥接 (AV)"特性
19	DBGMEMA	已使能 DMA 调试寄存器 (DMA Debug Registers Enabled) 选择"启用调试模式"选项时, 该位置 1。 0: 未选择"DMA 调试寄存器"选项 1: 已选择"DMA 调试寄存器"选项
18	TSOEN	已使能 TCP 分段减荷 (TCP Segmentation Offload Enabled) 选择"启用 TCP/IP 包的 TCP 分段减荷"选项时, 该位置 1。 0: 未选择"TCP 分段减荷"特性 1: 已选择"TCP 分段减荷"特性
17	SPHEN	已使能拆分报头功能 (Split Header Feature Enabled) 选择"启用拆分报头"选项时, 该位置 1。 0: 未选择"拆分报头"特性 1: 已选择"拆分报头"特性
16	DCBEN	已使能 DCB 特性 (DCB Feature Enabled) 选择"启用数据中心桥接 (Data Center Bridging)"选项时, 该位置 1。 0: 未选择"数据中心桥接"特性 1: 已选择"数据中心桥接"特性
15:14	ADDR64	地址宽度 (Address Width) 该字段指示配置的地址宽度: 0x0: 32 0x1: 40 0x2: 48 0x3: 保留
13	ADVTHWORD	IEEE 1588 高位字寄存器使能 (IEEE 1588 High Word Register Enabled) 选择"添加 IEEE 1588 高位字寄存器"选项时, 该位置 1。 0: 未选择"IEEE 1588 高位字寄存器"选项 1: 已选择"IEEE 1588 高位字寄存器"选项
12	PTOEN	已使能 PTP 减荷 (PTP Offload Enabled)

		<p>选择"启用 PTP 时间戳减荷"特性时，该位置 1。</p> <p>0: 未选择"PTP 减荷"特性</p> <p>1: 已选择"PTP 减荷"特性</p>
11	OSTEN	<p>已使能一步时间戳（One-Step Timestamping Enabled）</p> <p>选择"启用一步时间戳"特性时，该位置 1。</p> <p>0: 未选择"一步时间戳"特性</p> <p>1: 已选择"一步时间戳"特性</p>
10:6	TXFIFOSIZE	<p>MTL 发送 FIFO 大小（MTL Transmit FIFO Size）</p> <p>该字段包含 MTL Tx FIFO 的配置值（以字节表示），表示为以 2 为底的对数减去 7，即 <math>\text{Log}_2(\text{TXFIFO\_SIZE}) - 7</math>：</p> <p>0x0: 128 字节</p> <p>0x1: 256 字节</p> <p>0x2: 512 字节</p> <p>0x3: 1024 字节</p> <p>0x4: 2048 字节</p> <p>0x5: 4096 字节</p> <p>0x6: 8192 字节</p> <p>0x7: 16384 字节</p> <p>0x8: 32KB</p> <p>0x9: 64KB</p> <p>0xA: 128KB</p> <p>0xB: 保留</p>
5	SPRAM	<p>已使能单端口 RAM（Single Port RAM Enabled）</p> <p>选择"使用单端口 RAM"特性时，该位置 1。</p> <p>0: 未选择"单端口 RAM"特性</p> <p>1: 已选择"单端口 RAM"特性</p>
4:0	RXFIFOSIZE	<p>MTL 接收 FIFO 大小（MTL Receive FIFO Size）</p> <p>该字段包含 MTL Rx FIFO 的配置值（以字节表示），表示为以 2 为底的对数减去 7，即 <math>\text{Log}_2(\text{RXFIFO\_SIZE}) - 7</math>：</p> <p>0x0: 128 字节</p> <p>0x1: 256 字节</p> <p>0x2: 512 字节</p> <p>0x3: 1024 字节</p> <p>0x4: 2048 字节</p> <p>0x5: 4096 字节</p> <p>0x6: 8192 字节</p> <p>0x7: 16384 字节</p> <p>0x8: 32KB</p> <p>0x9: 64KB</p> <p>0xA: 128KB</p> <p>0xB: 256KB</p> <p>0xC: 保留</p>

### 47.6.1.26 ETH MAC 硬件特性寄存器 2 (ETH\_MACHWF2)

偏移地址：0x0124

复位值：0x4141 0000

该寄存器指示第三组可选的以太网外设功能。软件驱动程序可使用该寄存器来动态使能或禁止与可选模块相关的程序。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	AUXSNAPNUM			Reserved	PPSOUTNUM			TDCSZ	TXCHCNT			RDCSZ			
	r				r			r	r			r			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXCHCNT				Reserved		TXQCNT			Reserved		RXQCNT				
r						r					r				

位域	名称	描述
31	Reserved	保留，必须保持复位值。
30:28	AUXSNAPNUM	辅助快照输入数 (Number of Auxiliary Snapshot Inputs) 该字段指示辅助快照的输入数： 0x0: 无辅助输入 0x1: 1 个辅助输入 0x2: 2 个辅助输入 0x3: 3 个辅助输入 0x4: 4 个辅助输入 0x5: 保留
27	Reserved	保留，必须保持复位值。
26:24	PPSOUTNUM	PPS 输出数 (Number of PPS Outputs) 该字段指示 PPS 的输出数： 0x0: 无 PPS 输出 0x1: 1 个 PPS 输出 0x2: 2 个 PPS 输出 0x3: 3 个 PPS 输出 0x4: 4 个 PPS 输出 0x5: 保留
23:22	TDCSZ	Tx DMA 描述符缓存大小 (16 字节描述符) (Tx DMA Descriptor Cache Size in terms of 16 bytes descriptors) 0x0: Cache 未配置 0x1: 4 0x2: 8 0x3: 16
21:18	TXCHCNT	DMA 发送通道数 (Number of DMA Transmit Channels) 此该字段指示 DMA 发送通道数： 0x0: 1 个 DMA 发送通道 0x1: 2 个 DMA 发送通道

		... 0x7: 8 个 DMA 发送通道
17:16	RDCSZ	Rx DMA 描述符缓存大小 (16 字节描述符) (Rx DMA Descriptor Cache Size in terms of 16 bytes descriptors) 0x0: Cache 未配置 0x1: 4 0x2: 8 0x3: 16
15:12	RXCHCNT	DMA 接收通道数 (Number of DMA Receive Channels) 此该字段指示 DMA 接收通道数: 0x0: 1 个 DMA 接收通道 0x1: 2 个 DMA 接收通道 ... 0x7: 8 个 DMA 接收通道
11:10	Reserved	保留, 必须保持复位值。
9:6	TXQCNT	MTL 发送队列数 (Number of MTL Transmit Queues) 此该字段指示 MTL 发送队列数: 0x0: 1 个 MTL 发送队列 0x1: 2 个 MTL 发送队列 ... 0x7: 8 个 MTL 发送队列
5:4	Reserved	保留, 必须保持复位值。
3:0	RXQCNT	MTL 接收队列数 (Number of MTL Receive Queues) 此该字段指示 MTL 接收队列数: 0x0: 1 个 MTL 接收队列 0x1: 2 个 MTL 接收队列 ... 0x7: 8 个 MTL 接收队列

### 47.6.1.27 ETH MAC 硬件特性寄存器 3 (ETH\_MACHWF3)

偏移地址: 0x0128

复位值: 0x0000 0020

该寄存器指示第四组可选的以太网外设功能。软件驱动程序可使用该寄存器来动态使能或禁止与可选模块相关的程序。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		ASP		TBSSEL	FPSEL	Reserved				ESTWID		ESTDEP		ESTSEL	
		r		r	r					r			r		r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	FRPES		FRPBS		FRPSEL	PDUPS EL	Reserved			DVLAN	CBTISE L	Reserve d	NRVF		
		r		r	r	r				r	r				r
位域		名称			描述										

31:30	Reserved	保留，必须保持复位值。
29:28	ASP	车载安全包（Automotive Safety Package） 以下是不同安全功能的编码： 0x0：未选择安全功能 0x1：仅选择了"外部内存的 ECC 保护"功能 0x2：选择了所有汽车安全功能，但未选择"外部接口奇偶校验端口启用"功能 0x3：选择了所有汽车安全功能，并具有"外部接口奇偶校验端口启用"功能
27	TBSSEL	时间调度使能（Time Based Scheduling Enable） 选择"启用时间调度"特性时，该位置 1。 0：未选择"时间调度"特性 1：已选择"时间调度"特性
26	FPESEL	帧抢占使能（Frame Preemption Enable） 选择"启用帧抢占"特性时，该位置 1。 0：未选择"帧抢占"特性 1：已选择"帧抢占"特性
25:22	Reserved	保留，必须保持复位值。
21:20	ESTWID	门控列表中时间间隔字段的宽度（Width of the Time Interval field in the Gate Control List） 该字段表示配置时间间隔字段的宽度。 0x0：宽度未配置 0x1：4 0x2：8 0x3：16
19:17	ESTDEP	门控列表的深度（Depth of the Gate Control List） 该字段表示门控列表的深度，用 $\text{Log}_2(\text{DWC\_EQOS\_EST\_DEP}) - 5$ 表示。 0x0：深度未配置 0x1：64 0x2：128 0x3：256 0x4：512 0x5：1024 0x6：保留
16	ESTSEL	增强调度流量使能（Enhancements to Scheduled Traffic Enable） 选择"启用增强调度流量"特性时，该位置 1。 0：未选择"增强调度流量"特性 1：已选择"增强调度流量"特性
15	Reserved	保留，必须保持复位值。
14:13	FRPES	灵活接收解析器表条目大小（Flexible Receive Parser Table Entries size） 该字段表示灵活接收解析器支持的最大解析器条目数。 0x0：64 0x1：128 0x2：256 0x3：保留

12:11	FRPBS	灵活接收解析器缓冲区大小（Flexible Receive Parser Buffer size） 该字段表示灵活接收解析器支持解析的数据包数据的最大字节数。 0x0: 64 0x1: 128 0x2: 256 0x3: 保留
10	FRPSEL	已选择灵活接收解析器（Flexible Receive Parser Selected） 选择"启用灵活可编程接收解析器"选项时，该位置 1。 0: 未选择"灵活接收解析器"特性 1: 已选择"灵活接收解析器"特性
9	PDUPSEL	广播/多播数据包重复（Broadcast/Multicast Packet Duplication） 选择"广播/多播数据包重复"特性时，该位置 1。 0: 未选择"广播/多播数据包重复"特性 1: 已选择"广播/多播数据包重复"特性
8:6	Reserved	保留，必须保持复位值。
5	DVLAN	已选择双 VLAN 标签处理（Double VLAN Tag Processing Selected） 选择"启用双 VLAN 标签处理"特性时，该位置 1。 0: 未选择"双 VLAN 标签处理"选项 1: 已选择"双 VLAN 标签处理"选项
4	CBTISEL	已使能在 Tx 上插入基于队列/通道的 VLAN 标签（Queue/Channel based VLAN tag insertion on Tx Enabled） 选择"在 Tx 上插入基于队列/通道的 VLAN 标签"特性时，该位置 1。 0: 未选择"在 Tx 上插入基于队列/通道的 VLAN 标签"特性 1: 已选择"在 Tx 上插入基于队列/通道的 VLAN 标签"特性
3	Reserved	保留，必须保持复位值。
2:0	NRVF	已使能的扩展 VLAN 标签过滤器的数量（Number of Extended VLAN Tag Filters Enabled） 该字段表示所选的扩展 VLAN 标签过滤器的数量： 0x0: 无扩展 VLAN 过滤器 0x1: 4 个扩展 VLAN 过滤器 0x2: 8 个扩展 VLAN 过滤器 0x3: 16 个扩展 VLAN 过滤器 0x4: 24 个扩展 VLAN 过滤器 0x5: 32 个扩展 VLAN 过滤器 0x6: 保留

#### 47.6.1.28 ETH MAC MDIO 地址寄存器（ETH\_MACMDIOADDR）

偏移地址：0x0200

复位值：0x0000 0000

MDIO 地址寄存器通过管理接口控制外部 PHY 的管理周期。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				PSE	BTB	PA				RDA					

					rw	rw			rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved	NTC				CR				Reserved			SKAP	GOC1	GOC0	C45E	GB

位域	名称	描述
31:28	Reserved	保留，必须保持复位值。
27	PSE	前导码抑制使能（Preamble Suppression Enable） 该位置 1 时，SMA 将抑制 32 位前导码，并发送仅包含 1 位前导码的 MDIO 帧。 该位复位时，MDIO 帧始终具有如 IEEE 规范中定义的 32 位前导码。 0：禁用前导码抑制功能 1：启用前导码抑制功能
26	BTB	背靠背事务（Back to Back transactions） 该位置 1 且 NTC 的值大于 0 时，MAC 将在帧传输结束时（在发送尾部时钟之前）发出已完成读命令或写命令的通知。这样，软件便可启动下一条命令，而且无论为前一帧生成的尾部时钟数为多少，都会立即执行此命令。 该位复位时，只有在生成尾部时钟之后，才会完成读/写命令（GB 位清零）。在该模式下，确保始终在每个帧之后生成 NTC。NTC=0 时，该位不能置 1。 0：禁用背靠背事务功能 1：启用背靠背事务功能
25:21	PA	物理层地址（Physical Layer Address） 该字段指示 MAC 正在访问哪些符合条款 22 的 PHY 器件（32 个 PHY 器件中）。 该字段指示 MAC 正在访问哪些符合条款 45 的 PHY 器件（32 个 PHY 器件中）。
20:16	RDA	寄存器/设备地址（Register/Device Address） 该字段用于选择所选符合条款 22 的 PHY 设备中的 PHY 寄存器。 该字段用于选择所选符合条款 45 的 PHY 的设备（MMD）。
15	Reserved	保留，必须保持复位值。
14:12	NTC	尾部时钟数（Number of Training Clocks） 该字段控制 MDIO 帧发送结束后在 MDC 上生成的尾部时钟周期数。有效值范围为 0 到 7。将值编程为 3'h3 表示 MDIO 帧完成传输后 MDC 线上存在三个额外时钟周期。
11:8	CR	CSR 时钟范围（CSR Clock Range） CSR 时钟范围选择根据设计中使用的 CSR 时钟频率确定 MDC 时钟的频率： 0000：CSR 时钟 = 60~100MHz；MDC 时钟 = CSR 时钟/42 0001：CSR 时钟 = 100~150MHz；MDC 时钟 = CSR 时钟/62 0010：CSR 时钟 = 20~35MHz；MDC 时钟 = CSR 时钟/16 0011：CSR 时钟 = 35~60MHz；MDC 时钟 = CSR 时钟/26 0100：CSR 时钟 = 150~250MHz；MDC 时钟 = CSR 时钟/102 0101：CSR 时钟 = 250~300MHz；MDC 时钟 = CSR 时钟/124 0110：CSR 时钟 = 300~500MHz；MDC 时钟 = CSR 时钟/204



		<p>0111: CSR 时钟 = 500~800MHz; MDC 时钟 = CSR 时钟/324</p> <p>适用于各个值的建议 CSR 时钟频率范围 (bit11 = 0 时) 可确保 MDC 时钟大致介于 1.0MHz 到 2.5MHz 频率范围之间。bit11 置 1 时, 可以实现高于 2.5MHz 频率限制 (在 IEEE 802.3 中规定) 的 MDC 时钟频率, 并对较低值的时钟分频器进行编程。例如, 当 CSR 时钟频率为 100MHz, 并且将这些位编程为 1010 时, 所得到的 MDC 时钟为 12.5MHz, 此值高于 IEEE 802.3 中规定的范围。只有当接口芯片支持更快的 MDC 时钟时, 才可设置以下值:</p> <p>1000: CSR 时钟/4                  1001: CSR 时钟/6                  1010: CSR 时钟/8                  1011: CSR 时钟/10                  1100: CSR 时钟/12                  1101: CSR 时钟/14                  1110: CSR 时钟/16                  1111: CSR 时钟/18</p>
7:5	Reserved	保留, 必须保持复位值。
4	SKAP	<p>跳过地址数据包 (Skip Address Packet)</p> <p>该位置 1 时, SMA 在对增量地址数据包进行读取、写入或后读取操作之前不会发送地址数据包。只有在 C45E 置 1 时, 该位才有效。</p> <p>0: 禁用跳过地址数据包功能                  1: 启用跳过地址数据包功能</p>
3	GOC1	<p>GMII 操作命令 1 (GMII Operation Command 1)</p> <p>该位指示 PHY 的操作命令的高位。</p> <p>00: 保留                  01: 写操作                  10: 对符合条款 45 的 PHY 的增量地址进行后读取操作                  11: 读操作</p> <p>使能符合条款 22 的 PHY 时, 只有读命令和写命令有效。</p>
2	GOC0	<p>GMII 操作命令 0 (GMII Operation Command 0)</p> <p>该位指示 PHY 的操作命令的低位。</p> <p>00: 保留                  01: 写操作                  10: 对符合条款 45 的 PHY 的增量地址进行后读取操作                  11: 读操作</p>
1	C45E	<p>符合条款 45 的 PHY 使能 (Clause 45 PHY Enable)</p> <p>该位置 1 时, 符合条款 45 的 PHY 连接到 MDIO。                  该位复位时, 符合条款 22 的 PHY 连接到 MDIO。</p>
0	GB	<p>GMII 忙碌 (GMII Busy)</p> <p>应用程序设置该位, 以指示 SMA 启动对 MDIO 从机的读取或写入访问。MDIO 帧传输完成后, MAC 会清除该位。因此, 只要该位被设置, 软件就不得写入或更改 MDIO 地址寄存器和 MDIO 数据寄存器中的任何字段。</p> <p>对于写传输, 应用程序在设置该位之前, 必须首先在 MDIO 数据寄存器的 GD 字段中写入 16 位数据。当 C45E 设置时, 还应在启动读传输之前向 MDIO 数据寄存器的 RA 字段写入数据。</p>

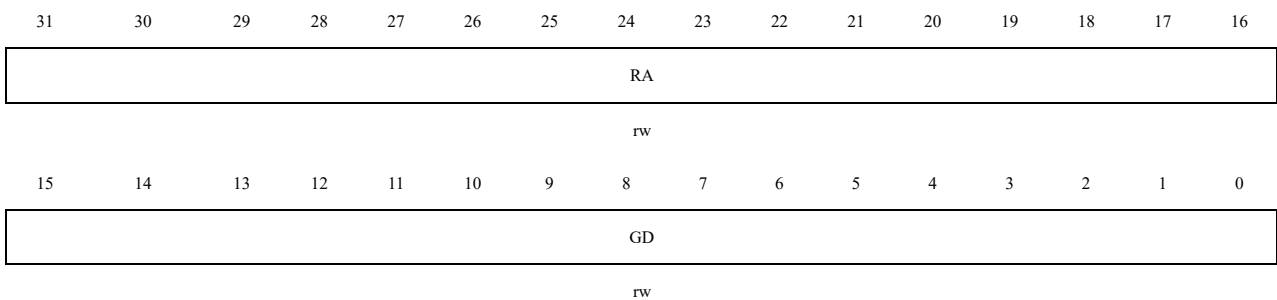
		读传输完成后 (GB=0)，从 PHY 寄存器读取的数据在 MDIO 数据寄存器的 GD 字段中有效。 注意：即使寻址的 PHY 不存在，该位的功能也不会改变。该位有访问限制，写 1 有效，自动清零，写 0 无影响。
--	--	---

#### 47.6.1.29 ETH MAC MDIO 数据寄存器 (ETH\_MACMDIODATA)

偏移地址：0x0204

复位值：0x0000 0000

MDIO 数据寄存器存储写入由 MDIO 地址寄存器指定地址的 PHY 寄存器的数据。该寄存器还存储从位于 MDIO 地址寄存器指定地址的 PHY 寄存器读取的数据。



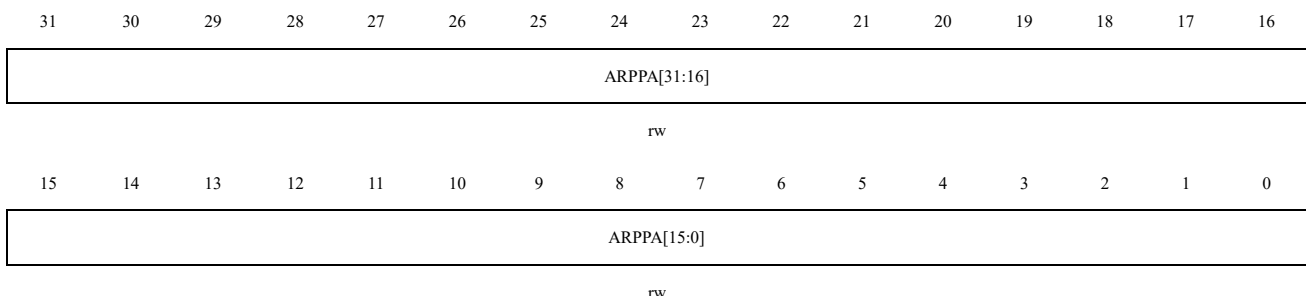
位域	名称	描述
31:16	RA	寄存器地址 (Register Address) 该字段只有在 C45E 置 1 时才有效。它包含要使用 MDIO 帧的 PHY 中的寄存器地址。
15:0	GD	GMII 数据 (GMII Data) 该字段包含在某次管理读操作之后从 PHY 中读取的 16 位数据值，或在某次管理写操作之前要写入 PHY 的 16 位数据值。

#### 47.6.1.30 ETH MAC ARP 地址寄存器 (ETH\_MACARPADDR)

偏移地址：0x0210

复位值：0x0000 0000

ARP 地址寄存器中包含 MAC 的 IPv4 目的地址。



位域	名称	描述
31:0	ARPPA	ARP 协议地址 (ARP Protocol Address)

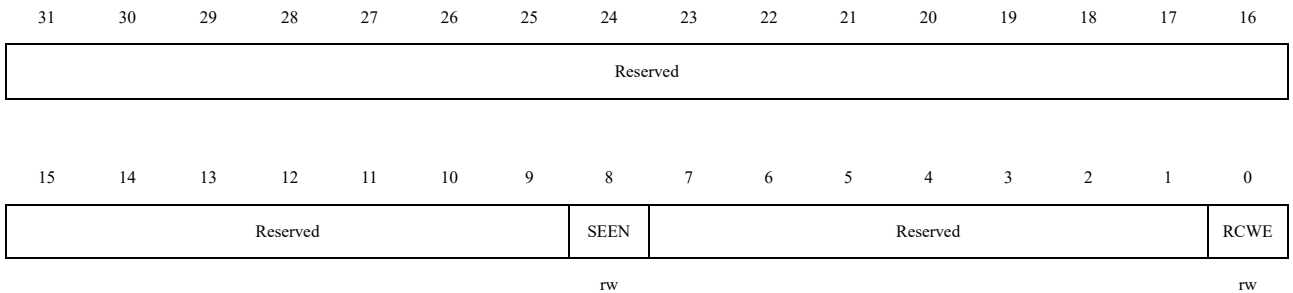
位域	名称	描述
		该字段包含 MAC 的 IPv4 目的地址。该地址用于与接收到的 ARP 数据包中的目标协议地址字段进行完美匹配。

### 47.6.1.31 ETH CSR 软件控制寄存器 (ETH\_MACCSRSWCTRL)

偏移地址: 0x0230

复位值: 0x0000 0000

该寄存器包含软件可编程控制, 用于更改 CSR 访问响应和状态位清除。



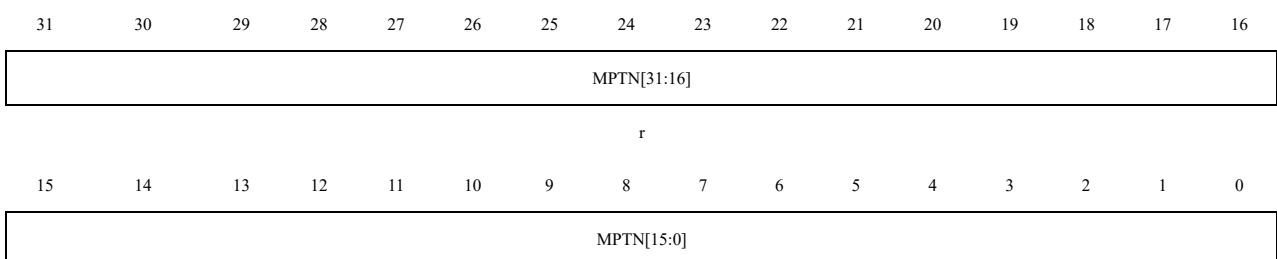
位域	名称	描述
31:9	Reserved	保留, 必须保持复位值。
8	SEEN	从机错误响应使能 (Slave Error Response Enable) 该位置 1 时, MAC 在访问 CSR 空间中的保留寄存器时响应"从机错误"。 该位复位时, MAC 将对从 CSR 空间访问的任何寄存器做出"好"响应。 0: 禁用从机错误响应功能 1: 启用从机错误响应功能
7:1	Reserved	保留, 必须保持复位值。
0	RCWE	寄存器写 1 清除使能 (Register Clear on Write 1 Enable) 该位置 1 时, 某些寄存器字段的访问模式将变为"写 1 清除", 应用程序需要将相应位设置为 1 才能将其清除。 该位复位时, 这些寄存器字段的访问模式仍为"读清除"。 0: 禁用寄存器写 1 清除功能 1: 启用寄存器写 1 清除功能

### 47.6.1.32 ETH MAC 演示时间纳秒寄存器 (ETH\_MACPTNS)

偏移地址: 0x0240

复位值: 0x0000 0000

该寄存器包含 PTP 系统时间的 32 位二进制翻转等效时间 (ns)。



r

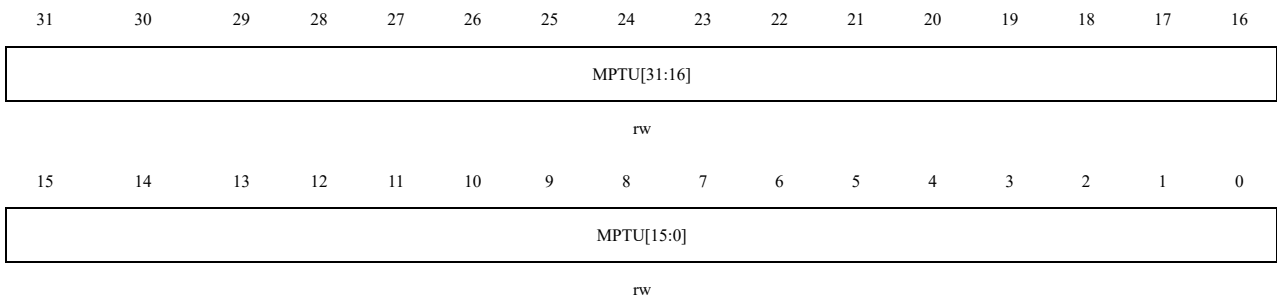
位域	名称	描述
31:0	MPTN	MAC 1722 演示时间（纳秒）（MAC 1722 Presentation Time in ns） 这些位指示 PTP 系统时间的 32 位二进制翻转等效时间（以 ns 为单位）。

### 47.6.1.33 ETH MAC 演示时间更新寄存器（ETH\_MACPTUPDT）

偏移地址：0x0244

复位值：0x0000 0000

该寄存器为应添加到当前演示时间计数器值中的 MAC 1722 演示时间的 32 位值（以 ns 为单位）。设置 TSINIT 时初始化，设置 TSUPDT 位时更新（TSINIT 和 TSUPDT 定义在 MAC 时间戳控制寄存器中）。



位域	名称	描述
31:0	MPTU	MAC 1722 演示时间更新（MAC 1722 Presentation Time Update） 该字段为演示时间的初始值或更新值。 用于更新时，该字段将保存以 ns 为单位的 32 位值，该值应添加到当前演示时间计数器值中。 初始值在 TSINIT 被设置时发生，更新值在 TSUPDT 位被设置时发生（TSINIT 和 TSUPDT 定义在 MAC 时间戳控制寄存器中）。 当 MAC 系统时间纳秒更新寄存器的 ADDSUB 字段被设置时，该值将直接用于减法。

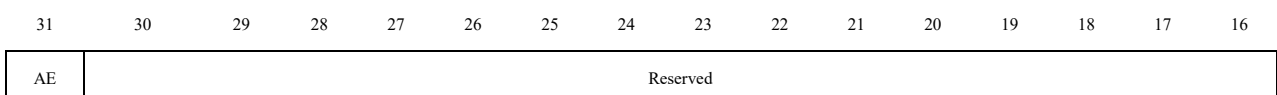
### 47.6.1.34 ETH MAC 地址 0 高位寄存器（ETH\_MACADDR0H）

偏移地址：0x0300

复位值：0x8000 FFFF

MAC 地址 0 高位寄存器保存站的第一个 6 字节 MAC 地址的高 16 位。在 MII/GMII 接口上接收到的第一个 DA 字节与 MAC 地址低位寄存器的 LS 字节（位[7:0]）相对应。例如，如果在 MII/GMII 上接收到 0x112233445566（第一列第 0 行中的 0x11）作为目的地址，则 MAC 地址 0 寄存器[47:0]会与 0x665544332211 进行比较。

如果将 MAC 地址寄存器配置为与 MII/GMII 时钟域双同步，则只有在写入 MAC 地址 0 低位寄存器的位 [31:24]（小端模式）或位[7:0]（大端模式）时，才会触发同步。为实现正确的同步更新，对该地址低寄存器的连续写入应在目标时钟域至少四个时钟周期后进行。



r

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

ADDRHI
--------

rw

位域	名称	描述
31	AE	地址使能 (Address Enable) 该位始终置 1。
30:16	Reserved	保留, 必须保持复位值。
15:0	ADDRHI	MAC 地址 0[47:32] (MAC Address0[47:32]) 该字段包含第一个 6 字节 MAC 地址的高 16 位[47:32]。MAC 使用此字段过滤接收到的数据包, 以及在发送流控制 (暂停) 数据包中插入 MAC 地址。

### 47.6.1.35 ETH MAC 地址 0 低位寄存器 (ETH\_MACADDR0L)

偏移地址: 0x0304

复位值: 0xFFFF FFFF

MAC 地址 0 低位寄存器保存站的第一个 6 字节 MAC 地址的低 32 位。

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

ADDRLO[31:16]
---------------

rw

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

ADDRLO[15:0]
--------------

rw

位域	名称	描述
31:0	ADDRLO	MAC 地址 0[31:0] (MAC Address0[31:0]) 该字段包含第一个 6 字节 MAC 地址的低 32 位。MAC 使用此字段过滤接收到的数据包, 以及在发送流控制 (暂停) 数据包中插入 MAC 地址。

### 47.6.1.36 ETH MAC 地址 1 高位寄存器 (ETH\_MACADDR1H)

偏移地址: 0x0308

复位值: 0x0000 FFFF

MAC 地址 1 高位寄存器保存站的第二个 6 字节 MAC 地址的高 16 位。

如果将 MAC 地址寄存器配置为与 MII/GMII 时钟域双同步, 则只有在写入 MAC 地址 1 低位寄存器的位 [31:24] (小端模式) 或位 [7:0] (大端模式) 时, 才会触发同步。为实现正确的同步更新, 对该地址低寄存器的连续写入应在目标时钟域至少四个时钟周期后进行。

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

AE	SA	MBC	Reserved
----	----	-----	----------

rw

rw

rw

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

ADDRHI

rw

位域	名称	描述
31	AE	地址使能 (Address Enable) 该位置 1 时, 地址过滤器模块使用第二个 MAC 地址实现完美过滤。 该位复位时, 地址过滤器模块会忽略用于过滤的地址。 0: 地址被忽略 1: 地址已启用
30	SA	源地址 (Source Address) 该位置 1 时, 将使用 MAC 地址 1[47:0]与所接收数据包的 SA 字段进行比较。该位复位时, 将使用 MAC 地址 1[47:0]与所接收数据包的 DA 字段进行比较。 0: 与目的地址比较 1: 与源地址比较
29:24	MBC	屏蔽字节控制 (Mask Byte Control) 这些位是用于比较每个 MAC 地址字节的屏蔽控制位。当设置为高电平时, MAC 不会将接收到的 DA 或 SA 的相应字节与 MAC 地址 1 寄存器的内容进行比较。 每个位控制的字节屏蔽情况如下: bit29: MAC 地址 1 高位寄存器的 bits[15:8] bit28: MAC 地址 1 高位寄存器的 bits[7:0] bit27: MAC 地址 1 低位寄存器的 bits[31:24] ... bit24: MAC 地址 1 低位寄存器的 bits[7:0] 可以通过屏蔽地址的一个或多个字节来过滤一组地址 (称为组地址过滤)。
23:16	Reserved	保留, 必须保持复位值。
15:0	ADDRHI	MAC 地址 1[47:32] (MAC Address1[47:32]) 该字段包含第二个 6 字节 MAC 地址的高 16 位[47:32]。

### 47.6.1.37 ETH MAC 地址 1 低位寄存器 (ETH\_MACADDR1L)

偏移地址: 0x030C

复位值: 0xFFFF FFFF

MAC 地址 1 低位寄存器保存站的第二个 6 字节 MAC 地址的低 32 位。

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

ADDRLO[31:16]

rw

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

ADDRLO[15:0]

rw

位域	名称	描述
31:0	ADDRLO	MAC 地址 1[31:0] (MAC Address1[31:0]) 该字段包含第二个 6 字节 MAC 地址的低 32 位。MAC 使用此字段过滤接收到的

		数据包。该字段的内容在初始化过程后由应用程序加载之前是未定义的。
--	--	----------------------------------

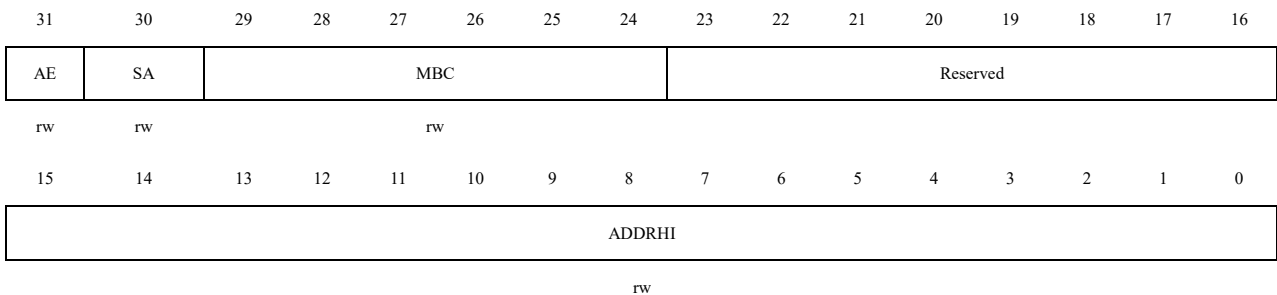
### 47.6.1.38 ETH MAC 地址 2 高位寄存器 (ETH\_MACADDR2H)

偏移地址: 0x0310

复位值: 0x0000 FFFF

MAC 地址 2 高位寄存器保存站的第三个 6 字节 MAC 地址的高 16 位。

如果将 MAC 地址寄存器配置为与 MII/GMII 时钟域双同步, 则只有在写入 MAC 地址 2 低位寄存器的位 [31:24] (小端模式) 或位 [7:0] (大端模式) 时, 才会触发同步。为实现正确的同步更新, 对该地址低寄存器的连续写入应在目标时钟域至少四个时钟周期后进行。



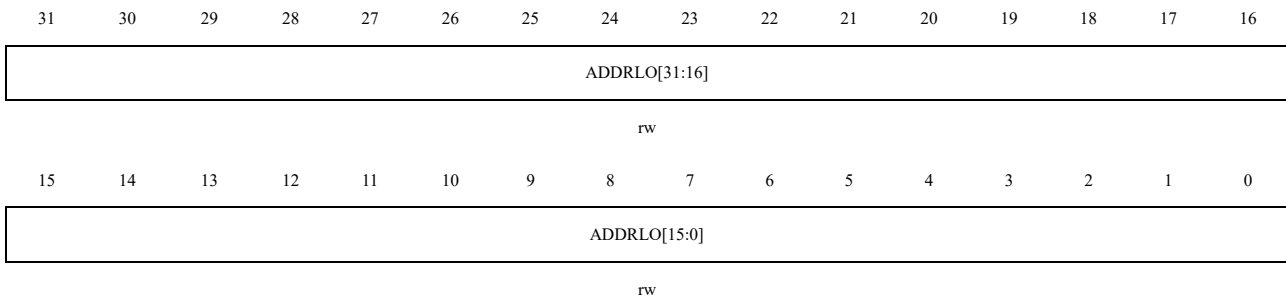
位域	名称	描述
31	AE	地址使能 (Address Enable) 该位置 1 时, 地址过滤器模块使用第三个 MAC 地址实现完美过滤。 该位复位时, 地址过滤器模块会忽略用于过滤的地址。 0: 地址被忽略 1: 地址已启用
30	SA	源地址 (Source Address) 该位置 1 时, 将使用 MAC 地址 1[47:0]与所接收数据包的 SA 字段进行比较。 该位复位时, 将使用 MAC 地址 1[47:0]与所接收数据包的 DA 字段进行比较。 0: 与目的地址比较 1: 与源地址比较
29:24	MBC	屏蔽字节控制 (Mask Byte Control) 这些位是用于比较每个 MAC 地址字节的屏蔽控制位。当设置为高电平时, MAC 不会将接收到的 DA 或 SA 的相应字节与 MAC 地址 2 寄存器的内容进行比较。每个位控制的字节屏蔽情况如下: bit29: MAC 地址 2 高位寄存器的 bits[15:8] bit28: MAC 地址 2 高位寄存器的 bits[7:0] bit27: MAC 地址 2 低位寄存器的 bits[31:24] ... bit24: MAC 地址 2 低位寄存器的 bits[7:0] 可以通过屏蔽地址的一个或多个字节来过滤一组地址 (称为组地址过滤)。
23:16	Reserved	保留, 必须保持复位值。
15:0	ADDRHI	MAC 地址 2[47:32] (MAC Address2[47:32]) 该字段包含第三个 6 字节 MAC 地址的高 16 位[47:32]。

### 47.6.1.39 ETH MAC 地址 2 低位寄存器 (ETH\_MACADDR2L)

偏移地址: 0x0314

复位值: 0xFFFF FFFF

MAC 地址 2 低位寄存器保存站的第三个 6 字节 MAC 地址的低 32 位。



位域	名称	描述
31:0	ADDRLO	MAC 地址 2[31:0] (MAC Address2[31:0]) 该字段包含第三个 6 字节 MAC 地址的低 32 位。MAC 使用此字段过滤接收到的数据包。该字段的内容在初始化过程后由应用程序加载之前是未定义的。

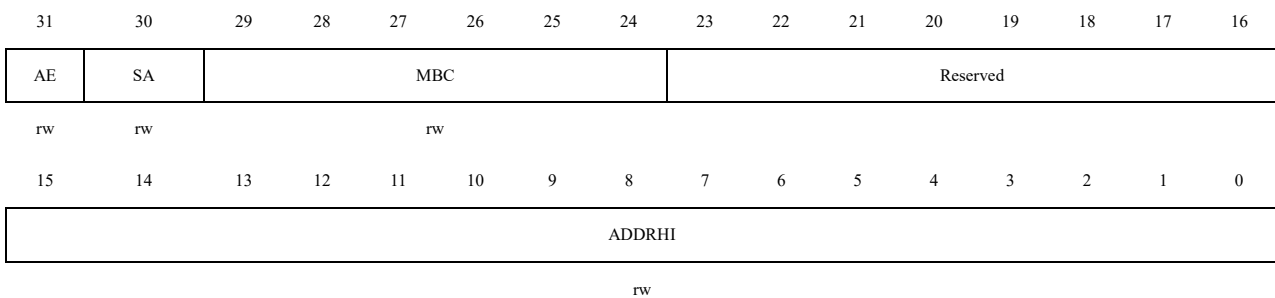
### 47.6.1.40 ETH MAC 地址 3 高位寄存器 (ETH\_MACADDR3H)

偏移地址: 0x0318

复位值: 0x0000 FFFF

MAC 地址 3 高位寄存器保存站的第四个 6 字节 MAC 地址的高 16 位。

如果将 MAC 地址寄存器配置为与 MII/GMII 时钟域双同步, 则只有在写入 MAC 地址 3 低位寄存器的位 [31:24] (小端模式) 或位 [7:0] (大端模式) 时, 才会触发同步。为实现正确的同步更新, 对该地址低寄存器的连续写入应在目标时钟域至少四个时钟周期后进行。



位域	名称	描述
31	AE	地址使能 (Address Enable) 该位置 1 时, 地址过滤器模块使用第四个 MAC 地址实现完美过滤。 该位复位时, 地址过滤器模块会忽略用于过滤的地址。 0: 地址被忽略 1: 地址已启用
30	SA	源地址 (Source Address) 该位置 1 时, 将使用 MAC 地址 1[47:0]与所接收数据包的 SA 字段进行比较。 该位复位时, 将使用 MAC 地址 1[47:0]与所接收数据包的 DA 字段进行比较。



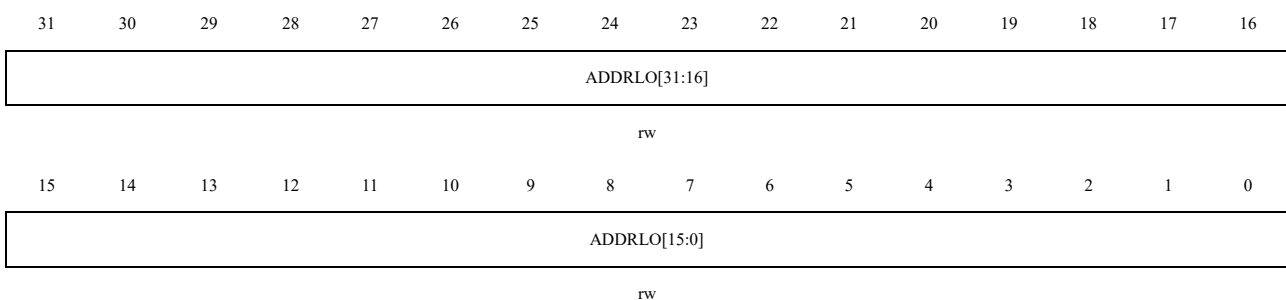
		0: 与目的地址比较 1: 与源地址比较
29:24	MBC	屏蔽字节控制 (Mask Byte Control) 这些位是用于比较每个 MAC 地址字节的屏蔽控制位。当设置为高电平时, MAC 不会将接收到的 DA 或 SA 的相应字节与 MAC 地址 3 寄存器的内容进行比较。每个位控制的字节屏蔽情况如下: bit29: MAC 地址 3 高位寄存器的 bits[15:8] bit28: MAC 地址 3 高位寄存器的 bits[7:0] bit27: MAC 地址 3 低位寄存器的 bits[31:24] ... bit24: MAC 地址 3 低位寄存器的 bits[7:0] 可以通过屏蔽地址的一个或多个字节来过滤一组地址 (称为组地址过滤)。
23:16	Reserved	保留, 必须保持复位值。
15:0	ADDRHI	MAC 地址 3[47:32] (MAC Address3 [47:32]) 该字段包含第四个 6 字节 MAC 地址的高 16 位[47:32]。

#### 47.6.1.41 ETH MAC 地址 3 低位寄存器 (ETH\_MACADDR3L)

偏移地址: 0x031C

复位值: 0xFFFF FFFF

MAC 地址 3 低位寄存器保存站的第四个 6 字节 MAC 地址的低 32 位。



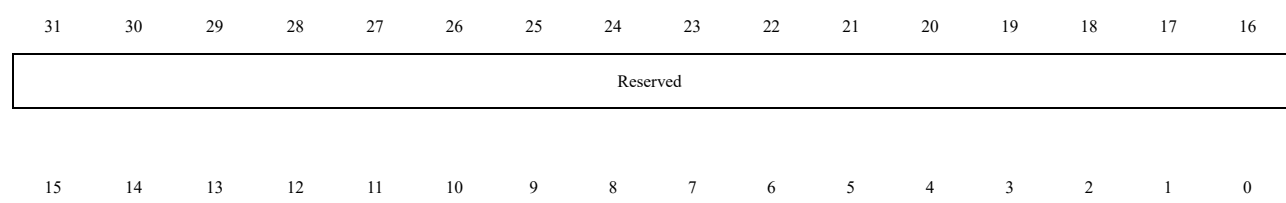
位域	名称	描述
31:0	ADDRLO	MAC 地址 3[31:0] (MAC Address3[31:0]) 该字段包含第四个 6 字节 MAC 地址的低 32 位。MAC 使用此字段过滤接收到的数据包。该字段的内容在初始化过程后由应用程序加载之前是未定义的。

#### 47.6.1.42 ETH MMC 控制寄存器 (ETH\_MMCCTRL)

偏移地址: 0x0700

复位值: 0x0000 0000

MMC 控制寄存器配置 MMC 的工作模式。



Reserved	UCDBC	Reserved	CNTPRSTLVL	CNTPRST	CNTFREEZ	RSTONRD	CNTSTOPRO	CNTRST
	rw		rw	rw	rw	rw	rw	rw

位域	名称	描述
31:9	Reserved	保留，必须保持复位值。
8	UCDBC	为丢失的广播数据包更新 MMC 计数器（Update MMC Counters for Dropped Broadcast Packets） 该位置 1 时，MAC 会针对因 MAC 数据包过滤寄存器的 DBF 位置 1 而被丢弃的广播数据包更新所有相关 MMC 计数器。 该位复位时，不会针对丢弃的广播数据包更新 MMC 计数器。 0：禁用为丢失的广播数据包更新 MMC 计数器功能 1：启用为丢失的广播数据包更新 MMC 计数器功能 <i>注：CNTRST 位的优先级高于 CNTPRST 位。因此，软件尝试在同一写周期内将这两个位置 1 时，所有计数器都将清零，并且 CNTPRST 位不会置 1。</i>
7:6	Reserved	保留，必须保持复位值。
5	CNTPRSTLVL	全-半预设（Full-Half Preset） 该位为低电平且 CNTPRST 位置 1 时，所有 MMC 计数器均预设接近一半的值。所有八位字节计数器均预设 0x7FFF_F800（半 2KB），所有数据包计数器均预设 0x7FFF_FFF0（半 16）。 该位为高电平且 CNTPRST 位置 1 时，所有 MMC 计数器均预设接近全值。所有八位字节计数器均预设 0xFFFF_F800（全 2KB），所有数据包计数器均预设 0xFFFF_FFF0（全 16）。 对于 16 位计数器，相应八位字节和数据包计数器的近半预设值分别为 0x7800 和 0x7FF0。类似地，16 位计数器的几乎全预设值为 0xF800 和 0xFFF0。 0：禁用全-半预设功能 1：启用全-半预设功能
4	CNTPRST	计数器预设（Counters Preset） 该位置 1 时，所有计数器均初始化或预设接近全值或接近半值，具体取决于 CNTPRSTLVL 位。该位在 1 个时钟周期后自动清零。 该位与 CNTPRSTLVL 位一起，可用于调试和测试因 MMC 计数器变为半满或满而产生的中断。 0：禁用计数器预设功能 1：启用计数器预设功能
3	CNTFREEZ	MMC 计数器冻结（MMC Counter Freeze） 该位置 1 时，会将所有 MMC 计数器冻结为当前值。 该位复位为 0 之前，不会因任何发送或接收的数据包而更新 MMC 计数器。如果读取任何 MMC 计数器时设置了 RSTONRD 位，则该计数器也会在此模式下被清零。 0：禁用 MMC 计数器冻结功能 1：启用 MMC 计数器冻结功能
2	RSTONRD	读取时复位（Reset on Read） 该位置 1 时，MMC 计数器将在读取后复位为零（复位后自清零）。读取最低有

位域	名称	描述
		效字节通道（位[7:0]）后，计数器会清零。 0：禁用读取时复位功能 1：启用读取时复位功能
1	CNTSTOPRO	计数器停止翻转（Counter Stop Rollover） 该位置 1 时，计数器在达到最大值后不会翻转为零。 0：禁用计数器停止翻转功能 1：启用计数器停止翻转功能
0	CNTRST	计数器复位（Counters Reset） 该位置 1 时，所有计数器都将复位。该位在 1 个时钟周期后自动清零。 0：计数器不复位 1：所有计数器复位

#### 47.6.1.43 ETH MMC 接收中断寄存器（ETH\_MMCRXINT）

偏移地址：0x0704

复位值：0x0000 0000

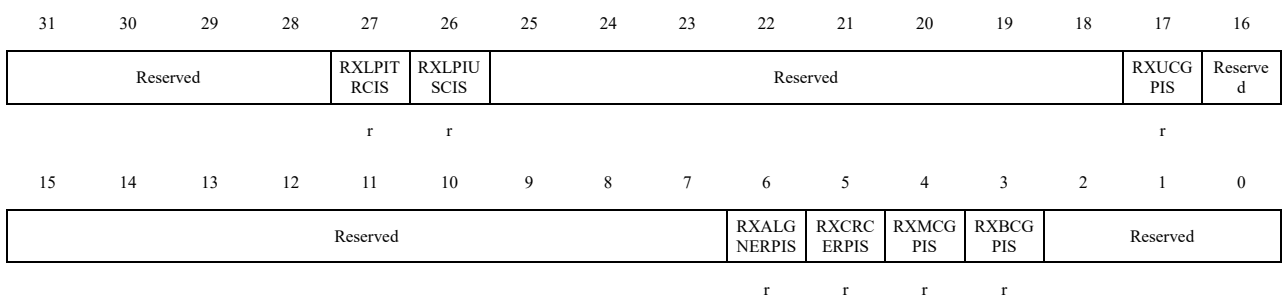
该寄存器维护所有接收统计计数器产生的中断。

MMC 接收中断寄存器维护在下列情况下产生的中断：

- 接收统计计数器达到最大值的一半（32 位计数器为 0x8000\_0000，16 位计数器为 0x8000）。
- 接收统计计数器超过其最大值（32 位计数器为 0xFFFF\_FFFF，16 位计数器为 0xFFFF）。

当设置计数器停止翻转时，中断被设置，但计数器仍为零。

MMC 接收中断寄存器是一个 32 位寄存器。当读取导致中断的相应 MMC 计数器时，其相应的中断位将被清除。必须读取相应计数器的最小有效字节（位[7:0]）才能清除中断位。



位域	名称	描述
31:28	Reserved	保留，必须保持复位值。
27	RXLPITRCIS	MMC 接收 LPI 转换计数器中断状态（MMC Receive LPI transition counter interrupt Status） 当接收 LPI 转换计数器达到最大值的一半或最大值时，该位置 1。 0：未检测到 MMC 接收 LPI 转换计数器中断状态 1：检测到 MMC 接收 LPI 转换计数器中断状态 <i>注：该位有访问限制。读清零。内部事件时自动置 1。</i>

位域	名称	描述
26	RXLPIUSCIS	MMC 接收 LPI 微秒计数器中断状态 (MMC Receive LPI microsecond counter interrupt Status) 当接收 LPI 微秒计数器达到最大值的一半或最大值时, 该位置 1。 0: 未检测到 MMC 接收 LPI 微秒计数器中断状态 1: 检测到 MMC 接收 LPI 微秒计数器中断状态 <i>注: 该位有访问限制。读清零。内部事件时自动置 1。</i>
25:18	Reserved	保留, 必须保持复位值。
17	RXUCGPIS	MMC 接收单播良好数据包计数器中断状态 (Receive Unicast Good Packet Counter Interrupt Status) 当接收单播良好数据包计数器达到最大值的一半或最大值时, 该位置 1。 0: 未检测到 MMC 接收单播良好数据包计数器中断状态 1: 检测到 MMC 接收单播良好数据包计数器中断状态 <i>注: 该位有访问限制。读清零。内部事件时自动置 1。</i>
16:7	Reserved	保留, 必须保持复位值。
6	RXALGNERPIS	MMC 接收对齐错误数据包计数器中断状态 (MMC Receive Alignment Error Packet Counter Interrupt Status) 当接收对齐错误数据包计数器达到最大值的一半或最大值时, 该位置 1。 0: 未检测到 MMC 接收对齐错误数据包计数器中断状态 1: 检测到 MMC 接收对齐错误数据包计数器中断状态 <i>注: 该位有访问限制。读清零。内部事件时自动置 1。</i>
5	RXCRCERPIS	MMC 接收 CRC 错误数据包计数器中断状态 (MMC Receive CRC Error Packet Counter Interrupt Status) 当接收 CRC 错误数据包计数器达到最大值的一半或最大值时, 该位置 1。 0: 未检测到 MMC 接收 CRC 错误数据包计数器中断状态 1: 检测到 MMC 接收 CRC 错误数据包计数器中断状态 <i>注: 该位有访问限制。读清零。内部事件时自动置 1。</i>
4	RXMCGPIS	MMC 接收多播良好数据包计数器中断状态 (Receive Multicast Good Packet Counter Interrupt Status) 当接收多播良好数据包计数器达到最大值的一半或最大值时, 该位置 1。 0: 未检测到 MMC 接收多播良好数据包计数器中断状态 1: 检测到 MMC 接收多播良好数据包计数器中断状态 <i>注: 该位有访问限制。读清零。内部事件时自动置 1。</i>
3	RXBCGPIS	MMC 接收广播良好数据包计数器中断状态 (Receive Broadcast Good Packet Counter Interrupt Status) 当接收广播良好数据包计数器达到最大值的一半或最大值时, 该位置 1。 0: 未检测到 MMC 接收广播良好数据包计数器中断状态 1: 检测到 MMC 接收广播良好数据包计数器中断状态 <i>注: 该位有访问限制。读清零。内部事件时自动置 1。</i>
2:0	Reserved	保留, 必须保持复位值。

#### 47.6.1.44 ETH MMC 发送中断寄存器 (ETH\_MMCTXINT)

偏移地址: 0x0708

复位值：0x0000 0000

该寄存器维护所有发送统计计数器产生的中断。

MMC 发送中断寄存器保存发送统计计数器达到最大值一半（32 位计数器为 0x8000\_0000，16 位计数器为 0x8000）和超过最大值（32 位计数器为 0xFFFF\_FFFF，16 位计数器为 0xFFFF）时产生的中断。

当设置计数器停止翻转时，中断被设置，但计数器仍为零。

MMC 发送中断寄存器是一个 32 位寄存器。当读取导致中断的相应 MMC 计数器时，其相应的中断位将被清除。必须读取相应计数器的最小有效字节（位[7:0]）才能清除中断位。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				TXLPIT RCIS	TXLPIU SCIS	Reserved				TXGPK TIS	Reserved				
				r	r					r					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXMCO LGPIIS	TXSCO LGPIIS	Reserved													
r		r													

位域	名称	描述
31:28	Reserved	保留，必须保持复位值。
27	TXLPITRCIS	MMC 发送 LPI 转换计数器中断状态（MMC Transmit LPI transition counter interrupt Status） 当发送 LPI 转换计数器达到最大值的一半或最大值时，该位置 1。 0：未检测到 MMC 发送 LPI 转换计数器中断状态 1：检测到 MMC 发送 LPI 转换计数器中断状态 <i>注：该位有访问限制。读清零。内部事件时自动置 1。</i>
26	TXLPIUSCIS	MMC 发送 LPI 微秒计数器中断状态（MMC Transmit LPI microsecond counter interrupt Status） 当发送 LPI 微秒计数器达到最大值的一半或最大值时，该位置 1。 0：未检测到 MMC 发送 LPI 微秒计数器中断状态 1：检测到 MMC 发送 LPI 微秒计数器中断状态 <i>注：该位有访问限制。读清零。内部事件时自动置 1。</i>
25:22	Reserved	保留，必须保持复位值。
21	TXGPKTIS	MMC 发送良好数据包计数器中断状态（MMC Transmit Good Packet Counter Interrupt Status） 当发送良好数据包计数器达到最大值的一半或最大值时，该位置 1。 0：未检测到 MMC 发送良好数据包计数器中断状态 1：检测到 MMC 发送良好数据包计数器中断状态 <i>注：该位有访问限制。读清零。内部事件时自动置 1。</i>
20:16	Reserved	保留，必须保持复位值。
15	TXMCOLGPIS	MMC 发送多次冲突良好数据包计数器中断状态（MMC Transmit Multiple Collision Good Packet Counter Interrupt Status） 当发送多次冲突良好数据包计数器达到最大值的一半或最大值时，该位置 1。

位域	名称	描述
		0: 未检测到 MMC 发送多次冲突良好数据包计数器中断状态 1: 检测到 MMC 发送多次冲突良好数据包计数器中断状态 <i>注: 该位有访问限制。读清零。内部事件时自动置 1。</i>
14	TXSCOLGPIS	MMC 发送单次冲突良好数据包计数器中断状态 (MMC Transmit Single Collision Good Packet Counter Interrupt Status) 当发送单次冲突良好数据包计数器达到最大值的一半或最大值时, 该位置 1。 0: 未检测到 MMC 发送单次冲突良好数据包计数器中断状态 1: 检测到 MMC 发送单次冲突良好数据包计数器中断状态 <i>注: 该位有访问限制。读清零。内部事件时自动置 1。</i>
13:0	Reserved	保留, 必须保持复位值。

#### 47.6.1.45 ETH MMC 接收中断屏蔽寄存器 (ETH\_MMCRXINTMSK)

偏移地址: 0x070C

复位值: 0x0000 0000

该寄存器维护所有接收统计计数器产生的中断屏蔽。

MMC 接收中断屏蔽寄存器为接收统计计数器达到最大值的一半或最大值时产生的中断提供屏蔽。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				RXLPIT RCIM	RXLPIU SCIM	Reserved								RXUCG PIM	Reserve d
				rw	rw									rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved									RXALG NERPI M	RXCRC ERPIM	RXMCG PIM	RXBCG PIM	Reserved		
									rw	rw	rw	rw			

位域	名称	描述
31:28	Reserved	保留, 必须保持复位值。
27	RXLPITRCIM	MMC 接收 LPI 转换计数器中断屏蔽 (MMC Receive LPI transition counter interrupt Mask) 当接收 LPI 转换计数器达到最大值的一半或最大值时, 设置该位会屏蔽中断。 0: 禁用 MMC 接收 LPI 转换计数器中断屏蔽 1: 启用 MMC 接收 LPI 转换计数器中断屏蔽
26	RXLPIUSCIM	MMC 接收 LPI 微秒计数器中断屏蔽 (MMC Receive LPI microsecond counter interrupt Mask) 当接收 LPI 微秒计数器达到最大值的一半或最大值时, 设置该位会屏蔽中断。 0: 禁用 MMC 接收 LPI 微秒计数器中断屏蔽 1: 启用 MMC 接收 LPI 微秒计数器中断屏蔽
25:18	Reserved	保留, 必须保持复位值。
17	RXUCGPIM	MMC 接收单播良好数据包计数器中断屏蔽 (Receive Unicast Good Packet Counter Interrupt Mask) 当接收单播良好数据包计数器达到最大值的一半或最大值时, 设置该位会屏蔽中

位域	名称	描述
		断。 0: 禁用 MMC 接收单播良好数据包计数器中断屏蔽 1: 启用 MMC 接收单播良好数据包计数器中断屏蔽
16:7	Reserved	保留, 必须保持复位值。
6	RXALGNERPIM	MMC 接收对齐错误数据包计数器中断屏蔽 (MMC Receive Alignment Error Packet Counter Interrupt Mask) 当接收对齐错误数据包计数器达到最大值的一半或最大值时, 设置该位会屏蔽中断。 0: 禁用 MMC 接收对齐错误数据包计数器中断屏蔽 1: 启用 MMC 接收对齐错误数据包计数器中断屏蔽
5	RXCRCERPIM	MMC 接收 CRC 错误数据包计数器中断屏蔽 (MMC Receive CRC Error Packet Counter Interrupt Mask) 当接收 CRC 错误数据包计数器达到最大值的一半或最大值时, 设置该位会屏蔽中断。 0: 禁用 MMC 接收 CRC 错误数据包计数器中断屏蔽 1: 启用 MMC 接收 CRC 错误数据包计数器中断屏蔽
4	RXMCGPIM	MMC 接收多播良好数据包计数器中断屏蔽 (Receive Multicast Good Packet Counter Interrupt Mask) 当接收多播良好数据包计数器达到最大值的一半或最大值时, 设置该位会屏蔽中断。 0: 禁用 MMC 接收多播良好数据包计数器中断屏蔽 1: 启用 MMC 接收多播良好数据包计数器中断屏蔽
3	RXBCGPIM	MMC 接收广播良好数据包计数器中断屏蔽 (Receive Broadcast Good Packet Counter Interrupt Mask) 当接收广播良好数据包计数器达到最大值的一半或最大值时, 设置该位会屏蔽中断。 0: 禁用 MMC 接收广播良好数据包计数器中断屏蔽 1: 启用 MMC 接收广播良好数据包计数器中断屏蔽
2:0	Reserved	保留, 必须保持复位值。

#### 47.6.1.46 ETH MMC 发送中断屏蔽寄存器 (ETH\_MMCTXINTMSK)

偏移地址: 0x0710

复位值: 0x0000 0000

该寄存器维护所有发送统计计数器产生的中断屏蔽。

MMC 发送中断屏蔽寄存器维护发送统计计数器达到最大值一半或最大值时产生的中断屏蔽。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				TXLPIT RCIM	TXLPIU SCIM	Reserved				TXGPK TIM	Reserved				
				rw	rw					rw					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXMCO LGPIM	TXSCO LGPIM	Reserved													

位域	名称	描述
31:28	Reserved	保留，必须保持复位值。
27	TXLPITRCIM	MMC 发送 LPI 转换计数器中断屏蔽（MMC Transmit LPI transition counter interrupt Mask） 当发送 LPI 转换计数器达到最大值的一半或最大值时，设置该位会屏蔽中断。 0：禁用 MMC 发送 LPI 转换计数器中断屏蔽 1：启用 MMC 发送 LPI 转换计数器中断屏蔽
26	TXLPIUSCIM	MMC 发送 LPI 微秒计数器中断屏蔽（MMC Transmit LPI microsecond counter interrupt Mask） 当发送 LPI 微秒计数器达到最大值的一半或最大值时，设置该位会屏蔽中断。 0：禁用 MMC 发送 LPI 微秒计数器中断屏蔽 1：启用 MMC 发送 LPI 微秒计数器中断屏蔽
25:22	Reserved	保留，必须保持复位值。
21	TXGPKTIM	MMC 发送良好数据包计数器中断屏蔽（MMC Transmit Good Packet Counter Interrupt Mask） 当发送良好数据包计数器达到最大值的一半或最大值时，设置该位会屏蔽中断。 0：禁用 MMC 发送良好数据包计数器中断屏蔽 1：启用 MMC 发送良好数据包计数器中断屏蔽
20:16	Reserved	保留，必须保持复位值。
15	TXMCOLGPIM	MMC 发送多次冲突良好数据包计数器中断屏蔽（MMC Transmit Multiple Collision Good Packet Counter Interrupt Mask） 当发送多次冲突良好数据包计数器达到最大值的一半或最大值时，设置该位会屏蔽中断。 0：禁用 MMC 发送多次冲突良好数据包计数器中断屏蔽 1：启用 MMC 发送多次冲突良好数据包计数器中断屏蔽
14	TXSCOLGPIM	MMC 发送单次冲突良好数据包计数器中断屏蔽（MMC Transmit Single Collision Good Packet Counter Interrupt Mask） 当发送单次冲突良好数据包计数器达到最大值的一半或最大值时，设置该位会屏蔽中断。 0：禁用 MMC 发送单次冲突良好数据包计数器中断屏蔽 1：启用 MMC 发送单次冲突良好数据包计数器中断屏蔽
13:0	Reserved	保留，必须保持复位值。

#### 47.6.1.47 ETH 发送单次冲突良好数据包寄存器（ETH\_MMCTXSCGP）

偏移地址：0x074C

复位值：0x0000 0000

该寄存器提供在半双工模式下发生单次冲突后由以太网外设成功发送的数据包的数量。

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

TXSNGLCOLG[31:16]



r

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

TXSNGLCOLG[15:0]
------------------

r

位域	名称	描述
31:0	TXSNGLCOLG	Tx 单次冲突良好数据包 (Tx Single Collision Good Packets) 该字段指示在半双工模式下于单次冲突后已成功发送的数据包的数量。

#### 47.6.1.48 ETH 发送多次冲突良好数据包寄存器 (ETH\_MMCTXMCGP)

偏移地址: 0x0750

复位值: 0x0000 0000

该寄存器提供在半双工模式下发生多次冲突后由以太网外设成功发送的数据包的数量。

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

TXMULTCOLG[31:16]
-------------------

r

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

TXMULTCOLG[15:0]
------------------

r

位域	名称	描述
31:0	TXMULTCOLG	Tx 多次冲突良好数据包 (Tx Multiple Collision Good Packets) 该字段指示在半双工模式下于多次冲突后已成功发送的数据包的数量。

#### 47.6.1.49 ETH 发送良好数据包寄存器 (ETH\_MMCTXPCG)

偏移地址: 0x0768

复位值: 0x0000 0000

该寄存器提供以太网外设已发送的良好数据包的数量。

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

TXPKTG[31:16]
---------------

r

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

TXPKTG[15:0]
--------------

r

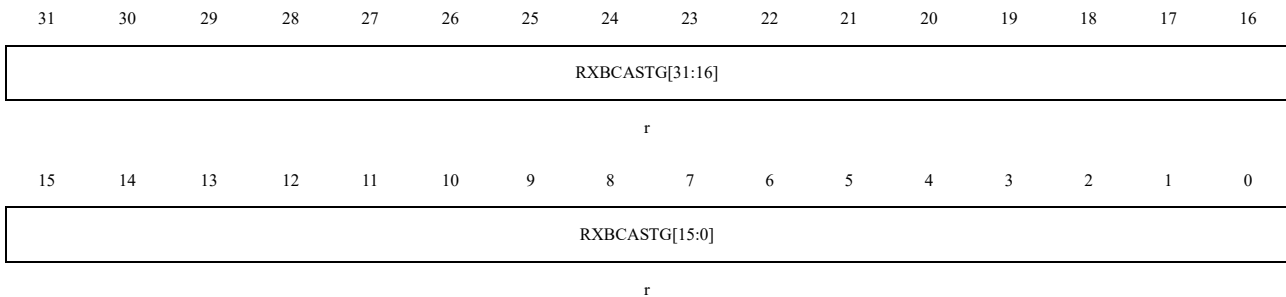
位域	名称	描述
31:0	TXPKTG	Tx 良好数据包计数 (Tx Packet Count Good) 该字段指示已发送的良好数据包的数量。

### 47.6.1.50 ETH 接收广播良好数据包寄存器 (ETH\_MMCRXBPG)

偏移地址: 0x078C

复位值: 0x0000 0000

该寄存器提供以太网外设接收到的良好广播数据包的数量。



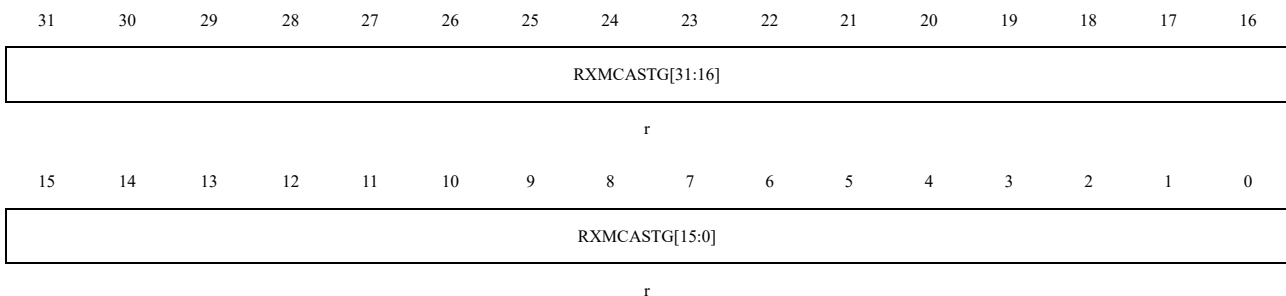
位域	名称	描述
31:0	RXBCASTG	Rx 良好广播数据包 (Rx Broadcast Packets Good) 该字段指示接收到的良好广播数据包的数量。

### 47.6.1.51 ETH 接收多播良好数据包寄存器 (ETH\_MMCRXMPG)

偏移地址: 0x0790

复位值: 0x0000 0000

该寄存器提供以太网外设接收到的良好多播数据包的数量。



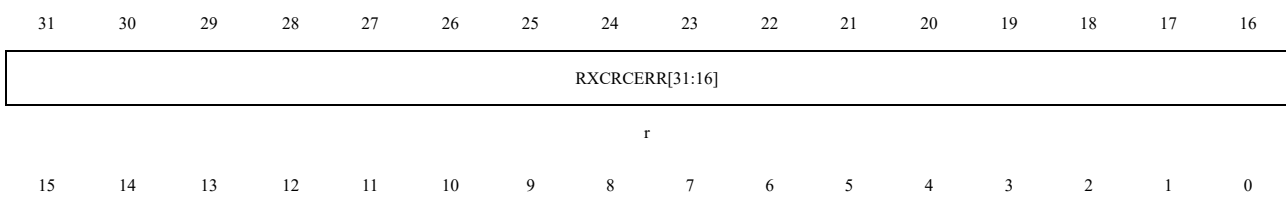
位域	名称	描述
31:0	RXMCASTG	Rx 良好多播数据包 (Rx Multicast Packets Good) 该字段指示接收到的良好多播数据包的数量。

### 47.6.1.52 ETH 接收 CRC 错误数据包寄存器 (ETH\_MMCRXCRCEP)

偏移地址: 0x0794

复位值: 0x0000 0000

该寄存器提供以太网外设接收到的含 CRC 错误的数据包数量。



RXCRCERR[15:0]
----------------

r

位域	名称	描述
31:0	RXCRCERR	Rx CRC 错误数据包 (Rx CRC Error Packets) 该字段指示接收到的含 CRC 错误的数据包的数量。

#### 47.6.1.53 ETH 接收对齐错误数据包寄存器 (ETH\_MMCRXAEP)

偏移地址: 0x0798

复位值: 0x0000 0000

该寄存器提供以太网外设接收到的含对齐 (dribble) 错误的数据包的数量。该计数器寄存器仅在 10/100 模式下有效。

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

RXALGNERR[31:16]
------------------

r

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

RXALGNERR[15:0]
-----------------

r

位域	名称	描述
31:0	RXALGNERR	Rx 对齐错误数据包 (Rx Alignment Error Packets) 该字段指示接收到的含对齐 (dribble) 错误的数据包数量。

#### 47.6.1.54 ETH 接收单播良好数据包 (ETH\_MMCRXUPG)

偏移地址: 0x07C4

复位值: 0x0000 0000

该寄存器提供以太网外设接收到的良好单播数据包的数量。

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

RXUCASTG[31:16]
-----------------

r

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

RXUCASTG[15:0]
----------------

r

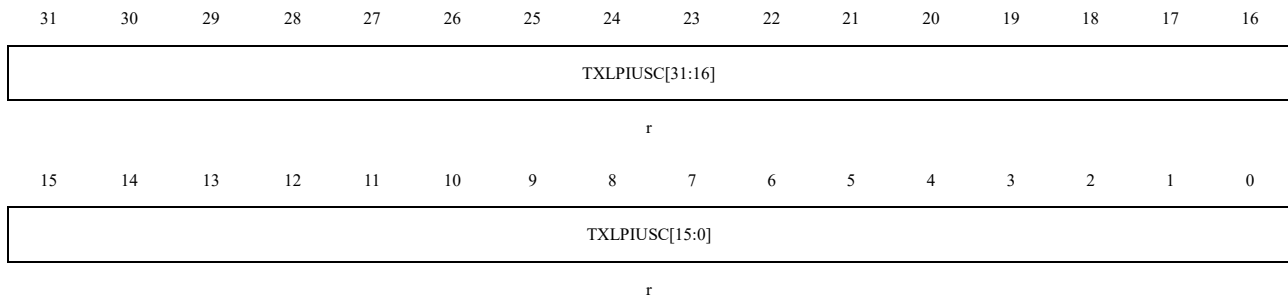
位域	名称	描述
31:0	RXUCASTG	Rx 良好单播数据包 (Rx Unicast Packets Good) 该字段指示接收到的良好单播数据包的数量。

#### 47.6.1.55 ETH 发送 LPI 微秒计数器寄存器 (ETH\_MMCTXLPIUS)

偏移地址: 0x07EC

复位值: 0x0000 0000

该寄存器提供以太网外设将 Tx LPI 置为有效的微秒数。



位域	名称	描述
31:0	TXLPIUSC	Tx LPI 微秒计数器 (Tx LPI Microseconds Counter) 该字段指示将 Tx LPI 置为有效的微秒数。对于每次 Tx LPI 的进入和退出, 定时器值均会有 +/-1 微秒的误差。

#### 47.6.1.56 ETH 发送 LPI 转换计数器寄存器 (ETH\_MMCTXLPITRAN)

偏移地址: 0x07F0

复位值: 0x0000 0000

该寄存器提供以太网外设已进入 Tx LPI 的次数。



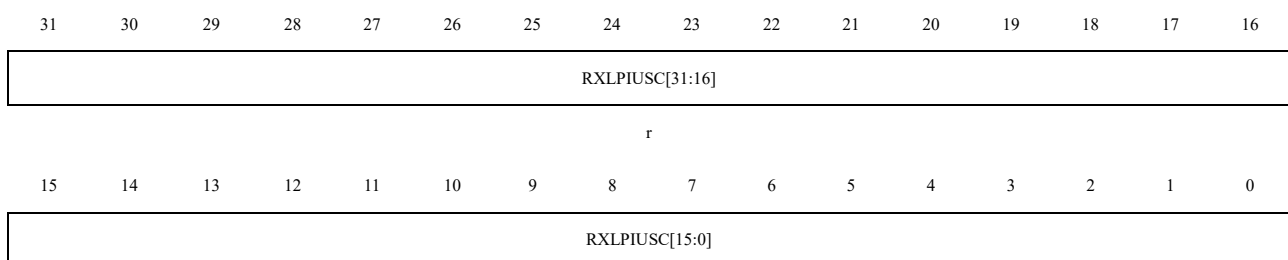
位域	名称	描述
31:0	TXLPITRC	Tx LPI 转换计数器 (Tx LPI Transition counter) 该字段指示已进入 Tx LPI 的次数。即使在自动模式下进入 Tx LPI (由于 LPI 控制和状态寄存器中的 LPITXA 位置 1), 计数器也会递增。

#### 47.6.1.57 ETH 接收 LPI 微秒计数器寄存器 (ETH\_MMCRXLPIUS)

偏移地址: 0x07F4

复位值: 0x0000 0000

该寄存器提供以太网外设将 Rx LPI 置为有效的微秒数。



r

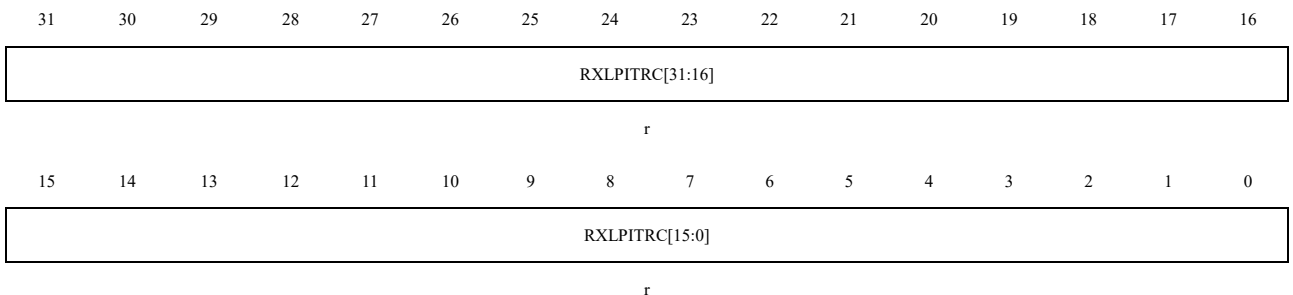
位域	名称	描述
31:0	RXLPIUSC	Rx LPI 微秒计数器 (Rx LPI Microseconds Counter) 该字段指示将 Rx LPI 置为有效的微秒数。对于每次 Rx LPI 的进入和退出, 定时器值均会有 +/-1 微秒的误差。

#### 47.6.1.58 ETH 接收 LPI 转换计数器寄存器 (ETH\_MMCRXLPITRAN)

偏移地址: 0x07F8

复位值: 0x0000 0000

该寄存器提供以太网外设已进入 Rx LPI 的次数。



位域	名称	描述
31:0	RXLPIITRC	Rx LPI 转换计数器 (Rx LPI Transition counter) 该字段指示已进入 Rx LPI 的次数。

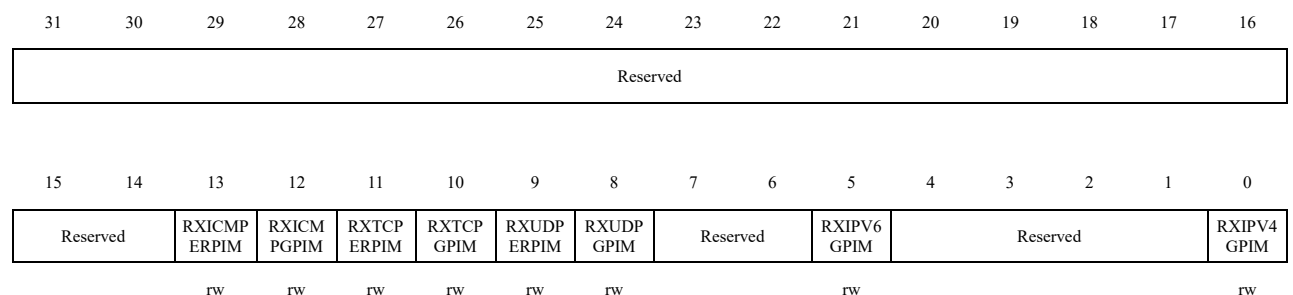
#### 47.6.1.59 ETH MMC IPC 接收中断屏蔽寄存器 (ETH\_MMCI PCRXINTMSK)

偏移地址: 0x0800

复位值: 0x0000 0000

该寄存器维护接收 IPC 统计计数器产生的中断掩码。

MMC 接收校验和卸载中断掩码寄存器用于保存接收 IPC (Checksum Offload) 统计计数器达到最大值一半时和达到最大值时产生的中断掩码。



位域	名称	描述
31:14	Reserved	保留, 必须保持复位值。
13	RXICMPERIPIM	MMC 接收 ICMP 错误数据包计数器中断屏蔽 (MMC Receive ICMP Error Packet Counter Interrupt Mask)

位域	名称	描述
		当接收 ICMP 错误数据包计数器达到最大值的一半或最大值时，设置该位会屏蔽中断。 0: 禁用 MMC 接收 ICMP 错误数据包计数器中断屏蔽 1: 启用 MMC 接收 ICMP 错误数据包计数器中断屏蔽
12	RXICMPGPIIM	MMC 接收 ICMP 良好数据包计数器中断屏蔽 (MMC Receive ICMP Good Packet Counter Interrupt Mask) 当接收 ICMP 良好数据包计数器达到最大值的一半或最大值时，设置该位会屏蔽中断。 0: 禁用 MMC 接收 ICMP 良好数据包计数器中断屏蔽 1: 启用 MMC 接收 ICMP 良好数据包计数器中断屏蔽
11	RXTCPERPIM	MMC 接收 TCP 错误数据包计数器中断屏蔽 (MMC Receive TCP Error Packet Counter Interrupt Mask) 当接收 TCP 错误数据包计数器达到最大值的一半或最大值时，设置该位会屏蔽中断。 0: 禁用 MMC 接收 TCP 错误数据包计数器中断屏蔽 1: 启用 MMC 接收 TCP 错误数据包计数器中断屏蔽
10	RXTCPGPIIM	MMC 接收 TCP 良好数据包计数器中断屏蔽 (MMC Receive TCP Good Packet Counter Interrupt Mask) 当接收 TCP 良好数据包计数器达到最大值的一半或最大值时，设置该位会屏蔽中断。 0: 禁用 MMC 接收 TCP 良好数据包计数器中断屏蔽 1: 启用 MMC 接收 TCP 良好数据包计数器中断屏蔽
9	RXUDPERPIM	MMC 接收 UDP 错误数据包计数器中断屏蔽 (MMC Receive UDP Error Packet Counter Interrupt Mask) 当接收 UDP 错误数据包计数器达到最大值的一半或最大值时，设置该位会屏蔽中断。 0: 禁用 MMC 接收 UDP 错误数据包计数器中断屏蔽 1: 启用 MMC 接收 UDP 错误数据包计数器中断屏蔽
8	RXUDPGPIIM	MMC 接收 UDP 良好数据包计数器中断屏蔽 (MMC Receive UDP Good Packet Counter Interrupt Mask) 当接收 UDP 良好数据包计数器达到最大值的一半或最大值时，设置该位会屏蔽中断。 0: 禁用 MMC 接收 UDP 良好数据包计数器中断屏蔽 1: 启用 MMC 接收 UDP 良好数据包计数器中断屏蔽
7:6	Reserved	保留，必须保持复位值。
5	RXIPV6GPIIM	MMC 接收 IPV6 良好数据包计数器中断屏蔽 (MMC Receive IPV6 Good Packet Counter Interrupt Mask) 当接收 IPV6 良好数据包计数器达到最大值的一半或最大值时，设置该位会屏蔽中断。 0: 禁用 MMC 接收 IPV6 良好数据包计数器中断屏蔽 1: 启用 MMC 接收 IPV6 良好数据包计数器中断屏蔽
4:1	Reserved	保留，必须保持复位值。

位域	名称	描述
0	RXIPV4GPIM	MMC 接收 IPV4 良好数据包计数器中断屏蔽 (MMC Receive IPV4 Good Packet Counter Interrupt Mask) 当接收 IPV4 良好数据包计数器达到最大值的一半或最大值时, 设置该位会屏蔽中断。 0: 禁用 MMC 接收 IPV4 良好数据包计数器中断屏蔽 1: 启用 MMC 接收 IPV4 良好数据包计数器中断屏蔽

#### 47.6.1.60 ETH MMC IPC 接收中断寄存器 (ETH\_MMCI PCRXINT)

偏移地址: 0x0808

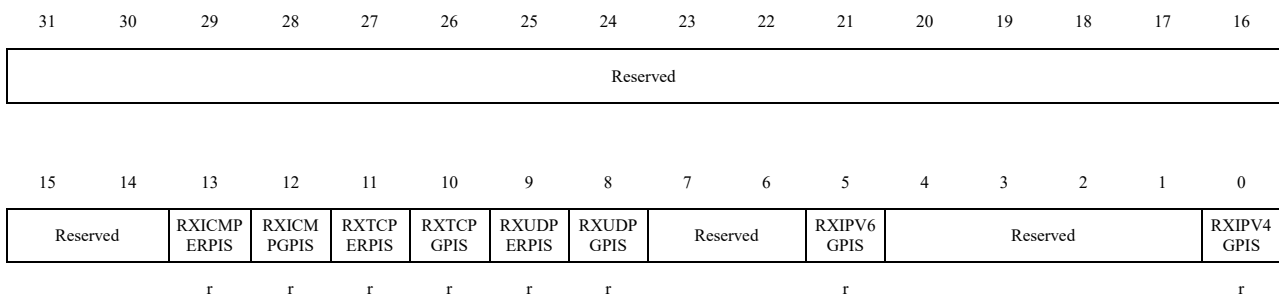
复位值: 0x0000 0000

该寄存器维护接收 IPC 统计计数器产生的中断。

MMC 接收校验和卸载 (IPC) 中断寄存器维护接收 IPC 统计计数器达到最大值一半 (32 位计数器为 0x8000\_0000, 16 位计数器为 0x8000) 和超过最大值 (32 位计数器为 0xFFFF FFFF, 16 位计数器为 0xFFFF) 时产生的中断。

当设置计数器停止翻转时, 中断被设置, 但计数器仍为零。

当读取导致中断的 MMC IPC 计数器时, 其相应的中断位将被清除。必须读取相应计数器的最小有效字节 (位[7:0]) 才能清除中断位。



位域	名称	描述
31:14	Reserved	保留, 必须保持复位值。
13	RXICMPERPIS	MMC 接收 ICMP 错误数据包计数器中断状态 (MMC Receive ICMP Error Packet Counter Interrupt Status) 当接收 ICMP 错误数据包计数器达到最大值的一半或最大值时, 该位置 1。 0: 未检测到 MMC 接收 ICMP 错误数据包计数器中断状态 1: 检测到 MMC 接收 ICMP 错误数据包计数器中断状态
12	RXICMPGPIS	MMC 接收 ICMP 良好数据包计数器中断状态 (MMC Receive ICMP Good Packet Counter Interrupt Status) 当接收 ICMP 良好数据包计数器达到最大值的一半或最大值时, 该位置 1。 0: 未检测到 MMC 接收 ICMP 良好数据包计数器中断状态 1: 检测到 MMC 接收 ICMP 良好数据包计数器中断状态
11	RXTCPERPIS	MMC 接收 TCP 错误数据包计数器中断状态 (MMC Receive TCP Error Packet Counter Interrupt Status)

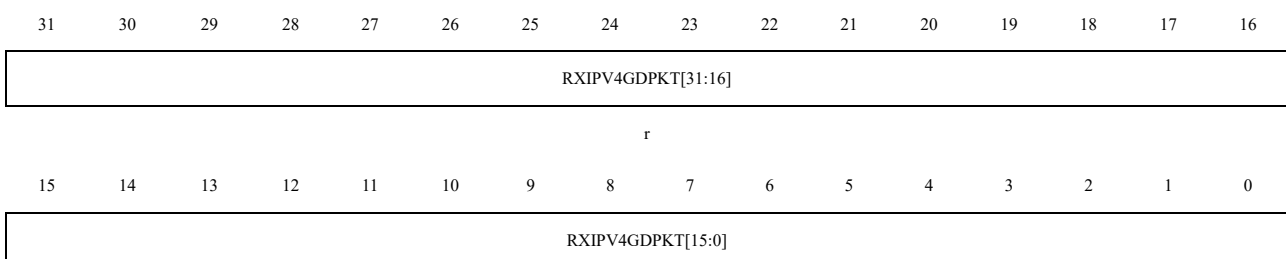
位域	名称	描述
		当接收 TCP 错误数据包计数器达到最大值的一半或最大值时，该位置 1。 0：未检测到 MMC 接收 TCP 错误数据包计数器中断状态 1：检测到 MMC 接收 TCP 错误数据包计数器中断状态
10	RXTCPGPIS	MMC 接收 TCP 良好数据包计数器中断状态（MMC Receive TCP Good Packet Counter Interrupt Status） 当接收 TCP 良好数据包计数器达到最大值的一半或最大值时，该位置 1。 0：未检测到 MMC 接收 TCP 良好数据包计数器中断状态 1：检测到 MMC 接收 TCP 良好数据包计数器中断状态
9	RXUDPERPIS	MMC 接收 UDP 错误数据包计数器中断状态（MMC Receive UDP Error Packet Counter Interrupt Status） 当接收 UDP 错误数据包计数器达到最大值的一半或最大值时，该位置 1。 0：未检测到 MMC 接收 UDP 错误数据包计数器中断状态 1：检测到 MMC 接收 UDP 错误数据包计数器中断状态
8	RXUDPGPIS	MMC 接收 UDP 良好数据包计数器中断状态（MMC Receive UDP Good Packet Counter Interrupt Status） 当接收 UDP 良好数据包计数器达到最大值的一半或最大值时，该位置 1。 0：未检测到 MMC 接收 UDP 良好数据包计数器中断状态 1：检测到 MMC 接收 UDP 良好数据包计数器中断状态
7:6	Reserved	保留，必须保持复位值。
5	RXIPV6GPIS	MMC 接收 IPV6 良好数据包计数器中断状态（MMC Receive IPV6 Good Packet Counter Interrupt Status） 当接收 IPV6 良好数据包计数器达到最大值的一半或最大值时，该位置 1。 0：未检测到 MMC 接收 IPV6 良好数据包计数器中断状态 1：检测到 MMC 接收 IPV6 良好数据包计数器中断状态
4:1	Reserved	保留，必须保持复位值。
0	RXIPV4GPIS	MMC 接收 IPV4 良好数据包计数器中断状态（MMC Receive IPV4 Good Packet Counter Interrupt Status） 当接收 IPV4 良好数据包计数器达到最大值的一半或最大值时，该位置 1。 0：未检测到 MMC 接收 IPV4 良好数据包计数器中断状态 1：检测到 MMC 接收 IPV4 良好数据包计数器中断状态

#### 47.6.1.61 ETH 接收 IPv4 良好数据包寄存器（ETH\_MMCRXIPV4GP）

偏移地址：0x0810

复位值：0x0000 0000

该寄存器提供以太网外设接收到的带有 TCP、UDP 或 ICMP 有效负载的良好 IPv4 数据报的数量。





r

位域	名称	描述
31:0	RXIPV4GDPKT	Rx IPv4 良好数据包 (RxIPv4 Good Packets) 该字段指示接收到的带有 TCP、UDP 或 ICMP 有效负载的良好 IPv4 数据包的数量。

#### 47.6.1.62 ETH 接收 IPv6 良好数据包寄存器 (ETH\_MMCRXIPV6GP)

偏移地址: 0x0824

复位值: 0x0000 0000

该寄存器提供以太网外设接收到的带有 TCP、UDP 或 ICMP 有效负载的良好 IPv6 数据报的数量。

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

RXIPV6GDPKT[31:16]
--------------------

r

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RXIPV6GDPKT[15:0]
-------------------

r

位域	名称	描述
31:0	RXIPV6GDPKT	Rx IPv6 良好数据包 (RxIPv6 Good Packets) 该字段指示接收到的带有 TCP、UDP 或 ICMP 有效负载的良好 IPv6 数据包的数量。

#### 47.6.1.63 ETH 接收 UDP 良好数据包寄存器 (ETH\_MMCRXUDPGP)

偏移地址: 0x0830

复位值: 0x0000 0000

该寄存器提供以太网外设接收到的具有良好 UDP 有效负载的 IP 数据报的数量。

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

RXUDPGDPKT[31:16]
-------------------

r

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RXUDPGDPKT[15:0]
------------------

r

位域	名称	描述
31:0	RXUDPGDPKT	Rx UDP 良好数据包 (RxUDP Good Packets) 该字段指示接收到的具有良好 UDP 有效负载的 IP 数据报的数量。

#### 47.6.1.64 ETH 接收 UDP 错误数据包寄存器 (ETH\_MMCRXUDPEP)

偏移地址: 0x0834

复位值: 0x0000 0000

该寄存器提供以太网外设接收到的 UDP 有效负载存在校验和错误的 IP 数据报的数量。



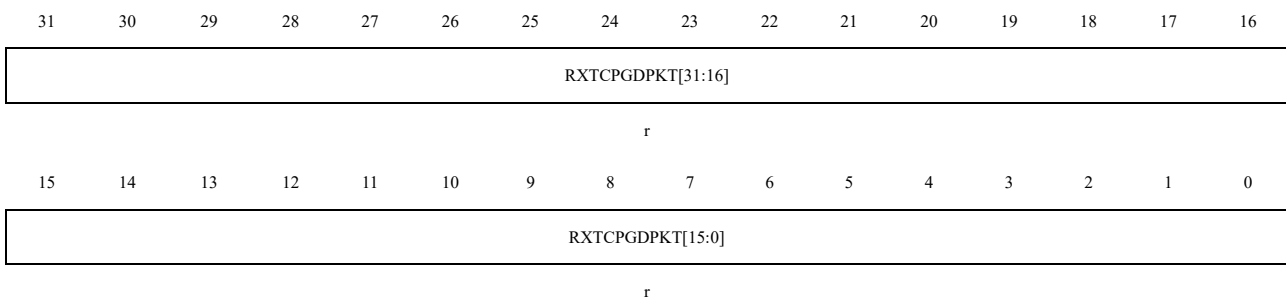
位域	名称	描述
31:0	RXUDPERRPKT	Rx UDP 错误数据包 (RxUDP Error Packets) 该字段指示接收到的 UDP 有效负载存在校验和错误的 IP 数据报的数量。

#### 47.6.1.65 ETH 接收 TCP 良好数据包寄存器 (ETH\_MMCRXTCPGP)

偏移地址: 0x0838

复位值: 0x0000 0000

该寄存器提供以太网外设接收到的具有良好 TCP 有效负载的 IP 数据报的数量。



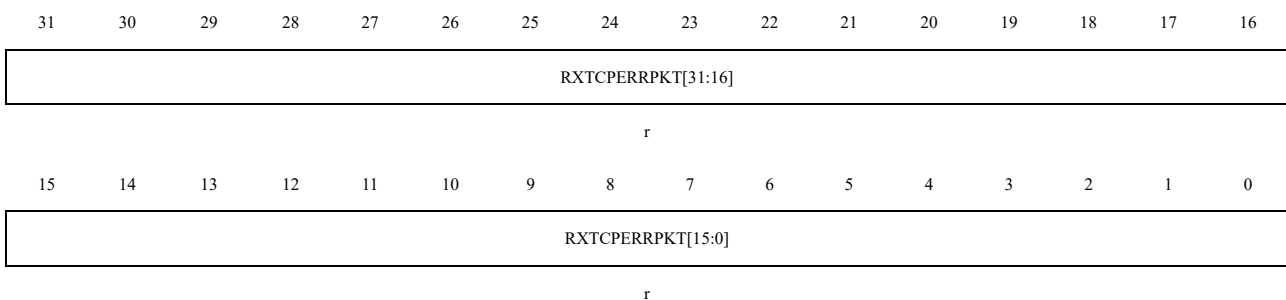
位域	名称	描述
31:0	RXTCPGDPKT	Rx TCP 良好数据包 (RxTCP Good Packets) 该字段指示接收到的具有良好 TCP 有效负载的 IP 数据报的数量。

#### 47.6.1.66 ETH 接收 TCP 错误数据包寄存器 (ETH\_MMCRXTCPEP)

偏移地址: 0x083C

复位值: 0x0000 0000

该寄存器提供以太网外设接收到的 TCP 有效负载存在校验和错误的 IP 数据报的数量。



位域	名称	描述
----	----	----

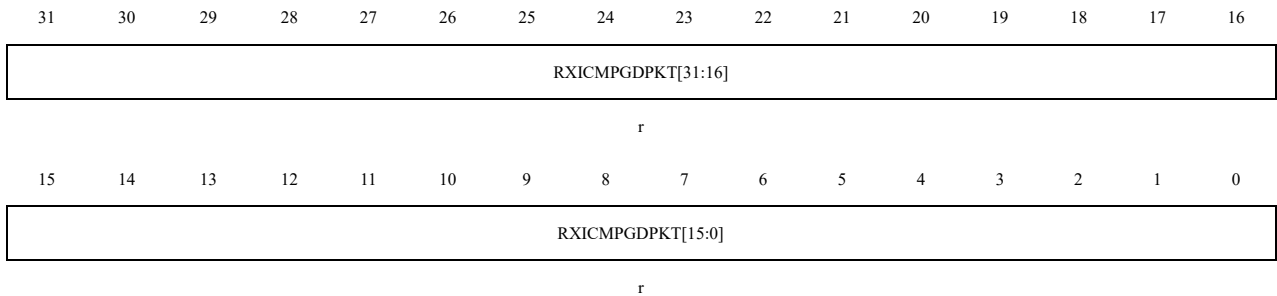
31:0	RXTCPEPERRPKT	Rx TCP 错误数据包 (RxTCP Error Packets) 该字段指示接收到的 TCP 有效负载存在校验和错误的 IP 数据报的数量。
------	---------------	---

#### 47.6.1.67 ETH 接收 ICMP 良好数据包寄存器 (ETH\_MMCRXICMPGP)

偏移地址: 0x0840

复位值: 0x0000 0000

该寄存器提供以太网外设接收到的具有良好 ICMP 有效负载的 IP 数据报的数量。



位域	名称	描述
31:0	RXICMPGDPKT	Rx ICMP 良好数据包 (RxICMP Good Packets) 该字段指示接收到的具有良好 ICMP 有效负载的 IP 数据报的数量。

#### 47.6.1.68 ETH 接收 ICMP 错误数据包寄存器 (ETH\_MMCRXICMPEP)

偏移地址: 0x0844

复位值: 0x0000 0000

该寄存器提供以太网外设接收到的 ICMP 有效负载存在校验和错误的 IP 数据报的数量。



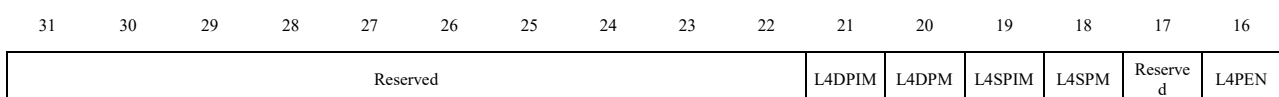
位域	名称	描述
31:0	RXICMPERRPKT	Rx ICMP 错误数据包 (RxICMP Error Packets) 该字段指示接收到的 ICMP 有效负载存在校验和错误的 IP 数据报的数量。

#### 47.6.1.69 ETH 第 3 层和第 4 层过滤器 0 控制寄存器 (ETH\_MACL3L4F0CTRL)

偏移地址: 0x0900

复位值: 0x0000 0000

该寄存器控制第 3 层和第 4 层过滤器 0 的操作。





位域	名称	描述
		2: 屏蔽两位 LSB[1:0] ... 31: 屏蔽除 MSB 之外的所有位 <b>IPv6 数据包:</b> 该字段的位[12:11]与 L3HSBM 的位[6:5]相对应, 表示 IPv6 数据包中被屏蔽的 IP 源地址或目的地址低位的数量。以下描述了 L3HDBM[1:0]和 L3HSBM 位的连接值: 0: 不屏蔽任何位 1: 屏蔽 LSB[0] 2: 屏蔽两位 LSB[1:0] ... 127: 屏蔽除 MSB 之外的所有位 只有在 L3DAM 或 L3SAM 位置 1 时, 该字段才有效且适用。
10:6	L3HSBM	第 3 层 IP SA 高位匹配 (Layer 3 IP SA Higher Bits Match) <b>IPv4 数据包:</b> 该字段包含 IPv4 数据包中匹配的 IP 源地址低位的数量。下面列出了该字段的值: 0: 不屏蔽任何位 1: 屏蔽 LSB[0] 2: 屏蔽两位 LSB[1:0] ... 31: 屏蔽除 MSB 之外的所有位 <b>IPv6 数据包:</b> 该字段包含 L3HSBM 的位[4:0]。这些位表示 IPv6 数据包中匹配的 IP 源地址或目的地址高位的数量。 只有在 L3DAM 或 L3SAM 位置 1 时, 该字段才有效且适用。
5	L3DAIM	第 3 层 IP DA 反向匹配使能 (Layer 3 IP DA Inverse Match Enable) 该位置 1 时, 将使能第 3 层 IP 目的地址字段以进行反向匹配。 该位复位时, 将使能第 3 层 IP 目的地址字段以进行完美匹配。 只有在 L3DAM 位置为高电平时, 该位才有效且适用。 0: 禁用第 3 层 IP DA 反向匹配功能 1: 启用第 3 层 IP DA 反向匹配功能
4	L3DAM	第 3 层 IP DA 匹配使能 (Layer 3 IP DA Match Enable) 该位置 1 时, 将使能第 3 层 IP 目的地址字段以进行匹配。 该位复位时, MAC 将忽略用于匹配的第 3 层 IP 目的地址字段。 0: 禁用第 3 层 IP DA 匹配功能 1: 启用第 3 层 IP DA 匹配功能 <i>注: L3PEN 位置 1 时, 应将该位或 L3SAM 位置 1, 因为可以检查 IPv6 DA 或 SA 以进行过滤。</i>
3	L3SAIM	第 3 层 IP SA 反向匹配使能 (Layer 3 IP SA Inverse Match Enable) 该位置 1 时, 将使能第 3 层 IP 源地址字段以进行反向匹配。 该位复位时, 将使能第 3 层 IP 源地址字段以进行完美匹配。 只有在 L3SAM 位置 1 时, 该位才有效且适用。

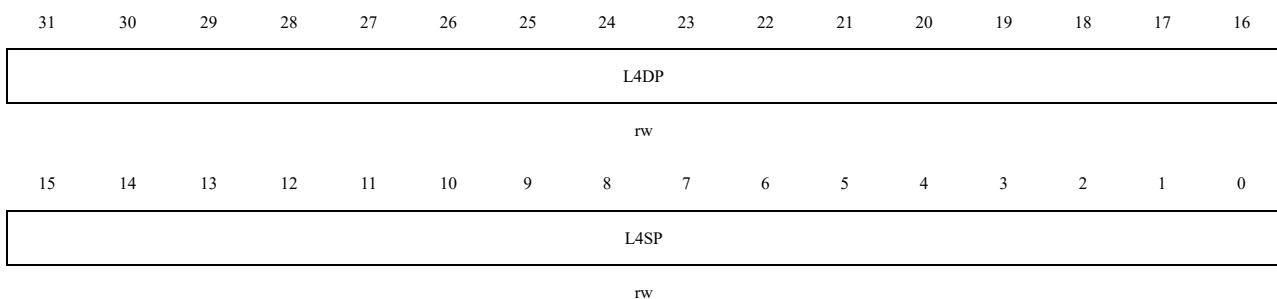
位域	名称	描述
		0: 禁用第 3 层 IP SA 反向匹配功能 1: 启用第 3 层 IP SA 反向匹配功能
2	L3SAM	第 3 层 IP SA 匹配使能 (Layer 3 IP SAMatch Enable) 该位置 1 时, 将使能第 3 层 IP 目的地址字段以进行匹配。 该位复位时, MAC 将忽略用于匹配的第 3 层 IP 目的地址字段。 0: 禁用第 3 层 IP SA 匹配功能 1: 启用第 3 层 IP SA 匹配功能 <i>注: L3PEN 位置 1 时, 应将该位或 L3DAM 位置 1, 因为可以检查 IPv6 DA 或 SA 以进行过滤。</i>
1	Reserved	保留, 必须保持复位值。
0	L3PEN	第 3 层协议使能 (Layer 3 Protocol Enable) 该位置 1 时, 将为 IPv6 数据包使能第 3 层 IP 源地址或目的地址匹配。 该位复位时, 将为 IPv4 数据包使能第 3 层 IP 源地址或目的地址匹配。 只有当 L3SAM 或 L3DAM 位置 1 时, 才能完成第 3 层匹配。 0: 禁用第 3 层协议功能 1: 启用第 3 层协议功能

#### 47.6.1.70 ETH 第 4 层过滤器 0 端口寄存器 (ETH\_MACL4F0PORT)

偏移地址: 0x0904

复位值: 0x0000 0000

该寄存器保存用于第 4 层过滤的目标/源端口号。



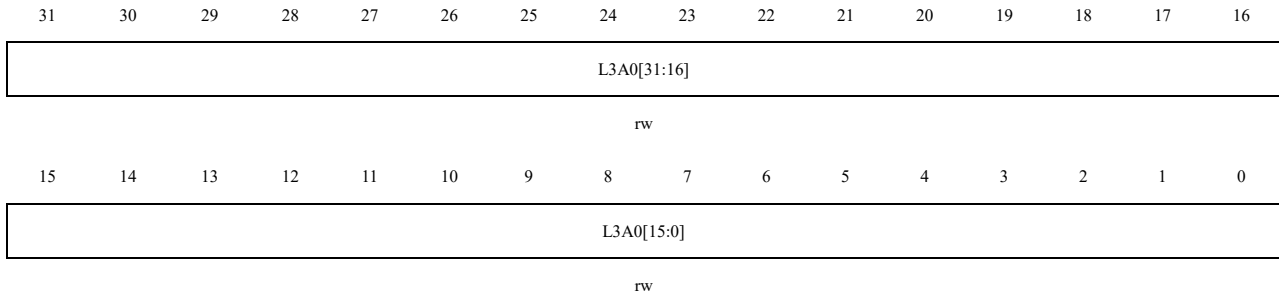
位域	名称	描述
31:16	L4DP	第 4 层目标端口号字段 (Layer 4 Destination Port Number Field) 第 3 层和第 4 层过滤器 0 控制寄存器中的 L4PEN 位复位且 L4DPM 位置 1 时, 该字段包含要与 IPv4 或 IPv6 数据包中的 TCP 目标端口号字段进行匹配的值。 第 3 层和第 4 层过滤器 0 控制寄存器中的 L4PEN 和 L4DPM 位置 1 时, 该字段包含要与 IPv4 或 IPv6 数据包中的 UDP 目标端口号字段进行匹配的值。
15:0	L4SP	第 4 层源端口号字段 (Layer 4 Source Port Number Field) 第 3 层和第 4 层过滤器 0 控制寄存器中的 L4PEN 位复位且 L4SPM 位置 1 时, 该字段包含要与 IPv4 或 IPv6 数据包中的 TCP 源端口号字段进行匹配的值。 第 3 层和第 4 层过滤器 0 控制寄存器中的 L4PEN 和 L4SPM 位置 1 时, 该字段包含要与 IPv4 或 IPv6 数据包中的 UDP 源端口号字段进行匹配的值。

### 47.6.1.71 ETH 第3层过滤器0地址0寄存器 (ETH\_MACL3F0ADDR0)

偏移地址: 0x0910

复位值: 0x0000 0000

对于 IPv4 数据包, 该寄存器包含 32 位 IP 源地址字段。对于 IPv6 数据包, 该寄存器包含 128 位 IP 源地址或目的地址字段的位[31:0]。



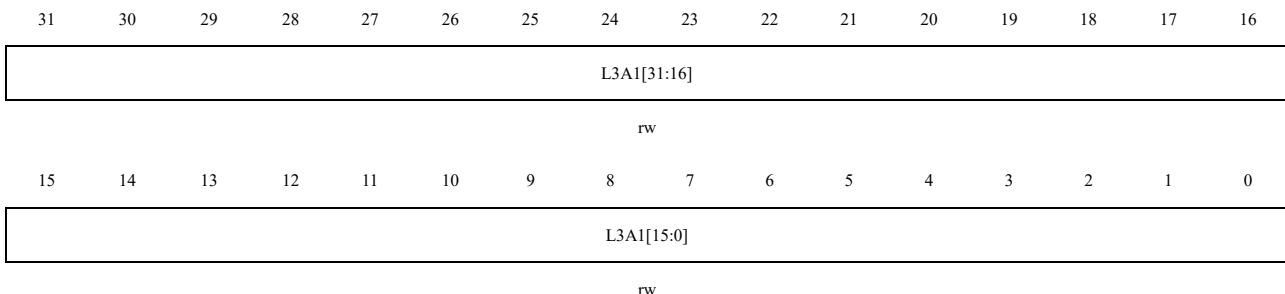
位域	名称	描述
31:0	L3A0	第3层地址0字段 (Layer 3 Address 0 Field) 第3层和第4层过滤器0控制寄存器中的 L3PEN 和 L3SAM 位置 1 时, 该字段包含要与 IPv6 数据包中 IP 源地址字段的位[31:0]进行匹配的值。 第3层和第4层过滤器0控制寄存器中的 L3PEN 和 L3DAM 位置 1 时, 该字段包含要与 IPv6 数据包中 IP 目的地址字段的位[31:0]进行匹配的值。 第3层和第4层过滤器0控制寄存器中的 L3PEN 位复位且 L3SAM 位置 1 时, 该字段包含要与 IPv4 数据包中的 IP 源地址字段进行匹配的值。

### 47.6.1.72 ETH 第3层过滤器0地址1寄存器 (ETH\_MACL3F0ADDR1)

偏移地址: 0x0914

复位值: 0x0000 0000

对于 IPv4 数据包, 该寄存器包含 32 位 IP 目的地址字段。对于 IPv6 数据包, 该寄存器包含 128 位 IP 源地址或目的地址字段的位[63:32]。



位域	名称	描述
31:0	L3A1	第3层地址1字段 (Layer 3 Address 1 Field) 第3层和第4层过滤器0控制寄存器中的 L3PEN 和 L3SAM 位置 1 时, 该字段包含要与 IPv6 数据包中 IP 源地址字段的位[63:32]进行匹配的值。 第3层和第4层过滤器0控制寄存器中的 L3PEN 和 L3DAM 位置 1 时, 该字段

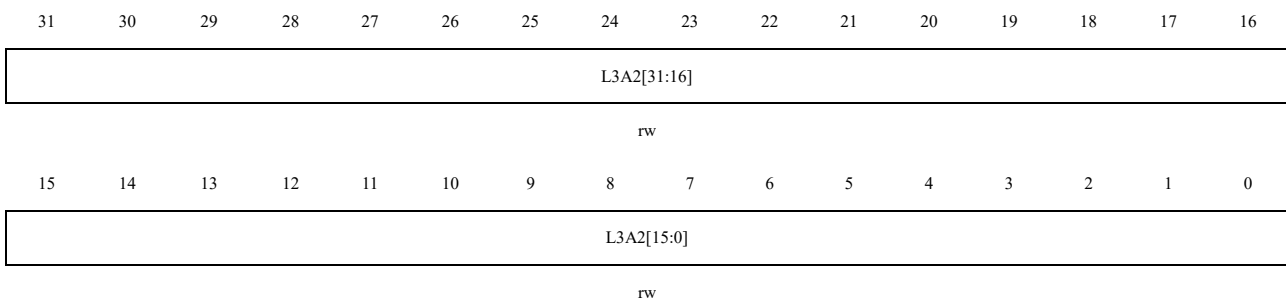
		包含要与 IPv6 数据包中 IP 目的地址字段的位[63:32]进行匹配的值。 第 3 层和第 4 层过滤器 0 控制寄存器中的 L3PEN 位复位且 L3SAM 位置 1 时，该字段包含要与 IPv4 数据包中的 IP 目的地址字段进行匹配的值。
--	--	--

### 47.6.1.73 ETH 第 3 层过滤器 0 地址 2 寄存器 (ETH\_MACL3F0ADDR2)

偏移地址: 0x0918

复位值: 0x0000 0000

对于 IPv4 数据包, 该寄存器保留。对于 IPv6 数据包, 该寄存器包含 128 位 IP 源地址或目的地址字段的位[95:64]。



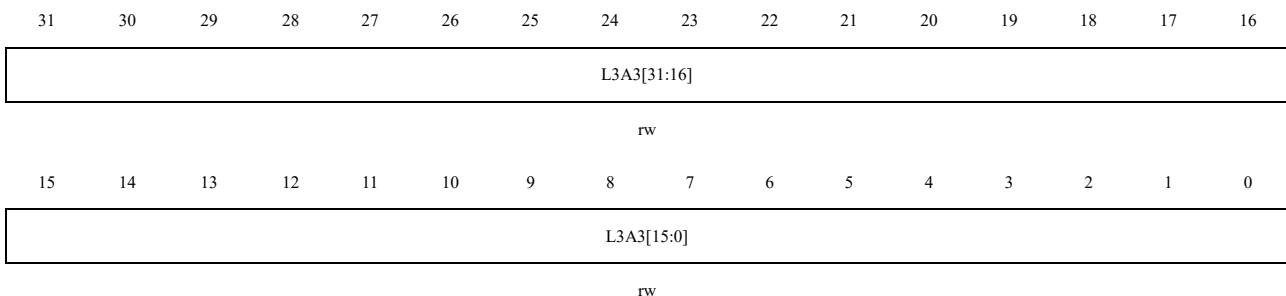
位域	名称	描述
31:0	L3A2	第 3 层地址 2 字段 (Layer 3 Address 2 Field) 第 3 层和第 4 层过滤器 0 控制寄存器中的 L3PEN 和 L3SAM 位置 1 时, 该字段包含要与 IPv6 数据包中 IP 源地址字段的位[95:64]进行匹配的值。 第 3 层和第 4 层过滤器 0 控制寄存器中的 L3PEN 和 L3DAM 位置 1 时, 该字段包含要与 IPv6 数据包中 IP 目的地址字段的位[95:64]进行匹配的值。 第 3 层和第 4 层过滤器 0 控制寄存器中的 L3PEN 位复位时, 该字段不使用。

### 47.6.1.74 ETH 第 3 层过滤器 0 地址 3 寄存器 (ETH\_MACL3F0ADDR3)

偏移地址: 0x091C

复位值: 0x0000 0000

对于 IPv4 数据包, 该寄存器保留。对于 IPv6 数据包, 该寄存器包含 128 位 IP 源地址或目的地址字段的位[127:96]。



位域	名称	描述
31:0	L3A3	第 3 层地址 3 字段 (Layer 3 Address 3 Field) 第 3 层和第 4 层过滤器 0 控制寄存器中的 L3PEN 和 L3SAM 位置 1 时, 该字段包含要与 IPv6 数据包中 IP 源地址字段的位[127:96]进行匹配的值。



		第 3 层和第 4 层过滤器 0 控制寄存器中的 L3PEN 和 L3DAM 位置 1 时，该字段包含要与 IPv6 数据包中 IP 目的地址字段的位[127:96]进行匹配的值。 第 3 层和第 4 层过滤器 0 控制寄存器中的 L3PEN 位复位时，该字段不使用。
--	--	---

### 47.6.1.75 ETH 第 3 层和第 4 层过滤器 1 控制寄存器 (ETH\_MACL3L4F1CTRL)

偏移地址：0x0930

复位值：0x0000 0000

该寄存器控制第 3 层和第 4 层过滤器 1 的操作。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved										L4DPIM	L4DPM	L4SPIM	L4SPM	Reserved	L4PEN	
										rw	rw	rw	rw			rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
L3HDBM					L3HSBM					L3DAIM	L3DAM	L3SAIM	L3SAM	Reserved	L3PEN	
rw					rw					rw	rw	rw	rw	rw	rw	

位域	名称	描述
31:22	Reserved	保留，必须保持复位值。
21	L4DPIM	第 4 层目标端口反向匹配使能 (Layer 4 Destination Port Inverse Match Enable) 该位置 1 时，将使能第 4 层目标端口号字段以进行反向匹配。 该位复位时，将使能第 4 层目标端口号字段以进行完美匹配。 只有在 L4DPM 位置为高电平时，该位才有效且适用。 0: 禁用第 4 层目标端口反向匹配功能 1: 启用第 4 层目标端口反向匹配功能
20	L4DPM	第 4 层目标端口匹配使能 (Layer 4 Destination Port Match Enable) 该位置 1 时，将使能第 4 层目标端口号字段以进行匹配。 该位复位时，MAC 将忽略用于匹配的第 4 层目标端口号字段。 0: 禁用第 4 层目标端口匹配功能 1: 启用第 4 层目标端口匹配功能
19	L4SPIM	第 4 层源端口反向匹配使能 (Layer 4 Source Port Inverse Match Enable) 该位置 1 时，将使能第 4 层源端口号字段以进行反向匹配。 该位复位时，将使能第 4 层源端口号字段以进行完美匹配。 只有在 L4SPM 位置为高电平时，该位才有效且适用。 0: 禁用第 4 层源端口反向匹配功能 1: 启用第 4 层源端口反向匹配功能
18	L4SPM	第 4 层源端口匹配使能 (Layer 4 Source Port Match Enable) 该位置 1 时，将使能第 4 层源端口号字段以进行匹配。 该位复位时，MAC 将忽略用于匹配的第 4 层源端口号字段。 0: 禁用第 4 层源端口匹配功能 1: 启用第 4 层源端口匹配功能
17	Reserved	保留，必须保持复位值。
15:11	L3HDBM	第 3 层 IP DA 高位匹配 (Layer 3 IP DA Higher Bits Match) <b>IPv4 数据包:</b>

		<p>该字段包含 IPv4 数据包中匹配的 IP 目的地址高位的数量。下面列出了该字段的值：</p> <p>0：不屏蔽任何位 1：屏蔽 LSB[0] 2：屏蔽两位 LSB[1:0] ... 31：屏蔽除 MSB 之外的所有位</p> <p><b>IPv6 数据包：</b> 该字段的位[12:11]与 L3HSBM 的位[6:5]相对应，表示 IPv6 数据包中被屏蔽的 IP 源地址或目的地址低位的数量。以下描述了 L3HDBM[1:0]和 L3HSBM 位的连接值：</p> <p>0：不屏蔽任何位 1：屏蔽 LSB[0] 2：屏蔽两位 LSB[1:0] ... 127：屏蔽除 MSB 之外的所有位</p> <p>只有在 L3DAM 或 L3SAM 位置 1 时，该字段才有效且适用。</p>
10:6	L3HSBM	<p>第 3 层 IP SA 高位匹配 (Layer 3 IP SA Higher Bits Match)</p> <p><b>IPv4 数据包：</b> 该字段包含 IPv4 数据包中匹配的 IP 源地址低位的数量。下面列出了该字段的值：</p> <p>0：不屏蔽任何位 1：屏蔽 LSB[0] 2：屏蔽两位 LSB[1:0] ... 31：屏蔽除 MSB 之外的所有位</p> <p><b>IPv6 数据包：</b> 该字段包含 L3HSBM 的位[4:0]。这些位表示 IPv6 数据包中匹配的 IP 源地址或目的地址高位的数量。</p> <p>只有在 L3DAM 或 L3SAM 位置 1 时，该字段才有效且适用。</p>
5	L3DAIM	<p>第 3 层 IP DA 反向匹配使能 (Layer 3 IP DA Inverse Match Enable)</p> <p>该位置 1 时，将使能第 3 层 IP 目的地址字段以进行反向匹配。 该位复位时，将使能第 3 层 IP 目的地址字段以进行完美匹配。</p> <p>只有在 L3DAM 位置为高电平时，该位才有效且适用。</p> <p>0：禁用第 3 层 IP DA 反向匹配功能 1：启用第 3 层 IP DA 反向匹配功能</p>
4	L3DAM	<p>第 3 层 IP DA 匹配使能 (Layer 3 IP DA Match Enable)</p> <p>该位置 1 时，将使能第 3 层 IP 目的地址字段以进行匹配。 该位复位时，MAC 将忽略用于匹配的第 3 层 IP 目的地址字段。</p> <p>0：禁用第 3 层 IP DA 匹配功能 1：启用第 3 层 IP DA 匹配功能</p> <p><i>注：L3PEN 位置 1 时，应将该位或 L3SAM 位置 1，因为可以检查 IPv6 DA 或 SA 以进行过滤。</i></p>
3	L3SAIM	<p>第 3 层 IP SA 反向匹配使能 (Layer 3 IP SA Inverse Match Enable)</p>

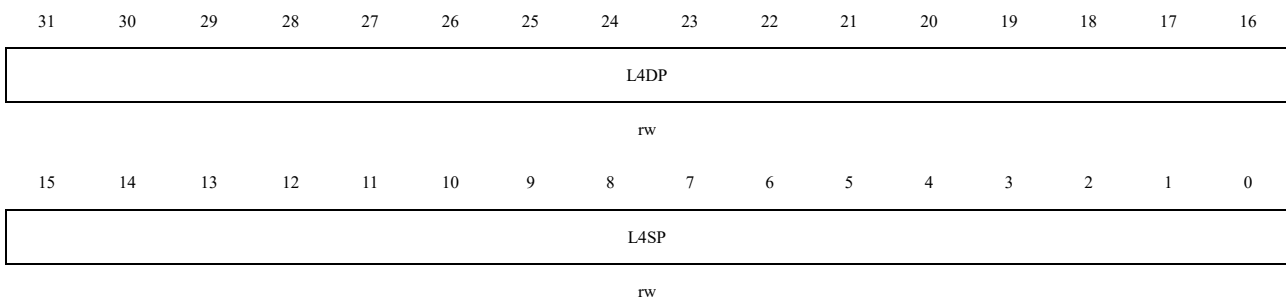
		该位置 1 时，将使能第 3 层 IP 源地址字段以进行反向匹配。 该位复位时，将使能第 3 层 IP 源地址字段以进行完美匹配。 只有在 L3SAM 位置 1 时，该位才有效且适用。 0: 禁用第 3 层 IP SA 反向匹配功能 1: 启用第 3 层 IP SA 反向匹配功能
2	L3SAM	第 3 层 IP SA 匹配使能 (Layer 3 IP SAMatch Enable) 该位置 1 时，将使能第 3 层 IP 目的地址字段以进行匹配。 该位复位时，MAC 将忽略用于匹配的第 3 层 IP 目的地址字段。 0: 禁用第 3 层 IP SA 匹配功能 1: 启用第 3 层 IP SA 匹配功能 <i>注: L3PEN 位置 1 时，应将该位或 L3DAM 位置 1，因为可以检查 IPv6 DA 或 SA 以进行过滤。</i>
1	Reserved	保留，必须保持复位值。
0	L3PEN	第 3 层协议使能 (Layer 3 Protocol Enable) 该位置 1 时，将为 IPv6 数据包使能第 3 层 IP 源地址或目的地址匹配。 该位复位时，将为 IPv4 数据包使能第 3 层 IP 源地址或目的地址匹配。 只有当 L3SAM 或 L3DAM 位置 1 时，才能完成第 3 层匹配。 0: 禁用第 3 层协议功能 1: 启用第 3 层协议功能

#### 47.6.1.76 ETH 第 4 层过滤器 1 端口寄存器 (ETH\_MACL4F1PORT)

偏移地址: 0x0934

复位值: 0x0000 0000

该寄存器保存用于第 4 层过滤的目标/源端口号。



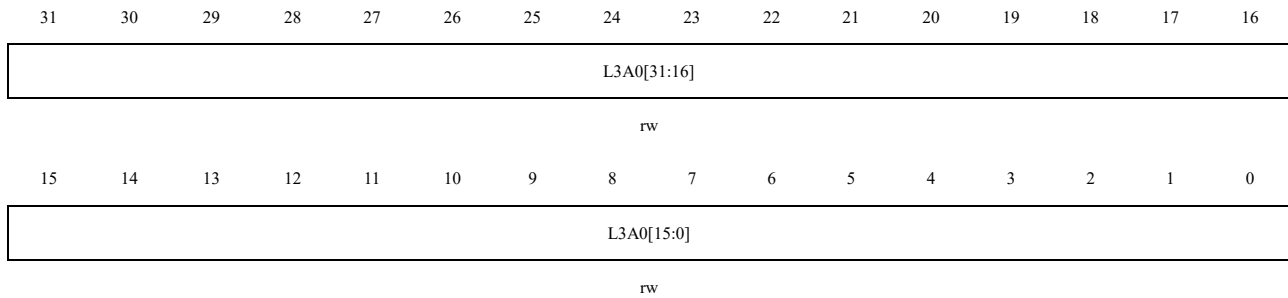
位域	名称	描述
31:16	L4DP	第 4 层目标端口号字段 (Layer 4 Destination Port Number Field) 第 3 层和第 4 层过滤器 1 控制寄存器中的 L4PEN 位复位且 L4DPM 位置 1 时，该字段包含要与 IPv4 或 IPv6 数据包中的 TCP 目标端口号字段进行匹配的值。 第 3 层和第 4 层过滤器 1 控制寄存器中的 L4PEN 和 L4DPM 位置 1 时，该字段包含要与 IPv4 或 IPv6 数据包中的 UDP 目标端口号字段进行匹配的值。
15:0	L4SP	第 4 层源端口号字段 (Layer 4 Source Port Number Field) 第 3 层和第 4 层过滤器 1 控制寄存器中的 L4PEN 位复位且 L4SPM 位置 1 时，该字段包含要与 IPv4 或 IPv6 数据包中的 TCP 源端口号字段进行匹配的值。 第 3 层和第 4 层过滤器 1 控制寄存器中的 L4PEN 和 L4SPM 位置 1 时，该字段包含要与 IPv4 或 IPv6 数据包中的 UDP 源端口号字段进行匹配的值。

### 47.6.1.77 ETH 第3层过滤器1地址0寄存器 (ETH\_MACL3F1ADDR0)

偏移地址: 0x0940

复位值: 0x0000 0000

对于 IPv4 数据包, 该寄存器包含 32 位 IP 源地址字段。对于 IPv6 数据包, 该寄存器包含 128 位 IP 源地址或目的地址字段的位[31:0]。



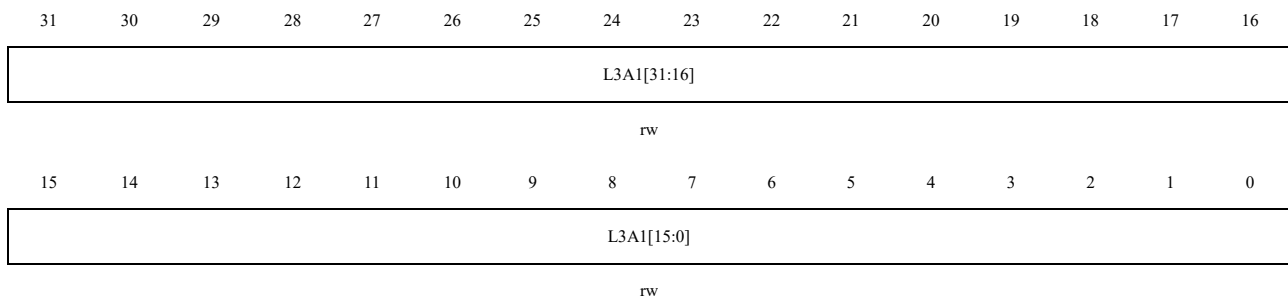
位域	名称	描述
31:0	L3A0	第3层地址0字段 (Layer 3 Address 0 Field) 第3层和第4层过滤器1控制寄存器中的 L3PEN 和 L3SAM 位置 1 时, 该字段包含要与 IPv6 数据包中 IP 源地址字段的位[31:0]进行匹配的值。 第3层和第4层过滤器1控制寄存器中的 L3PEN 和 L3DAM 位置 1 时, 该字段包含要与 IPv6 数据包中 IP 目的地址字段的位[31:0]进行匹配的值。 第3层和第4层过滤器1控制寄存器中的 L3PEN 位复位且 L3SAM 位置 1 时, 该字段包含要与 IPv4 数据包中的 IP 源地址字段进行匹配的值。

### 47.6.1.78 ETH 第3层过滤器1地址1寄存器 (ETH\_MACL3F1ADDR1)

偏移地址: 0x0944

复位值: 0x0000 0000

对于 IPv4 数据包, 该寄存器包含 32 位 IP 目的地址字段。对于 IPv6 数据包, 该寄存器包含 128 位 IP 源地址或目的地址字段的位[63:32]。



位域	名称	描述
31:0	L3A1	第3层地址1字段 (Layer 3 Address 1 Field) 第3层和第4层过滤器1控制寄存器中的 L3PEN 和 L3SAM 位置 1 时, 该字段包含要与 IPv6 数据包中 IP 源地址字段的位[63:32]进行匹配的值。 第3层和第4层过滤器1控制寄存器中的 L3PEN 和 L3DAM 位置 1 时, 该字段包含要与 IPv6 数据包中 IP 目的地址字段的位[63:32]进行匹配的值。 第3层和第4层过滤器1控制寄存器中的 L3PEN 位复位且 L3SAM 位置 1 时,

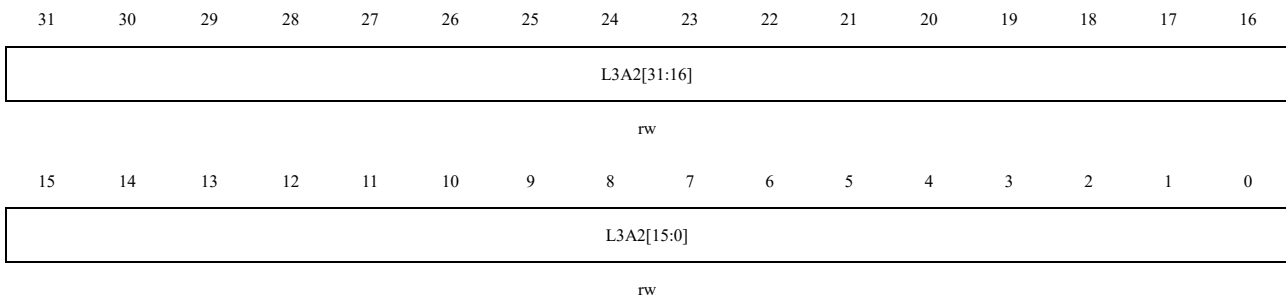
		该字段包含要与 IPv4 数据包中的 IP 目的地址字段进行匹配的值。
--	--	-------------------------------------

### 47.6.1.79 ETH 第 3 层过滤器 1 地址 2 寄存器 (ETH\_MACL3F1ADDR2)

偏移地址: 0x0948

复位值: 0x0000 0000

对于 IPv4 数据包, 该寄存器保留。对于 IPv6 数据包, 该寄存器包含 128 位 IP 源地址或目的地址字段的位 [95:64]。



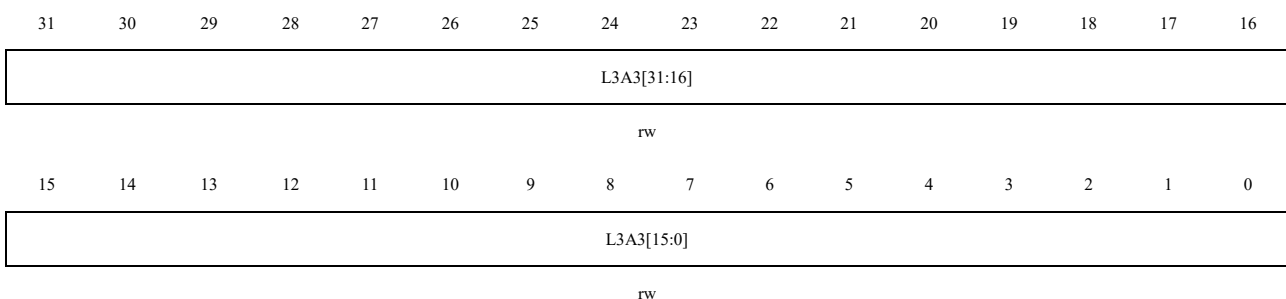
位域	名称	描述
31:0	L3A2	第 3 层地址 2 字段 (Layer 3 Address 2 Field) 第 3 层和第 4 层过滤器 1 控制寄存器中的 L3PEN 和 L3SAM 位置 1 时, 该字段包含要与 IPv6 数据包中 IP 源地址字段的位 [95:64] 进行匹配的值。 第 3 层和第 4 层过滤器 1 控制寄存器中的 L3PEN 和 L3DAM 位置 1 时, 该字段包含要与 IPv6 数据包中 IP 目的地址字段的位 [95:64] 进行匹配的值。 第 3 层和第 4 层过滤器 1 控制寄存器中的 L3PEN 位复位时, 该字段不使用。

### 47.6.1.80 ETH 第 3 层过滤器 1 地址 3 寄存器 (ETH\_MACL3F1ADDR3)

偏移地址: 0x094C

复位值: 0x0000 0000

对于 IPv4 数据包, 该寄存器保留。对于 IPv6 数据包, 该寄存器包含 128 位 IP 源地址或目的地址字段的位 [127:96]。



位域	名称	描述
31:0	L3A3	第 3 层地址 3 字段 (Layer 3 Address 3 Field) 第 3 层和第 4 层过滤器 1 控制寄存器中的 L3PEN 和 L3SAM 位置 1 时, 该字段包含要与 IPv6 数据包中 IP 源地址字段的位 [127:96] 进行匹配的值。 第 3 层和第 4 层过滤器 1 控制寄存器中的 L3PEN 和 L3DAM 位置 1 时, 该字段包含要与 IPv6 数据包中 IP 目的地址字段的位 [127:96] 进行匹配的值。

	第 3 层和第 4 层过滤器 1 控制寄存器中的 L3PEN 位复位时，该字段不使用。
--	---

### 47.6.1.81 ETH MAC 时间戳控制寄存器 (ETH\_MACTSCTRL)

偏移地址：0x0B00

复位值：0x0000 2000

该寄存器控制系统时间发生器的运行以及针对接收器中时间戳的 PTP 数据包处理。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			AV8021 ASMEN	Reserved			TXTSST SM	Reserved					TSENM ACADDR	SNAPTYPSEL	
			rw				rw						rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSMST RENA	TSEVN TENA	TSIPV4E NA	TSIPV6 ENA	TSIPEN A	TSVER2 ENA	TSCTR LSSR	TSENA LL	Reserve d	PTGE	TSADD REG	Reserve d	TSUPD T	TSINIT	TSCFUP DT	TSENA
rw	rw	rw	rw	rw	rw	rw	rw		rw	rw		rw	rw	rw	rw

位域	名称	描述
31:29	Reserved	保留，必须保持复位值。
28	AV8021ASMEN	AV 802.1AS 模式使能 (AV 802.1AS Mode Enable) 该位置 1 时，MAC 只处理无标记的以太网 PTP 数据包，以提供 PTP 状态和捕获时间戳快照，即 IEEE 802.1AS 工作模式。 启用 PTP 减荷功能后，为了减荷 PTP，将根据该位的值生成并检查 PTP 报头中的特定传输字段。 0: 禁用 AV 802.1AS 模式 1: 启用 AV 802.1AS 模式
27:25	Reserved	保留，必须保持复位值。
24	TXTSSTSM	发送时间戳状态模式 (Transmit Timestamp Status Mode) 该位置 1 时，即使软件未读取，MAC 也会覆盖先前的发送时间戳状态。MAC 通过设置 MAC 发送时间戳状态纳秒寄存器的 TXTSSMIS 位来指示。 该位复位时，如果软件未读取前一个数据包的时间戳状态，则 MAC 将忽略当前数据包的时间戳状态。MAC 通过设置 MAC 发送时间戳状态纳秒寄存器的 TXTSSMIS 位来指示。 0: 禁用发送时间戳状态模式 1: 启用发送时间戳状态模式
23:19	Reserved	保留，必须保持复位值。
18	TSENMADDR	使能 MAC 地址以用于 PTP 数据包过滤 (Enable MAC Address for PTP Packet Filtering) 该位置 1 时，当通过以太网直接发送 PTP 时，将使用 DA MAC 地址 (与任何 MAC 地址寄存器匹配) 过滤 PTP 数据包。 该位置 1 时，当通过以太网直接发送 PTP 时，接收到的 PTP 数据包中的 DA 包含与 MAC 地址寄存器中编程的地址相匹配的特殊组播或单播地址，将按指示进行处理。 对于正常的时间戳操作，MAC 地址寄存器 0 至 3 将被视为单播目的地址匹配。

位域	名称	描述
		对于 PTP 减荷，仅将 MAC 地址寄存器 0 用于单播目的地址匹配。 0: 禁用 MAC 地址用于 PTP 数据包过滤的功能 1: 启用 MAC 地址用于 PTP 数据包过滤的功能
17:16	SNAPTYPSEL	选择用于拍摄快照的 PTP 数据包 (Select PTP packets for Taking Snapshots) 这些位与 bit15 和 bit14 一起决定了需要拍摄快照的 PTP 数据包类型集。时间戳快照取决于寄存器位数表中给出的编码。
15	TSMSTRENA	使能主节点相关消息的快照 (Enable Snapshot for Messages Relevant to Master) 该位置 1 时，只为主节点相关的报文拍摄快照。否则，将为与从节点相关的报文拍摄快照。 0: 禁用与主站相关的信息快照功能 1: 启用与主站相关的信息快照功能
14	TSEVNTENA	使能事件消息的时间戳快照 (Enable Timestamp Snapshot for Event Messages) 该位置 1 时，仅拍摄事件消息的时间戳快照 (SYNC、Delay_Req、Pdelay_Req 或 Pdelay_Resp)。 该位复位时，将拍摄除 Announce、Management 和 Signaling 以外所有消息的快照。 有关时间戳快照的更多信息，请参见表 47-22。 0: 禁用事件消息的时间戳快照功能 1: 启用事件消息的时间戳快照功能
13	TSIPV4ENA	使能对通过 IPv4-UDP 发送的 PTP 数据包的处理 (Enable Processing of PTP Packets Sent over IPv4-UDP) 该位置 1 时，MAC 接收器处理封装在 IPv4-UDP 数据包中的 PTP 数据包。 该位复位时，MAC 将忽略通过 IPv4-UDP 数据包传送的 PTP。 该位默认置 1。 0: 禁用对通过 IPv4-UDP 发送的 PTP 数据包的处理的功能 1: 启用对通过 IPv4-UDP 发送的 PTP 数据包的处理的功能
12	TSIPV6ENA	使能对通过 IPv6-UDP 发送的 PTP 数据包的处理 (Enable Processing of PTP Packets Sent over IPv6-UDP) 该位置 1 时，MAC 接收器处理封装在 IPv6-UDP 数据包中的 PTP 数据包。 该位复位时，MAC 将忽略通过 IPv6-UDP 数据包传送的 PTP。 0: 禁用对通过 IPv6-UDP 发送的 PTP 数据包的处理的功能 1: 启用对通过 IPv6-UDP 发送的 PTP 数据包的处理的功能
11	TSIPENA	使能对以太网数据包中的 PTP 的处理 (Enable Processing of PTP over Ethernet Packets) 该位置 1 时，MAC 接收器处理直接封装在以太网数据包中的 PTP 数据包。 该位复位时，MAC 将忽略封装在以太网数据包中的 PTP 数据包。 0: 禁用对以太网数据包中的 PTP 的处理的功能 1: 启用对以太网数据包中的 PTP 的处理的功能
10	TSVER2ENA	使能对版本 2 格式的 PTP 数据包的处理 (Enable PTP Packet Processing for Version 2 Format) 该位置 1 时，会使用 IEEE 1588 版本 2 格式来处理 PTP 数据包。 该位复位时，会使用 IEEE 1588 版本 1 格式来处理 PTP 数据包。 47.5.6.5 章节中对 IEEE 1588 格式进行了介绍。

位域	名称	描述
		0: 禁用对版本 2 格式的 PTP 数据包的处理的功能 1: 启用对版本 2 格式的 PTP 数据包的处理的功能
9	TSCTRLSSR	时间戳数字或二进制翻转控制 (Timestamp Digital or Binary Rollover Control) 该位置 1 时, 时间戳低位寄存器会在 0x3B9A_C9FF 值之后翻转 (即, 1 纳秒精度), 并递增时间戳 (高位) 秒数。 该位复位时, 亚秒寄存器的翻转值为 0x7FFF_FFFF。必须根据 PTP 参考时钟频率和该位的值, 正确对亚秒增量进行编程。 0: 禁用时间戳数字或二进制翻转控制功能 1: 启用时间戳数字或二进制翻转控制功能
8	TSENALL	针对所有数据包使能时间戳 (Enable Timestamp for All Packets) 该位置 1 时, 会针对 MAC 所接收的所有数据包使能时间戳快照。 0: 禁用对所有数据包使能时间戳的功能 1: 启用对所有数据包使能时间戳的功能
7	Reserved	保留, 必须保持复位值。
6	PTGE	使能演示时间生成 (Presentation Time Generation Enable) 该位置 1 时, 将启用"演示时间"生成功能。 0: 禁用演示时间生成功能 1: 启用演示时间生成功能
5	TSADDREG	更新加数寄存器 (Update Addend Register) 该位置 1 时, 时间戳加数寄存器的内容会被更新到 PTP 块中以进行精密校准。更新结束时此位会清零。该位在置 1 之前应为零。 0: 加数寄存器未更新 1: 加数寄存器已更新 <i>注: 该位有访问限制, 写 1 有效, 自动清零, 写 0 无影响。</i>
4	Reserved	保留, 必须保持复位值。
3	TSUPDT	更新时间戳 (Update Timestamp) 该位置 1 时, 将使用 MAC 系统时间秒更新寄存器和 MAC 系统时间纳秒更新寄存器中指定的值更新 (加或减) 系统时间。该位在更新之前应为零。硬件更新完成后, 该位复位。时间戳高字寄存器不会更新。 0: 时间戳未更新 1: 时间戳已更新 <i>注: 该位有访问限制, 写 1 有效, 自动清零, 写 0 无影响。</i>
2	TSINIT	初始化时间戳 (Initialize Timestamp) 该位置 1 时, 系统时间将以 MAC 系统时间秒更新寄存器和 MAC 系统时间纳秒更新寄存器中指定的值进行初始化 (覆盖)。该位在更新之前应为零。完成初始化时, 该位复位。只能初始化时间戳高字寄存器。 0: 时间戳未初始化 1: 时间戳已初始化 <i>注: 该位有访问限制, 写 1 有效, 自动清零, 写 0 无影响。</i>
1	TSCFUPDT	精密或粗略的时间戳更新 (Fine or Coarse Timestamp Update) 0: 使用粗略法更新系统时间戳 1: 使用精密法更新系统时间戳



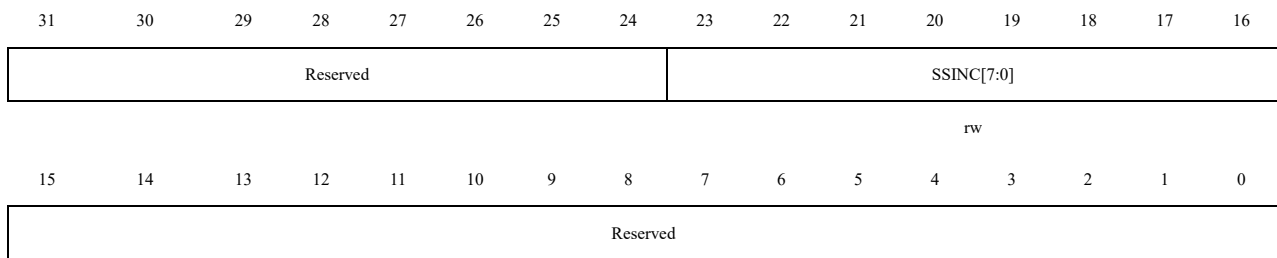
位域	名称	描述
0	TSENA	使能时间戳（Enable Timestamp） 该位置 1 时，为发送和接收数据包添加时间戳。该位复位时，不会为发送和接收数据包添加时间戳，并且时间戳发生器也会被暂停。使能此模式后，需要初始化时间戳（系统时间）。 在接收端，MAC 只在该位置 1 时才处理 1588 数据包。 0：禁用时间戳功能 1：启用时间戳功能

#### 47.6.1.82 ETH MAC 亚秒增量寄存器（ETH\_MACSUBSINC）

偏移地址：0x0B04

复位值：0x0000 0000

该寄存器指定了每个 clk\_ptp\_ref\_i 时钟周期添加到内部系统时间寄存器的值。



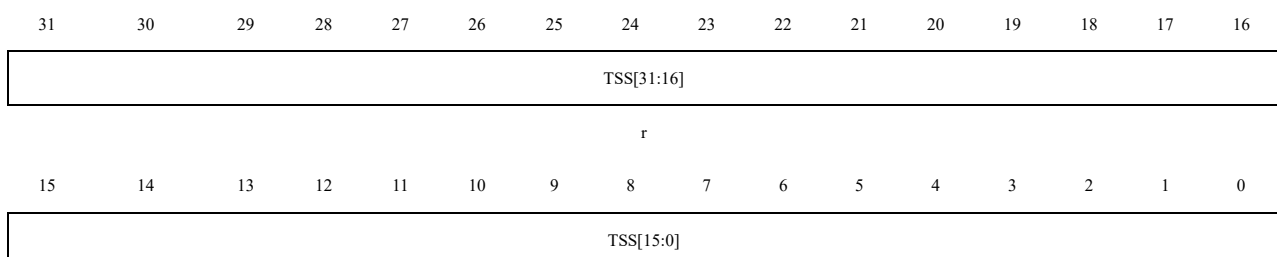
位域	名称	描述
31:24	Reserved	保留，必须保持复位值。
23:16	SSINC	亚秒增量值（Sub-second Increment Value） 在该字段中编程的值会在 PTP 的每个时钟周期与亚秒寄存器的内容累加。例如，当 PTP 时钟为 50MHz（周期为 20ns）时，当系统时间纳秒寄存器的精度为 1ns（MAC 时间戳控制寄存器中的 TSCTRLSSR 置 1）时，应编程为 20（0x14）。当 TSCTRLSSR 清除时，纳秒寄存器的分辨率为~0.465ns。在这种情况下，应编程值为 43（0x2B），由 20ns/0.465 得出。
15:0	Reserved	保留，必须保持复位值。

#### 47.6.1.83 ETH MAC 系统时间秒寄存器（ETH\_MACSYSTS）

偏移地址：0x0B08

复位值：0x0000 0000

系统时间秒寄存器和系统时间纳秒寄存器指示 MAC 维护的系统时间的当前值。虽然系统时间是持续更新的，但由于时钟域传输延迟（从 clk\_ptp\_ref\_i 到 CSR 时钟），因此实际时间会有一些延迟。



r

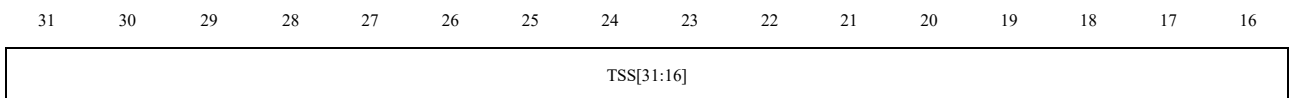
位域	名称	描述
31:0	TSS	时间戳秒 (Timestamp Second) 该字段中的值指示由 MAC 维护的以秒为单位的系统时间当前值。

#### 47.6.1.84 ETH MAC 系统时间纳秒寄存器 (ETH\_MACSYSTNS)

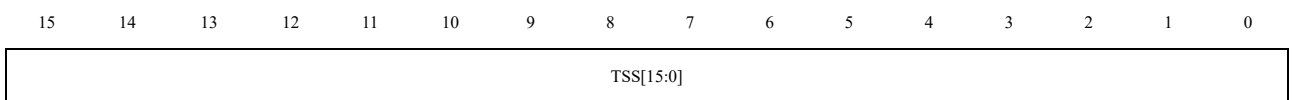
偏移地址: 0x0B0C

复位值: 0x0000 0000

系统时间纳秒寄存器和系统时间秒寄存器指示 MAC 维护的系统时间的当前值。



r



r

位域	名称	描述
31:0	TSS	时间戳亚秒 (Timestamp Sub Seconds) 该字段中的值为时间的亚秒级表示, 精度为 0.46ns。当 MAC 时间戳控制寄存器中的第 9 位被设置时, 每一位代表 1ns。最大值为 0x3B9A_C9FF, 之后会翻转为零。

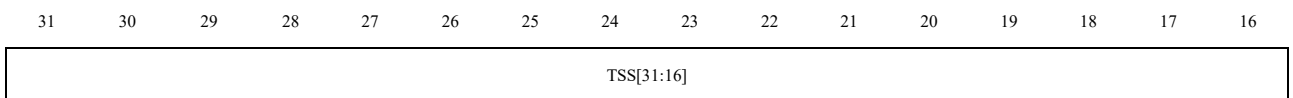
#### 47.6.1.85 ETH MAC 系统时间秒更新寄存器 (ETH\_MACSYSTSUP)

偏移地址: 0x0B10

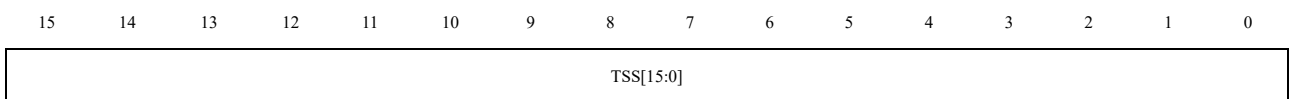
复位值: 0x0000 0000

系统时间秒更新寄存器与系统时间纳秒更新寄存器一起用于初始化或更新 MAC 维护的系统时间。

在设置 MAC 时间戳控制寄存器中的第 2 位 (TSINIT) 或第 3 位 (TSUPDT) 位之前, 必须写入这两个寄存器 (系统时间秒更新寄存器和系统时间纳秒更新寄存器)。



rw



rw

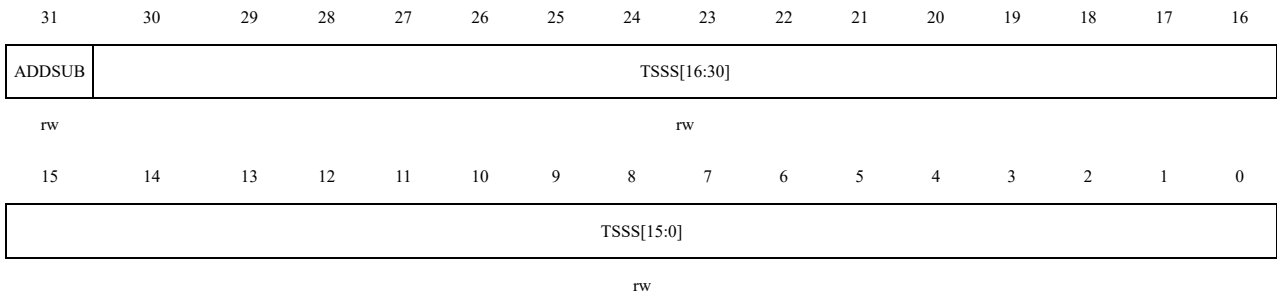
位域	名称	描述
31:0	TSS	时间戳秒 (Timestamp Seconds) 该字段中的值为更新值的秒部分。 重置 ADDSUB 时, 必须用更新值的秒部分对该字段进行编程。 设置 ADDSUB 时, 必须用更新值的秒部分的补码对该字段进行编程。

		例如，要从系统时间中减去 2.000000001 秒，MAC 系统时间秒更新寄存器中的 TSS 字段必须为 0xFFFF_FFFE（即 $2^{32} - 2$ ）。
--	--	---

### 47.6.1.86 ETH MAC 系统时间纳秒更新寄存器（ETH\_MACSYSTNSUP）

偏移地址：0x0B14

复位值：0x0000 0000



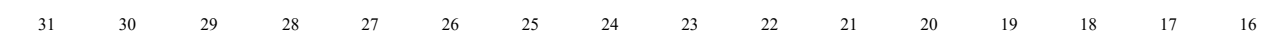
位域	名称	描述
31	ADDSUB	加上或减去时间（Add or Subtract Time） 该位置 1 时，时间值将与更新寄存器的内容相减。 该位复位时，时间值将与更新寄存器的内容相加。 0：加上时间 1：减去时间
30:0	TSSS	时间戳亚秒（Timestamp Sub-seconds） 该字段中的值为更新值的亚秒部分。 ADDSUB 为 1：该字段必须按照所述，使用更新值的亚秒部分的补码进行编程。 ADDSUB 为 0：必须使用更新值的亚秒部分对该字段进行编程，其精度基于 MAC 时间戳控制寄存器的 TSCTRLSSR 位。 MAC 时间戳控制寄存器中的 TSCTRLSSR 位域为 1：编程值必须为 $10^9 < \text{亚秒值} < 2^{31}$ ；每一位代表 1ns，编程值不应超过 0x3B9A_C9FF。 MAC 时间戳控制寄存器中的 TSCTRLSSR 位域为 0：编程值必须为 $2^{31} < \text{亚秒值} < 2^{32}$ ；每一位代表 0.46ns 的精度。 例如，要从系统时间中减去 2.000000001 秒，则 MAC 系统时间纳秒更新寄存器的 TSSS 字段在 MAC 时间戳控制寄存器中的 TSCTRLSSR 位为 0 时必须为 0x7FFF_FFFF（即 $2^{31} - 1$ ），而在 MAC 时间戳控制寄存器中的 TSCTRLSSR 位为 1 时必须为 0x3B9A_C9FF（即 $10^9 - 1$ ）。

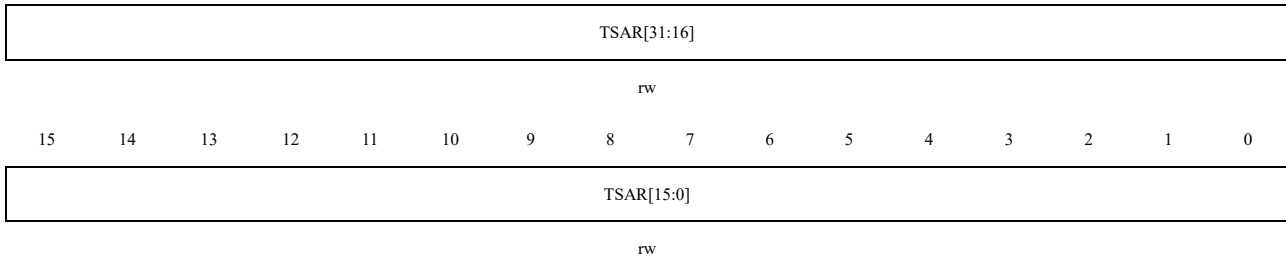
### 47.6.1.87 ETH MAC 时间戳加数寄存器（ETH\_MACTSADD）

偏移地址：0x0B18

复位值：0x0000 0000

只有当系统时间配置为精密更新模式（设置 MAC 时间戳控制寄存器中的 TSCFUPDT 位）时，才会使用该寄存器的值。该寄存器的内容在每个时钟周期（clk\_ptp\_ref\_i）被添加到一个 32 位累加器中，当累加器溢出时，系统时间将被更新。



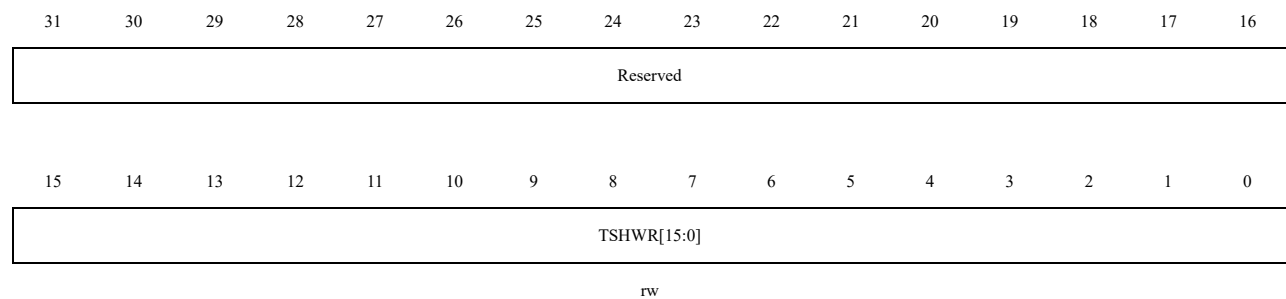


位域	名称	描述
31:0	TSAR	时间戳加数寄存器 (Timestamp Addend Register) 该字段表示为实现时间同步而添加到累加器寄存器的 32 位时间值。

#### 47.6.1.88 ETH MAC 系统时间高字秒寄存器 (ETH\_MACSYSTHWS)

偏移地址: 0x0B1C

复位值: 0x0000 0000



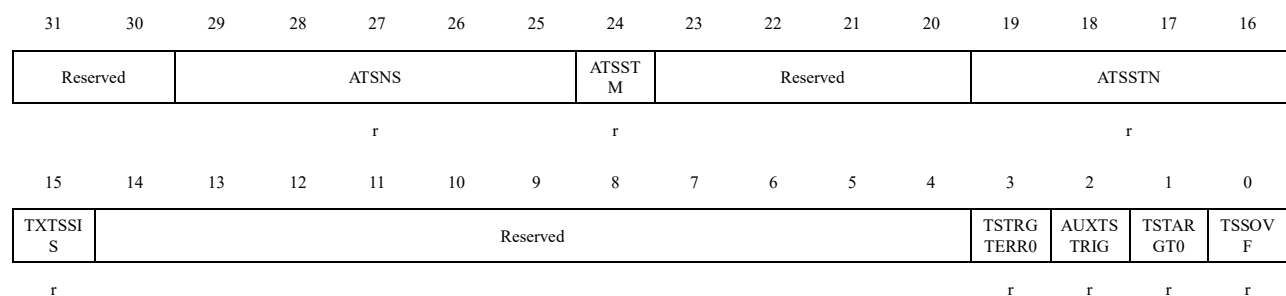
位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15:0	TSHWR	时间戳高字寄存器 (Timestamp Higher Word Register) 该字段包含最重要的 16 位时间戳秒值。该寄存器可直接写入初始化值, 并在 32 位系统时间秒寄存器溢出时递增。

#### 47.6.1.89 ETH MAC 时间戳状态寄存器 (ETH\_MACTSSTS)

偏移地址: 0x0B20

复位值: 0x0000 0000

当应用程序读取该寄存器时, 除位[27:25]外的所有位都会被清零。



位域	名称	描述
31:30	Reserved	保留，必须保持复位值。
29:25	ATSNS	辅助时间戳快照数（Number of Auxiliary Timestamp Snapshots） 该字段指示 FIFO 中可用的快照数。值等于所选 FIFO 的深度（4）即表示辅助快照 FIFO 已满。当辅助快照 FIFO 清除位置 1 时，这些位清零。
24	ATSSTM	辅助时间戳快照触发器未触发（Auxiliary Timestamp Snapshot Trigger Missed） 辅助时间戳快照 FIFO 已满并且设置了外部触发时，该位置 1。这表示最新快照未存储在 FIFO 中。 0：未检测到辅助时间戳快照触发器未触发状态 1：检测到辅助时间戳快照触发器未触发状态
23:20	Reserved	保留，必须保持复位值。
19:16	ATSSTN	辅助时间戳快照触发标识符（Auxiliary Timestamp Snapshot Trigger Identifier） 这些位用于标识辅助触发器输入，辅助快照寄存器中的时间戳适用于这些输入。如果多个位同时被设置，则表示相应的辅助触发器在同一时钟下采样。只有当辅助快照数量多于一个时，这些位才适用。每个 bit 标识一个触发器，如下所述： bit16：辅助触发 0 bit17：辅助触发 1 bit18：辅助触发 2 bit19：辅助触发 3 软件可以通过读取该寄存器来查找获取时间戳时设置的触发器。
15	TXTSSIS	Tx 时间戳状态中断状态（Tx Timestamp Status Interrupt Status） 如果在 MTL 中使能丢弃发送状态，则在 MAC 发送时间戳状态纳秒寄存器和 MAC 发送时间戳状态秒寄存器中更新捕获的发送时间戳时，该位会置 1。 如果使能 PTP 减荷功能，则在 MAC 发送时间戳状态纳秒寄存器和 MAC 发送时间戳状态秒寄存器中更新捕获的发送时间戳时，该位会置 1，以用于 PTO 生成的延迟请求和 Pdelay 请求数据包。 当读 MAC 发送时间戳状态秒寄存器（或当设置 MAC CSR 软件控制寄存器的 RCWE 位时写 MAC 发送时间戳状态秒寄存器）时，清零该位。 0：未检测到 Tx 时间戳状态中断状态 1：检测到 Tx 时间戳状态中断状态
14:4	Reserved	保留，必须保持复位值。
3	TSTRGTERR0	时间戳目标时间错误（Timestamp Target Time Error） 在 MAC PPS0 目标时间秒寄存器和 MAC PPS0 目标时间纳秒寄存器中编程的最新目标时间结束后，该位置 1。当应用程序读取该位时，该位清零。 0：未检测到时间戳目标时间错误状态 1：检测到时间戳目标时间错误状态 <i>注：该位有访问限制。读（或当 MAC CSR 软件控制寄存器中的 RCWE 位被设置时写 1）清零。内部事件时自动置 1。</i>
2	AUXTSTRIG	辅助时间戳触发快照（Auxiliary Timestamp Trigger Snapshot） 将辅助快照写入 FIFO 时，该位置为高电平。 0：未检测到辅助时间戳触发快照状态 1：检测到辅助时间戳触发快照状态 <i>注：该位有访问限制。读（或当 MAC CSR 软件控制寄存器中的 RCWE 位被设</i>

位域	名称	描述
		置时写1) 清零。内部事件时自动置1。
1	TSTARGET0	达到时间戳目标时间 (Timestamp Target Time Reached) 该位置 1 且 MAC PPS 控制寄存器中的 MCGREN0 复位时, 表示系统时间值大于或等于在 MAC PPS0 目标时间秒寄存器和 MAC PPS0 目标时间纳秒寄存器中指定的值。 0: 未检测到时间戳目标时间到达状态 1: 检测到时间戳目标时间到达状态 注: 该位有访问限制。读 (或当 MAC CSR 软件控制寄存器中的 RCWE 位被设置时写 1) 清零。内部事件时自动置 1。
0	TSSOVF	时间戳秒溢出 (Timestamp Seconds Overflow) 该位置 1 时, 表示时间戳的秒值已超过 0xFFFF_FFFF (支持版本 2 格式时)。 0: 未检测到时间戳秒溢出状态 1: 检测到时间戳秒溢出状态 注: 该位有访问限制。读 (或当 MAC CSR 软件控制寄存器中的 RCWE 位被设置时写 1) 清零。内部事件时自动置 1。

#### 47.6.1.90 ETH MAC 发送时间戳状态纳秒寄存器 (ETH\_MACTXTSSTSNS)

偏移地址: 0x0B30

复位值: 0x0000 0000

该寄存器包含禁用发送状态时捕获的发送数据包时间戳的纳秒部分。

MAC 发送时间戳状态纳秒寄存器与 MAC 发送时间戳状态秒寄存器一起提供了 MAC 成功发送 PTP 数据包时捕获的 64 位时间戳。当读取 MAC 发送时间戳状态纳秒寄存器的最后一个字节时, 认为应用程序已经读取了该值。在小端模式下, 这意味着读取位[31:24]时; 在大端模式下, 读取位[7:0]时。

如果应用程序不读取这些寄存器, 而捕获了另一个数据包的时间戳, 则当前时间戳会丢失 (覆盖) 或新时间戳会丢失 (丢弃), 具体取决于 MAC 时间戳控制寄存器中的 TXTSSTSM 位的设置。当 MAC 发送器捕获时间戳时, MAC 时间戳状态寄存器中的状态位 TXTSSIS (位[15]) 将被设置。



位域	名称	描述
31	TXTSSMIS	发送时间戳状态丢失 (Transmit Timestamp Status Missed) 该位置 1 时, 表示以下任一项目: <ul style="list-style-type: none"> <li>● 如果 MAC 时间戳控制寄存器中的 TXTSSTSM 位为 0, 则会忽略当前数据包的时间戳</li> <li>● 如果 MAC 时间戳控制寄存器中的 TXTSSTSM 位为 1, 则前一个数据包的时间戳会被当前数据包的时间戳覆盖</li> </ul>

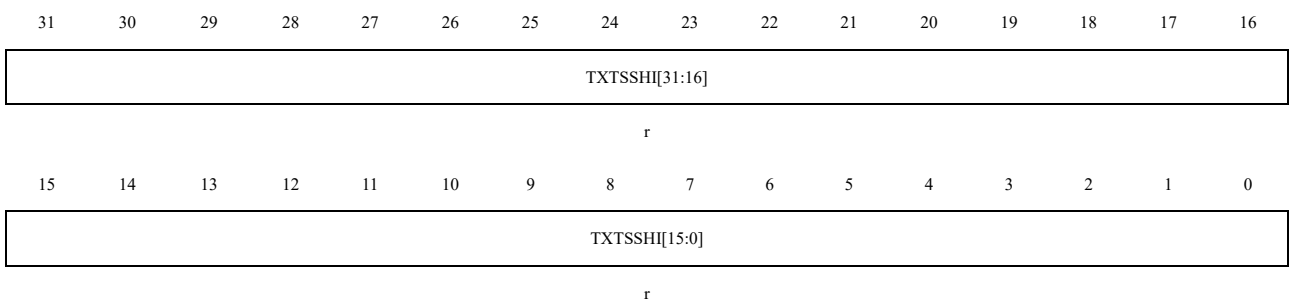
		0: 未检测到发送时间戳状态丢失 1: 检测到发送时间戳状态丢失 <i>注: 该位有访问限制。读清零。内部事件时自动置1。</i>
30:0	TXTSSLO	发送时间戳状态低位 (Transmit Timestamp Status Low) 该字段包含发送数据包捕获的时间戳纳秒字段的低 31 位。

#### 47.6.1.91 ETH MAC 发送时间戳状态秒寄存器 (ETH\_MACTXTSSTSS)

偏移地址: 0x0B34

复位值: 0x0000 0000

该寄存器包含 PTP 数据包传输时捕获的时间戳 (以秒为单位) 的高 32 位。



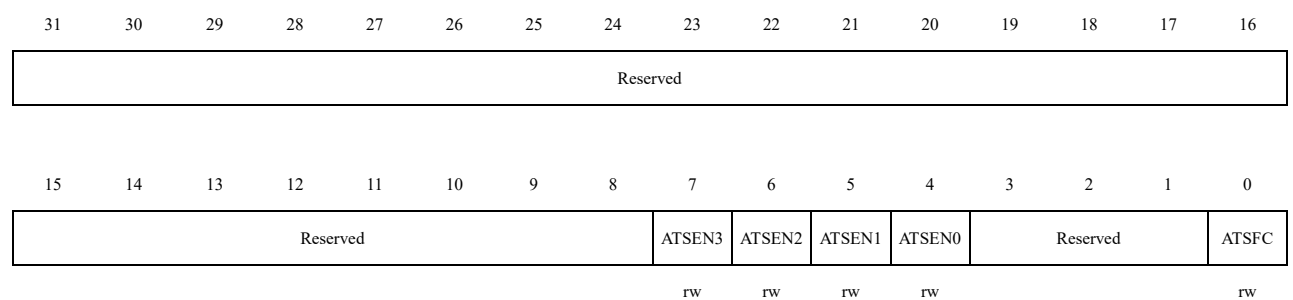
位域	名称	描述
31:0	TXTSSHI	发送时间戳状态高位 (Transmit Timestamp Status High) 该字段包含发送数据包捕获的时间戳秒字段的高 32 位。

#### 47.6.1.92 ETH MAC 辅助控制寄存器 (ETH\_MACAUXCTRL)

偏移地址: 0x0B40

复位值: 0x0000 0000

该寄存器控制辅助时间戳快照。



位域	名称	描述
31:8	Reserved	保留, 必须保持复位值。
7	ATSEN3	辅助快照 3 使能 (Auxiliary Snapshot 3 Enable) 该位控制辅助快照触发 3 的捕获。 该位置 1 时, 会使能 ptp_aux_ts_trig_i[3]输入端的事件辅助快照。 该位复位时, 该输入端的事件将被忽略。 0: 禁用辅助快照 3

位域	名称	描述
		1: 启用辅助快照 3
6	ATSEN2	辅助快照 2 使能 (Auxiliary Snapshot 2 Enable) 该位控制辅助快照触发 2 的捕获。 该位置 1 时, 会使能 ptp_aux_ts_trig_i[2] 输入端的事件辅助快照。 该位复位时, 该输入端的事件将被忽略。 0: 禁用辅助快照 2 1: 启用辅助快照 2
5	ATSEN1	辅助快照 1 使能 (Auxiliary Snapshot 1 Enable) 该位控制辅助快照触发 1 的捕获。 该位置 1 时, 会使能 ptp_aux_ts_trig_i[1] 输入端的事件辅助快照。 该位复位时, 该输入端的事件将被忽略。 0: 禁用辅助快照 1 1: 启用辅助快照 1
4	ATSEN0	辅助快照 0 使能 (Auxiliary Snapshot 0 Enable) 该位控制辅助快照触发 0 的捕获。 该位置 1 时, 会使能 ptp_aux_ts_trig_i[0] 输入端的事件辅助快照。 该位复位时, 该输入端的事件将被忽略。 0: 禁用辅助快照 0 1: 启用辅助快照 0
3:1	Reserved	保留, 必须保持复位值。
0	ATSFC	清除辅助快照 FIFO (Auxiliary Snapshot FIFO Clear) 该位置 1 时, 会复位辅助快照 FIFO 的指针。当指针复位并且 FIFO 为空时, 该位清零。该位为高电平时, 辅助快照存储在 FIFO 中。 0: 禁用清除辅助快照 FIFO 的功能 1: 启用清除辅助快照 FIFO 的功能 <i>注: 该位有访问限制, 写 1 有效, 自动清零, 写 0 无影响。</i>

### 47.6.1.93 ETH MAC 辅助时间戳纳秒寄存器 (ETH\_MACAUXTSNS)

偏移地址: 0x0B48

复位值: 0x0000 0000

辅助时间戳纳秒寄存器与辅助时间戳秒寄存器一起提供作为辅助快照存储的 64 位时间戳。这两个寄存器构成 64 位宽 FIFO 的读取端口, 深度为 4。可以在该 FIFO 中存储多个快照。MAC 时间戳状态寄存器中的位 [29:25] 指示 FIFO 的填充级别。只有读取 MAC 辅助时间戳秒寄存器的最后一个字节时, 才会删除 FIFO 的顶部。在小端模式下, 表示在读取位 [31:24] 时, 在大端模式下, 表示在读取位 [7:0] 时。





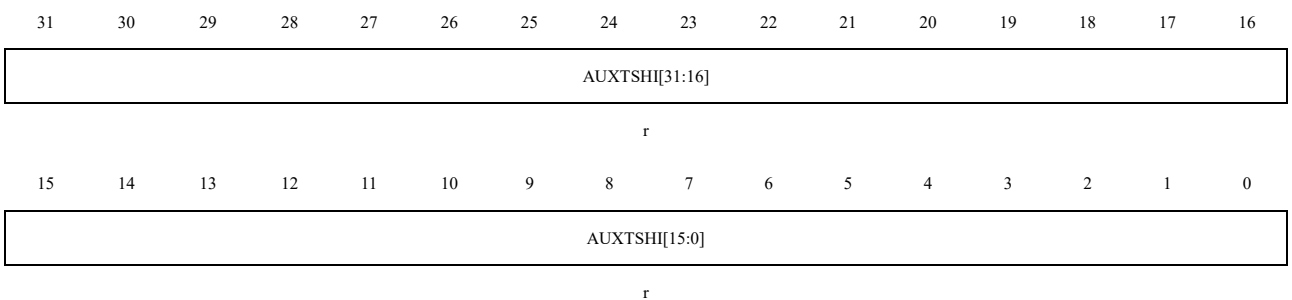
位域	名称	描述
31	Reserved	保留，必须保持复位值。
30:0	AUXTSLO	辅助时间戳（Auxiliary Timestamp） 该字段包含辅助时间戳的低 31 位（纳秒字段）。

#### 47.6.1.94 ETH MAC 辅助时间戳秒寄存器（ETH\_MACAUXTSS）

偏移地址：0x0B4C

复位值：0x0000 0000

辅助时间戳秒寄存器包含辅助时间戳寄存器的秒字段的低 32 位。



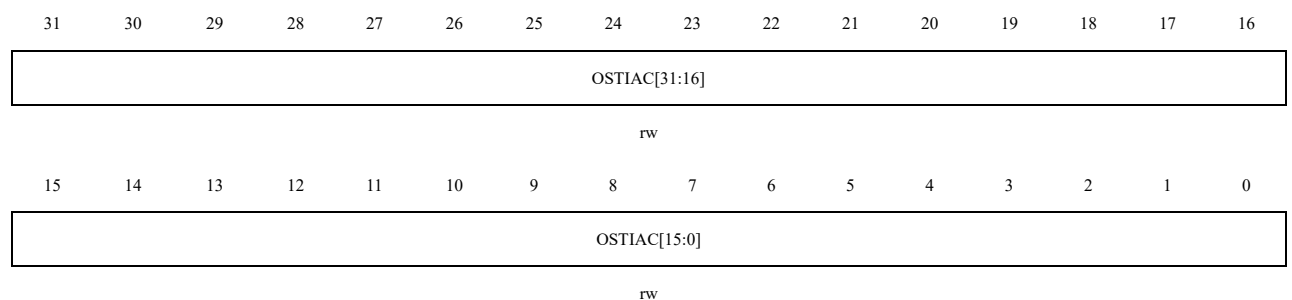
位域	名称	描述
31:0	AUXTSHI	辅助时间戳（Auxiliary Timestamp） 该字段包含辅助时间戳秒字段的低 32 位。

#### 47.6.1.95 ETH MAC 时间戳入口不对称校正寄存器（ETH\_MACTSIGASYC）

偏移地址：0x0B50

复位值：0x0000 0000

MAC 时间戳入口不对称校正寄存器包含入口不对称校正，用于更新 PDelay Resp PTP 报文中的校正字段。



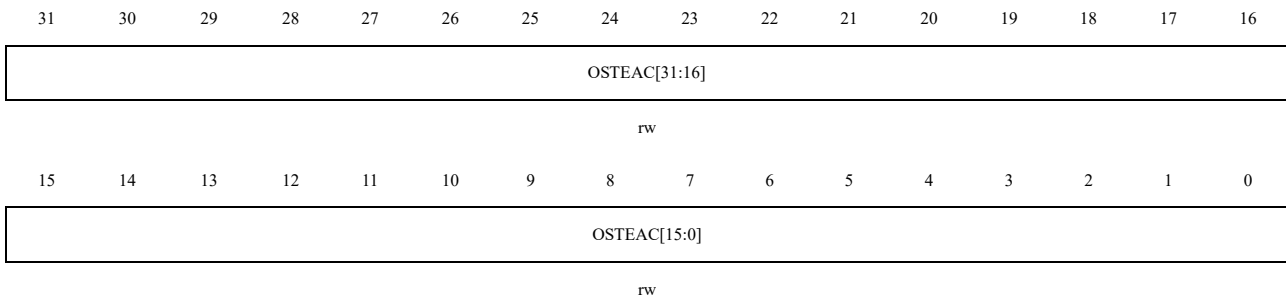
位域	名称	描述
31:0	OSTIAC	一步时间戳入口不对称校正（One-Step Timestamp Ingress Asymmetry Correction） 该字段包含要添加到 Pdelay_Resp PTP 数据包的校正字段的入口路径不对称值。 编程值应以纳秒为单位，并乘以 2 <sup>16</sup> 。例如，2.5ns 表示为 0x00028000。 该值也可以是负数，以 2 的补码形式表示，第 31 位代表符号位。

### 47.6.1.96 ETH MAC 时间戳出口不对称校正寄存器 (ETH\_MACTSEGASYC)

偏移地址: 0x0B54

复位值: 0x0000 0000

MAC 时间戳出口不对称校正寄存器包含出口不对称校正值, 用于更新 PDelay\_Req PTP 报文中的校正字段。



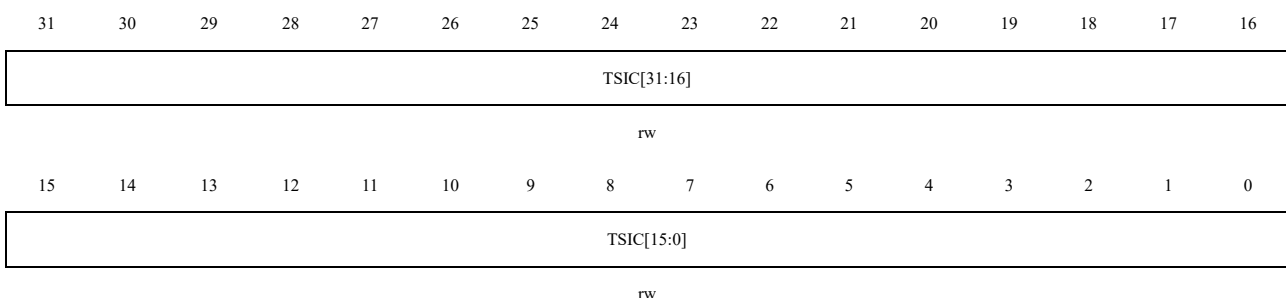
位域	名称	描述
31:0	OSTEAC	一步时间戳出口不对称校正 (One-Step Timestamp Egress Asymmetry Correction) 该字段包含要从 Pdelay_Resp PTP 数据包的校正字段中减去的出口路径不对称值。编程值必须为负值 (以纳秒为单位), 并乘以 $2^{16}$ 。 例如, 如果所需校正值为 +2.5ns, 则编程值必须为 0xFFFFD_8000, 它是 0x0002_8000 ( $2.5 \times 2^{16}$ ) 的 2 的补码。类似地, 如果所需校正值为 -3.3ns, 则编程值为 0x0003_4CCC ( $3.3 \times 2^{16}$ )。

### 47.6.1.97 ETH MAC 时间戳入口校正纳秒寄存器 (ETH\_MACTSIGCNS)

偏移地址: 0x0B58

复位值: 0x0000 0000

该寄存器包含以纳秒为单位的校正值, 与入口路径中捕获的时间戳值一起使用。



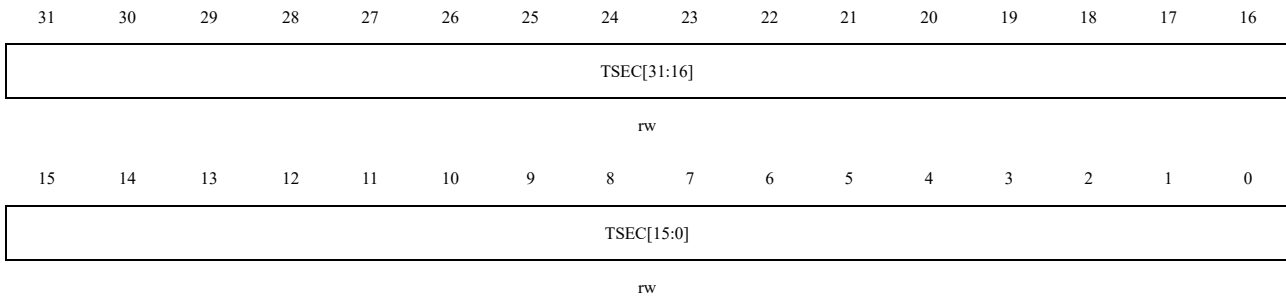
位域	名称	描述
31:0	TSIC	时间戳入口校正 (Timestamp Ingress Correction) 该字段包含由入口校正表达式定义的入口路径校正值。

### 47.6.1.98 ETH MAC 时间戳出口校正纳秒寄存器 (ETH\_MACTSEGCNS)

偏移地址: 0x0B5C

复位值: 0x0000 0000

该寄存器包含以纳秒为单位的校正值, 与出口路径中捕获的时间戳值一起使用。



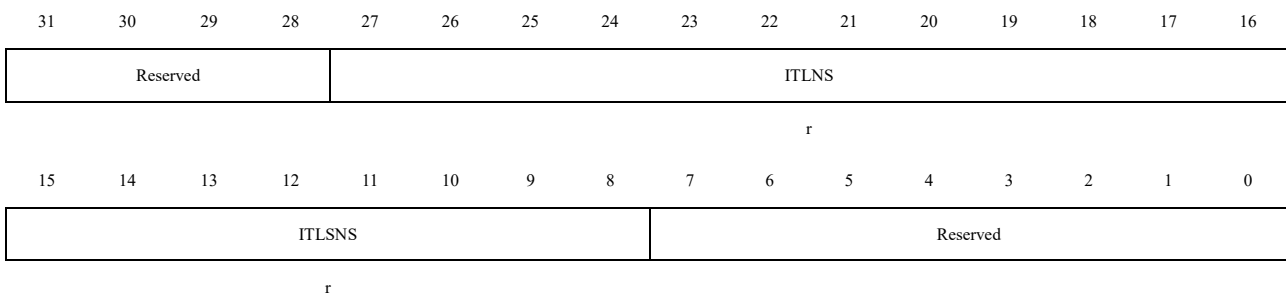
位域	名称	描述
31:0	TSEC	时间戳出口校正 (Timestamp Egress Correction) 该字段包含由出口校正表达式定义的出口路径校正值的纳秒部分。

#### 47.6.1.99 ETH MAC 时间戳入口时延寄存器 (ETH\_MACTSIGLAT)

偏移地址: 0x0B68

复位值: 0x0000 0000

该寄存器用于保存入口 MAC 的时延。



位域	名称	描述
31:28	Reserved	保留, 必须保持复位值。
27:16	ITLNS	以纳秒为单位的入口时间戳时延 (Ingress Timestamp Latency, in nanoseconds) 该寄存器保存 MAC 输入端口 (TXD) 与采集入口时间戳的实际点 (GMII/MII) 之间的平均延迟 (以纳秒为单位)。入口校正值的计算方法如 47.5.6.4 一节所述。
15:8	ITLSNS	以亚纳秒为单位的入口时间戳时延 (Ingress Timestamp Latency, in sub-nanoseconds) 该寄存器保存 MAC 输入端口 (TXD) 与采集入口时间戳的实际点 (GMII/MII) 之间的平均延迟 (以亚纳秒为单位)。入口校正值的计算方法如 47.5.6.4 一节所述。
7:0	Reserved	保留, 必须保持复位值。

#### 47.6.1.100 ETH MAC 时间戳出口时延寄存器 (ETH\_MACTSEGLAT)

偏移地址: 0x0B6C

复位值: 0x0000 0000

该寄存器用于保存出口 MAC 的时延。



Reserved	ETLNS
----------	-------

r

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

ETLSNS	Reserved
--------	----------

r

位域	名称	描述
31:28	Reserved	保留，必须保持复位值。
27:16	ETLNS	以纳秒为单位的出口时间戳时延（Egress Timestamp Latency, in nanoseconds） 该寄存器保存 MAC 输出端口（RXD）与采集出口时间戳的实际点（GMII/MII）之间的平均延迟（以纳秒为单位）。出口校正值的计算方法如 47.5.6.4 一节所述。
15:8	ETLSNS	以亚纳秒为单位的入口时间戳时延（Egress Timestamp Latency, in sub-nanoseconds） 该寄存器保存 MAC 输出端口（RXD）与采集出口时间戳的实际点（GMII/MII）之间的平均延迟（以亚纳秒为单位）。出口校正值的计算方法如 47.5.6.4 一节所述。
7:0	Reserved	保留，必须保持复位值。

#### 47.6.1.101 ETH MAC PPS 控制寄存器（ETH\_MACPPSCTRL）

偏移地址：0x0B70

复位值：0x0000 0000

该寄存器控制秒脉冲输出（PPS），包含灵活秒脉冲输出。

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

Reserved	TIMESEL	Reserved
----------	---------	----------

rw

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

Reserved	MCGREN0	TRGTMODSELO	PPSEN0	PPSCTRL_PPSCMD
----------	---------	-------------	--------	----------------

rw

rw

rw

rw

位域	名称	描述
31:29	Reserved	保留，必须保持复位值。
28	TIMESEL	时间选择（Time Select） 该位置 1 时，将使用 64 位 PTP 时间捕获 MCGR 触发器[0]输入端的时间。 该位复位时，将使用演示时间捕获触发输入端的时间，以保持向后兼容性。
27:8	Reserved	保留，必须保持复位值。
7	MCGREN0	PPS 输出的 MCGR 模式使能（MCGR Mode Enable for PPS0 Output） 该字段使 PPS 实例在 PPS 或 MCGR 模式下运行。 该位置 1 时，它以 MCGR 模式运行，该位复位时，则以 PPS 模式运行。 0：PPS 实例已启用在 PPS 模式下运行

位域	名称	描述
		1: PPS 实例已启用在 MCGR 模式下运行
6:5	TRGTMODSEL0	<p>PPS 输出的目标时间寄存器模式 (Target Time Register Mode for PPS0 Output)</p> <p>该字段指示 PPS 输出信号的目标时间寄存器 (MAC PPS 目标时间秒寄存器和 MAC PPS 目标时间纳秒寄存器) 的模式。</p> <p>00 (ONLY_INT): 目标时间寄存器只用于产生中断事件。在此模式下, 不得启用灵活 PPS 功能, 否则可能会在相应的 ptp_pps_o 输出端口上观察到虚假转换</p> <p>01 (MCGR): 启用 MCGR 中断, 其状态位由 TSTARGET0 (MAC 时间戳状态寄存器的 bit1) 指示</p> <p>10 (INT_ST): 目标时间寄存器被编程用于产生中断事件以及启动或停止 PPS 输出信号的产生</p> <p>11 (ONLY_ST): 目标时间寄存器只用于启动或停止 PPS 输出信号的产生。不断言中断</p>
4	PPSEN0	<p>灵活 PPS 输出模式使能 (Flexible PPS Output Mode Enable)</p> <p>该位置 1 时, 位[3:0]用作 PPSCMD 功能。</p> <p>该位复位时, 位[3:0]用作 PPSCTRL 功能 (固定 PPS 模式)。</p> <p>0: 禁用灵活 PPS 输出模式</p> <p>1: 启用灵活 PPS 输出模式</p>
3:0	PPSCTRL_PPSCMD	<p><b>PPSCTRL:</b></p> <p>PPS 输出频率控制 (PPS Output Frequency Control)</p> <p>该字段控制 PPS 输出 (ptp_pps_o) 信号的频率。PPSCTRL 的默认值为 0000, PPS 输出为每秒 1 个脉冲 (宽度为 clk_ptp_i)。对于 PPSCTRL 的其他值, PPS 输出将成为以下频率的生成时钟:</p> <p>0001: 二进制翻转为 2Hz, 数字翻转为 1Hz</p> <p>0010: 二进制翻转为 4Hz, 数字翻转为 2Hz</p> <p>0011: 二进制翻转为 8Hz, 数字翻转为 4Hz</p> <p>0100: 二进制翻转为 16Hz, 数字翻转为 8Hz</p> <p>...</p> <p>1111: 二进制翻转为 32.768KHz, 数字翻转为 16.384KHz</p> <p><i>注: 在二进制翻转模式下, PPS 输出 (ptp_pps_o) 的占空比为这些频率的 50%。</i></p> <p><i>在数字翻转模式下, PPS 输出频率为平均值。实际时钟频率不同, 每秒同步一次。例如:</i></p> <p><i>当 PPSCTRL = 0001 时, PPS (1Hz) 的低电平周期为 537ms, 高电平周期为 463ms。</i></p> <p><i>当 PPSCTRL = 0010 时, PPS (2Hz) 是一个序列: 一个占空比为 50%、周期为 537ms 的时钟; 第二个周期为 463ms 的时钟 (低电平 268ms, 高电平 195ms)。</i></p> <p><i>当 PPSCTRL = 0011 时, PPS (4Hz) 是一个序列: 三个占空比为 50%、周期为 268ms 的时钟; 第四个周期为 195ms 的时钟 (低电平 134ms, 高电平 61ms)。</i></p> <p><i>出现这种情况的原因是 MAC 系统时间纳秒寄存器中数字翻转模式的位发生了非线性切换。</i></p> <p><b>PPSCMD:</b></p> <p>灵活 PPS 输出 (ptp_pps_o[0]) 控制 (Flexible PPS Output (ptp_pps_o[0]) Control)</p>

位域	名称	描述
		<p>将这些位编程为非零值可指示 MAC 启动事件。当命令传输或同步到 PTP 时钟域时，这些位将自动清零。软件应确保只有在这些位"全为零"时才对其编程。</p> <p>下面列出了 PPSCMD 的值：</p> <p>0000：无命令</p> <p>0001：启动单脉冲。该命令在 MAC PPS 目标时间秒寄存器和 MAC PPS 目标时间纳秒寄存器中定义的起始点产生单脉冲上升，持续时间在 PPS 宽度寄存器中定义</p> <p>0010：启动脉冲串。该命令会生成脉冲串，该脉冲串在目标时间寄存器中定义的起始点上升，持续时间在 PPS 宽度寄存器中定义，并以 PPS 间隔寄存器中定义的间隔进行重复。默认情况下，PPS 脉冲串自由运行，除非通过"经过一段时间后停止脉冲串"或"立即停止脉冲串"命令停止 PPS 脉冲串</p> <p>0011：取消启动。如果系统时间未超过编程的启动时间，该命令将取消启动单脉冲和启动脉冲串命令</p> <p>0100：定时停止脉冲串。在目标时间寄存器中编程的时间结束后，该命令停止由 PPSCMD = 0010 命令启动的脉冲串</p> <p>0101：立即停止脉冲串。该命令会立即停止由 PPSCMD = 0010 命令启动的脉冲串</p> <p>0110：取消停止脉冲串。如果程序设定的停止时间未到，该命令将取消定时停止脉冲串命令。成功执行该命令后，PPS 脉冲序列变为自由运行</p> <p>0111~1111：保留</p> <p><b>当 MCGREN0 为 1 时，这些位被视为演示时间控制位。下面列出了 PPSCMD 的值：</b></p> <p>0000：不执行 MCGR 操作。如果在时钟恢复或生成过程中设置为该值，所有处理输入将被刷新</p> <p>0001：将 MCGR 触发时钟输入信号的上升沿的演示时间捕获到 MAC PPS 目标时间秒寄存器中</p> <p>0010：将 MCGR 触发时钟输入信号的下降沿的演示时间捕获到 MAC PPS 目标时间秒寄存器中</p> <p>0011：将 MCGR 触发时钟输入信号的双边沿的演示时间捕获到 MAC PPS 目标时间秒寄存器中</p> <p>0100~1000：保留</p> <p>1001：比较时切换输出</p> <p>1010：比较时输出低电平脉冲，持续一个 PTP 时钟周期</p> <p>1011：比较时输出高电平脉冲，持续一个 PTP 时钟周期</p> <p>1100~1111：保留</p>

#### 47.6.1.102 ETH MAC PPS 目标时间秒寄存器 (ETH\_MACPPSTTS)

偏移地址：0x0B80

复位值：0x0000 0000

PPS 目标时间秒寄存器和 PPS 目标时间纳秒寄存器一起用于规划中断事件 (MAC 时间戳状态寄存器的第 1 位)，当系统时间超过这些寄存器中的编程值时。

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

TSTRH0[31:16]
---------------

rw

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

TSTRH0[15:0]
--------------

rw

位域	名称	描述
31:0	TSTRH0	PPS 目标时间秒寄存器（PPS Target Time Seconds Register） 该字段存储以秒为单位的时间。当时间戳值匹配或超过两个目标时间戳寄存器时，MAC 会启动或停止 PPS 信号输出，并根据在 MAC PPS 控制寄存器中为相应 PPS 输出选择的目标时间模式生成中断（如果使能了中断）。

### 47.6.1.103 ETH MAC PPS 目标时间纳秒寄存器（ETH\_MACPPSTTNS）

偏移地址：0x0B84

复位值：0x0000 0000

该寄存器为 PPS 目标时间纳秒寄存器。

31    30    29    28    27    26    25    24    23    22    21    20    19    18    17    16

TRGTB USY0	TTSL0[30:16]
---------------	--------------

rw

rw

15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

TTSL0[15:0]
-------------

rw

位域	名称	描述
31	TRGTBUSY0	PPS 目标时间寄存器忙（PPS Target Time Register Busy） 将 MAC PPS 控制寄存器中的 PPSCMD 字段编程为 010 或 011 时，MAC 会将该位置 1。将 PPSCMD 字段编程为 010 或 011 时，会命令 MAC 将目标时间寄存器同步到 PTP 时钟域。 在将目标时间寄存器同步到 PTP 时钟域之后，MAC 会将该位清零。当该位读为 1 时，应用程序不得更新目标时间寄存器。否则，先前编程的时间同步会损坏。 0：未检测到 PPS 目标时间寄存器忙状态 1：检测到 PPS 目标时间寄存器忙状态
30:0	TTSL0	PPS 的目标时间低位寄存器（Target Time Low for PPS Register） 该寄存器存储以纳秒为单位的时间（带符号）。当时间戳的值与两个目标时间戳寄存器中的值匹配时，MAC 将启动或停止 PPS 信号输出，并根据 MAC PPS 控制寄存器中的 TRGTMODESEL0 字段（位[6:5]）生成中断（如果使能了中断）。 MAC 时间戳控制寄存器中的 TSCTRLSSR 位复位时，该值应为单位为 ns 的时间 ÷ 0.465。PPS 信号输出的实际启动或停止时间最高可能存在一个单位的亚秒增量值的误差。 MAC 时间戳控制寄存器中的 TSCTRLSSR 位置 1 时，该值不应超过

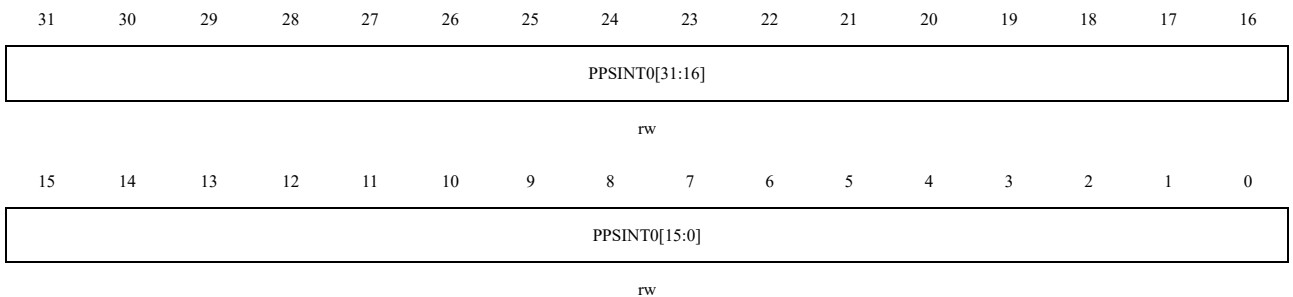
位域	名称	描述
		0x3B9A_C9FF。PPS 信号输出的实际启动或停止时间最高可能存在一个单位的亚秒增量值的误差。

#### 47.6.1.104 ETH MAC PPS 间隔寄存器 (ETH\_MACPPSINTE)

偏移地址: 0x0B88

复位值: 0x0000 0000

该寄存器包含 PPS 信号输出 (ptp\_pps\_o[0]) 上升沿之间的亚秒级增量值的单位数。



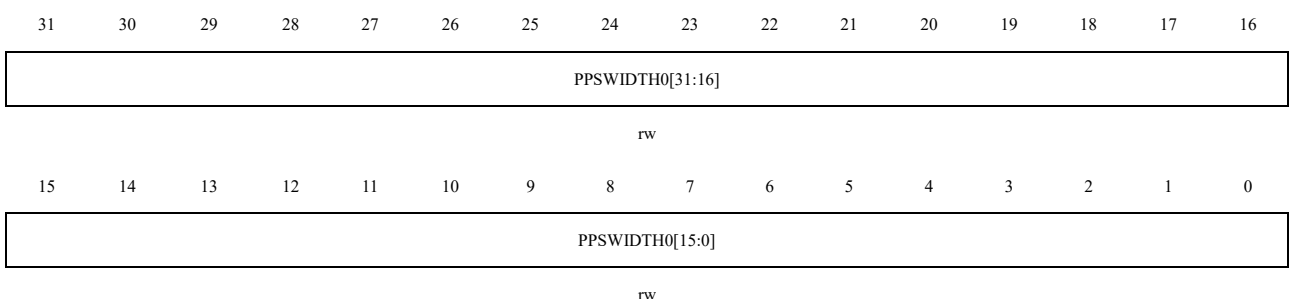
位域	名称	描述
31:0	PPSINT0	PPS 输出信号间隔 (PPS Output Signal Interval) 这些位存储 PPS 信号输出的上升沿之间的间隔。间隔以亚秒增量值的单位数进行存储。 需要编程一个小于所需间隔的值。例如, 如果 PTP 参考时钟为 50MHz (周期为 20ns), 并且 PPS 信号输出的上升沿之间的预期间隔为 100ns (即, 5 个单位的亚秒增量值), 则应在该寄存器中编程的值为 4 (5-1)。

#### 47.6.1.105 ETH MAC PPS 宽度寄存器 (ETH\_MACPPSWID)

偏移地址: 0x0B8C

复位值: 0x0000 0000

该寄存器包含 PPS 信号输出 (ptp\_pps\_o[0]) 上升沿和相应下降沿之间的亚秒级增量值的单位数。



位域	名称	描述
31:0	PPSWIDTH0	PPS 输出信号宽度 (PPS Output Signal Width) 这些位存储 PPS 信号输出的上升沿和相应下降沿之间的宽度。宽度以亚秒增量值的单位数进行存储。 需要编程一个小于所需间隔的值。例如, 如果 PTP 参考时钟为 50MHz (周期为 20ns), 并且 PPS 信号输出的上升沿和相应下降沿之间的宽度为 80ns (即, 4 个



		单位的亚秒增量值)，则应在该寄存器中编程的值为 3（4-1）。 <i>注：该寄存器中编程的值必须小于 MAC PPS 间隔寄存器中编程的值。</i>
--	--	---

### 47.6.1.106 ETH MAC PTO 控制寄存器（ETH\_MACPTOCTRL）

偏移地址：0x0BC0

复位值：0x0000 0000

该寄存器控制 PTP 减荷引擎的运行。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
				DN				PDRDIS	DRRDIS	APDRE QTRIG	ASYNC TRIG	Reserve d	APDRE QEN	ASYNC EN	PTOEN	
				rw				rw	rw	rw	rw		rw	rw	rw	

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:8	DN	域号（Domain Number） 该字段表示 PTP 节点所在的域号。
7	PDRDIS	禁止 Pdelay_Resp（对等延迟响应）响应生成（Disable Pdelay_Resp (Peer Delay Response) response generation） 该位置 1 时，将不按照编程模式的要求为接收到的 Pdelay_Req 请求数据包生成 Pdelay_Resp 响应。 <i>注意：将该位设置为 1 会影响正常的 PTP 减荷操作和时间同步。因此，只有在硬件 Pdelay_Resp 生成出现问题和/或 Pdelay_Resp 生成由软件处理时，才必须设置该位。</i> 0：启用 Pdelay_Resp 响应生成的功能 1：禁用 Pdelay_Resp 响应生成的功能
6	DRRDIS	禁止 PTO 延迟请求/响应生成（Disable PTO Delay Request/Response response generation） 该位置 1 时，将不按照编程模式的要求为接收到的 SYNC 和 Delay 请求数据包生成 Delay 请求和 Delay 响应。 0：启用 PTO 延迟请求/响应生成的功能 1：禁用 PTO 延迟请求/响应生成的功能
5	APDREQTRIG	自动 PTP Pdelay_Req 消息触发（Automatic PTP Pdelay_Req message Trigger） 该位置 1 时，会发送一条 PTP Pdelay_Req 消息。PTP Pdelay_Req 消息发送后，该位自动清零。为实现此操作，应用程序应将 APDREQEN 位置 1。 0：禁用自动 PTP Pdelay_Req 消息触发功能 1：启用自动 PTP Pdelay_Req 消息触发功能 <i>注：该位有访问限制，写 1 有效，自动清零，写 0 无影响。</i>
4	ASYNCTRIG	自动 PTP SYNC 消息触发（Automatic PTP SYNC message Trigger）

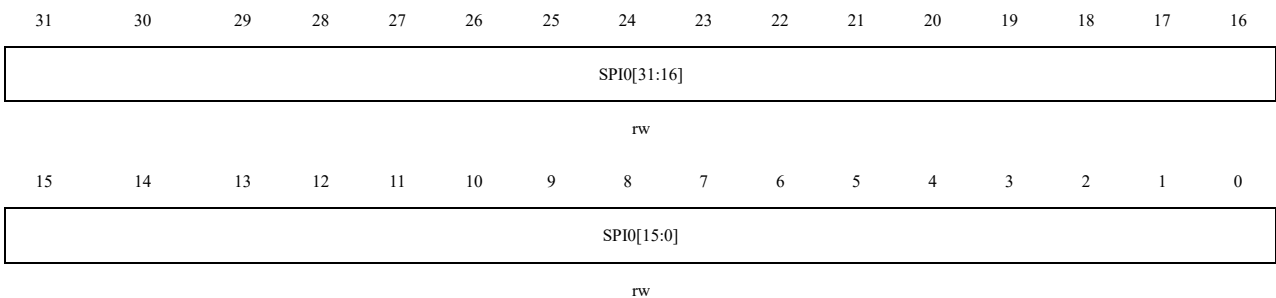
位域	名称	描述
		该位置 1 时，会发送一条 PTP SYNC 消息。PTP SYNC 消息发送后，该位自动清零。为实现此操作，应用程序应将 ASYNCEN 位置 1。 0：禁用自动 PTP SYNC 消息触发功能 1：启用自动 PTP SYNC 消息触发功能 <i>注：该位有访问限制，写 1 有效，自动清零，写 0 无影响。</i>
3	Reserved	保留，必须保持复位值。
2	APDREQEN	自动 PTP Pdelay_Req 消息使能（Automatic PTP Pdelay_Req message Enable） 该位置 1 时，如果将 MAC 编程为点对点透明模式，则会基于编程设定的间隔或在应用程序的触发下周周期性地生成 PTP Pdelay_Req 消息。 0：禁用自动 PTP Pdelay_Req 消息功能 1：启用自动 PTP Pdelay_Req 消息功能
1	ASYNCEN	自动 PTP SYNC 消息使能（Automatic PTP SYNC message Enable） 该位置 1 时，如果将 MAC 编程为时钟主模式，则会基于编程设定的间隔或在应用程序的触发下周周期性地生成 PTP SYNC 消息。 0：禁用自动 PTP SYNC 消息功能 1：启用自动 PTP SYNC 消息功能
0	PTOEN	PTP 减荷使能（PTP Offload Enable） 该位置 1 时，会使能 PTP 减荷功能。 0：禁用 PTP 减荷功能 1：启用 PTP 减荷功能

#### 47.6.1.107 ETH MAC 源端口标识 0 寄存器（ETH\_MACSRCPID0）

偏移地址：0x0BC4

复位值：0x0000 0000

该寄存器包含 PTP 节点的 80 位源端口标识的位[31:0]。



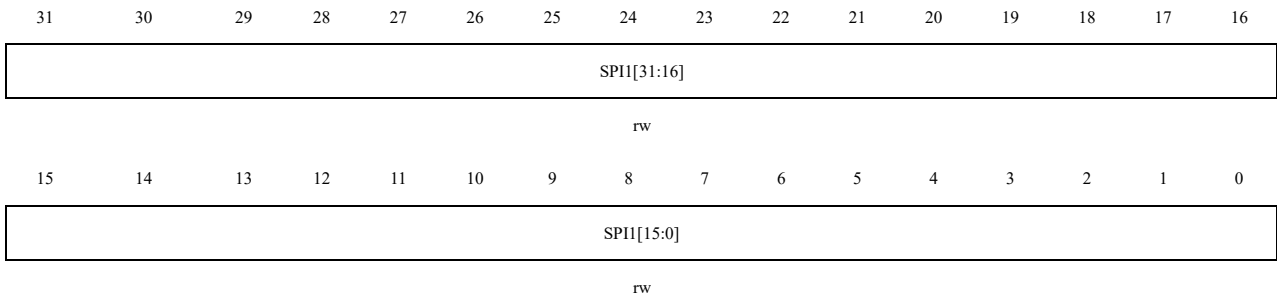
位域	名称	描述
31:0	SPI0	源端口标识 0（Source Port Identity 0） 该字段指示 PTP 节点的源端口标识的位[31:0]。

#### 47.6.1.108 ETH MAC 源端口标识 1 寄存器（ETH\_MACSRCPID1）

偏移地址：0x0BC8

复位值：0x0000 0000

该寄存器包含 PTP 节点的 80 位源端口标识的位[63:32]。



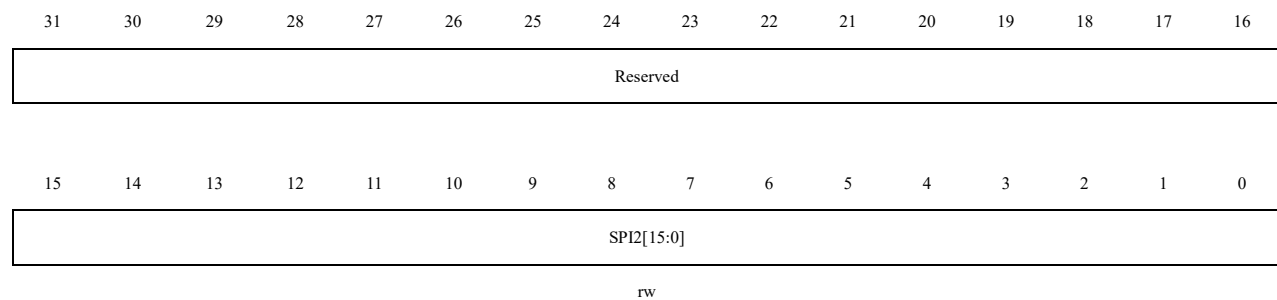
位域	名称	描述
31:0	SPI1	源端口标识 1 (Source Port Identity 1) 该字段指示 PTP 节点的源端口标识的位[63:32]。

#### 47.6.1.109 ETH MAC 源端口标识 2 寄存器 (ETH\_MACSRCPID2)

偏移地址: 0x0BCC

复位值: 0x0000 0000

该寄存器包含 PTP 节点的 80 位源端口标识的位[79:64]。



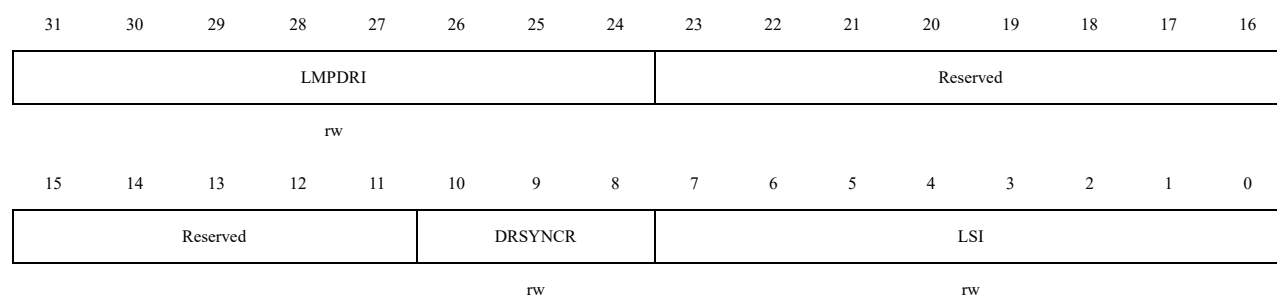
位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15:0	SPI2	源端口标识 2 (Source Port Identity 2) 该字段指示 PTP 节点的源端口标识的位[79:64]。

#### 47.6.1.110 ETH MAC 日志消息间隔寄存器 (ETH\_MACLOGMINTE)

偏移地址: 0x0BD0

复位值: 0x0000 0000

该寄存器包含自动生成 PTP 数据包的周期时间间隔。



位域	名称	描述
31:24	LMPDRI	日志最小 Pdelay_Req 间隔 (Log Min Pdelay_Req Interval) 该字段指示 PTP 节点的 logMinPdelayReqInterval。它用于调度周期性的 Pdelay 请求数据包发送。允许值为-15 ~ 15。负值必须以 2 的补码形式表示。例如，如果所需值为-1，则编程的值必须为 0xFF。
23:11	Reserved	保留，必须保持复位值。
10:8	DRSYNCR	Delay_Req 与 SYNC 之比 (Delay_Req to SYNC Ratio) 在从模式下，它用于控制发送的 Delay_Req 消息的频率。 0 (SYNC1): 每次接收到 SYNC 都会生成一条 DelayReq 消息 1 (SYNC2): 每接收到 2 个 SYNC 会生成一条 DelayReq 消息 2 (SYNC4): 每接收到 4 个 SYNC 会生成一条 DelayReq 消息 3 (SYNC8): 每接收到 8 个 SYNC 会生成一条 DelayReq 消息 4 (SYNC16): 每接收到 16 个 SYNC 会生成一条 DelayReq 消息 5 (SYNC32): 每接收到 32 个 SYNC 会生成一条 DelayReq 消息 6~7 (RSVD): 保留 主节点将 DelayResp PTP 消息中的此信息 (logMinDelayReqInterval) 发送到从节点。接收端会对接收到的 DelayResp 消息中的此值进行处理，并相应地更新此字段。在从模式下，主机不得对该寄存器进行写/更新操作，除非其必须覆盖接收到的值。在主模式下，该字段与 logSyncInterval (LSI) 字段的总和在生成的多播 Delay_Resp PTP 消息的 logMinDelayReqInterval 段中提供。
7:0	LSI	日志同步间隔 (Log Sync Interval) 该字段指示 PTP 节点为主节点时自动生成 SYNC 消息的周期。允许值为-15 ~ 15。负值必须以 2 的补码形式表示。例如，如果所需值为-1，则编程的值必须为 0xFF。

## 47.6.2 ETH MTL 寄存器

### 47.6.2.1 ETH MTL 操作模式寄存器 (ETH\_MTLOPMOD)

偏移地址: 0x0C00

复位值: 0x0000 0000

该寄存器建立发送和接收操作模式和命令。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						CNTCLR	CNTPRST	Reserved				DTXSTS	Reserved		
						rw	rw					rw			

位域	名称	描述
31:10	Reserved	保留，必须保持复位值。
9	CNTCLR	计数器复位 (Counters Reset) 该位置 1 时，所有计数器都将复位。该位在 1 个时钟周期后自动清零。

		如果该位和 CNTPRST 位同时置 1，则 CNTPRST 优先级较高。 0：计数器都不复位 1：所有计数器复位 注：该位有访问限制，写 1 有效，自动清零，写 0 无影响。
8	CNTPRST	计数器预设（Counters Preset） 该位置 1 时： <ul style="list-style-type: none"> <li>● MTL 发送队列下溢寄存器被初始化/预设为 0x7F0。</li> <li>● MTL 接收队列丢失和上溢数据包计数寄存器中丢失的数据包和上溢数据包计数器被初始化/预设为 0x7F0。</li> </ul> 0：禁用计数器预设功能 1：启用计数器预设功能 注：该位有访问限制，写 1 有效，自动清零，写 0 无影响。
7:2	Reserved	保留，必须保持复位值。
1	DTXSTS	丢弃发送状态（Drop Transmit Status） 该位置 1 时，从 MAC 接收到的 Tx 数据包状态在 MTL 中被丢弃。 该位复位时，从 MAC 接收到的 Tx 数据包状态将转发给应用程序。 0：禁用丢弃发送状态的功能 1：启用丢弃发送状态的功能
0	Reserved	保留，必须保持复位值。

#### 47.6.2.2 ETH MTL 中断状态寄存器（ETH\_MTLINTSTS）

偏移地址：0x0C20

复位值：0x0000 0000

软件驱动程序（应用程序）在中断服务例程或轮询期间读取该寄存器，以确定 MTL 队列和 MAC 的中断状态。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															Q0IS

rw

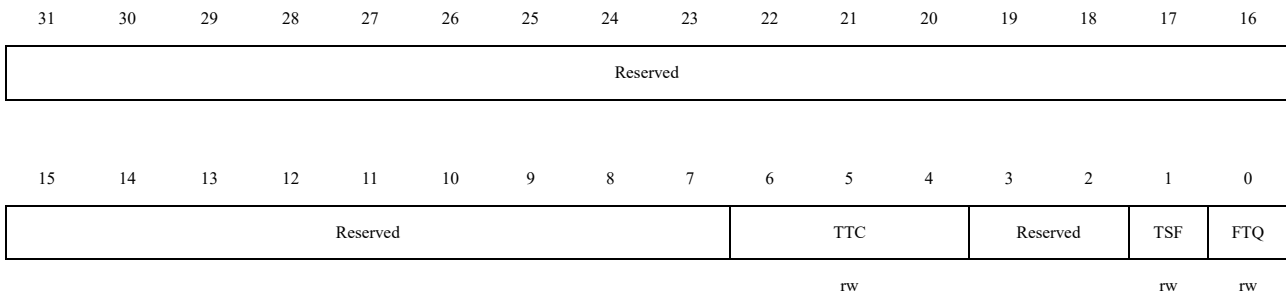
位域	名称	描述
31:1	Reserved	保留，必须保持复位值。
0	Q0IS	队列中断状态（Queue Interrupt Status） 该位指示有来自队列的中断。要重置该位，应用程序必须读取 MTL 队列中断控制状态寄存器，以获得中断的确切原因并清除其来源。 0：未检测到队列中断状态 1：检测到队列中断状态

#### 47.6.2.3 ETH MTL 发送队列操作模式寄存器（ETH\_MTLTXQOPMOD）

偏移地址：0x0D00

复位值：0x0000 0000

该寄存器建立发送队列的操作模式和命令。



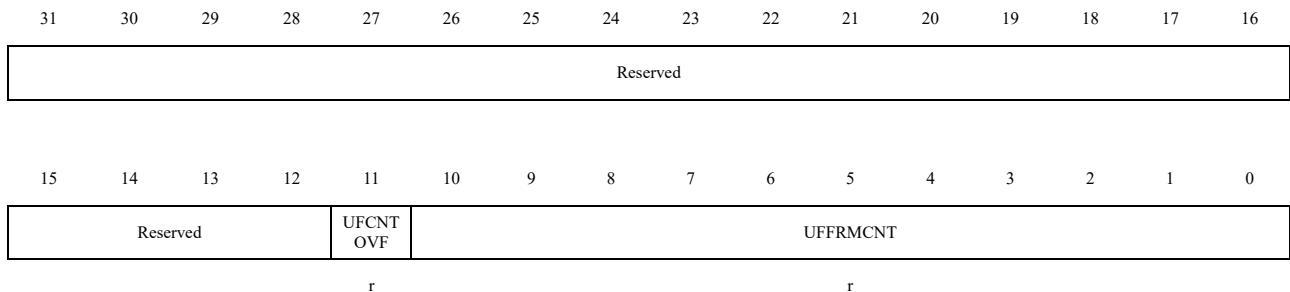
位域	名称	描述
31:7	Reserved	保留，必须保持复位值。
6:4	TTC	发送阈值控制（Transmit Threshold Control） 该位域控制 MTL Tx 队列的阈值级别。当 MTL Tx 队列中的数据包大小大于阈值时启动发送。此外，还会发送长度小于阈值的完整数据包。这些位只有在 TSF 位复位后才能使用。 000 (M_32BYTES): 32 001 (M_64BYTES): 64 010 (M_96BYTES): 96 011 (M_128BYTES): 128 100 (M_192BYTES): 192 101 (M_256BYTES): 256 110 (M_384BYTES): 384 111 (M_512BYTES): 512
3:2	Reserved	保留，必须保持复位值。
1	TSF	发送存储转发（Transmit Store and Forward） 该位置 1 时，如果 MTL Tx 队列中有一个完整数据包，则会启动发送。当此位置 1 时，会忽略在该寄存器的位[6:4]中指定的 TTC 值。该位只有在已停止发送时才能更改。 0: 禁用 Tx 存储转发功能 1: 启用 Tx 存储转发功能
0	FTQ	刷新发送队列（Flush Transmit Queue） 该位置 1 时，Tx 队列控制器逻辑被复位为其默认值。因此，Tx 队列中的所有数据都将丢失或被刷新。刷新操作结束时该位在内部复位。在该位复位之前，不应在 MTL 发送队列操作模式寄存器进行写操作。 MAC 发送器已接受的数据不会被刷新。其会被安排进行发送，并且会导致下溢且发送的数据包过短。 <i>注：仅当 Tx 队列为空并且应用程序已接受所有已发送数据包的暂停 Tx 状态时，刷新操作才算完成。要完成此刷新操作，PHY Tx 时钟 (clk_tx_i) 应处于有效状态。</i> <i>注：该位有访问限制，写 1 有效，自动清零，写 0 无影响。</i> 0: 禁用刷新发送队列的功能 1: 启用刷新发送队列的功能

### 47.6.2.4 ETH MTL 发送队列下溢寄存器 (ETH\_MTLTXQUDF)

偏移地址: 0x0D04

复位值: 0x0000 0000

该寄存器包含因发送队列下溢而中止的数据包计数器和因接收队列数据包刷新而漏掉的数据包计数器。



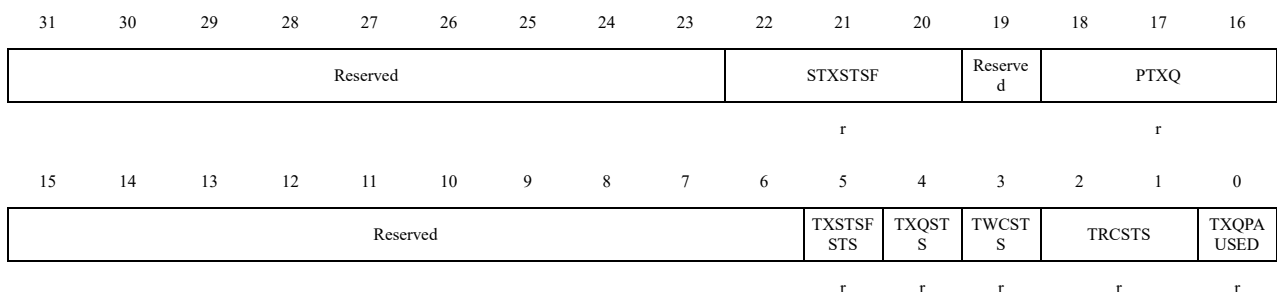
位域	名称	描述
31:12	Reserved	保留, 必须保持复位值。
11	UFCNTOVF	下溢数据包计数器的上溢位 (Overflow Bit for Underflow Packet Counter) 每次 Tx 队列下溢数据包计数器字段上溢 (即, 已超出最大计数) 时, 该位都会置 1。在这种情况下, 上溢数据包计数器将复位为全零值, 该位指示发生翻转。 0: 未检测到下溢数据包计数器字段上溢 1: 检测到下溢数据包计数器字段上溢 <i>注: 该位有访问限制。读清零。内部事件时自动置 1。</i>
10:0	UFFRMCNT	下溢数据包计数器 (Underflow Packet Counter) 该字段指示控制器因 Tx 队列下溢而中止的数据包数量。每次 MAC 因下溢而中止发送数据包时, 该计数器都会递增。当数据线上的数据有效时读取该寄存器, 该计数器被清零。 <i>注: 该位域有访问限制。读清零。内部事件时自动置 1。</i>

### 47.6.2.5 ETH MTL 发送队列调试寄存器 (ETH\_MTLTXQDBG)

偏移地址: 0x0D08

复位值: 0x0000 0000

该寄存器提供与发送队列相关的各种块的调试状态。



位域	名称	描述
31:23	Reserved	保留, 必须保持复位值。
22:20	STXSTSF	队列的 Tx 状态 FIFO 中的状态字数 (Number of Status Words in Tx Status FIFO of Queue)

		该字段指示该队列的 Tx 状态 FIFO 中的当前状态数。当 MTL 操作模式寄存器中的 DTXSTS 位置 1 时，该字段不反映 Tx 状态 FIFO 中的状态字数。
19	Reserved	保留，必须保持复位值。
18:16	PTXQ	发送队列中的数据包数（Number of Packets in the Transmit Queue） 该字段指示 Tx 队列中的当前数据包数。当 MTL 操作模式寄存器中的 DTXSTS 位置 1 时，该字段不反映发送队列中的数据包数。
15:6	Reserved	保留，必须保持复位值。
5	TXSTSFSTS	MTL Tx 状态 FIFO 已满状态（MTL Tx Status FIFO Full Status） 该位置 1 时，指示 MTL Tx 状态 FIFO 已满。因此，MTL 不能接受发送更多数据包。 0：未检测到 MTL Tx 状态 FIFO 已满状态 1：检测到 MTL Tx 状态 FIFO 已满状态
4	TXQSTS	MTL Tx 队列非空状态（MTL Tx Queue Not Empty Status） 该位置 1 时，指示 MTL Tx 队列不为空，还留有一些数据要发送。 0：未检测到 MTL Tx 队列非空状态 1：检测到 MTL Tx 队列非空状态
3	TWCSTS	MTL Tx 队列写控制器状态（MTL Tx Queue Write Controller Status） 该位置 1 时，指示 MTL Tx 队列写控制器有效且正在向 Tx 队列传输数据。 0：未检测到 MTL Tx 队列写控制器状态 1：检测到 MTL Tx 队列写控制器状态
2:1	TRCSTS	MTL Tx 队列读控制器状态（MTL Tx Queue Read Controller Status） 该字段指示 Tx 队列读控制器的状态： 00（IDLE）：空闲状态 01（READ）：读状态（将数据传输到 MAC 发送器） 10（WAIT）：等待来自 MAC 发送器的暂停 Tx 状态 11（FLUSH）：因来自 MAC 的数据包中止请求而刷新 Tx 队列
0	TXQPAUSED	发送队列暂停（Transmit Queue in Pause） 该位为高电平且使能 Rx 流控制时，指示 Tx 队列出于以下原因而处于暂停状态（仅在全双工模式下）： ● 接收到 802.3x 暂停数据包 0：未检测到发送队列处于暂停状态 1：检测到发送队列处于暂停状态

#### 47.6.2.6 ETH MTL 队列中断控制状态寄存器（ETH\_MTLQINTCTRLSTS）

偏移地址：0x0D2C

复位值：0x0000 0000

该寄存器包含队列中断的中断使能和状态位。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved							RXOIE	Reserved							RXOVF IS
							rw								rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0



Reserved	TXUIE	Reserved	TXUNFIS
rw		rw	

位域	名称	描述
31:25	Reserved	保留，必须保持复位值。
24	RXOIE	接收队列上溢中断使能（Receive Queue Overflow Interrupt Enable） 0：禁用接收队列上溢中断 1：启用接收队列上溢中断
23:17	Reserved	保留，必须保持复位值。
16	RXOVFIS	接收队列上溢中断状态（Receive Queue Overflow Interrupt Status） 该位指示在接收数据包期间，接收队列发生上溢。如果部分数据包已传输到应用程序，则 RDES3[21]中的上溢状态位置 1。应用程序向该位写入 1 时会将其清零。 0：未检测到接收队列上溢中断状态 1：检测到接收队列上溢中断状态 <i>注：该位有访问限制。内部事件时自动置 1。写 1 清零。写 0 无影响。</i>
15:9	Reserved	保留，必须保持复位值。
8	TXUIE	发送队列下溢中断使能（Transmit Queue Underflow Interrupt Enable） 0：禁用发送队列下溢中断 1：启用发送队列下溢中断
7:1	Reserved	保留，必须保持复位值。
0	TXUNFIS	发送队列下溢中断状态（Transmit Queue Underflow Interrupt Status） 该位指示在发送数据包期间，发送队列发生下溢。传输暂停，并设置下溢错误（设置 TDES3[2]位）。应用程序向该位写入 1 时会将其清零。 0：未检测到发送队列下溢中断状态 1：检测到发送队列下溢中断状态 <i>注：该位有访问限制。内部事件时自动置 1。写 1 清零。写 0 无影响。</i>

#### 47.6.2.7 ETH MTL 接收队列操作模式寄存器（ETH\_MTLRXQOPMOD）

偏移地址：0x0D30

复位值：0x0000 0000

该寄存器建立接收队列的操作模式和命令。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							DISTCPEF	RSF	FEP	FUP	Reserved	RTC			
							rw	rw	rw	rw					

位域	名称	描述
31:7	Reserved	保留，必须保持复位值。
6	DISTCPEF	禁止丢弃 TCP/IP 校验和错误数据包（Disable Dropping of TCP/IP Checksum Error）

		<p>Packets)</p> <p>该位置 1 时，如果数据包中仅存在由接收校验和减荷引擎检测出来的错误，则 MAC 不会丢弃它。对于这类数据包，仅封装的有效负载中有错误。MAC 接收到的以太网数据包无错误（包括 FCS 错误）。</p> <p>该位复位时，如果 FEP 位被复位，所有错误数据包都会被丢弃。</p> <p>0: 启用丢弃 TCP/IP 校验和错误数据包的功能</p> <p>1: 禁用丢弃 TCP/IP 校验和错误数据包的功能</p>
5	RSF	<p>接收队列存储转发（Receive Queue Store and Forward）</p> <p>该位置 1 时，只有在向 Rx 队列写入完整数据包后，以太网外设才会从中读取数据包，同时会忽略该寄存器的 RTC 字段。</p> <p>该位复位时，Rx 队列工作在阈值（直通）模式下，具体取决于该寄存器的 RTC 字段指定的阈值。</p> <p>0: 禁用接收队列存储转发功能</p> <p>1: 启用接收队列存储转发功能</p>
4	FEP	<p>转发错误数据包（Forward Error Packets）</p> <p>该位复位时，Rx 队列会丢弃带有错误状态（CRC 错误、接收错误、看门狗超时或上溢）的数据包。不过，如果某个数据包的起始字节（写）指针已传输到读控制器端（阈值模式下），则不会丢弃该数据包。</p> <p>该位置 1 时，除过短错误数据包之外的所有数据包都将被转发到应用程序或 DMA。如果 RSF 位置 1，并且在写入部分数据包时 Rx 队列上溢，则无论该位的设置如何，该数据包都会被丢弃。不过，如果 RSF 位复位，并且在写入部分数据包时 Rx 队列上溢，则可能会将部分数据包转发到应用程序或 DMA。</p> <p>0: 禁用转发错误数据包功能</p> <p>1: 启用转发错误数据包功能</p>
3	FUP	<p>转发过小的良好数据包（Forward Undersized Good Packets）</p> <p>该位置 1 时，Rx 队列会转发过小的良好数据包（即，没有错误但长度小于 64 字节的数据包），其中包括填充字节和 CRC。</p> <p>该位复位时，Rx 队列会丢弃所有小于 64 字节的数据包，除非因 Rx 阈值下限更低（例如 RTC = 01）而导致数据包已传输。</p> <p>0: 禁用转发过小的良好数据包功能</p> <p>1: 启用转发过小的良好数据包功能</p>
2	Reserved	保留，必须保持复位值。
1:0	RTC	<p>接收队列阈值控制（Receive Queue Threshold Control）</p> <p>该字段控制 MTL Rx 队列的阈值级别（以字节为单位）。当 MTL Rx 队列中的数据包大小大于阈值时，接收到的数据包将传输到应用程序 DMA。此外，还会自动传输长度小于阈值的完整数据包。只有在 RSF 位为零时，该字段才有效。当 RSF 位置 1 时，该字段将被忽略。</p> <p>00 (M_64BYTE): 64</p> <p>01 (M_32BYTE): 32</p> <p>10 (M_96BYTE): 96</p> <p>11 (M_128BYTE): 128</p>

#### 47.6.2.8 ETH MTL 接收队列丢失和上溢数据包计数寄存器（ETH\_MTLRXQMPOFCNT）

偏移地址：0x0D34

复位值：0x0000 0000

该寄存器包含因接收队列数据包刷新而遗漏的数据包计数器和因接收队列上溢而丢弃的数据包计数器。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
Reserved				MISCN TOVF	MISPKTCNT												
				r													r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved				OVFCN TOVF	OVFPKTCNT												
				r													r

位域	名称	描述
31:28	Reserved	保留，必须保持复位值。
27	MISCNTOVF	丢失数据包计数器上溢位（Missed Packet Counter Overflow Bit） 该位置 1 时，指示 Rx 队列丢失数据包计数器超出最大限制。 0：未检测到丢失数据包计数器上溢 1：检测到丢失数据包计数器上溢 <i>注：该位有访问限制。读清零。内部事件时自动置 1。</i>
26:16	MISPKTCNT	丢失数据包计数器（Missed Packet Counter） 该字段指示以太网外设因应用程序针对该队列执行数据包刷新请求而丢失的数据包数量。对此寄存器执行读操作时此计数器复位。 当 DMA 因缓冲区不可用而丢弃数据包时，该计数器会递增。 <i>注：该位域有访问限制。读清零。内部事件时自动置 1。</i>
15:12	Reserved	保留，必须保持复位值。
11	OVFCNTOVF	上溢计数器上溢位（Overflow Counter Overflow Bit） 该位置 1 时，表示 Rx 队列上溢数据包计数器字段超出最大限制。 0：未检测到上溢计数器上溢 1：检测到上溢计数器上溢 <i>注：该位有访问限制。读清零。内部事件时自动置 1。</i>
10:0	OVFPKTCNT	上溢数据包计数器（Overflow Packet Counter） 该字段指示以太网外设因接收队列上溢而丢弃的数据包数量。每次以太网外设因上溢而丢弃一个传入数据包时，此计数器值都会递增。对此寄存器执行读操作时此计数器复位。 <i>注：该位域有访问限制。读清零。内部事件时自动置 1。</i>

#### 47.6.2.9 ETH MTL 接收队列调试寄存器（ETH\_MTLRXQDBG）

偏移地址：0x0D38

复位值：0x0000 0000

该寄存器提供与接收队列相关的各种块的调试状态。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				PRXQ											

r

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	RXQSTS	Reserved	RRCSTS	RWCSTS
	r		r	r

位域	名称	描述
31:30	Reserved	保留，必须保持复位值。
29:16	PRXQ	接收队列中的数据包数（Number of Packets in Receive Queue） 该字段指示 Rx 队列中的当前数据包数。该字段的理论最大值为 256KB/16B = 16K 个数据包，即，Max_Queue_Size/Min_Packet_Size。
15:6	Reserved	保留，必须保持复位值。
5:4	RXQSTS	MTL Rx 队列填充级别状态（MTL Rx Queue Fill-Level Status） 该字段指示 Rx 队列填充级别的状态： 00（EMPTY）：Rx 队列为空 01（BLW_THR）：Rx 队列填充级别低于流控制取消激活阈值 10（ABV_THR）：Rx 队列填充级别高于流控制激活阈值 11（FULL）：Rx 队列已满
3	Reserved	保留，必须保持复位值。
2:1	RRCSTS	MTL Rx 队列读控制器状态（MTL Rx Queue Read Controller State） 该字段指示 Rx 队列读控制器的状态： 00（IDLE）：空闲状态 01（READ_DATA）：正在读取数据包数据 10（READ_STS）：正在读取数据包状态（或时间戳） 11（FLUSH）：正在刷新数据包数据和状态
0	RWCSTS	MTL Rx 队列写控制器有效状态（MTL Rx Queue Write Controller Active Status） 该位置 1 时，指示 MTL Rx 队列写控制器有效且正在将接收到的数据包传输到 Rx 队列。 0：未检测到 MTL Rx 队列写控制器有效状态 1：检测到 MTL Rx 队列写控制器有效状态

## 47.6.3 ETH DMA 寄存器

### 47.6.3.1 ETH DMA 模式寄存器（ETH\_DMAMODE）

偏移地址：0x1000

复位值：0x0000 0000

该寄存器建立 DMA 的总线操作模式。

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved	RNDF	TNDF	DCHE	Reserved	INTM
	rw	rw	rw		rw

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	PR	TXPR	Reserved	DA	SWR
	rw	rw		rw	rw

位域	名称	描述
31:24	Reserved	保留，必须保持复位值。
23:22	RNDF	Rx DMA 在一个突发中获取描述符的最大数量 (Rx DMA's Maximum Number of Descriptors to be fetched in a burst) 00: 4 01: 2 10: 1 11: 保留
21:20	TNDF	Tx DMA 在一个突发中获取描述符的最大数量 (Tx DMA's Maximum Number of Descriptors to be fetched in a burst) 00: 4 01: 2 10: 1 11: 保留
19	DCHE	描述符缓存使能 (Descriptor Cache Enable) 该位置 1 时，可将描述符预取至描述符缓存。该位复位时，禁用描述符缓存功能。 0: 禁用描述符缓存功能 1: 启用描述符缓存功能
18	Reserved	保留，必须保持复位值。
17:16	INTM	中断模式 (Interrupt Mode) 该字段定义以太网外设的中断模式。 以下输出信号的行为会根据以下设置发生变化： <ul style="list-style-type: none"> <li>● sbd_perch_tx_intr_o (发送通道中断)</li> <li>● sbd_perch_rx_intr_o (接收通道中断)</li> <li>● sbd_intr_o (通用中断)</li> </ul> 该字段还会改变 DMA 通道 0 状态寄存器中的 RI/TI 位的行为。 00: sbd_perch_xxx 为脉冲信号，用于在描述符中启用 IOC 位的每个 Tx/Rx 数据包传输完成事件 (无论是否启用相应中断)。当启用相应中断时，sbd_intr_o 也会被置为有效，只有当软件清除相应的 RI/TI 状态位时，sbd_intr_o 才会被清除 01: sbd_perch_xxx 为电平信号，当启用相应中断时，在 TX/RX 数据包传输完成事件发生时被置为有效，当软件清除相应 RI/TI 状态位时被置为无效。在这些 TX/RX 数据包传输完成事件中，sbd_intr_o 不会被置为有效 10: sbd_perch_xxx 为电平信号，当启用相应中断时，在 TX/RX 数据包传输完成事件发生时被置为有效，当软件清除相应 RI/TI 状态位时被置为无效。但是，如果在清零之前再次发生相同事件，该信号将再次被置为有效。对于这些 TX/RX 数据包传输完成事件，sbd_intr_o 不会被置为有效 11: 保留 更多详情，请参阅表 47-60 传输完成中断行为。
15	Reserved	保留，必须保持复位值。
14:12	PR	优先级比 (Priority ratio)

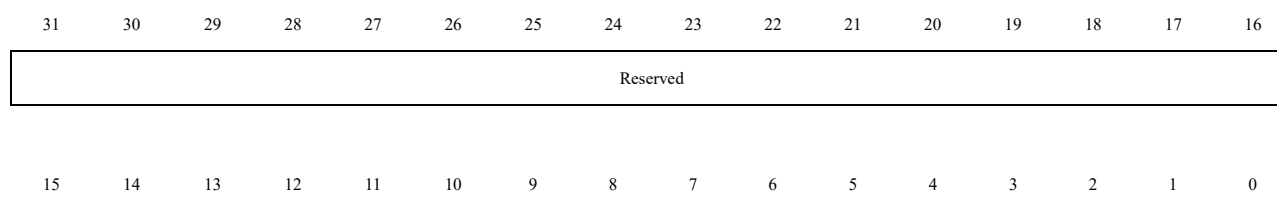
位域	名称	描述
		该位域控制 Rx DMA 和 Tx DMA 之间加权循环仲裁的优先级比率。这些位仅在 DA 位复位时有效。优先级比例为 Rx:Tx 或 Tx:Rx，取决于 TXPR 位是复位还是置位。 000 (R_1_1): 优先级比为 1:1 001 (R_2_1): 优先级比为 2:1 010 (R_3_1): 优先级比为 3:1 011 (R_4_1): 优先级比为 4:1 100 (R_5_1): 优先级比为 5:1 101 (R_6_1): 优先级比为 6:1 110 (R_7_1): 优先级比为 7:1 111 (R_8_1): 优先级比为 8:1
11	TXPR	发送优先级 (Transmit priority) 该位置 1 时，表示在系统总线仲裁期间或从描述符缓存中读取描述符期间，Tx DMA 的优先级高于 Rx DMA。
10:2	Reserved	保留，必须保持复位值。
1	DA	DMA Tx 或 Rx 仲裁方案 (DMA Tx or Rx Arbitration Scheme) 该位指定所有通道的发送和接收路径之间的仲裁方案： <ul style="list-style-type: none"> <li>● 0: 采用 Rx:Tx 或 Tx:Rx 的加权循环调度。路径之间的优先级取决于位 [14:12] 中指定的优先级，优先级权重在 TXPR 位中指定</li> <li>● 1: 固定优先级。TXPR 位置 1 时，Tx 路径的优先级高于 Rx 路径。否则，Rx 路径的优先级高于 Tx 路径</li> </ul>
0	SWR	软件复位 (Software Reset) 该位置 1 时，MAC 和 DMA 控制器会复位 DMA、MTL 和 MAC 的逻辑和所有内部寄存器。在所有时钟域中完成复位操作后，该位自动清零。在对任何寄存器重新编程之前，应读取该位的零值。 该位必须在写入 1 后至少 4 个 CSR 时钟周期再读取。 <i>注：仅当所有活动时钟域中的所有复位均无效时，才会完成复位操作。因此，所有 PHY 输入时钟（适用于所选 PHY 接口）必须存在，以完成软件复位。完成软件复位操作所用的时间取决于最慢的活动时钟的频率。</i> 0: 禁用软件复位 1: 启用软件复位

### 47.6.3.2 ETH DMA 系统总线模式寄存器 (ETH\_DMASBMODE)

偏移地址：0x1004

复位值：0x0000 0000

该寄存器控制 AHB 主设备的行为。它主要控制突发拆分。



RB	MB	Reserved	AAL	Reserved	FB
rw	rw		rw		rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15	RB	重建 INCRx 突发 (Rebuild INCRx Burst) 该位置为高电平且 AHB 主设备获得 SPLIT、RETRY 或提前突发终止 (EBT) 响应时，AHB 主接口将基于 INCRx 和 SINGLE 传输重新构建已发起突发传输的暂停节拍。默认情况下，AHB 主接口基于未指定 (INCR) 突发重建 EBT 的暂停节拍。 0: 禁用重建 INCRx 突发功能 1: 启用重建 INCRx 突发功能
14	MB	混合突发 (Mixed Burst) 该位置为高电平且 FB 位为低电平时，如果突发长度大于等于 16，AHB 主设备会执行未定义的突发传输 (INCR)。如果突发长度小于等于 16，AHB 主设备会执行固定突发传输 (INCRx 和 SINGLE)。 0: 禁用混合突发功能 1: 启用混合突发功能
13	Reserved	保留，必须保持复位值。
12	AAL	地址对齐的节拍 (Address-Aligned Beats) 该位置 1 时，AHB 主设备会在读通道和写通道上执行地址对齐的突发传输。该位复位时，AHB 主设备会在读通道和写通道上执行突发传输，而不与地址边界对齐。 0: 禁用地址对齐节拍功能 1: 启用地址对齐节拍功能
11:1	Reserved	保留，必须保持复位值。
0	FB	固定突发长度 (Fixed Burst Length) 该位置 1 时，AHB 主设备将发起特定长度的突发传输 (INCRx 或 SINGLE)。该位复位时，AHB 主设备将发起非特定长度的传输 (INCR) 或 SINGLE 传输。 0: 禁用固定突发长度功能 1: 启用固定突发长度功能

### 47.6.3.3 ETH DMA 中断状态寄存器 (ETH\_DMAINTSTS)

偏移地址: 0x1008

复位值: 0x0000 0000

应用程序在中断服务例程或轮询期间读取该中断状态寄存器，以确定 DMA 通道、MTL 队列和 MAC 的中断状态。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved													MACIS	MTLIS	
													r	r	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														DC0IS	

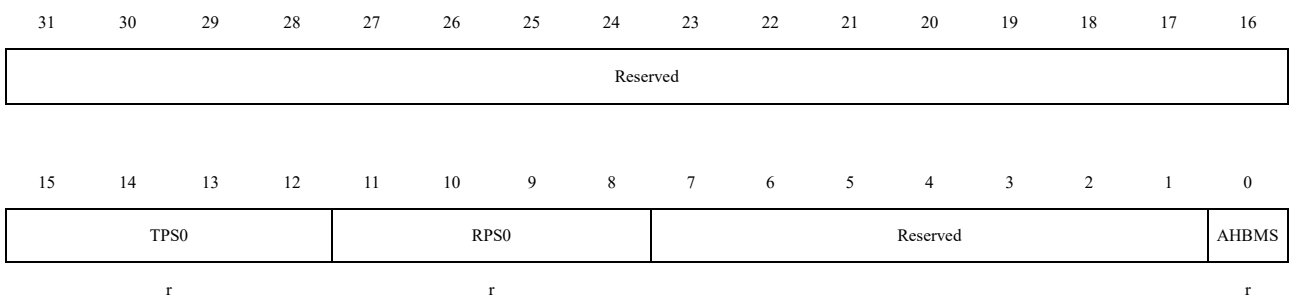
位域	名称	描述
31:18	Reserved	保留，必须保持复位值。
17	MACIS	MAC 中断状态 (MAC Interrupt Status) 该位指示 MAC 中的中断事件。要将该位重置为 1'b0，软件必须读取 MAC 中的相应寄存器，以获得中断的确切原因并清除其来源。 0: 未检测到 MAC 中断状态 1: 检测到 MAC 中断状态
16	MTLIS	MTL 中断状态 (MTL Interrupt Status) 该位指示 MTL 中的中断事件。要将该位重置为 1'b0，软件必须读取 MTL 中的相应寄存器，以获得中断的确切原因并清除其来源。 0: 未检测到 MTL 中断状态 1: 检测到 MTL 中断状态
15:1	Reserved	保留，必须保持复位值。
0	DC0IS	DMA 通道 0 中断状态 (DMA Channel 0 Interrupt Status) 该位指示 DMA 通道 0 中的中断事件。要将该位重置为 1'b0，软件必须读取 DMA 通道 0 中的相应寄存器，以获得中断的确切原因并清除其来源。 0: 未检测到 DMA 通道 0 中断状态 1: 检测到 DMA 通道 0 中断状态

#### 47.6.3.4 ETH DMA 调试状态寄存器 (ETH\_DMADBGSTS)

偏移地址: 0x100C

复位值: 0x0000 0000

该寄存器提供 DMA 通道 0 的接收和发送进程状态，用于调试。



位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:12	TPS0	DMA 通道 0 发送过程状态 (DMA Channel 0 Transmit Process State) 该字段指示通道 0 的 Tx DMA FSM 状态。该字段的 MSB 始终返回 0。此字段不会产生中断。 0000 (STOP): 停止 (发出复位或停止发送命令) 0001 (RUN_FTTD): 运行中 (正在获取 Tx 发送描述符) 0010 (RUN_WS): 运行中 (正在等待状态) 0011 (RUN_RDS): 运行中 (正在读取系统存储器缓冲区中的数据并将其加入 Tx 缓冲区 (Tx FIFO) 队列) 0100 (TSTMP_WS): 时间戳写状态



		0101 (RSVD): 保留 0110 (SUSPND): 已暂停 (Tx 描述符不可用或 Tx 缓冲区下溢) 0111 (RUN_CTD): 运行中 (正在关闭 Tx 描述符)
11:8	RPS0	DMA 通道 0 接收过程状态 (DMA Channel 0 Receive Process State) 该字段指示通道 0 的 Rx DMA FSM 状态。该字段的 MSB 始终返回 0。此字段不会产生中断。 0000 (STOP): 停止 (发出复位或停止接收命令) 0001 (RUN_FRTD): 运行中 (正在获取 Rx 传输描述符) 0010 (RSVD): 保留 0011 (RUN_WRP): 运行中 (正在等待 Rx 数据包) 0100 (SUSPND): 已暂停 (Rx 描述符不可用) 0101 (RUN_CRD): 运行中 (正在关闭 Rx 描述符) 0110 (TSTMP): 时间戳写状态 0111 (RUN_TRP): 运行中 (正在将接收的数据包数据从 Rx 缓冲区传输到系统存储器)
7:1	Reserved	保留, 必须保持复位值。
0	AHBMS	AHB 主设备状态 (AHB Master Status) 该位置 1 时, 指示 AHB 主设备 FSM 处于非空闲状态。 0: 未检测到 AHB 主设备状态 1: 检测到 AHB 主设备状态

#### 47.6.3.5 ETH DMA 通道 0 控制寄存器 (ETH\_DMACH0CTRL)

偏移地址: 0x1100

复位值: 0x0000 0000

该寄存器指定用于分段的 MSS 值、两个描述符之间跳过的长度, 以及 8xPBL 模式等功能。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved											DSL		Reserved	PBLx8	
											rw			rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		MSS													
rw															

位域	名称	描述
31:21	Reserved	保留, 必须保持复位值。
20:18	DSL	描述符跳过长度 (Descriptor Skip Length) 该位域指定两个未链接描述符之间跳过的 32 位字数。地址从当前描述符结束处开始跳到下一个描述符起始处。 DSL 值等于零时, DMA 将描述符表视为连续的。
17	Reserved	保留, 必须保持复位值。
16	PBLx8	8xPBL 模式 (8xPBL mode)

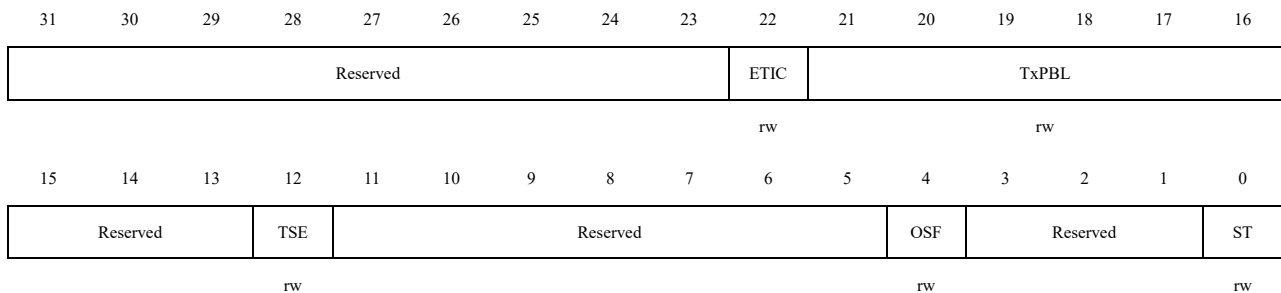
位域	名称	描述
		该位置 1 时，在 DMA 通道 0 发送控制寄存器的位[21:16]和 DMA 通道 0 接收控制寄存器的位[21:16]中编程的 PBL 值将乘以 8 倍。因此，DMA 根据 PBL 值以 8、16、32、64、128 和 256 个节拍传输数据。
15:14	Reserved	保留，必须保持复位值。
13:0	MSS	最大段大小（Maximum Segment Size） 该字段指定了数据包分段时应使用的最大分段大小。只有 DMA 通道 0 发送控制寄存器的 TSE 位置 1 时，该字段才有效。 在此字段中编程的值必须大于配置的数据宽度（以字节为单位）。建议使用 64 字节或以上的 MSS 值。

### 47.6.3.6 ETH DMA 通道 0 发送控制寄存器（ETH\_DMACH0TXCTRL）

偏移地址：0x1104

复位值：0x0000 0000

该寄存器控制 Tx 功能，例如 PBL、TCP 分段。



位域	名称	描述
31:23	Reserved	保留，必须保持复位值。
22	ETIC	提前发送中断控制（Early Transmit Interrupt Control） 该位置 1 时，将在 IOC 位（TDES2[31]）被设置的发送描述符的缓冲区完成数据传输后设置早期发送中断（ETI）状态。 该位复位时，只有在完整数据包传输到 MTL Tx FIFO 存储器后才会设置 ETI。
21:16	TxPBL	发送可编程突发长度（Transmit Programmable Burst Length） 该位域指示要在一个 DMA 数据传输过程中传输的最大节拍数。这是在单个块读或块写操作中使用的最大值。DMA 每次在应用总线上开始突发传输时，始终尝试按 PBL 中指定的方式进行突发。可使用以下任一值来编程 PBL：1、2、4、8、16 或 32。任何其他值都会产生未定义的行为。要传输 32 个以上节拍，请按以下步骤操作： 1、在 DMA 通道 0 控制寄存器中设置 PBLx8 模式。 2、设置 TxPBL。
15:13	Reserved	保留，必须保持复位值。
12	TSE	TCP 分段使能（TCP Segmentation Enabled） 该位置 1 时，DMA 将对该通道中的数据包执行 TCP 分段或 UDP 分段处理。 TCP 分段或 UDP 数据包分段仅针对 Tx 正常描述符中 TSE 位（TDES0[19]）被

位域	名称	描述
		设置为 1 的数据包。 设置该位时，TxPBL 值必须大于 4。 0: 禁用 TCP 分段功能 1: 启用 TCP 分段功能
11:5	Reserved	保留，必须保持复位值。
4	OSF	处理第二个数据包 (Operate on Second Packet) 该位置 1 时，指示 DMA 在获得第一个数据包的状态之前处理传输数据的第二个数据包。 0: 禁用处理第二个数据包的功能 1: 启用处理第二个数据包的功能
3:1	Reserved	保留，必须保持复位值。
0	ST	启动或停止发送命令 (Start or Stop Transmission Command) 该位置 1 时，发送过程处于运行状态。DMA 会检查当前位置的发送列表，以查找要发送的数据包。 DMA 会尝试从以下任一位置获取描述符： <ul style="list-style-type: none"> <li>● 列表中的当前位置：由 DMA 通道 0 发送描述符列表地址寄存器中设置的发送列表基地址。</li> <li>● 上次停止发送的位置。</li> </ul> 如果 DMA 不拥有当前描述符，则发送过程进入暂停状态，DMA 通道 0 状态寄存器的 TBU 位被置位。启动发送命令仅在发送停止时有效。如果在设置 DMA 通道 0 发送描述符列表地址寄存器之前发出该命令，DMA 行为将无法预测。 该位复位时，发送过程将在完成当前数据包的发送后进入"停止"状态。发送列表中的下一个描述符位置将被保存，并在重新开始发送时成为当前位置。要更改列表地址，需要在复位该位时为 DMA 通道 0 发送描述符列表地址寄存器编程一个新值。当再次设置该位时会采用新值。停止发送命令只有在当前数据包发送完成或发送过程处于暂停状态时才有效。 0: 停止发送命令 1: 启动发送命令

### 47.6.3.7 ETH DMA 通道 0 接收控制寄存器 (ETH\_DMACH0RXCTRL)

偏移地址：0x1108

复位值：0x0000 0000

该寄存器控制 Rx 功能，例如 PBL、缓冲区大小和扩展状态。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RPF	Reserved							ERIC	RxPBL						
rw								rw	rw						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	RBSZH										RBSZL	SR			
										rw	r	rw			
位域	名称	描述													

31	RPF	<p>Rx 数据包刷新 (Rx Packet Flush)</p> <p>该位置 1 时, 当 DMA Rx 通道停止时, 以太网会自动从 Rx 队列中清除指定到此 DMA Rx 通道的数据包。当该位保持设置为 1 且软件驱动程序重新启动 DMA 时, Rx DMA 停止时接收到的存在于 Rx 队列中的数据包将被清空。重新启动 Rx DMA 后, MAC 收到的数据包将路由到 Rx DMA。刷新在 Rx 队列的读取端完成。</p> <p>该位复位时, 当 Rx DMA 通道处于 STOP (停止) 状态时, 以太网不会刷新 Rx 队列中以该 Rx DMA 通道为目标的数据包。这可能会导致相应 Rx 队列中的队头阻塞。</p> <p>0: 禁用 Rx 数据包刷新功能 1: 启用 Rx 数据包刷新功能</p>
30:23	Reserved	保留, 必须保持复位值。
22	ERIC	<p>提前接收中断控制 (Early Receive Interrupt Control)</p> <p>该位置 1 时, Rx DMA 向缓冲区的每次数据突发传输完成后, 将设置提前接收中断 (ERI) 状态。</p> <p>该位复位时, 只有在 Rx DMA 填满一个完整的缓冲区后, ERI 才会被置位。</p>
21:16	RxPBL	<p>接收可编程突发长度 (Receive Programmable Burst Length)</p> <p>该位域指示要在一个 DMA 数据传输过程中传输的最大节拍数。这是在单个块读或块写操作中使用的最大值。DMA 每次在应用总线上开始突发传输时, 始终尝试按 PBL 中指定的方式进行突发。可使用以下任一值来编程 PBL: 1、2、4、8、16 或 32。任何其他值都会产生未定义的行为。要传输 32 个以上节拍, 请按以下步骤操作:</p> <ol style="list-style-type: none"> <li>1、在 DMA 通道 0 控制寄存器中设置 PBLx8 模式。</li> <li>2、设置 RxPBL。</li> </ol>
15	Reserved	保留, 必须保持复位值。
14:3	RBSZH	<p>接收缓冲区大小高位 (Receive Buffer size High)</p> <p>RBSZ[13:0]分为高位 RBSZH 和低位 RBSZL 两个字段。RBSZ[13:0]字段表示以字节为单位的 Rx 缓冲区大小。最大缓冲区大小限制为 16K 字节。该缓冲区大小适用于使能拆分报头时的有效负载缓冲区。</p> <p><i>注: 缓冲区大小必须是 4 的倍数, 取决于数据总线宽度 (32 位)。即使缓冲区地址指针的值未与数据总线宽度对齐, 也必须如此。因此, 低位 RBSZL 是只读的, 其值被视为全零。因此, RBSZH 表示缓冲区的位置大小 (宽度与总线宽度相同)。</i></p>
2:1	RBSZL	<p>接收缓冲区大小低位 (Receive Buffer size Low)</p> <p>RBSZ[13:0]分为两个字段: RBSZH 和 RBSZL。RBSZL 是低字段, 该字段为只读 (RO)。</p>
0	SR	<p>启动或停止接收 (Start or Stop Receive)</p> <p>该位置 1 时, DMA 尝试从接收列表中获取描述符并处理传入的数据包。DMA 尝试从以下任一位置获取描述符:</p> <ul style="list-style-type: none"> <li>● 列表中的当前位置: 由 DMA 通道 0 接收描述符列表地址寄存器中设置的地址。</li> <li>● 上次停止 Rx 过程时的位置。</li> </ul> <p>如果 DMA 不拥有当前描述符, 则会暂停接收, 并设置 DMA 通道 0 状态寄存器的 RBU 位为 1。启动接收命令仅在接收停止时有效。如果在设置 DMA 通道</p>

		0 接收描述符列表地址寄存器之前发出该命令，DMA 行为将无法预测。 该位复位时，Rx DMA 操作将在传输完当前数据包后停止。接收列表中的下一个描述符位置将被保存，并在重新启动 Rx 进程后成为当前位置。停止接收命令仅在 Rx 过程处于运行（等待 Rx 数据包）或暂停状态时有效。 0: 停止接收 1: 启动接收
--	--	--

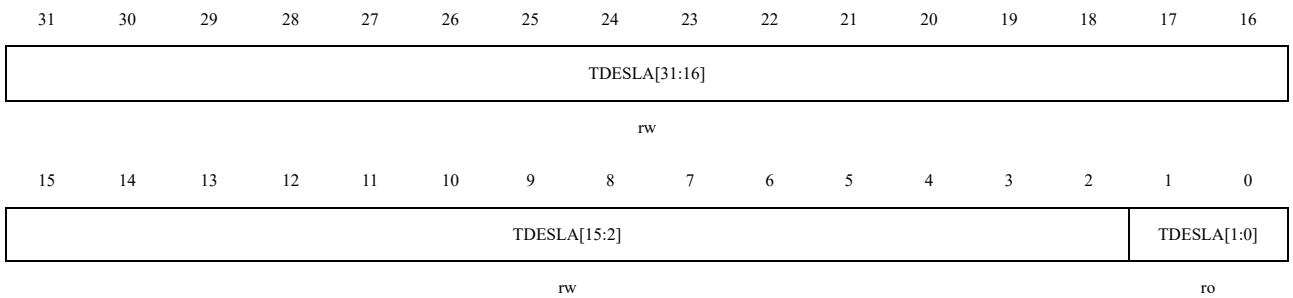
### 47.6.3.8 ETH DMA 通道 0 发送描述符列表地址寄存器 (ETH\_DMACH0TXDLA)

偏移地址：0x1114

复位值：0x0000 0000

该寄存器将 DMA 指向发送描述符列表的起始位置。描述符列表位于应用程序的物理内存空间中，必须是 Word 对齐（32 位数据总线）。DMA 通过将相应的 LSB 变为低电平，在内部将其转换为总线宽度对齐的地址。

只有在 Tx DMA 停止时，即 DMA 通道 0 发送控制寄存器中的 ST 位设置为 0 时，才能写入该寄存器。停止后，可以向该寄存器写入新的描述符列表地址。将 ST 位设置为 1 时，DMA 将使用新编程的描述符基地址。如果 ST 位设置为 0 时未更改该寄存器，则 DMA 将使用之前停止时的描述符地址。



位域	名称	描述
31:0	TDESLA	发送列表的起始处（Start of Transmit List） 该字段包含发送描述符列表中第一个描述符的基地址。DMA 会忽略 LSB 位（1:0），并在内部将这些位全部置零。因此，这些 LSB 位为只读（RO）。

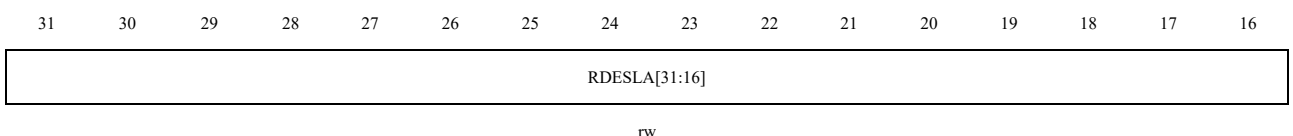
### 47.6.3.9 ETH DMA 通道 0 接收描述符列表地址寄存器 (ETH\_DMACH0RXDLA)

偏移地址：0x111C

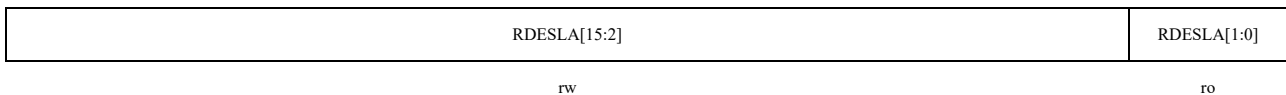
复位值：0x0000 0000

该寄存器将 DMA 指向接收描述符列表的起始位置。描述符列表位于应用程序的物理内存空间中，必须是 Word 对齐（32 位数据总线）。DMA 通过将相应的 LSB 变为低电平，在内部将其转换为总线宽度对齐的地址。只有在接收停止时，才允许写入该寄存器。停止接收时，必须在发出接收开始命令之前写入该寄存器。

只有在 Rx DMA 停止时，即 DMA 通道 0 接收控制寄存器中的 SR 位设置为 0 时，才能写入该寄存器。停止后，可以向该寄存器写入新的描述符列表地址。将 SR 位设置为 1 时，DMA 将使用新编程的描述符基地址。



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



位域	名称	描述
31:0	RDESLA	接收列表的起始处（Start of Receive List） 该字段包含接收描述符列表中第一个描述符的基地址。DMA 会忽略 LSB 位（1:0），并在内部将这些位全部置零。因此，这些 LSB 位为只读（RO）。

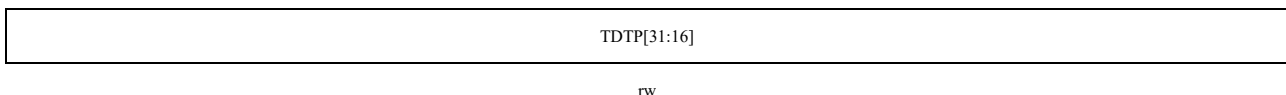
### 47.6.3.10 ETH DMA 通道 0 发送描述符尾指针寄存器（ETH\_DMACH0TXDTP）

偏移地址：0x1120

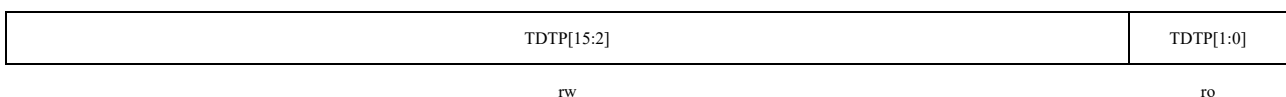
复位值：0x0000 0000

该寄存器指向从基址开始的偏移量，并指示最后一个有效描述符的位置。

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



位域	名称	描述
31:0	TDTP	发送描述符尾指针（Transmit Descriptor Tail Pointer） 该字段包含 Tx 描述符环的尾指针。软件写入尾指针是为了向 Tx 通道添加更多描述符。硬件尝试发送由头指针和尾指针寄存器之间描述符引用的所有数据包。 <i>注：LSB 位（1:0）为只读（RO）。</i>

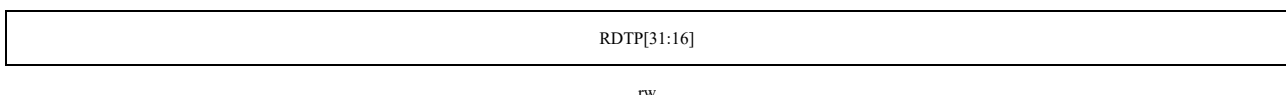
### 47.6.3.11 ETH DMA 通道 0 接收描述符尾指针寄存器（ETH\_DMACH0RXDTP）

偏移地址：0x1128

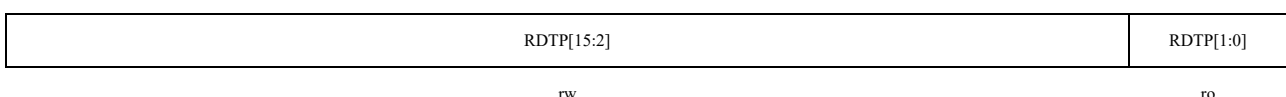
复位值：0x0000 0000

该寄存器指向从基址开始的偏移量，并指示最后一个有效描述符的位置。

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



位域	名称	描述
31:0	RDTP	接收描述符尾指针（Receive Descriptor Tail Pointer） 该字段包含 Rx 描述符环的尾指针。软件写入尾指针是为了向 Rx 通道添加更多描述符。硬件尝试发送由头指针和尾指针寄存器之间描述符引用的所有数据包。

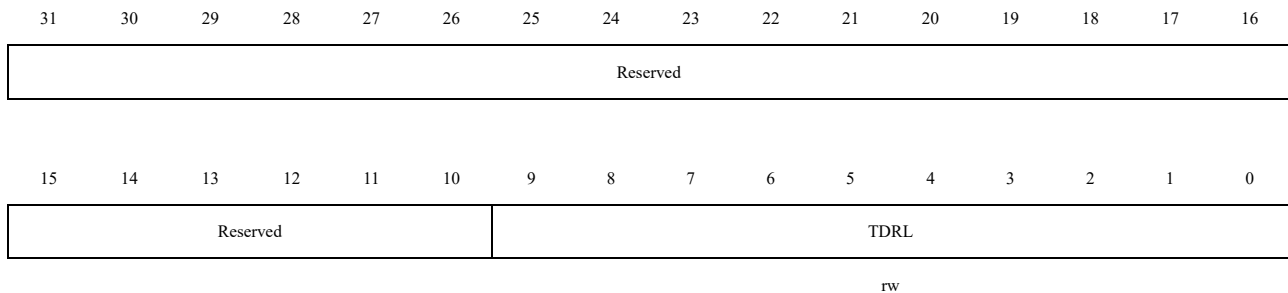
注：LSB 位 (1:0) 为只读 (RO)。

### 47.6.3.12 ETH DMA 通道 0 发送描述符环长度寄存器 (ETH\_DMACH0TXDRLN)

偏移地址：0x112C

复位值：0x0000 0000

该寄存器包含发送描述符环的长度。



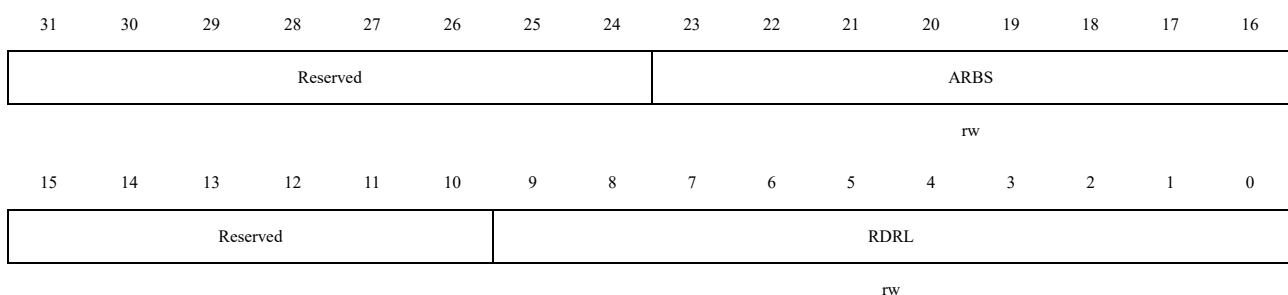
位域	名称	描述
31:10	Reserved	保留，必须保持复位值。
9:0	TDRL	发送描述符环长度 (Transmit Descriptor Ring Length) 该字段设置循环描述符环中 Tx 描述符的最大数量。描述符的最大数量限制为 1K 个描述符。Synopsys 建议环形描述符的最小长度为 4。 例如，可以在该字段中编程任何值，最大值为 0x3FF。该字段宽 10 位，如果编程为 0x3FF，则可以有 1024 个描述符。如果想要 10 个描述符，则将其编程为 0x9。

### 47.6.3.13 ETH DMA 通道 0 接收控制寄存器 2 (ETH\_DMACH0RXCTRL2)

偏移地址：0x1130

复位值：0x0000 0000

该寄存器控制接收功能，如接收描述符环的长度和备用接收缓冲区的大小。



位域	名称	描述
31:24	Reserved	保留，必须保持复位值。
23:16	ARBS	备用接收缓冲区大小 (Alternate Receive Buffer Size) 当 ARBS 编程为非零值 (未启用拆分报头功能) 时，表示缓冲区 1 的大小 (字节)。启用拆分报头功能时，ARBS 表示报头数据的缓冲区大小。最大备用缓冲区限制为 1020 字节 (总线宽度为 32 位)。当 ARBS = 0 时，Rx Buffer1 和 Rx Buffer2 的大小基于 DMA 通道 0 接收控制寄存器中的 RBSZ 字段。

15:10	Reserved	保留，必须保持复位值。
9:0	RDRL	接收描述符环长度（Receive Descriptor Ring Length） 该字段设置循环描述符环中 Rx 描述符的最大数量。描述符的最大数量限制为 1K 个描述符。 例如，可以在该字段中编程任何值，最大值为 0x3FF。该字段宽 10 位，如果编程为 0x3FF，则可以有 1024 个描述符。如果想要 10 个描述符，则将其编程为 0x9。

#### 47.6.3.14 ETH DMA 通道 0 中断使能寄存器（ETH\_DMACH0INTEN）

偏移地址：0x1134

复位值：0x0000 0000

该寄存器可启用状态寄存器报告的中断。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
NIE	AIE	CDEE	FBEE	ERIE	ETIE	RWTE	RSE	RBUE	RIE	Reserved			TBUE	TXSE	TIE	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				rw	rw	rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15	NIE	正常中断汇总使能（Normal Interrupt Summary Enable） 该位置 1 时，会使能正常中断汇总。该位可使能 DMA 通道 0 状态寄存器中的以下中断： bit[0]：发送中断 bit[2]：发送缓冲区不可用 bit[6]：接收中断 bit[11]：提前接收中断 该位复位时，将禁止正常中断汇总。 0：禁用正常中断汇总 1：启用正常中断汇总
14	AIE	异常中断汇总使能（Abnormal Interrupt Summary Enable） 该位置 1 时，会使能异常中断汇总。该位可使能 DMA 通道 0 状态寄存器中的以下中断： bit[1]：发送过程停止 bit[7]：接收缓冲区不可用 bit[8]：接收过程停止 bit[9]：接收看门狗超时 bit[10]：提前发送中断 bit[12]：致命总线错误 bit[13]：上下文描述符错误 该位复位时，将禁止异常中断汇总。



		<p>0: 禁用异常中断汇总</p> <p>1: 启用异常中断汇总</p>
13	CDEE	<p>上下文描述符错误使能 (Context Descriptor Error Enable)</p> <p>当该位与 AIE 位一起置 1 时, 上下文描述符错误中断被启用。该位复位时, 上下文描述符错误中断被禁用。</p> <p>0: 禁用上下文描述符错误中断</p> <p>1: 启用上下文描述符错误中断</p>
12	FBEE	<p>致命总线错误使能 (Fatal Bus Error Enable)</p> <p>当该位与 AIE 位一起置 1 时, 致命总线错误中断被启用。该位复位时, 致命总线错误中断被禁用。</p> <p>0: 禁用致命总线错误中断</p> <p>1: 启用致命总线错误中断</p>
11	ERIE	<p>提前接收中断使能 (Early Receive Interrupt Enable)</p> <p>当该位与 NIE 位一起置 1 时, 提前接收中断被启用。该位复位时, 提前接收中断被禁用。</p> <p>0: 禁用提前接收中断</p> <p>1: 启用提前接收中断</p>
10	ETIE	<p>提前发送中断使能 (Early Transmit Interrupt Enable)</p> <p>当该位与 AIE 位一起置 1 时, 提前发送中断被启用。该位复位时, 提前发送中断被禁用。</p> <p>0: 禁用提前发送中断</p> <p>1: 启用提前发送中断</p>
9	RWTE	<p>接收看门狗超时使能 (Receive Watchdog Timeout Enable)</p> <p>当该位与 AIE 位一起置 1 时, 接收看门狗超时中断被启用。该位复位时, 接收看门狗超时中断被禁用。</p> <p>0: 禁用接收看门狗超时中断</p> <p>1: 启用接收看门狗超时中断</p>
8	RSE	<p>接收停止使能 (Receive Stopped Enable)</p> <p>当该位与 AIE 位一起置 1 时, 接收停止中断被启用。该位复位时, 接收停止中断被禁用。</p> <p>0: 禁用接收停止中断</p> <p>1: 启用接收停止中断</p>
7	RBUE	<p>接收缓冲区不可用使能 (Receive Buffer Unavailable Enable)</p> <p>当该位与 AIE 位一起置 1 时, 接收缓冲区不可用中断被启用。该位复位时, 接收缓冲区不可用中断被禁用。</p> <p>0: 禁用接收缓冲区不可用中断</p> <p>1: 启用接收缓冲区不可用中断</p>
6	RIE	<p>接收中断使能 (Receive Interrupt Enable)</p> <p>当该位与 NIE 位一起置 1 时, 接收中断被启用。该位复位时, 接收中断被禁用。</p> <p>0: 禁用接收中断</p> <p>1: 启用接收中断</p>
5:3	Reserved	保留, 必须保持复位值。

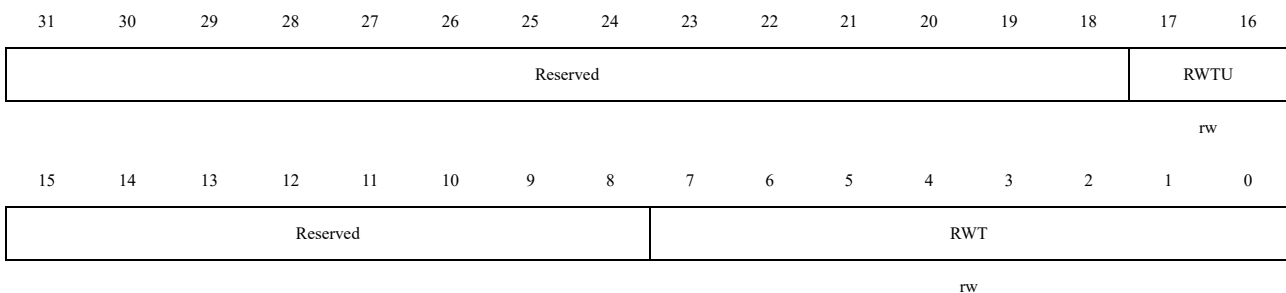
2	TBUE	发送缓冲区不可用使能 (Transmit Buffer Unavailable Enable) 当该位与 NIE 位一起置 1 时, 发送缓冲区不可用中断被启用。该位复位时, 发送缓冲区不可用中断被禁用。 0: 禁用发送缓冲区不可用中断 1: 启用发送缓冲区不可用中断
1	TXSE	发送停止使能 (Transmit Stopped Enable) 当该位与 AIE 位一起置 1 时, 发送停止中断被启用。该位复位时, 发送停止中断被禁用。 0: 禁用发送停止中断 1: 启用发送停止中断
0	TIE	发送中断使能 (Transmit Interrupt Enable) 当该位与 NIE 位一起置 1 时, 发送中断被启用。该位复位时, 发送中断被禁用。 0: 禁用发送中断 1: 启用发送中断

#### 47.6.3.15 ETH DMA 通道 0 接收中断看门狗定时器寄存器 (ETH\_DMACH0RXINTWT)

偏移地址: 0x1138

复位值: 0x0000 0000

该寄存器指示 DMA 接收中断的看门狗超时。向该寄存器写入非零值时, 将针对 DMA 通道状态寄存器的 RI 位使能看门狗定时器。



位域	名称	描述
31:18	Reserved	保留, 必须保持复位值。
17:16	RWTU	接收中断看门狗定时器计数单位 (Receive Interrupt Watchdog Timer Count Units) 该字段表示 RWT 字段中一个单位对应的系统时钟周期数。 00: 256 01: 512 10: 1024 11: 2048 例如, 当 RWT = 2 和 RWTU = 1 时, 看门狗定时器设置的周期则为: $2 \times 512 = 1024$ 个系统时钟周期。
15:8	Reserved	保留, 必须保持复位值。
7:0	RWT	接收中断看门狗定时器计数 (Receive Interrupt Watchdog Timer Count) 该字段表示看门狗定时器被设置的系统时钟周期数 (乘以 RWTU 字段中指示的系数)。

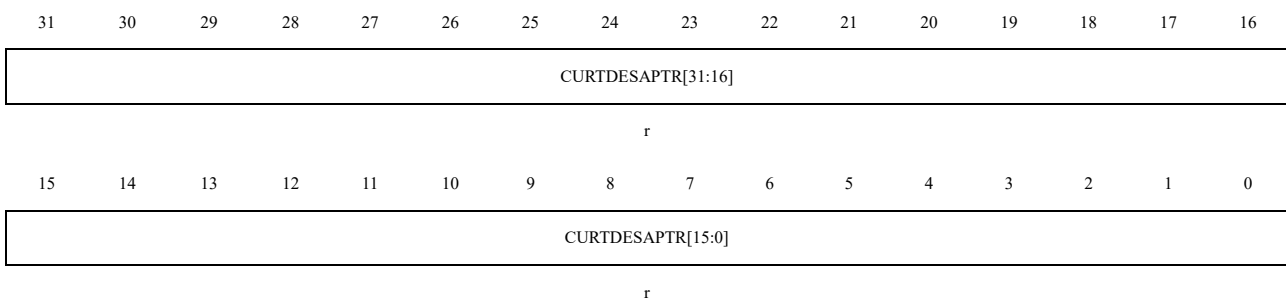
		<p>当 Rx DMA 完成一个在 DMA 通道 0 状态寄存器中 RI 位未置 1 的数据包的传输后，看门狗定时器将以编程值触发，因为相应描述符中的中断使能位 RDES3[30] 已置 1。</p> <p>当看门狗定时器计数结束时，RI 位被置位，定时器停止。当 RI 位被设置为高电平时，看门狗定时器将被重置，因为任何接收到的数据包都会根据中断使能位 RDES3[30] 自动设置 RI。</p>
--	--	--

#### 47.6.3.16 ETH DMA 通道 0 当前应用程序发送描述符寄存器 (ETH\_DMACH0CATXD)

偏移地址：0x1144

复位值：0x0000 0000

该寄存器指向 DMA 读取的当前发送描述符。



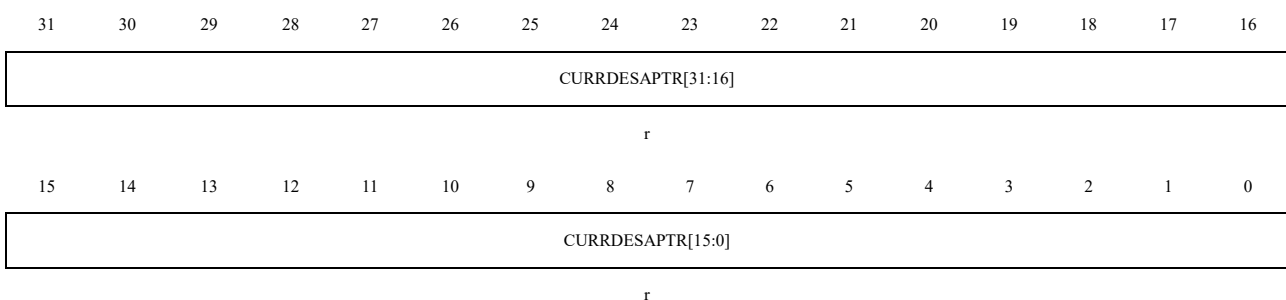
位域	名称	描述
31:0	CURTDESAPTR	应用程序发送描述符地址指针 (Application Transmit Descriptor Address Pointer) 在 Tx 操作期间，DMA 会更新该指针。该指针在复位时清零。

#### 47.6.3.17 ETH DMA 通道 0 当前应用程序接收描述符寄存器 (ETH\_DMACH0CARXD)

偏移地址：0x114C

复位值：0x0000 0000

该寄存器指向 DMA 读取的当前接收描述符。



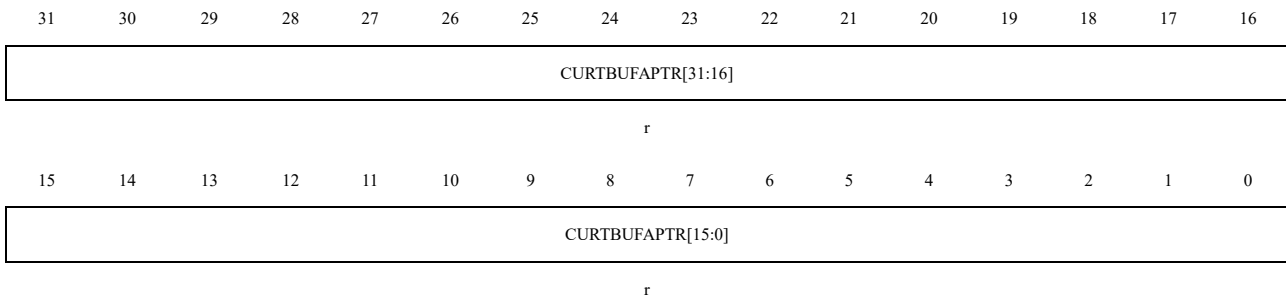
位域	名称	描述
31:0	CURRDESAPTR	应用程序接收描述符地址指针 (Application Receive Descriptor Address Pointer) 在 Rx 操作期间，DMA 会更新该指针。该指针在复位时清零。

#### 47.6.3.18 ETH DMA 通道 0 当前应用程序发送缓冲区寄存器 (ETH\_DMACH0CATXB)

偏移地址：0x1154

复位值：0x0000 0000

该寄存器指向 DMA 读取的当前发送缓冲区地址。



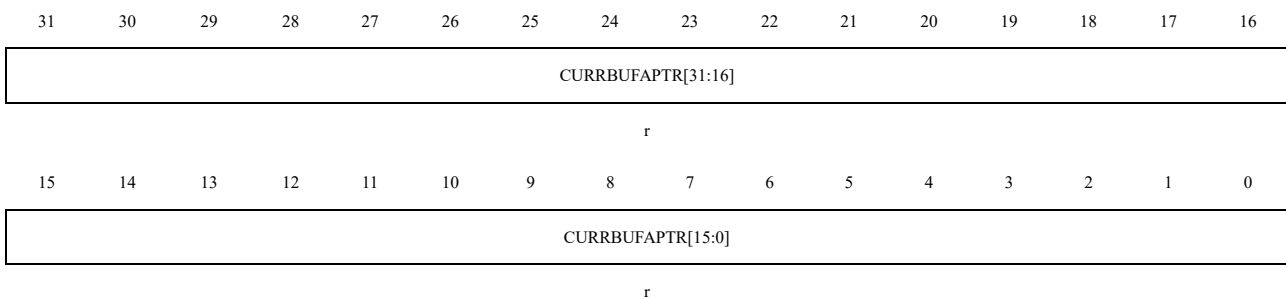
位域	名称	描述
31:0	CURTBUFAPTR	应用程序发送缓冲区地址指针 (Application Transmit Buffer Address Pointer) 在 Tx 操作期间, DMA 会更新该指针。该指针在复位时清零。

### 47.6.3.19 ETH DMA 通道 0 当前应用程序接收缓冲区寄存器 (ETH\_DMACH0CARXB)

偏移地址: 0x115C

复位值: 0x0000 0000

该寄存器指向 DMA 读取的当前接收缓冲区地址。



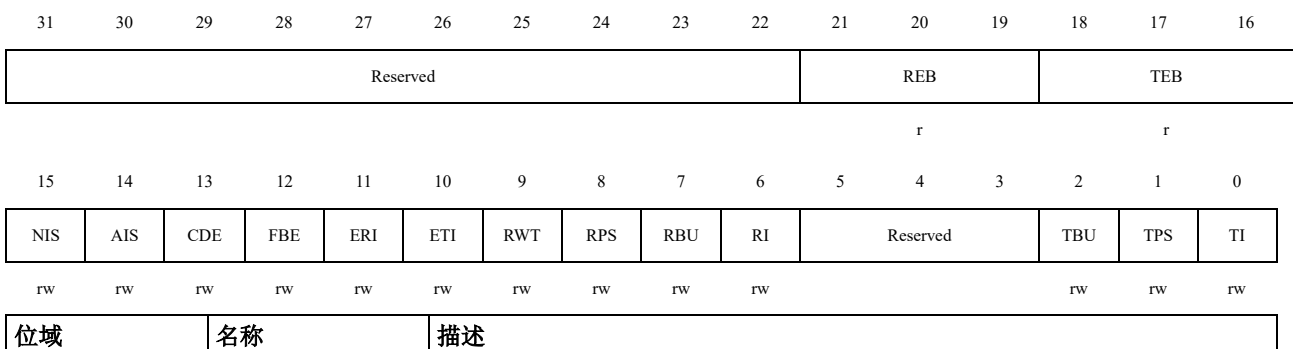
位域	名称	描述
31:0	CURRBUFAPTR	应用程序接收缓冲区地址指针 (Application Receive Buffer Address Pointer) 在 Rx 操作期间, DMA 会更新该指针。该指针在复位时清零。

### 47.6.3.20 ETH DMA 通道 0 状态寄存器 (ETH\_DMACH0STS)

偏移地址: 0x1160

复位值: 0x0000 0000

软件驱动程序 (应用程序) 在中断服务例程或轮询期间读取状态寄存器, 以确定 DMA 的状态。



31:22	Reserved	保留，必须保持复位值。
21:19	REB	<p>Rx DMA 错误位 (Rx DMA Error Bits)</p> <p>该字段指示导致总线错误的错误类型。例如，AHB 接口上的错误响应。</p> <ul style="list-style-type: none"> <li>● bit[21]:                     <ul style="list-style-type: none"> <li>1: Rx DMA 传输数据时出错</li> <li>0: Rx DMA 传输数据时未出错</li> </ul> </li> <li>● bit[20]:                     <ul style="list-style-type: none"> <li>1: 访问描述符时出错</li> <li>0: 访问数据缓冲区时出错</li> </ul> </li> <li>● bit[19]:                     <ul style="list-style-type: none"> <li>1: 读传输时出错</li> <li>0: 写传输时出错</li> </ul> </li> </ul> <p>只有在 FBE 位置 1 时，该字段才有效。此字段不会产生中断。</p>
18:16	TEB	<p>Tx DMA 错误位 (Tx DMA Error Bits)</p> <p>该字段指示导致总线错误的错误类型。例如，AHB 接口上的错误响应。</p> <ul style="list-style-type: none"> <li>● bit[18]:                     <ul style="list-style-type: none"> <li>1: Tx DMA 传输数据时出错</li> <li>0: Tx DMA 传输数据时未出错</li> </ul> </li> <li>● bit[17]:                     <ul style="list-style-type: none"> <li>1: 访问描述符时出错</li> <li>0: 访问数据缓冲区时出错</li> </ul> </li> <li>● bit[16]:                     <ul style="list-style-type: none"> <li>1: 读传输时出错</li> <li>0: 写传输时出错</li> </ul> </li> </ul> <p>只有在 FBE 位置 1 时，该字段才有效。此字段不会产生中断。</p>
15	NIS	<p>正常中断汇总 (Normal Interrupt Summary)</p> <p>当 DMA 通道 0 中断使能寄存器中的相应中断位被使能时，正常中断汇总位的值为以下位的逻辑或 (OR)：</p> <p>bit[0]: 发送中断</p> <p>bit[2]: 发送缓冲区不可用</p> <p>bit[6]: 接收中断</p> <p>bit[11]: 提前接收中断</p> <p>只有未屏蔽位 (在 DMA 通道 0 中断使能寄存器中设置了中断使能的中断) 才会影响正常中断汇总位。</p> <p>每次清除导致 NIS 置 1 的相应位时，都必须清除该位 (向该位写 1)。</p> <p>0: 未检测到正常中断汇总状态</p> <p>1: 检测到正常中断汇总状态</p> <p><i>注: 该位有访问限制, 内部事件时自动置 1, 写 1 清零, 写 0 无影响。</i></p>
14	AIS	<p>异常中断汇总 (Abnormal Interrupt Summary)</p> <p>当 DMA 通道 0 中断使能寄存器中的相应中断位被使能时，正常中断汇总位的值为以下位的逻辑或 (OR)：</p> <p>bit[1]: 发送过程停止</p> <p>bit[7]: 接收缓冲区不可用</p> <p>bit[8]: 接收过程停止</p>

		bit[9]: 接收看门狗超时 bit[10]: 提前发送中断 bit[12]: 致命总线错误 bit[13]: 上下文描述符错误 只有未屏蔽位（在 DMA 通道 0 中断使能寄存器中设置了中断使能的中断）才会影响正常中断汇总位。 每次清除导致 NIS 置 1 的相应位时，都必须清除该位（向该位写 1）。 0: 未检测到异常中断汇总状态 1: 检测到异常中断汇总状态 <i>注：该位有访问限制，内部事件时自动置 1，写 1 清零，写 0 无影响。</i>
13	CDE	上下文描述符错误（Context Descriptor Error） 该位指示 DMA Tx/Rx 引擎接收到了一个描述符错误，这表明在数据流中间出现了无效上下文（中间描述符），或者在发送情况下表示所有的描述符都无效；而在接收侧，这表示 DMA 读取的描述符的缓冲区地址全部为 1，这在许多情况下都被视为无效。 0: 未检测到上下文描述符错误状态 1: 检测到上下文描述符错误状态 <i>注：该位有访问限制，内部事件时自动置 1，写 1 清零，写 0 无影响。</i>
12	FBE	致命总线错误（Fatal Bus Error） 该位指示发生了总线错误（如 TEB/REB 字段所述）。当该位被置 1 时，相应的 DMA 通道引擎将禁止所有总线访问。 0: 未检测到致命总线错误状态 1: 检测到致命总线错误状态 <i>注：该位有访问限制，内部事件时自动置 1，写 1 清零，写 0 无影响。</i>
11	ERI	提前接收中断（Early Receive Interrupt） 当该位被置 1 时，指示 Rx DMA 已完成数据包数据到内存的传输。 ERIC = 0 时：只有在 Rx DMA 用数据包数据完全填满接收缓冲区后才会设置该位。 ERIC = 1 时：每次从 Rx DMA 向缓冲区突发传输数据后，都会设置该位。 设置 RI 位会自动清除该位。 0: 未检测到提前接收中断状态 1: 检测到提前接收中断状态 <i>注：该位有访问限制，内部事件时自动置 1，写 1 清零，写 0 无影响。</i>
10	ETI	提前发送中断（Early Transmit Interrupt） 当该位被置 1 时，指示 Tx DMA 已完成数据包数据到 MTL Tx FIFO 内存的传输。 ETIC = 0 时：只有在 Tx DMA 向 MTL 传输完一个完整数据包后，该位才会被置位。 ETIC = 1 时：在 IOC = 1 的发送描述符中的缓冲区完成（部分）数据包传输后，该位被置位。 0: 未检测到提前发送中断状态 1: 检测到提前发送中断状态 <i>注：该位有访问限制，内部事件时自动置 1，写 1 清零，写 0 无影响。</i>
9	RWT	接收看门狗超时（Receive Watchdog Timeout）

		当接收到长度超过 2048 字节（启用巨型数据包模式时为 10240 字节）的数据包时，该位被置 1。 0: 未检测到接收看门狗超时状态 1: 检测到接收看门狗超时状态 <i>注：该位有访问限制，内部事件时自动置 1，写 1 清零，写 0 无影响。</i>
8	RPS	接收过程停止（Receive Process Stopped） 当接收过程进入停止状态时，该位被置 1。 0: 未检测到接收过程停止状态 1: 检测到接收过程停止状态 <i>注：该位有访问限制，内部事件时自动置 1，写 1 清零，写 0 无影响。</i>
7	RBU	接收缓冲区不可用（Receive Buffer Unavailable） 该位指示应用程序拥有接收列表中的下一个描述符，DMA 无法获取该描述符。Rx 过程暂停（挂起）。要恢复处理 Rx 描述符，应用程序应更改描述符的所有权，并发出接收轮询需求命令。如果未发出该命令，则在接收到下一个可识别的传入数据包时恢复 Rx 进程。 在环模式下，应用程序应将通道的接收描述符尾指针寄存器提前。只有当 DMA 拥有前一个 Rx 描述符时，该位才会被置 1。 0: 未检测到接收缓冲区不可用状态 1: 检测到接收缓冲区不可用状态 <i>注：该位有访问限制，内部事件时自动置 1，写 1 清零，写 0 无影响。</i>
6	RI	接收中断（Receive Interrupt） 该位指示数据包接收已完成。数据包接收完成后，最后一个描述符的 RDES3 的第 31 位将被复位，并在描述符中更新具体的数据包状态信息。 接收仍处于运行状态。 0: 未检测到接收中断状态 1: 检测到接收中断状态 <i>注：该位有访问限制，内部事件时自动置 1，写 1 清零，写 0 无影响。</i>
5:3	Reserved	保留，必须保持复位值。
2	TBU	发送缓冲区不可用（Transmit Buffer Unavailable） 该位指示应用程序拥有发送列表中的下一个描述符，DMA 无法获取该描述符，Tx 过程暂停（挂起）。DMA 调试状态寄存器的 TPS0 字段解释了发送过程的状态转换。 要恢复处理发送描述符，应用程序应执行以下操作： <ul style="list-style-type: none"> <li>● 通过设置 TDES3 的第 31 位来更改描述符的所有权。</li> <li>● 发出发送轮询需求命令。</li> </ul> 对于环模式，应用程序应将通道的发送描述符尾指针寄存器提前。 0: 未检测到发送缓冲区不可用状态 1: 检测到发送缓冲区不可用状态 <i>注：该位有访问限制，内部事件时自动置 1，写 1 清零，写 0 无影响。</i>
1	TPS	发送过程停止（Transmit Process Stopped） 当发送过程进入停止状态时，该位被置 1。 0: 未检测到发送过程停止状态 1: 检测到发送过程停止状态 <i>注：该位有访问限制，内部事件时自动置 1，写 1 清零，写 0 无影响。</i>

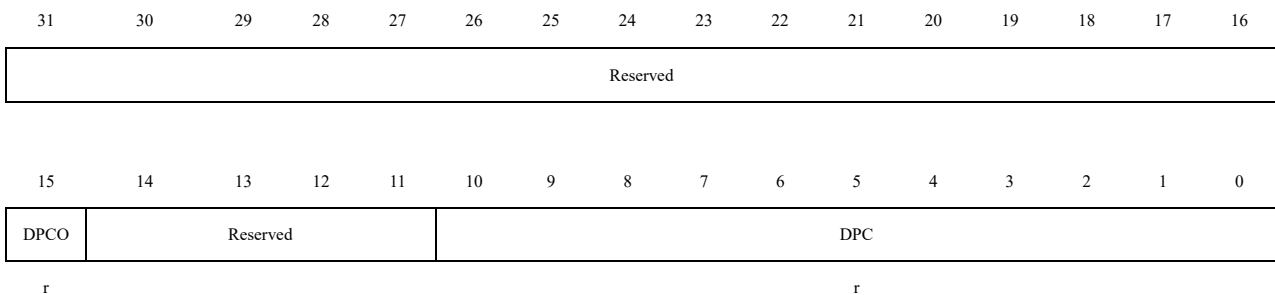
0	TI	发送中断 (Transmit Interrupt) 该位指示数据包发送已完成。数据包发送完成后，最后一个描述符的 TDES3 的第 31 位将被复位，并在描述符中更新具体的数据包状态信息。 0: 未检测到发送中断状态 1: 检测到发送中断状态 注: 该位有访问限制, 内部事件时自动置1, 写1 清零, 写0 无影响。
---	----	---

### 47.6.3.21 ETH DMA 通道 0 丢失帧计数寄存器 (ETH\_DMACH0DPCNT)

偏移地址: 0x1164

复位值: 0x0000 0000

该寄存器记录由于总线错误或编程 DMA 通道 0 接收控制寄存器中的 RPF 字段而被 DMA 丢弃的数据包计数器的数量。



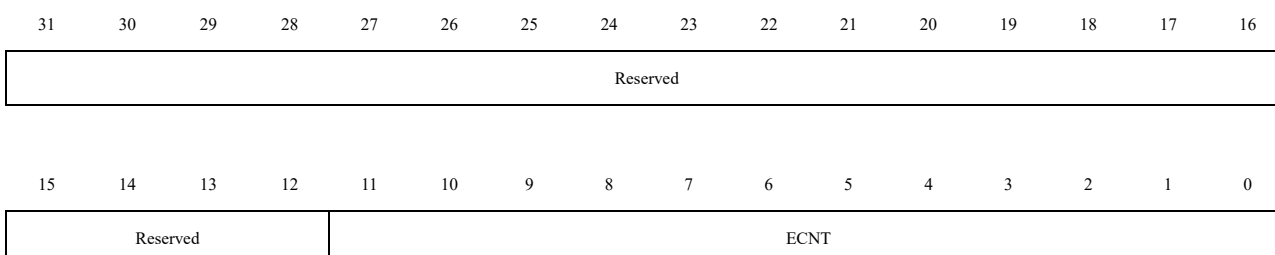
位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15	DPCO	DPC 计数器的上溢状态 (Overflow status of the DPC Counter) 该位置 1 时, DPC 计数器不会再递增。对此寄存器执行读操作时, 该位清零。 注: 该位有访问限制。读清零。内部事件时自动置 1。
14:11	Reserved	保留, 必须保持复位值。
10:0	DPC	丢包计数器 (Dropped Packet Counters) 该计数器指示因总线错误或编程 DMA 通道 0 接收控制寄存器中的 RPF 字段而被 DMA 丢弃的数据包计数器的数量。对此寄存器执行读操作时, 计数器清零。 注: 该位域有访问限制。读清零。内部事件时自动置 1。

### 47.6.3.22 ETH DMA 通道 0 接收 ERI 计数寄存器 (ETH\_DMACH0RXERICNT)

偏移地址: 0x116C

复位值: 0x0000 0000

该寄存器提供 ERI (提前接收中断) 有效次数的计数数量。





r

位域	名称	描述
31:12	Reserved	保留，必须保持复位值。
11:0	ECNT	ERI 计数器 (ERI Counter) 当 DMA 通道 0 接收控制寄存器的 ERIC 位被置 1 时，Rx DMA 从数据包传输开始完成突发传输时，该计数器会递增。该计数器在新数据包开始时复位。

## 48 EtherCAT 从站控制器（ESC）

EtherCAT 从站控制器（ESC）IP 核由德国 Beckhoff 授权。该公司拥有 EtherCAT 技术。关于 EtherCAT 的更多信息，可以访问 EtherCAT 技术组网站（ETG，<http://www.ethercat.org>）。

*注意：只有 N32H7x5EC 系列芯片支持 ESC 模块。*

### 48.1 简介

N32H7x5EC 支持一个 EtherCAT 从站控制器（ESC）。ESC 作为 EtherCAT 现场总线与从站应用程序之间的接口，负责处理 EtherCAT 通信。在使用标准以太网数据包或帧（符合 IEEE 802.3 标准）时，ESC 不会在每个节点接收、解析和复制过程数据。相反，ESC 会在电报通过设备时读取专门发送给该设备的数据。

### 48.2 主要特性

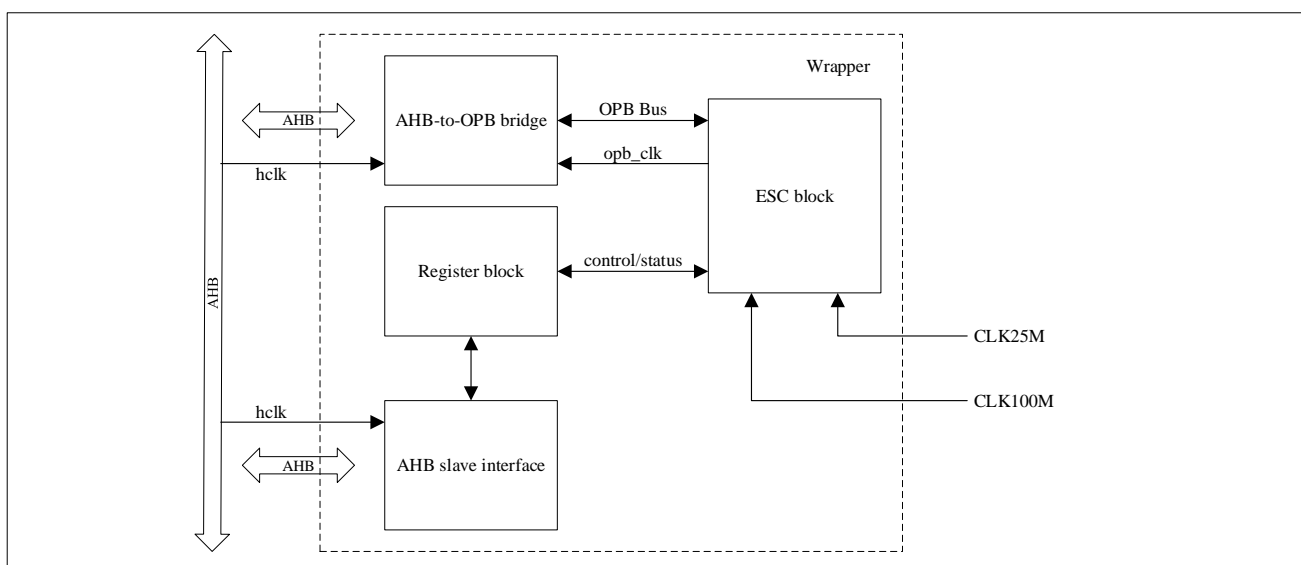
ESC 支持的主要特性如下：

- 2 个 MII 端口用于连接以太网 PHYs
- 8 个现场总线内存管理单元（FMMU）
- 8 个同步管理器（SM）
- 8K 字节过程数据内存
- 64 位分布式时钟（DC）
- 片上总线作为过程数据接口（PDI）

### 48.3 功能框图

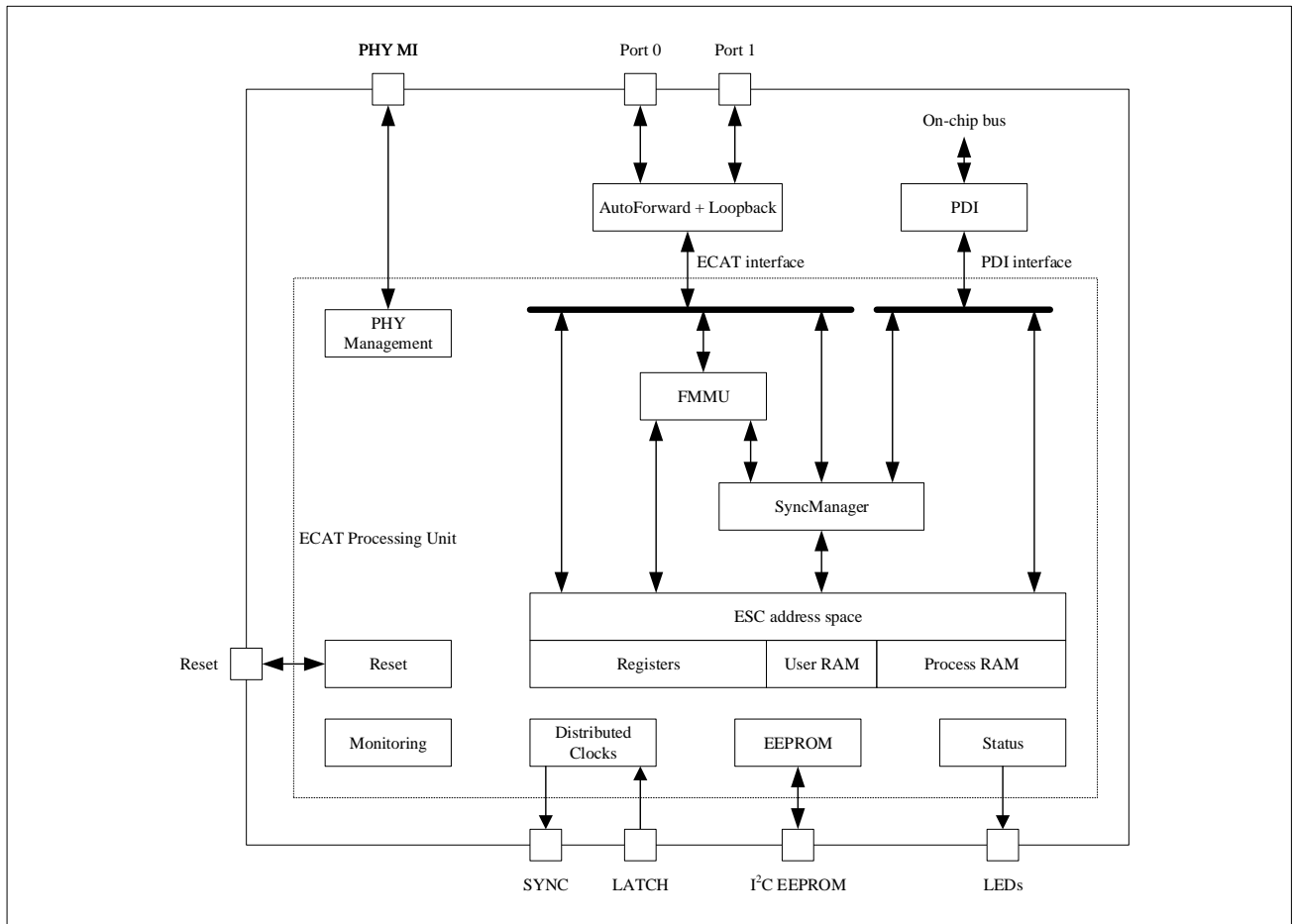
N32H7x5EC 从控制器包含一个顶层封装器。该封装器的框图如下所示：

图 48-1 顶层封装器框图



ESC 的通用功能如下图所示。

图 48-2 ESC 框图



## EtherCAT 接口（以太网）

EtherCAT 接口或端口将 ESC 连接到其他 EtherCAT 从站和 EtherCAT 主站。MAC 层是 ESC 的一个组成部分。物理层与以太网相同，外部以太网 PHY 通过 MII 端口连接到 ESC。EtherCAT 的传输速度固定为 100 Mbit/s，并支持全双工通信。链路状态和通信状态会报告给监控设备。EtherCAT 从站支持 2 个端口，逻辑端口编号为 0-1。

## EtherCAT 处理单元

EtherCAT 处理单元（EPU）接收、分析并处理 EtherCAT 数据流。它在逻辑上位于端口 0 和端口 1 之间。EtherCAT 处理单元的主要目的是启用并协调对 ESC 内部寄存器和内存空间的访问，这些寄存器和内存空间可以通过 EtherCAT 主站和通过 PDI 的本地应用程序进行寻址。主站和从站应用程序之间的数据交换类似于双端口内存（过程内存），并通过特殊功能增强，例如一致性检查（同步管理器）和数据映射（FMMU）。EtherCAT 处理单元除了自动转发、回环功能和 PDI 之外，还包含 EtherCAT 从站的主要功能模块。

### 自动转发器

自动转发器接收以太网帧，执行帧检查并将其转发到回环功能。接收帧的时间戳由自动转发器生成。

### 回环功能

回环功能会在以下任一情况下将以太网帧转发至下一个逻辑端口：端口未建立链路、端口不可用，或该端口

的环路已闭合。端口 0 的回环功能会将帧转发到 EtherCAT 处理单元。环路设置可以由 EtherCAT 主站控制。

## FMMU

现场总线内存管理单元（FMMU）用于将逻辑地址按位映射到 ESC 的物理地址。详情请参见 48.5.5 章节。

## 同步管理器

同步管理器（SyncManagers）负责在 EtherCAT 主站和从站之间进行一致的数据交换和邮箱通信。每个同步管理器的通信方向都可以配置。读或写事务可能分别为 EtherCAT 主站和连接的  $\mu$ Controller 生成事件。同步管理器是 ESC 与双端口存储器之间主要差异的关键所在，因为它们根据同步管理器状态将地址映射到不同缓冲区并阻塞访问。这也是 PDI 带宽限制的基本原因。详情请参见 48.5.6 章节。

## 监控单元

监控单元包含错误计数器和看门狗。看门狗用于监控通信，并在发生错误时返回到安全状态。错误计数器用于错误检测和分析。详情请参阅 48.5.12 和 48.5.13 章节。

## PHY 管理单元

PHY 管理单元通过 MII 管理接口与以太网 PHY 通信。这可以由主站或从站使用。MII 管理接口由 ESC 本身使用，用于在接收错误后通过增强的链路检测机制可选地重新启动自动协商，以及用于 MI 链路检测和配置功能。详情请参见 48.5.4 章节。

## 分布式时钟

分布式时钟（DC）可实现输出信号生成与输入采样的高精度同步，并能为事件生成时间戳。该同步机制可覆盖整个 EtherCAT 网络。详情请参阅 48.5.7 章节。

## 内存

EtherCAT 从站的寻址内存空间由三部分组成。第一个 4 Kbyte（0x0000-0x0FFF）块用于寄存器和用户内存。从地址 0x1000 开始的内存空间用作过程内存（最多 8 Kbyte）。详情请参见 48.5.9 章节。

## SII EEPROM

需要一个非易失性存储器用于 EtherCAT 从站信息（ESI）存储，通常是一个 I<sup>2</sup>C EEPROM。详情请参阅 48.5.10 章节。

## 状态/指示灯

状态块提供 ESC 和应用程序状态信息。它控制外部 LED，如应用程序运行 LED/错误 LED 和端口链路/活动 LED。详情请参阅 48.5.14 章节。

# 48.4 引脚定义

下表列出了 ESC 使用的引脚及其对应的复用功能。

表 48-1 ESC 引脚定义

复用功能	引脚名称	描述
ESC_P0_LINK	PE0, PE11, PK2	端口 0 EtherCAT PHY 链路状态输入引脚，即 LINK_MII 信号，参见 48.5.4.2.1.1 章节。
ESC_P0_MII_RX_CLK	PA1, PA1_C, PF5	端口 0 MII 接收时钟输入引脚。
ESC_P0_MII_RX_DV	PA0, PA0_C, PA7	端口 0 MII 接收数据有效输入引脚。

复用功能	引脚名称	描述
ESC_P0_MII_RX_ERR	PB10, PH3, PI10	端口 0 MII 接收数据错误输入引脚。
ESC_P0_MII_RXD0	PC4, PF8	端口 0 MII 接收数据 0 到 3 输入引脚。
ESC_P0_MII_RXD1	PC5, PF9	
ESC_P0_MII_RXD2	PB0, PH6, PH10	
ESC_P0_MII_RXD3	PB1, PH7, PH11	
ESC_P0_MII_TX_CLK	PC3, PC3_C	端口 0 MII 发送时钟输入引脚。
ESC_P0_MII_TX_EN	PB11, PG11	端口 0 MII 发送数据使能输出引脚。
ESC_P0_MII_TXD0	PB12, PG13	端口 0 MII 发送数据 0 到 3 输出引脚。
ESC_P0_MII_TXD1	PB13, PG12, PG14	
ESC_P0_MII_TXD2	PB7, PC2, PC2_C, PC10, PE3, PJ12	
ESC_P0_MII_TXD3	PC11, PE2, PJ13	
ESC_P1_LINK	PA2, PA6, PA10, PG8	端口 1 EtherCAT PHY 链路状态输入引脚, 即 LINK_MII 信号, 参见 48.5.4.2.1.1 章节。
ESC_P1_MII_RX_CLK	PA8, PF4, PJ4	端口 1 MII 接收时钟输入引脚。
ESC_P1_MII_RX_DV	PC0, PH12, PJ3	端口 1 MII 接收数据有效输入引脚。
ESC_P1_MII_RX_ERR	PG6, PI3	端口 1 MII 接收数据错误输入引脚。
ESC_P1_MII_RXD0	PG2, PG9, PI1	端口 1 MII 接收数据 0 到 3 输入引脚。
ESC_P1_MII_RXD1	PG3, PG10, PI2	
ESC_P1_MII_RXD2	PG4, PJ8	
ESC_P1_MII_RXD3	PG5, PJ9	
ESC_P1_MII_TX_CLK	PG0, PI8	端口 1 MII 发送时钟输入引脚。
ESC_P1_MII_TX_EN	PF10, PF11, PH2, PH13	端口 1 MII 发送数据使能输出引脚。
ESC_P1_MII_TXD0	PF12, PH4, PH14	端口 0 MII 发送数据 0 到 3 输出引脚。
ESC_P1_MII_TXD1	PF13, PH5, PH15	
ESC_P1_MII_TXD2	PF14, PJ0	
ESC_P1_MII_TXD3	PF15, PJ1	
ESC_MDC	PC1, PC7, PE12, PF7	管理数据时钟输出引脚。
ESC_MDIO	PA2, PC6, PE13, PF6	管理数据输入/输出引脚。
ESC_RESET_IN	PE1, PI0, PI11	ESC 复位信号输入引脚。
ESC_RESET_OUT	PC6, PD1, PD13	ESC 复位信号输出引脚。
ESC_SYNC0	PA9, PD9, PI4	SYNC0 信号输出引脚。
ESC_SYNC1	PA12, PD5, PJ2	SYNC1 信号输出引脚。
ESC_LATCH0	PC0, PD11, PI9, PK7	LATCH0 信号输入引脚。
ESC_LATCH1	PD6, PI5, PK4	LATCH1 信号输入引脚。
ESC_EEPROM_CLK	PE5, PE8, PJ10	EEPROM I <sup>2</sup> C 时钟信号输出引脚。
ESC_EEPROM_DATA	PE6, PE9, PJ11	EEPROM I <sup>2</sup> C 数据信号输入/输出引脚。
ESC_LED_RUN	PA4, PE15, PK1	ESC 运行 LED 信号输出引脚。请参见 48.5.14.1 章节。
ESC_LED_ERR	PB2, PD0, PD8, PG15, PK0	ESC 错误 LED 信号输出引脚。请参见 48.5.14.2 章节。
ESC_LED_STATE_RUN	PA5, PE4, PE10, PJ15	ESC 双色状态 LED 信号输出引脚。参见 48.5.14.3 章节。
ESC_LINK_ACT0	PC12, PD12, PG15, PH2	ESC 链接/活动 LED 信号输出引脚。请参见 48.5.14.4 章

复用功能	引脚名称	描述
ESC_LINK_ACT1	PA11, PD7, PI7	节。
ESC_IRQ	PC8, PD3, PI6, PJ5	ESC IRQ 信号输出引脚。

## 48.5 功能描述

### 48.5.1 EtherCAT 协议

EtherCAT 采用标准的 IEEE 802.3 以太网帧结构，因此主站侧可使用标准网络控制器，无需特殊硬件。

EtherCAT 拥有专属的 EtherType 标识 0x88A4，可与其他以太网帧区分。这使得 EtherCAT 能与其他以太网协议并行运行。此时需通过 DL 控制寄存器位 0 配置 ESC，使其转发非 EtherCAT 帧。

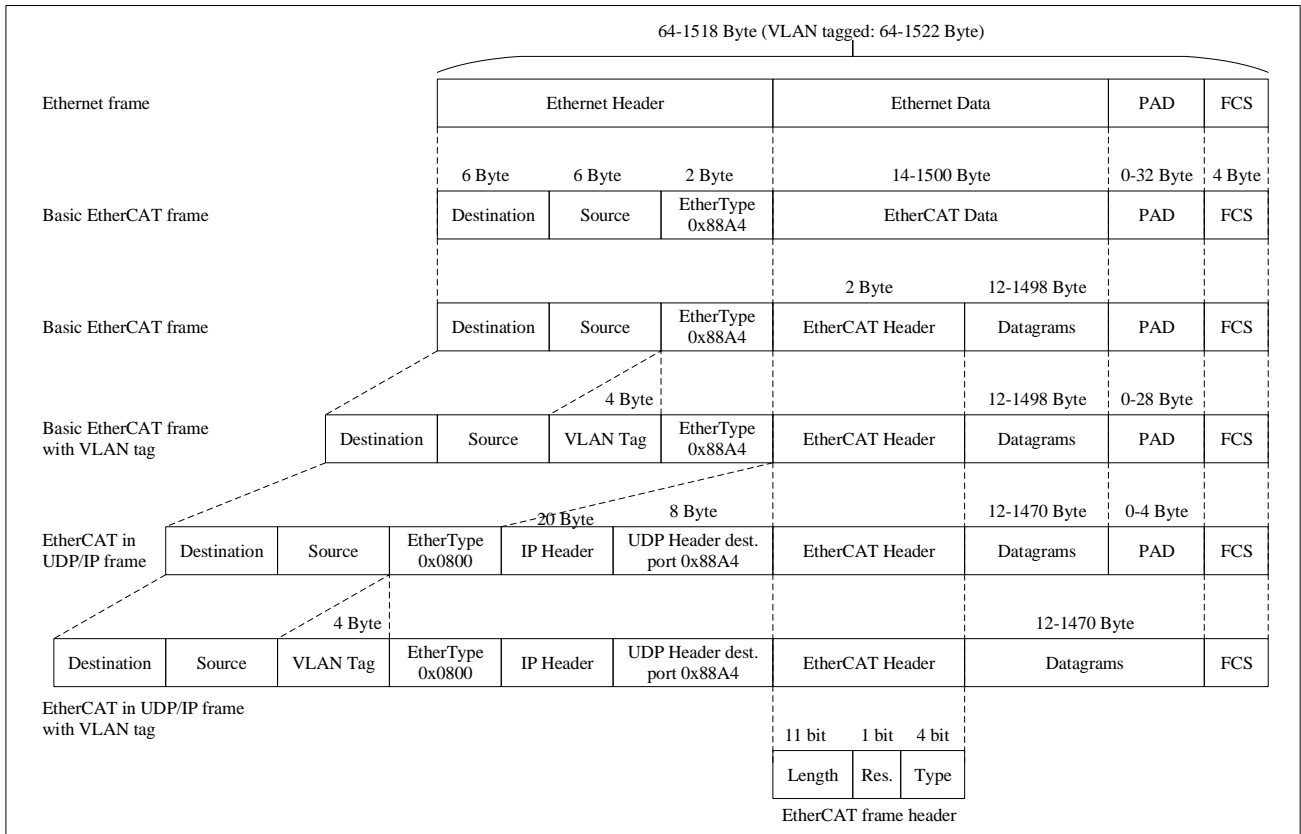
EtherCAT 不需要 IP 协议，但可以封装在 IP/UDP 中。EtherCAT 从站控制器在硬件中处理帧。因此，通信性能与处理器性能无关。

EtherCAT 帧由帧头及一个或多个数据报组成，每个帧至少包含一个数据报。当前 ESC 仅处理 EtherCAT 报头类型为 1 的帧。ESC 同时支持 IEEE802.1Q VLAN 标签，但 ESC 不解析 VLAN 标签内容。

若未满足以太网帧最小尺寸要求，则需添加填充字节。否则 EtherCAT 帧的实际大小应等于所有 EtherCAT 数据报与报头总和。

#### 48.5.1.1 EtherCAT 报头

下图显示了包含 EtherCAT 数据的以太网帧是如何组装的。

**图 48-3 带有 EtherCAT 数据的以太网帧**


下表显示了 EtherCAT 帧头中每个字段的定义。

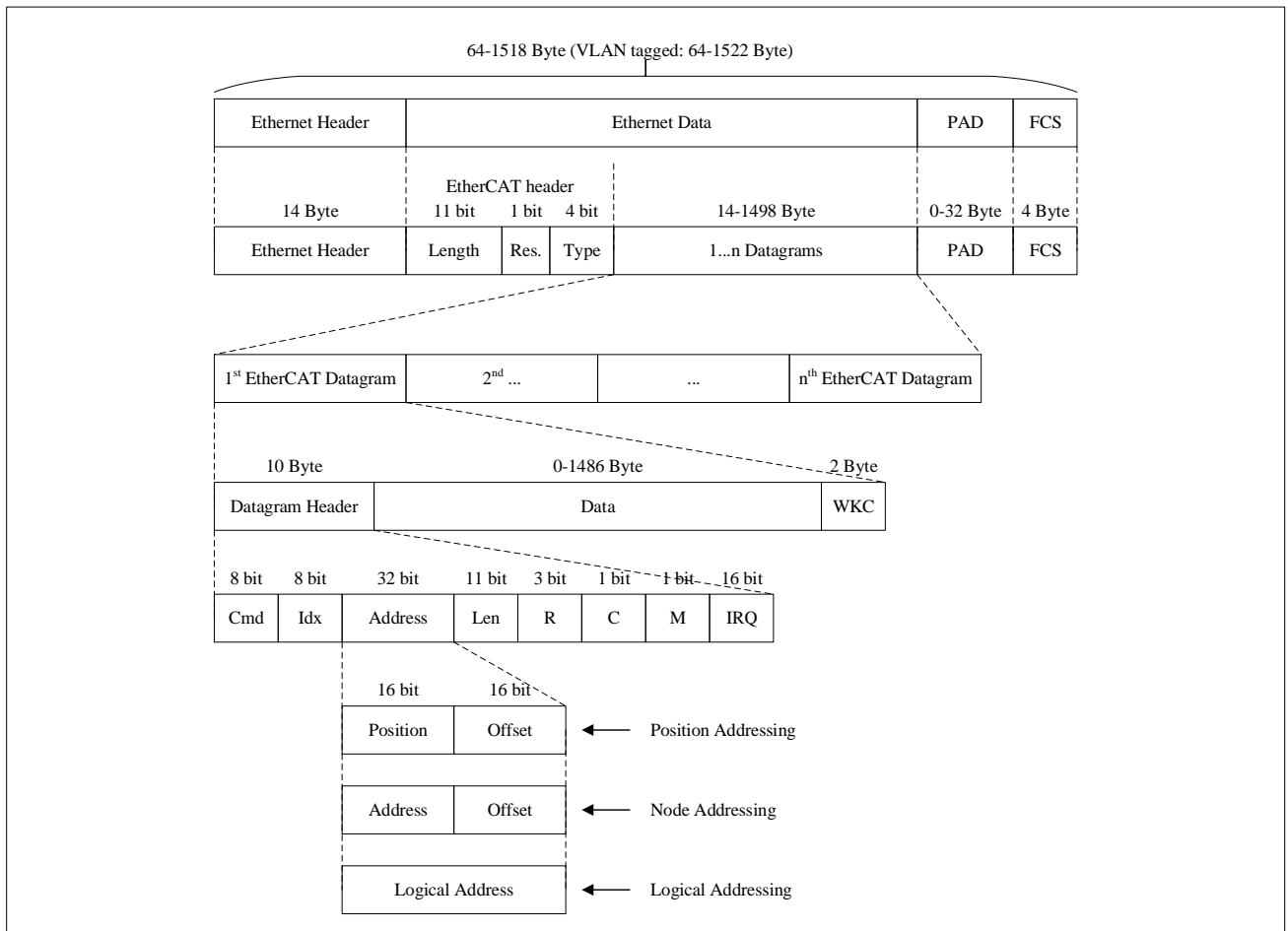
**表 48-2 EtherCAT 帧头**

字段	长度	值/描述
Length	11 位	EtherCAT 数据报的长度（不包括 FCS）
Res.	1 位	保留，0
Type	4 位	协议类型。ESCs 仅支持 EtherCAT 命令（类型 = 0x1）。

*注意：EtherCAT 报头长度字段被 ESC 忽略，它们依赖于数据报长度字段。*

### 48.5.1.2 EtherCAT 数据报

下图显示了一个 EtherCAT 数据报的结构。

**图 48-4 EtherCAT 数据报**


下表显示了 EtherCAT 数据报每个字段的定义。

**表 48-3 EtherCAT 数据报**

字段	长度	值/描述
Cmd	8 位	EtherCAT 命令类型（参见 48.5.1.5）
Idx	8 位	索引是主站用于识别重复/丢失数据报的数字标识符。EtherCAT 从站不得更改它。
Address	32 位	地址（自动递增、配置的站地址或逻辑地址，见 48.5.1.3）
Len	11 位	本数据报中后续数据的长度
R	3 位	保留，0
C	1 位	循环帧（见 48.5.2.4）： 0：帧未循环 1：帧已循环一次
M	1 位	更多 EtherCAT 数据报文 0：最后一个 EtherCAT 数据报文 1：后续将发送更多 EtherCAT 数据报
IRQ	16 位	所有从站的 EtherCAT 事件请求寄存器经逻辑或运算后的组合（见 48.5.11.2）。
Data	n 字节	读/写数据
WKC	2 字节	工作计数器（见 48.5.1.4）



### 48.5.1.3 EtherCAT 寻址模式

在一个段内，EtherCAT 设备支持两种寻址模式：设备寻址和逻辑寻址。设备寻址模式有三种：自动递增寻址、配置站地址和广播。EtherCAT 设备最多可以有两个配置站地址，一个由主站分配（配置站地址），另一个存储在 SII EEPROM 中，可以由从站应用更改（配置站别名地址）。配置站别名地址的 EEPROM 设置仅在上电或复位后的首次 EEPROM 加载时生效。

#### 48.5.1.3.1 设备寻址

设备可以通过设备位置地址（自动递增地址）、节点地址（配置站地址/配置站别名地址）或广播进行寻址。

##### ■ 位置地址/自动递增地址：

数据报将被寻址从站的位置地址保存为负值。每个从站都会递增地址。读取地址等于零的从站被寻址，并将在接收时执行相应的命令。

位置寻址应仅在 EtherCAT 系统启动期间用于扫描现场总线，之后仅在偶尔检测新连接的从站时使用。如果由于热插拔或链路问题导致环路暂时闭合，使用位置寻址会出现问题。在这种情况下，位置地址会发生偏移，例如，设备错误寄存器值的映射将无法实现，从而无法定位故障链路。

##### ■ 节点地址/配置站地址和配置站别名地址：

配置的站地址在启动时由主站分配，不能由 EtherCAT 从站更改。配置的站别名地址存储在 SII EEPROM 中，可以由 EtherCAT 从站更改。配置的站别名必须由主站使能。如果节点地址与配置的站地址或配置的站别名匹配，将执行相应的命令操作。

节点寻址通常用于访问单个且已识别设备的寄存器。

##### ■ 广播：

每个 EtherCAT 从站都被寻址。

广播寻址用于例如初始化所有从站以及检查所有从站的状态是否一致。

每个从站都有一个 16 位的本地地址空间（偏移地址范围 0x0000:0x0FFF 专用于 EtherCAT 寄存器，偏移地址范围 0x1000:0xFFFF 用作过程内存），通过 EtherCAT 数据报的偏移字段进行寻址。过程内存地址空间用于应用程序通信（例如，邮箱访问）。

#### 48.5.1.3.2 逻辑地址

所有设备从同一个逻辑 4G 字节地址空间（EtherCAT 数据报中的 32 位地址字段）读和写数据。从站使用映射单元（FMMU，现场总线内存管理单元）将数据从逻辑过程数据映像映射到其本地地址空间。在启动期间，主站配置每个从站的 FMMU。从站通过 FMMU 的配置信息知道逻辑过程数据映像的哪些部分需要映射到哪个本地地址空间。

逻辑寻址支持按位映射。逻辑寻址是一种强大的机制，可以减少过程数据通信的开销，因此通常用于访问过程数据。

#### 48.5.1.4 工作计数器

每个 EtherCAT 数据报以 16 位工作计数器（WKC）结束。工作计数器计算该 EtherCAT 数据报成功寻址的设备数量。成功的意思是 ESC 被寻址且被寻址的内存是可访问的（例如，受保护的 SyncManager 缓冲区）。EtherCAT 从站控制器在硬件中递增工作计数器。每个数据报应由主站计算出一个预期的工作计数器值。主站可以通过将工作计数器与预期值进行比较来检查 EtherCAT 数据报的有效处理。

如果整个多字节数据报中至少有一个字节/一位成功读取和/或写入，则工作计数器将递增。对于多字节数据

报，仅凭工作计数器的数值无法判断是全部字节还是仅一个字节成功读取和/或写入。这种设计允许通过忽略未使用字节，使用单个数据报读取分离的寄存器区域。

读取-多写命令 ARMW 和 FRMW 根据地址匹配结果，会被视为读取命令或写入命令处理。

以下表格显示了在不同指令下的 WKC 增量。

**表 48-4 工作计数器增量**

命令	条件	增加
读	没有成功	没有变化
	成功读取	+1
写	没有成功	没有变化
	成功写入	+1
读写	没有成功	没有变化
	成功读取	+1
	成功写入	+2
	成功读取和写入	+3

#### 48.5.1.5 EtherCAT 命令类型

所有支持的 EtherCAT 命令类型列在下表中。对于读写操作，先执行读操作，然后执行写操作。

**表 48-5 EtherCAT 命令类型**

CMD	缩写	名称	描述
0	NOP	无操作	从站忽略命令。
1	APRD	自动递增读	从站递增地址。如果接收到的地址为零，从站将读取数据放入 EtherCAT 数据报中。
2	APWR	自动递增写	从站递增地址。如果接收到的地址为零，从站将数据写入内存位置。
3	APRW	自动递增读写	从站递增地址。从站将读取的数据放入 EtherCAT 数据报中，并在接收到的地址为零时将数据写入相同的内存位置。
4	FPRD	配置地址读	从站在地址与其配置的地址之一匹配时，将读取的数据放入 EtherCAT 数据报中。
5	FPWR	配置地址写	从站在地址与其配置的地址之一匹配时将数据写入存储位置。
6	FPRW	配置地址读写	从站将读取的数据放入 EtherCAT 数据报中，并在地址与其配置的地址之一匹配时，将数据写入相同的内存位置。
7	BRD	广播读	所有从站将内存区域的数据和 EtherCAT 数据报的数据进行逻辑或运算，并将结果放入 EtherCAT 数据报中。所有从站递增位置字段。
8	BWR	广播写	所有从站将数据写入内存位置。所有从站递增位置字段。
9	BRW	广播读写	所有从站将内存区域的数据和 EtherCAT 数据报的数据进行逻辑或运算，并将结果放入 EtherCAT 数据报中，然后将数据写入内存位置。BRW 通常不使用。所有从站递增位置字段。
10	LRD	逻辑内存读	从站将读取的数据放入 EtherCAT 数据报中，如果接收到的地址与配置的 FMMU 读取区域之一匹配。
11	LWR	逻辑内存写	从站将数据写入内存位置，如果接收到的地址与配置的 FMMU 写入区域之一匹配。
12	LRW	逻辑内存读写	从站在接收到的地址与配置的 FMMU 读取区域之一匹配时，将读取的数

CMD	缩写	名称	描述
			据放入 EtherCAT 数据报中。从站在接收到的地址与配置的 FMMU 写入区域之一匹配时，将数据写入内存位置。
13	ARMW	自动递增读多次写	从站递增地址。如果接收到的地址为零，从站将读取数据放入 EtherCAT 数据报中，否则从站将数据写入内存位置。
14	FRMW	配置读多次写	从站将读取的数据放入 EtherCAT 数据报中，如果地址与其配置的地址之一匹配，否则从站将数据写入内存位置。
15-255	保留		

## 48.5.2 帧处理

N32H7x5EC 从控制器仅支持直接模式寻址：ESC 既没有分配 MAC 地址也没有分配 IP 地址，它们可以处理具有任何 MAC 或 IP 地址的 EtherCAT 帧。

在 ESC 之间或主站与第一个从站之间无法使用非管理型交换机，因为 ESC 不会评估或交换源和目标 MAC 地址。仅在使用默认设置时修改源 MAC 地址，因此主站可以区分传出和传入的帧。

*注意：将 ESC 直接连接到办公网络会导致网络泛洪，因为 ESC 会将任何帧（尤其是广播帧）反射回网络（广播风暴）。*

帧由 ESC 实时处理，即它们不会存储在 ESC 内部。数据在通过 ESC 时被读取和写入。转发延迟被最小化以实现快速循环时间。转发延迟由接收 FIFO 大小和 EtherCAT 处理单元延迟决定。为了减少延迟时间，省略了发送 FIFO。

ESC 支持 EtherCAT、UDP/IP 和 VLAN 标签。包含 EtherCAT 数据报的 EtherCAT 帧和 UDP/IP 帧会被处理。带有 VLAN 标签的帧由 ESC 处理，但 VLAN 设置会被忽略，且 VLAN 标签不会被修改。

源 MAC 地址在每个通过 EtherCAT 处理单元的帧中都会被更改（SOURCE\_MAC[1] 设置为 1--本地管理地址）。这有助于区分由主站发送的帧和主站接收的帧。

### 48.5.2.1 环路控制和环路状态

每个 ESC 的端口可以处于两种状态之一：打开或关闭。如果端口是打开的，帧会通过该端口传输到其他 ESC，并接收来自其他 ESC 的帧。关闭的端口不会与其他 ESC 交换帧，而是将帧在内部转发到下一个逻辑端口，直到到达一个打开的端口为止。

每个端口的环路状态可以由主站（ESC DL 控制寄存器）控制。ESC 支持四种环路控制设置，两种手动配置和两种自动模式：

#### 手动打开

无论链路状态如何，端口均保持开启。如果没有链接，传出的帧将会丢失。

#### 手动关闭

无论链路状态如何，端口均保持关闭。即使有链路并有帧进入，该端口也不会发送或接收任何帧。

#### 自动

每个端口的环路状态由端口的链路状态决定。如果有链路，环路是打开的；如果没有链路，环路是关闭的。

#### 自动关闭（手动打开）

端口根据链路状态关闭，即如果链路丢失，环路将关闭（自动关闭）。如果链路建立，环路不会自动打开，

而是保持关闭状态（关闭等待状态）。通常，主站必须通过再次将环路配置写入 ESC DL 控制寄存器来显式打开端口。此写操作必须通过另一个打开的端口进入 ESC。还有一个额外的回退选项用于打开端口：如果在自动关闭模式下从关闭端口的的外部链路接收到有效的以太网帧，在正确接收 CRC 后，端口也会被打开。帧的内容不会被评估。

满足以下任一条件且端口配置使能的情况下，视为端口处于开启状态：

- DL 控制寄存器中的环路设置为自动，并且端口上有一个活动链接。
- DL 控制寄存器中的环路设置为自动关闭，端口上有一个活动链接，并且在链接建立后再次写入了 DL 控制寄存器。
- DL 控制寄存器中的环路设置为自动关闭，端口上有一个活动链接，并且在链接建立后，该端口接收到一个有效帧。
- DL 控制寄存器中的环路设置始终为打开状态。

如果满足以下任一条件，则认为端口已关闭：

- 端口在配置中不可用或未启用。
- DL 控制寄存器中的环路设置为自动，且端口没有活动链接。
- DL 控制寄存器中的环路设置为自动关闭，且端口上没有活动链接，或者在链接建立后未再次写入 DL 控制寄存器。
- DL 控制寄存器中的环路设置始终为关闭状态。

*注意：如果所有端口都被关闭（无论是手动还是自动），端口 0 将被打开作为恢复端口。可以通过此端口进行读写操作，尽管 DL 状态寄存器反映了正确的状态。这可以用于校正 DL 控制寄存器设置。*

#### 48.5.2.2 帧处理顺序

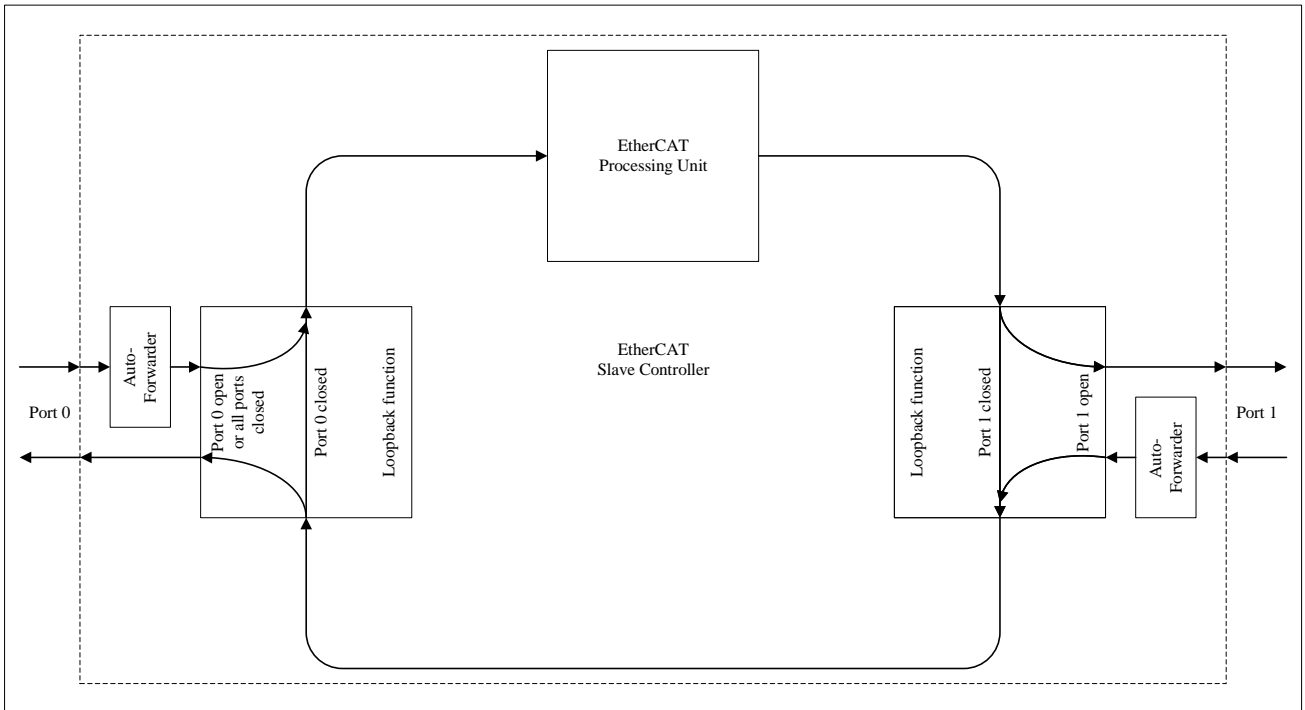
N32H7x5EC 支持两个端口，帧按以下顺序处理：端口 0 → EPU → 端口 1。

通过包含 EtherCAT 处理单元的 ESC 的方向称为“处理”方向，未经过 EtherCAT 处理单元的其他方向称为“转发”方向。

未实现的端口行为类似于关闭的端口，帧被转发到下一个端口。

下图显示了帧处理的一般情况：

图 48-5 帧处理



### 48.5.2.3 影子缓冲区

ESC 具有用于向寄存器（偏移地址：0x0000 到 0x0F7F）写入操作的影子缓冲区。在一个帧期间，写入的数据存储在影子缓冲区中。如果帧接收正确，影子缓冲区的值将被传输到有效寄存器中。否则，影子缓冲区的值将不会被接管。由于这种行为的结果，寄存器在接收到 EtherCAT 帧的 FCS 后的短时间内才会采用新值。同步管理器（SyncManagers）也会在帧正确接收后更改缓冲区。

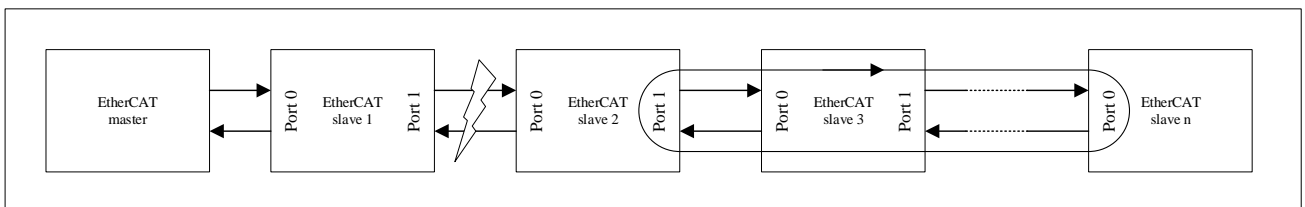
用户和进程内存没有影子缓冲区。对这些区域的访问会直接生效。如果将同步管理器配置为用户内存或进程内存，写入的数据将被放置在内存中，但在发生错误时缓冲区不会改变。

### 48.5.2.4 循环帧

ESC 包含一种防止循环帧的机制。该机制对于正确的看门狗功能非常重要。

下图显示了从站 1 和从站 2 之间链接失败的示例：

图 48-6 循环帧



从站 1 和从站 2 均检测到链路故障并关闭各自端口（从站 1 的端口 1 和从站 2 的端口 0）。此时正通过从站 2 右侧环路传输的帧可能开始循环。若该帧包含输出数据，则可能触发 ESC 的内置看门狗，导致看门狗永不超时，尽管 EtherCAT 主站无法再更新输出。

为了防止这种情况，当从站端口 0 闭环且端口 0 环路控制设为自动或自动闭合（ESC DL 控制寄存器）时，

将在 EtherCAT 处理单元内执行以下操作：

- 如果 EtherCAT 数据报的循环位为 0，则将其设置为 1。
- 如果循环位为 1，则不处理该帧并销毁。

结果是循环帧被检测到并销毁。由于 ESC 不会存储待处理帧，帧片段仍会持续循环并触发链路/活动指示灯，但该片段不会被实际处理。

#### 48.5.2.5 非 EtherCAT 协议

如果使用非 EtherCAT 协议，则必须在 ESC DL 控制寄存器（位 0）中设置转发规则以转发非 EtherCAT 协议。否则，它们将被 ESC 销毁。

#### 48.5.2.6 端口 0 的特殊功能

每个 EtherCAT 的端口 0 与端口 1 相比具有一些特殊功能：

- 端口 0 连接到主站，即端口 0 是上行端口，端口 1 是下行端口（除非发生错误且网络处于冗余模式）。
- 端口 0 的链路状态会影响循环帧位，如果该位被设置且链路自动关闭，帧将在端口 0 被丢弃。
- 如果所有端口都关闭（无论是自动还是手动），端口 0 的环路状态为开启。

### 48.5.3 物理层通用特性

N32H7x5EC 从站控制器支持以太网物理层。它需要 100 Mbit/s 的全双工通信链接。基于以太网的物理层使用符合 IEEE 802.3 标准的以太网物理层设备（PHY）。N32H7x5EC 从站控制器使用 MII 连接到外部以太网 PHY。

#### 48.5.3.1 链接状态

每个端口的链接状态可在 ESC DL 状态寄存器中查看，最重要的是“通信已建立”位（第 9 位和第 11 位）。如果使用 MI 链接检测和配置，额外的链接信息可在 PHY 端口状态寄存器中查看。所有其他状态位主要用于调试目的。

如果所有端口都已关闭（无论是手动还是自动，例如，因为没有端口有通信链接），端口 0 会自动作为恢复端口打开。通过此端口进行读写是可能的，尽管 DL 状态寄存器反映了正确的状态。这可以用来纠正错误的 DL 控制寄存器设置或修复 LINK\_MII 极性配置。

#### 48.5.3.2 FIFO 大小缩减

ESC 包含一个接收 FIFO（RX FIFO），用于解耦接收时钟和处理时钟。FIFO 的大小可以通过 EtherCAT 主站（ESC DL 控制寄存器）进行编程。

FIFO 尺寸值决定了 FIFO 缩减程度，但无法完全禁止 FIFO。缩减 FIFO 容量需综合考量以下三项因素：

- 接收方时钟源精度
- 发送方时钟源精度
- 最大帧大小

默认的 FIFO 大小足以支持最大以太网帧和默认的以太网时钟源精度（100 ppm）。如果时钟精度为 25 ppm 或更高，FIFO 大小可以缩减到最小值。如果 FIFO 大小意外缩减过多，应发送 64 字节短帧重置 FIFO 至默认值，因为较小的帧对 FIFO 的利用程度不如较大的帧。

当收发双方时钟源精度均达 25 ppm 时，即使采用最大帧长，FIFO 大小仍可降至最小值。

由于通常无法保证时钟源在整个生命周期内保持 25 ppm 的精度，因此必须定期测量实际时钟偏差以缩小 FIFO 大小。如果实际偏差大于 25 ppm，则所有相邻设备和从站本身的 FIFO 大小都不能缩减。实际偏差可以使用分布式时钟进行测量：

- 比较仅支持 DC 接收时间的从站在一段时间内的 DC 接收时间。如果被比较的两个从站都支持 DC 时间循环，请不要使用此方法，因为如果 DC 控制环路已稳定，测量的偏差将接近零，但确定 FIFO 大小的实际偏差可能大于 25 ppm。
- 在 DC 控制环路稳定后（即系统时间差寄存器处于最小值时），比较相邻支持 DC 时间环路的从站从寄存器速度计数器差值计算出的偏差。

*注意：若主站使用精度低于 25 ppm 的现成网卡，需谨慎处理首个从站的 FIFO 大小缩减操作。*

## 48.5.4 以太网物理层

采用以太网物理层的 EtherCAT 从站设备通常支持使用 MII 接口，部分设备也支持 RMII 接口。由于 RMII 物理层包含 FIFO 缓冲器，会增加 EtherCAT 从站设备的转发延迟并加剧抖动。基于此，N32H7x5EC 从站控制器不支持采用 RMII 作为以太网物理层。

### 48.5.4.1 MII 接口

与普通以太网设备相比，EtherCAT 从站在使用 MII 接口时存在差异。下表显示了具有特殊用途和未使用的 MII 信号：

**表 48-6 特殊/未使用的 MII 接口信号**

信号	描述
TX_CLK	传输时钟。TX_CLK 可选用于自动 TX 移位补偿。
COL	冲突检测。未使用，保持未连接。
CRS	载波侦听。未使用，保持未连接。
TX_ER	发送错误。连接至 GND。

有关 MII 接口的更多详细信息，请参阅 IEEE 标准 802.3（第 22 条），可从 IEEE 获取。

### 48.5.4.2 链接检测

链接检测的主要目标是非常快速地检测到链接丢失。这是为了通过适当地关闭通信回路来维持网络中其余部分的通信所必需的。

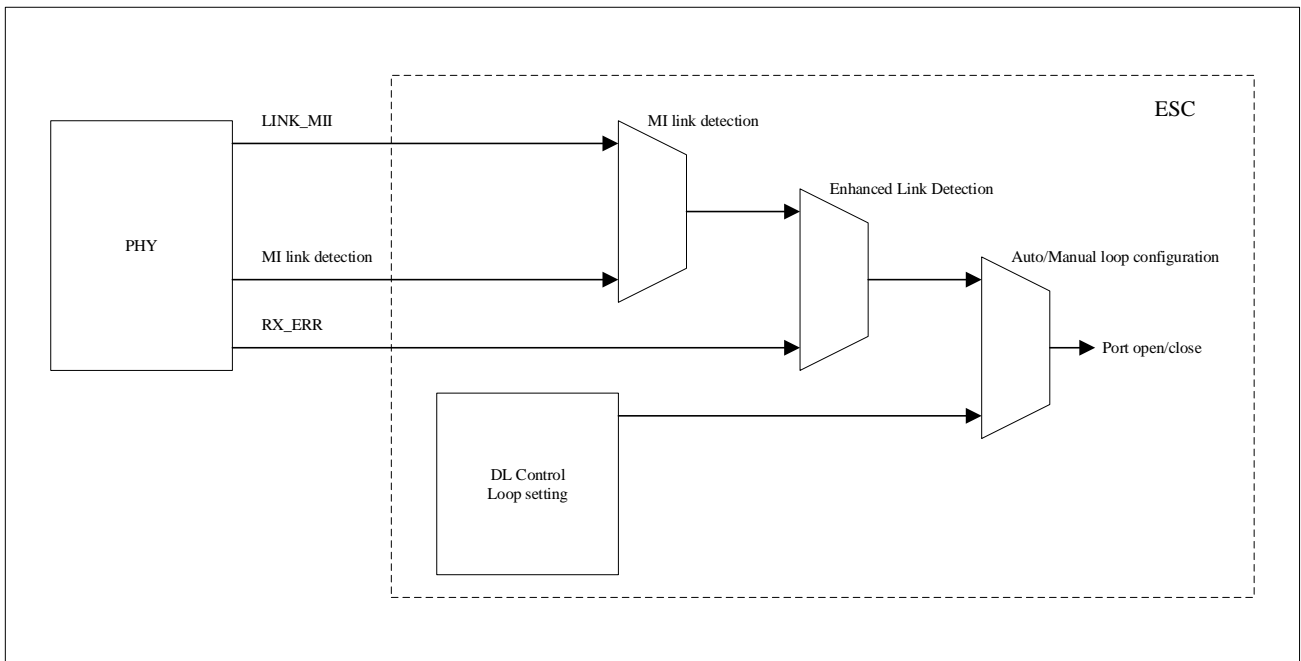
以太网 PHY 可用的链路状态来源包括：

- 以太网 PHY 提供的 LINK\_MII 信号
- MI 链路检测和配置（MII 管理接口）
- 增强型链路检测使用的 RX\_ERR 信号

当链路丢失时，MI 链路检测通常无法满足 EtherCAT 的快速响应需求。多数 PHY 的 LINK\_MII 信号响应足够迅速，但部分 PHY 需借助增强型链路检测（RX\_ERR）。

不同链路状态源的结果将根据 DL 控制环路设置（ESC DL 控制寄存器）在 ESC 内部进行评估：

图 48-7 链接检测



首先，LINK\_MII 信号和 MI 链路检测的结果被结合在一起。LINK\_MII 信号的结果可在 ESC DL 状态寄存器（位 4 和位 5）中获得。MI 链路检测的结果可在 PHY 端口状态寄存器（偏移地址范围 0x0518:0x0519）中获得。

增强型链路检测功能在使能状态下，若检测到过多 RX\_ERR 错误，将覆盖先前检测结果。结果反映在 ESC DL 状态寄存器中（第 9 位和第 11 位--通信已建立），并用于控制 LINKACT LED 状态。

最后，DL 控制设置决定链路结果是否被评估（及评估方式）。每个端口的环路状态反映在 ESC DL 状态寄存器中（第 8 位和第 10 位--环路打开/关闭）。

#### 48.5.4.2.1 标准链接检测

不同源的标准 MII 链路检测结果通过特定逻辑进行组合。主要组合显示在下表中。

表 48-7 以太网链接检测组合

LINK_MII	MI 链接	MI 无链接	链接结果	描述
不	不	不	无链接	-
是	不	不	链接	-
是	是	不	链接	MI 链路检测发现有效的链路状态，LINK_MII 的状态已被接受。
不在乎	不	是	无链接	MI 链路检测发现无效的链路状态，无论是本地还是链路伙伴，都会覆盖其他状态。
链路中断事件	是	是	无链接	链路断开事件（边沿）会覆盖 MI 链路检测。
不	是	是	链接	仅测试，因为链路丢失反应时间太慢：使用 MI 链路而不使用 LINK_MII。

注意：“MI 链接”表示 MI 链接检测成功读取了 PHY，结果是 OK 的。“MI 无链接”表示 MI 链接检测成功读取了 PHY，但结果不是 OK 的。如果 MI 链接检测无法正确读取 PHY，结果是未定义的。



#### 48.5.4.2.1.1 LINK\_MII 信号

用于链路检测的 LINK\_MII 信号通常是以太网 PHY 的 LED 输出信号。如果可用，LINK\_MII 应连接到指示 100 Mbit/s 全双工链路的组合信号。如果没有这样的信号，可以使用指示 100 Mbit/s 链路（速度 LED）的信号。如果只有链路信号（链路 LED）可用，也可以使用。切勿使用（组合的）活动信号，例如 Link/Act LED 输出，因为链路状态会在活动时切换。

使用专用链路信号而不是读取 MII 管理接口寄存器的主要优点是，在链路丢失的情况下反应时间更快。这对于冗余操作至关重要，因为只允许丢失一个帧。丢失链路的 ESC 的 EtherCAT 端口必须尽快关闭，以维持其他端口的 EtherCAT 通信并减少丢失帧的数量。

#### 48.5.4.2.1.2 MI 链接检测和配置

N32H7x5EC 从站控制器通过使用 MII 管理接口支持链路检测和 PHY 配置。最初，会检查并在必要时更新 PHY 配置。之后，每个以太网端口的链路状态会被周期性轮询。EtherCAT 主站的 PHY 访问根据请求推断。

MI Link 配置机制将以以太网 PHY 配置为使用自动协商，并仅宣传 100BASE-TX 全双工连接。原生支持 FX 操作的 ESC 将 FX 端口配置为使用固定的 100BASE-TX 全双工连接，而不使用自动协商。

根据物理层配置和支持的 ESC 功能（例如，TX 与 FX），MI 链路检测将检查链路特性是否满足 EtherCAT 要求（自动协商、速度、双工等）。如果所有条件都满足，则检测到 MI 链路。

由于 MI 链路检测并非仅依赖 PHY 链路状态位（PHY 状态寄存器），本地 PHY 与远程 PHY 可能显示链路存在，但 ESC 会因其不符合 EtherCAT 要求而拒绝该链路。当前的 MI 链路检测状态反映在 MI 接口寄存器（PHY 端口 0/1 状态寄存器）中。

MI 链路检测和配置在没有通过 LINK\_MII 信号进行链路检测的情况下不得使用，否则链路丢失响应时间将过长而影响冗余操作。在这种情况下，如果在 PHY 断开链路之前发给 ESC 的 RX\_ERR 数量太少，增强链路检测可能不是一个合适的解决方案。

*注意：在测试时，可以在没有 LINK\_MII 信号的情况下使用 MI 链路检测：如果 LINK\_MII 信号被静态设置为“无链路”，则仅使用 MI 链路检测。*

MI 链路检测与配置功能用于检查与以太网 PHY 的管理通信。若通信不可行（例如未配置预期 PHY 地址的 PHY），则忽略检测结果。请确保正确配置 PHY 地址以避免异常行为。

*注意：正确的 PHY 地址设置和 PHY 地址偏移配置对于 MI 链路检测和配置至关重要。*

#### 48.5.4.2.2 增强型链接检测

对于以太网，增强型 MII 链路检测功能是一种链路错误检测和反应功能。这必须与实际链路检测区分开来，实际链路检测告诉 ESC 是否有物理链路可用（即 LINK\_MII 信号或 MI 链路检测和配置机制）。

增强型 MII 链路检测将在固定时间间隔（约 10 $\mu$ s）内发生至少 32 个接收错误（RX\_ERR）时额外断开链路。本地回路将关闭，并通过 MII 管理接口重新启动自动协商机制通知链路伙伴。这将通知链路伙伴错误情况，链路伙伴将关闭回路。

ESC 在自动协商期间保持端口关闭，直到链路断开并再次连接（如果链路未断开，端口将保持关闭）。

增强型 MII 链路检测的可用性取决于支持的 PHY 地址配置，否则必须禁用。

#### 48.5.4.3 管理接口（MI）

大多数带有 MII/RMII/RGMII 端口的 EtherCAT 从站控制器使用 MII 管理接口与以太网 PHY 进行通信。MII 管理接口可以由 EtherCAT 主站或本地  $\mu$ Controller 使用。增强型 MII 链路检测使用管理接口进行配置，并在

发生通信错误后重新启动自动协商（仅限 TX PHYs）。为了实现快速链路检测，ESC 需要使用一个单独的信号（LINK\_MII）。

请参阅 48.5.4.2 章节了解有关以太网 PHY 的链路检测的详细信息。有关 MII 管理接口的更多详细信息，请参阅 IEEE 标准 802.3（第 22 条），可从 IEEE 获取。

ESC 支持所有 PHY 共享 MII 管理接口，即 MCLK 和 MDIO 连接到 ESC 和所有 PHY。

#### 48.5.4.3.1 PHY 寻址/PHY 地址偏移

正确的 PHY 地址配置对于增强链路检测和 MI 链路检测及配置至关重要，因为 ESC 本身需要将逻辑端口与相应的 PHY 地址关联起来。EtherCAT 主站可以通过 PHY 地址寄存器使用任何地址访问以太网 PHY。

通常，逻辑端口号与 PHY 地址匹配，即 EtherCAT 主站和 ESC 本身使用 PHY 地址 0 访问端口 0 的 PHY（端口 1 的 PHY 使用 PHY 地址 1）。

通过 PHY 地址偏移配置 N32H7x5EC 从站控制器的 PHY 地址：

ESC 通过地址“x + PHY 地址偏移量”访问逻辑端口 x 的 PHY。EtherCAT 主站使用 PHY 地址 0/1 访问逻辑端口 0/1。这些地址在 ESC 内部通过 PHY 地址偏移进行递增。如果主站使用 PHY 地址 2-31，这些地址也会在 ESC 内部通过 PHY 地址偏移进行递增。

N32H7x5EC 从站控制器 PHY 地址配置为上电时预设的固定值。

通常 PHY 地址偏移量应设为 0，此时逻辑端口号与 PHY 地址完全对应。部分以太网 PHY 设备会为 PHY 地址 0 分配特殊功能（例如 PHY 地址 0 作为广播 PHY 地址）。此类情况下不可使用 PHY 地址 0，应选择非零的 PHY 地址偏移量，且优先选用 ESC 支持的偏移值（最大支持偏移量为 31）。若选用的 PHY 地址超出 ESC 支持范围，则增强型链路检测及 MI 链路检测与配置功能将无法使用且必须禁止（此时 PHY 地址偏移量应设为 0）。尽管如此，EtherCAT 主站仍可通过实际 PHY 地址与物理层设备通信，且 EtherCAT 通信始终可通过 LINK\_MII 信号实现。建议此时将 PHY 地址设置为逻辑端口号加 1。

如果 ESC 的 PHY 地址偏移配置反映实际 PHY 地址设置，则无论 PHY 地址偏移值如何，EtherCAT 主站均可通过 PHY 地址寄存器中的地址 0/1 访问逻辑端口 0/1 对应的 PHY 设备。

#### 48.5.4.3.2 MI 读/写示例

MI 支持两种命令：写单个 PHY 寄存器或读单个 PHY 寄存器。访问 PHY 寄存器需执行以下步骤：

1. 检查 MI 状态寄存器的“忙”位是否已清除且 MI 处于未忙状态。
2. 将 PHY 地址写入 PHY 地址寄存器。
3. 将要访问的 PHY 寄存器编号写入 PHY 寄存器地址寄存器（0-31）。
4. 仅写命令：将写数据写入 PHY 数据寄存器（16 位）。
5. 通过写控制寄存器发出命令。

对于读命令，将 1 写入 MII 管理控制/状态寄存器（偏移地址 0x0510）的第 8 位。

对于写命令，将 1 写入 MII 管理控制/状态寄存器的第 0 位（写使能位），同时将 1 写入 MII 管理控制/状态寄存器的第 9 位。这两个位必须在一个帧中写入。写使能位实现了一种写保护机制。它对同一帧中发出的后续 MI 命令有效，并在之后自动清除。

6. 若 EtherCAT 帧无错误，则在 EOF 后执行该命令。
7. 等待直到 MI 状态寄存器的“忙”位被清除。

8. 检查 MI 状态寄存器的错误位。命令错误位通过有效命令或清除命令寄存器来清除。读错误位表示读取错误，例如错误的 PHY 地址。通过写入寄存器可以清除该错误位。
9. 仅读命令：读取的数据可在 PHY 数据寄存器中获取。

*注意：命令寄存器位是自动清除的。手动清除命令寄存器也会清除状态信息。*

#### 48.5.4.3.3 MI 接口分配到 ECAT/PDI

若 MII 管理 PDI 访问状态寄存器的位 0 未设置，则 EtherCAT 主站将控制 MI 接口（默认状态）。EtherCAT 主站可阻止 PDI 对 MI 接口的控制，并可强制 PDI 释放对 MI 接口的控制权。上电后，PDI 可以在没有任何主站事务的情况下接管 MI 接口的控制。

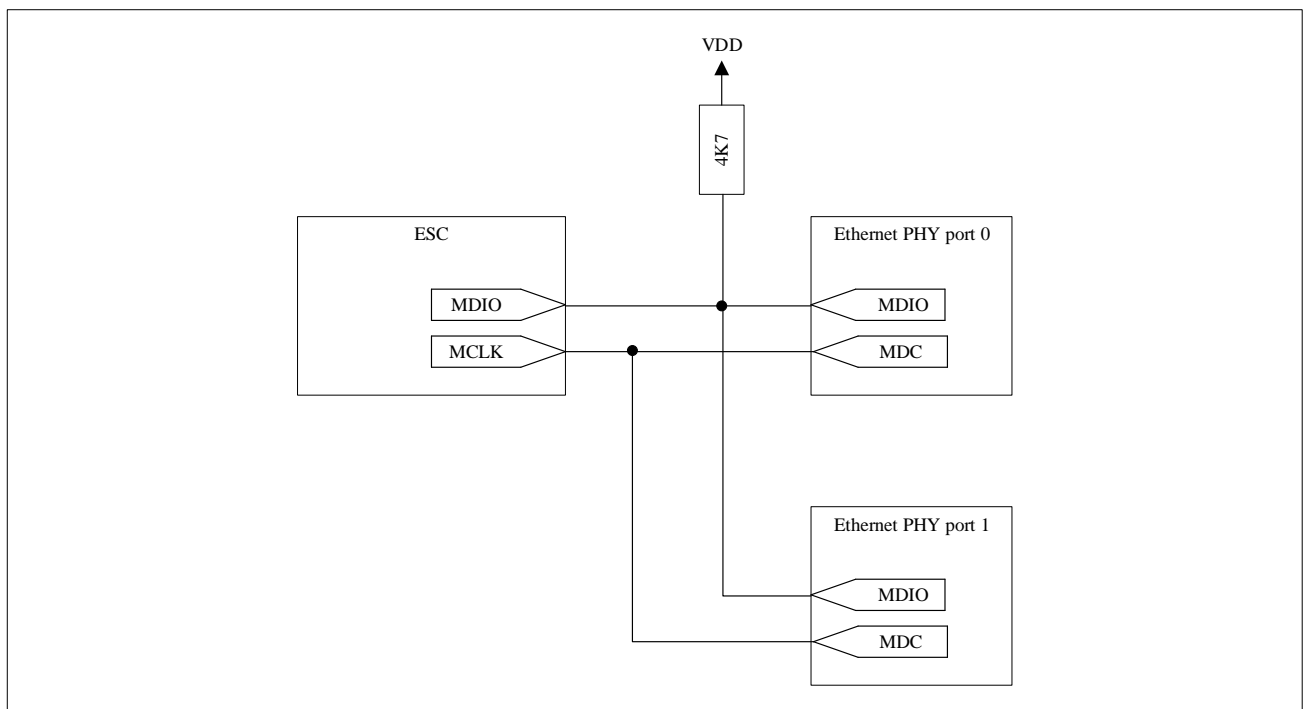
#### 48.5.4.3.4 MI 协议

每次 MI 访问以“1”的前导码开始（如果没有前导码抑制，则为 32 个，如果 ESC 和 PHY 都支持前导码抑制，则更少），接着是帧起始（01）和操作码（写操作为“01”，读操作为“10”）。然后将 PHY 地址（5 位）和 PHY 寄存器地址（5 位）传输到 PHY。之后是一个转换（写操作为“10”，读操作为“Z0”--Z 表示 MDIO 为高阻抗），接着是两个字节的数据。传输在第二个数据字节之后以及至少一个空闲周期后完成。

#### 48.5.4.4 MII 管理示例示意图

MII 管理接口是所有 PHY 的共享总线。示例原理图显示了 ESC 和 PHY 之间的连接。请注意正确的 PHY 地址配置。

图 48-8 MII 管理示例示意图



#### 48.5.5 FMMU

现场总线内存管理单元（FMMU）通过内部地址映射将逻辑地址转换为物理地址。因此，FMMU 允许对跨越多个从站的数据段使用逻辑寻址：一个数据报可以寻址多个任意分布的 ESC 中的数据。每个 FMMU 通道

将一个连续的逻辑地址空间映射到从站的一个连续的物理地址空间。N32H7x5EC 从站控制器的 FMMU 支持按位映射，并支持 8 个 FMMU。FMMU 支持的访问类型可配置为读、写或读写。

*注意：逻辑进程映像：最大为 4 GByte。*

### 48.5.5.1 FMMU 映射示例

以下示例说明了 FMMU 的功能配置：将逻辑地址 0x00010011.3 至 0x00010013.0 的 14 位映射到物理寄存器位 0x1000.1 至 0x1001.6。由于映射位跨越逻辑地址空间的 3 个字节，故 FMMU 长度为 3 字节。长度计算始于包含映射位的第一个逻辑字节，终于包含映射位的最后一个逻辑字节。

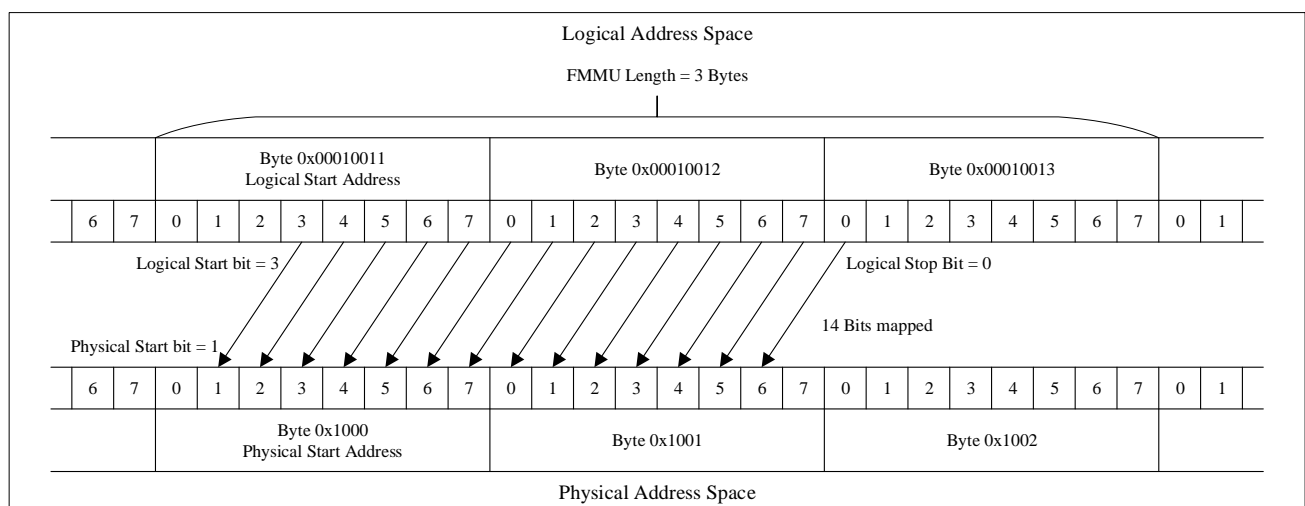
在这种情况下，FMMU 的相关寄存器配置如下表所示：

**表 48-8 FMMU 配置示例**

FMMU 配置寄存器	值
逻辑起始地址	0x00010011
长度	3
逻辑起始位	3
逻辑停止位	0
物理起始地址	0x1000
物理起始位	1
类型	读和/或写
激活	1 (使能)

在这种情况下，FMMU 的映射关系如下所示：

**图 48-9 FMMU 映射示例**



### 48.5.5.2 FMMU 限制

FMMU 存在限制条件。当两个同方向（读或写）的 FMMU 位于同一 ESC 中时，若其中一个或两个 FMMU 采用位映射（逻辑起始位  $\neq 0$ 、逻辑停止位  $\neq 7$  或物理起始位  $\neq 0$ ），则其逻辑地址范围之间必须至少间隔 3 个未被同类型 FMMU 配置的逻辑字节。在上述示例中，所示地址区之后的首个逻辑地址区起始地址必须为 0x00010017 或更高（示例 FMMU 末字节为 0x00010013，故 0x00010014-0x00010016 三个字节为空闲区）。

如果仅使用字节映射（逻辑起始位=0，逻辑停止位=7，或物理起始位=0），逻辑地址范围可以是相邻的。

如果使用按位映射，则未映射到逻辑地址的位将被写入未定义的值（例如，如果只有物理地址位 0x1000.0 被写入 FMMU 映射，则位 1-7 将被写入未定义的值）。

### 48.5.5.3 FMMU 附加特性

- 每个逻辑地址字节最多可以由一个 FMMU（读）加一个 FMMU（写），或者由一个 FMMU（读写）映射。如果为同一个逻辑字节配置了两个或更多 FMMU（方向相同--读或写），则使用编号较低的 FMMU（配置地址空间较低），其他的将被忽略。
- 一个或多个 FMMU 可指向同一物理内存，所有 FMMU 均被使用。不会发生冲突。
- 使用一个读写 FMMU 或两个 FMMU（一个读，另一个写）用于相同的逻辑地址是一样的。
- 读写 FMMU 不能与同步管理器一起使用，因为独立的读和写同步管理器无法配置为使用相同（或重叠）的物理地址范围。
- 支持在任何地址进行按位读取。未映射到逻辑地址的位在 EtherCAT 数据报中不会被更改。例如，这允许将多个 ESC 的位映射到同一个逻辑字节中。
- 一个帧/数据报寻址到未在 ESC 中配置的逻辑地址空间时，不会更改 ESC 中的数据，也不会将 ESC 中的数据放入该帧/数据报中。

### 48.5.6 同步管理器

ESC 的内存可用于在 EtherCAT 主站与本地应用程序（连接到 PDI 的微控制器）之间无限制地交换数据。将内存用于这样的通信存在一些缺陷，这些缺陷由 ESC 内部的同步管理器（SyncManagers）解决：

- 数据一致性无法保证。需通过软件实现信号量机制以协调数据交换。
- 数据安全性无法保证。需通过软件实现安全机制。
- 无论是 EtherCAT 主站还是应用程序，都必须轮询内存以确定另一方的访问何时完成。

同步管理器可使 EtherCAT 主站与本地应用程序之间实现一致且安全的数据交换，并通过生成中断通知双方数据变更。

同步管理器由 EtherCAT 主站配置。通信方向是可配置的，通信模式（缓冲模式和邮箱模式）也是可配置的。同步管理器使用位于内存区域的缓冲区来交换数据。对该缓冲区的访问由同步管理器的硬件控制。

必须从起始地址开始访问缓冲区，否则访问将被拒绝。在访问起始地址后，可以访问整个缓冲区，甚至可以再次访问起始地址，无论是整体访问还是分次访问。缓冲区访问通过访问结束地址终止，之后缓冲区状态会发生变化，并生成中断或看门狗触发脉冲（如果已配置）。在一个帧内，结束地址不能被重复访问。

同步管理器支持两种通信模式：

#### ■ 缓冲模式

缓冲模式允许双方，即 EtherCAT 主站和本地应用程序，随时访问通信缓冲区。消费者始终获取由生产者写入的最新一致缓冲区，而生产者可以随时更新缓冲区的内容。如果缓冲区的写入速度快于读取速度，旧数据将被丢弃。

缓冲模式通常用于周期过程数据。

#### ■ 邮箱模式

邮箱模式实现了一种用于数据交换的握手机制，从而确保数据不会丢失。每一方，无论是 EtherCAT 主

站还是本地应用程序，只有在另一方完成访问后才能访问缓冲区。首先，生产者将数据写入缓冲区。然后，缓冲区在消费者读取之前被锁定写入。之后，生产者再次获得写入权限，而缓冲区对消费者则被锁定。

邮箱模式通常用于应用层协议，例如基于 EtherCAT 的以太网（EoE）、基于 EtherCAT 的 CAN 应用层（CoE）、基于 EtherCAT 的文件访问（FoE）、基于 EtherCAT 的自动化设备规范（AoE）等。

同步管理器仅在帧的帧校验序列（FCS）正确时才接受由主设备引发的缓冲区变更，因此缓冲区变更将在帧结束后的短时间内生效。

### 48.5.6.1 缓冲模式

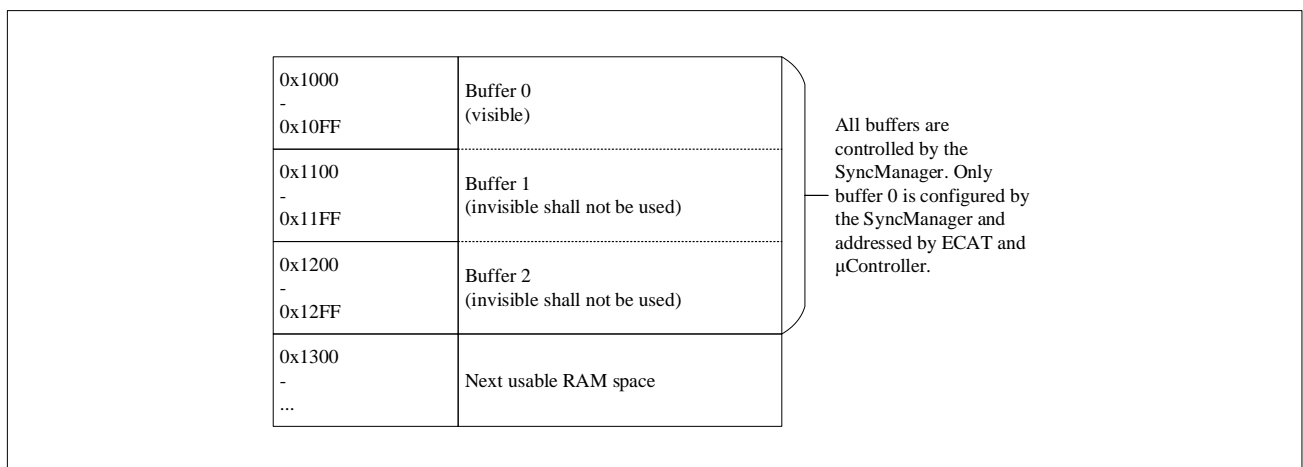
缓冲模式也被称为三缓冲模式。

物理上，缓冲模式使用三个相同大小的缓冲区。第一个缓冲区的起始地址和大小在同步管理器配置中设定。主站和本地应用程序必须使用该缓冲区的地址进行数据读写操作。根据同步管理器的状态，对第一个缓冲区（0）地址范围的访问会被重定向到三个缓冲区中的一个。缓冲区 1 和 2 占用的内存不可被使用，在配置其他同步管理器时应考虑这一点。

三个缓冲区中：一个分配给生产者（用于写入），一个分配给消费者（用于读取），第三个缓冲区则保存生产者最后一致写入的数据。

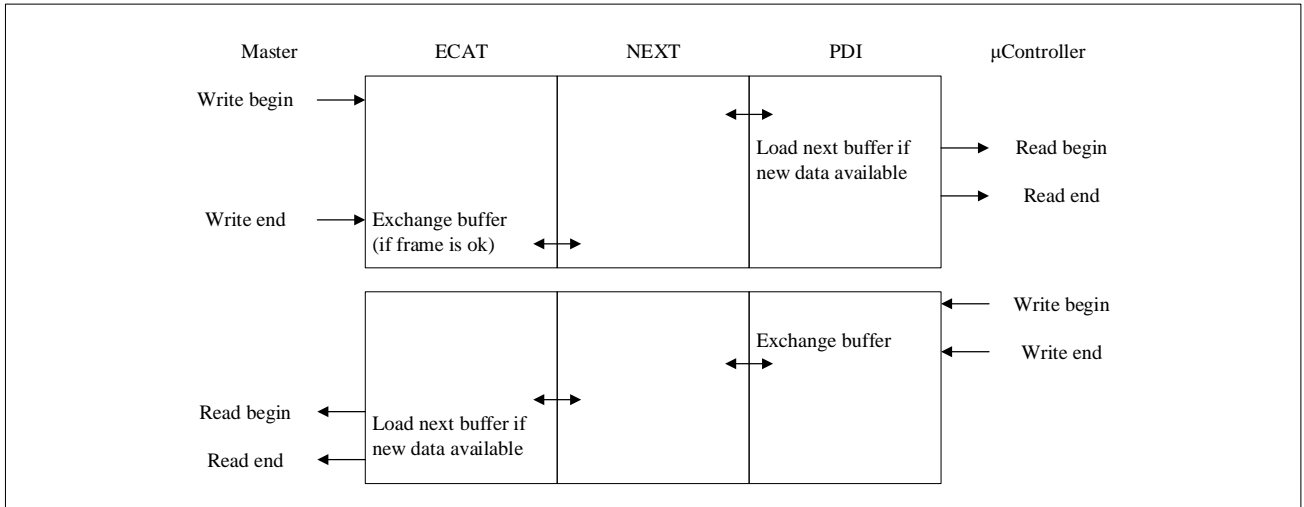
例如，下图展示了一个起始地址为 0x1000 且长度为 0x100 的配置。其他缓冲区不得被读取或写入。对缓冲区的访问始终指向缓冲区 0 范围内的地址。

图 48-10 同步管理器缓冲区分配



缓冲区交互如下图所示：

图 48-11 同步管理器缓冲模式交互



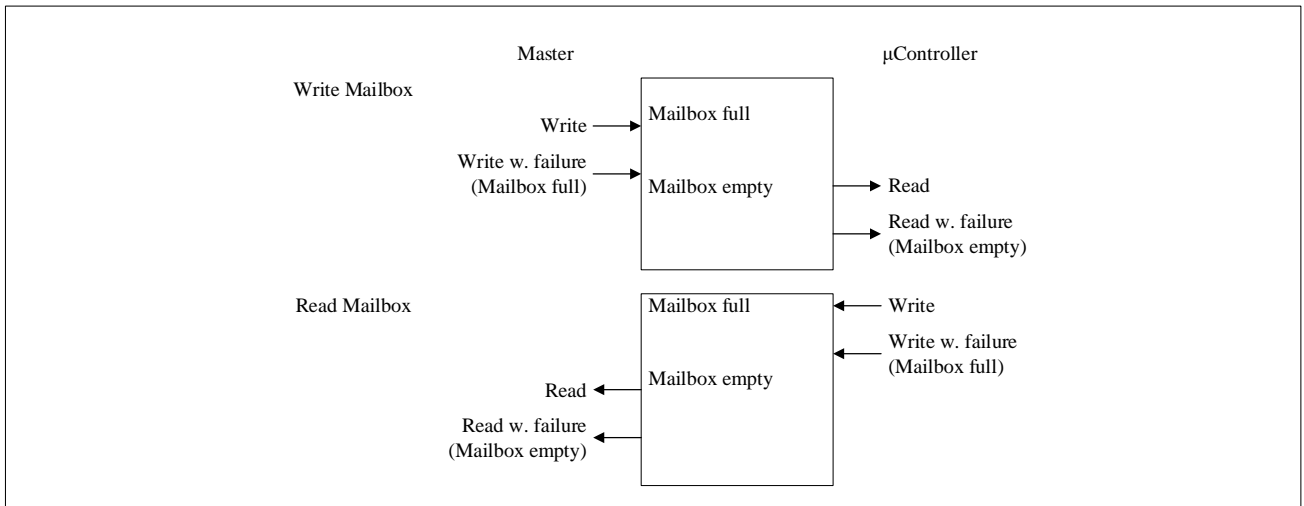
同步管理器的状态寄存器反映当前状态。该寄存器显示最后写入的缓冲区（仅供参考，访问重定向由 ESC 执行）以及中断状态。若同步管理器缓冲区此前未被写入，则最后写入的缓冲区将显示为 3（开始/空）。

### 48.5.6.2 邮箱模式

邮箱模式仅允许交替读写操作。这确保了生产者发送的所有数据都能到达消费者。该模式仅使用一个配置大小的缓冲区。

首先，在初始化/激活后，缓冲区（邮箱，MBX）是可写的。当缓冲区被完全写入后，写操作将被阻塞，此时缓冲区可被另一端读取。待缓冲区被完全读取后，即可重新进行写操作。

图 48-12 同步管理器邮箱交互



### 48.5.6.3 PDI 寄存器功能的写应答

请参阅 48.5.15.2 章节了解此功能的背景，该功能仅在 PDI 读缓冲区时影响 SyncManager 的操作。此特性不会影响 EtherCAT 的操作。

若使能 PDI 寄存器写应答功能，读取同步管理器缓冲区包含以下步骤：

- 读第一个字节。

这将打开缓冲区。意外读后续字节没有影响。

- 读缓冲区的任何字节。

这包括第一个字节、最后一个字节以及任何内部字节。缓冲区保持打开状态，并且缓冲区甚至可以被多次读取。意外读最后一个字节没有影响。

- 写缓冲区的最后一个字节。

字节使能信号被使用，写入数据被忽略（写入 0）。此写操作关闭缓冲区。

意外读取第二个 SyncManager 缓冲区的第一个字节（位于要读取的缓冲区之后）仍然是可能的，这将打开第二个 SyncManager 缓冲区。这可以通过将 SyncManager 缓冲区的起始地址对齐到  $\mu$ Controller 的数据宽度来轻松避免。无论如何，建议将 SyncManager 缓冲区的起始地址对齐到 64 位（8 字节）边界。

#### 48.5.6.4 中断和看门狗触发生成，锁存事件生成

中断可以在缓冲区完全且成功写入或读取时生成。看门狗触发信号可以在缓冲区完全且成功写入后生成，以重置（触发）过程数据看门狗。中断和看门狗触发的生成是可配置的。同步管理器状态寄存器反映当前缓冲区状态。

出于调试目的，也可以在成功访问缓冲区时触发分布式时钟锁存事件。

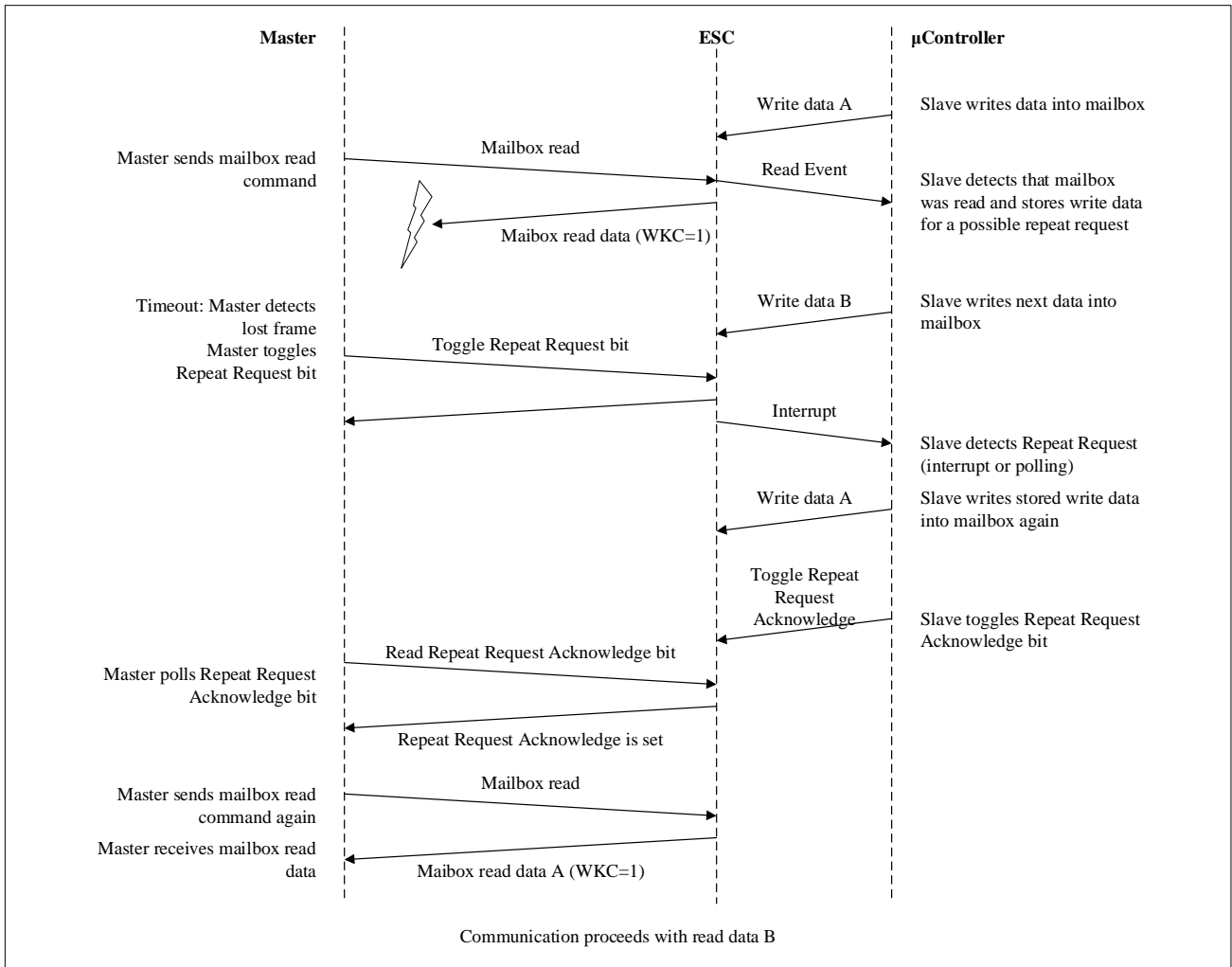
#### 48.5.6.5 重复邮箱通信

丢失的包含邮箱数据的数据报由应用层处理。在邮箱模式下，SyncManager 激活寄存器和 PDI 控制寄存器中的重复请求/重复应答位用于从从站到主站的缓冲区重传。如果返回主站的邮箱读取帧在途中丢失或损坏，主站可以切换重复请求位。从站轮询此位或接收到中断（SyncManager 激活寄存器发生变化，AL 事件请求寄存器的第 4 位）后，将最后的缓冲区再次写入 SyncManager。随后，PDI 在 PDI 控制寄存器中切换重复应答位。主站将读此位并读取缓冲区内容，通信随即恢复。

该机制如下图所示，适用于邮箱写服务。邮箱确认在从从站到主站的传输过程中丢失，必须再次重复。



图 48-13 读取邮箱时重复请求的处理



### 48.5.6.6 通过 PDI 停用同步管理器

同步管理器可以通过 PDI 停用，以通知主站本地问题（通常仅在缓冲模式下使用）。主站可以通过检查工作计数器（Working Counter）来检测同步管理器的停用，如果访问了已停用的同步管理器缓冲区，工作计数器将不会递增。如果同步管理器通过 PDI 停用（PDI 控制同步管理器寄存器的第 0 位设置为 1），同步管理器的状态将被重置，中断被清除，并且在重新激活后必须首先写入同步管理器。在同步管理器被 PDI 停用期间，整个同步管理器缓冲区区域处于读/写保护状态。

### 48.5.7 分布式时钟

EtherCAT 从站控制器的分布式时钟（DC）单元支持以下功能：

- 从站（和主站）之间的时钟同步
- 生成同步输出信号（SyncSignals）
- 输入事件（锁存信号）的精确时间戳
- 生成同步中断

### 48.5.7.1 时钟同步

DC 时钟同步使所有 EtherCAT 设备（主站和从站）能够共享相同的 EtherCAT 系统时间。EtherCAT 设备可以相互同步，因此本地应用程序也会同步。

为了系统同步，所有从站都与一个参考时钟同步。通常，在一个段内，主站之后的第一个具有分布式时钟功能的 ESC 持有参考时间（系统时间）。此系统时间被用作参考时钟，用于同步其他设备和主站的 DC 从站时钟。时钟同步会考虑传播延迟、本地时钟源漂移以及本地时钟偏移。

ESCs 可以生成同步信号，以便本地应用程序与 EtherCAT 系统时间同步。同步信号可以直接使用（例如，作为中断）。此外，锁存信号可以根据 EtherCAT 系统时间进行时间戳标记。

#### 48.5.7.1.1 系统时间

- 从 2000 年 01 月 01 日 0 时开始
- 基本单位是 1 纳秒
- 64 位值（足够使用超过 500 年）
- 低 32 位覆盖 4.2 秒（通常满足通信和时间戳需求）。

#### 48.5.7.1.2 参考时钟

一个 EtherCAT 设备将被用作参考时钟。通常，参考时钟是主站与所有需要同步的从站（DC 从站）之间第一个具有 DC 功能的 ESC。参考时钟可能会调整为“全局”参考时钟，例如 IEEE 1588 主时钟。参考时钟提供系统时间。

#### 48.5.7.1.3 本地时钟

每个 DC 从站都有一个本地时钟，最初独立于参考时钟运行。本地时钟与参考时钟之间的差异（偏移）以及时钟漂移都可以被补偿。偏移通过将其添加到本地时钟值来补偿。漂移通过测量和调整本地时钟速度来补偿。

每个 DC 从站都保存了一份参考时钟的副本，该副本由本地时钟和本地偏移量计算得出。参考时钟也有一个本地时钟。

#### 48.5.7.1.4 主时钟

参考时钟通常由 EtherCAT 主站使用主时钟初始化，以根据系统时间定义提供系统时间。EtherCAT 主时钟通常绑定到全局时钟参考（RTC 或主 PC、IEEE1588、GPS 等），这些参考要么直接可供主站使用，要么通过提供参考访问的 EtherCAT 从站间接获得。

#### 48.5.7.1.5 偏移

本地时钟与参考时钟之间的偏移有两个原因：从持有参考时钟的 ESC 到具有从时钟的设备的传播延迟，以及由于 ESC 上电时间不同导致的本地时间初始差异。这个偏移在每个从站中被本地补偿。

ESC 持有参考时钟通过添加本地偏移量从其本地时间推导出系统时间。该偏移量表示本地时间（从上电时开始）与主时间（从 2000 年 1 月 1 日 0:00 开始）之间的差异。

#### 48.5.7.1.6 漂移

由于参考时钟和 DC 从站通常不是由相同的时钟源（例如石英）提供，它们的时钟源会受到时钟周期微小偏差的影响。结果是一个时钟运行得比另一个稍快，它们的本地时钟逐渐偏离。

### 48.5.7.2 时钟同步过程

时钟同步过程包括四个步骤：

1. 传播延迟测量：

主站启动所有从站之间所有方向的传播延迟测量。每个 EtherCAT 从站控制器测量测量帧的接收时间。随后，主站收集时间戳并计算所有从站之间的传播延迟。

2. 参考时钟（系统时间）的偏移补偿：

每个从时钟的本地时间与系统时间进行比较。通过将差异单独写入每个从站来进行补偿。所有设备都获得相同的绝对系统时间。

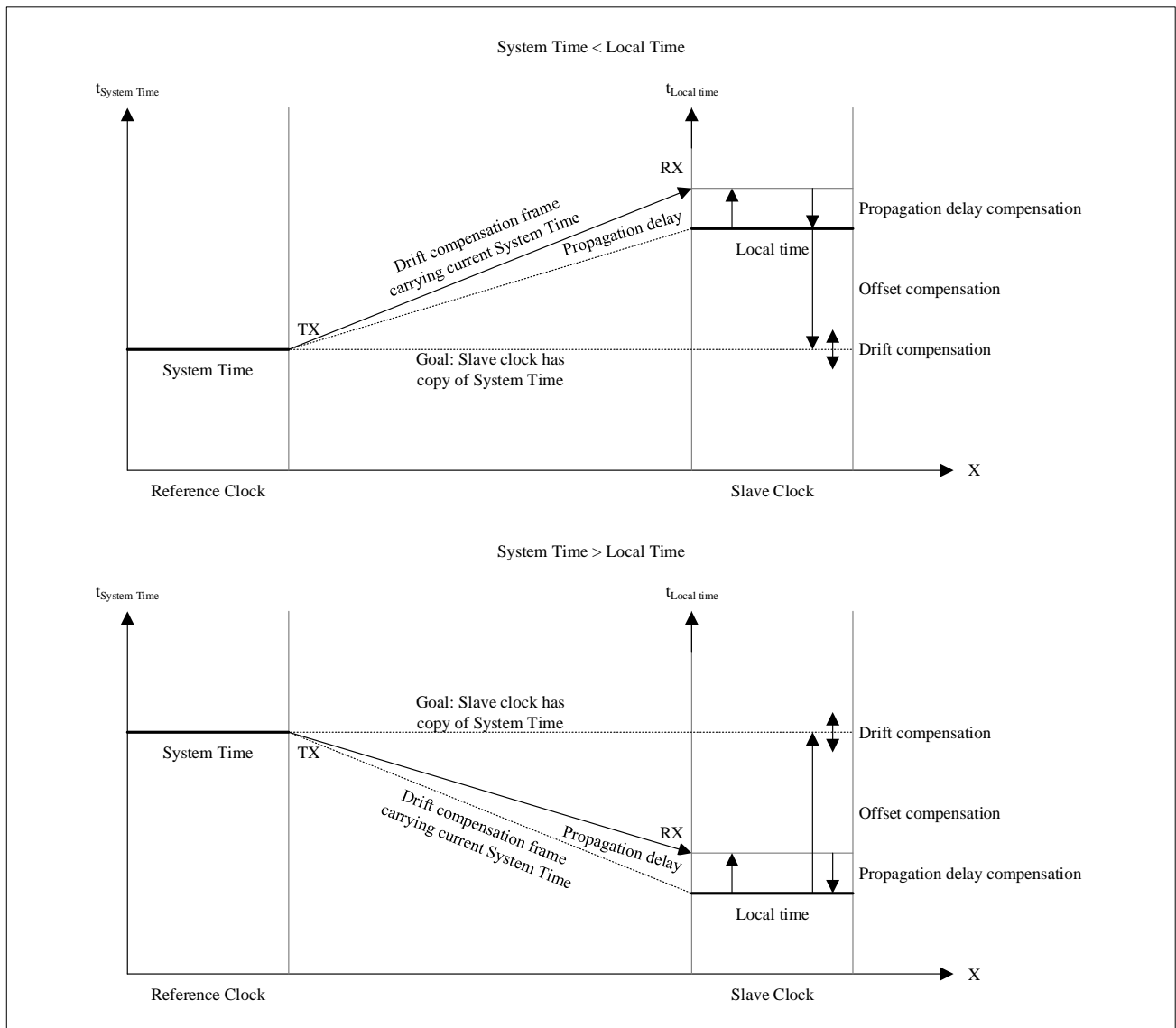
3. 重置时间控制环路：

当前的过滤器状态需要重置，以消除先前测量的影响并提高重复性。

4. 参考时钟的漂移补偿：

参考时钟与本地时钟之间的漂移必须通过定期测量差异并重新调整本地时钟来补偿。

下图说明了两种情况下的补偿计算，第一种情况下系统时间小于从站的本地时间，第二种情况下则相反。

**图 48-14 传播延迟、偏移和漂移补偿**


### 48.5.7.2.1 传播延迟测量

由于每个从站在每个方向上（设备内部以及 PHY 中）都会引入一个小的处理/转发延迟，并且 ESC 之间的电缆也存在延迟，因此在同步从站时钟时，必须考虑参考时钟与各从站时钟之间的传播延迟。

1. 为测量传播延迟，主站向接收时间端口 0 寄存器发送广播写操作（至少包含首个字节）。
2. 当帧的以太网前导码的第一个比特被接收时，每个从站存储其本地时钟的时间，该操作针对每个端口独立执行（接收时间端口 0-1 寄存器）。
3. 主站读取所有时间戳并根据拓扑计算延迟时间。参考时钟与单个从站之间的延迟时间被写入从站的系统时间延迟寄存器。

接收时间寄存器用于采样特定帧的接收时间（对接收时间端口 0 寄存器的广播写操作）。

延迟测量过程中时钟无需同步，仅使用本地时钟值。由于从站的本地时钟未同步，不同从站的接收时间之间没有关系。因此，传播延迟的计算必须基于从站各端口之间的接收时间差异。

#### 48.5.7.2.2 偏移补偿

每个设备的本地时间是一个自由运行的时钟，通常不会与参考时钟的时间相同。为了在所有设备中实现相同的绝对系统时间，主站会计算参考时钟与每个从站时钟之间的偏移量。偏移时间被写入系统时间偏移寄存器，以调整每个单独设备的本地时间。小的偏移误差会在一段时间后通过漂移补偿消除，但对于较大的偏移误差，这段时间可能会变得非常长--尤其是对于 64 位 DCs。

每个 DC 从站使用其本地时间和本地偏移值计算其系统时间的本地副本：

$$t_{\text{Local copy of System Time}} = t_{\text{Local time}} + t_{\text{Offset}}$$

此时间用于生成 SyncSignal 和 LatchSignals 的时间戳。它也提供给 PDI 供  $\mu$ Controllers 使用。

$t_{\text{Local copy of System Time}}$ ：表示偏移地址为 0x0910:0x0917 的寄存器值。

$t_{\text{Local time}}$ ：表示偏移地址为 0x0918:0x091F 的寄存器值。

$t_{\text{Offset}}$ ：表示偏移地址为 0x0920:0x0927 的寄存器值。

参考时钟的系统时间通过计算差值并使用参考时钟的系统时间偏移进行补偿，与主时钟绑定。

#### 48.5.7.2.3 重置时间控制环路

在开始漂移补偿之前，时间控制环路的内部滤波器必须重置。它们的当前状态通常未知，并且可能对稳定时间产生负面影响。通过将速度计数器起始值写入速度计数器起始寄存器来重置滤波器。再次写入寄存器的当前值即可重置滤波器。

#### 48.5.7.2.4 漂移补偿

在测量参考时钟与从时钟之间的延迟时间并补偿两者之间的偏移后，每个本地时钟的自然漂移（由参考时钟的石英与本地石英之间的石英差异引起）通过集成到每个 ESC 中的时间控制回路进行补偿。

为了漂移补偿，主时钟会定期将参考时钟的系统时间分发到所有从时钟。可以使用 ARMW 或 FRMW 命令来实现此目的。每个从时钟的时间控制回路会取参考时钟发送的系统时间的低 32 位，并将其与本地的系统时间副本进行比较。对于这个差异，需要考虑传播延迟：

$$\Delta t = (t_{\text{Local time}} + t_{\text{Offset}} - t_{\text{Propagation delay}}) - t_{\text{Received System Time}}$$

如果  $\Delta t$  为正值，本地时间比系统时间运行得快，需要减慢速度。如果  $\Delta t$  为负值，本地时间比系统时间运行得慢，需要加快速度。时间控制环路会调整本地时钟的速度。

为快速补偿时钟速度的静态偏差，主站应在传播延迟和偏移初始化后，通过独立帧发送大量 ARMW/FRMW 指令（例如 15,000 次）进行漂移补偿。控制环路将补偿静态偏差并实现分布式时钟同步。随后需周期性发送漂移补偿帧以补偿动态时钟漂移。

*注意：系统时间偏移允许快速补偿本地系统时间副本与系统时间之间的差异，而漂移补偿速度较慢。因此，在漂移补偿开始之前，应通过系统时间偏移寄存器进行粗略补偿，否则稳定时间可能显著延长。*

*注意： $\Delta t$  不得超过  $2^{30}$  纳秒（约 1 秒），否则无法保证稳定性。为了快速稳定时间， $\Delta t$  应尽可能低。*

#### 48.5.7.3 时钟同步初始化示例

时钟同步的初始化过程包括传播延迟测量、偏移补偿、滤波器重置和漂移补偿，如下所示。初始化后，所有 DC 从站都与参考时钟同步。

1. 主站读取所有从站的 DL 状态寄存器并计算网络拓扑。

2. 主站向接收时间端口 0 寄存器发送广播写操作（至少第一个字节）。所有从站在所有端口和 ECAT 处理单元处锁存此帧第一个前导码位的本地时间。
3. 主站等待广播写帧返回。
4. 主站读取所有接收时间端口 0-1 寄存器（取决于拓扑结构）以及接收时间 ECAT 处理单元寄存器，该寄存器包含接收时间的高 32 位。
5. 主站计算各个传播延迟并将其写入从站的系统时间延迟寄存器。必须检查并考虑 32 位接收时间可能的溢出。
6. 主站设置参考时钟的系统时间偏移寄存器，使参考时钟与主站时间绑定。参考时钟的偏移量是主站时间减去参考时钟的接收时间 ECAT 处理单元（本地时间）。
7. 主站计算所有 DC 从站的系统时间偏移，并将其写入系统时间偏移寄存器。每个从站的偏移量是参考时钟的接收时间 ECAT 处理单元减去每个 DC 从站的接收时间 ECAT 处理单元。
8. 主站通过写入速度计数器启动寄存器来重置所有从站的时间控制环路滤波器。
9. 对于静态漂移补偿，主站发送大量单独的 ARMW 或 FRMW 漂移补偿帧（例如，15,000 帧），以将参考时钟的系统时间分配给所有 DC 从站。
10. 对于动态漂移补偿，主站会定期发送 ARMW 或 FRMW 命令，将参考时钟的系统时间分发给所有 DC 从站。漂移补偿命令的频率取决于可接受的最大偏差。

#### 48.5.7.4 同步信号和锁存信号

支持分布式时钟的 ESC 可以生成同步信号（SyncSignals）并对锁存信号（LatchSignals）进行时间戳标记。同步信号可用于内部中断生成（映射到 AL 事件请求寄存器和 PDI IRQ）。

同步信号也可以直接映射到输出信号（SYNC0/1）以供外部设备使用，例如，作为中断信号（比 PDI IRQ 抖动更小，无需中断源解码）。

锁存事件单元支持对最多两个锁存信号（LATCH0/1，分别对应上升沿和下降沿）进行时间戳标记，并支持对同步管理器事件进行时间戳记录，以供调试之用。

分布式时钟同步信号和锁存信号到外部 SYNC/LATCH 信号的映射由同步/锁存 PDI 配置寄存器的设置控制。SYNC0/1 驱动特性也在此寄存器中选择。无论同步/锁存 PDI 配置如何，同步信号在内部都可用于中断生成。同步信号到 AL 事件请求寄存器的映射也由同步/锁存 PDI 配置寄存器控制。

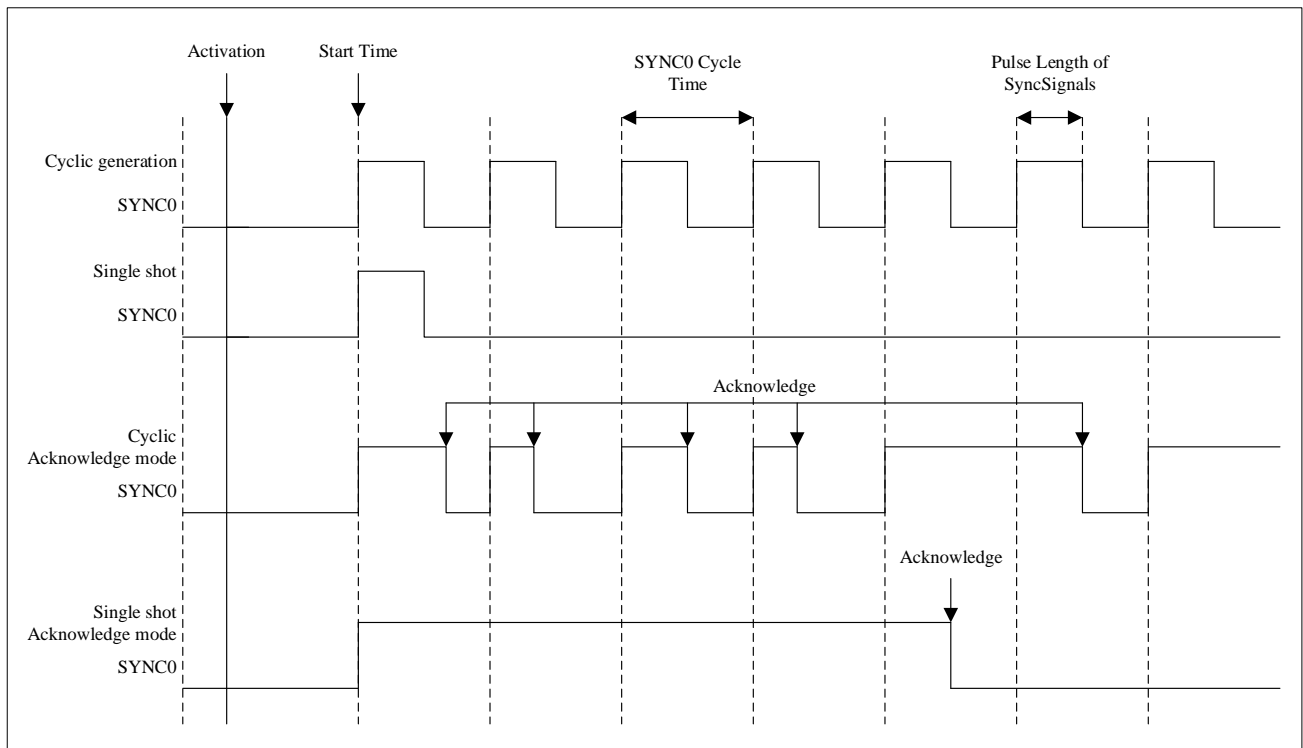
同步信号脉冲的长度在 SYNC 信号的 DC 脉冲长度寄存器中定义。值为 0 时选择应答模式。

N32H7x5EC 从站控制器支持由 ESC 配置寄存器的两个位（位 2 和位 3）控制的节能选项（部分禁用 DC 单元）。

同步/锁存信号在 SII EEPROM 成功加载之前，不会由 N32H7x5EC 从站控制器驱动（高阻抗）。在 EEPROM 未加载时，请注意正确使用同步信号（例如，下拉/上拉电阻）。

##### 48.5.7.4.1 同步信号生成

DC 循环单元/同步单元支持生成基础同步信号 SYNC0 和依赖的同步信号 SYNC1。同步信号可以在 ESC 的内部和外部使用。同步信号可以在特定的系统时间生成。支持四种操作模式：循环生成、单次触发、循环应答和单次触发应答模式。应答模式通常用于中断生成。

**图 48-15 同步信号生成模式**


同步信号操作模式通过同步信号寄存器的脉冲长度配置和 SYNC0 周期时间寄存器的配置来选择。

SYNC0 信号的周期时间在 SYNC0 周期时间寄存器中配置，开始时间在开始时间循环操作寄存器中设置。在同步单元激活并启用 SYNC0/1 信号输出（DC 激活寄存器）后，同步单元会等待直到达到开始时间并生成第一个 SYNC0 脉冲。

N32H7x5EC 从站控制器支持额外的激活选项，例如在写入开始时间时自动激活，或者如果仅写入 32 位的开始时间，则支持 64 位扩展。其他选项包括检测无效的 begin time 并提供同步信号的调试输出。

在内部，同步信号以 100 MHz（10 ns 更新周期）的更新速率生成。与系统时间的本地副本相比，内部同步信号生成的抖动为 12 ns。

### 循环生成

在循环生成模式下，同步单元在开始时间后生成等时的同步信号。如果循环单元被停用或 SYNC0/1 生成被停用，生成将结束。循环时间由 SYNC0/1 循环时间寄存器决定。同步信号的脉冲长度必须大于 0。如果脉冲长度大于循环时间，同步信号将在开始时间后始终被激活。

### 单次触发模式

在单次触发模式（SYNC0 周期时间设置为 0）下，只有在达到开始时间后才会生成一个同步信号脉冲。只有通过停用循环单元（将 DC 激活寄存器的第 0 位设置为 0）、重新编程开始时间并重新激活循环单元，才能生成另一个脉冲。

### 循环应答模式

循环应答模式通常用于生成等时中断。通过将 SYNC 信号的脉冲长度设置为 0 来选择应答模式。每个同步信号脉冲保持活动状态，直到被应答（通常由微控制器通过读取相应的 SYNC0 或 SYNC1 状态寄存器来确认）。第一个脉冲在达到开始时间后生成，后续脉冲在下一个常规 SYNC0/1 事件发生时生成。

## 单次应答模式

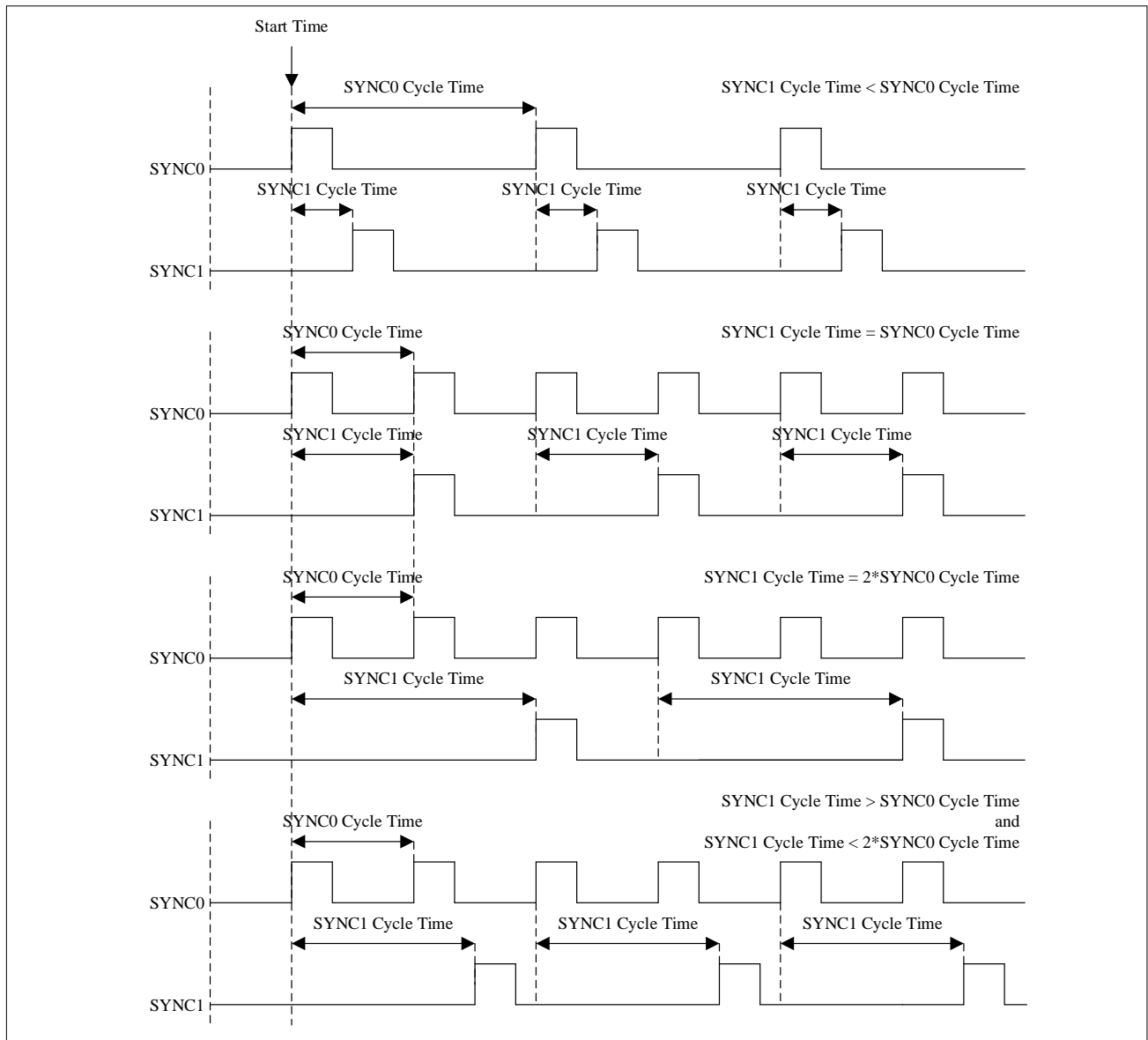
在单次应答模式下（SYNC 信号的脉冲长度和 SYNC0 周期时间均为 0），当到达开始时间时，仅生成一个脉冲。该脉冲保持激活状态，直到通过读取相应的 SYNC0/1 状态寄存器进行确认。只有通过停用循环单元、重新编程开始时间并重新激活循环单元，才能生成另一个脉冲。

### 48.5.7.4.2 SYNC1 生成

第二个同步信号（SYNC1）依赖于 SYNC0，它可以在 SYNC0 脉冲之后以预定义的延迟生成。延迟在 SYNC1 周期时间寄存器中配置。

如果 SYNC1 周期时间大于 SYNC0 周期时间，则将按以下方式生成：当达到开始时间循环操作时，生成一个 SYNC0 脉冲。SYNC1 脉冲在 SYNC0 脉冲之后延迟 SYNC1 周期时间生成。下一个 SYNC1 脉冲将在下一个 SYNC0 脉冲生成后加上 SYNC1 周期时间生成。

图 48-16 SYNC0/1 周期时间示例



注意：如果 SYNC1 周期时间为 0，SYNC1 反映 SYNC0。



#### 48.5.7.4.3 同步信号初始化示例

请参阅 48.5.18.2 章节了解初始化过程。

#### 48.5.7.4.4 锁存信号

DC 锁存单元支持对两个外部信号 LATCH0 和 LATCH1 的锁存信号事件进行时间戳记录。上升沿和下降沿的时间戳都会被记录。此外，通过 N32H7x5EC 从控制器还可以对同步管理器事件进行时间戳记录。

锁存信号以 100 MHz 采样率进行采样，对应时间戳的内部抖动为 11 ns。

锁存信号的状态可以从锁存状态寄存器中读取。

DC 锁存单元支持两种模式：单事件模式或连续模式，可在 Latch0/1 控制寄存器中配置。

##### 单事件模式

在单事件模式下，仅记录锁存信号的第一个上升沿和第一个下降沿的时间戳。Latch0/1 状态寄存器包含有关已发生事件的信息。Latch0/1 正/负沿时间寄存器包含时间戳。

每个事件通过读取相应的锁存时间寄存器来应答。读取锁存时间寄存器后，锁存单元将等待下一个事件。锁存事件在单事件模式下映射到 AL 事件请求寄存器。

##### 连续模式

在连续模式下，每个事件都会存储在锁存时间寄存器中。在读取时，读取的是最后一个事件的时间戳。在连续模式下，Latch0/1 状态寄存器不反映锁存事件状态。

##### 同步管理器事件

N32H7x5EC 从站控制器支持通过时间戳调试与缓冲事件相关的同步管理器交互。如果同步管理器配置得当，可以在同步管理器事件时间寄存器（EtherCAT 缓冲区更改/PDI 缓冲区启动/PDI 缓冲区更改事件时间寄存器）中读取最后一个事件。

#### 48.5.7.4.5 ECAT 或 PDI 控制

同步信号单元和分布式时钟实体的两个锁存信号单元可以由主站独立分配，通过使用循环单元控制寄存器选择由 ECAT 或本地微控制器（PDI）控制。在 PDI 控制下，微控制器可以为自身设置循环中断。

#### 48.5.7.5 通信模式

可选三种通信模式：

##### ■ 自由运行模式

EtherCAT 通信与应用程序相互独立运行。

##### ■ 输出事件同步模式

从站应用程序与输出事件同步。如果未使用输出，则使用输入事件进行同步。

##### ■ 同步信号同步模式

应用程序与同步信号同步。

### 48.5.8 EtherCAT 状态机

EtherCAT 状态机（ESM）负责在启动和运行期间协调主站和从站应用程序。状态更改通常由主站的请求发

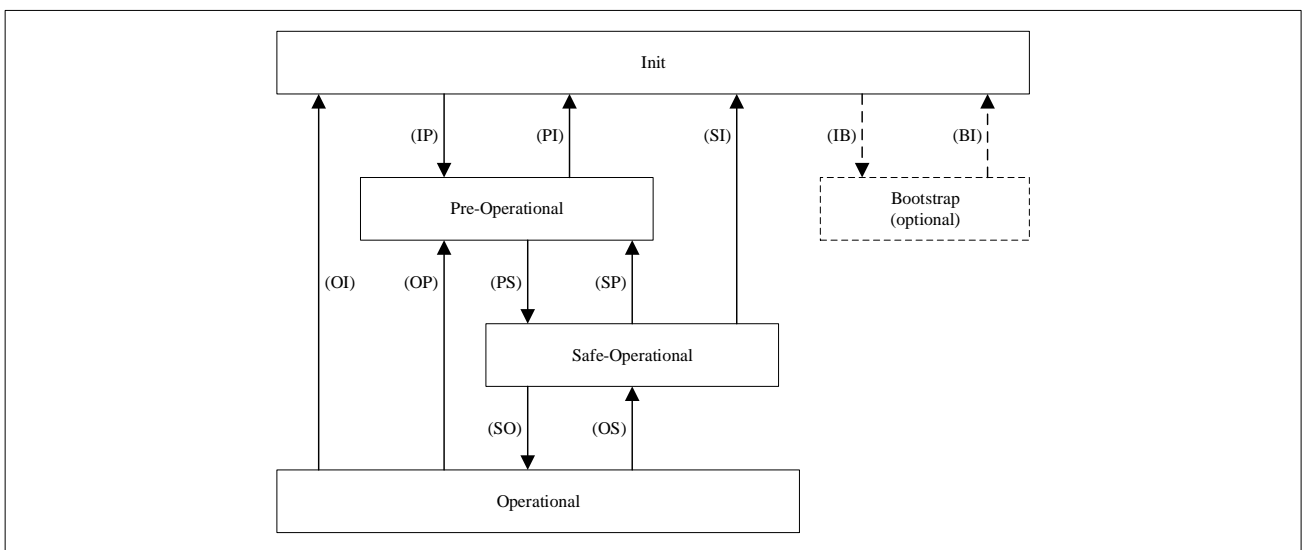
起。在完成相关操作后，本地应用程序会应答这些请求。本地应用程序也可能发生非请求的状态更改。

EtherCAT 从站支持四种状态，外加一种可选状态：

- 初始化（复位后的状态）
- 预运行状态
- 安全运行状态
- 运行状态
- 引导程序（可选）

状态和允许的状态变化如下图所示：

图 48-17 EtherCAT 状态机



注意：并非所有状态更改都是可能的，例如，从“初始化”到“运行”的转换需要以下顺序：初始化 → 预运行 → 安全运行 → 运行。

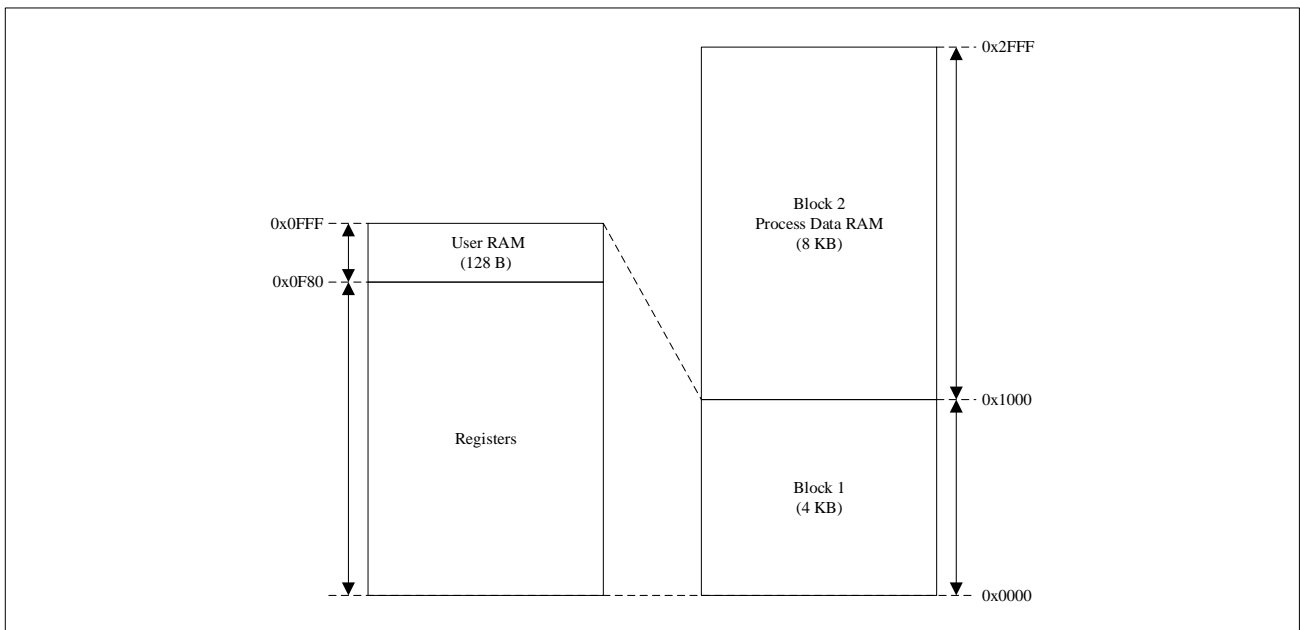
每个状态定义了所需的服务。在从站确认状态更改之前，请求状态所需的所有服务必须分别被提供或停止。

有关更多详细信息，请参阅 EtherCAT 技术组网站 (<http://www.ethercat.org>)。

状态机通过 ESC 内的寄存器进行控制和监控。主站通过写入 AL 控制寄存器请求状态更改。从站在 AL 状态寄存器中指示其状态，并将错误代码放入 AL 状态代码寄存器中。

### 48.5.9 内存空间

N32H7x5EC 从站控制器的内存空间由两个块组成：第一个用于寄存器和用户 RAM，第二个用于过程数据 RAM。地址空间每部分的分布如下图所示。

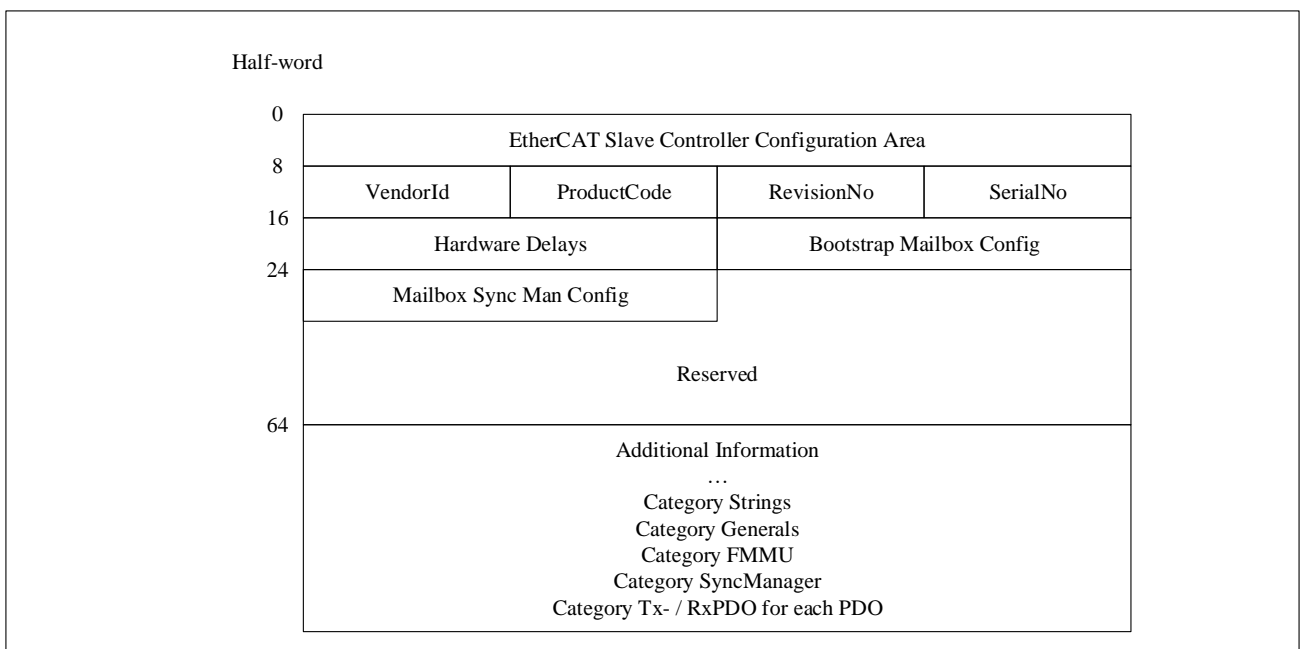
**图 48-18 内存地址空间概述**


注意：图中的地址是偏移地址，ESC 起始地址为：0x400B 0000。

### 48.5.10 SII EEPROM

EtherCAT 从站控制器使用一个强制性的 NVRAM（通常是带有 I<sup>2</sup>C 接口的串行 EEPROM）来存储 EtherCAT 从站信息（ESI）。N32H7x5EC 从站控制器支持最大 1Mbit 的 EEPROM 容量。

EEPROM 结构如下图所示。ESI 使用半字（16 位）寻址。

**图 48-19 SII EEPROM 布局**


至少存储在地址范围从半字 0 到 63（0x00 到 0x3F）中的信息是强制性的。

### 48.5.10.1 SII EEPROM 内容

ESC 配置区域（EEPROM 半字地址 0 到 7）在上电或复位后会被 ESC 自动读取。它包含 PDI 配置、DC 设置和配置的站别名。ESC 配置数据的一致性通过校验和来保证。

EtherCAT 主站可以调用重新加载 EEPROM 内容。在这种情况下，配置站别名寄存器和 ESC 配置寄存器的位 1、4、5、6、7（增强链路检测）不会被传输到寄存器中，它们仅在上电或复位后的初始 EEPROM 加载时被传输。

ESC 配置区域如下表所示。

表 48-9 ESC 配置区域

半字地址	参数	描述	寄存器偏移地址
0x0	PDI 控制/ESC 配置	PDI 控制寄存器的初始化值（EEPROM ADR 位 9 也映射到 ESC DL 状态寄存器位 2）	0x0140:0x0141
0x1	PDI 配置	PDI 配置寄存器的初始化值	0x0150:0x0151
0x2	同步信号的脉冲长度	同步信号寄存器的脉冲长度初始化值	0x0982:0x0983
0x3	扩展 PDI 配置	扩展 PDI 配置寄存器的初始化值	0x0152:0x0153
0x4	配置站别名	配置站别名地址寄存器的初始化值	0x0012:0x0013
0x5	保留	保留，应为零	-
0x6	保留	保留，应为零	-
0x7	校验和	低字节包含将 0x0 到 0x6 作为无符号数字除以多项式 $x^8+x^2+x+1$ （初始值 0xFF）的余数。	-

注意：ESC 配置区域的保留字或保留位应填充为 0。

SII EEPROM 内容在 ESC 配置区域之后的摘录如下表所示。

表 48-10 SII EEPROM 内容摘录

半字地址	参数	半字地址	参数
0x8:0x9	供应商 ID	0x1C	邮箱协议
0xA:0xB	产品代码	0x1D:0x1F	保留
0xC:0xD	修订编号	0x20:0x22	供应商特定
0xE:0xF	序列号	0x23:0x27	保留
0x10:0x13	保留	0x28:0x2F	额外的 ESC 配置
0x14	引导程序接收邮箱偏移量	0x30:0x3D	保留
0x15	引导接收邮箱大小	0x3E	大小
0x16	引导程序发送邮箱偏移量	0x3F	版本
0x17	引导程序发送邮箱大小	0x40	类别标题
0x18	标准接收邮箱偏移量	0x41	类别字大小
0x19	标准接收邮箱大小	0x42	类别数据
0x1A	标准发送邮箱偏移	...	第二类标题.....
0x1B	标准发送邮箱大小		

### 48.5.10.2 SII EEPROM 逻辑接口

ESC 的 SII EEPROM 接口可由 EtherCAT 或 PDI 控制。初始状态下，EtherCAT 拥有 EEPROM 接口访问权限，但可将访问权限转移给 PDI。

EEPROM 接口支持三种命令：向单个 EEPROM 地址写入（16 位）、从 EEPROM 读取（32 位）或从 EEPROM 重新加载 ESC 配置。

#### 48.5.10.2.1 SII EEPROM 错误

ESC 在上电或复位后，如果发生错误（如缺少应答、校验和错误），会重试读取 EEPROM 一次。如果两次读取 ESC 配置区失败，则会设置错误设备信息位，ESC DL 状态寄存器中的 PDI 操作位保持清除状态，并且 EEPROM 加载信号（如果可用）保持不活动状态。在成功加载 ESC 配置区之前，无法访问进程内存。

所有由 ESC 配置区域初始化的寄存器在发生错误时会保持其值。这同样适用于错误设备信息位以及 PDI 操作位。只有在 EEPROM 成功加载/重新加载后，寄存器才会接管新值（除了配置站别名寄存器和 ESC 配置寄存器的位 1、4、5--增强链接检测）。

#### 48.5.10.2.2 SII EEPROM 接口分配到 ECAT/PDI

如果 EEPROM 配置寄存器的位 0 为 0 且 EEPROM PDI 访问状态寄存器的位 0 为 0，则 EtherCAT 主站控制 EEPROM 接口（默认），否则 PDI 控制 EEPROM 接口。在使用 EEPROM 接口之前，双方都应检查这些访问权限。

典型的 EEPROM 接口控制权移交过程如下：

1. ECAT 通过将 EEPROM 配置寄存器的第 0 位写为 1，将 EEPROM 接口分配给 PDI。
2. 如果 PDI 希望访问 EEPROM，它通过将 EEPROM PDI 访问状态寄存器的第 0 位写为 1 来接管 EEPROM 控制权。
3. PDI 发出 EEPROM 命令。
4. 在 PDI 完成 EEPROM 命令后，PDI 通过将 EEPROM PDI 访问状态寄存器的第 0 位写为 0 来释放 EEPROM 控制权。
5. ECAT 可以通过将 EEPROM 配置寄存器的第 0 位写为 0 来收回 EEPROM 接口。
6. ECAT 通过读取 EEPROM PDI 访问状态寄存器检查 EEPROM 控制状态。
7. ECAT 发出 EEPROM 命令。

如果 PDI 未释放 EEPROM 控制（例如，由于软件故障），ECAT 可以强制释放访问权限：

1. ECAT 向 EEPROM 配置寄存器写入 0x02（结果是 EEPROM PDI 访问状态寄存器的第 0 位被清除）。
2. ECAT 将 0x00 写入 EEPROM 配置寄存器。
3. ECAT 已获得对 EEPROM 接口的控制权。

#### 48.5.10.2.3 读/写/重新加载示例

执行 SII EEPROM 读写操作时，必须执行以下步骤：

1. 检查 EEPROM 状态寄存器的“忙”位是否已清除（EEPROM 控制/状态寄存器的第 15 位为 0）并且 EEPROM 接口未忙，否则等待直到 EEPROM 接口不再忙。
2. 检查 EEPROM 状态寄存器的错误位是否已清除。如果没有，请向命令寄存器（EEPROM 控制/状态寄存器的位[10:8]）写入“000”。
3. 将 EEPROM 字地址写入 EEPROM 地址寄存器。
4. 仅写命令：将写入数据放入 EEPROM 数据寄存器（仅限 2 字节）。

5. 通过写入控制寄存器发出命令。
  - 对于读命令，将“001”写入 EEPROM 控制/状态寄存器的位[10:8]。
  - 对于写命令，将“1”写入 EEPROM 控制/状态寄存器的第 0 位（写使能），并将“010”写入 EEPROM 控制/状态寄存器的[10:8]位。这两个位必须在一个帧内写入。写使能位实现了一种写保护机制。它对同一帧中发出的后续 EEPROM 命令有效，并在之后自动清除。如果 EEPROM 接口由 PDI 控制，则无需从 PDI 写入写使能位。
  - 对于重新加载命令，将“100”写入 EEPROM 控制/状态寄存器的位[10:8]。
6. 命令在 EOF 之后执行，如果 EtherCAT 帧没有错误。在 PDI 控制下，命令会立即执行。
7. 等待直到 EEPROM 状态寄存器的“忙”位被清除。
8. 检查 EEPROM 状态寄存器的错误位。通过清除命令寄存器可以清除错误位。如果缺少 EEPROM 应答，请重试命令（返回步骤 5）。如果有必要，在重试之前等待一段时间，以便慢速 EEPROM 在内部存储数据。
9. 对于读命令：读取数据可在 EEPROM 数据寄存器中获取（仅限 4 字节）。  
对于重新加载命令：ESC 配置被重新加载到适当的寄存器中。

*注意：命令寄存器位是自动清除的。手动清除命令寄存器也会清除状态信息。*

### 48.5.10.3 SII EEPROM 电气接口

SII EEPROM 接口旨在作为 ESC 与 PC EEPROM 之间的点对点接口。如果需要其他 PC 主站访问 PC 总线，则 ESC 必须保持在复位状态（例如，用于 EEPROM 的在线编程），否则可能会发生访问冲突。

EEPROM\_CLK 和 EEPROM\_DATA 都必须有上拉电阻（建议使用 4.7 kΩ）。

#### 48.5.10.3.1 寻址

EtherCAT 和 ESC 在访问 EEPROM 时使用半字（16 位）寻址，尽管 PC 接口实际上使用字节寻址。最低地址位 A[0]由 ESC 的 EEPROM 接口控制器内部添加。也就是说，EEPROM 地址寄存器反映了物理 EEPROM 地址位 A[18:1]（更高的地址位被保留/为零）。

SII EEPROM 半字 0 通常位于 PC 地址 0，即 PC 设备地址必须设置为 0。

#### 48.5.10.3.2 写访问

EEPROM 写操作每次向 EEPROM 写入一个半字（2 字节）。此时页边界无关紧要，因为不会发生越界情况。

#### 48.5.10.3.3 读访问

EEPROM 读操作每次读取两个半字（4 字节），而加载或重新加载 EEPROM 操作通常每次读取 8 个半字（16 字节）。应用程序必须考虑 EEPROM 地址空间末尾的地址环绕现象；ESC 对此并不知情。

## 48.5.11 中断

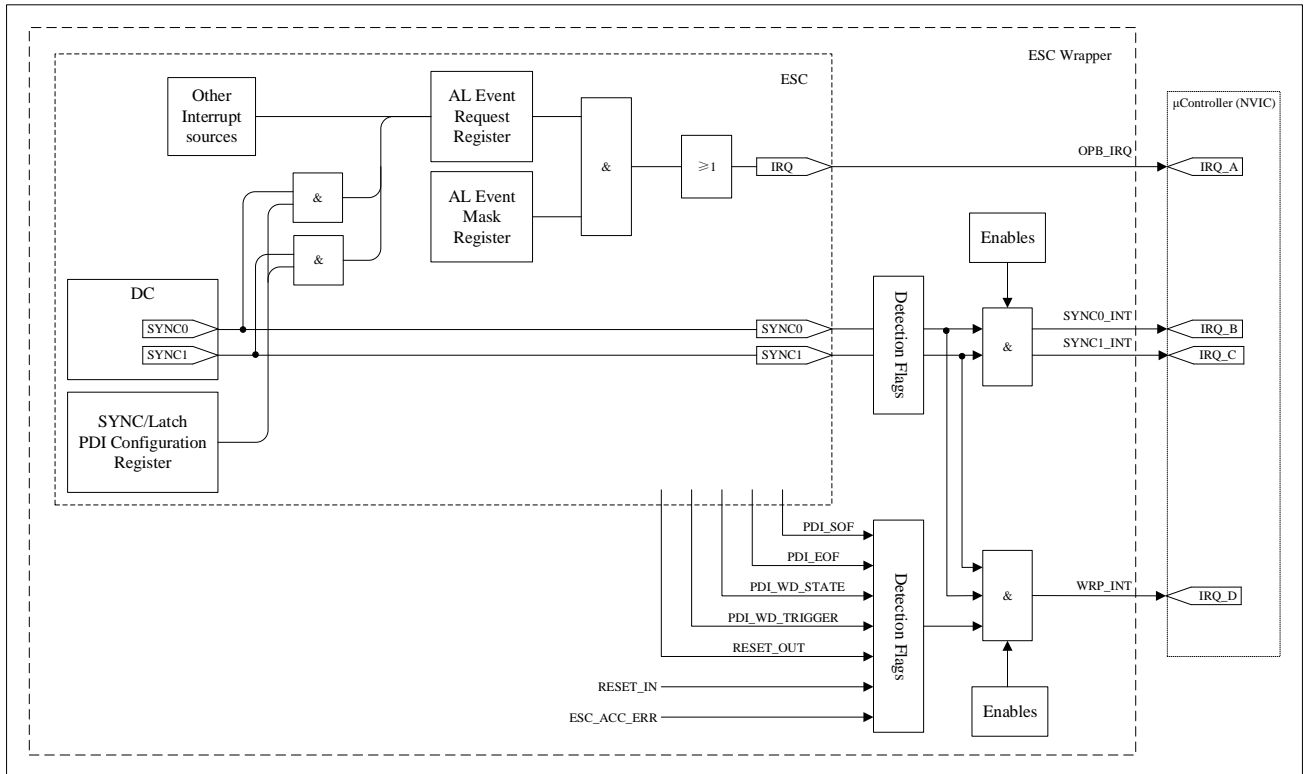
ESC 支持两种类型的中断：针对微控制器的 AL 事件请求，以及针对 EtherCAT 主站的 ECAT 事件请求。此外，分布式时钟同步信号也可以用作微控制器的中断。

### 48.5.11.1 AL 事件请求（PDI 中断）

AL 事件请求可以通过 PDI 中断请求信号（IRQ 等）向微控制器发出信号。对于 IRQ 的生成，AL 事件请求

寄存器与 AL 事件掩码寄存器通过逻辑与操作相结合，然后将所有结果位通过逻辑或操作合并为一个中断信号。IRQ 信号的输出驱动特性可以通过 SYNC/LATCH PDI 配置寄存器进行配置。AL 事件掩码寄存器允许选择与微控制器相关并由应用程序处理的中断。

图 48-20 PDI 中断屏蔽和中断信号



注意: IRQ\_A、IRQ\_B、IRQ\_C 和 IRQ\_D 分别表示连接到 NVIC 的中断 ECAT\_OPB\_IRQ、ECAT\_SYNC0\_INT、ECAT\_SYNC1\_INT 和 ECAT\_WRP\_INT。

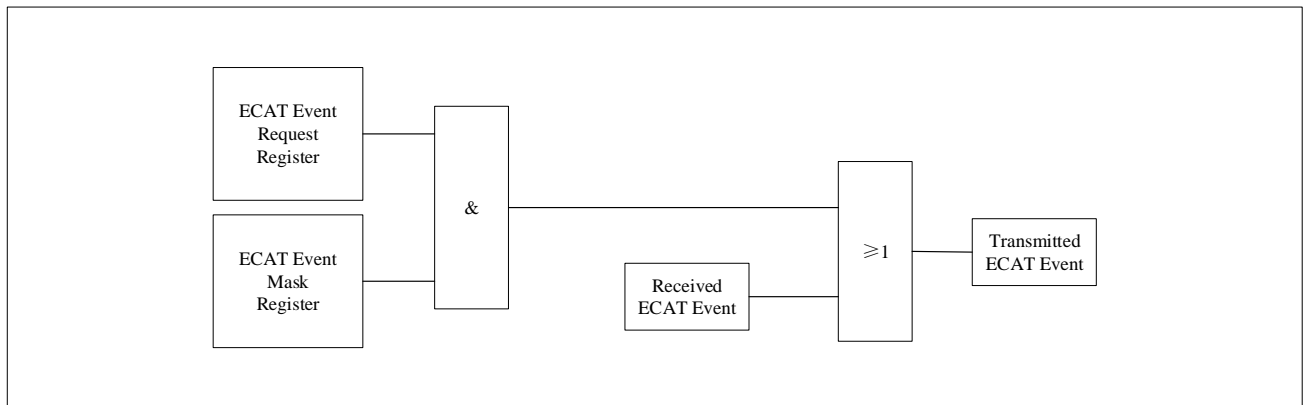
DC 同步信号可用于两种方式的中断生成:

- DC 同步信号被映射到 AL 事件请求寄存器 (通过 SYNC/LATCH PDI 配置寄存器的第 3 位和第 7 位配置)。在这种情况下, 从 ESC 到微控制器的所有中断被合并为一个 IRQ 信号, 并且分布式时钟的 LATCH0/1 输入仍然可以使用。IRQ 信号的抖动约为 40 ns。
- DC 同步信号直接连接到微控制器的中断输入。微控制器可以更快地响应 DC 同步信号中断 (无需读取 AL 请求寄存器), 但需要更多的中断输入。同步信号的抖动约为 12 ns。DC 锁存功能仅适用于一个锁存输入, 或者完全不可用 (如果两个 DC 同步输出都被使用)。

### 48.5.11.2 ECAT 事件请求 (ECAT 中断)

ECAT 事件请求用于通知 EtherCAT 主站从站事件。ECAT 事件利用 EtherCAT 数据报中的 IRQ 字段 (参见 48.5.1.2)。ECAT 事件请求寄存器与 ECAT 事件屏蔽寄存器通过逻辑与操作进行组合。结果中断位与传入的 ECAT IRQ 字段通过逻辑或操作组合, 并写入传出的 ECAT IRQ 字段中。ECAT 事件屏蔽寄存器允许选择与 EtherCAT 主站相关并由主站应用程序处理的中断。

注意: 主站无法区分中断的来源是哪个从站 (甚至可能是多个从站)。

**图 48-21 ECAT 中断屏蔽**


### 48.5.12 看门狗

ESC 支持最多两个内部看门狗（WD），一个用于监控过程数据访问的过程数据看门狗，以及一个监控 PDI 活动的 PDI 看门狗。

两个看门狗的超时时间可以单独配置，但它们共享一个看门狗分频器（WD\_DIV，看门狗分频寄存器）。看门狗超时时间是根据看门狗分频器设置乘以 PDI 的看门狗时间设置（WD\_PDI，看门狗时间 PDI 寄存器）或过程数据（WD\_PD，看门狗时间过程数据寄存器）计算得出的。基本时间单位为 40 ns。看门狗超时时间会有抖动，抖动取决于看门狗分频器的设置。也就是说，选择较小的看门狗分频器设置会导致较小的抖动。

以下方程用于快速估算看门狗超时（它们在纳秒级并不精确）：

$$t_{WD\_Div} = (WD\_DIV + 2) * 40ns$$

$$t_{WD\_PDI} = [t_{WD\_Div} * WD\_PDI; t_{WD\_Div} * WD\_PDI + t_{WD\_Div}]$$

$$t_{WD\_PD} = [t_{WD\_Div} * WD\_PD; t_{WD\_Div} * WD\_PD + t_{WD\_Div}]$$

#### 48.5.12.1 过程数据看门狗

过程数据看门狗通过对同步管理器缓冲区区域的写访问进行重置（触发），前提是同步管理器被配置为生成看门狗触发信号（例如，为同步管理器 0 设置同步管理器控制寄存器的第 6 位）。看门狗触发信号在缓冲区被完全且成功写入后生成（类似于同步管理器的中断写入）。

过程数据看门狗可以通过将过程数据看门狗时间设置为 0 来禁用。

过程数据看门狗超时会产生以下后果：

- 看门狗状态过程数据寄存器的第 0 位反映了看门狗状态。
- 看门狗计数器过程数据寄存器被递增。

#### 48.5.12.2 PDI 看门狗

PDI 看门狗通过任何正确的 PDI 读或写访问被重置（触发）。通过将 PDI 看门狗时间设置为 0，可以禁用 PDI 看门狗。

PDI 看门狗超时会产生以下后果：

- ESC DL 状态寄存器的第 1 位反映了看门狗状态。这可以映射到 ECAT 中断以通知主站。
- 看门狗计数器 PDI 寄存器被递增。



### 48.5.13 错误计数器

ESC 具有许多错误计数器，有助于检测和定位错误。所有错误计数器在 0xFF 处饱和（无回绕），并且可以通过向它们写入任何值单独或分组清除。

表 48-11 错误计数器概述

错误计数器		寄存器	描述
端口 0/1 错误计数器	无效帧计数器	ESC_RXERRCNTn (低 8 位)	最初检测到无效帧（包括接收错误）
	RX 错误计数器	ESC_RXERRCNTn (高 8 位)	物理层接收错误（帧内/帧外）： MII: RX_ER
转发 RX 错误计数器		ESC_FWDRXERRCNTn	检测到带有先前 ESC 标记的无效帧（每个端口）
ECAT 处理单元错误计数器		ESC_EPUERRCNT	无效帧通过 EtherCAT 处理单元（由处理单元进行的额外检查）
PDI 错误计数器		ESC_PDIERRCNT	由 PDI 检测到的物理错误
丢失链接计数器		ESC_LOSTLINKCNTn	链路丢失事件（每个端口），仅在端口处于自动或自动关闭模式时计数
看门狗计数器过程数据		ESC_WDCNTPD	看门狗超时事件
看门狗计数器 PDI		ESC_WDCNTPDI	看门狗超时事件

注意：某些错误会在多个寄存器中计数。例如，在端口 0 接收到的物理层 RX 错误会计入 RX 错误计数器寄存器和 ECAT 处理单元错误计数器寄存器。在端口 0 接收到的转发错误会计入转发 RX 错误计数器寄存器和 ECAT 处理单元错误计数器寄存器。

#### 48.5.13.1 帧错误检测

EtherCAT 帧错误检测发生在三个功能模块中，即物理层（设备）、自动转发器内部以及 EtherCAT 处理单元内部。在这些寄存器中检测并计数以下错误：

表 48-12 错误及对应的错误计数器

错误类型	RX 错误计数器寄存器	无效帧计数器寄存器	转发错误计数器寄存器	ECAT 处理单元错误计数器寄存器
物理层错误 MII/RMII: RX_ER 事件	是	仅当位于内部帧内	不	仅限 EPU 进站端口
FIFO 溢出/欠载	不	是	不	仅限 EPU 进站端口
没有以太网 SOF 的帧	不	是	不	仅限 EPU 进站端口
帧过长 (>~2000 字节)	不	是	不	仅限 EPU 进站端口
CRC 错误，没有奇数半字节	不	是	不	仅限 EPU 进站端口
CRC 错误，奇数半字节	不	不	是	仅限 EPU 进站端口
帧过短 (<64 字节)	不	不	不	仅限 EPU 进站端口
EtherCAT 帧长度错误	不	不	不	仅限 EPU 进站端口

错误类型	RX 错误计数器寄存器	无效帧计数器寄存器	转发错误计数器寄存器	ECAT 处理单元错误计数器寄存器
(例如, 帧结束时仍期望更多的头部/数据字节, 填充 > 64 字节)				
非 EtherCAT 帧如果 ESC DL 控制寄存器的第 0 位为 1	不	不	不	仅限 EPU 进站端口
循环位 = 1, 端口 0 自动关闭	不	不	不	仅限 EPU 进站端口

上述任何错误都将导致以下后果:

- 帧传输被中止 (以 RX 错误开头的帧被截断)。传输数据的 CRC 被修改 (或附加) 以使其失效。添加用于标记转发错误的特殊标记。
- EtherCAT 处理单元将丢弃寄存器操作, 例如对寄存器的写操作、同步管理器缓冲区的更改等。RAM 区域仍会被写入, 因为它们不像寄存器那样有用于写入数据的影子缓冲区。
- 错误计数器被增加。

#### 48.5.13.2 错误和转发错误

ESCs 区分了由当前 ESC 初始检测到的错误与由前级 ESC 转发检测到的错误。此特性在解析接收错误/转发接收错误计数器时, 有助于定位错误来源。

首个检测到错误的设备 (例如, CRC 错误或物理层的 RX 错误) 将丢弃寄存器操作并计数端口错误。传出的帧会被特别标记: 在 (无效的) CRC 之后添加一个额外的半字节。

接收带 CRC 错误及附加半字节帧的设备同样会丢弃寄存器操作, 但计为一次转发接收错误而非普通端口错误。

*注意: 转发错误有时被称为“绿色错误”, 初始错误有时被称为“红色错误”。物理层 RX 错误始终是“红色错误”, 因为它无法被转发。*

#### 48.5.14 LED 信号 (指示灯)

EtherCAT 从站控制器支持不同的 LED 以显示链路状态和 AL 状态。有关 EtherCAT 指示灯的详细信息, 请参阅 ETG.1300 EtherCAT 指示灯和标签规范, 可从 EtherCAT 技术协会网站的下载部分 (<http://www.ethercat.org>) 获取。

##### 48.5.14.1 RUN LED

AL 状态通过 RUN 指示灯 (绿色) 显示。ESC 的 RUN 输出由 AL 状态寄存器控制, 并支持以下状态, 这些状态会自动转换为闪烁代码:

表 48-13 RUN LED 状态指示

RUN LED	描述
灭	设备处于 INIT 状态
闪烁 (慢)	设备处于预运行状态

<b>RUN LED</b>	<b>描述</b>
单次闪光	设备处于安全运行状态
常亮	设备处于运行状态
闪烁（快速）	设备处于 BOOTSTRAP 状态或正在加载 SII EEPROM

N32H7x5EC 从站控制器通过覆盖 RUN LED 的状态指示支持可选的 RUN LED 输出。输出可以由主站或本地应用程序设置。例如，这可以通过强制 RUN LED 显示三次闪烁（设备识别）来定位特定的从站。

RUN LED 覆盖功能会在随后的 ESM 状态切换中自动禁用。

#### 48.5.14.2 ERR LED

ERR LED 指示本地错误和应用错误。它可以连接到应用控制器或 ESC（可选 ESC 功能）。如果连接到 ESC，某些错误会由 ESC 自动指示，其他错误状态由应用控制器检测并通过写入 ERR LED 覆盖寄存器来指示。

以下 ERR LED 状态可以由 ESC 自动生成，无需应用控制器的交互。各个错误状态的支持是 ESC 特定的。

**表 48-14 自动 ESC ERR LED 状态指示**

<b>ERR LED</b>	<b>描述</b>
灭	没有错误
闪烁（快速）	SII EEPROM 加载错误
闪烁（慢）	无效的硬件配置
单次闪光	AL 状态寄存器错误指示位在设备仿真被禁用时被设置。例如，如果微控制器在过程数据看门狗超时后更改状态并设置了错误指示位，则必须手动将 ERR LED 设置为双闪（否则 ESC 会由于错误指示位自动生成单闪）。
双闪	过程数据看门狗超时（检测到边缘）当设备处于运行状态时
常亮	PDI 看门狗超时（检测到边缘）或内置自检错误

ERR LED 覆盖功能会在 ESC 检测到与 ERR LED 闪烁代码相关的错误时自动禁用。

#### 48.5.14.3 STATE LED 和 STATE\_RUN LED

STATE LED 是一个双色 LED，结合了 RUN 和 ERR LED。由于 STATE LED 的 RUN LED 部分在 ERR LED 部分激活时必须关闭，因此 RUN 和 ERR LED 信号不能简单地组合来驱动双色 LED。N32H7x5EC 从站控制器支持一个 STATE\_RUN 信号，该信号在 ERR LED 亮起时关闭，因此可以使用 STATE\_RUN 和 ERR 信号来驱动双色 STATE LED。否则，必须使用逻辑组合“RUN 且非（ERR）”来控制 STATE LED 的 RUN LED 部分。

#### 48.5.14.4 LINKACT LED

每个端口的链接/活动状态通过 LINKACT LED（绿色）显示。

**表 48-15 LINKACT LED 状态指示**

<b>LINKACT LED</b>	<b>描述</b>
关闭	无链接
闪烁	链接和活动
常亮	无活动的链接

强烈建议使用 ESC 的 LINKACT LED 信号来驱动可见 LED，而不是使用 PHY 的链接/活动 LED 信号，因为 ESC 信号反映了设备的实际链接/活动状态--不仅仅是 PHY 的状态。

LINKACT LED 指示灯在评估增强型链路检测加 MI 链路检测和配置后指示链路状态，它对应于 ESC DL 状态寄存器（位 11, 9 – 通信已建立）。

## 48.5.15 过程数据接口（PDI）

过程数据接口（PDI）实现了从应用程序与 ESC 之间的连接。N32H7x5EC 从站控制器支持的 PDI 类型是：片上总线。它通过 AHB 到 OPB 桥接器连接到 AHB。参见图 48-1。

### 48.5.15.1 PDI 选择和配置

通常，PDI 的选择和配置是 SII EEPROM 的 ESC 配置区域的一部分。

N32H7x5EC 从站控制器在上电时已选择并配置了 PDI。在这种情况下，ESC 配置区域应反映实际设置，尽管这些设置不会被 ESC 本身评估。

N32H7x5EC 从站控制器的 PDI 在复位释放后处于激活状态，这使得例如通过微控制器进行 EEPROM 仿真成为可能。

在未加载 EEPROM 时，注意数字输出信号和 DC 同步信号，以实现正确的输出行为。

### 48.5.15.2 PDI 寄存器功能的写应答

某些 ESC 功能通过写入或读取单个字节地址触发，例如，同步管理器缓冲区更改或 AL 事件请求应答。随着微控制器数据总线宽度的增加，这可能会导致限制甚至问题。

考虑一个从 0x1000 到 0x1005 的同步管理器缓冲区。一个 32 位微控制器应用可能会逐字节读取缓冲区。第一次访问 0x1000 会打开缓冲区，同时也会读取 0x1001 到 0x1003。第二次访问会读取 0x1001，同时也会读取 0x1000/0x1002 到 0x1003。当需要读取地址 0x1004 时会出现问题，因为这也会读取 0x1005。0x1005 的数据被丢弃，但缓冲区被关闭。当微控制器读取 0x1005 时，它总是会得到 0（数据似乎被损坏了）。对于 DC 同步信号应答（寄存器 0x098E 和 0x098F）也会发生类似的问题。一个 32 位微控制器总是同时应答 SYNC0 和 SYNC1，无法单独应答它们。

此问题可以通过启用 PDI 寄存器功能的写应答来解决。在此模式下，所有原本由读访问触发的功能现在都由相应的写访问触发--这些写入使用字节使能，因此可以限制到特定字节。

当前状态必须通过微控制器应用程序在 PDI 信息寄存器 0x014E [0] 中检查后，才能使用此功能。

此功能影响从 PDI 端读取同步管理器缓冲区和某些寄存器的读取。EtherCAT 主站端完全没有变化。请参考 48.5.6 章节了解同步管理器行为。以下寄存器受 PDI 寄存器功能通过写应答功能的影响：

**表 48-16 受 PDI 寄存器功能写应答影响的功能/寄存器**

地址	名称	触发功能
任何	同步管理器缓冲区结束地址	读同步管理器缓冲区，然后写入缓冲区结束地址以应答缓冲区读取。
0x0120:0x0121	AL 控制	读 0x0120:0x0121 后的 AL 控制更改，然后写入 0x0120 以应答读取。
0x0440	看门狗状态过程数据	读 0x0440，然后写入 0x0440 以清除 AL 事件请求 0x0220 [6]。
0x0806+y*16	同步管理器激活	读 0x0806+y*16，然后写入 0x0806（同步管理器 0）仅用于清除所有同步管理器的 AL 事件请求 0x0220 [4]。
0x098E	SYNC0 状态	读 0x098E，然后写入 0x098E 以应答 DC Sync0 状态 0x098E [0]。

地址	名称	触发功能
0x098F	SYNC1 状态	读 0x098E, 然后写入 0x098E 以应答 DC Sync1 状态 0x098F [0]。
0x09B0:0x09B7	锁存器 0 时间正边沿	读 0x09B0:0x09B7, 然后写入 0x09B0 以清除 DC Latch0 状态 0x09AE [0]。
0x09B8:0x09BF	锁存器 0 时间负边沿	读 0x09B8:0x09BF, 然后写入 0x09B8 以清除 DC Latch0 状态 0x09AE [1]
0x09C0:0x09C7	锁存器 1 时间正边沿	读 0x09C0:0x09C7, 然后写入 0x09C0 以清除 DC Latch1 状态 0x09AF [0]
0x09C8:0x09CF	锁存器 1 时间负边沿	读 0x09C8:0x09CF, 然后写入 0x09C8 以清除 DC Latch1 状态 0x09AF [1]

## 48.5.16 写保护

### 48.5.16.1 寄存器写保护

启用寄存器写保护时, 只有偏移地址从 0x0000 到 0x0F7F 的寄存器区域受到写保护 (偏移地址为 0x0020 和 0x0030 的两个寄存器除外)。用户 RAM (0x0F80:0x0FFF) 和过程数据 RAM (0x1000:0x2FFF) 不受保护。

如果启用了寄存器写保护 (将寄存器写保护寄存器的第 0 位设置为 1), 则必须在同一帧中设置寄存器写使能寄存器的第 0 位, 然后才能进行任何寄存器写操作。这对于禁用寄存器写保护同样适用。否则, 对寄存器的写操作将被丢弃。

### 48.5.16.2 ESC 写保护

ESC 写保护会禁用对任何内存位置的写操作 (除了偏移地址为 0x0020 和 0x0030 的两个寄存器)。

如果启用了 ESC 写保护 (将 ESC 写保护寄存器的第 0 位设置为 1), 则必须在同一帧中设置 ESC 写使能寄存器的第 0 位, 然后才能进行任何写操作。这同样适用于禁用 ESC 写保护以及寄存器写保护。否则, 写操作将被丢弃。

*注意: 如果同时启用了寄存器写保护和 ESC 写保护 (不推荐), 则必须在允许写操作之前设置两个启用位。*

## 48.5.17 ESC 复位

N32H7x5EC 从站控制器可以通过 EtherCAT 主站或甚至 PDI 发出硬件复位。需要向从站发送三个独立且连续的帧/命令的特殊序列 (偏移地址为 0x0040 或 0x0041 的寄存器)。之后, 从站将被复位。复位信号也支持通过 GPIO 输出, 例如输出到 PHY 复位信号。

*注意: 由于与复位的从站之间的链接将断开 (取决于拓扑结构), 序列的最后一帧可能不会返回到主站。*

## 48.5.18 编程指南

### 48.5.18.1 ESC 配置和初始化

ESC 配置和初始化过程如下步骤所示:

1. 上电后, EtherCAT 从站被禁用 (因为它处于复位状态)。
2. 用户应参考 RCC 模块以启用所有与 ECS 相关的时钟, 并参考 GPIO 模块以配置 EtherCAT 从站所需的所有引脚。

3. 如有需要，配置以下封装器寄存器：
  - 默认情况下，TXCLK 引脚被配置为输入引脚，这意味着外部 PHY 将为 EtherCAT 从站提供 TX 时钟以传输 TX 数据。EtherCAT 从站有一个选项可以向 PHY 提供 TX 时钟（25 MHz）作为参考时钟。在此模式下，需要通过使用 ESC\_WRACFG0 寄存器的 TXSHIFT0/1（位[1:0]和位[5:4]）手动调整数据传输的时序。此操作需对两个端口分别执行。
  - 默认情况下，选择 1~16 Kbits 的 EEPROM。如果使用 32 Kbits~4 Mbits 的 EEPROM，请将 ESC\_WRACFG1 寄存器的 EEPROMSIZE 设置为“1”。
  - 默认情况下，EtherCAT 从站期望两个端口的 PHY 链路建立信号均为有效低电平。若任一端口链接状态极性不匹配，请设置相应的极性控制位（ESC\_WRACFG0 寄存器的 LINKPOL0/1（第 16 位或第 17 位）），以使其匹配。
  - 同样，检查 RESET\_IN 和 RESET\_OUT（用于 PHY 复位）的有效极性。默认情况下，两者均为高电平有效。若非高电平有效，请相应调整其极性控制位。
  - EtherCAT 有两个 MII 端口：端口 0 和端口 1。对应的 PHY 设备地址应设置为端口号 + ADDROFFSET（ESC\_WRACFG0 寄存器的位[28:24]）。例如，如果 ADDROFFSET=2，则 MII 端口 0 的 PHY 设备地址应为 2（0+2），MII 端口 1 的 PHY 设备地址应为 3（1+2）。
  - 通过读 ESC\_WRAINTSTS 寄存器中存储标志的每个字节来清除中断状态标志。
  - 若需要生成封装器中断，可通过在 ESC\_WRACFG1 寄存器中设置相应的中断使能位来实现。
  - 通过将 ESCRST 位（ESC\_WRACTRLSTS 寄存器的第 0 位）编程为“0”使能 EtherCAT 从站。默认情况下，外部 RESET\_IN 引脚不会复位 EtherCAT，除非 RSTESC 位（ESC\_WRACFG1 寄存器的第 16 位）被设置为“0”。
4. EtherCAT 从站在复位信号释放后立即开始加载 EEPROM 配置数据。当 EEPROM 加载完成时，从站即处于就绪状态。

### 48.5.18.2 同步信号初始化

同步信号的生成通过以下步骤初始化：

1. 在 ESC 配置寄存器中启用 DC SYNC 输出单元（将 bit2 设置为 1）。
2. 设置 SYNC/Latch PDI 配置寄存器（由 SII EEPROM 初始化），使其输出 SYNC0/1 信号并配置相应驱动器参数。
3. 设置脉冲长度寄存器（由 EEPROM 初始化）为 SYNC 信号的脉冲长度。为实现同步信号的周期性重复，需选择大于 0 纳秒的数值。
4. 将同步单元分配给 ECAT 或 PDI（ESI 的一部分）。
5. 设置 SYNC0 信号的周期时间（SYNC0 周期时间寄存器）和 SYNC1 信号的周期时间（SYNC1 周期时间寄存器）。
6. 将周期操作启动时间寄存器设置为晚于周期生成激活时间（激活帧结束；例如，例如读取系统时间并加上写入启动时间和激活的时间）。
7. 激活循环操作（设置激活寄存器的第 0 位）以开始循环生成同步信号，并激活 SYNC0/1 生成（设置激活寄存器的第 1 位和第 2 位）。同步单元会等待直到达到循环操作的开始时间以生成第一个 SYNC0 脉冲。

可读取循环操作起始时间寄存器及下一个 SYNC1 脉冲寄存器以获取下次输出事件的时间。在应答模式下，SYNC0/1 状态寄存器反映同步信号状态。通过读取 SYNC0/1 状态寄存器可确认同步信号是否被应答。

## 48.6 寄存器

ESC 寄存器包含以下两部分：

- 顶层封装器相关寄存器，该部分寄存器的起始地址为 0x400C 0000
- ESC 模块寄存器，该部分寄存器的起始地址为 0x400B 0000

*注意：ESC 模块寄存器可以通过 ECAT 和 PDI 接口访问，但某些寄存器位的访问权限可能不同（例如，ECAT 可写，但 PDI 不可写）。在以下描述中，默认情况下两个接口对所有位具有相同的访问权限，除非另有说明，用户应注意相关描述。此外，寄存器位图中的相应权限描述仅适用于 PDI。*

### 48.6.1 ESC 封装器寄存器

#### 48.6.1.1 ESC 封装器控制状态寄存器（ESC\_WRACTRLSTS）

偏移地址：0x0000

复位值：0x0000 0003

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved													RSTINST S	PDIWDST S	
													r	r	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						LATCHIE N	LATCHOE N	Reserved						RSTOUTE N	ESCRST
						rw	rw							rw	rw

位域	名称	描述
31:18	Reserved	保留，必须保持复位值。
17	RSTINSTS	RESET_IN 信号状态指示： 此位用于提供 RESET_IN 信号的当前状态，并带有一些同步延迟。如果 ESC_WRACTFG1.RSTESC = 0，则使用 RESET_IN 来重置 ESC。 0：信号已停用 1：信号已激活 <i>注意：请参考 RSTINPOL 位以控制其极性。</i>
16	PDIWDSTS	PDI_WD_STATE 信号状态指示： 此位显示 ESC PDI_WD_STATE 信号的当前状态。 PDI_WD_STATE 是来自 ESC 的输出信号，与 PDI 看门狗功能相关，当 PDI 与 EtherCAT 从站的通信时间超过设定并激活的 PDI 看门狗时间时触发。 0：信号已停用 1：信号已激活

位域	名称	描述
15:10	Reserved	保留，必须保持复位值。
9	LATCH1EN	LATCH1 信号使能： 此控制位为 CPU 提供了在需要时创建 LATCH1 脉冲的选项。脉冲宽度由 LATCHPW 控制。向此位写入“1”以触发脉冲。当此位为“1”时，写入“1”或“0”都无效。当脉冲生成完成后，此位将自动返回“0”。
8	LATCH0EN	LATCH0 信号启用： 此控制位为 CPU 提供了在需要时创建 LATCH0 脉冲的选项。脉冲宽度由 LATCHPW 控制。向此位写入“1”以触发脉冲。当此位为“1”时，写入“1”或“0”都无效。当脉冲生成完成后，此位将自动返回为“0”。
7:2	Reserved	保留，必须保持复位值。
1	RSTOUTEN	RESET_OUT 信号使能： 0: RESET_OUT 未激活。 1: RESET_OUT 处于活动状态。（默认） <i>注意：请参考 RSTOUTPOL 位以控制其极性。</i>
0	ESCRST	ESC 复位控制位。 0: ESC 已解除复位。 1: ESC 处于复位状态。（默认） <i>注意：此复位位并不是 ESC 的唯一复位源。若已实现外部复位源，则 ESC 还可以通过外部复位源复位。当两个复位源同时失效时，ESC 才能退出复位状态。</i>

#### 48.6.1.2 ESC 封装器配置寄存器 0 (ESC\_WRACFG0)

偏移地址：0x0004

复位值：0x000C 0800

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				ADDROFFSET[4:0]				Reserved				RSTOUTPOL	RSTINPOL	LINKPOL1	LINKPOL0
				rw								rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				LATCHPW[5:0]				Reserved		TXSHIFT1	Reserved		TXSHIFT0		
				rw						rw			rw		

位域	名称	描述
31:29	Reserved	保留，必须保持复位值。
28:24	ADDROFFSET	PHY 地址偏移设置。 将此寄存器编程为匹配 MII PHY0/1 地址偏移，范围从 0 到 31。 <i>注意：此物理偏移对两个 MII PHY 都是通用的。</i>
23:20	Reserved	保留，必须保持复位值。
19	RSTOUTPOL	RESET_OUT 信号极性设置： 0: 低有效 1: 高有效



位域	名称	描述
18	RSTINPOL	RESET_IN 信号极性设置: 0: 低有效 1: 高有效
17	LINKPOL1	端口 1 PHY 链路信号极性设置: 0: 低有效 1: 高有效
16	LINKPOL0	端口 0 PHY 链路信号极性设置: 0: 低有效 1: 高有效
15:14	Reserved	保留, 必须保持复位值。
13:8	LATCHPW	LATCH0/1 信号脉冲宽度设置: h00: 不会产生脉冲 h01: 脉冲宽度 = 1 个 AHB 时钟周期 h02: 脉冲宽度 = 2 个 AHB 时钟周期 h03: 脉冲宽度 = 3 个 AHB 时钟周期 ... h08: 脉冲宽度 = 8 个 AHB 时钟周期 (默认设置) ... h3F: 脉冲宽度 = 63 个 AHB 时钟周期
7:6	Reserved	保留, 必须保持复位值。
5:4	TXSHIFT1	端口 1 TX 移位补偿设置: 00: 端口 1 的 TX_CLK 信号偏移 0°, 延迟为 0ns 01: 端口 1 的 TX_CLK 信号偏移 90°, 延迟为 10ns 10: 端口 1 的 TX_CLK 信号偏移 180°, 延迟为 20ns 11: 端口 1 的 TX_CLK 信号偏移 270°, 延迟为 30ns
3:2	Reserved	保留, 必须保持复位值。
1:0	TXSHIFT0	端口 0 TX 移位补偿设置: 00: 端口 0 的 TX_CLK 信号偏移 0°, 延迟为 0ns 01: 端口 1 的 TX_CLK 信号偏移 90°, 延迟为 10ns 10: 端口 1 的 TX_CLK 信号偏移 180°, 延迟为 20ns 11: 端口 1 的 TX_CLK 信号偏移 270°, 延迟为 30ns

### 48.6.1.3 ESC 封装器配置寄存器 1 (ESC\_WRACFG1)

偏移地址: 0x0008

复位值: 0x1801 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			TXCLKC TRL1	TXCLKC TRL0	Reserved		EEPROM SIZE	Reserved	RSTOUTS RC	SOIRQEN 1	SOIRQEN 0	Reserved	LATCHEN	PDIEMUE N	RSTESC
			rw	rw			rw		rw	rw	rw		rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						SOINTEN 1	SOINTEN 0	ESCAEIN TEN	PDIWDSC FINTEN	PDIWDSC RINTEN	RSTOUTI NTEN	PDISOFIN TEN	PDIEOFIN TEN	PDIWDTR GINTEN	RSTININT EN

rw rw rw rw rw rw rw rw rw rw

位域	名称	描述
31:29	Reserved	保留，必须保持复位值。
28	TXCLKCTRL1	MII TXCLK1 输入控制： 0: CLK25 (25Mhz) 输出到 TXCLK1 引脚 1: TXCLK0 是一个输入引脚
27	TXCLKCTRL0	MII TXCLK0 输入控制： 0: CLK25 (25Mhz) 输出到 TXCLK0 引脚 1: TXCLK0 是一个输入引脚
26:25	Reserved	保留，必须保持复位值。
24	EEPROMSIZE	EEPROM 大小设置： 0: 16 Kbits 或更少 1: 32 Kbits 到 4 Mbits
23	Reserved	保留，必须保持复位值。
22	RSTOUTSRC	RESET_OUT 输出源设置： 0: 复位信号通过设置 ESC_WRACTRLSTS 寄存器的 bit1 生成 1: 重置信号由 ESC 内部信号源直接生成
21	SOIRQEN1	SYNC_OUT1 作为 IRQ 使能： 使用 SYNC_OUT1 事件作为中断，并且它有自己的中断向量。换句话说，SYNC_OUT1 事件可以直接中断 CPU。 0: SYNC_OUT1 作为 IRQ 已禁用 1: SYNC_OUT1 作为 IRQ 已启用 <i>注意: SOINTEN1 和 SOIRQEN1 中，任意时刻只能有一个被设置为“1”。将 SOIRQEN1 设置为“1”的优先级高于将 SOINTEN1 设置为“1”。如果软件尝试同时将 SOINTEN1 和 SOIRQEN1 设置为“1”，则 SOIRQEN1 将被设置为“1”。如果 SOINTEN1 被设置为“1”，此位将被重置为“1”。</i>
20	SOIRQEN0	SYNC_OUT0 作为 IRQ 使能： 使用 SYNC_OUT0 事件作为中断，并且它有自己的中断向量。换句话说，SYNC_OUT0 事件可以直接中断 CPU。 0: SYNC_OUT0 作为 IRQ 被禁用 1: SYNC_OUT0 作为 IRQ 已启用 <i>注意: SOINTEN0 和 SOIRQEN0 在任何时候只能有一个被设置为“1”。将 SOIRQEN0 设置为“1”的优先级高于将 SOINTEN0 设置为“1”。如果软件尝试同时将 SOINTEN0 和 SOIRQEN0 设置为“1”，则 SOIRQEN0 将被设置为“1”。如果 SOINTEN0 被设置为“1”，此位将被重置为“1”。</i>
19	Reserved	保留，必须保持复位值。
18	LATCHEN	锁存信号生成使能： 当此设置为“1”时，设置 ESC_WRACTRLSTS 寄存器的 bit9/8 以触发 LATCH 脉冲。 0: LATCH 生成已禁用 1: LATCH 生成已启用

位域	名称	描述
17	PDIEMUEN	PDI 设备仿真使能： 0：PDI 设备仿真已禁用 1：PDI 设备仿真已启用
16	RSTESC	RESET_IN 重置 ESC 设置： 0：如果 RESET_IN 处于活动状态，ESC 将被重置 1：RESET_IN 不会直接重置 ESC <i>注意：RESET_IN 的有效极性由 RSTINPOL 控制。</i>
15:10	Reserved	保留，必须保持复位值。
9	SOINTEN1	SYNC_OUT1 中断使能： 0：不会产生中断 1：如果相应的中断标志被设置，将生成一个中断 <i>注意：SOINTEN1 和 SOIRQEN1，在任何时候只能将其中一个设置为“1”。将 SOIRQEN1 设置为“1”的优先级高于将 SOINTEN1 设置为“1”。如果软件尝试同时将 SOINTEN1 和 SOIRQEN1 设置为“1”，则 SOIRQEN1 将被设置为“1”。如果 SOIRQEN1 被设置为“1”，此位将被重置为“1”。</i>
8	SOINTEN0	SYNC_OUT0 中断使能： 0：不会产生中断 1：如果相应的中断标志被设置，将生成一个中断 <i>注意：SOINTEN0 和 SOIRQEN0 在任何时候只能有一个被设置为“1”。将 SOIRQEN0 设置为“1”的优先级高于将 SOINTEN0 设置为“1”。如果软件试图同时将 SOINTEN0 和 SOIRQEN0 设置为“1”，则 SOIRQEN0 将被设置为“1”。如果 SOIRQEN0 被设置为“1”，此位将被重置为“1”。</i>
7	ESCAEINTEN	ESC 访问错误中断使能： 0：不会生成中断 1：如果相应的中断标志被设置，将生成一个中断
6	PDIWDSCFINTEN	PDI_WD_STATE 状态从“高”变为“低”中断使能： 0：不会产生中断 1：如果相应的中断标志被设置，将生成一个中断
5	PDIWDSCRINTEN	PDI_WD_STATE 状态从“低”变为“高”中断使能： 0：不会产生中断 1：如果相应的中断标志被设置，将生成一个中断
4	RSTOUTINTEN	RESET_OUT 中断使能： 0：不会产生中断 1：如果相应的中断标志被设置，将生成一个中断
3	PDISOFINTEN	PDI_SOF 中断使能： PDI_SOF 是以太网帧起始信号。这里用于在检测到 PDI_SOF 时生成中断。 0：不会产生中断 1：如果相应的中断标志被设置，将生成一个中断
2	PDIEOFINTEN	PDI_EOF 中断使能： PDI_EOF 是以太网帧结束信号。这里用于在检测到 PDI_EOF 时生成中断。 0：不会产生中断 1：如果相应的中断标志被设置，将生成一个中断

位域	名称	描述
1	PDIWDTRGINTEN	PDI_WD_TRIGGER 中断使能： 0：不会产生中断 1：如果相应的中断标志被设置，将生成一个中断
0	RSTININTEN	RESET_IN 中断使能： 0：不会产生中断 1：如果相应的中断标志被设置，将生成一个中断

#### 48.6.1.4 ESC 封装器中断状态寄存器 (ESC\_WRAINTSTS)

偏移地址：0x000C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						SOINTF1	SOINTF0	ESCAEINTF	PDIWDSCFINTF	PDIWDSCRINTF	RSTOUTINTF	PDISOFINTF	PDIEOFINTF	PDIWDTRGINTF	RSTININTF
						r	r	r	r	r	r	r	r	r	r

位域	名称	描述
31:10	Reserved	保留，必须保持复位值。
9	SOINTF1	SYNC_OUT1 中断标志： 在上升沿被检测。 0：未检测到 SYNC_OUT1 有效信号 1：检测到 SYNC_OUT1 有效信号 读寄存器时该位将自动清除。
8	SOINTF0	SYNC_OUT0 中断标志： 在上升沿被检测。 0：未检测到 SYNC_OUT0 有效信号 1：检测到 SYNC_OUT0 有效信号 读寄存器时该位将自动清除。
7	ESCAEINTF	ESC 访问错误中断标志： 当 AHB 在 ESC 处于或正在复位时访问 ESC 寄存器。复位可以来自外部或封装器复位寄存器。 0：未检测到错误 1：检测到错误 读寄存器时该位将自动清除。
6	PDIWDSCFINTF	PDI_WD_STATE 状态更改中断标志： 在 PDI_WD_STATE 信号的下降沿被检测。 0：未检测到下降沿 1：检测到下降沿 读寄存器时该位将自动清除。

位域	名称	描述
5	PDIWDSCINTF	PDI_WD_STATE 状态更改中断标志： 在 PDI_WD_STATE 信号的上升沿被检测。 0：未检测到上升沿 1：检测到上升沿 读寄存器时该位将自动清除。
4	RSTOUTINTF	RESET_OUT 中断标志： 用于检测 RESET_OUT 是否激活。 0：未检测到 RESET_OUT 事件 1：检测到 RESET_OUT 事件 读寄存器时该位将自动清除。
3	PDISOFINTF	PDI_SOF 中断标志： 在上升沿被检测。 0：未检测到 PDI_SOF 有效信号 1：检测到 PDI_SOF 有效信号 读寄存器时该位将自动清除。
2	PDIEOFINTF	PDI_EOF 中断标志： 在上升沿被检测。 0：未检测到 PDI_EOF 有效信号 1：检测到 PDI_EOF 有效信号 读寄存器时该位将自动清除。
1	PDIWDTRGINTF	PDI_WD_TRIGGER 中断标志： 在上升沿被检测。 0：未检测到 PDI_WD_TRIGGER 有效信号 1：检测到 PDI_WD_TRIGGER 有效信号 读寄存器时该位将自动清除。
0	RSTININTF	RESET_IN 中断标志： 0：未检测到 RESET_IN 有效信号（高电平有效） 1：检测到 RESET_IN 有效信号 读寄存器时该位将自动清除。 <i>注意：如果 ESC_WRACFG1.RSTESC = '1'，即使 RESET_IN 处于活动状态，此标志也不会被设置。</i>

## 48.6.2 ESC 模块寄存器

### 48.6.2.1 ESC 类型寄存器 (ESC\_TYPE)

偏移地址：0x0000

复位值：0xAC

*注意：此寄存器的复位值对于国民技术产品为 0xAC，对于 NSING 产品为 0xAD。*

7	6	5	4	3	2	1	0
TYPE[7:0]							

r

位域	名称	描述
7:0	TYPE	以太网控制自动化技术（EtherCAT）控制器的类型。

#### 48.6.2.2 ESC 版本寄存器（ESC\_REVISION）

偏移地址：0x0001

复位值：0x00

7	6	5	4	3	2	1	0
REVISION[7:0]							

r

位域	名称	描述
7:0	REVISION	EtherCAT 控制器（版本 X.Y.Z）的版本。 [7:0]：主要版本 X

#### 48.6.2.3 ESC 构建寄存器（ESC\_BUILD）

偏移地址：0x0002

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BUILD[15:0]															

r

位域	名称	描述
15:0	BUILD	EtherCAT 控制器构建版本（版本 X.Y.Z）。 [3:0]：维护版本 Z [7:4]：次要版本 Y [15:8]：补丁级别/开发版本：0x00：原始版本；0x01-0x0F：原始版本的补丁级别；0x10-0xFF：开发版本

#### 48.6.2.4 ESC FMMU 数量寄存器（ESC\_FMMUNUM）

偏移地址：0x0004

复位值：0x08

7	6	5	4	3	2	1	0
CHNUM[7:0]							

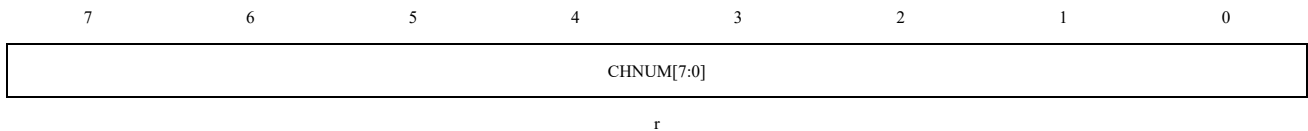
r

位域	名称	描述
7:0	CHNUM	支持的 FMMU 通道（或实体）数量。

#### 48.6.2.5 ESC 同步管理器数量寄存器（ESC\_SMNUM）

偏移地址：0x0005

复位值：0x08

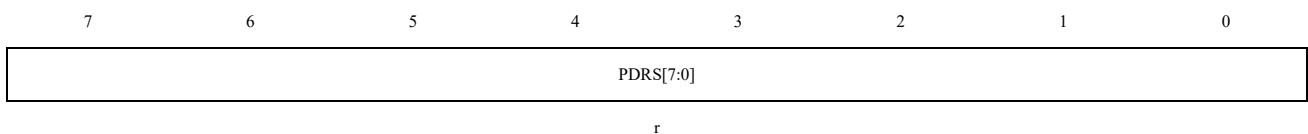


位域	名称	描述
7:0	CHNUM	支持的同步管理器通道（或实体）数量。

#### 48.6.2.6 ESC RAM 大小寄存器（ESC\_RAMSIZE）

偏移地址：0x0006

复位值：0x08

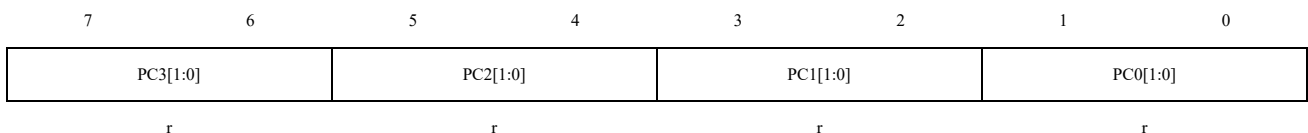


位域	名称	描述
7:0	PDRS	支持的过程数据 RAM 大小，以 KByte 为单位。

#### 48.6.2.7 ESC 端口描述符寄存器（ESC\_PORTDES）

偏移地址：0x0007

复位值：0x0F



位域	名称	描述
7:6	PC3	端口 3 配置： 00：未实现 01：未配置（SII EEPROM） 10：EBUS 11：MII / RMII / RGMII
5:4	PC2	端口 2 配置：

位域	名称	描述
		00: 未实现 01: 未配置 (SII EEPROM) 10: EBUS 11: MII / RMII / RGMII
3:2	PC1	端口 1 配置: 00: 未实现 01: 未配置 (SII EEPROM) 10: EBUS 11: MII / RMII / RGMII
1:0	PC0	端口 0 配置: 00: 未实现 01: 未配置 (SII EEPROM) 10: EBUS 11: MII / RMII / RGMII

#### 48.6.2.8 ESC 特性寄存器 (ESC\_FEATURE)

偏移地址: 0x0008

复位值: 0x01CC

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		FFSMC	RWCS	LRWCS	ESYNC	SHFCSERR	MIIELD	EBUSELD	EBUSLJ	DCW	DC	URA	FMMUO		
		r	r	r	r	r	r	r	r	r	r	r	r	r	r

位域	名称	描述
15:12	Reserved	保留, 必须保持复位值。
11	FFSMC	固定 FMMU/同步管理器配置: 0: 变量配置 1: 固定配置
10	RWCS	EtherCAT 读/写命令支持 (BRW, APRW, FPRW): 0: 支持 1: 不支持
9	LRWCS	支持 EtherCAT LRW 命令: 0: 支持 1: 不支持
8	ESYNC	增强型 DC SYNC 激活: 0: 不可用 1: 可用 <i>注意: 此功能指的是寄存器 0x0981[7:3] 和 0x0984</i>
7	SHFCSERR	单独处理 FCS 错误: 0: 不支持 1: 支持, 具有错误 FCS 和额外半字节的帧将在转发 RX 错误计数器中单独计数



位域	名称	描述
6	MIIELD	增强型链路检测 MII: 0: 不可用 1: 可用
5	EBUSELD	增强链接检测 EBUS: 0: 不可用 1: 可用
4	EBUSLJ	低抖动 EBUS: 0: 不可用, 标准抖动 1: 可用, 抖动已最小化
3	DCW	分布式时钟 (宽度): 0: 32 位 1: 64 位
2	DC	分布式时钟: 0: 不可用 1: 可用
1	URA	未使用的寄存器访问: 0: 允许 1: 不支持
0	FMMUO	FMMU 操作: 0: 面向位 1: 面向字节

#### 48.6.2.9 ESC 配置站地址寄存器 (ESC\_CFGSA)

偏移地址: 0x0010

复位值: 0x0000

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

ADDR[15:0]
------------

r

位域	名称	描述
15:0	ADDR	用于节点寻址的地址 (FPRD/FPWR/FPRW/FRMW 命令)。 <i>注意: 此字段 ECAT 是可读写的, PDI 是只读的。</i>

#### 48.6.2.10 ESC 配置站别名寄存器 (ESC\_CFGSALIAS)

偏移地址: 0x0012

复位值: 初始为 0, 直至首次加载 EEPROM 数据, 之后为 EEPROM 的第四个半字节。

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

ADDR[15:0]
------------

rw

位域	名称	描述
15:0	ADDR	用于节点寻址的别名地址（FPRD/FPWR/FPRW/FRMW 命令）。 此别名的使用由寄存器 DL 控制位 0x0100[24]激活。 <i>注意：EEPROM 值仅在上电或复位后首次加载 EEPROM 时传输到此寄存器中。</i> <i>注意：此字段 ECAT 是只读的，PDI 是可读写的。</i>

#### 48.6.2.11 ESC 寄存器写使能寄存器（ESC\_REGWEN）

偏移地址：0x0020

复位值：0x0000

7	6	5	4	3	2	1	0
Reserved							VALUE

r

位域	名称	描述
7:1	Reserved	保留，必须保持复位值。
0	VALUE	如果启用了寄存器写保护，则必须在同一个以太网帧中写入该寄存器（值无关紧要），然后才允许对该站点进行其他写操作。 此位将在下一帧（SOF）开始时自动清除，或者如果寄存器写保护被禁用。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

#### 48.6.2.12 ESC 寄存器写保护寄存器（ESC\_REGWP）

偏移地址：0x0021

复位值：0x0000

7	6	5	4	3	2	1	0
Reserved							RWPEN

r

位域	名称	描述
7:1	Reserved	保留，必须保持复位值。
0	RWPEN	寄存器写保护： 0：保护已禁用 1：保护已启用 寄存器 0x0000:0x0F7F 是写保护的，除了 0x0020 和 0x0030。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

#### 48.6.2.13 ESC 写使能寄存器（ESC\_ESCWEN）

偏移地址：0x0030

复位值：0x0000

7                      6                      5                      4                      3                      2                      1                      0

Reserved	VALUE
----------	-------

r

位域	名称	描述
7:1	Reserved	保留，必须保持复位值。
0	VALUE	如果启用了 ESC 写保护，则必须在同一个以太网帧中写入该寄存器（值无关紧要），然后才允许对该站点进行其他写操作。 此位将在下一帧（SOF）开始时自动清除，或者如果 ESC 写保护被禁用。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

#### 48.6.2.14 ESC 写保护寄存器（ESC\_ESCWP）

偏移地址：0x0031

复位值：0x0000

7                      6                      5                      4                      3                      2                      1                      0

Reserved	WPEN
----------	------

r

位域	名称	描述
7:1	Reserved	保留，必须保持复位值。
0	WPEN	写保护： 0：保护已禁用 1：保护已启用 所有区域均受写保护，除了 0x0030。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

#### 48.6.2.15 ECAT 复位 ESC 寄存器（ESC\_RSTECAT）

偏移地址：0x0040

复位值：0x00

7                      6                      5                      4                      3                      2                      1                      0

VALUE[7:0]
------------

r

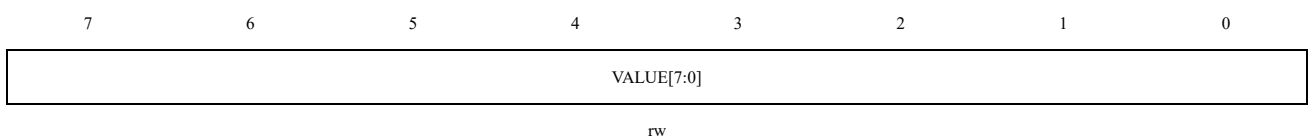
位域	名称	描述
7:0	VALUE	<b>写：</b> 在此寄存器中连续 3 帧写入 0x52（‘R’）、0x45（‘E’）和 0x53（‘S’）后，将触发复位。 <b>读：</b>

位域	名称	描述
		复位程序的进展： 0x1: 写入 0x52 后 0x2: 写入 0x45 之后（如果之前写入了 0x52） 0x0: 其他 <i>注意：在此字段中，仅低两位对读操作有效。</i> <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

#### 48.6.2.16 PDI 复位 ESC 寄存器 (ESC\_RSTPDI)

偏移地址：0x0041

复位值：0x00

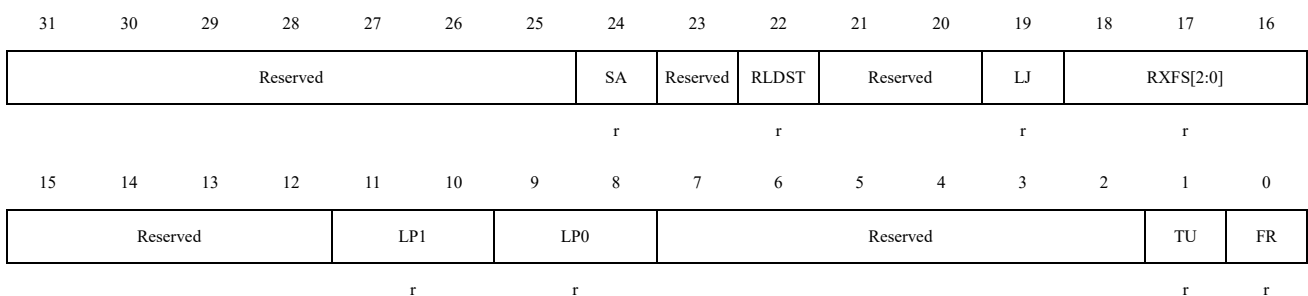


位域	名称	描述
7:0	VALUE	<b>写：</b> 在此寄存器中连续 3 帧写入 0x52（‘R’）、0x45（‘E’）和 0x53（‘S’）后，将触发复位。 <b>读：</b> 重置程序的进展： 0x1: 写入 0x52 后 0x2: 写入 0x45 之后（如果之前写入了 0x52） 0x0: 其他 <i>注意：在此字段中，仅低两位对读操作有效。</i> <i>注意：此字段 ECAT 是只读的，PDI 是可读写的。</i>

#### 48.6.2.17 ESC DL 控制寄存器 (ESC\_DLCTRL)

偏移地址：0x0100

复位值：0x0007 C001



位域	名称	描述
31:25	Reserved	保留，必须保持复位值。

位域	名称	描述
24	SA	站点别名： 0: 忽略站点别名 1: 别名可用于所有配置的地址命令类型（FPRD、FPWR，……） <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>
23	Reserved	保留，必须保持复位值。
22	RLDST	EBUS 远程链接断开信号时间： 0: 默认（~660 毫秒） 1: 减少（~80μs） <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>
21:20	Reserved	保留，必须保持复位值。
19	LJ	EBUS 低抖动： 0: 正常抖动 1: 减少抖动 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>
18:16	RXFS	RX FIFO 大小（ESC 延迟转发开始，直到 FIFO 至少填满一半）。RX FIFO 大小 /RX 延迟减少值： 0: -40 ns 1: -40 ns 2: -40 ns 3: -40 ns 4: 无变化 5: 无变化 6: 无变化 7: 默认 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>
15:12	Reserved	保留，必须保持复位值。
11:10	LP1	环路端口 1： 00: 自动 01: 自动关闭 10: 打开 11: 关闭 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>
9:8	LP0	环路端口 0： 00: 自动 01: 自动关闭 10: 打开 11: 关闭 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>
7:2	Reserved	保留，必须保持复位值。
1	TU	在 LP0-LP1 中的临时设置使用： 0: 永久使用 1: 使用约 1 秒钟，然后恢复到之前的设置

位域	名称	描述
		<i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>
0	FR	转发规则： 0：EtherCAT 帧被处理，非 EtherCAT 帧在未处理或修改的情况下被转发。任何帧的源 MAC 地址都不会被更改。 1：EtherCAT 帧被处理，非 EtherCAT 帧被销毁。每个帧的源 MAC 地址由处理单元更改（SOURCE_MAC [1] 设置为 1--本地管理地址）。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

*注意：环路配置的更改将延迟至当前通过该端口的帧接收或传输完成后生效。*

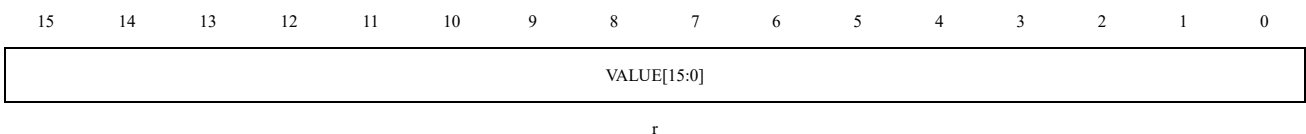
*注意：接收 FIFO 大小的缩减可能性取决于 ESC 时钟源的精度以及所有连接的 EtherCAT/以太网设备（主站、从站等）的时钟精度。当精度要求为 100ppm 时，接收 FIFO 大小设置为 7 即可满足需求；若精度要求为 25ppm（帧大小为 1518/1522 字节），则可将 FIFO 大小设置为 0。*

#### 48.6.2.18 ESC 物理读/写偏移寄存器（ESC\_RWOFFSET）

偏移地址：0x0108

复位值：0x0000

此寄存器用于设备寻址模式（FPRW、APRW、BRW）中的读/写命令。

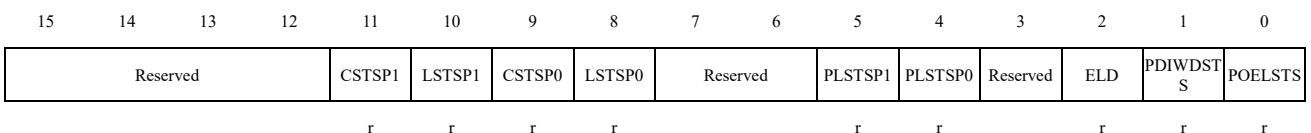


位域	名称	描述
15:0	VALUE	读写地址之间的偏移值。 内部读取地址直接取自 EtherCAT 数据报头的偏移地址字段，而内部写入地址通过将物理读/写偏移值加到偏移地址字段来计算。 内部读取地址 = ADR， 内部写地址 = ADR + 读/写偏移量 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

#### 48.6.2.19 ESC DL 状态寄存器（ESC\_DLSTS）

偏移地址：0x0110

复位值：0x0004



位域	名称	描述
15:12	Reserved	保留，必须保持复位值。

位域	名称	描述
11	CSTSP1	端口 1 通信状态： 0: 无稳定通信 1: 通信已建立
10	LSTSP1	端口 1 环路状态： 0: 打开 1: 关闭
9	CSTSP0	端口 0 通信状态： 0: 无稳定通信 1: 通信已建立
8	LSTSP0	端口 0 环路状态： 0: 打开 1: 关闭
7:6	Reserved	保留，必须保持复位值。
5	PLSTSP1	端口 1 物理链接状态： 0: 无链接 1: 检测到链接
4	PLSTSP0	端口 0 物理链接状态： 0: 无链接 1: 检测到链接
3	Reserved	保留，必须保持复位值。
2	ELD	增强链接检测： 0: 已为所有端口停用 1: 至少激活一个端口 <i>注意：EEPROM 值仅在上电或复位后首次加载 EEPROM 时传输到此寄存器中。</i>
1	PDIWDSTS	PDI 监控状态： 0: 看门狗已过期 1: 看门狗已重新加载
0	POELSTS	PDI 操作/EEPROM 加载状态： 0: EEPROM 未加载，PDI 未运行（无法访问过程数据 RAM） 1: EEPROM 加载正确，PDI 正常运行（可访问过程数据 RAM）

注意：从 ECAT 读取 DL 状态寄存器会清除 ECAT 事件请求寄存器的第 2 位。避免从 PDI 读取 DL 状态寄存器。

#### 48.6.2.20 ESC AL 控制寄存器 (ESC\_ALCTRL)

偏移地址：0x0120

复位值：0x0001

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											DIR	EIA	DSMR[3:0]		
											r	r	r		

位域	名称	描述
15:6	Reserved	保留，必须保持复位值。
5	DIR	设备标识请求： 0：无请求 1：设备标识请求 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>
4	EIA	错误指示应答： 0：AL 状态寄存器中无错误指示应答 1：AL 状态寄存器中错误指示应答 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>
3:0	DSMR	设备状态机请求： 启动设备状态机的状态转换： 0x1：初始状态请求 0x2：预运行状态请求 0x3：引导状态请求 0x4：安全运行状态请求 0x8：运行状态请求 其他：保留 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

#### 48.6.2.21 ESC AL 状态寄存器 (ESC\_ALSTS)

偏移地址：0x0130

复位值：0x0004

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved										DILSTS	EISTS	DSMSTS[3:0]			
										rw	rw				

位域	名称	描述
15:6	Reserved	保留，必须保持复位值。
5	DILSTS	设备标识加载状态： 0：设备标识无效 1：设备标识已加载 <i>注意：此字段 ECAT 是只读的，PDI 是可读写的。</i>
4	EISTS	错误指示状态： 0：设备处于请求的状态或通过命令清除了标志 1：设备未进入请求的状态或由于本地操作而改变状态 <i>注意：此字段 ECAT 是只读的，PDI 是可读写的。</i>
3:0	DSMSTS	设备状态机状态： 设备状态机的实际状态： 0x1：初始状态 0x2：预运行状态



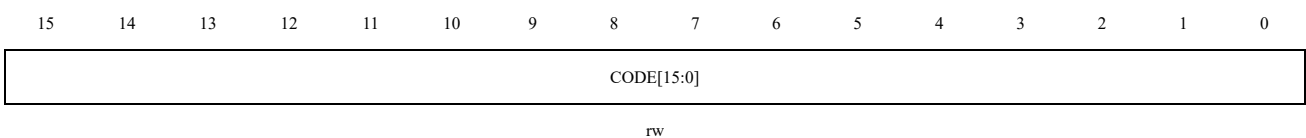
位域	名称	描述
		0x3: 引导状态 0x4: 安全运行状态 0x8: 运行状态 注意: 此字段 ECAT 是只读的, PDI 是可读写的。

注意: 从 ECAT 读取 AL 状态寄存器会清除 ECAT 事件请求寄存器的第 3 位。避免从 PDI 读取 DL 状态寄存器。

#### 48.6.2.22 ESC AL 状态码寄存器 (ESC\_ALSTSC)

偏移地址: 0x0134

复位值: 0x0000

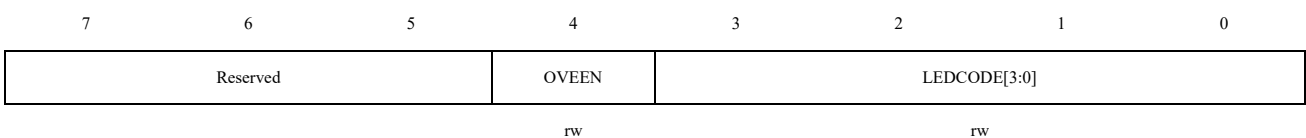


位域	名称	描述
15:0	CODE	AL 状态码。 注意: 此字段 ECAT 是只读的, PDI 是可读写的。

#### 48.6.2.23 ESC RUN LED 覆盖寄存器 (ESC\_RUNLEDOVE)

偏移地址: 0x0138

复位值: 0x00



位域	名称	描述
7:5	Reserved	保留, 必须保持复位值。
4	OVEEN	启用覆盖: 0: 覆盖已禁用 1: 覆盖已启用
3:0	LEDCODE	LED 代码 (FSM 状态: AL 状态寄存器的[3:0]位): 0x0: 关闭 (FSM: 1-初始化) 0x1: 闪烁 1 次 (FSM: 4-安全运行) 0xD: 有规律式闪烁 (FSM: 2-预运行) 0xE: 无规律式闪烁 (FSM: 3-自举) 0xF: 常亮 (FSM: 8-运行) 其他: 闪烁 2 次至 12 次 (FSM: -)

注意: 对 AL 状态寄存器进行有效值更改将禁用运行 LED 覆盖 (清除第 4 位)。此寄存器中读取的值始终反

映当前的 LED 输出。

#### 48.6.2.24 ESC ERR LED 覆盖寄存器 (ESC\_ERRLEDOVE)

偏移地址: 0x0139

复位值: 0x00

	7	6	5	4	3	2	1	0
Reserved			OVEEN	LEDCODE[3:0]				
			rw	rw				

位域	名称	描述
7:5	Reserved	保留, 必须保持复位值。
4	OVEEN	启用覆盖: 0: 覆盖已禁用 1: 覆盖已启用
3:0	LEDCODE	LED 代码: 0x0: 关闭 0x1-0xC: 闪烁 1 次至 12 次 0xD: 有规律式闪烁 0xE: 无规律式闪烁 0xF: 常亮

注意: 新的错误条件将禁用 ERR LED 覆盖 (清除第 4 位)。在此寄存器中读取的值始终反映当前的 LED 输出。

#### 48.6.2.25 ESC PDI 控制寄存器 (ESC\_PDISTR1)

偏移地址: 0x0140

复位值: 0x80

	7	6	5	4	3	2	1	0
PDI[7:0]								
r								

位域	名称	描述
7:0	PDI	过程数据接口: 0x80: 片上总线

#### 48.6.2.26 ESC 配置寄存器 (ESC\_CFG)

偏移地址: 0x0141

复位值: 0x3E

	7	6	5	4	3	2	1	0
--	---	---	---	---	---	---	---	---

ELDP3	ELDP2	ELDP1	ELDP0	DCLATCH	DCSYNC	ELDAP	DE
r	r	r	r	r	r	r	r

位域	名称	描述
7	ELDP3	端口 3 增强链接检测： 0：禁用 1：启用
6	ELDP2	端口 2 增强链接检测： 0：禁用 1：启用
5	ELDP1	端口 1 增强链接检测： 0：禁用 1：启用
4	ELDP0	端口 0 增强链接检测： 0：禁用 1：启用
3	DCLATCH	分布式时钟锁存单元： 0：禁用（省电） 1：启用
2	DCSYNC	分布式时钟同步输出单元： 0：禁用（省电） 1：启用
1	ELDAP	所有端口的增强链接检测： 0：禁用（如果位[7:4]=0） 1：在所有端口启用（覆盖位[7:4]）
0	DE	设备仿真（AL 状态控制）： 0：AL 状态寄存器必须由 PDI 设置 1：AL 状态寄存器将被设置为写入 AL 控制寄存器的值

注意：位 1、4、5、6 和 7 的 EEPROM 值仅在上电或复位后的首次 EEPROM 加载时传输到此寄存器中。

#### 48.6.2.27 ESC PDI 信息寄存器（ESC\_PDIINFO）

偏移地址：0x014E

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												PDICFG	PDIACK	ESCLOA D	PDIACK
												r	r	r	r

位域	名称	描述
15:4	Reserved	保留，必须保持复位值。
3	PDICFG	PDI 配置无效：

位域	名称	描述
		0: PDI 配置正常 1: PDI 配置无效
2	PDIACT	PDI 激活: 0: PDI 未激活 1: PDI 激活
1	ESCLOAD	从 EEPROM 加载的 ESC 配置区域: 0: 未加载 1: 已加载
0	PDIACK	通过写应答 PDI 功能: 0: 禁用 1: 启用

#### 48.6.2.28 ESC PDI 配置寄存器 (ESC\_PDICFG)

偏移地址: 0x0150

复位值: 0x81

7	6	5	4	3	2	1	0
OCBTYPE[2:0]				OCBCLK[4:0]			
r				r			

位域	名称	描述
7:5	OCBTYPE	片上总线类型。 指明片上总线的类型。 100: OPB 其他: 保留
4:0	OCBCLK	片上总线时钟。 指示片上总线时钟的频率。该值始终为 1 (对应于 1 * 25 MHz)。

#### 48.6.2.29 ESC 同步/锁存 PDI 配置寄存器 (ESC\_PDISLCFG)

偏移地址: 0x0151

复位值: 0xEE

7	6	5	4	3	2	1	0
S1MAP	S1L1CFG	S1OUT[1:0]		S0MAP	S0L0CFG	S0OUT[1:0]	
r	r	r		r	r	r	

位域	名称	描述
7	S1MAP	SYNC1 状态映射: 指示是否启用 SYNC1 状态到 AL 事件请求寄存器第 3 位的映射。 0: 禁用

位域	名称	描述
		1: 启用
6	SIL1CFG	SYNC1/LATCH1 配置: 0: LATCH1 输入 1: SYNC1 输出
5:4	S1OUT	SYNC1 输出驱动/极性: 00: 推挽 (低电平有效) 01: 开漏 (低电平有效) 10: 推挽 (高电平有效) 11: 开源 (高电平有效)
3	S0MAP	SYNC0 状态映射: 指示是否启用 SYNC0 状态到 AL 事件请求寄存器第 2 位的映射。 0: 禁用 1: 启用
2	S0L0CFG	SYNC0/LATCH0 配置: 0: LATCH0 输入 1: SYNC0 输出
1:0	S0OUT	SYNC0 输出驱动/极性: 00: 推挽 (低电平有效) 01: 开漏 (低电平有效) 10: 推挽 (高电平有效) 11: 开源 (高电平有效)

注意: 该 IP 核具有并行输出的 SYNC1/0 信号和并行输入的 LATCH1/0 信号, 此特性独立于当前配置 (即第 2 位和第 6 位的配置)。

### 48.6.2.30 ESC PDI 扩展配置寄存器 (ESC\_PDIEXTCFG)

偏移地址: 0x0152

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														DBWID[1:0]	

r

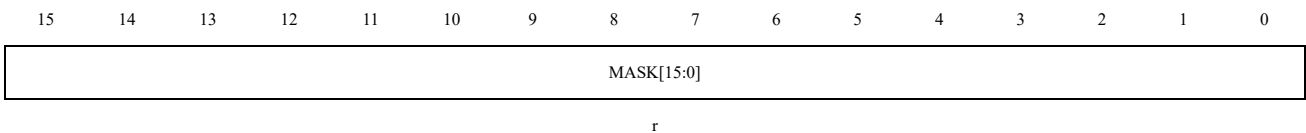
位域	名称	描述
15:2	Reserved	保留, 必须保持复位值。
1:0	DBWID	PDI 数据总线宽度: 指示 PDI 的数据总线宽度。 00: 4 字节 01: 1 字节 10: 2 字节 11: 保留

### 48.6.2.31 ESC ECAT 事件屏蔽寄存器 (ESC\_ECATEMSK)

偏移地址: 0x0200

复位值: 0x0000

ECAT 事件请求 (ECAT 中断) 用于将从站事件传输至 EtherCAT 主站。该寄存器用于为 ECAT 事件请求寄存器的每个事件设置屏蔽位。通过对 ECAT 事件请求寄存器中每个有效位与本寄存器对应位的逻辑与运算, 其结果生成中断信号。



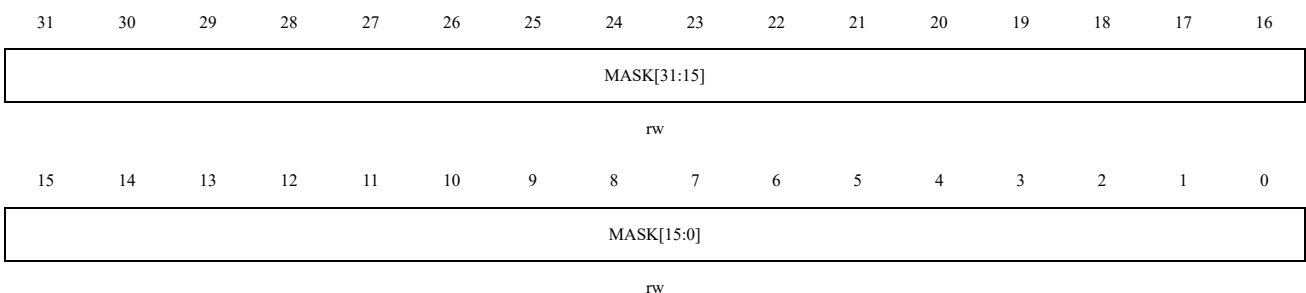
位域	名称	描述
15:0	MASK	ECAT 事件屏蔽用于将 ECAT 事件请求事件映射到 EtherCAT 帧的 ECAT 事件字段: 0: 对应的 ECAT 事件请求寄存器位未映射 1: 对应的 ECAT 事件请求寄存器位已映射 <i>注意: 此字段 ECAT 是可读写的, PDI 是只读的。</i>

### 48.6.2.32 ESC AL 事件屏蔽寄存器 (ESC\_ALEMSK)

偏移地址: 0x0204

复位值: 0x00FF FF0F

AL 事件请求 (PDI 中断) 用于将 ESC 中断传输至从属应用程序。该寄存器用于为 AL 事件请求寄存器的每个事件设置屏蔽位。通过对 AL 事件请求寄存器中每个有效位与本寄存器对应位的逻辑与运算, 其结果生成中断信号。



位域	名称	描述
31:0	MASK	AL 事件请求寄存器事件的 AL 事件屏蔽, 用于映射到 PDI IRQ 信号: 0: 对应的 AL 事件请求寄存器位未映射 1: 对应的 AL 事件请求寄存器位已映射 <i>注意: 此字段 ECAT 是只读的, PDI 是可读写的。</i>

### 48.6.2.33 ESC ECAT 事件请求寄存器 (ESC\_ECATEREQ)

偏移地址: 0x0210

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			SM7STS	SM6STS	SM5STS	SM4STS	SM3STS	SM2STS	SM1STS	SM0STS	ALSTS	DLSTS	Reserved	DCLATCH	
			r	r	r	r	r	r	r	r	r	r			r

位域	名称	描述
15:12	Reserved	保留，必须保持复位值。
11	SM7STS	同步管理器 7 状态的镜像值： 0：无同步通道 7 事件 1：同步通道 7 事件待处理
10	SM6STS	同步管理器 6 状态的镜像值： 0：无同步通道 6 事件 1：同步通道 6 事件待处理
9	SM5STS	同步管理器 5 状态的镜像值： 0：无同步通道 5 事件 1：同步通道 5 事件待处理
8	SM4STS	同步管理器 4 状态的镜像值： 0：无同步通道 4 事件 1：同步通道 4 事件待处理
7	SM3STS	同步管理器 3 状态的镜像值： 0：无同步通道 3 事件 1：同步通道 3 事件待处理
6	SM2STS	同步管理器 2 状态的镜像值： 0：无同步通道 2 事件 1：同步通道 2 事件待处理
5	SM1STS	同步管理器 1 状态的镜像值： 0：无同步通道 1 事件 1：同步通道 1 事件待处理
4	SM0STS	同步管理器 0 状态的镜像值： 0：无同步通道 0 事件 1：同步通道 0 事件待处理
3	ALSTS	AL 状态事件： 此位通过从 ECAT 读取 AL 状态寄存器清除。 0：AL 状态无变化 1：AL 状态更改
2	DLSTS	DL 状态事件： 此位通过从 ECAT 读取 DL 状态寄存器清除。 0：DL 状态无变化 1：DL 状态更改
1	Reserved	保留，必须保持复位值。
0	DCLATCH	DC 锁存事件：

位域	名称	描述
		此位通过从 ECAT 读取 DC 锁存事件时间来清除，用于 ECAT 控制的锁存单元，因此锁存 0/1 状态寄存器显示无事件。 0: DC 锁存输入无变化 1: 至少一个 DC 锁存输入发生变化

#### 48.6.2.34 ESC AL 事件请求寄存器 (ESC\_ALEREQ)

偏移地址: 0x0220

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SM7INT	SM6INT	SM5INT	SM4INT	SM3INT	SM2INT	SM1INT	SM0INT	Reserved	WDPD	Reserved	SMACT	同步 1STS	SYNCSOSTS	DCLATC H	ALCTRL
r	r	r	r	r	r	r	r		r		r	r	r	r	r

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15	SM7INT	SyncManager 7 中断 (SyncManager 状态寄存器的第 0 位或第 1 位) 0: 无 SyncManager 7 中断 1: SyncManager 7 中断待处理
14	SM6INT	SyncManager 6 中断 (SyncManager 状态寄存器的第 0 位或第 1 位) 0: 无 SyncManager 6 中断 1: SyncManager 6 中断待处理
13	SM5INT	SyncManager 5 中断 (SyncManager 状态寄存器的第 0 位或第 1 位) 0: 无 SyncManager 5 中断 1: SyncManager 5 中断待处理
12	SM4INT	SyncManager 4 中断 (SyncManager 状态寄存器的第 0 位或第 1 位) 0: 无 SyncManager 4 中断 1: SyncManager 4 中断待处理
11	SM3INT	SyncManager 3 中断 (SyncManager 状态寄存器的第 0 位或第 1 位) 0: 无 SyncManager 3 中断 1: SyncManager 3 中断待处理
10	SM2INT	SyncManager 2 中断 (SyncManager 状态寄存器的第 0 位或第 1 位) 0: 无 SyncManager 2 中断 1: SyncManager 2 中断待处理
9	SM1INT	SyncManager 1 中断 (SyncManager 状态寄存器的第 0 位或第 1 位) 0: 无 SyncManager 1 中断 1: SyncManager 1 中断待处理
8	SM0INT	SyncManager 0 中断 (SyncManager 状态寄存器的第 0 位或第 1 位)



位域	名称	描述
		0: 无 SyncManager 0 中断 1: SyncManager 0 中断待处理
7	Reserved	保留, 必须保持复位值。
6	WDPD	看门狗过程数据: 通过从 PDI 读取看门狗状态过程数据寄存器清除此位。 0: 尚未过期 1: 已过期
5	Reserved	保留, 必须保持复位值。
4	SMACT	同步管理器激活: 同步管理器激活寄存器的更改。 通过从 PDI 读取同步管理器激活寄存器清除此位。 0: 所有同步管理器均无变化 1: 至少一个同步管理器已更改
3	SYNC1STS	DC SYNC1 状态指示。 此位通过从 PDI 读取 SYNC1 状态寄存器清除, 仅在应答模式下使用。
2	SYNC0STS	DC SYNC0 状态指示。 此位通过从 PDI 读取 SYNC0 状态寄存器清除, 仅在应答模式下使用。
1	DCLATCH	DC 锁存事件: 通过从 PDI 读取 PDI 控制锁存单元的 DC 锁存事件时间清除此位, 因此锁存 0/1 状态寄存器显示无事件。 0: DC 锁存输入无变化 1: 至少一个 DC 锁存输入发生变化
0	ALCTRL	AL 控制事件: 通过从 PDI 读取 AL 控制寄存器清除此位。 0: 无 AL 控制寄存器更改 1: AL 控制寄存器已被写入

#### 48.6.2.35 ESC RX 错误计数器 n 寄存器 (ESC\_RXERRCNTn)

偏移地址:  $0x0300 + 2 * n$  ( $n = 0, 1$ ),  $n$  表示逻辑端口号 0 和 1。

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXFECV[7:0]								IFCV[7:0]							
r								r							

位域	名称	描述
15:8	RXFECV	RX 帧错误计数器值。 当计数值达到 0xFF 时, 端口 n 的接收错误计数器停止计数。该计数器统计 MII 接口的接收错误数量。 <i>注意: 此字段 ECAT 是可读写的, PDI 是只读的。</i>
7:0	IFCV	无效的帧计数器值。

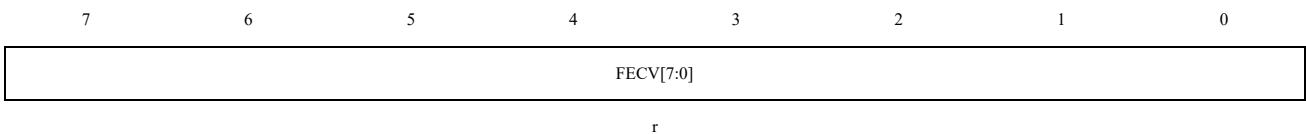
位域	名称	描述
		当计数值达到 0xFF 时，端口 n 的无效帧计数器停止计数。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

*注意：错误计数器（包括 RX 错误计数器和转发 RX 错误计数器）将在写入其中一个已实现的 RX 错误计数器（包括 RX 错误计数器和转发 RX 错误计数器）时被清除（最好是 RX 错误计数器 0）。写入值将被忽略（写入 0）。只有在端口的环路打开时才会计数错误。*

#### 48.6.2.36 ESC 转发 RX 错误计数器 n 寄存器 (ESC\_FWDRXERRCNTn)

偏移地址：0x0308 + n (n = 0, 1), n 表示逻辑端口号 0 和 1。

复位值：0x00



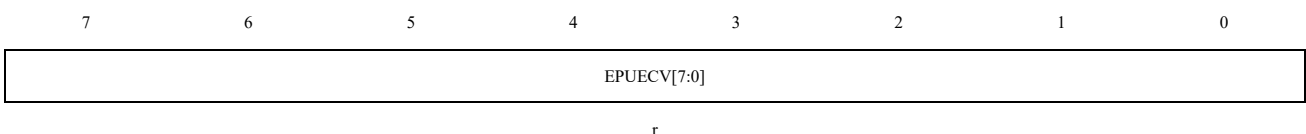
位域	名称	描述
7:0	FECV	转发错误计数器值。 当计数值达到 0xFF 时，端口 n 的转发 RX 错误帧计数器停止计数。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

*注意：错误计数器（包括 RX 错误计数器和转发 RX 错误计数器）将在写入其中一个已实现的 RX 错误计数器（包括 RX 错误计数器和转发 RX 错误计数器）时被清除（最好是 RX 错误计数器 0）。写入值将被忽略（写入 0）。只有在端口的环路打开时才会计数错误。*

#### 48.6.2.37 ESC ECAT 处理单元错误计数器寄存器 (ESC\_EPUERRCNT)

偏移地址：0x030C

复位值：0x00



位域	名称	描述
7:0	EPUECV	ECAT 处理单元错误计数值。 当计数值达到 0xFF 时，ECAT 处理单元错误计数器停止计数。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

*注意：此寄存器统计通过处理单元的帧错误。写入此寄存器将清除计数。写入值将被忽略（写入 0）。*

#### 48.6.2.38 ESC PDI 错误计数器寄存器 (ESC\_PDIERRCNT)

偏移地址：0x030D

复位值：0x00

7                      6                      5                      4                      3                      2                      1                      0

EPUECV[7:0]
-------------

r

位域	名称	描述
7:0	EPUECV	PDI 错误计数值。 计数在达到 0xFF 时停止。当由于访问 PDI 而发生接口错误时，计数开始。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

*注意：如果写入 PDI 错误计数器，PDI 错误计数器和 PDI 错误码将被清除。写入值会被忽略（写入 0）。*

#### 48.6.2.39 ESC PDI 错误码寄存器（ESC\_PDIERRCODE）

偏移地址：0x030E

复位值：0x00

7                      6                      5                      4                      3                      2                      1                      0

Reserved	WADDR	RADDR	WBUSY	RBUSY
----------	-------	-------	-------	-------

r                      r                      r                      r

位域	名称	描述
7:4	Reserved	保留，必须保持复位值。
3	WADDR	写访问寻址错误（无 BHE 的奇地址） 0：无错误 1：检测到错误
2	RADDR	读访问寻址错误（无 BHE 的奇地址） 0：无错误 1：检测到错误
1	WBUSY	写访问期间的繁忙违规 0：无错误 1：检测到错误
0	RBUSY	读访问期间的繁忙违规 0：无错误 1：检测到错误

*注意：如果写入 PDI 错误计数器，PDI 错误计数器和 PDI 错误码将被清除。写入值会被忽略（写入 0）。*

#### 48.6.2.40 ESC 丢失链接计数器 n 寄存器（ESC\_LOSTLINKCNTn）

偏移地址：0x0310 + n（n = 0, 1），n 表示逻辑端口号 0 和 1。

复位值：0x00

7                      6                      5                      4                      3                      2                      1                      0

LLCV[7:0]
-----------

r

位域	名称	描述
7:0	LLCV	丢失链接计数器值。 当计数值达到 0xFF 时，端口 n 的丢失链路计数器停止计数。只有当端口环路为 Auto 或 Auto-Close 时才开始计数。仅计算开放端口的丢失链路。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

*注意：如果写入了其中一个已实现的丢失链接计数器（最好是丢失链接计数器 0），丢失链接计数器将被清除。写入值会被忽略（写入 0）。*

#### 48.6.2.41 ESC 看门狗分频器寄存器 (ESC\_WDDIV)

偏移地址：0x0400

复位值：0x09C2

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

WDD[15:0]
-----------

r

位域	名称	描述
15:0	WDD	看门狗分频器： 表示看门狗基本增量的 25 MHz 时钟周期数（减去 2）。（默认值为 100 $\mu$ s = 2498）。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

#### 48.6.2.42 ESC 看门狗时间 PDI 寄存器 (ESC\_WDTPDI)

偏移地址：0x0410

复位值：0x03E8

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

WDT[15:0]
-----------

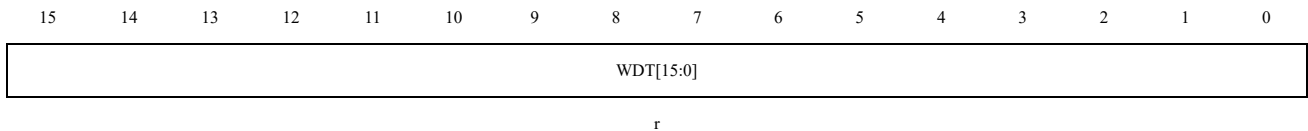
r

位域	名称	描述
15:0	WDT	看门狗时间 PDI： 将 PDI 看门狗定时器溢出的时间设置为看门狗递增的次数。根据这些位的默认值和看门狗分频器的设置，单次递增的时间为 100 $\mu$ s，因此当经过 100 $\mu$ s $\times$ 1000 = 100 ms 时，看门狗定时器溢出。将这些位设置为 0 会禁用看门狗定时器。访问 PDI 会重新启动看门狗定时器。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

### 48.6.2.43 ESC 看门狗时间过程数据寄存器 (ESC\_WDTPD)

偏移地址: 0x0420

复位值: 0x03E8

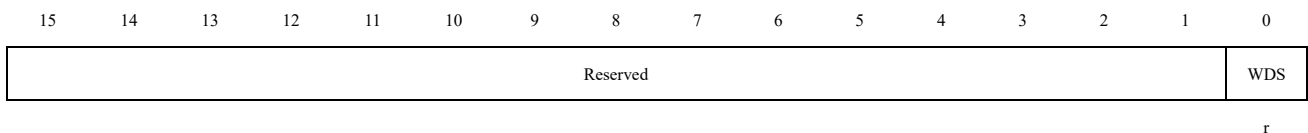


位域	名称	描述
15:0	WDT	<p>看门狗时间过程数据:</p> <p>将过程数据看门狗定时器溢出的时间设置为看门狗递增的次数。根据这些位的默认值和看门狗分频器的设置, 单次递增的时间为 100 <math>\mu</math>s, 因此当经过 100 <math>\mu</math>s <math>\times</math> 1000 = 100 ms 时, 看门狗定时器溢出。所有同步管理器共用一个看门狗。将这些位设置为 0 会禁用看门狗定时器。访问同步管理器的看门狗触发启用位会重新启动看门狗定时器。</p> <p><i>注意: 此字段 ECAT 是可读写的, PDI 是只读的。</i></p>

### 48.6.2.44 ESC 看门狗状态过程数据寄存器 (ESC\_WDSTSPD)

偏移地址: 0x0440

复位值: 0x0000

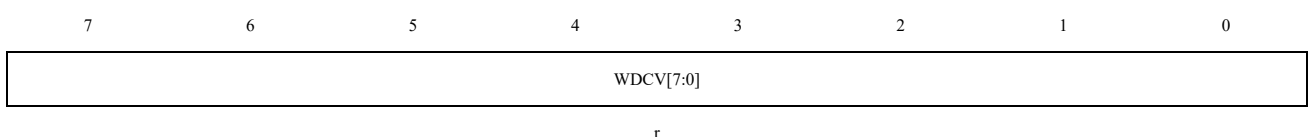


位域	名称	描述
15:1	Reserved	保留, 必须保持复位值。
0	WDS	<p>看门狗状态:</p> <p>表示由同步管理器触发的过程数据看门狗定时器的状态。读此寄存器会清除 AL 事件请求寄存器的第 6 位。</p> <p>0: 看门狗过程数据已过期</p> <p>1: 看门狗过程数据处于活动状态或已禁用</p>

### 48.6.2.45 ESC 看门狗计数器过程数据寄存器 (ESC\_WDCNTPD)

偏移地址: 0x0442

复位值: 0x00



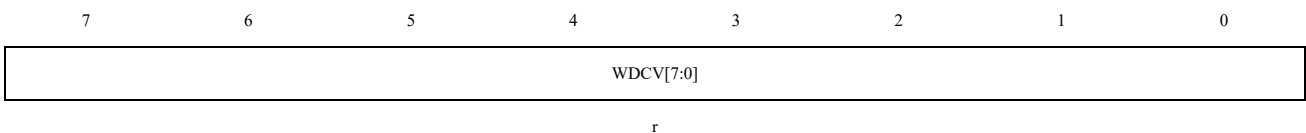
位域	名称	描述
7:0	WDCV	看门狗计数器值。 指示计数器值：当过程数据看门狗计时器计数达到 0xFF 时停止计数。计数将在过程数据看门狗计时器超时后重新开始。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

*注意：如果写入其中一个看门狗计数器（包括看门狗计数器过程数据和看门狗计数器 PDI），则看门狗计数器（包括看门狗计数器过程数据和看门狗计数器 PDI）将被清除。写入值将被忽略（写入 0）。*

#### 48.6.2.46 ESC 看门狗计数器 PDI 寄存器 (ESC\_WDCNTPDI)

偏移地址：0x0443

复位值：0x00



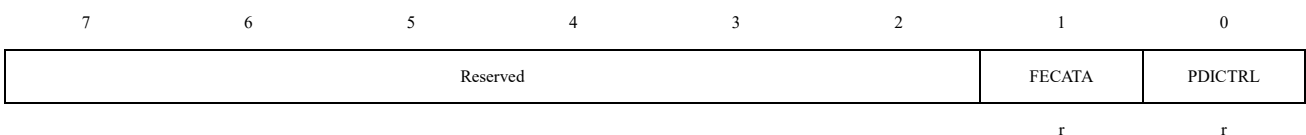
位域	名称	描述
7:0	WDCV	看门狗计数器值。 PDI 看门狗计时器的计数器值在达到 0xFF 时停止计数。计数将在 PDI 看门狗计时器超时后重新开始。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

*注意：如果写入其中一个看门狗计数器（包括看门狗计数器过程数据和看门狗计数器 PDI），则看门狗计数器（包括看门狗计数器过程数据和看门狗计数器 PDI）将被清除。写入值将被忽略（写入 0）。*

#### 48.6.2.47 ESC EEPROM 配置寄存器 (ESC\_EEPROMCFG)

偏移地址：0x0500

复位值：0x00



位域	名称	描述
7:2	Reserved	保留，必须保持复位值。
1	FECATA	强制 ECAT 访问： 0：不更改 EEPROM PDI 访问状态寄存器的第 0 位 1：将 EEPROM PDI 访问状态寄存器的第 0 位重置为 0 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>
0	PDICTRL	PDI EEPROM 控制：

位域	名称	描述
		指定是否为 PDI 提供 EEPROM 控制功能。 0: PDI 不具备 EEPROM 控制功能 1: PDI 具备 EEPROM 控制功能 注意: 此字段 ECAT 是可读写的, PDI 是只读的。

#### 48.6.2.48 ESC EEPROM PDI 访问状态寄存器 (ESC\_EEPROMDIAS)

偏移地址: 0x0501

复位值: 0x00

7	6	5	4	3	2	1	0
Reserved							AE
rw							

位域	名称	描述
7:1	Reserved	保留, 必须保持复位值。
0	AE	访问 EEPROM: 0: PDI 释放 EEPROM 访问权限 1: PDI 占用 EEPROM 访问权限 (PDI 具有 EEPROM 控制权) 从 PDI 进行写访问仅在 EEPROM 配置寄存器中的第 0 位为 1 且第 1 位为 0 时才可能。 注意: 此字段 ECAT 是只读的, PDI 是可读写的。

#### 48.6.2.49 ESC EEPROM 控制状态寄存器 (ESC\_EEPROMCTRLSTS)

偏移地址: 0x0502

复位值: 0x0040

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BUSY	WENERR	ACKCMDERR	LOADSTS	CSERR	CMD[2:0]		SEA	RBYTE	EMU	Reserved				ECATWEN	
r	r	r	r	r	rw		r	r	r					r	

位域	名称	描述
15	BUSY	忙碌: 0: EEPROM 接口空闲 1: EEPROM 接口正忙
14	WENERR	错误写入启用: 0: 无错误 1: 在未使能写的情况下写入命令
13	ACKCMDERR	错误应答/命令: 0: 无错误 1: 缺少 EEPROM 应答或无效命令

位域	名称	描述
12	LOADSTS	EEPROM 加载状态： 0: EEPROM 已加载，设备信息正常 1: EEPROM 未加载，设备信息不可用（EEPROM 加载正在进行中或已失败）
11	CSERR	ESC 配置区域的校验和错误： 0: 校验和正常 1: 校验和错误
10:8	CMD	命令： <b>写：</b> 启动命令。 <b>读：</b> 当前执行的命令： 000: 无命令/EEPROM 空闲（清除错误位） 001: 读 010: 写 100: 重加载 其他: 保留/无效命令
7	SEA	选择的 EEPROM 算法： 0: 1 个地址字节（1Kbit – 16Kbit EEPROMs） 1: 2 个地址字节（32Kbit – 4 Mbit EEPROMs）
6	RBYTE	支持的 EEPROM 读字节数： 0: 4 字节 1: 8 字节
5	EMU	EEPROM 仿真： 0: 正常操作（使用 I <sup>2</sup> C 接口） 1: PDI 模拟 EEPROM（未使用 I <sup>2</sup> C）
4:1	Reserved	保留，必须保持复位值。
0	ECATWEN	ECAT 写使能： 0: 写请求已禁用 1: 写请求已启用 如果 PDI 具有 EEPROM 控制，则此位始终为 1。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

*注意：写权限取决于 EEPROM 接口（ECAT/PDI）的分配。如果 EEPROM 接口繁忙（bit15 等于 1），写权限将被阻止。*

*注意：通过向 CMD 字段写入 000b（或任何有效命令）可以清除 WENERR 和 ACKCMDERR 位。*

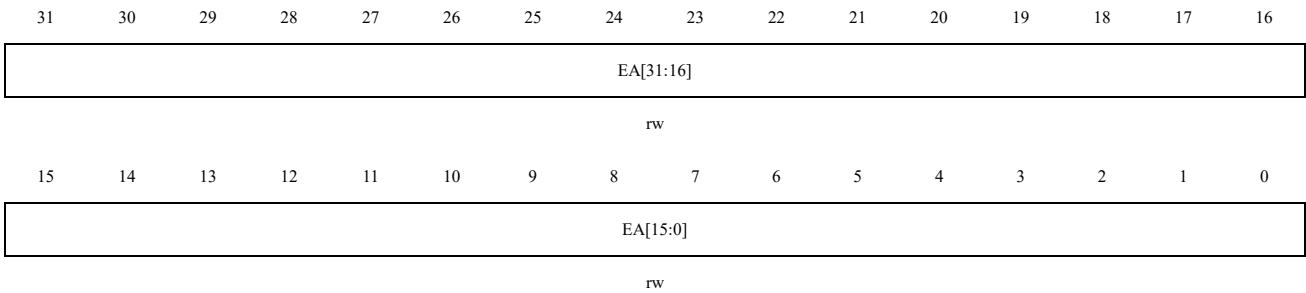
*注意：位 0（ECAT 写使能位）将在下一帧的 SOF 时自动清除。CMD 字段在命令执行后（EEPROM 忙结束）也会自动清除。向 CMD 字段写入 000b 也会清除错误位 14 和 13。如果位 13（应答/命令错误位）为 1，则忽略 CMD 字段。*

#### 48.6.2.50 ESC EEPROM 地址寄存器（ESC\_EEPROMADDR）

偏移地址：0x0504

复位值：0x0000 0000





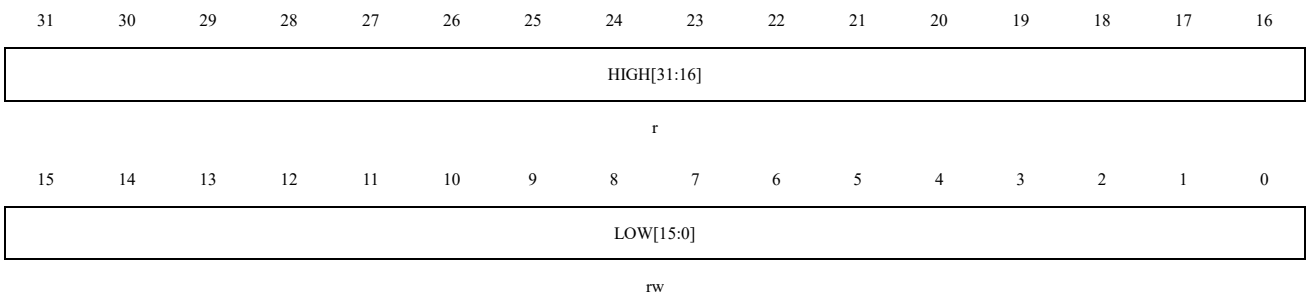
位域	名称	描述
31:0	EA	EEPROM 地址: 0: 第一个半字 (= 16 位) 1: 第二个半字 ... 实际使用的 EEPROM 地址位: [9:0]: EEPROM 大小可达 16 Kbit [17:0]: EEPROM 大小为 32 Kbit – 4 Mbit

注意: 写权限取决于 EEPROM 接口 (ECAT/PDI) 的分配。如果 EEPROM 接口繁忙 (bit15 等于 1), 写权限将被阻止。

#### 48.6.2.51 ESC EEPROM 数据寄存器 (ESC\_EEPROMDAT)

偏移地址: 0x0508

复位值: 0x0000 0000



位域	名称	描述
31:16	HIGH	EEPROM 读数据 (从 EEPROM 读取的数据, 高字节)
15:0	LOW	EEPROM 写数据 (写入 EEPROM 的数据) 或 EEPROM 读数据 (从 EEPROM 读取的数据, 低字节)

注意: 写权限取决于 EEPROM 接口 (ECAT/PDI) 的分配。如果 EEPROM 接口繁忙 (bit15 等于 1), 写权限将被阻止。

#### 48.6.2.52 ESC MII 管理控制状态寄存器 (ESC\_MICTRLSTS)

偏移地址: 0x0510

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BUSY	CMDERR	RERR	Reserved			CMD[1:0]		PHYADDR0[4:0]				MICFG	PDICTRL	WEN	
r	r	rw				rw		r				r	r	r	

位域	名称	描述
15	BUSY	忙碌： 0：MII 管理接口处于空闲状态 1：MII 管理接口正忙
14	CMDERR	命令错误： 0：最后的命令已成功 1：无效命令或在未使能写的情况下写入命令 此位通过执行有效命令或向 CMD [1:0]写入 00b 来清除。
13	RERR	读错误： 0：无读错误 1：发生读错误（PHY 或寄存器不可用） 通过写入该寄存器的高 8 位可以清除此位。
12:10	Reserved	保留，必须保持复位值。
9:8	CMD	命令： <b>写：</b> 启动命令。 <b>读：</b> 当前执行的命令： 00：无命令/MI 空闲（清除错误位） 01：读 10：写 11：保留/无效命令
7:3	PHYADDR0	端口 0 的 PHY 地址。
2	MICFG	MI 链接检测和配置： 0：禁用所有端口 1：至少为一个 MII 端口启用，请参阅 PHY 端口状态寄存器了解详细信息
1	PDICTRL	PDI 控制： 管理接口可通过 PDI 控制（MII 管理 ECAT 访问状态寄存器和 MII 管理 PDI 访问状态寄存器）： 0：仅 ECAT 控制 1：可进行 PDI 控制
0	WEN	写使能： 0：写入已禁用 1：写入已启用 如果 PDI 具有 MI 控制，则此位始终为 1。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

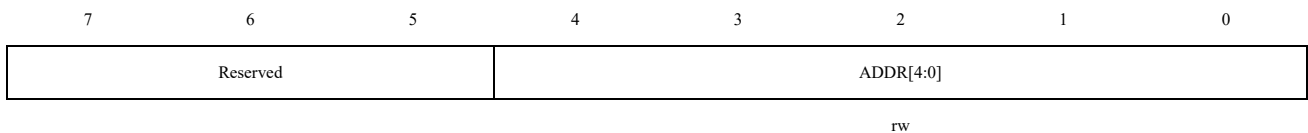
注意：写权限取决于 MI (ECAT/PDI) 的分配。如果管理接口繁忙 (bit15 等于 1)，写权限将被阻止。

注意：位 0 (写使能位) 会在下一帧的 SOF 时自动清除。CMD 字段在命令执行后 (忙结束) 也会自动清除。向 CMD 字段写入 00b 也会清除错误位 14 和 13。

#### 48.6.2.53 ESC PHY 地址寄存器 (ESC\_PHYADDR)

偏移地址：0x0512

复位值：0x00



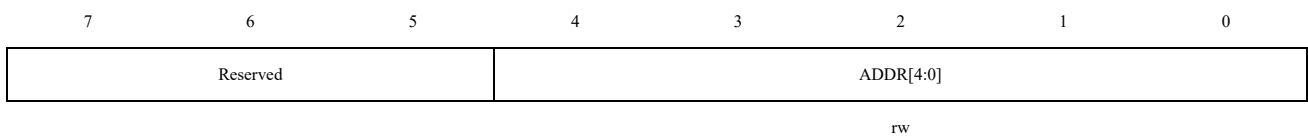
位域	名称	描述
7:5	Reserved	保留，必须保持复位值。
4:0	ADDR	PHY 地址。

注意：写权限取决于 MI (ECAT/PDI) 的分配。如果管理接口繁忙 (MII 管理控制/状态寄存器的第 15 位等于 1)，写权限将被阻止。

#### 48.6.2.54 ESC PHY 寄存器地址寄存器 (ESC\_PHYREGADDR)

偏移地址：0x0513

复位值：0x00



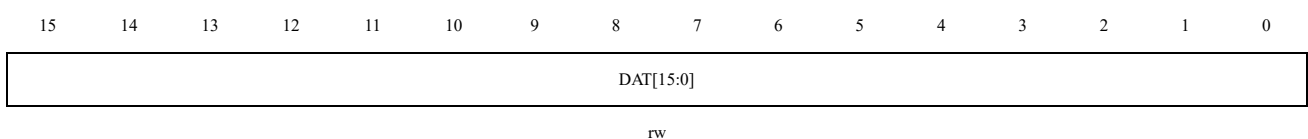
位域	名称	描述
7:5	Reserved	保留，必须保持复位值。
4:0	ADDR	需读取/写入的 PHY 寄存器地址。

注意：写权限取决于 MI (ECAT/PDI) 的分配。如果管理接口繁忙 (MII 管理控制/状态寄存器的第 15 位等于 1)，写权限将被阻止。

#### 48.6.2.55 ESC PHY 数据寄存器 (ESC\_PHYDAT)

偏移地址：0x0514

复位值：0x0000



位域	名称	描述
15:0	DAT	PHY 读/写数据。

注意：写权限取决于 MI (ECAT/PDI) 的分配。如果管理接口繁忙 (MII 管理控制/状态寄存器的第 15 位等于 1)，写权限将被阻止。

#### 48.6.2.56 ESC MII 管理 ECAT 访问状态寄存器 (ESC\_MIECATAS)

偏移地址：0x0516

复位值：0x00

7	6	5	4	3	2	1	0
Reserved							ACSMII
							r

位域	名称	描述
7:1	Reserved	保留，必须保持复位值。
0	ACSMII	访问 MII 管理： 0：ECAT 支持 PDI 接管 MII 管理接口 1：ECAT 宣称对 MII 管理接口拥有专属访问权限 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

注意：只有当 MII 管理 PDI 访问状态寄存器的第 0 位等于 0 时，写访问才可能。

#### 48.6.2.57 ESC MII 管理 PDI 访问状态寄存器 (ESC\_MIPDIAS)

偏移地址：0x0517

复位值：0x00

7	6	5	4	3	2	1	0
Reserved						FPDIA	ACSMII
						r	rw

位域	名称	描述
7:2	Reserved	保留，必须保持复位值。
1	FPDIA	强制 PDI 访问状态： 0：不更改第 0 位 1：将第 0 位重置为 0 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>
0	ACSMII	访问 MII 管理： 0：ECAT 可以访问 MII 管理 1：PDI 可以访问 MII 管理 <i>注意：此字段 ECAT 是只读的，PDI 是可读写的。</i>

注意：只有当 MII 管理 ECAT 访问状态寄存器的第 0 位等于 0 且 MII 管理 PDI 访问状态寄存器的第 1 位等

于 0 时，才能分配对 PDI（第 0 位等于 1）的访问权限。

#### 48.6.2.58 ESC PHY 端口 n 状态寄存器 (ESC\_PHYPnSTS)

偏移地址：0x0518 + n (n = 0, 1)，n 表示逻辑端口号 0 和 1。

复位值：0x00

	7	6	5	4	3	2	1	0
	Reserved	PHYCFGUD	LPERR	RERR	LSERR	LS	PLS	
		rw	r	rw	r	r	r	

位域	名称	描述
7:6	Reserved	保留，必须保持复位值。
5	PHYCFGUD	PHY 配置已更新： 0：无更新 1：PHY 配置已更新 通过向至少一个 PHY 端口 n 状态寄存器写入任意值来清除此位。
4	LPERR	链接伙伴错误： 0：未检测到错误 1：链接伙伴错误
3	RERR	读错误： 0：未发生读错误 1：发生了读错误 通过向至少一个 PHY 端口 n 状态寄存器写入任意值来清除此位。
2	LSERR	链接状态错误： 0：无错误 1：链接错误，链接被禁止
1	LS	链接状态（100 Mbit/s，全双工，自动协商）： 0：无链接 1：检测到链接
0	PLS	物理链接状态（PHY 状态寄存器 1.2）： 0：无物理链接 1：检测到物理链接

注意：写权限取决于 MI (ECAT/PDI) 的分配。

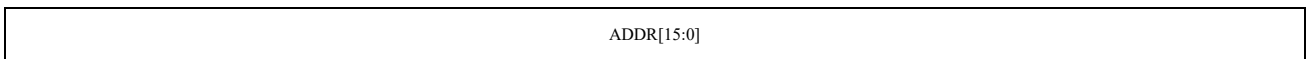
#### 48.6.2.59 ESC FMMU n 逻辑起始地址寄存器 (ESC\_FMMUnLSA)

偏移地址：0x0600 + 0x10 × n (n = 0 到 7)

复位值：0x0000 0000

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADDR[31:16]															
	r															

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



r

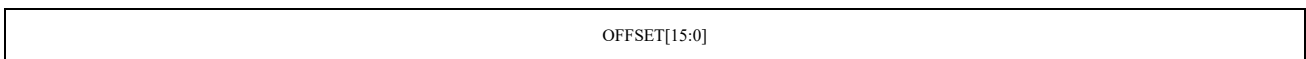
位域	名称	描述
31:0	ADDR	逻辑起始地址： 在 EtherCAT 地址空间内设置逻辑地址的起始位置。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

#### 48.6.2.60 ESC FMMU n 长度寄存器 (ESC\_FMMU<sub>n</sub>LEN)

偏移地址：0x0604 + 0x10 × n (n = 0 到 7)

复位值：0x0000

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



r

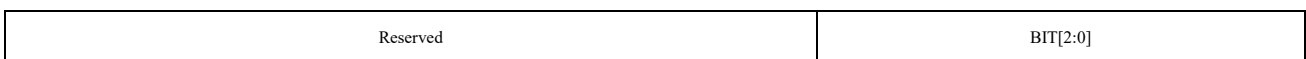
位域	名称	描述
15:0	OFFSET	从第一个逻辑 FMMU 字节到最后一个 FMMU 字节+1 的偏移量（例如，如果使用了两个字节，则该参数应包含 2）。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

#### 48.6.2.61 ESC FMMU n 逻辑起始位寄存器 (ESC\_FMMU<sub>n</sub>LSATB)

偏移地址：0x0606 + 0x10 × n (n = 0 到 7)

复位值：0x00

7 6 5 4 3 2 1 0



r

位域	名称	描述
7:3	Reserved	保留，必须保持复位值。
2:0	BIT	需映射的逻辑起始位（位从最低有效位 0 计数到最高有效位 7）。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

#### 48.6.2.62 ESC FMMU n 逻辑停止位寄存器 (ESC\_FMMU<sub>n</sub>LSTPB)

偏移地址：0x0607 + 0x10 × n (n = 0 到 7)

复位值：0x00

7 6 5 4 3 2 1 0

Reserved	BIT[2:0]
----------	----------

r

位域	名称	描述
7:3	Reserved	保留，必须保持复位值。
2:0	BIT	需映射的最后一个逻辑位（位从最低有效位 0 计数到最高有效位 7）。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

#### 48.6.2.63 ESC FMMU n 物理起始地址寄存器 (ESC\_FMMUnPSA)

偏移地址：0x0608 + 0x10 × n (n = 0 到 7)

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR[15:0]															

r

位域	名称	描述
15:0	ADDR	物理起始地址： 设置物理起始地址，逻辑起始地址将映射至此地址。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

#### 48.6.2.64 ESC FMMU n 物理起始位寄存器 (ESC\_FMMUnPSATB)

偏移地址：0x060A + 0x10 × n (n = 0 到 7)

复位值：0x00

7	6	5	4	3	2	1	0
Reserved				BIT[2:0]			

r

位域	名称	描述
7:3	Reserved	保留，必须保持复位值。
2:0	BIT	物理起始位作为逻辑起始位映射的目标（位从最低有效位 0 计数到最高有效位 7）。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

#### 48.6.2.65 ESC FMMU n 类型寄存器 (ESC\_FMMUnTYPE)

偏移地址：0x060B + 0x10 × n (n = 0 到 7)

复位值：0x00

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

Reserved	WAM	RAM
	r	r

位域	名称	描述
7:2	Reserved	保留，必须保持复位值。
1	WAM	写访问映射 0：忽略写访问的映射 1：使用映射进行写访问 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>
0	RAM	读访问映射 0：忽略读访问的映射 1：使用映射进行读访问 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

#### 48.6.2.66 ESC FMMU n 激活寄存器 (ESC\_FMMUnACT)

偏移地址：0x060C + 0x10 × n (n = 0 到 7)

复位值：0x00

7	6	5	4	3	2	1	0
Reserved							FA
							r

位域	名称	描述
7:1	Reserved	保留，必须保持复位值。
0	FA	FMMU 激活/停用： 0：FMMU 已停用 1：FMMU 已激活。FMMU 根据配置的映射检查逻辑地址块以进行映射 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

#### 48.6.2.67 ESC 同步管理器 n 物理起始地址寄存器 (ESC\_SMnPSA)

偏移地址：0x0800 + 0x8 × n (n = 0 到 7)

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR[15:0]															
r															

位域	名称	描述
15:0	ADDR	物理起始地址： 将物理起始地址设置为分配给同步管理器的区域。



位域	名称	描述
		注意：此字段 ECAT 是可读写的，PDI 是只读的。

注意：只有在同步管理器被禁用时（同步管理器 n 激活寄存器中的位 0 为 0），才能写入寄存器。

#### 48.6.2.68 ESC 同步管理器 n 长度寄存器（ESC\_SMnLEN）

偏移地址：0x0802 + 0x8 × n (n = 0 到 7)

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NUM[15:0]															

r

位域	名称	描述
15:0	NUM	分配给同步管理器的字节数（应大于 1，否则同步管理器未激活。如果设置为 1，则仅生成看门狗触发器（如果已配置））。 注意：此字段 ECAT 是可读写的，PDI 是只读的。

注意：只有在同步管理器被禁用时（同步管理器 n 激活寄存器中的位 0 为 0），才能写入寄存器。

#### 48.6.2.69 ESC 同步管理器 n 控制寄存器（ESC\_SMnCTRL）

偏移地址：0x0804 + 0x8 × n (n = 0 到 7)

复位值：0x00

7	6	5	4	3	2	1	0
Reserved	WDTEN	PDIINT	ECATINT	DIR[1:0]		OM[1:0]	
	r	r		r		r	

位域	名称	描述
7	Reserved	保留，必须保持复位值。
6	WDTEN	看门狗触发器启用： 0：禁用 1：启用 注意：此字段 ECAT 是可读写的，PDI 是只读的。
5	PDIINT	AL 事件请求寄存器中的中断： 0：禁用 1：启用 注意：此字段 ECAT 是可读写的，PDI 是只读的。
4	ECATINT	ECAT 事件请求寄存器的中断： 0：禁用 1：启用 注意：此字段 ECAT 是可读写的，PDI 是只读的。

位域	名称	描述
3:2	DIR	方向： 00：读：ECAT 读访问，PDI 写访问 01：写：ECAT 写访问，PDI 读访问 其他：Reserved <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>
1:0	OM	操作模式： 00：缓冲（3 缓冲模式） 10：邮箱（单缓冲模式） 其他：保留 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

*注意：只有在同步管理器被禁用时（同步管理器 n 激活寄存器中的位 0 为 0），才能写入寄存器。*

#### 48.6.2.70 ESC 同步管理器 n 状态寄存器（ESC\_SMnSTS）

偏移地址：0x0805 + 0x8 × n (n = 0 到 7)

复位值：0x30

7	6	5	4	3	2	1	0
WBUFSTS	RBUFSTS	BUFSTS[1:0]		MBSTS	Reserved	RINT	WINT
r	r	r		r	r	r	r

位域	名称	描述
7	WBUFSTS	写状态指示： 写缓冲区正在使用（已打开）。
6	RBUFSTS	读状态指示： 读缓冲区正在使用（已打开）。
5:4	BUFSTS	缓冲区状态指示： 指示缓冲区模式下的缓冲区状态（最后写入的缓冲区）。 此位在邮箱模式下不使用。 00：第 1 个缓冲区 01：第 2 个缓冲区 10：第 3 个缓冲区 11：未写入任何缓冲区
3	MBSTS	邮箱状态指示： 此位在缓冲模式下未使用。 0：邮箱为空 1：邮箱已满
2	Reserved	保留，必须保持复位值。
1	RINT	中断读取： 0：在缓冲区的第一个字节写入后中断已清除 1：在缓冲区被完全且成功读取后中断 <i>注意：如果在 SM 控制寄存器中启用，此中断将发送到写入端。</i>

位域	名称	描述
0	WINT	中断写入： 0：在读取缓冲区的第一个字节后中断已清除 1：在缓冲区完全且成功写入后中断 <i>注意：如果在 SM 控制寄存器中启用，此中断将发送到读取端。</i>

#### 48.6.2.71 ESC 同步管理器 n 激活寄存器 (ESC\_SMnACT)

偏移地址：0x0806 + 0x8 × n (n = 0 到 7)

复位值：0x00

7	6	5	4	3	2	1	0
PDILE	ECATLE	Reserved			REPREQ	SMEN	
r	r				r	r	

位域	名称	描述
7	PDILE	锁存事件 PDI： 0：无锁存事件 1：当 PDI 发出缓冲区交换或 PDI 访问缓冲区起始地址时生成锁存事件 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>
6	ECATLE	锁存事件 ECAT： 0：无锁存事件 1：当 EtherCAT 主站发出缓冲区交换时生成锁存事件 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>
5:2	Reserved	保留，必须保持复位值。
1	REPREQ	重复请求： 重复请求的切换意味着需要邮箱重试（主要与 ECAT 读取邮箱一起使用）。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>
0	SMEN	同步管理器启用/禁用： 0：禁用：在没有同步管理器控制的情况下访问内存 1：启用：同步管理器处于活动状态并控制配置中设置的内存区域 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

*注意：从 PDI 读取所有已更改激活的同步管理器中的此寄存器会清除 AL 事件请求寄存器的第 4 位。*

#### 48.6.2.72 ESC 同步管理器 n PDI 控制寄存器 (ESC\_SMnPDICTRL)

偏移地址：0x0807 + 0x8 × n (n = 0 到 7)

复位值：0x00

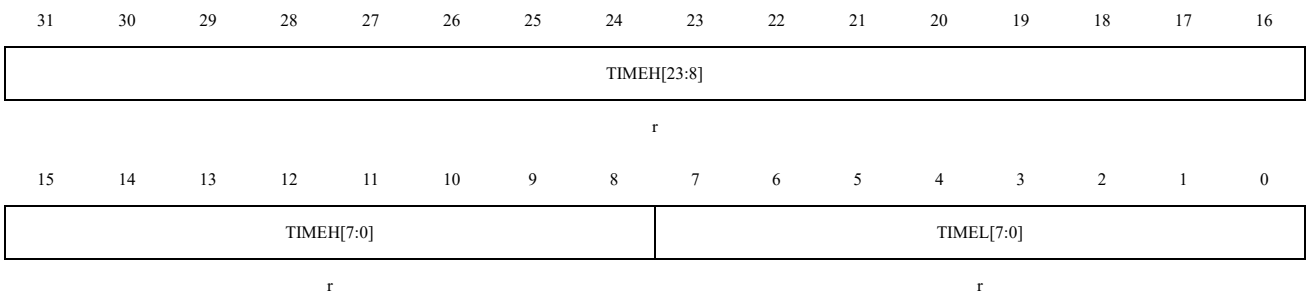
7	6	5	4	3	2	1	0
Reserved						REPACK	DACTSM
						rw	rw

位域	名称	描述
7:2	Reserved	保留，必须保持复位值。
1	REPACK	重复应答： 如果该位被设置为与同步管理器激活寄存器的第 1 位（重复请求）相同的值，则 PDI 应答执行了先前设置的重复请求。 <i>注意：此字段 ECAT 是只读的，PDI 是可读写的。</i>
0	DACTSM	停用同步管理器： <b>读：</b> 0：正常运行，同步管理器已激活 1：同步管理器已停用并重置。同步管理器锁定了对内存区域的访问 <b>写：</b> 0：激活同步管理器 1：请求同步管理器停用 写入 1 被延迟到当前正在处理的帧结束时。 <i>注意：此字段 ECAT 是只读的，PDI 是可读写的。</i>

#### 48.6.2.73 ESC DC 接收时间端口 0 寄存器 (ESC\_DCRXTIMP0)

偏移地址：0x0900

复位值：未定义



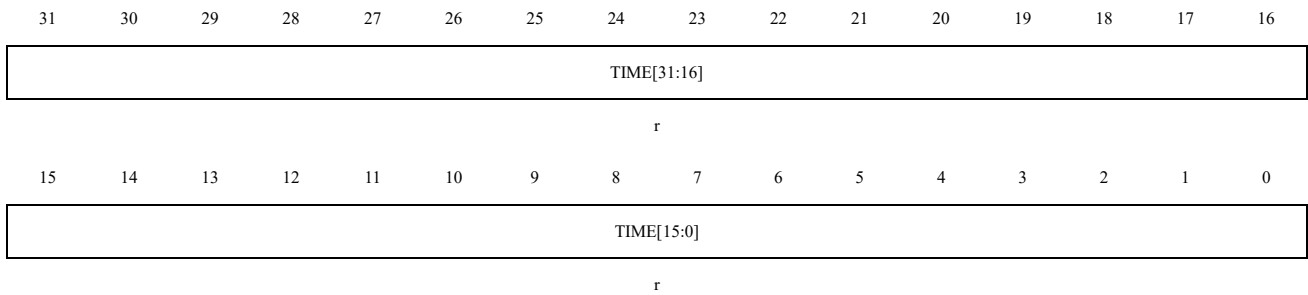
位域	名称	描述
31:8	TIMEH	寄存器写访问的最后接收帧开始时的本地时间。
7:0	TIMEL	<b>写：</b> 对该寄存器进行 BWR 或 FPWR 写访问时，会在每个端口接收帧开始（前导码的第一个比特开始）时锁存本地时间。 <b>读：</b> 本地时间为包含对此寄存器写访问的最后接收帧开始时的时间。 FPWR 需要地址匹配才能访问此寄存器，就像任何 FPWR 命令一样。所有具有地址匹配的写入命令（例如，APWR）将增加工作计数器，但不会触发接收时间锁存。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

*注意：时间戳无法在写入此寄存器的同一帧中读取。*

#### 48.6.2.74 ESC DC 接收时间端口 1 寄存器 (ESC\_DCRXTIMP1)

偏移地址：0x0904

复位值：未定义

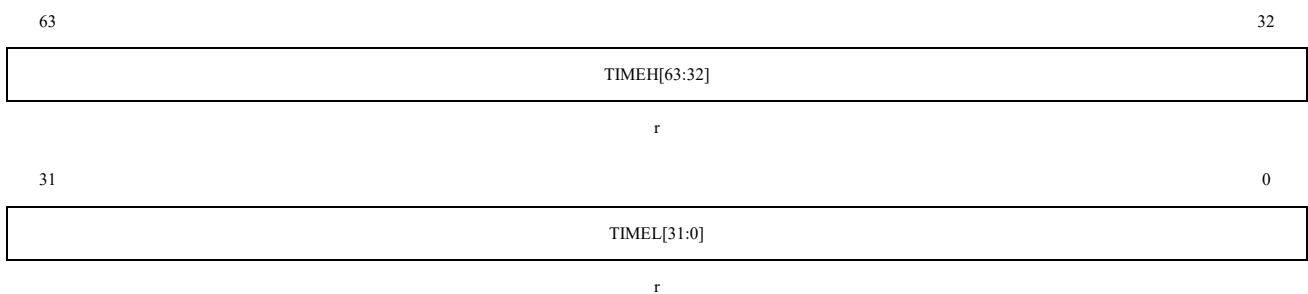


位域	名称	描述
31:0	TIME	在端口 1 接收到包含 BWR 或 FPWR 的帧（前导码的第一个比特开始）的本地时间到 DC 接收时间端口 0 寄存器。

#### 48.6.2.75 ESC DC 系统时间寄存器（ESC\_DCSYSTIM）

偏移地址：0x0910

复位值：0x0000 0000

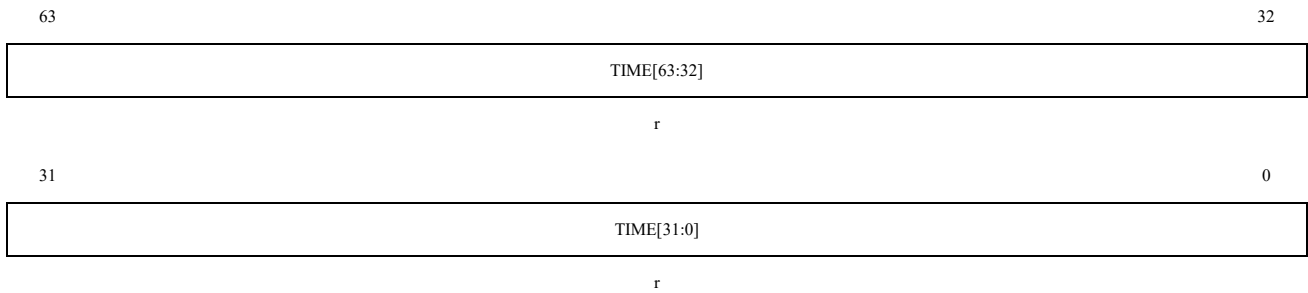


位域	名称	描述
63:32	TIMEH	<b>ECAT 读访问：</b> 帧通过参考时钟时系统时间的本地副本（即包含系统时间延迟）。该时间在帧起始处锁存（以太网 SOF 分隔符）。 <b>PDI 读访问：</b> 系统时间的本地副本。该时间在读取首个字节时锁存。
31:0	TIMEL	<b>ECAT/PDI 读访问：</b> 与位[63:32]的行为相同。 <b>ECAT 写访问：</b> 写入值将与系统时间的本地副本进行比较。该结果作为时间控制环路的输入。若至少写入了第一个字节，则在帧结束时将写入值与锁存的（SOF）系统时间本地副本进行比较。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

#### 48.6.2.76 ESC DC 接收时间 ECAT 处理单元寄存器（ESC\_DCRXTIMEPU）

偏移地址：0x0918

复位值：未定义



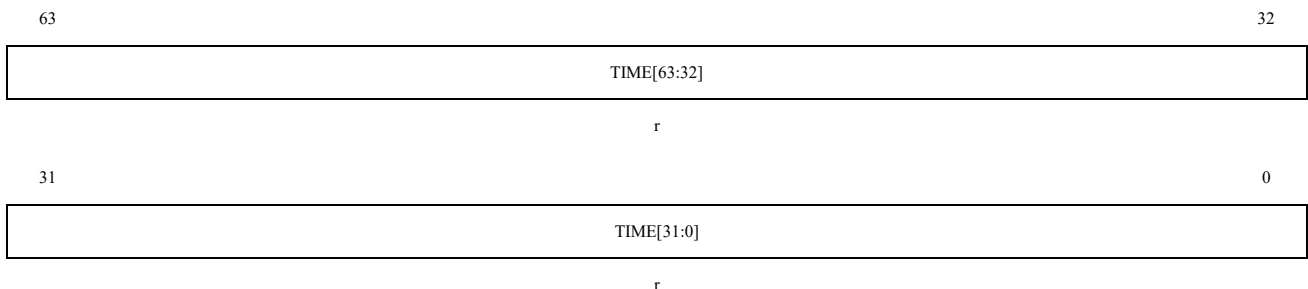
位域	名称	描述
63:0	TIME	ECAT 处理单元接收到包含对 DC 接收时间端口 0 寄存器的写访问操作的帧起始时刻（前导序列起始位）的本地时间。

*注意：例如，如果端口 0 是打开的，该寄存器将以 64 位值反映接收时间端口 0。任何对 DC 接收时间端口 0 寄存器的有效 EtherCAT 写访问都会触发锁存，而不仅仅是像对 DC 接收时间端口 0 寄存器的 BWR/FPWR 命令。*

#### 48.6.2.77 ESC DC 系统时间偏移寄存器（ESC\_DCSYSTIMOST）

偏移地址：0x0920

复位值：0x0000 0000

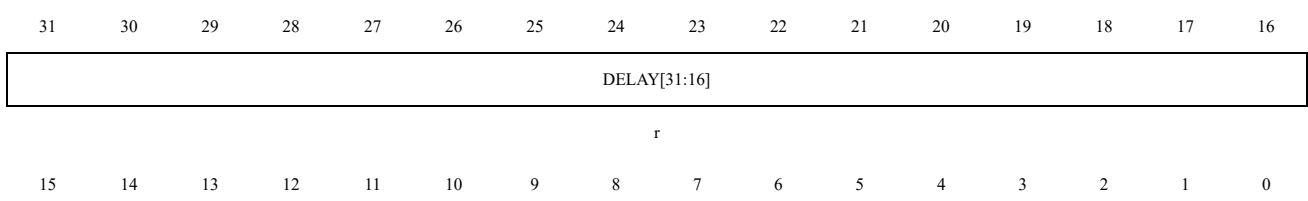


位域	名称	描述
63:0	TIME	本地时间与系统时间之间的差异。偏移量被添加到本地时间。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

#### 48.6.2.78 ESC DC 系统时间延迟寄存器（ESC\_DCSYSTIMDLY）

偏移地址：0x0928

复位值：0x0000 0000



DELAY[15:0]
-------------

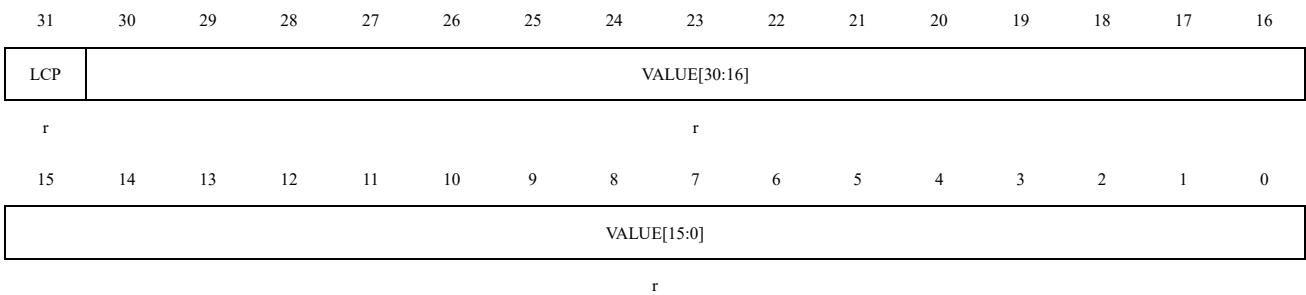
r

位域	名称	描述
31:0	DELAY	参考时钟与 ESC 之间的延迟。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

#### 48.6.2.79 ESC DC 系统时间差寄存器 (ESC\_DCSYSTIMDIFF)

偏移地址：0x092C

复位值：0x0000 0000



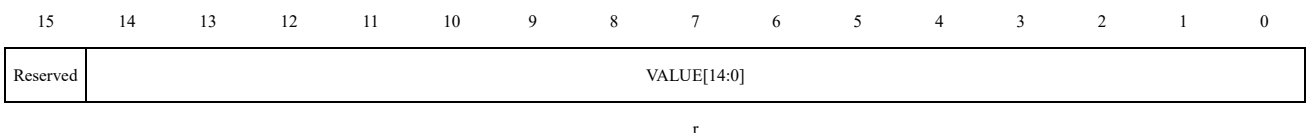
位域	名称	描述
31	LCP	系统时间大小指示： 0：本地系统时间副本小于接收到的系统时间 1：本地系统时间副本大于或等于接收到的系统时间
30:0	VALUE	本地系统时间副本与接收到的系统时间值之间的平均差值： 差值 = 接收到的系统时间 - 本地系统时间副本

*注意：当读取位[7:0]时，寄存器位[31:8]会在内部锁存 (ECAT/PDI 独立)，这保证了读取值的一致性。*

#### 48.6.2.80 ESC DC 速度计数器启动寄存器 (ESC\_DCSCSAT)

偏移地址：0x0930

复位值：0x1000



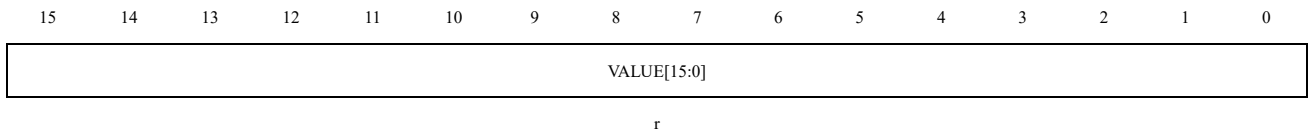
位域	名称	描述
15	Reserved	保留，必须保持复位值。
14:0	VALUE	调整本地系统时间副本的带宽（值越大 → 带宽越小，调整越平滑）。 写访问会重置 DC 系统时间差寄存器和 DC 速度计数器差寄存器。 有效值：0x0080 到 0x3FFF

位域	名称	描述
		注意：此字段 ECAT 是可读写的，PDI 是只读的。

#### 48.6.2.81 ESC DC 速度计数器差寄存器 (ESC\_DCSCDIFF)

偏移地址：0x0932

复位值：0x0000



位域	名称	描述
15:0	VALUE	本地时钟周期与参考时钟周期之间的偏差表示（表示形式：二进制补码）。 范围：± (ESC_DCSCSAT - 0x7F)。

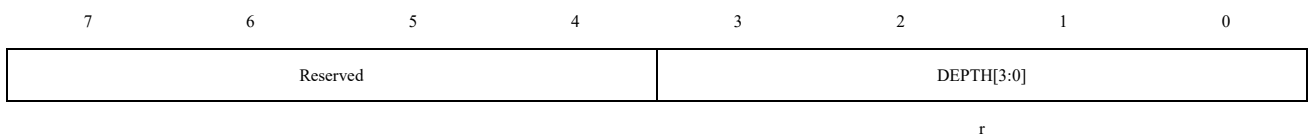
注意：在系统时间差稳定在较低值后，按以下方式计算时钟偏差：

$$Deviation = \frac{ESC\_DCSCNTDIFF}{5(ESC\_DCSCSAT + ESC\_DCSCDIFF + 2)(ESC\_DCSCSAT - ESC\_DCSCDIFF + 2)}$$

#### 48.6.2.82 ESC DC 系统时间差滤波深度寄存器 (ESC\_DCSTDFD)

偏移地址：0x0934

复位值：0x04

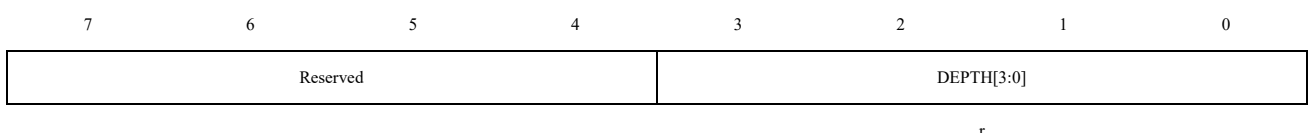


位域	名称	描述
7:4	Reserved	保留，必须保持复位值。
3:0	DEPTH	用于平均接收的系统时间偏差的滤波深度。 写访问会重置 DC 系统时间差寄存器。 注意：此字段 ECAT 是可读写的，PDI 是只读的。

#### 48.6.2.83 ESC DC 速度计数器滤波深度寄存器 (ESC\_DCSCFD)

偏移地址：0x0935

复位值：0x0C





位域	名称	描述
7:4	Reserved	保留，必须保持复位值。
3:0	DEPTH	用于平均时钟周期偏差的滤波深度。 写访问会重置内部速度计数器过滤器。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

*注意：更改此值后，通过写入 DC 速度计数器启动寄存器来重置内部速度计数器过滤器。*

#### 48.6.2.84 ESC DC 循环单元控制寄存器 (ESC\_DCCUCTRL)

偏移地址：0x0980

复位值：0x00

7	6	5	4	3	2	1	0
Reserved	LATCH1	LATCH0	Reserved			SYNC	
	r	r				r	

位域	名称	描述
7:6	Reserved	保留，必须保持复位值。
5	LATCH1	锁存器单元 1： 0：ECAT 控制 1：PDI 控制 锁存中断根据此设置路由到 ECAT/PDI。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>
4	LATCH0	锁存器单元 0： 0：ECAT 控制 1：PDI 控制 锁存中断根据此设置路由到 ECAT/PDI。 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>
3:1	Reserved	保留，必须保持复位值。
0	SYNC	同步输出单元控制： 0：ECAT 控制 1：PDI 控制 <i>注意：此字段 ECAT 是可读写的，PDI 是只读的。</i>

#### 48.6.2.85 ESC DC 激活寄存器 (ESC\_DCACT)

偏移地址：0x0981

复位值：0x00

7	6	5	4	3	2	1	0
SSDP	NFCFG	STPC	STCOEXT	AUTOACT	SYNC1	SYNC0	SYNCACT
rw	rw	rw	rw	rw	rw	rw	rw

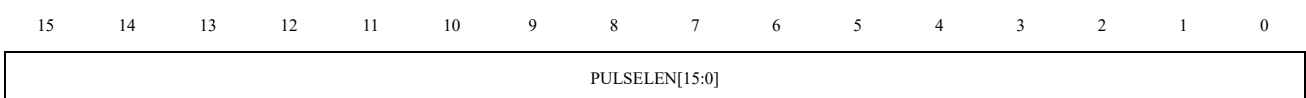
位域	名称	描述
7	SSDP	同步信号调试脉冲： 0: 已停用 1: 根据此寄存器第 1 位和第 2 位的设置，立即在 SYNC0/1 引脚上生成一个调试信号。 此位是自清除的，读总为 0。 所有脉冲同时生成，忽略周期时间。使用配置的脉冲长度。
6	NFCFG	近期配置： 0: ½ DC 宽度前 (2 <sup>31</sup> ns 或 2 <sup>63</sup> ns) 1: ~2.1 秒前 (2 <sup>31</sup> 纳秒)
5	STPC	开始时间合理性检查： 0: 禁用。如果达到开始时间，则生成同步信号。 1: 如果开始时间在近期之外，则立即生成同步信号 (参见第 6 位)
4	STCOEXT	开始时间循环操作的延长： 0: 无扩展 1: 将 32 位写入的开始时间扩展为 64 位
3	AUTOACT	通过编写开始时间循环操作进行自动激活： 0: 禁用 1: 自动激活已启用。在写入开始时间后，第 0 位会自动设置。
2	SYNC1	SYNC1 生成： 0: 已停用 1: 生成 SYNC1 脉冲
1	SYNC0	SYNC0 生成： 0: 已停用 1: 生成 SYNC0 脉冲
0	SYNCACT	同步输出单元激活： 0: 已停用 1: 已激活

注意：写入此寄存器取决于 DC 循环单元控制寄存器的第 0 位设置。

#### 48.6.2.86 ESC DC 脉冲长度寄存器 (ESC\_DCSSPLEN)

偏移地址：0x0982

复位值：0x0064



r

位域	名称	描述
15:0	PULSELEN	同步信号的脉冲长度 (以 10ns 为单位)。 0: 应答模式：通过读取 SYNC0/1 状态寄存器将清除 SyncSignal。

### 48.6.2.87 ESC DC 激活状态寄存器 (ESC\_DCACTSTS)

偏移地址: 0x0984

复位值: 0x00

7	6	5	4	3	2	1	0
Reserved					PLARES	SYNC1STS	SYNC0STS
					r	r	r

位域	名称	描述
7:3	Reserved	保留, 必须保持复位值。
2	PLARES	合理性结果指示: 指示同步输出单元激活时, DC 起始时间循环操作寄存器的合理性检查结果。 0: 开始时间位于近期 1: 开始时间超出近期 (DC 激活寄存器第 6 位)
1	SYNC1STS	SYNC1 状态指示: 0: 第一个 SYNC1 脉冲未挂起 1: 第一个 SYNC1 脉冲正在等待
0	SYNC0STS	SYNC0 状态指示: 0: 第一个 SYNC0 脉冲未挂起 1: 第一个 SYNC0 脉冲正在等待

### 48.6.2.88 ESC DC SYNC0 状态寄存器 (ESC\_DCSYNC0STS)

偏移地址: 0x098E

复位值: 0x00

7	6	5	4	3	2	1	0
Reserved						STATE	
						r	

位域	名称	描述
7:1	Reserved	保留, 必须保持复位值。
0	STATE	SYNC0 状态 (应答模式): 在应答模式下, SYNC0 通过从 PDI 读取此寄存器清除, 仅在应答模式下使用。

注意: 从 PDI 读取此寄存器会清除 AL 事件请求寄存器的第 2 位。

### 48.6.2.89 ESC DC SYNC1 状态寄存器 (ESC\_DCSYNC1STS)

偏移地址: 0x098F

复位值: 0x00

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

Reserved	STATE
----------	-------

r

位域	名称	描述
7:1	Reserved	保留，必须保持复位值。
0	STATE	SYNC1 状态（应答模式）： 在应答模式下，SYNC1 通过从 PDI 读取此寄存器清除，仅在应答模式下使用。

注意：从 PDI 读取此寄存器会清除 AL 事件请求寄存器的第 3 位。

#### 48.6.2.90 ESC DC 起始时间循环操作寄存器（ESC\_DCSTCOPE）

偏移地址：0x0990

复位值：0x0000 0000 0000 0000

63

32

TIME[63:32]
-------------

rw

31

0

TIME[31:0]
------------

rw

位域	名称	描述
63:0	TIME	<b>写：</b> 循环操作的开始时间（系统时间），以纳秒为单位。 <b>读：</b> 下一个 SYNC0 脉冲的系统时间（以纳秒为单位）。

注意：当读取位[7:0]时，寄存器位[63:8]会在内部锁存（ECAT/PDI 独立），这保证了读取值的一致性。

写入此寄存器取决于 DC 循环单元控制寄存器的第 0 位的设置。当 DC 激活寄存器的第 0 位发生转换为 1 时，写入值被接管。

自动激活（DC 激活寄存器的第 3 位为 1）：在写入此寄存器后，DC 激活寄存器的第 0 位会自动设置。

启动时间的扩展（DC 激活寄存器的第 4 位为 1）：如果在一个帧内仅写入了低 32 位，则在写入此寄存器后，高 32 位会自动扩展。

#### 48.6.2.91 ESC DC Next SYNC1 脉冲寄存器（ESC\_DCNSYNC1P）

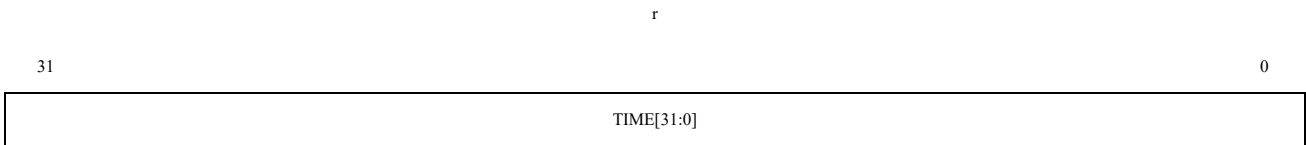
偏移地址：0x0998

复位值：0x0000 0000 0000 0000

63

32

TIME[63:32]
-------------



r

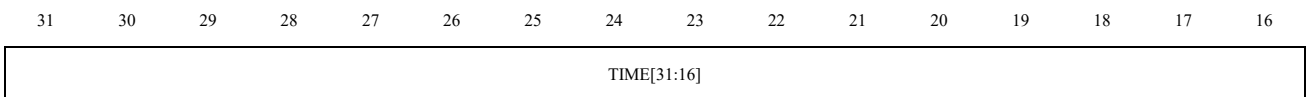
位域	名称	描述
63:0	TIME	下一个 SYNC1 脉冲的系统时间（以纳秒为单位）。

*注意：当读取位[7:0]时，寄存器位[63:8]会在内部锁存（ECAT/PDI 独立），这保证了读取值的一致性。*

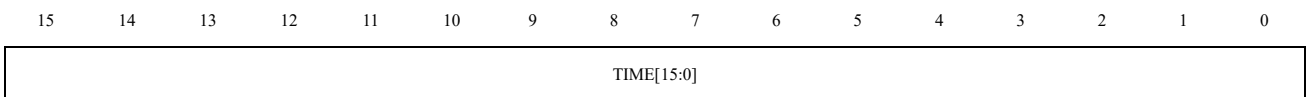
#### 48.6.2.92 ESC DC SYNC0 周期时间寄存器（ESC\_DCSYNC0CT）

偏移地址：0x09A0

复位值：0x0000 0000



rw



rw

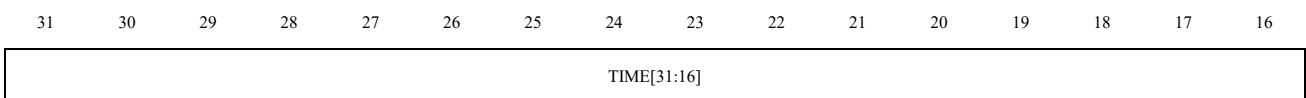
位域	名称	描述
31:0	TIME	两个连续 SYNC0 脉冲之间的时间（以纳秒为单位）。 0：单次模式，仅生成一个 SYNC0 脉冲。

*注意：写入此寄存器取决于 DC 循环单元控制寄存器的第 0 位设置。*

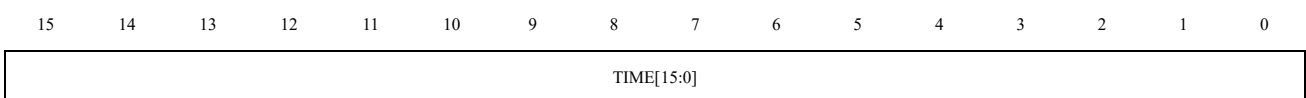
#### 48.6.2.93 ESC DC SYNC1 周期时间寄存器（ESC\_DCSYNC1CT）

偏移地址：0x09A4

复位值：0x0000 0000



rw



rw

位域	名称	描述
31:0	TIME	SYNC0 脉冲和 SYNC1 脉冲之间的时间（单位：纳秒）。

注意：写入此寄存器取决于 DC 循环单元控制寄存器的第 0 位设置。

#### 48.6.2.94 ESC DC Latch0 控制寄存器（ESC\_DCLATCH0CTRL）

偏移地址：0x09A8

复位值：0x00

7	6	5	4	3	2	1	0
Reserved						NEGEDGE	POSEDGE
						rw	rw

位域	名称	描述
7:2	Reserved	保留，必须保持复位值。
1	NEGEDGE	Latch0 负沿： 0：连续锁存激活 1：单一事件（仅第一个事件激活）
0	POSEDGE	Latch0 正沿： 0：连续锁存激活 1：单一事件（仅第一个事件激活）

注意：写入权限取决于 DC 循环单元控制寄存器的第 4 位设置。

#### 48.6.2.95 ESC DC Latch1 控制寄存器（ESC\_DCLATCH1CTRL）

偏移地址：0x09A9

复位值：0x00

7	6	5	4	3	2	1	0
Reserved						NEGEDGE	POSEDGE
						rw	rw

位域	名称	描述
7:2	Reserved	保留，必须保持复位值。
1	NEGEDGE	Latch1 负沿： 0：连续锁存激活 1：单一事件（仅第一个事件激活）
0	POSEDGE	Latch1 正沿： 0：连续锁存激活 1：单一事件（仅第一个事件激活）

注意：写入权限取决于 DC 循环单元控制寄存器的第 5 位设置。

### 48.6.2.96 ESC DC Latch0 状态寄存器 (ESC\_DCLATCH0STS)

偏移地址: 0x09AE

复位值: 0x00

7	6	5	4	3	2	1	0
Reserved					PINSTS	EVENTNEG	EVENTPOS
					r	r	r

位域	名称	描述
7:3	Reserved	保留, 必须保持复位值。
2	PINSTS	Latch0 引脚状态: 指示锁存器 0 输入引脚的状态。
1	EVENTNEG	事件 Latch0 负沿: 0: 未检测到负沿或连续模式 1: 仅在单事件模式下检测到负沿 通过读取 DC 锁存器 0 时间负沿寄存器清除标志。
0	EVENTPOS	事件 Latch0 正沿: 0: 未检测到正沿或连续模式 1: 仅在单事件模式下检测到正沿 通过读取 DC 锁存器 0 时间正沿寄存器清除标志。

### 48.6.2.97 ESC DC Latch1 状态寄存器 (ESC\_DCLATCH1STS)

偏移地址: 0x09AF

复位值: 0x00

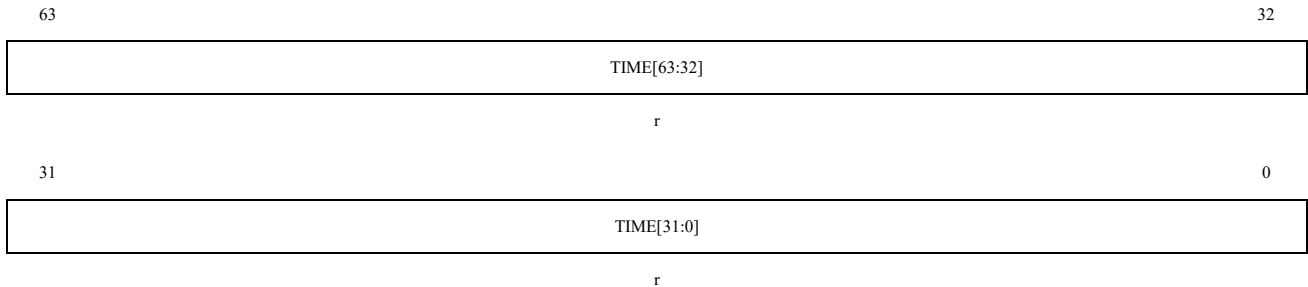
7	6	5	4	3	2	1	0
Reserved					PINSTS	EVENTNEG	EVENTPOS
					r	r	r

位域	名称	描述
7:3	Reserved	保留, 必须保持复位值。
2	PINSTS	Latch1 引脚状态: 表示锁存器 1 输入引脚的状态。
1	EVENTNEG	事件 Latch1 负沿: 0: 未检测到负沿或连续模式 1: 仅在单事件模式下检测到负沿 通过读取 DC 锁存器 1 时间负沿寄存器清除标志。
0	EVENTPOS	事件 Latch1 正沿: 0: 未检测到正沿或连续模式 1: 仅在单事件模式下检测到正沿 通过读取 DC 锁存器 1 时间正沿寄存器清除标志。

### 48.6.2.98 ESC DC Latch0 时间正边沿寄存器 (ESC\_DCNLATCH0TPE)

偏移地址: 0x09B0

复位值: 0x0000 0000 0000 0000



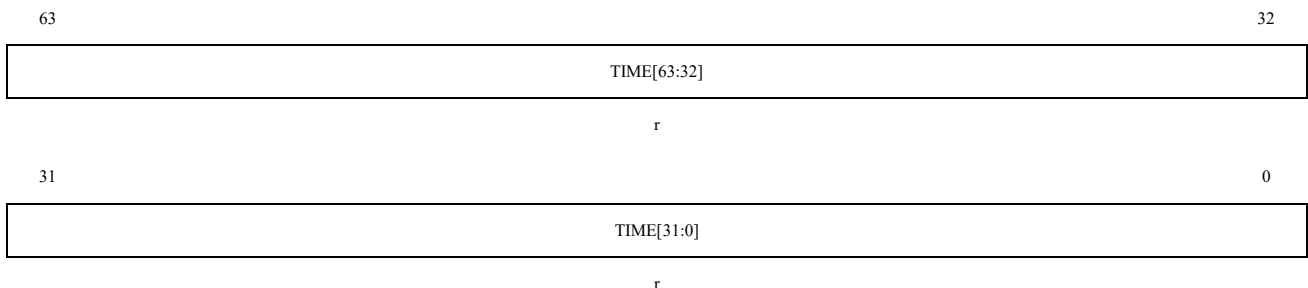
位域	名称	描述
63:0	TIME	在 Latch0 信号正边沿的系统时间。

注意: 当读取位[7:0]时, 寄存器位[63:8]会在内部锁存 (ECAT/PDI 独立锁存), 这保证了读取到一致的值。如果循环单元控制寄存器的第 4 位为 0, 从 ECAT 读取此寄存器会清除 DC Latch0 状态寄存器的第 0 位。

### 48.6.2.99 ESC DC Latch0 时间负边沿寄存器 (ESC\_DCNLATCH0TNE)

偏移地址: 0x09B8

复位值: 0x0000 0000 0000 0000



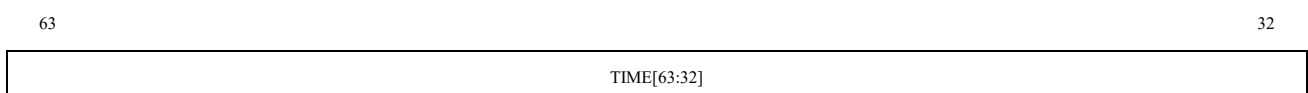
位域	名称	描述
63:0	TIME	在 Latch0 信号负边沿的系统时间。

注意: 当读取位[7:0]时, 寄存器位[63:8]会在内部锁存 (ECAT/PDI 独立锁存), 这保证了读取值的一致性。如果循环单元控制寄存器的第 4 位为 0, 从 ECAT 读取此寄存器会清除 DC Latch0 状态寄存器的第 1 位。

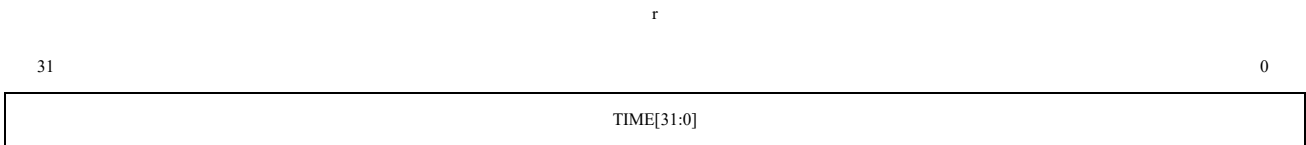
### 48.6.2.100 ESC DC Latch1 时间正边沿寄存器 (ESC\_DCNLATCH1TPE)

偏移地址: 0x09C0

复位值: 0x0000 0000 0000 0000







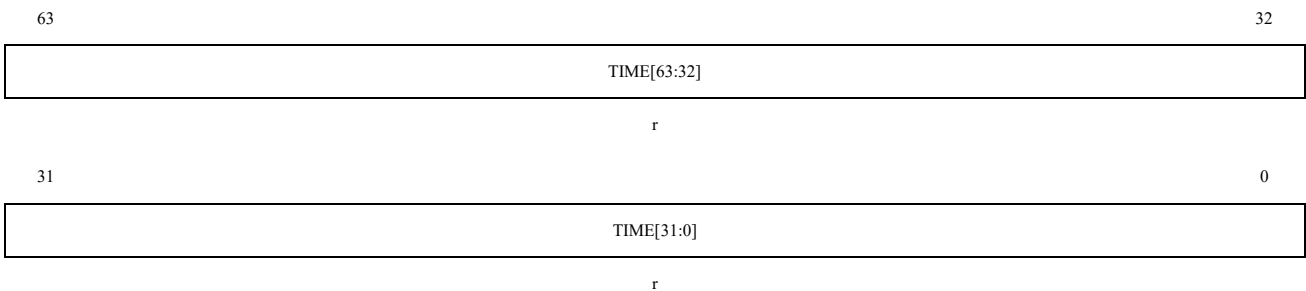
位域	名称	描述
63:0	TIME	在 Latch1 信号正边沿的系统时间。

*注意：当读取位[7:0]时，寄存器位[63:8]会在内部锁存（ECAT/PDI 独立锁存），这可确保读取到一致的值。如果循环单元控制寄存器的第 5 位为 0，从 ECAT 读取此寄存器会清除 DC Latch1 状态寄存器的第 0 位。*

#### 48.6.2.101 ESC DC Latch1 时间负边沿寄存器（ESC\_DCNLATCH1TNE）

偏移地址：0x09C8

复位值：0x0000 0000 0000 0000



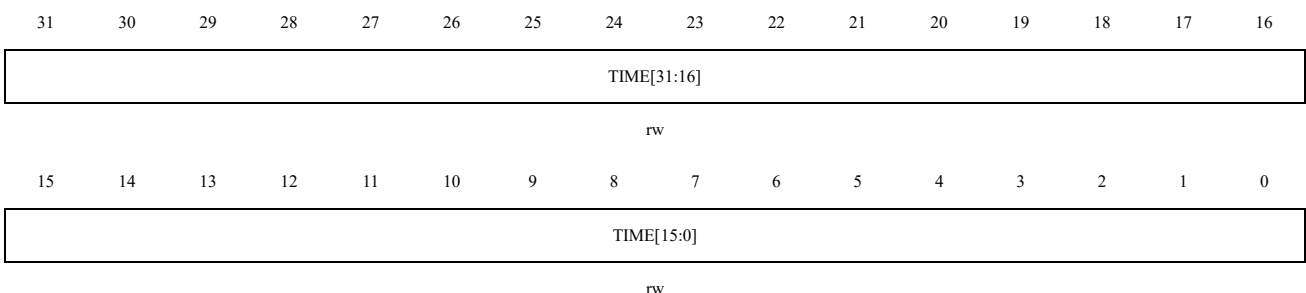
位域	名称	描述
63:0	TIME	在 Latch1 信号负边沿的系统时间。

*注意：当读取位[7:0]时，寄存器位[63:8]会在内部锁存（ECAT/PDI 独立锁存），这保证了读取值的一致性。如果循环单元控制寄存器的第 5 位为 0，从 ECAT 读取此寄存器会清除 DC Latch1 状态寄存器的第 1 位。*

#### 48.6.2.102 ESC DC ECAT 缓冲区更改事件时间寄存器（ESC\_DCECATBCET）

偏移地址：0x09F0

复位值：0x0000 0000



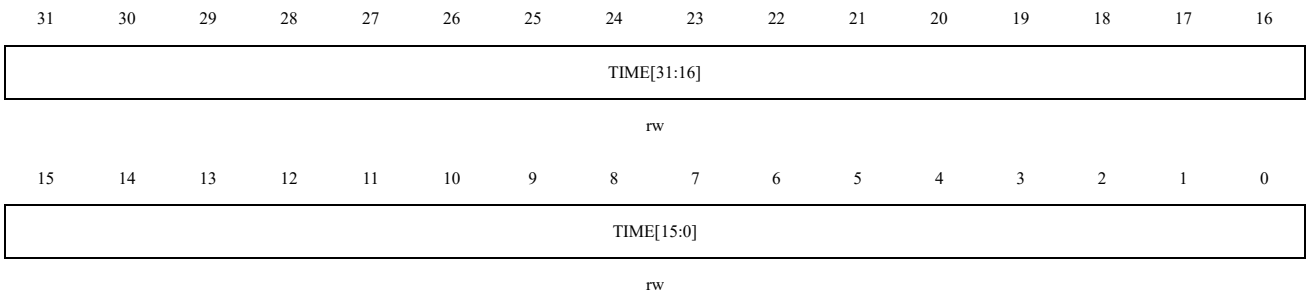
位域	名称	描述
31:0	TIME	帧开始时，至少有一个同步管理器触发 ECAT 事件（切换缓冲区）的本地时间。

注意：当读取位[7:0]时，寄存器位[31:8]会在内部锁存（ECAT/PDI 独立），这保证了读取值的一致性。

#### 48.6.2.103 ESC DC PDI 缓冲区起始事件时间寄存器（ESC\_DCPDIBSET）

偏移地址：0x09F8

复位值：0x0000 0000



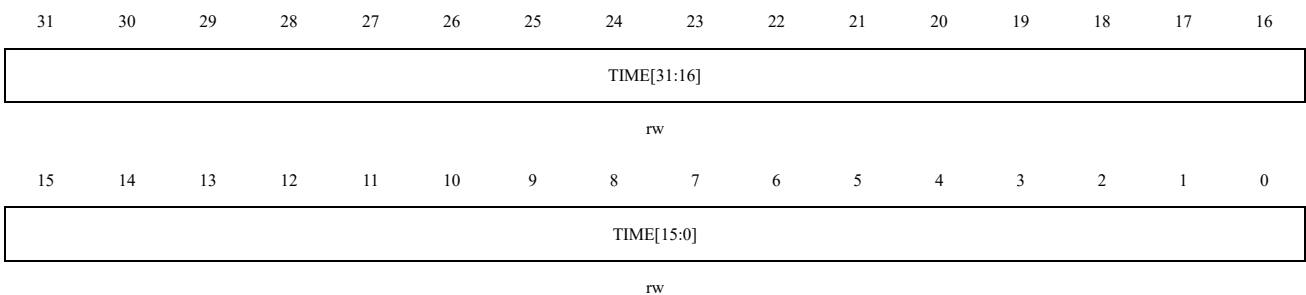
位域	名称	描述
31:0	TIME	至少有一个同步管理器触发 PDI 缓冲区开始事件（访问缓冲区起始地址）的本地时间。

注意：当读取位[7:0]时，寄存器位[31:8]会在内部锁存（ECAT/PDI 独立），这保证了读取值的一致性。

#### 48.6.2.104 ESC DC PDI 缓冲区更改事件时间寄存器（ESC\_DCPDIBCET）

偏移地址：0x09FC

复位值：0x0000 0000



位域	名称	描述
31:0	TIME	至少有一个同步管理器发出 PDI 缓冲区切换事件（切换缓冲区）的本地时间。

注意：当读取位[7:0]时，寄存器位[31:8]会在内部锁存（ECAT/PDI 独立），这保证了读取值的一致性。

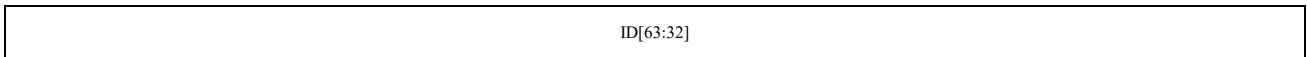
#### 48.6.2.105 ESC 产品 ID 寄存器（ESC\_PRODUCTID）

偏移地址：0x0E00

复位值：0x0030 0020 0010 0000

63

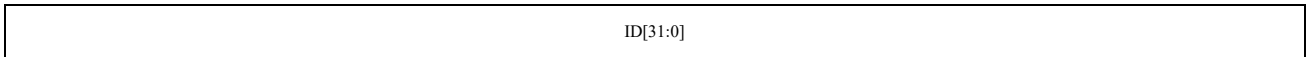
32



r

31

0



r

位域	名称	描述
63:0	ID	产品编号。

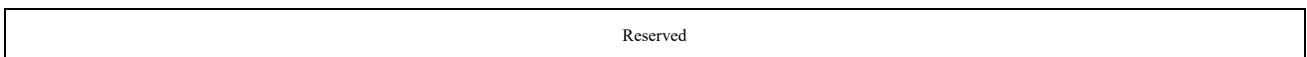
#### 48.6.2.106 ESC 供应商 ID 寄存器 (ESC\_VENDORID)

偏移地址: 0x0E08

复位值: 0xEEEE EEEE 0030 0077

63

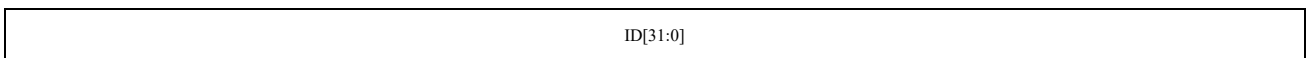
32



r

31

0



r

位域	名称	描述
63:32	Reserved	保留, 必须保持复位值。
31:0	ID	供应商 ID。

## 49 安全数据处理单元（SDPU）

### 49.1 概述

SDPU 集成了 SAC 与 SDMA 两大模块。其中，SAC 模块内置 AES、DES、SM4、SHA 以及 RNGC（熵后处理）算法；SDMA 模块负责将运算数据从静态随机存取存储器（SRAM）传输至 SAC 模块，并将运算结果从 SAC 模块回传至静态随机存取存储器（SRAM）。

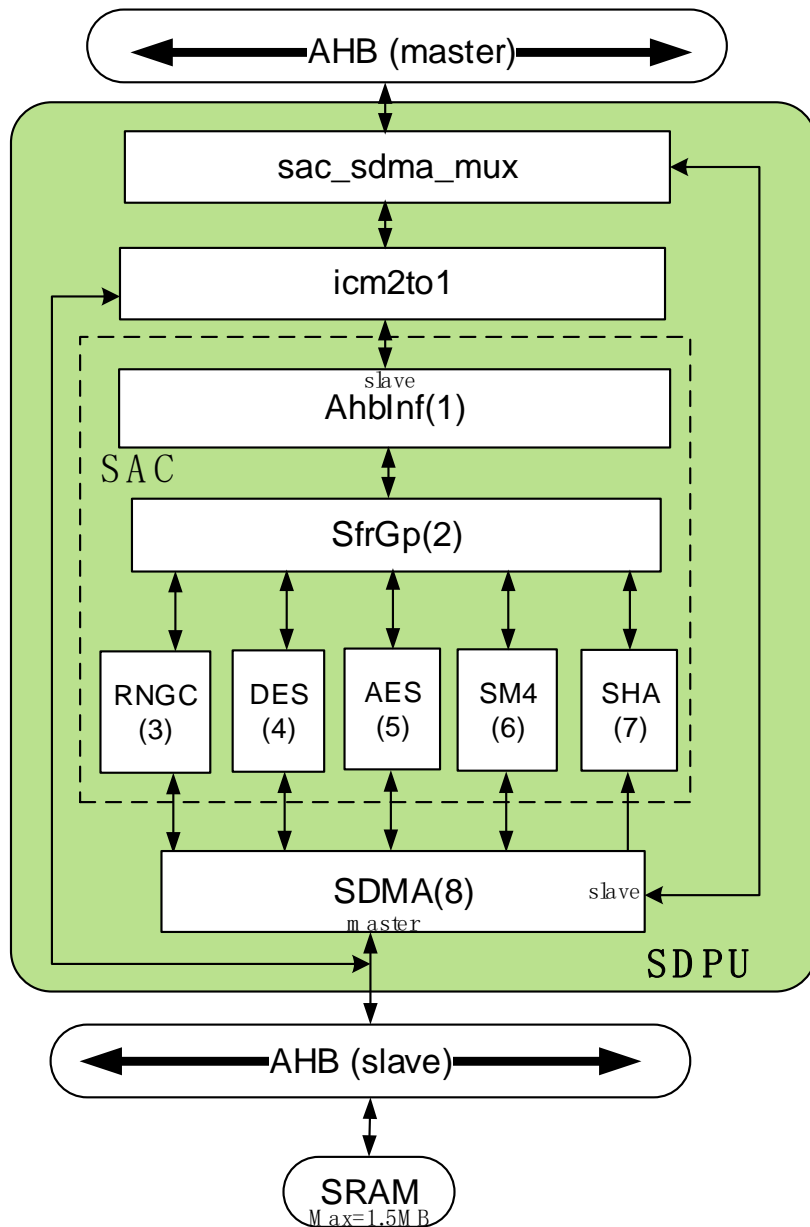
### 49.2 主要特性

- 支持 DES 对称算法
  - 支持 DES 及 3DES 加密、解密操作
  - 3DES 支持双密钥（2KEY）及三密钥（3KEY）模式
  - 支持密码分组链接模式（CBC）及电子密码本模式（ECB）
- 支持 AES 对称算法
  - 支持 128 比特、192 比特、256 比特密钥长度
  - 支持密码分组链接模式（CBC）、电子密码本模式（ECB）及计数器模式（CTR）
- 支持 SM4 对称算法
  - 支持密码分组链接模式（CBC）、电子密码本模式（ECB）
- 支持 SHA 哈希算法
  - 支持 SHA1、SHA224、SHA256、SHA384、SHA512 算法
- 支持随机数生成器（RNG）
  - 支持真随机数生成（TRNG）及伪随机数生成（PRNG）模式
  - 支持采用 129 位线性反馈移位寄存器（LFSR129）进行后处理
  - 支持对所有数据源进行异或（XOR）合并操作
  - 支持 FIPS-140 CAVP
- 支持随机数生成器（RNG）与其他算法并行运行
- 支持 FIFO 配置
  - 支持通过 FIFO 配置算法数据
- 支持直接内存访问控制器（SDMA）数据传输
  - 支持以主设备通过 AHB 接口，与静 SRAM 进行自动数据传输
  - 支持通过参数配置 SRAM 的传输基地址
  - 支持最大传输数据量为 4KB（1024 字）
  - 支持传输数据大小校验功能

- 支持传输数据的 CRC16 校验
- SRAM 最大容量为 2MB (512K 字)
- 支持在源地址/目的地址偏移量为 1/2/3 时的数据重组功能

### 49.3 框图

Figure 49-1 安全数据处理单元框图



## 50 CRC 计算单元(CRC)

### 50.1 简介

循环冗余校验 (CRC) 计算单元使用可配置的生成多项式，从 8 位、16 位或 32 位数据中生成 CRC 计算结果。基于 CRC 的方法被广泛用于确保数据传输或存储过程中的完整性。尤其是在功能安全标准中，该方法提供了一种验证存储完整性的途径。CRC 计算单元在此过程中发挥着关键作用，它在运行时计算软件签名。然后，将该运行时签名与链路时生成并存储在指定内存位置的参考签名进行比较。

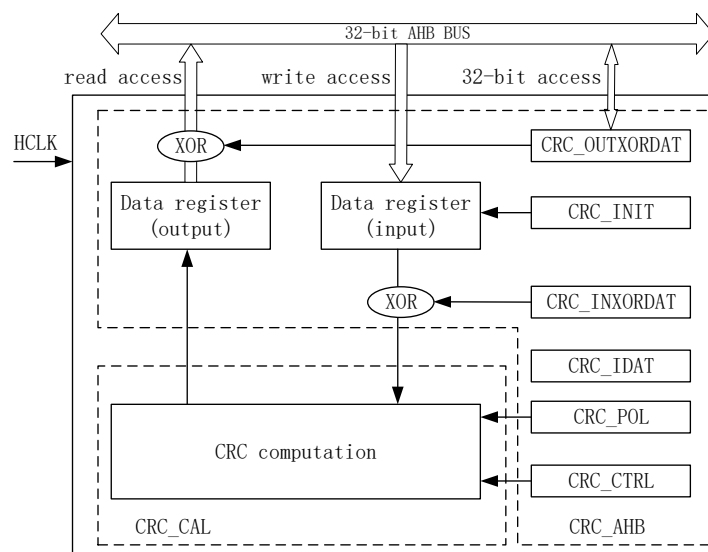
### 50.2 主要特性

- 默认使用 CRC-32（以太网）多项式：0x4C11DB7
  - $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$
- 多项式可配置，支持 7、8、16、32 位多项式
- 支持 8、16、32 位待校验数据
- CRC 初始值可配置
- 输入/输出共用 32 位数据寄存器
- 支持输入缓冲区，避免计算期间总线停顿
- 32 位数据 CRC 计算可在 4 个 AHB 时钟周期 (HCLK) 内完成
- 支持 32 位独立数据寄存器（可用于临时存储）
- 输入、输出数据支持反序
- 输入、输出数据支持异或，异或值可配置

### 50.3 CRC 框图

CRC 模块的框图如下：

图 50-1 CRC 模块框图



CRC\_AHB

该模块是连接 CRC 计算单元模块和 32 位 AHB 主控器的接口组件。它处理来自总线的读写操作。该模块包含多个寄存器，用于控制 CRC 计算核心并接收其状态信息。

## CRC\_CAL

该模块是负责 CRC 计算的核心组件。它从 CRC\_AHB 接收数据进行 CRC 处理，计算 CRC 值，并在 CRC 处理后输出数据。

## 50.4 功能描述

### 50.4.1 CRC 操作流程

1. 配置 CRC\_CTRL[7:5]，选择输入和输出数据的位顺序。  
配置 CRC\_CTRL[2:1]，选择输入数据的字节顺序。  
配置 CRC\_CTRL[4:3]，选择多项式的大小。
2. 配置 CRC\_POL，选择 CRC 生成多项式。
3. 根据需要，可配置 CRC\_CTRL[0]=1 或 CRC\_INIT，重置 CRC 初始值。
4. 配置 CRC\_INXORDAT 和 CRC\_OUTXORDAT，分别设置输入和输出数据异或值。
5. 将待校验数据写入 CRC\_DAT。
6. 从 CRC\_DAT 读取 CRC 计算结果。
7. 如果还要数据需要校验，返回第 5 步继续写入待校验数据。

### 50.4.2 详细描述

#### 50.4.2.1 数据反序

根据 CRC\_CTRL 寄存器中的 REVIN[1:0]位域配置，可对 CRC\_DAT 寄存器输入数据以 8 位、16 位或 32 位为单位进行位顺序反转。下表为输入数据位顺序反转功能示例，原始写入数据为 0x1A2B3C4D。

表 50-1 REV\_IN 功能示例

REVIN[1:0]	反序数据	描述
00	0x1A2B3C4D	不反转，保持原始数据位顺序。
01	0x58D43CB2	在每个字节中反转位顺序。
10	0xD458B23C	在每个半字中反转位顺序。
11	0xB23CD458	在每个字中反转位顺序。

根据 CRC\_CTRL 寄存器中的 BYTEENDIAN [1:0]位域配置，还可对 CRC\_DAT 寄存器输入数据进行字节顺序反转。下表为输入数据字节顺序反转功能示例，原始写入数据为 0x1A2B3C4D。

表 50-2 BYTEENDIAN 功能示例

BYTEENDIAN [1:0]	反序数据	描述
00/01	0x1A2B3C4D	不反转，保持原始数据字节顺序。
10	0x2B1A4D3C	在每个半字中反转字节顺序。

11	0x4D3C2B1A	在每个字中反转字节顺序。
----	------------	--------------

CRC\_DAT 写入操作首先按字节反序，然后再按位反序。

通过设置 CRC\_CTRL 寄存器中的 REVOUT 位，还可对 CRC\_DAT 输出结果按位反序。下表为 CRC\_DAT 输出结果位反序功能示例，原始输出结果为 0x11223344。

**表 50-3 REVOUT 功能示例**

REVOUT	反序数据	描述
0	0x11223344	不反转，保持原始结果位顺序。
1	0x22CC4488	在每个字中反转位顺序。

#### 50.4.2.2 初始化

通过配置 CRC\_CTRL 寄存器中的 RESET 位，可将 CRC 计算结果配置为可编程初始值(默认为 0xFFFFFFFF)。

初始值可通过 CRC\_INIT 寄存器进行配置。当写入 CRC\_INIT 寄存器时，CRC\_DAT 寄存器会自动初始化。

#### 50.4.2.3 独立数据寄存器

CRC\_IDAT 寄存器可用于保存与 CRC 计算相关的临时值。且不受 CRC\_CTRL 寄存器中 RESET 位的影响。

#### 50.4.2.4 多项式配置

多项式系数可通过 CRC\_POL 寄存器配置。多项式大小还可通过 CRC\_CTRL 寄存器中的 POLYSIZE[1:0] 位域配置为 7 位、8 位、16 位或 32 位。如果 CRC 数据小于 32 位，则从 CRC\_DAT 寄存器的最低有效位读取。

为了获得可靠的 CRC 计算结果，在 CRC 计算过程中不能动态更改多项式的值或大小。因此，如果 CRC 计算正在进行中，必须先重置计算或读取 CRC\_DAT 寄存器，然后才能更改多项式。

默认多项式值为 CRC-32（以太网）多项式：0x4C11DB7。

**表 50-4 CRC 多项式配置示例**

多项式大小	多项式(P=CRC_POL)
CRC7	$x^7+P[6]x^6+P[5]x^5+P[4]x^4+P[3]x^3+P[2]x^2+P[1]x+P[0]$
CRC8	$x^8+P[7]x^7+P[6]x^6+P[5]x^5+P[4]x^4+P[3]x^3+P[2]x^2+P[1]x+P[0]$
CRC16	$x^{16}+P[15]x^{15}+P[14]x^{14}+P[13]x^{13}+P[12]x^{12}+P[11]x^{11}+P[10]x^{10}+P[9]x^9+P[8]x^8+P[7]x^7+P[6]x^6+P[5]x^5+P[4]x^4+P[3]x^3+P[2]x^2+P[1]x+P[0]$
CRC32	$X^{32}+P[31]x^{31}+P[30]x^{30}+P[29]x^{29}+P[28]x^{28}+P[27]x^{27}+P[26]x^{26}+P[25]x^{25}+P[24]x^{24}+P[23]x^{23}+P[22]x^{22}+P[21]x^{21}+P[20]x^{20}+P[19]x^{19}+P[18]x^{18}+P[17]x^{17}+P[16]x^{16}+P[15]x^{15}+P[14]x^{14}+P[13]x^{13}+P[12]x^{12}+P[11]x^{11}+P[10]x^{10}+P[9]x^9+P[8]x^8+P[7]x^7+P[6]x^6+P[5]x^5+P[4]x^4+P[3]x^3+P[2]x^2+P[1]x+P[0]$



## 50.5 CRC 寄存器

### 50.5.1 CRC 寄存器总览

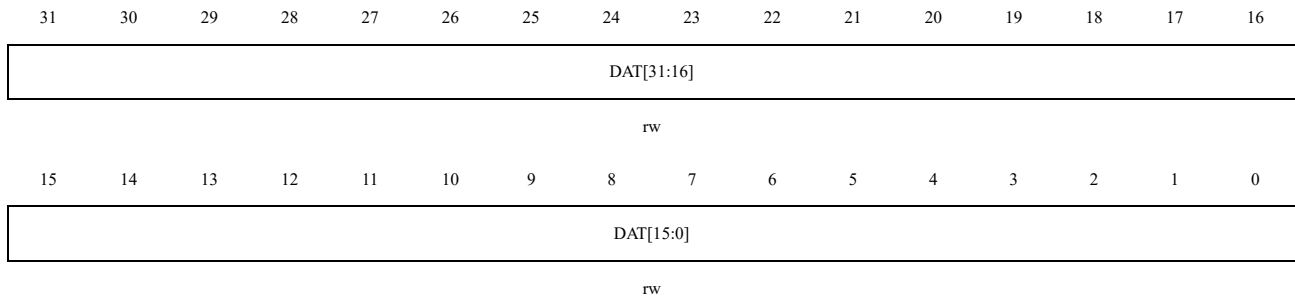
**表 50-5 1.5.1 CRC 寄存器总览**

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	CRC_DAT	DAT[31:0]																															
	Reset Value	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x04	CRC_IDAT	IDAT[31:0]																															
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	CRC_CTRL	Reserved																								REVOUT	REVIN[1:0]	POLY SIZE[1:0]	BYTENDIAN [1:0]	RESET			
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0						0	0	0
0x0C	CRC_LRC	LRC[31:0]																															
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	CRC_INIT	INIT[31:0]																															
	Reset Value	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x14	CRC_POL	POL[31:0]																															
	Reset Value	0	0	0	0	0	1	0	0	1	1	0	0	0	0	0	1	0	0	0	1	1	1	1	0	1	1	0	1	1	0	1	1
0x18	CRC_INXOR DAT	INXOR[31:0]																															
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	CRC_OUTX ORDAT	OUTXOR[31:0]																															
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

### 50.5.2 CRC 数据寄存器(CRC\_DAT)

地址偏移: 0x00

复位值: 0xFFFF FFFF

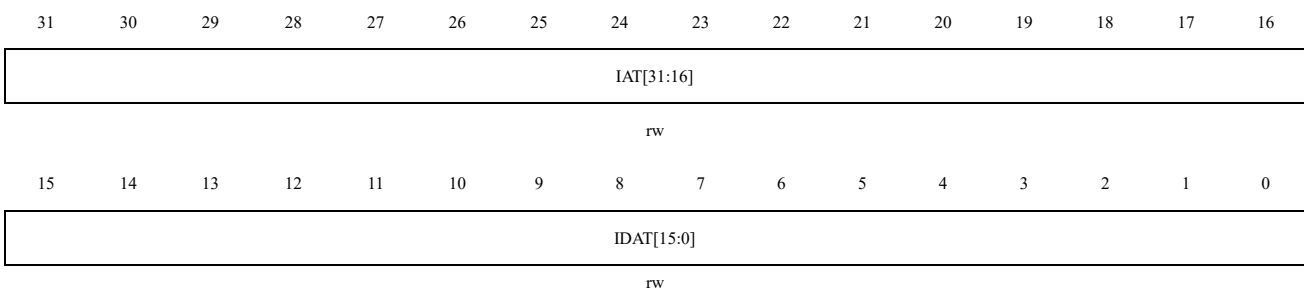


位域	名称	描述
31:0	DAT[31:0]	写入时, 用于输入待校验数据寄存器。 读取时, 返回上一次的 CRC 计算结果。 如果数据长度小于 32 位, 则使用最低有效位来写入/读取正确的值。

### 50.5.3 CRC 独立数据寄存器(CRC\_IDAT)

地址偏移: 0x04

复位值: 0x0000 0000



位域	名称	描述
31:0	IDAT[31:0]	32 位通用数据寄存器。 可用作四个字节的临时存储。 此寄存器不受 CRC_CTRL 寄存器中 RESET 位影响。

## 50.5.4 CRC 控制寄存器(CRC\_CTRL)

地址偏移: 0x08

复位值: 0x0000 0000

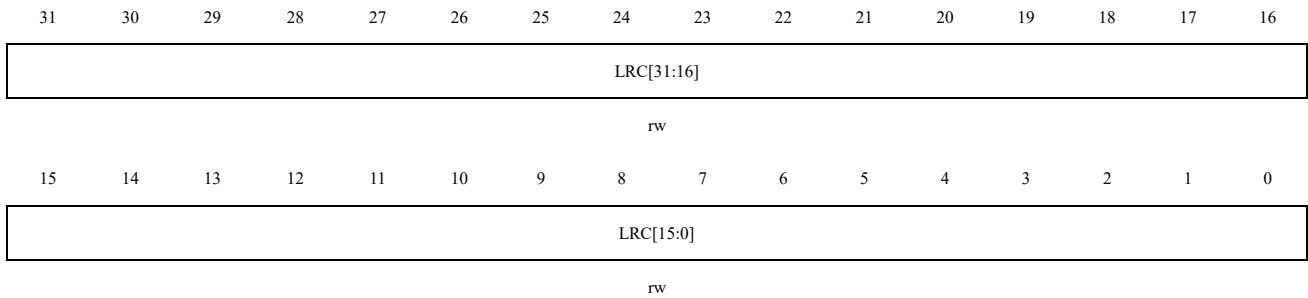
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								REV OUT	REVIN[1:0]		POLYSIZE[1:0]		BYTE ENDIAN [1:0]		RESET
								rw	rw		rw		rw		rw

位域	名称	描述
31:8	Reserved	保留, 必须保持复位值
7	REVOUT	输出结果位顺序反转 此位用于控制输出结果位顺序。 0: 输出结果位顺序不变。 1: 输出结果位顺序反转。
6:5	REVIN[1:0]	输入数据位顺序反转 此位域用于控制输入数据位顺序。 00: 输入数据位顺序不变。 01: 输入数据每个字节中位顺序反转。 10: 输入数据每个半字位顺序反转。 11: 输入数据每个字位顺序反转。
4:3	POLYSIZE[1:0]	多项式大小 00: 32 位多项式。 01: 16 位多项式。 10: 8 位多项式 11: 7 位多项式
2:1	BYTEENDIAN [1:0]	输入数据字节顺序 此位域用于控制输入数据字节顺序。 00,01: 输入数据字节顺序不变。 10: 输入数据每个半字中字节顺序反转。 11: 输入数据每个字中字节顺序反转。
0	RESET	复位控制位 此位由软件设置, 用于复位 CRC 计算单元, 并将数据寄存器设置为 CRC_INIT 寄存器中存储的值。此位只能被设置, 硬件会自动清除。T

### 50.5.5 LRC 校验值寄存器 (CRC\_LRC)

地址偏移: 0x0C

复位值: 0x0000 0000

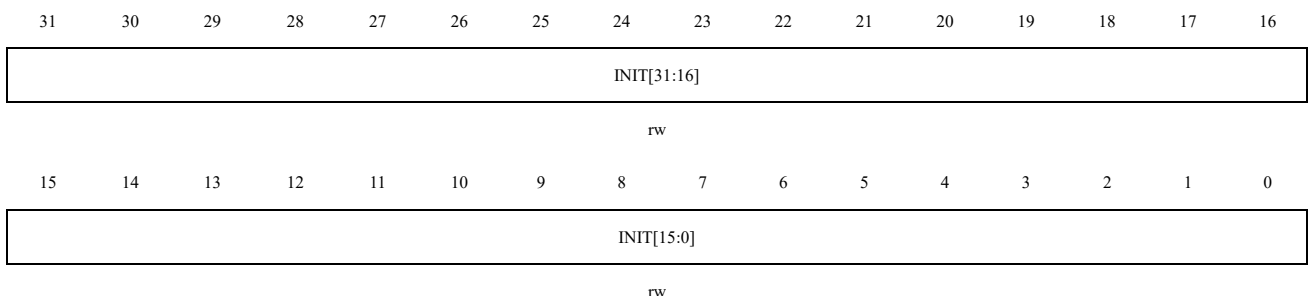


位域	名称	描述
31:0	LRC[31:0]	LRC 校验值寄存器: 该寄存器可直接读写, 在使用之前, 软件可以先配置初始值; 之后每次写入 CRC_DAT 寄存器的数值, 都会跟 LRC 寄存器进行“异或”运算, 并将结果写回当前寄存器。 LRC 计算的输入数据和结果均为原始数据, 与 REVIN、REVOUT、BYTEEDDIAN、CRC_INXORDAT 和 CRC_OUTXORDAT 无关。

### 50.5.6 CRC 初始值寄存器(CRC\_INIT)

地址偏移: 0x10

复位值: 0xFFFF FFFF

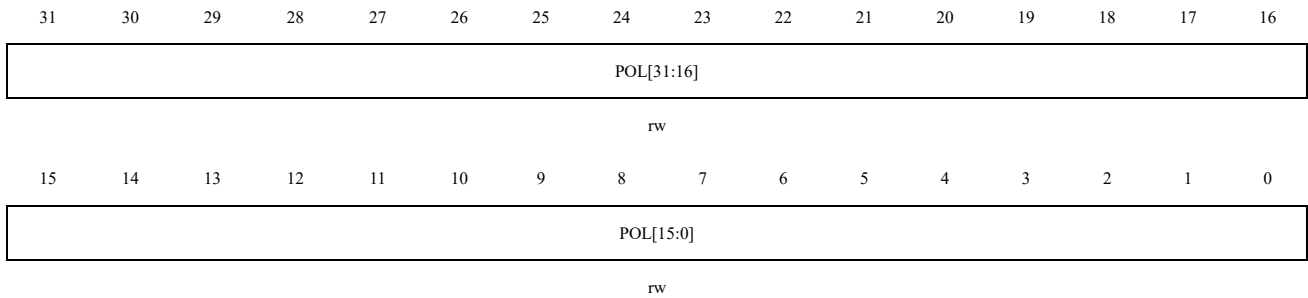


位域	名称	描述
31:0	INIT[31:0]	CRC 初始值。 此寄存器用于写入 CRC 初始值。

### 50.5.7 CRC 多项式寄存器(CRC\_POL)

地址偏移：0x14

复位值：0x04C1 1DB7

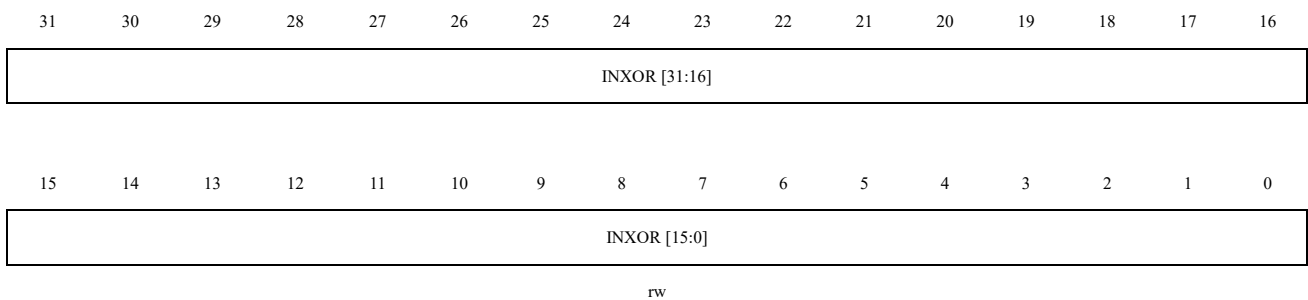


位域	名称	描述
31:0	POL[31:0]	生成多项式 此寄存器用于写入用于 CRC 多项式系数。 如果多项式长度小于 32 位，则必须使用最低有效位来写入正确的值。

### 50.5.8 CRC 输入异或寄存器(CRC\_INXORDAT)

地址偏移：0x18

复位值：0x0000 0000

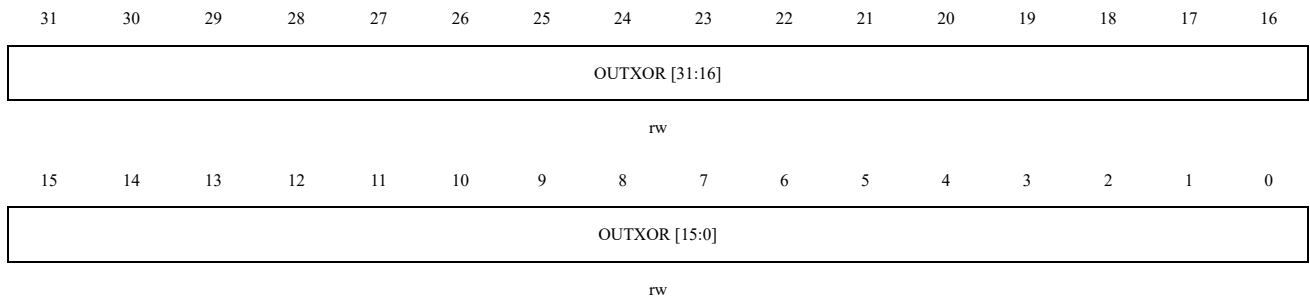


位域	名称	描述
31:0	INXOR[31:0]	用于设置 CRC 计算前与写入 CRC_DAT 的数据进行异或计算的数据值。

### 50.5.9 CRC 输出结果异或寄存器 (CRC\_OUTXORDAT)

地址偏移：0x1C

复位值: 0x0000 0000



位域	名称	描述
31:0	OUTXOR[31:0]	用于设置与 CRC 计算结果进行异或计算的数据值。

## 51 DBG

### 51.1 介绍

N32H78x 双核调试子系统使软件开发人员能够通过使用 JTAG 或串行线调试访问端口以及行业标准调试工具来调试和跟踪其嵌入式固件。跟踪数据可以通过跟踪端口捕获用于记录和分析。

### 51.2 主要特点

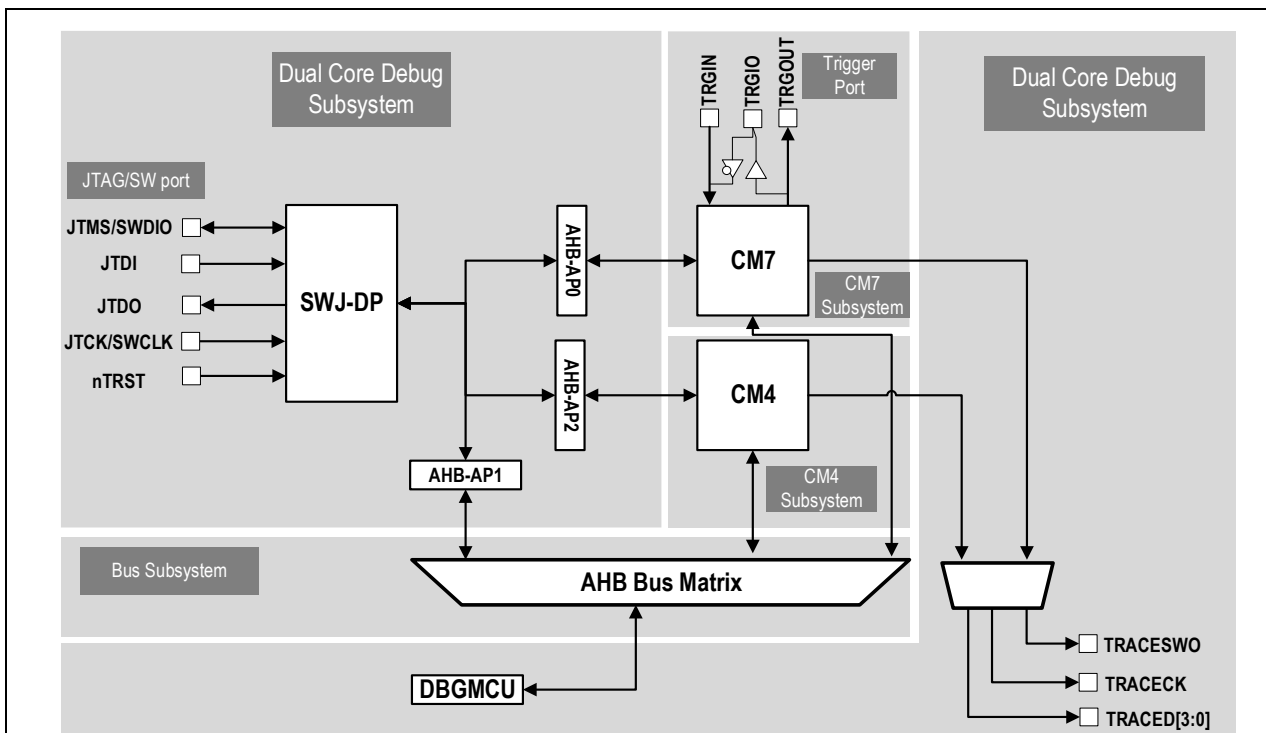
- 为每个 CPU 内核提供独立的断点调试
- 内核执行跟踪
- 软件仪器
- JTAG 调试端口
- 串行线调试端口
- 触发输入和输出仅适用于 Cortex-M7
- 串行线跟踪端口
- 同步跟踪端口
- 在低功耗模式下进行调试和跟踪

## 51.3 调试基础设施功能描述

### 51.3.1 调试基础设施框图

N32H78x 调试子系统如图 51-1, ARMCortex-M7 和 ARMCortex-M4 共享一个调试端口, 调试器可通过第 51.3.3.1 节所述的 JTAG 或串行线接口连接到 CPU。每个 CPU 分配一个访问端口, 额外设计了一个访问端口, 用于通过 DBGMCU 进行调试配置 (详见相关章节)。各 CPU 的调试特性分别在第 51.3.4 节和第 51.3.5 节中描述。

图 51-1 调试框图



### 51.3.2 调试端口

表 51-1 JTAG/串行线调试端口引脚

引脚名称	JTAG 调试端口		SW 调试端口		引脚分配
	类型	描述	类型	描述	
JTMS/SWDIO	I	JTAG 测试模式选择	IO	串行线数据输入/输出	PA13



JTCK/SWCLK	I	JTAG 测试时钟	I	串行线时钟	PA14
JTDI	I	JTAG 测试数据输入	-	-	PA15
JTDO	0	JTAG 测试数据输出	-	-	PB3
nJTRST	I	JTAG 测试复位	-	-	PB4

表 51-2 跟踪端口引脚

引脚名称	类型	描述	引脚分配
TRACED0	0	跟踪同步数据输出 0	PE3, PG13, PC1
TRACED1	0	跟踪同步数据输出 1	PE4, PG14, PC8
TRACED2	0	跟踪同步数据输出 2	PE5, PD12
TRACED3	0	跟踪同步数据输出 3	PE6, PC12
TRACECK	0	TRACE 时钟	PE2

表 51-3 串行线跟踪端口引脚

引脚名称	类型	描述	引脚分配
TRACESWO	0	单线跟踪异步数据输出	PB3 <sup>(1)</sup>

注意：TRACESWO 与 JTDO 是多路复用的。这意味着单线跟踪仅在使用串行线调试接口时可用，而在使用 JTAG 时不可用。

表 51-4 触发引脚（仅使用 CM7 的 CTI/CTO 的通道 0）

引脚名称	类型	描述	引脚分配
TRGIN	I	外部触发输入	PJ7
TRGOUT	0	外部触发输出	PJ12

TRGIO	IO	外部触发输入/输出 <sup>(1)</sup>	PC7
-------	----	--------------------------	-----

注意:TRGIO 可以通过DBGMCU 中的TRGOEN 位配置为输入或输出。如果配置为输入,它将连接到TRGIN。如果配置为输出,它将连接到TRGOUT。这是因为在某些封装中TRGIN 和TRGOUT 不可用。

**表 51-5 跟踪模式配置**

控制位		描述	TRACEIO 引脚					
TRACE_ IOEN	TRACE_ MODE		TRACE SWO	TRACE CK	TRACE D0	TRACE D1	TRACE D2	TRACE D3
0	xx	无跟踪 (默认状态)	未使用	-				
1	00	异步跟踪	TRACESWO	-	-	未使用, 可用作其他 GPIO		
1	01	1 位同步跟踪	未使用	TRACECK	TRACED[0]	-	-	-
1	10	2 位同步跟踪		TRACECK	TRACED[0]	TRACED[2]	-	-
1	11	4 位同步跟踪		TRACECK	TRACED[0]	TRACED[1]	TRACED[2]	TRACED[3]

### 51.3.3 调试访问端口功能描述

调试访问端口（DAP）是一个调试子系统，包括串行线和 JTAG 调试端口（SWJ-DP）以及三个访问端口，如图 51-1 所示。

#### 51.3.3.1 串行线和 JTAG 调试端口（SWJ-DP）

SWJ-DP 是一个 ARMCoresight 组件，它是一个结合了 JTAG-DP 和 SW-DP 的组件，使芯片能够通过 2 针 SWD 或 5 针 JTAG 端口连接到调试工具。

默认情况下，五个调试 IO 在复位后被配置为调试备用功能模式，其中 JTDI、JTMS/SWDIO 和 nJTRST 线上带有内部上拉电阻，而 JTCK/SWCLK 线上带有下拉电阻。

在 JTMS/SWDIO 引脚上的一个特殊序列在 JTAG-DP 和 SW-DP 之间切换。当切换序列传输到 SWJ-DP 时，它会根据执行的序列表现为专用的 JTAG-DP 或 SW-DP。

在 SW-DP 模式下，未使用的 JTAG 引脚（如 JTDI、JTDO 和 nJTRST）可以用于其他用途。同样，当不需要调试时，软件可以将这些 IO 引脚用于其他用途。

有关 SWJ-DP 的编程功能和特性，请参阅 Arm®CoreSight™SoC-400 技术参考手册。

#### 串行线调试端口

串行线调试协议使用两个引脚：

- SWCLK：从主机到目标的时钟
- SWDIO：双向串行数据（需要上拉）

串行数据以最低有效位(LSB)优先，与时钟同步传输。传输包括三个阶段：

- 由主机传输的 8 位数据包请求如表 51-6；
- 目标设备按照表 51-7；
- 33 位数据传输阶段由主机（写入情况下）或目标设备（读取情况下）传输，如表 51-8；

数据传输仅在确认响应为 OK 时发生。

如果每个阶段之间的数据方向被反转，则插入一个时钟周期的周转时间。

**表 51-6 数据包请求阶段**

位域	名称	描述
0	Start	必须为“1”
1	APnDP	0: DP 寄存器访问 1: AP 寄存器访问
2	RnW	0: 写请求 1: 读取请求
4:3	A(3:2)	DP 或 AP 寄存器的地址字段
5	奇偶校验	前面几位的单位奇偶校验
6	停止	0
7	驻停	不由主机控制，必须被目标读取为“1”。

表 51-7 确认响应

字段位	名称	描述
2:0	ACK	000b: FAULT 010b: WAIT 100b: OK

表 51-8 数据传输阶段

位域	名称	描述
31:0	WDATA 或 RDATA	写入或读取数据
32	奇偶校验	32 位数据的单比特奇偶校验

图 51-2 显示了一个成功的 SWD 写传输。

图 51-2 SWD 成功写入传输

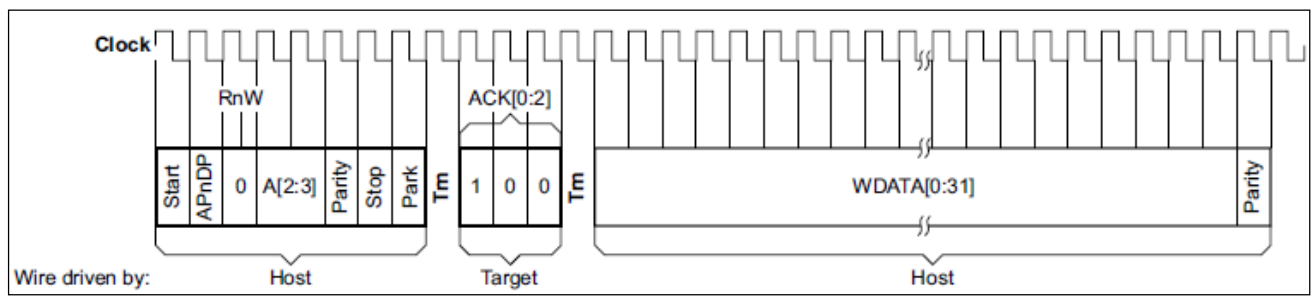
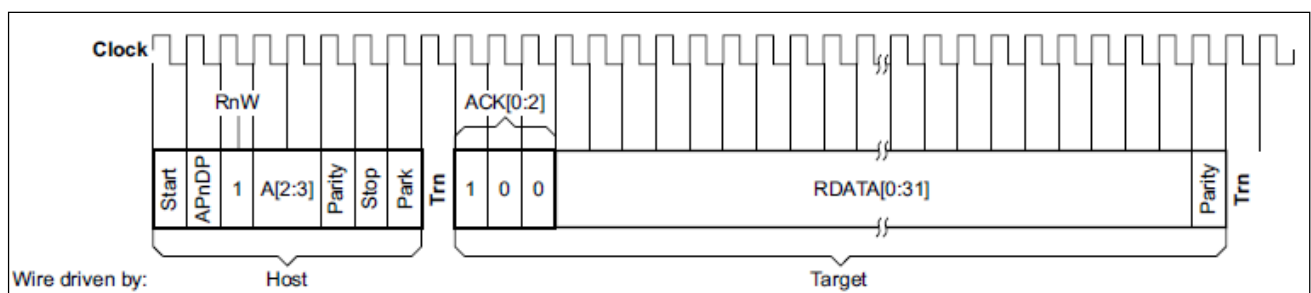


图 51-3 显示了一个成功的 SWD 读取传输。

图 51-3 SWD 成功读取传输



如果目标发送了 FAULT 或 WAITACK 响应，数据传输阶段将被丢弃，除非启用了溢出检测，在这种情况下，数据将被目标忽略（写入时）或不驱动（读取时）。

如果每个阶段之间的数据方向被反转，则插入一个时钟周期的周转时间。

线路复位包括超过 50 个 SWDIO 高循环，随后是两个低周期。当主机首次连接时，必须由主机传输线路复位，否则会检测到协议错误。

有关串行线调试协议的更多详细信息，请参阅 Arm® 调试接口架构规范。

## JTAG 调试端口

JTAG-DP 包含一个调试端口状态机，用于控制 JTAG-DP 模式操作，包括控制提供 JTAG-DP 外部物理

接口的扫描链接口。它与 JTAG 密切相关。

当作为 JTAG-DP 运行时，调试端口按照 Arm®调试接口架构规范 (ADIV5.0 至 ADIV5.2) 的定义运行。该规范还包含其编程模型、功能和特性的说明。

JTAG-DPIEEE1149.1 兼容扫描链用于读取或写入寄存器信息。一对扫描链寄存器访问调试端口内的主控制和访问寄存器。

扫描链寄存器为：

- DPACC，用于 DP 访问
- APACC，用于 AP 访问

APACC 访问可能会访问与接口连接的系统调试组件的寄存器。

由 JTAG-DP 实现的扫描链模型具有捕获 APACC 或 DPACC 当前值以及用新值更新 APACC 或 DPACC 的概念。更新可能会导致对 DAP 寄存器的读或写访问，这可能进一步导致对连接的调试组件的调试寄存器的读或写访问。有关 JTAG-DP 上可用操作的信息，请参阅 Arm®调试接口架构规范，ADIV5.0 至 ADIV5.2。

### 调试端口寄存器

SW-DP 和 JTAG-DP 都可以访问调试端口 (DP) 寄存器。

DP 寄存器在 Arm®调试接口架构规范中有更详细的描述。

#### 51.3.3.2 访问端口功能描述

连接到 DP 的接入端口 (AP) 如下：

- AP0: Cortex-M7 访问端口 (AHB-AP)。  
允许通过连接到处理器 AHBD 端口的 AHB-Lite 总线访问集成在 Cortex-M7 处理器内核中的调试和跟踪功能。
- AP1: 系统调试访问端口 (AHB-AP)。  
允许访问 DBGMCU 单元以控制双核调试模式。
- AP2: Cortex-M4 访问端口 (AHB-AP)。  
允许通过其内部 AHB 总线访问集成在 Cortex-M4 处理器内核中的调试和跟踪功能。

所有访问端口均为 MEM-AP 类型。调试器将 AP 视为一组 32 位寄存器。一些用于配置或监控，而另一些用于执行事务本身。

#### AP 寄存器访问：

- 通过在 SELECT 寄存器中写入 APSEL 字段来选择要访问的 AP。

APSEL 解码如下：

- 0: 访问 AP0 (ARMCortex-M7)
- 1: 访问 AP1 (DBGMCU)
- 2: 访问 AP2 (ARMCortex-M4)
- 其他: 保留

- 将 A[3:2] 字段写入 APACC 寄存器以选择要访问的寄存器。

- 将 RnW 字段写入以选择写或读操作
- 将数据写入 DATA 字段以进行 JTAG 写入。SWD 数据在数据阶段传输。

#### 访问内存映射的调试组件寄存器

- 将地址写入 TAR 寄存器
- 将 CSW 寄存器写入（如果需要），并使用传输参数，例如自动地址递增。
- 写入或读取 DRW 寄存器以在 TAR 寄存器中写入的地址启动调试访问。此外，读取或写入分组数据寄存器 BDn 也可以创建对地址 TAR[31:4]+n 的访问。

有关 MEM-AP 的更详细信息，请参阅 Arm®调试接口架构规范。

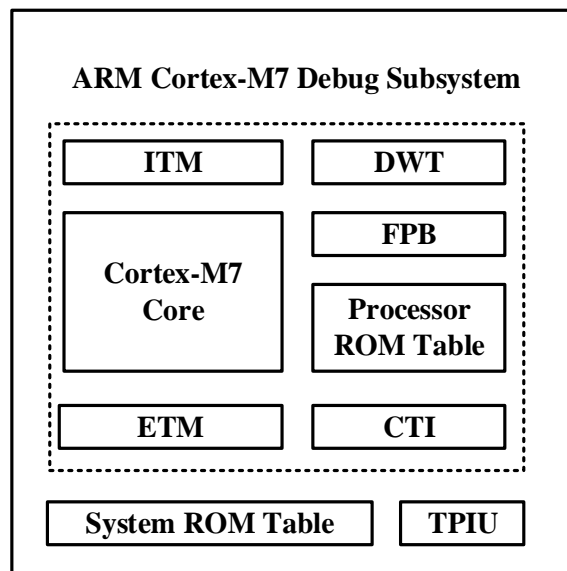
### 51.3.4 Cortex-M7 调试功能描述

Cortex-M7 子系统具有以下 CoreSight™组件，如图 51-4 所示：

- ROM 表：系统 ROM 表、处理器 ROM 表和内部 PPBROM 表
- 系统控制空间(SCS)
- 断点单位 (FPB)
- 数据监视点和跟踪单元(DWT)
- 仪器追踪宏单元(ITM)
- 嵌入式跟踪宏单元(ETM)
- 交叉触发接口(CTI)

这些组件可通过调试器通过 Cortex-M7AHB-AP0 及其相关的 AHBD 总线访问。

图 51-4ARMCortex-M7 调试子系统



请参考 ARMCortexM7 处理器技术参考手册，了解有关 Cortex-M7 调试子系统中所有调试组件的 ROM 表结构和地址映射的更多详细信息。

### 51.3.5 Cortex-M4 调试功能描述

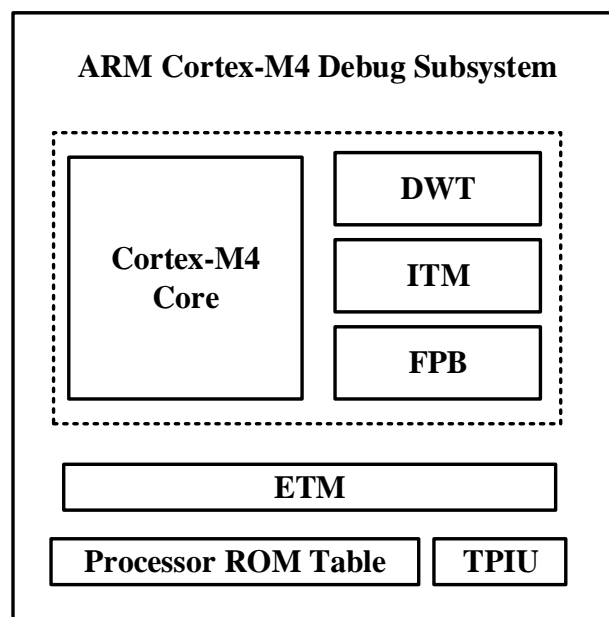
Cortex-M4 子系统具有以下 CoreSight™组件：

- Cortex-M4ROM 表
- Cortex-M4 系统控制空间(SCS)
- 断点单位 (FPB)
- 数据监视点和跟踪单元(DWT)
- 仪器追踪宏单元(ITM)
- 嵌入式跟踪宏单元(ETM)

这些组件可通过 Cortex-M4AHB-AP2 由调试器访问。

请参阅 ARMCortexM4 处理器技术参考手册，了解有关 Cortex-M4 调试子系统中所有调试组件的 ROM 表结构和地址映射的更多详细信息。

图 51-5ARMCortex-M4 调试子系统





## 51.3.6 DBG 功能描述

### 51.3.6.1 在不同模式下的调试支持

DBGMCU 组件包含一些寄存器，这些寄存器控制调试模式下的电源和时钟行为。具体来说，它允许调试器或调试软件：

- 在低功耗模式（SLEEP、STOP0/STOP2 或 STANDBY）下，保持处理器内核的时钟和电源。
- 在低功耗模式下，保持系统调试和跟踪组件的时钟和电源。
- 在调试模式下，当处理器内核停止时，停止某些外设（I2CSMBUS 超时、WWDG、IWDG、定时器、RTC）的时钟。对于具有互补输出的定时器，当计数器停止时，为了安全起见，这些输出被禁用（就像 MOE 位被复位一样）。

处理器内核在调试模式下停止。对于具有互补输出的定时器，当计数器停止时，为了安全起见，这些输出被禁用（就像 MOE 位被复位一样）。

DBGMCU 寄存器不会因系统复位而复位，仅会因上电复位而复位。调试器可以通过 AHB-AP1 在基地址 0xE0043000 访问它们。两个处理器内核也可以通过基地址 0x58035400 访问它们。

*注意：DBGMCU 不是标准的 CoreSight 组件。因此，它不会出现在系统 ROM 表中。*

## 51.4 寄存器

### 51.4.1 ID 寄存器(DBG\_ID)

偏移地址：0x00

复位值：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
REV_NUM_H[3:0]				REV_NUM_L[3:0]				DEV_NUM_H[3:0]				DEV_NUM_M[3:0]			
r				r				r				r			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEV_NUM_L[3:0]				PINS[3:0]				FLASH[1:0]		ENC[2:0]		Reserved			
r				r				r		r					

位域	名称	描述
31:28	REV_NUM_H[3:0]	MCU 版本号的高 4 位
27:24	REV_NUM_L[3:0]	MCU 版本号的低 4 位
23:20	DEV_NUM_H[3:0]	设备型号的后四位数字。 设备型号由 12 位组成，包括高位、中位和低位，表示 MCU 的型号。其值如下： 0x760：N32H760 系列 0x762：N32H762 系列 0x765：N32H765 系列 0x785：N32H785 系列 0x787：N32H787 系列 0x788：N32H788 系列 其他：无效
19:16	DEV_NUM_M[3:0]	请参阅 DEV_NUM_H[3:0]的描述。
15:12	DEV_NUM_L[3:0]	请参阅 DEV_NUM_H[3:0]的描述。
11:8	PINS[3:0]	引脚数量由 4 位组成。 0x2：100 引脚 0x4：144 引脚 0x6：169 引脚 0x8：176 引脚 0xA：208 引脚 0xC：240 引脚
7:6	FLASH[1:0]	闪存容量。 01：2MB 10：4MB 其他：保留
5:4	ENC[1:0]	芯片封装格式；

位域	名称	描述
		01: BGA 封装 10: LQFP 封装 其他: 保留
3:0	保留	保留, 必须保持复位值。

## 51.4.2 控制寄存器(DBG\_CTRL)

偏移地址: 0x04

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved					TRACE_CFG	TRACE_MODE[1:0]	TRACE_IOEN	TRGOEN	M7_STBY	M7STOP	M7SLEEP	M4_STBY	M4STOP	M4SLEEP	
					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	

位域	名称	描述
31:11	保留	保留, 必须保持复位值。
10	TRACE_CFG	跟踪选择 0: 来自 CM7 的追踪 1: 来 CM4 追踪
9:7	TRACE_MODE[1:0] 和 TRACE_IOEN	跟踪引脚分配控制 —当 TRACE_IOEN=0 时: TRACE_MODE=xx: TRACE 引脚未分配 (默认状态) —使用 TRACE_IOEN=1: TRACE_MODE=00: 异步模式的 TRACE 引脚分配 TRACE_MODE=01: TRACE 引脚分配用于同步模式, TRACEDATA 大小为 1 TRACE_MODE=10: TRACE 引脚分配用于同步模式, TRACEDATA 大小为 2 TRACE_MODE=11: TRACE 引脚分配用于同步模式, TRACEDATA 大小为 4
6	TRGOEN	外部触发输出使能 0: 输入——TRGIO 连接到 TRGIN 1: 输出——TRGIO 连接到 TRGOUT
5	M7STBY	调试待机模式下的 CM7 0: 正常操作-CM7 在待机模式下关闭电源 1: CM7 调试待机模式-为调试活动维持电源和时钟。
4	M7STOP	调试停止模式下的 CM7 0: 正常运行-CM7 在 stop2 模式下断电, 在 stop0 模式下时钟被禁用 1: CM7 调试停止模式-为调试活动维持电源和时钟。

位域	名称	描述
3	M7SLEEP	调试睡眠模式中的 CM7 0: 正常操作-处理器时钟在休眠模式下自动停止 1: 自动时钟停止已禁用-处理器时钟继续运行, 允许完全调试能力
2	M4STBY	调试待机模式下的 CM4 0: 正常运行-CM4 在待机模式下关闭电源 1: CM4 调试待机模式-为调试活动维持电源和时钟。
1	M4STOP	调试停止模式下的 CM4 0: 正常运行-CM4 在 stop2 模式下关闭电源, 在 stop0 模式下时钟被禁用 1: CM4 调试停止模式-为调试活动维持电源和时钟。
0	M4SLEEP	调试睡眠模式下的 CM4 0: 正常操作-处理器时钟在休眠模式下自动停止 1: 自动时钟停止已禁用-处理器时钟继续运行, 允许完全调试能力

### 51.4.3 M7APB1 冻结寄存器 (DBG\_M7APB1FZ)

偏移地址: 0x08

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved													CANFD6_STOP	CANFD5_STOP	CANFD2_STOP
													rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CANFD1_STOP	WWDG2_STOP	I2C3_STOP	I2C2_STOP	I2C1_STOP	GTIMB3_STOP	GTIMB2_STOP	GTIMB1_STOP	GTIMA7_STOP	GTIMA6_STOP	GTIMA5_STOP	GTIMA4_STOP	BTIM4_STOP	BTIM3_STOP	BTIM2_STOP	BTIM1_STOP
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:19	保留	保留, 必须保持复位值。
18:15	CANFDx_STOP	当 CM7 进入调试状态时, 调试 CANFD 停止 (x=6,5,2,1) 运行。它可以通过软件设置为 1 或清除。 0: 所选 CANFD 的计数器继续正常运行。 1: 所选 CANFD 的计数器继续计时器停止运行。
14	WWDG2_STOP	当 CM7 进入调试状态时, 调试窗口看门狗 2 停止运行。它可以通过软件设置为 1 或清除。 0: 窗口看门狗 2 计数器继续正常运行。 1: 窗口看门狗 2 计数器停止运行。
13:11	I2Cx_STOP	当 CM7 停止时, SMBus 超时模式停止 (x=3,2,1)。它可以通过软件设置为 1 或清除。 0: 与正常模式操作相同。 1: 冻结 SMBus 超时控制。

位域	名称	描述
10:4	GTIMx_STOP	当 CM7 进入调试状态时，通用计时器的计数器停止运行 (x=10,9,8,7,6,5,4)。它可以通过软件设置为 1 或清零。 0: 所选通用计时器的计数器继续正常运行。 1: 所选通用计时器的计数器停止运行。
3:0	BTIMx_STOP	当 CM7 进入调试状态时，基本定时器的计数器停止运行 (x=4,3,2,1)。它可以通过软件设置为 1 或清零。 0: 所选基本定时器的计数器继续正常运行。 1: 所选基本定时器的计数器停止运行。

#### 51.4.4 M4APB1 外设冻结寄存器(DBG\_M4APB1FZ)

偏移地址: 0x0C

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved													CANFD6_STOP	CANFD5_STOP	CANFD2_STOP
													rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CANFD1_STOP	WWDG2_STOP	I2C3_STOP	I2C2_STOP	I2C1_STOP	GTIMB3_STOP	GTIMB2_STOP	GTIMB1_STOP	GTIMA7_STOP	GTIMA6_STOP	GTIMA5_STOP	GTIMA4_STOP	BTIM4_STOP	BTIM3_STOP	BTIM2_STOP	BTIM1_STOP
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:19	保留	保留，必须保持复位值。
18:15	CANFDx_STOP	当 CM4 进入调试状态时，调试 CANFD 停止 (x=6,5,2,1) 运行。它可以通过软件设置为 1 或清除。 0: 所选 CANFD 的计数器继续正常运行。 1: 所选 CANFD 的计数器继续计时器停止运行。
14	WWDG2_STOP	当 CM4 进入调试状态时，调试窗口看门狗 2 停止运行。它可以被设置为 1 或通过软件清除。 0: 窗口看门狗 2 计数器继续正常运行。 1: 窗口看门狗 2 计数器停止运行。
13:11	I2Cx_STOP	当 CM4 停止时，SMBus 超时模式停止 (x=3,2,1)。它可以通过软件设置为 1 或清除。 0: 与正常模式操作相同。 1: 冻结 SMBus 超时控制。
10:4	GTIMx_STOP	当 CM4 进入调试状态时，通用计时器的计数器停止运行 (x=B3,B2,B1,A7,A6,A5,A4)。它可以通过软件设置为 1 或清除。 0: 所选通用计时器的计数器继续正常运行。 1: 所选通用计时器的计数器停止运行。
3:0	BTIMx_STOP	当 CM4 进入调试状态时，基本定时器的计数器停止运行 (x=4,3,2,1)。它可以通

位域	名称	描述
		过软件设置为 1 或清零。 0: 所选基本计时器的计数器继续正常运行。 1: 所选基本定时器的计数器停止运行。

### 51.4.5 M7APB2 外设冻结寄存器(DBG\_M7APB2FZ)

偏移地址: 0x10

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	CANFD8_STOP	CANFD7_STOP	CANFD4_STOP	CANFD3_STOP	I2C6_STOP	I2C5_STOP	I2C4_STOP	ATIM2_STOP	ATIM1_STOP	GTIMA3_STOP	GTIMA2_STOP	GTIMA1_STOP	SHRTIM2_STOP	SHRTIM1_STOP	
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:14	保留	保留, 必须保持复位值。
13:10	CANFDx_STOP	当 CM7 进入调试状态时, 调试 CANFD 停止 (x=8,7,4,3) 运行。它可以通过软件设置为 1 或清除。 0: 所选 CANFD 的计数器继续正常运行。 1: 所选 CANFD 的计数器继续计时器停止运行。
9:7	I2Cx_STOP	当 CM7 停止时, SMBus 超时模式停止 (x=6,5,4)。它可以通过软件设置为 1 或清除。 0: 与正常模式操作相同。 1: 冻结 SMBus 超时控制。
6:5	ATIMx_STOP	当 CM7 进入调试状态时, 高级定时器的计数器停止运行 (x=2,1)。它可以通过软件设置为 1 或清除。 0: 所选高级计时器的计数器继续正常运行。 1: 所选高级计数器停止运行。
4:2	GTIMAx_STOP	当 CM4 进入调试状态时, 通用定时器 A 的计数器停止运行 (x=3,2,1)。它可以通过软件设置为 1 或清除。 0: 所选通用定时器 A 的计数器继续正常运行。 1: 所选通用定时器 A 的计数器停止运行。
1:0	SHRTIMx_STOP	当 CM7 进入调试状态时, 高精度计时器的计数器停止。 操作 (x=2,1)。它可以通过软件设置为 1 或清除。 0: 所选高精度计时器的计数器继续正常运行。 1: 所选高精度计时器的计数器停止运行。

### 51.4.6 M4APB2 外设冻结寄存器(DBG\_M4APB2FZ)

偏移地址：0x14

复位值：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		CANFD8_STOP	CANFD7_STOP	CANFD4_STOP	CANFD3_STOP	I2C6_STOP	I2C5_STOP	I2C4_STOP	ATIM2_STOP	ATIM1_STOP	GTIMA3_STOP	GTIMA2_STOP	GTIMA1_STOP	SHRTIM2_STOP	SHRTIM1_STOP
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:14	保留	保留，必须保持复位值。
13:10	CANFDx_STOP	当 CM4 进入调试状态时，调试 CANFD 停止（x=8,7,4,3）运行。它可以通过软件设置为 1 或清除。 0：所选 CANFD 的计数器继续正常运行。 1：所选 CANFD 的计数器继续计时器停止运行。
9:7	I2Cx_STOP	当 CM4 停止时，SMBus 超时模式停止（x=6,5,4）。它可以通过软件设置为 1 或清除。 0：与正常模式操作相同。 1：冻结 SMBus 超时控制。
6:5	ATIMx_STOP	当 CM4 进入调试状态时，高级定时器的计数器停止运行（x=2,1）。它可以通过软件设置为 1 或清除。 0：所选高级计时器的计数器继续正常运行。 1：所选高级计数器停止运行。
4:2	GTIMAx_STOP	当 CM4 进入调试状态时，通用定时器 A 的计数器停止运行（x=3,2,1）。它可以通过软件设置为 1 或清除。 0：所选通用定时器 A 的计数器继续正常运行。 1：所选通用定时器 A 的计数器停止运行。
1:0	SHRTIMx_STOP	当 CM4 进入调试状态时，高精度计时器的计数器停止操作（x=2,1）。它可以通过软件设置为 1 或清除。 0：所选高精度计时器的计数器继续正常运行。 1：所选高精度计时器的计数器停止运行。

### 51.4.7 M7APB5 外设冻结寄存器（DBG\_M7APB5FZ）

偏移地址：0x18

复位值：0x00000000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved															
----------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	RTC_STOP	LPTIM5_STOP	LPTIM4_STOP	LPTIM3_STOP	LPTIM2_STOP	LPTIM1_STOP	IWDG2_STOP	IWDG1_STOP	I2C10_STOP	I2C9_STOP	I2C8_STOP	I2C7_STOP	ATIM4_STOP	ATIM3_STOP
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:14	保留	保留，必须保持复位值。
13	RTC_STOP	当 CM7 进入调试状态时，调试 RTC 停止运行。它可以被软件设置为 1 或清除。 0:RTC 计数器继续正常运行。 1: RTC 计数器继续计时器停止运行。
12:8	LPTIMx_STOP	当 CM7 进入调试状态时，低功耗定时器的计数器停止运行 (x=5,4,3,2,1)。它可以通过软件设置为 1 或清除。 0: 所选低功耗定时器的计数器继续正常运行。 1:所选低功耗计时器的计数器停止运行。
7:6	IWDGx_STOP	当 CM7 进入调试状态时，看门狗停止 (x=2,1) 运行。它可以通过软件设置为 1 或清除。 0: 看门狗计数器继续正常运行。 1: 看门狗计数器停止运行。
5:2	I2Cx_STOP	当 CM7 停止时，SMBus 超时模式停止 (x=10,9,8,7)。它可以通过软件设置为 1 或清除。 0: 与正常模式操作相同。 1: 冻结 SMBus 超时控制。
1:0	ATIMx_STOP	当 CM7 进入调试状态时，高级定时器的计数器停止运行 (x=4,3)。它可以通过软件设置为 1 或清零。 0: 所选高级计时器的计数器继续正常运行。 1: 所选高级计数器停止运行。

### 51.4.8 M4APB5 外设冻结寄存器(DBG\_M4APB5FZ)

偏移地址: 0x1C

复位值: 0x00000000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved															
----------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Reserved	RTC_STOP	LPTIM5_STOP	LPTIM4_STOP	LPTIM3_STOP	LPTIM2_STOP	LPTIM1_STOP	IWDG2_STOP	IWDG1_STOP	I2C10_STOP	I2C9_STOP	I2C8_STOP	I2C7_STOP	ATIM4_STOP	ATIM3_STOP
----------	----------	-------------	-------------	-------------	-------------	-------------	------------	------------	------------	-----------	-----------	-----------	------------	------------



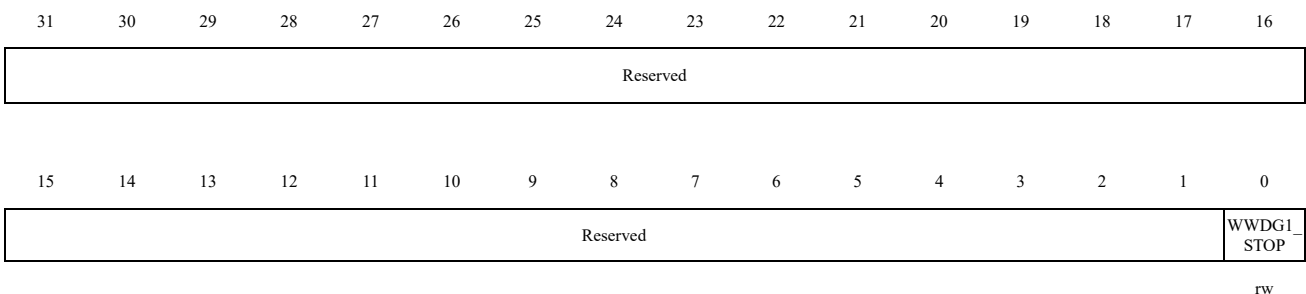
rw rw rw rw rw rw rw rw rw rw rw rw rw rw rw

位域	名称	描述
31:14	保留	保留，必须保持复位值。
13	RTC_STOP	当 CM4 进入调试状态时，调试 RTC 停止运行。它可以通过软件设置为 1 或清除。 0:RTC 计数器继续正常运行。 1: RTC 计数器继续计时器停止运行。
12:8	LPTIMx_STOP	当 CM4 进入调试状态时，低功耗定时器的计数器停止运行 (x=5,4,3,2,1)。它可以通过软件设置为 1 或清除。 0: 所选低功耗定时器的计数器继续正常运行。 1:所选低功耗定时器的计数器停止运行。
7:6	IWDGx_STOP	当 CM4 进入调试状态时，看门狗停止 (x=2,1) 运行。它可以通过软件设置为 1 或清除。 0: 看门狗计数器继续正常运行。 1: 看门狗计数器停止运行。
5:2	I2Cx_STOP	当 CM4 停止时，SMBus 超时模式停止 (x=10,9,8,7)。它可以通过软件设置为 1 或清除。 0: 与正常模式操作相同。 1: 冻结 SMBus 超时控制。
1:0	ATIMx_STOP	当 CM4 进入调试状态时，高级定时器的计数器停止运行 (x=4,3)。它可以通过软件设置为 1 或清除。 0: 所选高级计时器的计数器继续正常运行。 1: 所选高级计数器停止运行。

### 51.4.9 M7APB6 外设冻结寄存器 (DBG\_M7APB6FZ)

偏移地址: 0x20

复位值: 0x00000000



位域	名称	描述
31:1	保留	保留，必须保持复位值。

位域	名称	描述
0	WWDG1_STOP	当 CM7 进入调试状态时，调试窗口看门狗 1 停止运行。它可以通过软件设置为 1 或清除。 0: 窗口看门狗 1 计数器继续正常运行。 1: 窗口看门狗 1 计数器停止运行。

### 51.4.10 M4APB6 外设冻结寄存器(DBG\_M4APB6FZ)

偏移地址: 0x24

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														WWDG1_STOP	
rw															

位域	名称	描述
31:1	保留	保留，必须保持复位值。
0	WWDG1_STOP	当 CM4 进入调试状态时，调试窗口看门狗 1 停止运行。它可以被设置为 1 或通过软件清除。 0: 窗口看门狗 1 计数器继续正常运行。 1: 窗口看门狗 1 计数器停止运行。

## 52 版本历史

日期	版本	修改点
2025.10.11	V1.2.0	初始版本

## 53 声明

国民技术股份有限公司（下称“国民技术”）对此文档拥有专属产权。依据中华人民共和国的法律、条约以及世界其他法域相适用的管辖，此文档及其中描述的国民技术产品（下称“产品”）为公司所有。

国民技术在此并未授予专利权、著作权、商标权或其他任何知识产权许可。所提到或引用的第三方名称或品牌（如有）仅用作区别之目的。

国民技术保留随时变更、订正、增强、修改和改良此文档的权利，恕不另行通知。请使用者在下单购买前联系国民技术获取此文档的最新版本。

国民技术竭力提供准确可信的资讯，但即便如此，并不推定国民技术对此文档准确性和可靠性承担责任。

使用此文档信息以及生成产品时，使用者应当进行合理的设计、编程并测试其功能性和安全性，国民技术不对任何因使用此文档或本产品而产生的任何直接、间接、意外、特殊、惩罚性或衍生性损害结果承担责任。

国民技术对于产品在系统或设备中的应用效果没有任何故意或保证，如有任何应用在其发生操作不当或故障情况下，有可能致使人员伤亡、人身伤害或严重财产损失，则此类应用被视为“不安全使用”。

不安全使用包括但不限于：外科手术设备、原子能控制仪器、飞机或宇宙飞船仪器、所有类型的安全装置以及其他旨在支持或维持生命的应用。

所有不安全使用的风险应由使用人承担，同时使用人应使国民技术免于因为这类不安全使用而导致被诉、支付费用、发生损害或承担责任时的赔偿。

对于此文档和产品的任何明示、默示之保证，包括但不限于适销性、特定用途适用性和不侵权的保证责任，国民技术可在法律允许范围内进行免责。

未经明确许可，任何人不得以任何理由对此文档的全部或部分进行使用、复制、修改、抄录和传播。