

# N32H493xE/xG

# 数据手册

N32H493系列采用32 bit ARM Cortex-M4F内核，最高工作主频240MHz，支持浮点运算和DSP指令，集成高达1MB嵌入式Flash，256KB SRAM（包括64KB CCM SRAM）+ 4KB Backup SRAM，集成3个12bit 4.7Msps ADC、2个12bit DAC，集成U(S)ART、I2C、SPI等通信接口，支持xSPI高速存储接口，支持多个高级定时器、通用定时器、基本定时器、低功耗定时器，内置密码算法硬件加速引擎，支持AES/TDES、SHA、SM3、SM4、MD5算法，支持TRNG真随机数发生器，支持CRC16/32

## 关键特性

- **内核 CPU**
  - 32 位 ARM Cortex-M4F 内核+ FPU，单周期硬件乘除法指令，支持 DSP 指令和 MPU
  - 内置 8KB I-Cache（指令缓存）和 1KB D-Cache（数据缓存），支持 Flash 加速单元执行程序 0 等待
  - 最高主频 240MHz，300DMIPS
- **加密存储器**
  - 最大 1MByte 片内 Flash，支持双 BANK，支持加密存储、分区管理及数据保护，1 万次擦写次数，10 年数据保持
  - 192KB 通用 SRAM，支持 ECC
  - 64KB CCM SRAM，默认为通用 SRAM，可配置为 CCM SRAM，支持 ECC
  - 4KB Backup SRAM，支持 ECC，可在 Standby 模式保持
- **功耗**
  - Run 模式：所有外设可配置运行
  - Sleep 模式：CPU 停止运行，外设可配置运行
  - Stop0 模式：SRAM 保持，所有寄存器保持，RTC 运行
  - Standby 模式：Backup SRAM 保持，所有备份寄存器保持，可选 RTC 使能，IO 保持
  - VBAT 模式：Backup SRAM 保持，所有备份寄存器保持，可选 RTC 使能
- **时钟**
  - 4MHz~32MHz 外部高速晶体
  - 32.768KHz 外部低速晶体
  - 内置多个高速 PLL
  - 支持 2 路时钟输出，可独立配置时钟源输出时钟
  - 内部高速 RC 8MHz，-1.5%~+2%精度（全温度范围）
  - 内部低速 RC 32KHz，+/-10%精度（全温度范围）
- **复位**
  - 支持上电/掉电/外部引脚复位
  - 支持看门狗复位
  - 支持可编程的电压检测
- **最大支持 67 GPIOs，PG9~PG14 共 6 个 IO 可以支持 VDDIO 输入供电工作**
- **通信接口**
  - 6 个 SPI 接口，支持半/全双工模式

- 1 个 USART 接口/2 个 UART 接口, 支持 ISO7816、IrDA、LIN, TX/RX 均可全部引脚映射
- 4 个 I2C 接口, 速率高达 1 MHz, 主从模式可配, 从机模式下支持双地址响应
- **高性能模拟接口**
  - 3 个 12bit 4.7MSPS ADC, 支持 12bit、10bit、8bit、6bit 采样精度, 可以硬件过采样至 16bit, ADC1 支持多达 16 路外部单端输入通道, ADC2 支持多达 17 路外部单端输入通道, ADC3 支持多达 10 路外部单端输入通道, 支持单端模式和差分模式
  - 2 个 12 bit DAC, 每个 DAC 支持对芯片内一个输出通道和对芯片外一个输出通道, 采样速率 1MSPS, 支持带 Buffer 和不带 Buffer 输出, 可以支持对内输出、对外输出、同时对内对外输出
  - 1 个温度传感器
- **高速存储扩展接口**
  - 1 个 xSPI 接口, 支持 1/2/4/8 位数据宽度可配置, 可用于外扩 SRAM、PSRAM 和 Flash, 支持 XIP
- **2 个高速 DMA 控制器, 每个控制器支持 8 通道, 通道源地址及目的地址任意可配**
- **RTC 实时时钟, 支持闰年万年历, 闹钟事件, 周期性唤醒, 支持内外部时钟校准**
- **定时计数器**
  - 3 个 16bit 高级定时计数器, 支持输入捕获, 互补输出, 正交编码输入等功能, 最高控制精度 4.17ns; 每个定时器有 6 个独立的通道, 其中 4 个通道支持 4 对互补 PWM 输出
  - 10 个通用定时器(GTIM1~10):
    - GTIM2/3/5/6/7, 16 位计数器, 最高控制精度 4.17ns, 每个定时器多达 4 个独立通道, 每个通道都支持输入捕获、输出比较、PWM 生成和单脉冲模式输出;
    - GTIM1/4, 32 位计数器, 最高控制精度 4.17ns, 每个定时器多达 4 个独立通道, 每个通道都支持输入捕获、输出比较、PWM 生成和单脉冲模式输出;
    - GTIM8~10, 16 位计数器, 最高控制精度 4.17ns, 每个定时器多达 4 个独立通道, 每个通道都支持输入捕获、输出比较、PWM 生成和单脉冲模式输出, 仅通道 1 支持带死区互补输出, 支持刹车输入;
  - 2 个 32bit 基本定时计数器
  - 2 个 16bit 低功耗定时器, 可在 Stop0、Standby 模式下工作
  - 1 个 24bit SysTick、1 个 14bit 窗口看门狗(WWDG)、1 个 12bit 独立看门狗(IWDG)
- **编程方式**
  - 支持 SWD/JTAG 在线调试接口
  - 支持 UART、I2C Bootloader
- **安全特性**
  - Flash 存储加密, 多用户分区管理 (SMPU)
  - 支持写保护 (WRP), 多种读保护 (RDP) 等级 (L0/L1/L2)
  - 内置密码算法硬件加速引擎, 支持 AES/TDES、SHA、SM3、SM4、MD5 算法
  - TRNG 真随机数发生器、CRC16/32 运算
  - 支持安全启动, 程序加密下载, 安全更新、支持外部高速和低速时钟失效监测
  - 支持防拆监测
- **96 位 UID 和 128 位 UCID**
- **工作条件**
  - 工作电压范围: 1.8V~3.6V

— 工作温度范围：-40°C~105°C

● 封装

— BGA64 (5mm x 5mm)

— BGA72 (4.41mm x 3.76mm)

— BGA81 (4.41mm x 3.76mm)

# 目 录

关键特性.....	1
目 录.....	4
<b>1 产品简介 .....</b>	<b>9</b>
1.1 器件一览.....	10
<b>2 功能简介 .....</b>	<b>12</b>
2.1 处理器内核.....	12
2.2 存储器.....	12
2.2.1 嵌入式闪存存储器.....	13
2.2.2 嵌入式SRAM .....	14
2.2.3 嵌套的向量式中断控制器(NVIC) .....	14
2.3 外部中断/事件控制器(EXTI) .....	14
2.4 时钟系统.....	14
2.5 启动模式.....	15
2.6 供电方案.....	16
2.7 复位.....	17
2.8 可编程电压监测器.....	17
2.9 低功耗模式.....	17
2.10 直接存储器存取(DMA) .....	17
2.11 实时时钟(RTC) .....	18
2.12 定时器和看门狗.....	19
2.12.1 基本定时器(BTIM1~2) .....	19
2.12.2 通用定时器(GTIM1~7) .....	19
2.12.3 通用定时器(GTIM8~10) .....	20
2.12.4 高级定时器(ATIM1~3) .....	21
2.12.5 低功耗定时器(LPTIM1~2) .....	21
2.12.6 系统时基定时器(Systick).....	22
2.12.7 看门狗定时器(WDG).....	22
2.13 I <sup>2</sup> C总线接口 .....	23
2.14 通用同步异步收发器(USART) .....	23
2.15 串行外设接口总线 (SPI) .....	24
2.16 多线串行外设接口 (xSPI) .....	25
2.17 通用输入输出接口(GPIO).....	25
2.18 模拟/数字转换器(ADC).....	26
2.19 数字模拟转换(DAC).....	27
2.20 电压参考缓冲器 (VREFBUF) .....	28
2.21 循环冗余校验计算单元(CRC) .....	28
2.22 密码算法硬件加速引擎(SAC).....	28
2.23 唯一设备序列号(UID) .....	29
2.24 串行单线JTAG调试口(SWJ-DP).....	29
<b>3 引脚定义和描述 .....</b>	<b>30</b>
3.1 封装示意图.....	30
3.1.1 BGA64.....	30
3.1.2 BGA72.....	31
3.1.3 BGA81.....	32
3.2 引脚复用定义.....	33

<b>4</b>	<b>电气特性</b>	<b>47</b>
4.1	测试条件	47
4.1.1	最小和最大数值	47
4.1.2	典型数值	47
4.1.3	典型曲线	47
4.1.4	负载电容	47
4.1.5	引脚输入电压	47
4.1.6	供电方案	49
4.1.7	电流消耗测量	50
4.2	绝对最大额定值	50
4.3	工作条件	51
4.3.1	通用工作条件	51
4.3.2	上电和掉电时的工作条件	51
4.3.3	内嵌复位和电源控制模块特性	51
4.3.4	内置的参考电压	52
4.3.5	供电电流特性	53
4.3.6	外部时钟源特性	56
4.3.7	内部时钟源特性	59
4.3.8	从低功耗模式唤醒的时间	60
4.3.9	PLL特性	60
4.3.10	FLASH存储器特性	60
4.3.11	绝对最大值(电气敏感性)	61
4.3.12	I/O端口特性	62
4.3.13	NRST引脚特性	65
4.3.14	TIM定时器特性	66
4.3.15	看门狗特性	67
4.3.16	I <sup>2</sup> C接口特性	68
4.3.17	SPI接口特性	69
4.3.18	xSPI特性	72
4.3.19	12位模数转换器(ADC)电气参数	74
4.3.20	12位数模转换器(DAC)电气参数	76
4.3.21	电压参考缓冲器(VREFBUF)特性	79
4.3.22	温度传感器(TS)特性	79
<b>5</b>	<b>封装尺寸</b>	<b>80</b>
5.1	BGA64	80
5.2	BGA72	82
5.3	BGA81	84
<b>6</b>	<b>丝印说明</b>	<b>86</b>
<b>7</b>	<b>订购信息</b>	<b>87</b>
7.1	命名规则	87
7.2	订货代码信息	87
<b>8</b>	<b>版本历史</b>	<b>88</b>
<b>9</b>	<b>声明</b>	<b>89</b>

## 表目录

表 1-1 N32H493系列资源配置	10
表 2-1 单BANK模式启动方案	16
表 2-2 双BANK模式启动方案	16
表 2-3 定时器功能比较	19
表 3-1 管脚定义	33
表 4-1 电压特性	50
表 4-2 电流特性	50
表 4-3 温度特性	51
表 4-4 通用工作条件	51
表 4-5 上电和掉电时的工作条件	51
表 4-6 内嵌复位和电源控制模块特性	51
表 4-7 内置的参照电压	52
表 4-8 运行模式下的最大电流消耗，数据处理代码从内部闪存中运行	53
表 4-9 睡眠模式下的最大电流消耗	53
表 4-10 停机和待机模式下的典型和最大电流消耗	54
表 4-11 外设电流消耗	54
表 4-12 高速外部用户时钟特性	56
表 4-13 低速外部用户时钟特性	56
表 4-14 HSE 4~32MHz振荡器特性 <sup>(1)(2)</sup>	57
表 4-15 LSE振荡器特性( $F_{LSE}=32.768kHz$ ) <sup>(1)</sup>	58
表 4-16 HSI振荡器特性 <sup>(1)(2)</sup>	59
表 4-17 LSI振荡器特性 <sup>(1)</sup>	59
表 4-18 低功耗模式的唤醒时间	60
表 4-19 PLL特性	60
表 4-20 闪存存储器特性	60
表 4-21 闪存存储器寿命和数据保存期限	61
表 4-22 ESD绝对最大值	61
表 4-23 EMS特性	62
表 4-24 静态栓锁	62
表 4-25 I/O静态特性	62
表 4-26 IO驱动能力表 <sup>(1)</sup>	63
表 4-27 输出电压特性 <sup>(3)</sup>	63
表 4-28 输入输出交流特性 <sup>(1)</sup>	64
表 4-29 NRST引脚特性	65
表 4-30 ATIM1/2/3特性 <sup>(1)</sup>	66
表 4-31 GTIM1/2/3/4/5/6/7特性 <sup>(1)</sup>	66
表 4-32 GTIM8/9/10特性 <sup>(1)</sup>	67
表 4-33 LPTIM1/2特性 <sup>(1)</sup>	67
表 4-34 IWDG 最大和最小计数复位时间 (LSI = 32 KHz)	67
表 4-35 WWDG最大和最小计数复位时间(PCLK1 = 120MHz)	67
表 4-36 I <sup>2</sup> C接口特性 <sup>(1)</sup>	68
表 4-37 SPI特性 <sup>(1)</sup>	70
表 4-38 xSPI在SDR模式下的特性	72
表 4-39 xSPI在DDR模式下的特性	72
表 4-40 xSPI在RXDS模式下的特性	73
表 4-41 ADC特性	74
表 4-42 ADC采样时间 <sup>(1)</sup>	75
表 4-43 ADC精度 – 局限的测试条件 <sup>(1)(2)</sup>	75
表 4-44 DAC 1MSPS特性	77
表 4-45 电压参考缓冲器特性 <sup>(1)</sup>	79
表 4-46 温度传感器特性	79

表 7-1 N32H493系列订货代码信息 ..... 87

## 图目录

图 1-1 N32H493系列框图 .....	9
图 2-1 存储器映射图 .....	13
图 2-2 时钟树 .....	15
图 3-1 BGA64引脚分布 .....	30
图 3-2 BGA72引脚分布 .....	31
图 3-3 BGA81引脚分布 .....	32
图 4-1 引脚的负载条件 .....	47
图 4-2 引脚输入电压 .....	48
图 4-3 供电方案 .....	49
图 4-4 电流消耗测量方案 .....	50
图 4-5 外部高速时钟源的交流时序图 .....	57
图 4-6 外部低速时钟源的交流时序图 .....	57
图 4-7 使用8MHz晶体的典型应用 .....	58
图 4-8 使用32.768kHz晶体的典型应用 .....	59
图 4-9 输入输出交流特性定义 .....	65
图 4-10 传输延迟 .....	65
图 4-11 建议的NRST引脚保护 .....	66
图 4-12 I <sup>2</sup> C总线交流波形和测量电路 <sup>(1)</sup> .....	69
图 4-13 SPI时序图 – 从模式和CLKPHA=0 .....	70
图 4-14 SPI时序图 – 从模式和CLKPHA=1 <sup>(1)</sup> .....	71
图 4-15 SPI时序图 – 主模式 <sup>(1)</sup> .....	71
图 4-16 xSPI在SDR模式下的时序 .....	72
图 4-17 xSPI在DDR模式下的时序 .....	73
图 4-18 xSPI在RXDS模式下的时序 .....	74
图 4-19 ADC精度特性 .....	76
图 4-20 使用ADC典型的连接图 .....	76
图 5-1 BGA64封装尺寸 .....	80
图 5-6 BGA64封装焊盘建议 .....	80
图 5-6 BGA64封装PCB设计规则建议 .....	81
图 5-2 BGA72封装尺寸 .....	82
图 5-6 BGA72封装焊盘建议 .....	82
图 5-6 BGA72封装PCB设计规则建议 .....	83
图 5-3 BGA81封装尺寸 .....	84
图 5-6 BGA81封装焊盘建议 .....	84
图 5-6 BGA81封装PCB设计规则建议 .....	85
图 6-1 丝印说明图 .....	86
图 7-1 N32H493系列订货代码信息图示 .....	87

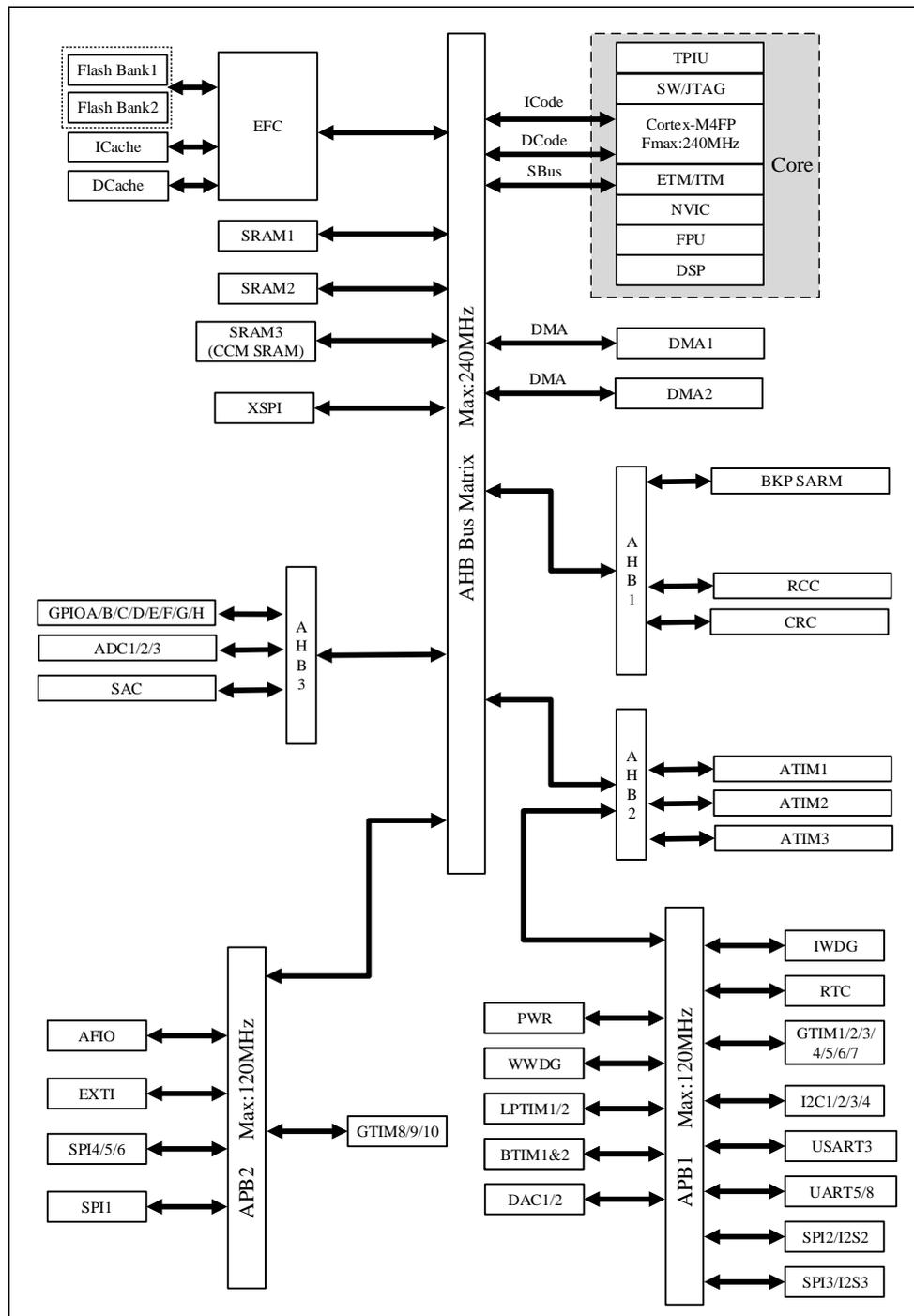
# 1 产品简介

N32H493系列微控制器产品采用32位ARM Cortex®-M4F内核，支持单精度浮点运算和DSP指令，最高工作主频240MHz，集成高达1MB嵌入式Flash，256KB SRAM（包括64KB CCM SRAM）+4KB Backup SRAM，集成3个12bit 4.7Msps ADC、2个12bit DAC，集成U(S)ART、I2C、SPI等通信接口，支持xSPI高速存储接口，支持多个高级定时器、通用定时器、基本定时器、低功耗定时器，内置密码算法硬件加速引擎，支持AES/TDES、SHA、SM3、SM4、MD5算法，支持TRNG真随机数发生器，支持CRC16/32。

N32H493系列产品可稳定工作于-40℃至+105℃的温度范围，供电电压1.8V至3.6V，提供多种功耗模式。

图 1-1给出了该系列产品的总线框图。

图 1-1 N32H493 系列框图



## 1.1 器件一览

表 1-1 N32H493 系列资源配置

器件型号		N32H493ME/MGB7	N32H493NE/NGB7	N32H493RE/RGB7			
工作环境		1.8~3.6V/-40~105°C					
CPU频率		ARM Cortex-M4F @240MHz, 300DMIPS					
Flash容量 (KB)		512	1024	512	1024	512	1024
Total SRAM (KB)	General SRAM	192	192	192	192	192	192
	CCM SRAM <sup>(1)</sup>	64					
	Backup SRAM	4					
定时器	ATIM	3*16bit					
	GTIM	5*16bit					
		2*32bit <sup>(2)</sup>					
		3*16bit <sup>(3)</sup>					
	BTIM	2*32bit					
	LPTIM	2*16bit					
	SysTick timer	1					
	WWDG	1*14bit					
IWDG	1*12bit						
RTC	Yes						
通讯	SPI	6					
	I <sup>2</sup> C	4					
	USART	1 <sup>(4)</sup>					
	UART	2 <sup>(5)</sup>					
存储扩展	XSPI	Yes					
GPIO		67		59		52	
WKUP Pins		5		5		5	
Nb of I/Os down to 1.8 V <sup>(6)</sup>		6		6		0	
DMA		2					
Number of channels		16					
12bit ADC		3		3		3	
Number of channels		23		23		23	
12bit DAC		2					
Number of channels		2					
算法支持		DES/3DES、AES、SHA1/SHA224/SHA256、SM3、SM4、MD5、CRC16/CRC32					
TRNG		Yes					
安全保护		读写保护 (RDP/WRP)、存储加密、分区保护、安全启动					
封装		BGA81		BGA72		BGA64	

注：

1. 上电默认是通用 SRAM，软件可以配置为 CCM SRAM；
2. 仅 GTIM1 和 GTIM4 支持 32bit 定时器；
3. 仅 GTIM8/9/10 支持刹车，通道 1 支持互补通道输出；
4. USART 接口为 USART3，TX、RX、RTS\_DE 支持全引脚映射；

5. UART 接口为 UART5 和 UART8, TX、RX、RTS\_DE 支持全引脚映射;
6. BGA81 和 BGA72 封装 PG9~PG14 可以支持通过 VDDIO 输入供电工作, 支持 1.8~3.6V 输入。

## 2 功能简介

### 2.1 处理器内核

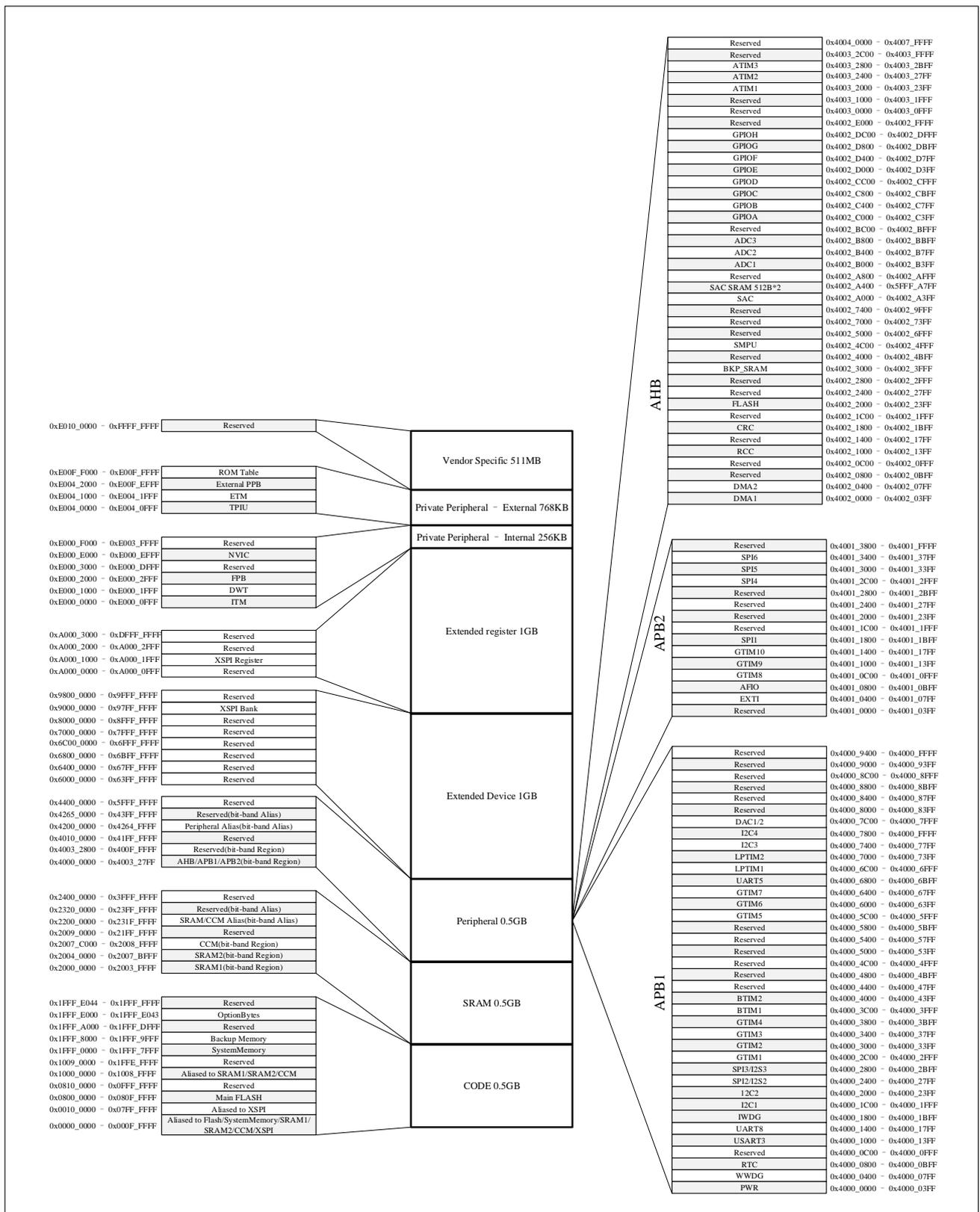
N32H493系列集成ARM Cortex™-M4F处理器，支持浮点运算处理单元（FPU）、DSP和并行计算指令，提供300DMIPS的优异性能。同时其高效的信号处理能力与Cortex-M系列处理器的低功耗，低成本和易于使用的优点组合，用以满足需要控制和信号处理混合能力且易于使用的应用场景。

ARM Cortex™-M4F 32位精简指令集处理器具有优异的代码效率。

### 2.2 存储器

N32H493系列器件包含嵌入式加密闪存（Flash）存储器、嵌入式SRAM，下图为存储器地址映射图。

图 2-1 存储器映射图



## 2.2.1 嵌入式闪存存储器

片内集成最大1MB字节嵌入式闪存（FLASH），用于存放程序和数据，页面大小8Kbyte，支持双BANK，支持页擦除、双字写、字读、半字读、字节读操作。

支持存储加密保护，写入自动加密、读出自动解密（包括程序执行操作）。

支持用户分区管理，最多可分为3个用户分区，不同用户之间不可相互访问数据（仅可执行代码）。

## 2.2.2 嵌入式 SRAM

片内集成最大 256KB 的 SRAM(包括 192KB 通用 SRAM 和 64KB CCM SRAM)和 4KB Backup SRAM，具体如下：

192KB 通用 SRAM，支持 ECC

64KB CCM SRAM，默认为通用 SRAM，可配置为 CCM SRAM，支持 ECC

4KB Backup SRAM，支持 ECC，可在 Standby 模式保持。

## 2.2.3 嵌套的向量式中断控制器(NVIC)

主要特性如下：

- 112 个可屏蔽中断通道（不包含 16 个 Cortex-M4 的中断线）。
- 16 个可编程的优先等级（使用了 4 位中断优先级）；
- 低延迟的异常和中断处理；
- 电源管理控制；
- 系统控制寄存器的实现；

嵌套向量中断控制器（NVIC）和处理器核的接口紧密相连，可以实现低延迟的中断处理和高效地处理晚到的中断。嵌套向量中断控制器管理着包括内核异常等中断。

## 2.3 外部中断/事件控制器(EXTI)

外部中断/事件控制器包含 25 个产生中断/事件触发的边沿检测电路，每条输入线可以独立地配置脉冲或挂起输入类型，以及上升沿、下降沿或者双边沿 3 种触发事件类型，也可以独立地被屏蔽。挂起寄存器保持着状态线的中断请求，可通过在挂起寄存器的对应位写‘1’操作，清除中断请求。

## 2.4 时钟系统

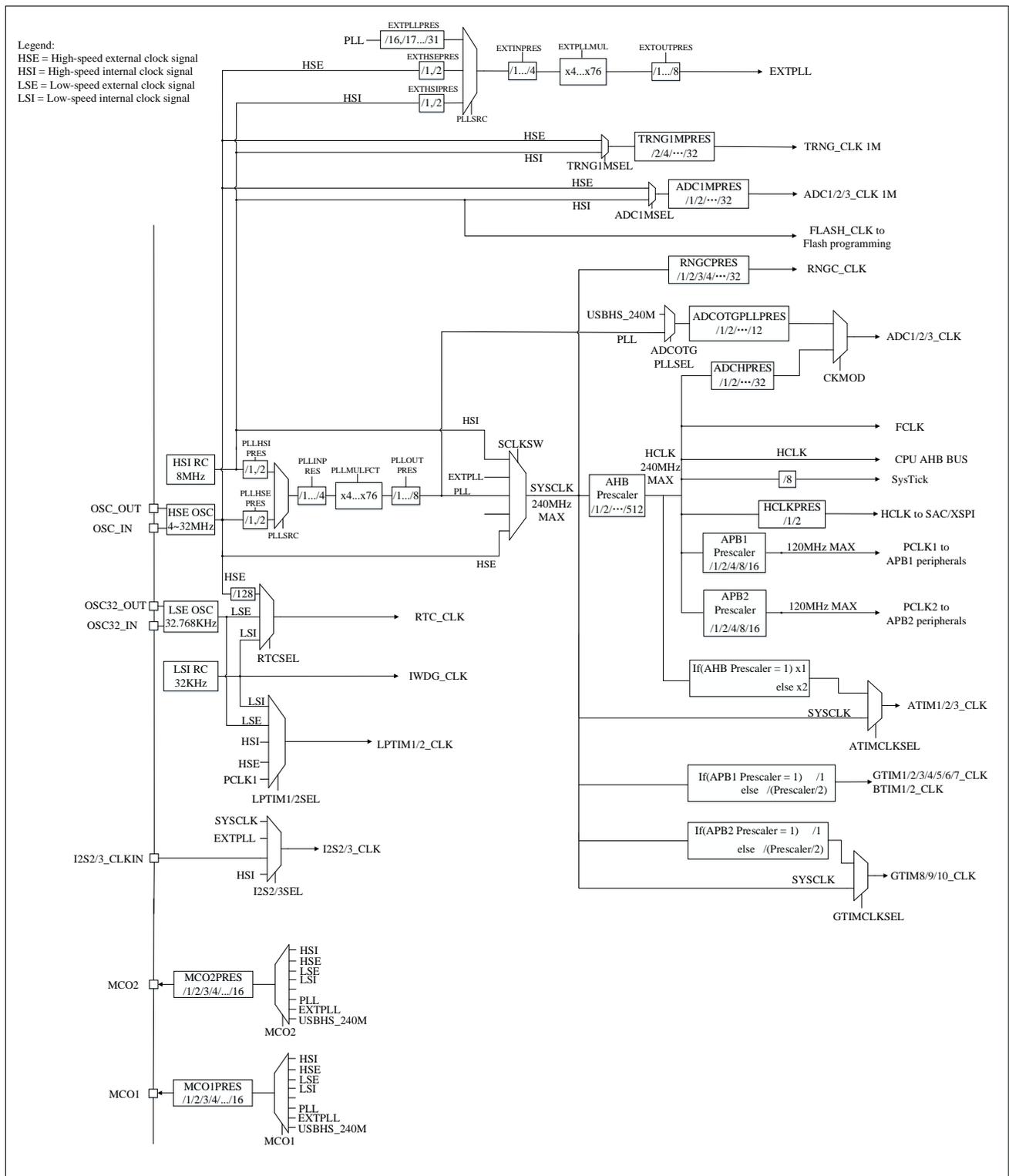
提供多种时钟源供用户选择，包括内部高速 RC 时钟 HSI（8MHz），内部低速时钟 LSI（32KHz），外部高速时钟 HSE（4MHz~32MHz），外部低速时钟 LSE（32.768KHz）。

系统时钟来源可选 HSI、HSE、PLL、EXTPLL。复位时内部 HSI 时钟被默认设置为系统时钟，随后用户可以选择外部具有失效监控功能的 HSE 时钟；当检测到外部时钟失效时，它将被隔离，系统将自动地切换到 HSI，如果使能了中断，软件可以接收到相应的中断。

多个预分频器用于配置 AHB 的频率、高速 APB(APB2)和低速 APB(APB1)区域。AHB 的最高频率是 240MHz，APB2 的最高频率是 120MHz，APB1 的最高频率为 120MHz。

参考下图时钟树。

图 2-2 时钟树



## 2.5 启动模式

在系统启动时，可以通过BOOT0引脚和选项字节boot配置来选择在复位后的启动模式：

- 从主闪存存储器(Main Flash)启动
- 从系统存储器(System Memory)启动
- 从内置 SRAM 启动

详细启动方案见下表：

表 2-1 单 BANK 模式启动方案

Option Byte				引脚 BOOT0	启动模式	对应启动模式下，访问内存空间的起始地址			
FLASH_BOOT	nBOOT1	nBOOT0	nSWBOOT0			Main Flash 前半部分	Main Flash 后半部分	System Memory	SRAM
1	x	x	1	0	Main Flash 前半部分启动	<b>0x0000_0000</b> <b>0x0800_0000</b>	0x0808_0000 <sup>(1)</sup>	0x1FFF_0000	0x1000_0000 0x2000_0000
1	x	1	0	x		0x0808_0000 <sup>(1)</sup>	<b>0x0000_0000</b> <b>0x0800_0000</b>	0x1FFF_0000	0x1000_0000 0x2000_0000
0	x	x	1	0	Main Flash 后半部分启动	0x0808_0000 <sup>(1)</sup>	<b>0x0000_0000</b> <b>0x0800_0000</b>	0x1FFF_0000	0x1000_0000 0x2000_0000
0	x	1	0	x		0x0800_0000	0x0808_0000	<b>0x0000_0000</b> <b>0x1FFF_0000</b>	0x1000_0000 0x2000_0000
x	1	x	1	1	SystemMemory 启动	0x0800_0000	0x0808_0000	<b>0x0000_0000</b> <b>0x1FFF_0000</b>	0x1000_0000 0x2000_0000
x	1	0	0	x		0x0800_0000	0x0808_0000	0x1FFF_0000	<b>0x0000_0000</b> <b>0x1000_0000</b> <b>0x2000_0000</b>
x	0	x	1	1	SRAM 启动	0x0800_0000	0x0808_0000	0x1FFF_0000	<b>0x0000_0000</b> <b>0x1000_0000</b> <b>0x2000_0000</b>
x	0	0	0	x		0x0800_0000	0x0808_0000	0x1FFF_0000	<b>0x0000_0000</b> <b>0x1000_0000</b> <b>0x2000_0000</b>

注1. MCU的Flash容量为512KB情况下，起始地址为0x0804\_0000；MCU的Flash容量为1MB情况下，起始地址为0x0808\_0000。

表 2-2 双 BANK 模式启动方案

Option Byte				引脚 BOOT0	启动模式	对应启动模式下，访问内存空间的起始地址			
FLASH_BOOT	nBOOT1	nBOOT0	nSWBOOT0			Main Flash BANK1	Main Flash BANK2	System Memory	SRAM
1	x	x	1	0	Main Flash BANK1 启动	<b>0x0000_0000</b> <b>0x0800_0000</b>	0x0808_0000 <sup>(1)</sup>	0x1FFF_0000	0x1000_0000 0x2000_0000
1	x	1	0	x		0x0808_0000 <sup>(1)</sup>	<b>0x0000_0000</b> <b>0x0800_0000</b>	0x1FFF_0000	0x1000_0000 0x2000_0000
0	x	x	1	0	Main Flash BANK2 启动	0x0808_0000 <sup>(1)</sup>	<b>0x0000_0000</b> <b>0x0800_0000</b>	0x1FFF_0000	0x1000_0000 0x2000_0000
0	x	1	0	x		0x0800_0000	0x0808_0000	<b>0x0000_0000</b> <b>0x1FFF_0000</b>	0x1000_0000 0x2000_0000
x	1	x	1	1	SystemMemory 启动	0x0800_0000	0x0808_0000	<b>0x0000_0000</b> <b>0x1FFF_0000</b>	0x1000_0000 0x2000_0000
x	1	0	0	x		0x0800_0000	0x0808_0000	0x1FFF_0000	<b>0x0000_0000</b> <b>0x1000_0000</b> <b>0x2000_0000</b>
x	0	x	1	1	SRAM 启动	0x0800_0000	0x0808_0000	0x1FFF_0000	<b>0x0000_0000</b> <b>0x1000_0000</b> <b>0x2000_0000</b>
x	0	0	0	x		0x0800_0000	0x0808_0000	0x1FFF_0000	<b>0x0000_0000</b> <b>0x1000_0000</b> <b>0x2000_0000</b>

注1. MCU的Flash容量为512KB情况下，起始地址为0x0804\_0000，MCU的Flash容量为1MB情况下，起始地址为0x0808\_0000

启动加载程序(Bootloader)存放于系统存储器中，可以通过 USART1 和 USB 接口对 FLASH Memory 进行编程。

还可以通过配置 RCC\_BOOTREMAP.REMAPSEL[2:0]进行物理 0 号地址重映射：

- 从 xSPI 外部存储器 remap 启动
- 从 FEMC 外部存储器 remap 启动
- 从 SDRAM 外部存储器 remap 启动

## 2.6 供电方案

5 个外部电源：VDD、VDDIO、VDDA、VREF、VBAT。其中 VDD 是芯片电源，主要给供电系统、时钟系统供电；VDDA 为模拟外设电源，主要给模拟外设供电；VREF 给模拟外设提供参考电源，以提供更高的精度。VBAT 连接电池，为备份域提供电源。

5 个电源区域，通过外部电源给不同电源区域供电：

- VDD 域：电压范围为 1.8V~3.6V，主要为 MR、大部分 GPIO、HSE、HSI、PLL、POR/PDR、BOR、PVD、USB PHY 供电。
- VDDIO 域：电压范围为 1.8~3.6V，可以给 PG9~PG14 这 6 个 IO 独立供电。
- VDDA 域：电压范围为 1.8V~3.6V，主要为 ADC、DAC、VREFBUF、TS 等供电。
- VDDBK 域：电压范围为 1.8V~3.6V，主要为 WKUP 引脚、NRST、PC13/14/15、LSE、LSI 等供电。
- VDDD 域：电压为 1.1V 或 0.9V，主要为 CPU、AHB、APB、SRAM、FLASH、RCC、TRNG 和大部分外设供电
- VDDDBK 域：电压为 0.9V 或 0.8V，主要为 PWR、Backup SRAM(4KB)、RTC、LPTIM、WKUP 引脚、NRST、PC13/14/15、备份 IOM、IWDG 和 RCC\_BDCTRL 寄存器供电

## 2.7 复位

内部集成了上电复位(POR)和掉电复位(PDR)电路，这部分电路始终处于工作状态，保证系统在供电超过1.8V时工作；当V<sub>DD</sub>低于设定的阈值(V<sub>POR/PDR</sub>)时，置器件于复位状态，而不必使用外部复位电路。

## 2.8 可编程电压监测器

内置一个可编程电压监测器(PVD)，它监视V<sub>DD</sub>/V<sub>DDA</sub>供电并与阈值V<sub>PVD</sub>比较，当V<sub>DD</sub>低于或高于阈值V<sub>PVD</sub>时将产生中断，中断处理程序可以发出警告信息。PVD功能需要通过程序开启。关于V<sub>POR/PDR</sub>和V<sub>PVD</sub>的值参考表 4-6。

## 2.9 低功耗模式

N32H493 支持四种低功耗模式：

### ■ SLEEP模式

在SLEEP模式下，只有CPU停止，所有外设处于工作状态并可在发生中断/事件时唤醒CPU。

### ■ STOP0模式

STOP0模式基于Cortex -M4F深度睡眠模式，在SRAM和寄存器内容不丢失的情况下，STOP0模式可以达到较低的电能消耗。在STOP0模式下，主电源域的大部分时钟关闭，例如PLL、HSI、HSE。

唤醒：可以通过任意配置成EXTI的信号把芯片从STOP0模式中唤醒，EXTI信号可以是外部16个EXTI信号（I/O相关）、PVD的输出、RTC唤醒、RTC闹钟等。

### ■ STANDBY模式

在STANDBY模式下可以达到最低的电流消耗状态。内部的电压调压器被关闭，PLL、HSI的RC振荡器和HSE晶体振荡器也被关闭；进入STANDBY模式后，大部分寄存器的内容将丢失，备份寄存器的内容仍然保留，backup SRAM可选保持，备份域电路仍工作。

唤醒：NRST上的外部复位信号、IWDG复位、WKUP引脚上的边沿、RTC唤醒或RTC的闹钟，LPTIM唤醒事件。

### ■ VBAT模式

在任何时候，只要 V<sub>DD</sub> 掉电时，都将自动进入 VBAT 模式。在 VBAT 模式下，除了 NRST、WKUP、PC13\_TAMPER、PC14、PC15 之外，大多数 I/O 引脚处于高阻状态。

唤醒：VDD 开启

## 2.10 直接存储器存取(DMA)

DMA控制器总共可以访问如下从机：Flash、Sram1、Sram2、CCM Sram3、XSPI、CRC、APB1、APB2、

ATIM、ADC、DAC。

DMA控制器由CPU控制以执行从源到目的的快速数据移动。配置完成后，无需CPU干预即可传输数据。因此，可以释放CPU用于其他计算/控制任务或节省整体系统功耗。

芯片有两个DMA（DMA1、DMA2）控制器，每个DMA控制器有8个逻辑通道。每个逻辑通道用于服务来自单个或多个外设的内存访问请求。内部仲裁器控制不同DMA通道的优先级。

主要特性如下：

- 16 个可独立配置的 DMA 通道：DMA1 和 DMA2 各有 8 个通道。
- 支持内存到内存、内存到外设和外设到内存三种传输类型。
- 每个 DMA 通道支持硬件请求和软件触发来启动传输，并由软件配置。
- 每个 DMA 通道都有专用的软件优先级（DMA\_CHCFGx.PRIOLVL[1:0]位，对应 4 个优先级），可以单独配置。具有相同软件优先级的通道将进一步比较硬件索引（通道号）以确定最终优先级（索引号越低的通道优先级越高）。
- 可配置的源和目标大小。地址设置应与数据大小相对应。
- 每个通道可配置循环传输模式。
- 每个通道有 3 个独立的事件标志和中断（传输完成、半传输、传输错误）和 1 个全局中断标志（由 3 个事件的逻辑或设置）。
- 可访问从机：Flash、Sram1、Sram2、CCM Sram3、XSPI、CRC、APB1、APB2、ATIM、ADC、DAC。
- 可配置数据传输数（0~65535）。
- 支持突发传输，突发长度可配置，可设置 1/2/3/4/5/6/7/8 单元

## 2.11 实时时钟(RTC)

RTC是一组连续运行的计数器，内置日历时钟模块，可提供万年历功能，还具有闹钟中断和周期性中断功能。

主要特性如下：

- 实时时钟（RTC）是一个独立的 BCD 定时器/计数器
- 软件支持夏令时补偿
- 可编程周期性自动唤醒定时器
- 两个 32 位寄存器包含时、分、秒、年、月、日（几号）、星期（星期几）
- 独立的 32 位寄存器包含亚秒
- 两个编程闹钟
- 两个 32 位寄存器包含编程闹钟时、分、秒、年、月、日（几号）、星期（星期几）
- 两个独立的 32 位寄存器包含编程闹钟亚秒
- 数字精密校准功能
- 参考时钟检测：一个更加精确的外部时钟源（50 或 60Hz）能够用于改进日历精度
- 三个可配置滤波和内部上拉的入侵检测事件
- 时间戳功能
- 20 个备份寄存器，可在低功耗模式下保持数据
- 多个中断/事件唤醒源，包括闹钟 A、闹钟 B、唤醒定时器、时间戳、入侵
- RCC 寄存器使能 RTC 模块且电压保持在工作范围内，RTC 在任何模式下都不会停止（包括 RUN 模

式、SLEEP 模式、STOP0 模式、STANDBY 模式和 VBAT 模式)

- RTC 提供多种唤醒源可以使 MCU 从所有的低功耗模式下唤醒(SLEEP 模式, STOP0 模式和 STANDBY 模式)

## 2.12 定时器和看门狗

N32H493 支持最多 3 个高级定时器、10 个通用定时器、2 个基本定时器、2 个低功耗定时器, 以及 1 个独立看门狗定时器、1 个窗口看门狗定时器和 1 个系统嘀嗒定时器。

下表比较了高级定时器、通用定时器、基本定时器和低功耗定时器的功能:

表 2-3 定时器功能比较

定时器	计数器分辨率	计数器类型	预分频系数	捕获/比较通道	互补输出	最大接口时钟 (MHz)	最大定时器时钟 (MHz)
ATIM1~3	16位	向上, 向下, 向上/下	1~65536之间的任意整数	4	4	240	240
GTIM1 GTIM4	32位	向上, 向下, 向上/下	1~65536之间的任意整数	4	无	120	240
GTIM2~3 GTIM5~7	16位	向上, 向下, 向上/下	1~65536之间的任意整数	4	无	120	240
GTIM8~10	16位	向上, 向下, 向上/下	1~65536之间的任意整数	4	1	120	240
BTIM1~2	32位	向上	1~65536之间的任意整数	0	无	120	240
LPTIM1~2	16位	向上	1、2、4、8、16、32、 64、128	0	无	120	120

### 2.12.1 基本定时器(BTIM1~2)

基本定时器包含一个32位自动装载计数器。

主要特性如下:

- 32 位自动重载向上计数计数器。
- 16 位可编程预分频器。(分频系数可配置为 1 到 65536 之间的任意值)
- 产生中断/DMA 的事件如下:
  - ◆ 更新事件

### 2.12.2 通用定时器(GTIM1~7)

通用定时器 (GTIM1/ GTIM2/ GTIM3/ GTIM4/ GTIM5/ GTIM6/ GTIM7) 主要用于以下场合: 对输入信号进行计数、测量输入信号的脉冲宽度和产生输出波形等。

主要特性如下:

- 16 位自动装载计数器 (GTIM2/ GTIM3 / GTIM5/ GTIM6/ GTIM7), 可实现向上计数、向下计数、向上/下计数。

- 32 位自动装载计数器（GTIM1 / GTIM4），可实现向上计数、向下计数、向上/下计数。
- 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）
- GTIM<sub>x</sub> 最多支持 4 个通道
- 通道工作模式：PWM 输出、输出比较、单脉冲模式输出、输入捕获
- 如下事件发生时产生中断/DMA：
  - ◆ 更新事件
  - ◆ 触发事件
  - ◆ 输入捕获
  - ◆ 输出比较
- 可通过外部信号控制定时器
- 多个定时器内部连接在一起，以实现定时器的同步或链接
- 增量（正交）编码器接口：用于追踪运行轨迹和解析旋转方位
- 霍尔传感器接口：用于三相电机控制
- 支持捕获内部比较器输出信号

### 2.12.3 通用定时器(GTIM8~10)

通用定时器（GTIM<sub>x</sub>）主要用于以下场合：对输入信号进行计数、测量输入信号的脉冲宽度和产生输出波形等。通用定时器具有互补输出功能、死区插入和刹车功能。适用于电机控制。

主要特性如下：

- 16 位自动装载计数器。（可实现向上计数、向下计数、向上/下计数）
- 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）
- 可编程重复计数器
- GTIM<sub>x</sub> 最多 5 个通道
- 4 个捕获/比较通道，工作模式为：PWM 输出、输出比较、单脉冲模式输出、输入捕获
- 1 个支持数字滤波的刹车输入信号，用于将定时器的输出信号置于安全的用户可选配置中
- 如下事件发生时产生中断/DMA：
  - ◆ 更新事件
  - ◆ 触发事件
  - ◆ 输入捕获
  - ◆ 输出比较
  - ◆ 刹车信号输入
- 死区时间可编程的互补输出
  - ◆ 对于 GTIM<sub>x</sub>，通道 1 支持此功能
- 可通过外部信号控制定时器
- 多个定时器内部连接在一起，以实现定时器的同步或链接
- 增量（正交）编码器接口：用于追踪运行轨迹和解析旋转方位

- 霍尔传感器接口：用于三相电机控制
- 触发输入作为外部时钟或者逐周期电流管理

### 2.12.4 高级定时器(ATIM1~3)

高级控制定时器（ATIMx）主要用于以下场合：对输入信号进行计数、测量输入信号的脉冲宽度和产生输出波形等。高级定时器具有互补输出功能、死区插入和刹车功能。适用于电机控制。

主要特性如下：

- 16 位自动装载计数器。（可实现向上计数、向下计数、向上/下计数）
- 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）
- 可编程重复计数器
- ATIMx 最多 9 个通道
- 4 个捕获/比较通道，工作模式为：PWM 输出、输出比较、单脉冲模式输出、输入捕获
- 2 个支持数字滤波的刹车输入信号
- 如下事件发生时产生中断/DMA：
  - ◆ 更新事件
  - ◆ 触发事件
  - ◆ 输入捕获
  - ◆ 输出比较
  - ◆ 刹车信号输入
- 死区时间可编程的互补输出
  - ◆ 对于 ATIMx，通道 1、2、3、4 支持此功能
- 可通过外部信号控制定时器
- 多个定时器内部连接在一起，以实现定时器的同步或链接
- 增量（正交）编码器接口：用于追踪运行轨迹和解析旋转方位
- 霍尔传感器接口：用于三相电机控制
- 触发输入作为外部时钟或者逐周期电流管理

### 2.12.5 低功耗定时器(LPTIM1~2)

LPTIM是一个具有多个时钟源的16位定时器，它可以在所有功耗模式下保持运行。LPTIM可以在没有内部时钟源的情况下运行，可以用作“脉冲计数器”。此外，LPTIM可以将系统从低功耗模式唤醒，以极低的功耗实现“超时功能”。

主要特性如下：

- 16 位向上计数器
- 3bit 预分频，8 种分频因子（1、2、4、8、16、32、64、128）
- 多个时钟源
  - ◆ 内部时钟源：LSE, LSI, HSI, HSE 或者 APB1 时钟
  - ◆ 外部时钟源：通过 LPTIM Input1 输入的外部时钟源（工作时无 LP 振荡器运行，用于脉冲计数器应用）

- 16 bit 自动装载寄存器 (LPTIM\_ARR)
- 16 bit 比较寄存器 (LPTIM\_CMP)
- 连续或单触发计数模式
- 可编程软件或硬件输入触发
- 用于过滤毛刺的可编程数字滤波器
- 可配置输出 (PWM)
- 可配置 IO 极性
- 编码器模式
- 脉冲计数模式, 支持单脉冲计数、双脉冲计数 (正交和非正交)

### 2.12.6 系统时基定时器(Systick)

这个定时器专用于实时操作系统, 也可当成一个标准的递减计数器。

它具有下述特性:

- ◆ 24 位的递减计数器
- ◆ 自动重加载功能
- ◆ 当计数器为 0 时能产生一个可屏蔽系统中断
- ◆ 可编程时钟源

### 2.12.7 看门狗定时器(WDG)

内置独立看门狗 (IWDG) 和窗口看门狗 (WWDG) 定时器, 解决软件错误导致的问题。看门狗定时器使用非常灵活, 提高了系统的安全性和定时控制的准确性。

#### 独立看门狗 (IWDG)

独立看门狗 (IWDG) 由运行在 32KHz 的低速内部时钟 (LSI 时钟) 驱动, 在死循环事件或 MCU 卡死发生时, 它仍然可以运行。这可以提供更高的安全级别、定时精度和看门狗的灵活性。它可以通过重置来解决由于软件故障引起的系统故障。IWDG 最适合需要看门狗在主应用程序之外作为完全独立进程运行但时序精度限制较低的应用程序。

当电源控制寄存器 PWR\_CTRL2.IWDGRSTEN 位置 '1', IWDG 计数器达到 0 时, 会产生系统复位 (若该位置 '0', IWDG 会计数但不产生复位)。

主要特性如下:

- 独立的 12 位递减计数器
- RC 振荡器提供独立的时钟源, 可以工作在 SLEEP、STOP0 和 STANDBY 模式
- 可以匹配复位和低功耗唤醒
- 当递减计数器达到 0x000 时, 系统复位 (如果激活了看门狗)

#### 窗口看门狗 (WWDG)

窗口看门狗 (WWDG) 的时钟是 APB1 时钟频率除以 4096 得到的, 通过时间窗口的配置来检测程序运行是否异常。因此, WWDG 适用于精确定时, 常用于监控因外部干扰或无法预见的逻辑条件导致应用程序偏离其正常操作顺序的软件故障。当 WWDG 递减计数器在达到窗口寄存器值之前刷新或 WWDG\_CTRL.T6 位变为 0 之后, 发生系统复位。

主要特性如下:

- 14 位独立递减计数器可编程
- WWDG 启用后，在以下情况下会发生复位
  - ◆ 递减计数器的值小于 0x40
  - ◆ 当递减后的计数器值大于窗口寄存器的值时，重新加载
- 提前唤醒中断：如果看门狗启动并且中断使能，当计数值达到 0x40 时会产生唤醒中断（WWDG\_CFG.EWINT）

## 2.13 I<sup>2</sup>C 总线接口

I<sup>2</sup>C(inter-integrated circuit)总线是一种广泛应用的总线结构，它只有两根双向线，即数据总线SDA和时钟总线SCL，通过这两根线，所有与I<sup>2</sup>C总线兼容的设备都可以通过I<sup>2</sup>C总线彼此直接通信。

I<sup>2</sup>C 接口连接微控制器和串行 I<sup>2</sup>C 总线，可用于 MCU 和外部 I<sup>2</sup>C 设备的通讯。I<sup>2</sup>C 接口模块实现了 I<sup>2</sup>C 协议的标速模式和快速模式，具备 CRC 计算和校验功能、支持 SMBus(系统管理总线)和 PMBus (电源管理总线)，此外它提供多主机功能，控制所有 I<sup>2</sup>C 总线特定的时序、协议、仲裁。I<sup>2</sup>C 接口模块也支持 DMA 模式，可有效减轻 CPU 的负担。

I<sup>2</sup>C 接口的主要功能描述如下：

- 同一接口既可实现主机功能又可实现从机功能
- 是并行总线到 I<sup>2</sup>C 总线协议的转换器
- 支持 7 位和 10 位的地址模式和广播寻址
- 作为 I<sup>2</sup>C 主设备可以产生时钟、起始信号和停止信号
- 作为 I<sup>2</sup>C 从设备具有可编程的 I<sup>2</sup>C 地址检测、停止位检测的功能
- 支持标速(最高 100kHz)、快速(最高 400kHz)模式和快速+(最高 1MHz)模式
- 支持中断向量，字节成功传输中断和错误事件中断
- 可选的时钟延展功能
- 支持 DMA 模式
- 可选择的 PEC（报文错误检测）生成和校验
- 兼容 SMBus 2.0 和 PMBus
- 支持 FIFO 模式

## 2.14 通用同步异步收发器(USART)

通用同步异步收发器（USART）是一种全双工串行数据交换接口，支持同步或异步通信。可灵活配置，以便于与多种外部设备进行全双工数据交换。

USART 接口发送与接收波特率可配置，也支持通过 DMA 进行连续通信。USART 还支持多处理器通信、LIN 模式、同步模式、单线半双工通信、智能卡异步协议、IrDA SIR ENDEC 功能、以及硬件流控制功能。

USART 主要特性如下：

- 支持全双工,异步通信
- 支持单线半双工通信
- 波特率可配置，最高波特率可达 15Mbit/s
- 支持 8 倍或 16 倍过采样
- 支持 8bit 或 9bit 数据帧

- 支持两个用于收发数据的内部 FIFO
- 支持 1bit 或 2bit 停止位
- 支持硬件生成校验位及校验位检查
- 支持硬件流控: RTS、CTS
- 支持 DMA 收发
- 支持多处理器通信: 如果地址不匹配, 则进入静默模式, 可通过空闲总线检测或地址标识唤醒
- 支持同步模式, 允许用户在主模式下控制双向同步串行通信
- 支持智能卡异步协议, 符合 ISO7816-3 标准
- 支持串行红外协议 (IrDA SIR) 编码与解码, 提供正常与低功耗两种运行模式
- 支持 LIN 模式
- 支持多钟错误检测: 数据溢出错误、帧错误、噪声错误、检验错误
- 支持多个中断请求: 发送数据寄存器为空、CTS 标志、发送完成、数据已接收、数据溢出、总线空闲、检验错误、LIN 模式断开帧检测、以及多缓冲区通信中的噪声标志/溢出错误/帧错误

模式配置:

通信模式	USART3	UART5	UART8
异步模式	Y	Y	Y
多处理器	Y	Y	Y
LIN	Y	Y	Y
同步模式	Y	N	N
单线模式 (半双工)	Y	Y	Y
智能卡模式	Y	N	N
IrDA 红外模式	Y	Y	Y
DMA 通讯模式	Y	Y	Y
硬件流控模式	Y	Y	Y

Y = 支持该模式, N = 不支持该模式

## 2.15 串行外设接口总线 (SPI)

SPI允许芯片与外部设备以半/全双工、同步、串行方式通信。SPI可以被配置成主模式和从模式, 并为外部从设备提供通信时钟(SCK)。可用于多种用途, 包括使用一条双向数据线的双线单工同步传输, 还支持硬件CRC校验。

SPI 接口的主要功能如下:

- 全双工和单工同步模式
- 支持主模式、从模式和从模式
- 支持 8bit 或 16bit 数据帧格式
- 数据位顺序可编程
- 硬件或软件片选管理
- 时钟极性和时钟相位可配置
- 发送和接收支持硬件 CRC 计算及校验
- 支持DMA传输功能
- 接收/发送FIFO 8字节

## 2.16 多线串行外设接口 (xSPI)

xSPI是用于单/双/四/八线SPI外设通信的接口。可以在间接和内存映射2种模式下工作。

支持间接模式：使用xSPI寄存器执行所有操作；内存映射模式：外部闪存映射至微控制器地址空间，系统将其视为内部存储空间。

主要特性如下：

- 可配置1/2/4/8位数据
- 支持Single SPI/Normal SPI、DUAL SPI、QUAD SPI、Dual-QUAD、OCTAL SPI模式
- 支持Motorola SPI:
  - ◆ Standard/Dual/Quad/Octal SPI
- 支持 SDR 和 DDR 模式
- 读取数据选通，数据掩码支持DDR传输
- 支持时钟延长
- 在间接模式和内存映射模式下，帧格式与操作码可软件配置
- 集成 FIFO 用于发送和接收
- 允许 8/16/32 位数据访问
- 专用16Word TX FIFO和16Word RX FIFO
- 支持DMA
- 支持Hyperbus协议
- XIP模式支持SPI读写，支持串行NOR FLASH
  - ◆ 支持连续传输模式
  - ◆ 支持数据预取
- 支持XSPI外设执行代码自动解密，即XSPI外设代码密文存储，执行代码时读取密文自动解密为明文CPU执行，不影响对外设存储的访问速度，解密可软件控制使能/禁能，根密钥存放于NVR区，用户不可访问
- 支持串行NAND FLASH和PSRAM
- xSPI对外部存储进行读写访问，当做完xSPI初始化后，写外扩存储和读外扩存储之间或读外扩存储和写外扩存储之间不需要对xSPI做额外配置，即直接操作内存方式（通过SRAM地址）进行读写外扩存储
- 主机模式支持2个对外片选输出控制，从机模式支持1个片选输入，主机模式下所有复用为片选输出的IO，从机模式下都可复用为片选输入
- 支持多主仲裁功能

## 2.17 通用输入输出接口(GPIO)

芯片最多支持 67 个 GPIO，共被分为 7 组（GPIOA/GPIOB/GPIOC/GPIOD/GPIOE/GPIOG/GPIOH）。GPIO 端口和其他的复用外设共用引脚，用户可以根据需求灵活配置。每个 GPIO 引脚都可以独立配置成输出（推挽或开漏）、输入（浮空、上拉或下拉）或复用的外设功能端口。除了模拟功能引脚外，其他的 GPIO 引脚都有大电流通过能力。

GPIO 端口具有以下特征：

- 每个 GPIO 端口可由软件分别配置成以下模式：
  - ◆ 输入浮空
  - ◆ 输入上拉
  - ◆ 输入下拉
  - ◆ 模拟功能
  - ◆ 开漏输出，上下拉可配置
  - ◆ 推挽输出，上下拉可配置
  - ◆ 推挽复用功能，上下拉可配置
  - ◆ 开漏复用功能，上下拉可配置
- 独立的位设置或位清除功能
- 所有 IO 支持外部中断
- 所有 IO 支持低功耗模式唤醒，上升或下降沿可配置
  - ◆ 16 个 EXTI 可用于 STOP0 模式唤醒，所有 IO 可复用为 EXTI
  - ◆ PA0/PA2/PC5/PC13/PE6/PD2/PD3 可用于 STANDBY 模式唤醒
- 支持软件重映射 IO 复用功能
- 支持 GPIO 锁定机制，锁定后只能通过复位清除

每个 I/O 端口位可以任意编程，但必须按照 32 位字访问 I/O 端口寄存器（不允许 16 位半字或 8 位字节访问）。

## 2.18 模拟/数字转换器(ADC)

12 位 ADC 是使用逐次逼近的高速模数转换器。共有三个 ADC，ADC1/ADC2 可以组成双 ADC；ADC1/ADC2/ADC3 可以组成 3ADC。ADC1 最多有 16 个复用通道，ADC2 最多有 17 个复用通道，ADC3 最多有 10 个复用通道，各个通道的 A/D 转换通道可以在单次、连续、扫描，间断模式下执行。ADC 转换值存储（左对齐/右对齐）在 16 位数据寄存器中。可以通过模拟看门狗 1/2/3 检测输入电压是否在用户定义的高/低阈值内，并且 ADC 的输入时钟的最大频率为 80MHz。

ADC 主要特性描述如下：

- 支持 3 个 ADC，支持单端、差分输入
  - ◆ ADC1 支持 16 个外部通道，3 个内部通道；
  - ◆ ADC2 支持 17 个外部通道，1 个内部通道；
  - ◆ ADC3 支持 10 个外部通道；
- 支持 12 位、10 位、8 位、6 位分辨率
  - ◆ 12bit 分辨率下最高采样速率 4.7MSPS
  - ◆ 10bit 分辨率下最高采样速率 6MSPS
  - ◆ 8bit 分辨率下最高采样速率 7.2MSPS
  - ◆ 6bit 分辨率下最高采样速率 9MSPS
- ADC 时钟源分为工作时钟源、采样时钟源和计时时钟源
  - ◆ 仅可配置 AHB\_CLK 作为工作时钟源，最高可到 240MHz
  - ◆ 可配置 PLL 或 USBHS 240M 作为采样时钟源，最高可到 80MHz，支持分频 1, 2, 3, 4, 6, 8, 10, 12

- ◆ 可配置 AHB\_CLK 作为采样时钟源，最高可到 80MHz，支持分频 1, 2, 3, 4, 6, 8, 10, 12, 16, 32
- ◆ 计时时钟用于内部计时功能，频率必须配置成 1MHz
- 支持触发采样，包括 EXTI/TIMER
- 所有通道的采样时间间隔可独立编程
- 每个 ADC 有 3 个模拟看门狗
- 当 ADC 准备好，采样完成，转换完成或者模拟看门狗 1/2/3 事件可触发中断
- 支持 4 种转换模式
  - ◆ 单次转换
  - ◆ 连续转换
  - ◆ 间断模式
  - ◆ 扫描模式
- 支持自校准
- 带内嵌数据一致性的数据对齐
- 启动转换方式
  - ◆ 通过软件来启动规则转换和注入转换
  - ◆ 通过极性可配置的外部触发器（GPIO 输入事件或内部定时器事件）来启动规则转换和注入转换
- 过采样
  - ◆ 可调节的过采样比率 x2, x4, x8, x16, x32, x64, x128, x256
  - ◆ 数据右移位 0-8 可配置
  - ◆ 16 位的数据结果寄存器
- 数据预处理
  - ◆ 支持增益补偿
  - ◆ 支持偏移补偿
- 多 ADC 模式
  - ◆ 双 ADC 模式：ADC1 和 ADC2 组合
  - ◆ 三 ADC 模式：ADC1、ADC2、ADC3 组合
- ADC 的工作电压在 1.8V 到 3.6V 之间
- ADC 支持转换的电压在  $V_{REF-}$  和  $V_{REF+}$  之间

## 2.19 数字模拟转换(DAC)

DAC是数字/模拟转换器，主要是数字输入，电压输出。DAC数据有8位或12位两种模式，支持DMA功能。当DAC配置为12bit模式时，DAC数据可以左对齐或者右对齐；当DAC配置为8bit模式时，DAC数据可以右对齐。每个DAC都有一个独立的转换器，可独立的进行转换。在双DAC模式下，每个DAC既可以独立进行转换，也可以两个DAC（DAC1&DAC2可以组成一组）同时进行转换并更新。VREF+通过引脚输入作为DAC参考电压，使DAC的转换数据精确度更高。内置的VREFBUF也可以作为DAC的参考电压，有关电压参考缓冲（VREFBUF）部分，请参阅VREFBUF章节。

当DAC输出对内连接到芯片上的外设时，DACx\_OUT引脚可以用作通用输入/输出（GPIO）。可以选择性地启用DAC输出缓冲器以获得高驱动输出电流。

主要特性如下：

- 支持 2 个 DAC，每个 DAC 对应一个独立的 DAC 转换器
- 支持 8 位或 12 位输出，数据在 12 位模式下分右对齐和左对齐两种模式
- 双 DAC 支持同步或者独立转换
- 每个 DAC 均支持 DMA 功能，并支持 DMA 下溢错误检测
- DMA 双数据模式可节省总线带宽
- 噪声波、三角波形、锯齿波生成
- 缓冲器偏移校准
- 输入参考电压支持  $V_{REF+}$  和内置 VREFBUF
- 外部事件触发转换

## 2.20 电压参考缓冲器（VREFBUF）

该芯片内置了电压参考缓冲器，可用作 ADC、12bit-DAC 的电压参考，也可通过 VREF+ 引脚用作外部组件的电压参考。

## 2.21 循环冗余校验计算单元(CRC)

该模块集成了 CRC32 和 CRC16 的功能，循环冗余校验（CRC）计算单元根据固定的生成多项式得到任意 CRC 计算结果。在其他应用中，CRC 技术主要用于验证数据传输或数据存储的正确性和完整性。EN/IEC 60335-1 提供了一种验证闪存完整性的方法。CRC 计算单元可以在程序运行时计算出软件的标识符，然后与连接时产生的参考标识符进行比较，然后存储在指定的内存空间中。

CRC32 主要特性如下：

- CRC32 ( $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ )
- 32 位待校验数据和 32 位输出校验码
- CRC 计算时间：1 个 AHB 时钟周期（HCLK）
- 通用 8 位寄存器（可用于存放临时数据）
- 循环冗余计算初始值可配置

CRC16 主要特性如下：

- CRC16( $X^{16} + X^{15} + X^2 + 1$ )
- 8 位待校验数据和 16 位输出校验码
- CRC 计算时间：1 个 AHB 时钟周期（HCLK）
- 可配置校验初始值，可配置待校验数据的大小端
- 支持 8bit LRC 校验值生成
- ◆ 循环冗余计算初始值可配置

## 2.22 密码算法硬件加速引擎(SAC)

内嵌算法硬件加速引擎，支持多种国际算法及国家密码对称密码算法和杂凑密码算法加速，相较于纯软件算法而言能极大的提高加解密速度。

硬件支持的算法如下：

- 支持 DES 对称算法
  - ◇ 支持 DES 和 3DES 加解密运算
  - ◇ TDES 支持 2KEY 和 3KEY 模式
  - ◇ 支持 CBC 和 ECB 模式
- 支持 AES 对称算法
  - ◇ 支持 128bit/192bit/ 256bit 密钥长度
  - ◇ 支持 CBC、ECB、CTR 模式
- 支持 SM4 对称算法
  - ◇ 支持 CBC、ECB 模式
- 支持 SHA 杂凑算法
  - ◇ 支持 SHA1/SHA224/SHA256
- 支持 MD5 摘要算法
- 支持 SM3 杂凑算法
- 支持随机数生成

注：SAC 模块工作时钟最高120MHz。

## 2.23 唯一设备序列号(UID)

N32H493系列产品内置两个不同长度的唯一设备序列号，分别为96位的UID(Unique device ID)和128位的UCID(Unique Customer ID)，这两个设备序列号存放在闪存存储器的系统配置块中，它们所包含的信息在出厂时编写，并保证对任意一个MCU微控制器在任何情况下都是唯一的，用户应用程序或外部设备可以通过CPU或SWD接口读取，不可被修改。

UID为96位，通常用来作为序列号或作为密码，在编写闪存时，将此唯一标识与软件加解密算法相结合，进一步提高代码在闪存存储器内的安全性，也可用于激活带安全功能的自举程序(Secure Bootloader)。

UCID为128位，遵守国民技术芯片序列号定义，它包含芯片生产及版本相关信息。

## 2.24 串行单线JTAG调试口(SWJ-DP)

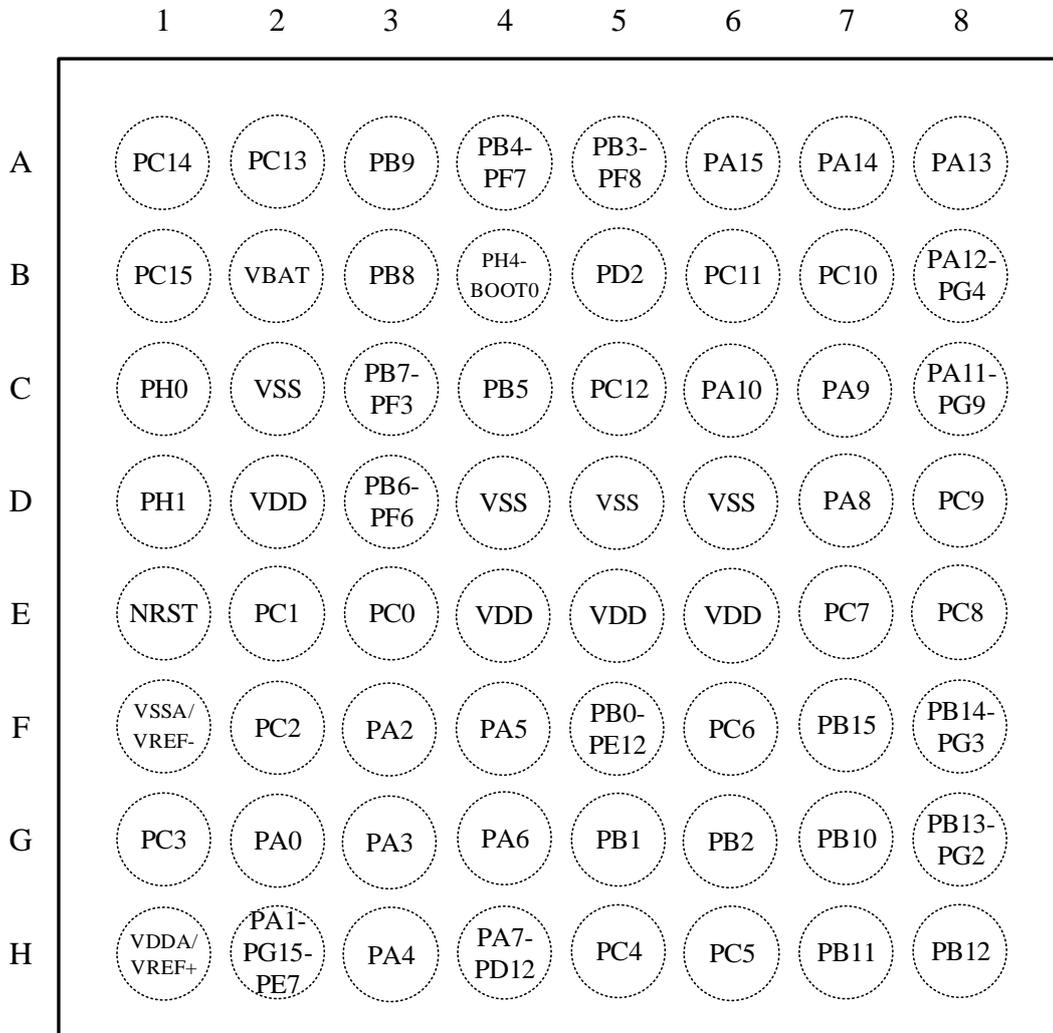
内嵌ARM的SWJ-DP接口，结合了JTAG和串行单线调试的接口，可以实现串行单线调试接口或JTAG接口的连接。JTAG的JTMS和JTCK信号分别与SWDIO和SWCLK共用引脚，JTMS脚上的一个特殊的信号序列用于在JTAG-DP和SW-DP间切换。

### 3 引脚定义和描述

#### 3.1 封装示意图

##### 3.1.1 BGA64

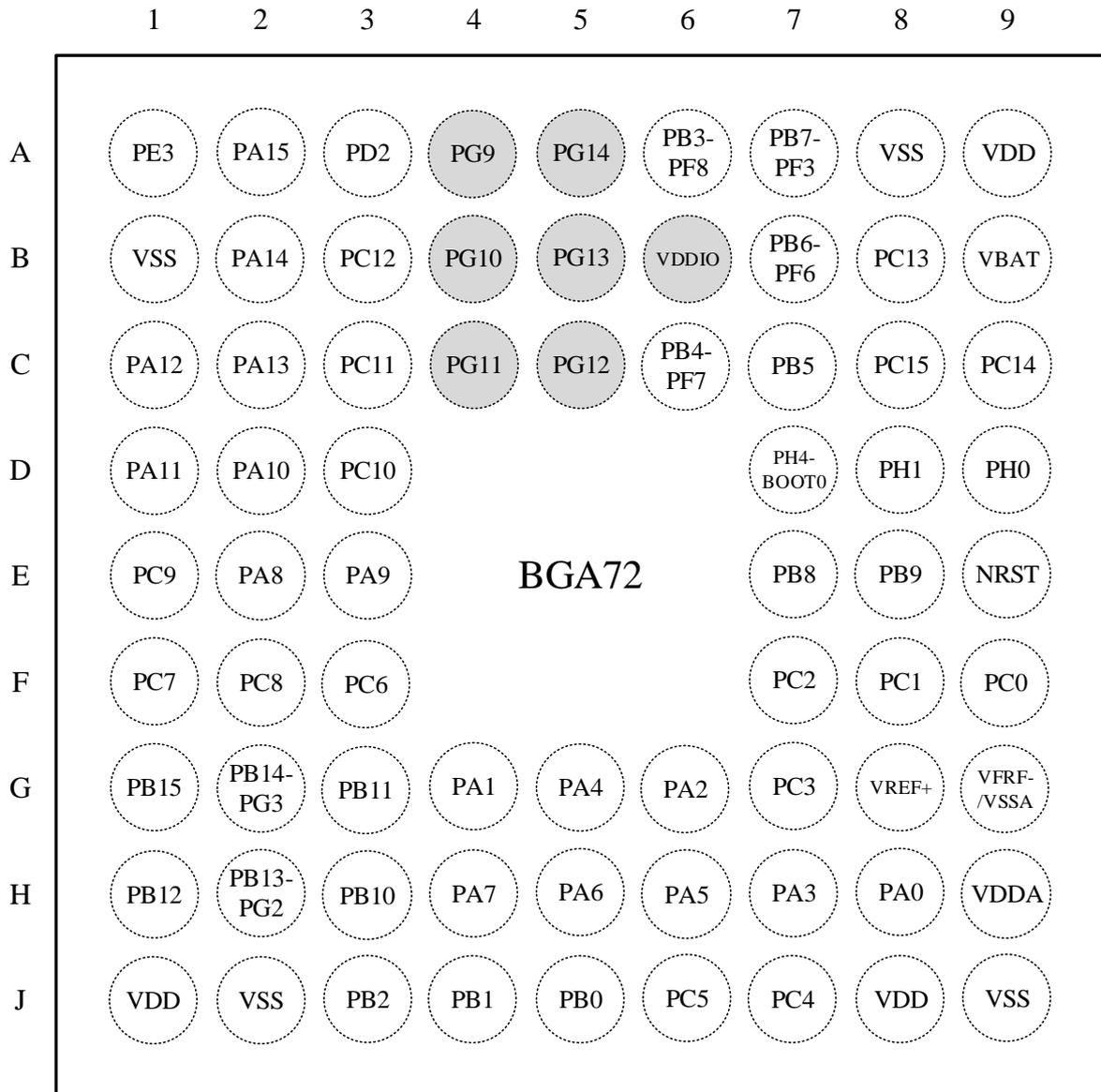
图 3-1 BGA64 引脚分布



Top view

### 3.1.2 BGA72

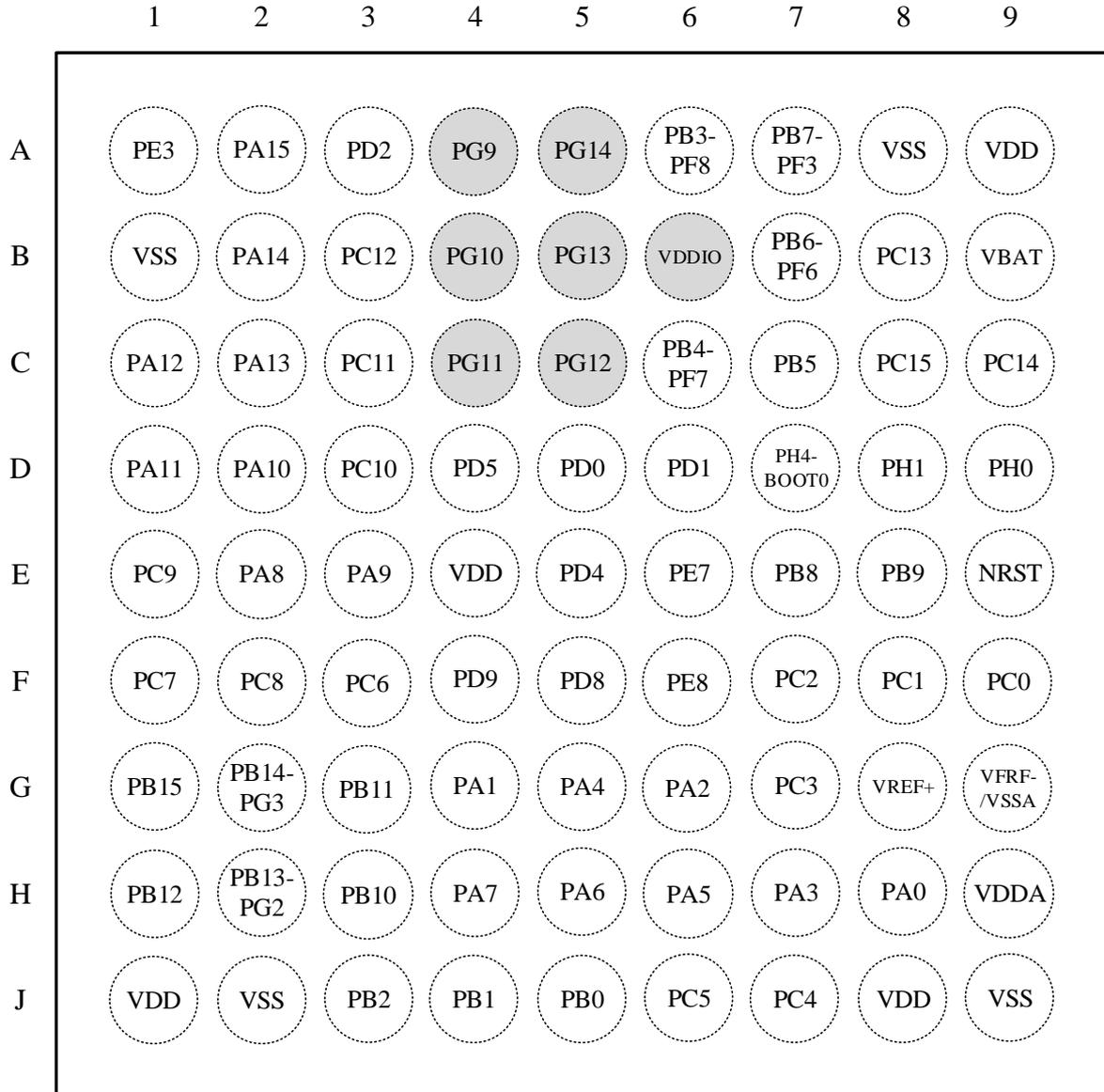
图 3-2 BGA72 引脚分布



Top view

### 3.1.3 BGA81

图 3-3 BGA81 引脚分布



Top view

### 3.2 引脚复用定义

表 3-1 管脚定义

封装			管脚名称	类型 <sup>(1)</sup>	I/O结构 <sup>(2)</sup>	Fail-safe <sup>(3)</sup> 支持	主功能 (复位后)	可选的复用功能	
BGA64	BGA72	BGA81						默认	重定义
-	A1	A1	PE3	I/O	FT	Y	PE3	GTIM2_CH2 SPI4_NSS ATIM3_CH2 GTIM8_BKIN GTIM2_CH1 EVENTOUT	-
B2	B9	B9	VBAT	S	-	-	VBAT	-	-
A2	B8	B8	PC13	I/O	FT	Y	PC13	RTC_OUT1 ATIM1_CH1N ATIM1_BKIN ATIM2_CH4N LPTIM2_ETR XSPI_RXDS ATIM3_BKIN EVENTOUT	WKUP2 RTC_TAMP1
A1	C9	C9	PC14-OSC32_IN	I/O	FT	Y	PC14-OSC32_IN	GTIM7_CH3 EVENTOUT	OSC32_IN
B1	C8	C8	PC15-OSC32_OUT	I/O	FT	Y	PC15-OSC32_OUT	GTIM7_CH4 EVENTOUT	OSC32_OUT
C2	-	-	VSS	S	-	-	VSS	-	-
D2	-	-	VDD	S	-	-	VDD	-	-
C1	D9	D9	PH0-OSC_IN	I/O	FT	Y	PH0-OSC_IN	I2C2_SDA SPI2_NSS ATIM1_CH3N GTIM5_CH3 ATIM3_CH1N XSPI_IO4 EVENTOUT	OSC_IN
D1	D8	D8	PH1-OSC_OUT	I/O	FT	Y	PH1-OSC_OUT	I2C2_SCL SPI2_SCK GTIM5_CH4 ATIM3_CH2N XSPI_NSS0 EVENTOUT	OSC_OUT
E1	E9	E9	NRST	I/O	RST	Y	NRST	-	-
E3	F9	F9	PC0	I/O	FTa	Y	PC0	LPTIM1_IN1 ATIM1_CH1 I2C3_SCL XSPI_RXDS GTIM10_CH1 XSPI_IO7 GTIM9_BKIN EVENTOUT	ADC123_IN10
E2	F8	F8	PC1	I/O	FTa	Y	PC1	LPTIM1_OUT ATIM1_CH2 XSPI_IO4	ADC123_IN11

封装			管脚名称	类型 <sup>(1)</sup>	I/O结构 <sup>(2)</sup>	Fail-safe <sup>(3)</sup> 支持	主功能 (复位后)	可选的复用功能	
BGA64	BGA72	BGA81						默认	重定义
								SPI3_MOSI SPI2_MOSI I2C3_SDA GTIM10_CH2 EVENTOUT	
F2	F7	F7	PC2	I/O	FTa	Y	PC2	SPI2_MISO LPTIM1_IN2 ATIM1_CH3 ATIM3_CH2 XSPI_IO5 SPI3_NSS GTIM10_CH3 XSPI_IO2 GTIM3_CH4 GTIM10_CH1 EVENTOUT	ADC123_IN12
G1	G7	G7	PC3	I/O	FTa	Y	PC3	SPI2_MOSI LPTIM1_ETR ATIM1_CH4 ATIM1_BKIN2 XSPI_IO6 SPI3_SCK GTIM10_CH4 XSPI_IO0 LPTIM2_ETR EVENTOUT	ADC123_IN13
F1	G9	G9	VSSA	S	-	-	VSSA	-	-
F1	G9	G9	VREF-	S	-	-	VREF-	-	-
H1	G8	G8	VREF+	S	-	-	VREF+	-	-
H1	H9	H9	VDDA	S	-	-	VDDA	-	-
G2	H8	H8	PA0-WKUP1	I/O	FTa	Y	PA0-WKUP1	GTIM1_CH1_ETR GTIM4_CH1 ATIM2_ETR ATIM2_BKIN SPI3_MISO ATIM3_CH3N SPI6_NSS GTIM8_BKIN EVENTOUT	ADC123_IN0 WKUP1 RTC_TAMP2
H2	G4	G4	PA1	I/O	FTa	Y	PA1	GTIM4_CH2 GTIM1_CH2 RTC_REFIN GTIM8_CH1N SPI4_MOSI SPI3_MOSI SPI6_SCK ATIM3_CH4N XSPI_IO3 XSPI_RXDS EVENTOUT	ADC123_IN1

封装			管脚名称	类型 <sup>(1)</sup>	I/O结构 <sup>(2)</sup>	Fail-safe <sup>(3)</sup> 支持	主功能 (复位后)	可选的复用功能	
BGA64	BGA72	BGA81						默认	重定义
H2	-	-	PE7	I/O	FT	Y	PE7	ATIM1_ETR SPI1_SCK GTIM4_CH2 GTIM9_CH4 XSPI_IO4 EVENTOUT	-
H2	-	-	PG15	I/O	FT	Y	PG15	GTIM6_CH4 I2C1_SDA SPI6_NSS ATIM2_CH4N XSPI_NSS1 I2C1_SMBA I2C4_SDA LPTIM1_OUT EVENTOUT	-
F3	G6	G6	PA2	I/O	FTa	Y	PA2	GTIM4_CH3 GTIM5_CH1 GTIM1_CH3 GTIM8_CH1_ETR XSPI_NSS0 SPI6_NSS LPTIM1_IN2 EVENTOUT	ADC123_IN2 WKUP3 LSCO
G3	H7	H7	PA3	I/O	FTa	Y	PA3	GTIM4_CH4 GTIM5_CH2 GTIM1_CH4 GTIM8_CH2 XSPI_CLK MCO2 EVENTOUT	ADC123_IN3
D4	J9	J9	VSS	S	-	-	VSS	-	-
E4	J8	J8	VDD	S	-	-	VDD	-	-
H3	G5	G5	PA4	I/O	TTa	Y	PA4	SPI1_NSS SPI3_NSS GTIM2_CH2 XSPI_NSS1 I2C2_SCL SPI6_MISO GTIM7_CH1 LPTIM2_IN2 SPI6_NSS EVENTOUT	ADC12_IN4 DAC1_OUT
F4	H6	H6	PA5	I/O	TTa	Y	PA5	SPI1_SCK GTIM1_CH1_ETR ATIM2_CH1N XSPI_CLK I2C2_SDA SPI6_MOSI XSPI_IO0 GTIM7_CH2 SPI6_SCK LPTIM2_ETR EVENTOUT	ADC12_IN5 DAC2_OUT

封装			管脚名称	类型 <sup>(1)</sup>	I/O结构 <sup>(2)</sup>	Fail-safe <sup>(3)</sup> 支持	主功能 (复位后)	可选的复用功能	
BGA64	BGA72	BGA81						默认	重定义
G4	H5	H5	PA6	I/O	FTa	Y	PA6	SPI1_MISO ATIM2_BKIN GTIM9_CH1 GTIM2_CH1 ATIM1_BKIN XSPI_IO3 XSPI_IO0 SPI6_MISO GTIM6_CH1 EVENTOUT	ADC12_IN6
H4	H4	H4	PA7	I/O	FTa	Y	PA7	SPI1_MOSI ATIM2_CH1N GTIM7_CH1 GTIM2_CH2 ATIM1_CH1N GTIM10_CH1 XSPI_IO2 XSPI_IO1 MCO1 GTIM9_CH2 SPI6_MOSI EVENTOUT	ADC12_IN7
H4	-	-	PD12	I/O	FT	Y	PD12	GTIM3_CH1 SPI3_MOSI GTIM6_CH1 I2C4_SCL I2C3_SCL XSPI_IO1 LPTIM1_IN1 LPTIM2_IN1 EVENTOUT	-
H5	J7	J7	PC4	I/O	FTa	Y	PC4	ATIM1_ETR I2C2_SCL XSPI_IO7 XSPI_IO2 I2C3_SCL LPTIM2_OUT ATIM3_CH3N GTIM1_CH4 EVENTOUT	ADC12_IN14
H6	J6	J6	PC5	I/O	FTa	Y	PC5	GTIM8_BKIN ATIM1_CH4N XSPI_IO3 I2C3_SDA GTIM5_ETR XSPI_RXDS EVENTOUT	ADC12_IN15 WKUP4
F5	J5	J5	PB0	I/O	FTa	Y	PB0	GTIM2_CH3 ATIM2_CH2N ATIM1_CH2N XSPI_IO1 SPI5_SCK SPI3_MOSI EVENTOUT	ADC12_IN8

封装			管脚名称	类型 <sup>(1)</sup>	I/O结构 <sup>(2)</sup>	Fail-safe <sup>(3)</sup> 支持	主功能 (复位后)	可选的复用功能	
BGA64	BGA72	BGA81						默认	重定义
F5	-	-	PE12	I/O	FT	Y	PE12	ATIM1_CH3N SPI4_SCK XSPI_IO0 SPI2_MISO GTIM7_CH4 SPI1_NSS SPI5_SCK EVENTOUT	-
G5	J4	J4	PB1	I/O	FTa	Y	PB1	GTIM2_CH4 ATIM2_CH3N ATIM1_CH3N XSPI_IO0 SPI5_NSS LPTIM2_IN1 EVENTOUT	ADC12_IN9
G6	J3	J3	PB2	I/O	FTa	Y	PB2	RTC_OUT2 LPTIM1_OUT GTIM4_CH1 ATIM3_CH1 I2C3_SMBA XSPI_IO5 GTIM1_CH4 SPI3_MOSI SPI1_NSS GTIM6_ETR EVENTOUT	ADC3_IN16
D5	J2	J2	VSS	S	-	-	VSS	-	-
E5	J1	J1	VDD	S	-	-	VDD	-	-
-	-	E6	PE7	I/O	FT	Y	PE7	ATIM1_ETR SPI1_SCK GTIM4_CH2 GTIM9_CH4 XSPI_IO4 EVENTOUT	-
-	-	F6	PE8	I/O	FT	Y	PE8	ATIM1_CH1N GTIM4_CH3 SPI1_MISO XSPI_IO5 EVENTOUT	-
G7	H3	H3	PB10	I/O	FTa	Y	PB10	SPI2_SCK I2C2_SCL GTIM1_CH3 XSPI_CLK ATIM1_BKIN ATIM3_CH2 XSPI_NSS1 EVENTOUT	ADC3_IN17
H7	G3	G3	PB11	I/O	FTa	Y	PB11	I2C2_SDA GTIM1_CH4 XSPI_NSS0 ATIM3_CH3 EVENTOUT	ADC2_IN16
H8	H1	H1	PB12	I/O	FT	Y	PB12	SPI2_NSS	-

封装			管脚名称	类型 <sup>(1)</sup>	I/O结构 <sup>(2)</sup>	Fail-safe <sup>(3)</sup> 支持	主功能 (复位后)	可选的复用功能	
BGA64	BGA72	BGA81						默认	重定义
								I2C2_SMBA ATIM1_BKIN GTIM4_ETR SPI4_NSS GTIM9_CH3 ATIM3_CH4 XSPI_CLK I2C2_SDA EVENTOUT	
G8	H2	H2	PB13	I/O	FT	Y	PB13	SPI2_SCK ATIM1_CH1N SPI4_SCK ATIM1_CH2 GTIM10_CH2 GTIM9_CH4 I2C2_SMBA EVENTOUT	-
G8	H2	H2	PG2	I/O	FT	Y	PG2	ATIM3_CH3N SPI1_SCK I2C2_SCL GTIM5_ETR ATIM2_BKIN ATIM3_CH4 EVENTOUT	-
F8	G2	G2	PB14	I/O	FT	Y	PB14	SPI2_MISO ATIM1_CH2N GTIM8_CH1 ATIM2_CH2N GTIM9_CH2 GTIM5_CH1 EVENTOUT	-
F8	G2	G2	PG3	I/O	FT	Y	PG3	ATIM3_BKIN I2C4_SCL SPI1_MISO ATIM3_CH4N I2C2_SDA ATIM2_BKIN2 SDRAM_A10 GTIM8_CH3 EVENTOUT	-
F7	G1	G1	PB15	I/O	FT	Y	PB15	RTC_REFIN SPI2_MOSI ATIM1_CH3N ATIM2_CH3N GTIM8_CH2 GTIM8_CH1N ATIM2_CH4 XSPI_CLK EVENTOUT	-
-	-	F5	PD8	I/O	FT	Y	PD8	SPI3_NSS ATIM1_CH3 GTIM10_CH1 EVENTOUT	-
-	-	F4	PD9	I/O	FT	Y	PD9	SPI3_SCK	-

封装			管脚名称	类型 <sup>(1)</sup>	I/O结构 <sup>(2)</sup>	Fail-safe <sup>(3)</sup> 支持	主功能 (复位后)	可选的复用功能	
BGA64	BGA72	BGA81						默认	重定义
								ATIM1_CH3N GTIM9_CH3 GTIM7_ETR GTIM10_CH2 EVENTOUT	
-	-	E4	VDD	S	-	-	VDD	-	-
F6	F3	F3	PC6	I/O	FT	Y	PC6	ATIM2_CH1 GTIM2_CH1 I2C4_SCL SPI2_NSS ATIM2_CH2 XSPI_IO5 EVENTOUT	-
E7	F1	F1	PC7	I/O	FT	Y	PC7	ATIM2_CH2 GTIM2_CH2 I2C4_SDA SPI2_SCK ATIM2_CH2N GTIM8_CH2 XSPI_IO6 EVENTOUT	-
E8	F2	F2	PC8	I/O	FT	Y	PC8	ATIM2_CH3 GTIM2_CH3 ATIM3_CH3 I2C3_SCL SPI2_MISO EVENTOUT	-
D8	E1	E1	PC9	I/O	FT	Y	PC9	MCO2 ATIM2_CH4 I2C3_SDA GTIM2_CH4 ATIM2_BKIN2 SPI2_MOSI ATIM2_CH3N GTIM8_CH3 XSPI_IO0 EVENTOUT	-
D7	E2	E2	PA8	I/O	FT	Y	PA8	MCO1 ATIM1_CH1 I2C3_SCL I2C2_SDA I2C2_SMBA GTIM3_ETR ATIM2_BKIN2 LPTIM2_OUT EVENTOUT	-
C7	E3	E3	PA9	I/O	FT	Y	PA9	ATIM1_CH2 I2C3_SMBA I2C2_SCL GTIM8_BKIN GTIM1_CH3 SPI2_SCK I2C4_SCL I2C1_SCL	-

封装			管脚名称	类型 <sup>(1)</sup>	I/O结构 <sup>(2)</sup>	Fail-safe <sup>(3)</sup> 支持	主功能 (复位后)	可选的复用功能	
BGA64	BGA72	BGA81						默认	重定义
								EVENTOUT	
C6	D2	D2	PA10	I/O	FT	Y	PA10	ATIM1_CH3 GTIM10_BKIN I2C2_SMBA SPI2_MISO SPI5_MOSI GTIM1_CH4 ATIM2_BKIN I2C2_SDA I2C4_SDA EVENTOUT	PVD_IN
C8	D1	D1	PA11	I/O	FT	Y	PA11	ATIM1_CH4 SPI2_MOSI ATIM1_CH1N GTIM3_CH1 ATIM1_BKIN2 SPI4_MISO ATIM2_CH3N SPI2_NSS EVENTOUT	-
C8	-	-	PG9	I/O	FT	Y	PG9	SPI3_SCK GTIM8_CH1N SPI2_MOSI GTIM6_CH2 SPI2_MISO SPI1_MISO XSPI_IO6 XSPI_IO5 I2C1_SMBA I2C4_SMBA EVENTOUT	-
B8	C1	C1	PA12	I/O	FT	Y	PA12	ATIM1_ETR GTIM9_CH1 ATIM1_CH2N GTIM3_CH2 SPI4_MOSI SPI2_NSS ATIM2_BKIN SPI2_SCK EVENTOUT	-
B8	-	-	PG4	I/O	FT	Y	PG4	ATIM3_BKIN2 I2C4_SDA SPI1_MOSI GTIM6_ETR ATIM1_BKIN2 GTIM8_CH4 EVENTOUT	-
A8	C2	C2	PA13	I/O	FT	Y	PA13	JTMS-SWDIO GTIM9_CH1N I2C4_SCL I2C1_SCL GTIM3_CH3 GTIM8_CH3 EVENTOUT	IR-OUT

封装			管脚名称	类型 <sup>(1)</sup>	I/O结构 <sup>(2)</sup>	Fail-safe <sup>(3)</sup> 支持	主功能 (复位后)	可选的复用功能	
BGA64	BGA72	BGA81						默认	重定义
-	B1	B1	VSS	S	-	-	VSS	-	-
A7	B2	B2	PA14	I/O	FT	Y	PA14	JTCK-SWCLK LPTIM1_OUT I2C4_SMBA I2C1_SDA ATIM2_CH2 ATIM1_BKIN GTIM8_CH4 EVENTOUT	-
A6	A2	A2	PA15	I/O	FT	Y	PA15	JTDI SPI3_NSS GTIM1_CH1_ETR SPI1_NSS ATIM2_CH1 I2C1_SCL ATIM1_BKIN ATIM2_CH1N ATIM3_ETR EVENTOUT	-
B7	D3	D3	PC10	I/O	FT	Y	PC10	SPI3_SCK ATIM2_CH1N XSPI_NSS1 GTIM9_CH4 XSPI_IO1 EVENTOUT	-
B6	C3	C3	PC11	I/O	FT	Y	PC11	SPI3_MISO ATIM2_CH2N I2C3_SDA XSPI_CLK GTIM10_ETR ATIM3_CH2 XSPI_NSS0 EVENTOUT	-
C5	B3	B3	PC12	I/O	FT	Y	PC12	SPI3_MOSI GTIM4_CH2 ATIM2_CH3N I2C2_SDA XSPI_IO0 ATIM2_CH2N ATIM3_CH3 SPI6_SCK GTIM8_CH1 EVENTOUT	-
-	-	D5	PD0	I/O	FT	Y	PD0	ATIM2_CH4N SPI4_MISO SPI3_MOSI XSPI_IO1 ATIM3_CH4 SPI2_NSS I2C1_SCL EVENTOUT	-

封装			管脚名称	类型 <sup>(1)</sup>	I/O结构 <sup>(2)</sup>	Fail-safe <sup>(3)</sup> 支持	主功能 (复位后)	可选的复用功能	
BGA64	BGA72	BGA81						默认	重定义
-	-	D6	PD1	I/O	FT	Y	PD1	ATIM2_CH4 ATIM2_BKIN2 SPI2_NSS XSPI_IO2 I2C1_SDA SPI2_SCK EVENTOUT	-
B5	A3	A3	PD2	I/O	FT	Y	PD2	GTIM2_ETR ATIM2_BKIN SPI3_NSS XSPI_IO3 ATIM2_CH3N SPI2_MOSI ATIM1_CH4 ATIM2_CH4N ATIM3_CH4 GTIM5_CH2 GTIM8_BKIN EVENTOUT	WKUP5
-	-	E5	PD4	I/O	FT	Y	PD4	GTIM1_CH2 XSPI_IO4 SPI2_MOSI EVENTOUT	-
-	-	D4	PD5	I/O	FT	Y	PD5	XSPI_IO5 GTIM6_CH1 ATIM1_CH4N EVENTOUT	-
-	B6	B6	VDDIO	S	-	-	VDDIO <sup>(6)</sup>	-	-
-	A4	A4	PG9	I/O	FT	Y	PG9	SPI3_SCK GTIM8_CH1N SPI2_MOSI GTIM6_CH2 SPI2_MISO SPI1_MISO XSPI_IO6 XSPI_IO5 I2C1_SMBA I2C4_SMBA EVENTOUT	-
-	B4	B4	PG10	I/O	FT	Y	PG10	XSPI_IO2 GTIM7_CH1 SPI1_NSS SPI3_MISO LPTIM1_IN1 GTIM8_CH1 I2C4_SCL ATIM1_CH4N EVENTOUT	-

封装			管脚名称	类型 <sup>(1)</sup>	I/O结构 <sup>(2)</sup>	Fail-safe <sup>(3)</sup> 支持	主功能 (复位后)	可选的复用功能	
BGA64	BGA72	BGA81						默认	重定义
-	C4	C4	PG11	I/O	FT	Y	PG11	XSPI_IO3 SPI4_SCK GTIM7_CH2 SPI1_SCK SPI3_MOSI LPTIM1_IN2 GTIM8_CH2 I2C4_SDA EVENTOUT	-
-	C5	C5	PG12	I/O	FT	Y	PG12	XSPI_IO1 SPI4_MISO GTIM7_CH3 SPI6_MISO SPI3_NSS LPTIM1_ETR LPTIM1_IN1 EVENTOUT	-
-	B5	B5	PG13	I/O	FT	Y	PG13	XSPI_CLK SPI4_MOSI GTIM7_CH4 SPI6_SCK I2C1_SDA LPTIM1_IN2 EVENTOUT	-
-	A5	A5	PG14	I/O	FT	Y	PG14	XSPI_IO0 SPI4_NSS SPI2_MISO I2C1_SCL GTIM6_CH3 ATIM2_CH4 SPI6_MOSI XSPI_IO7 LPTIM1_ETR LPTIM1_IN1 EVENTOUT	-
A5	A6	A6	PB3	I/O	FT	Y	PB3	JTDO SPI3_SCK GTIM1_CH2 SPI1_SCK GTIM3_ETR ATIM2_CH1N GTIM2_ETR I2C2_SDA ATIM2_BKIN EVENTOUT	-
A5	A6	A6	PF8	I/O	FTa	Y	PF8	GTIM9_CH1 ATIM3_BKIN2 GTIM4_CH3 XSPI_IO0 SPI5_MISO GTIM9_CH1N GTIM6_CH1 ATIM2_CH1N ATIM2_CH2	ADC3_IN6

封装			管脚名称	类型 <sup>(1)</sup>	I/O结构 <sup>(2)</sup>	Fail-safe <sup>(3)</sup> 支持	主功能 (复位后)	可选的复用功能	
BGA64	BGA72	BGA81						默认	重定义
								EVENTOUT	
A4	C6	C6	PB4	I/O	FT	Y	PB4	NJTRST SPI3_MISO GTIM2_CH1 SPI1_MISO GTIM9_CH1_ETR ATIM2_CH2N GTIM10_BKIN I2C3_SDA ATIM2_ETR LPTIM2_IN1 XSPI_CLK EVENTOUT	-
A4	C6	C6	PF7	I/O	FTa	Y	PF7	GTIM7_CH1 ATIM3_BKIN GTIM4_CH2 XSPI_IO2 SPI5_SCK GTIM8_ETR GTIM10_CH1 EVENTOUT	ADC3_IN5
C4	C7	C7	PB5	I/O	FT	Y	PB5	I2C1_SMBA GTIM2_CH2 SPI1_MOSI SPI3_MOSI GTIM9_BKIN ATIM2_CH3N I2C3_SDA GTIM10_CH1 LPTIM1_IN1 EVENTOUT	-
D3	B7	B7	PB6	I/O	FT	Y	PB6	I2C1_SCL GTIM3_CH1 GTIM9_CH1N ATIM2_CH1 ATIM2_ETR ATIM2_BKIN2 LPTIM1_ETR ATIM3_CH1N I2C4_SCL EVENTOUT	-
D3	B7	B7	PF6	I/O	FTa	Y	PF6	GTIM6_CH1 GTIM4_ETR GTIM3_CH4 I2C2_SCL GTIM4_CH1 XSPI_IO3 SPI5_NSS ATIM1_BKIN2 GTIM9_CH1 EVENTOUT	ADC3_IN4

封装			管脚名称	类型 <sup>(1)</sup>	I/O结构 <sup>(2)</sup>	Fail-safe <sup>(3)</sup> 支持	主功能 (复位后)	可选的复用功能	
BGA64	BGA72	BGA81						默认	重定义
C3	A7	A7	PB7	I/O	FT	Y	PB7	I2C1_SDA GTIM3_CH2 GTIM10_CH1N ATIM2_BKIN GTIM2_CH4 I2C4_SDA LPTIM1_IN2 ATIM3_CH2N EVENTOUT	PVD_IN
C3	A7	A7	PF3	I/O	FTa	Y	PF3	ATIM3_CH4 I2C3_SCL XSPI_IO1 ATIM2_CH3N ATIM2_CH4  EVENTOUT	ADC3_IN9
B4	D7	D7	PH4-BOOT0	I/O	FT	Y	PH4-BOOT0	GTIM4_CH1 GTIM10_CH1N XSPI_IO4 EVENTOUT	-
B3	E7	E7	PB8	I/O	FT	Y	PB8	GTIM3_CH3 GTIM6_CH1 I2C1_SCL SPI5_MOSI GTIM9_CH1 ATIM2_CH2 ATIM1_BKIN GTIM9_CH4 ATIM3_CH3N EVENTOUT	-
A3	E8	E8	PB9	I/O	FT	Y	PB9	SPI2_NSS GTIM3_CH4 GTIM7_CH1 I2C1_SDA GTIM10_CH1 ATIM2_CH3 ATIM1_CH3N ATIM3_CH4N EVENTOUT	IR-OUT
D6	A8	A8	VSS	S	-	-	VSS	-	-
E6	A9	A9	VDD	S	-	-	VDD	-	-

1. I = 输入, O = 输出, S = 电源。
2. FT: 容忍5V; FTa: 容忍5V, 支持模拟外设; TTa: 容忍3.3V, 支持模拟外设。
3. Fail-safe指当芯片没有电源输入时, 在IO上加输入高电平, 不会存在输入高电平灌入芯片, 从而导致电源上有一定电压, 并消耗电流的现象。
4. USART3、UART5、UART8的RTS\_DE、TX和RX信号可以在任意IO映射。
5. BGA81和BGA72封装PG9~PG14可以支持通过VDDIO输入供电工作, 支持1.8~3.6V输入。

注: 表中的引脚名称标注中出现的ADC12\_INx, 表示这个引脚可以是ADC1\_INx或ADC2\_INx。例如: ADC12\_IN9表示这个引脚可以配置为ADC1\_IN9, 也可以配置为ADC2\_IN9。

表中的引脚PA0 对应的复用功能中的GTIM1\_CH1\_ETR，表示可以配置该功能为GTIM1\_T11 或GTIM1\_ETR。同理，PA15对应的重映射复用功能的名称GTIM1\_CH1\_ETR，具有相同的意义。

表中FT的端口，需要确保IO电压与电源电压压差小于3.6V。

## 4 电气特性

### 4.1 测试条件

除非特别说明，所有电压的都以 $V_{SS}$ 为基准。

#### 4.1.1 最小和最大数值

Beta版本最小和最大值是基于设计仿真得出。

在每个表格下方的注解中说明为通过综合评估、设计仿真和/或工艺特性得到的数据，不会在生产线上进行测试；在综合评估的基础上，最小和最大值是通过样本测试后，取其平均值再加减三倍的标准分布(平均 $\pm 3\sigma$ )得到。

#### 4.1.2 典型数值

除非特别说明，典型数据是基于 $T_A=25\text{ }^\circ\text{C}$ 和 $V_{DD}=3.3\text{V}$ ( $1.8\text{V} \leq V_{DD} \leq 3.6\text{V}$ 电压范围)。这些数据仅用于设计指导而未经测试。

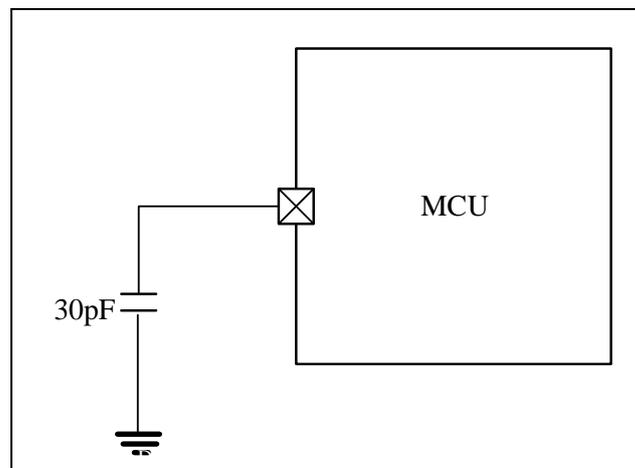
#### 4.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

#### 4.1.4 负载电容

测量引脚参数时的负载条件示于图 4-1中。

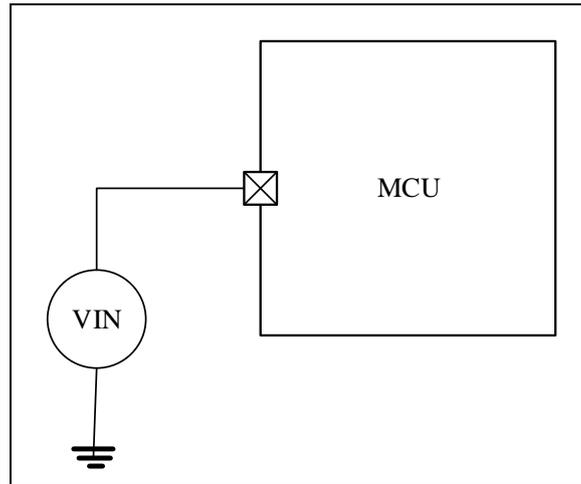
图 4-1 引脚的负载条件



#### 4.1.5 引脚输入电压

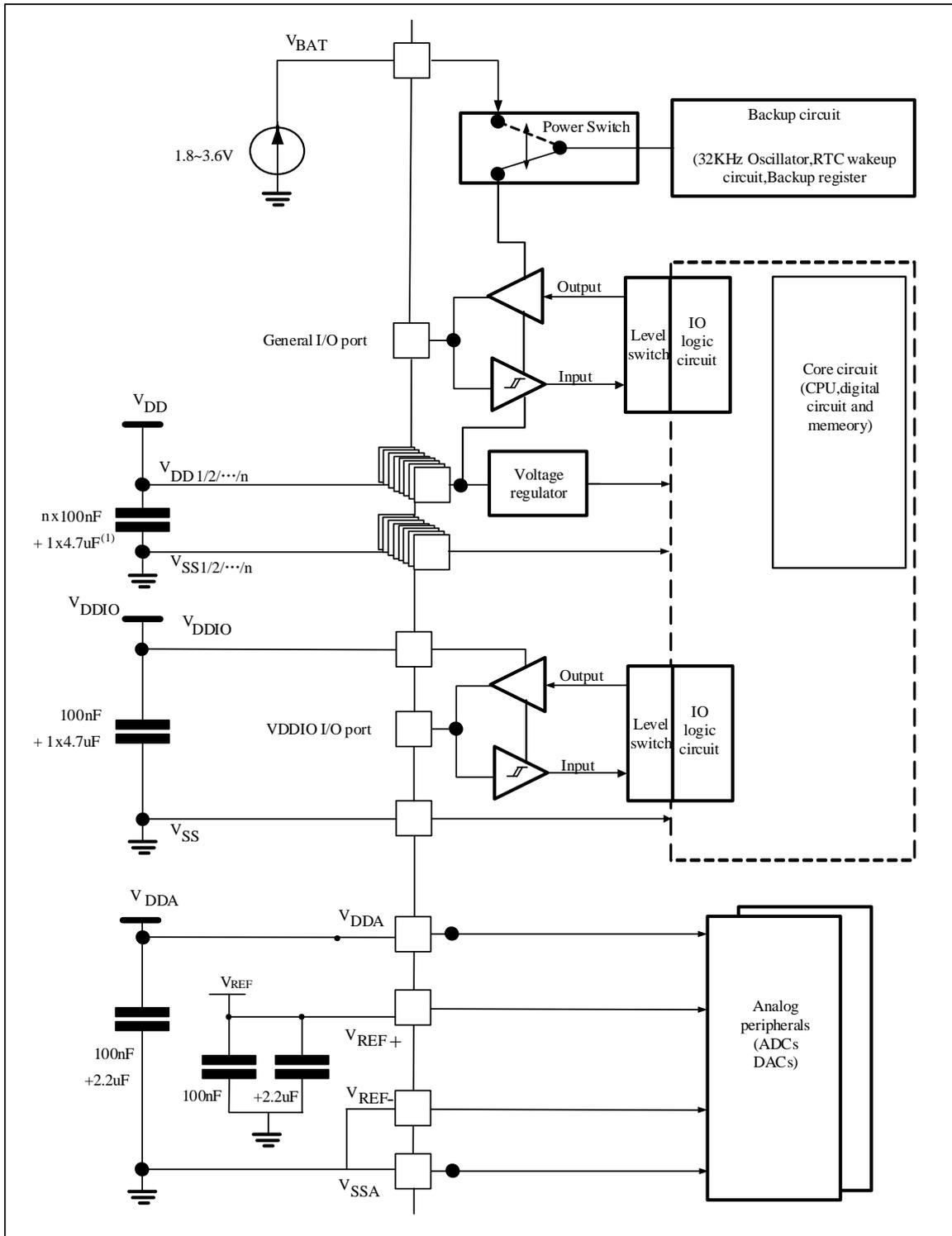
引脚上输入电压的测量方式示于图 4-2中。

图 4-2 引脚输入电压



### 4.1.6 供电方案

图 4-3 供电方案

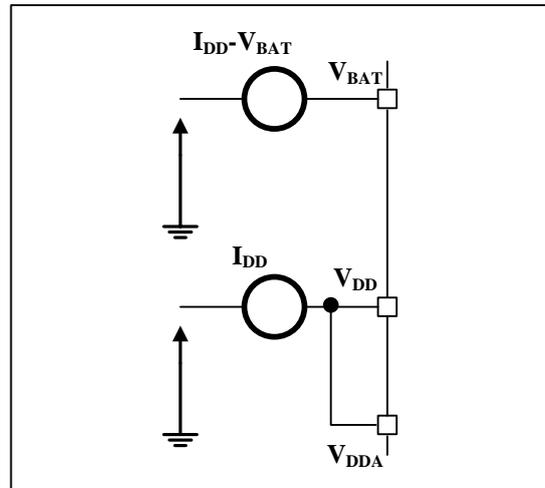


注:

1. 上图中的4.7 $\mu$ F 电容必须连接到指定V<sub>DD</sub>。
2. BGA81 和BGA72封装，支持VDDIO独立供电的IO为PG9~PG14。

## 4.1.7 电流消耗测量

图 4-4 电流消耗测量方案



## 4.2 绝对最大额定值

加在器件上的载荷如果超过“绝对最大额定值”列表(表 4-1、表 4-2、表 4-3)中给出的值,可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷,并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 4-1 电压特性

符号	描述	最小值	最大值	单位
$V_{DD} - V_{SS}$	外部主供电电压(包含 $V_{DDA}$ 和 $V_{DD}$ ) <sup>(1)</sup>	-0.3	4.0	V
$V_{IN}$	在5V容忍的引脚上的输入电压 <sup>(3)</sup>	$V_{SS}-0.3$	5.5	
	在其它引脚上的输入电压 <sup>(2)</sup>	$V_{SS}-0.3$	$V_{DD} + 0.3$	
$ \Delta V_{DDx} $	不同供电引脚之间的电压差	-	50	mV
$ V_{SSx} - V_{SS} $	不同接地引脚之间的电压差	-	50	
$V_{ESD(HBM)}$	ESD静电放电电压(人体模型)	见 4.3.11 节		

- 所有的电源( $V_{DD}$ ,  $V_{DDA}$ )和地( $V_{SS}$ ,  $V_{SSA}$ )引脚必须始终连接到外部允许范围内的供电系统上。
- $V_{IN}$ 不应超过其最大值, 电流特性参考表 4-2。
- 当5V容忍引脚输入5.5V,  $V_{DD}$ 不能低于2.25V。

表 4-2 电流特性

符号	描述	最大值 <sup>(1)</sup>	单位
$I_{VDD}$	经过 $V_{DD}/V_{DDA}$ 电源线的总电流(供应电流) <sup>(1)(4)</sup>	400	mA
$I_{VSS}$	经过 $V_{SS}$ 地线的总电流(流出电流) <sup>(1)(4)</sup>	400	
$I_{IO}$	任意I/O和控制引脚上的输出灌电流	12	
	任意I/O和控制引脚上的输出电流	-12	
$I_{INJ(PIN)}^{(2)(3)}$	NRST引脚的注入电流	-5/0	
	其他引脚的注入电流	+/-5	

- 所有的电源( $V_{DD}$ ,  $V_{DDA}$ )和地( $V_{SS}$ ,  $V_{SSA}$ )引脚必须始终连接到外部允许范围内的供电系统上。
- 当 $V_{IN} > V_{DD}$ 时, 有一个正向注入电流; 当 $V_{IN} < V_{SS}$ 时, 有一个反向注入电流。 $I_{INJ(PIN)}$ 不应超过其最大值, 电压特性参考表 4-1。
- 反向注入电流会干扰器件的模拟性能。见第4.3.19节。
- 发生最大电流时, 允许 $V_{DD}$ 最大的压降为 $0.1V_{DD}$ 。

表 4-3 温度特性

符号	描述	数值	单位
T <sub>STG</sub>	储存温度范围	-65 ~ +150	°C
T <sub>J</sub>	最大结温度	125	°C

## 4.3 工作条件

### 4.3.1 通用工作条件

表 4-4 通用工作条件

符号	参数	条件	最小值	最大值	单位
f <sub>HCLK</sub>	内部 AHB 时钟频率	-	0	240	MHz
f <sub>PCLK</sub>	内部 APB1/2 时钟频率	-	0	120	
V <sub>DDA</sub>	模拟部分工作电压	必须与 V <sub>DD</sub> <sup>(1)</sup> 相同	1.8	3.6	V
V <sub>BAT</sub>	备份部分工作电压	-	1.8	3.6	V
T <sub>A</sub>	环境温度(温度标号 7)	最大功率消耗	-40	105	°C
T <sub>J</sub>	结温度范围	温度标号 7	-40	125	°C

1. 建议使用相同的电源为V<sub>DD</sub>和V<sub>DDA</sub>供电，在上电和正常操作期间，V<sub>DD</sub>和V<sub>DDA</sub>之间最多允许有300mV的差别。

### 4.3.2 上电和掉电时的工作条件

下表中给出的参数是依据表 4-4列出的环境温度下测试得出。

表 4-5 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t <sub>VDD</sub>	V <sub>DD</sub> 上升速率	-	20	∞	μs/V
	V <sub>DD</sub> 下降速率		80	∞	

### 4.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表 4-4列出的环境温度下和V<sub>DD</sub>供电电压下测试得出。

表 4-6 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V <sub>PVD</sub>	可编程的电压检测器的电平选择 (PWR_CTRL 的 MSB 为 0)	PRS[2:0]=000 (上升沿)	-	2.18	-	V
		PRS[2:0]=000 (下降沿)	-	2.08	-	V
		PRS[2:0]=001 (上升沿)	-	2.28	-	V
		PRS[2:0]=001 (下降沿)	-	2.18	-	V
		PRS[2:0]=010 (上升沿)	-	2.38	-	V
		PRS[2:0]=010 (下降沿)	-	2.28	-	V
		PRS[2:0]=011 (上升沿)	-	2.48	-	V
		PRS[2:0]=011 (下降沿)	-	2.38	-	V
		PRS[2:0]=100 (上升沿)	-	2.58	-	V
PRS[2:0]=100 (下降沿)	-	2.48	-	V		

		PRS[2:0]=101 (上升沿)	-	2.68	-	V
		PRS[2:0]=101 (下降沿)	-	2.58	-	V
		PRS[2:0]=110 (上升沿)	-	2.78	-	V
		PRS[2:0]=110 (下降沿)	-	2.68	-	V
		PRS[2:0]=111 (上升沿)	-	2.88	-	V
		PRS[2:0]=111 (下降沿)	-	2.78	-	V
	可编程的电压检测器的电平选择 (PWR_CTRL 的 MSB 为 1)	PRS[2:0]=000 (上升沿)	-	1.78	-	V
		PRS[2:0]=000 (下降沿)	-	1.68	-	V
		PRS[2:0]=001 (上升沿)	-	1.88	-	V
		PRS[2:0]=001 (下降沿)	-	1.78	-	V
		PRS[2:0]=010 (上升沿)	-	1.98	-	V
		PRS[2:0]=010 (下降沿)	-	1.88	-	V
		PRS[2:0]=011 (上升沿)	-	2.08	-	V
		PRS[2:0]=011 (下降沿)	-	1.98	-	V
		PRS[2:0]=100 (上升沿)	-	3.28	-	V
		PRS[2:0]=100 (下降沿)	-	3.18	-	V
		PRS[2:0]=101 (上升沿)	-	3.38	-	V
		PRS[2:0]=101 (下降沿)	-	3.28	-	V
		PRS[2:0]=110 (上升沿)	-	3.48	-	V
		PRS[2:0]=110 (下降沿)	-	3.38	-	V
PRS[2:0]=111 (上升沿)	-	3.58	-	V		
PRS[2:0]=111 (下降沿)	-	3.48	-	V		
V <sub>PVDhyst</sub> <sup>(1)</sup>	PVD 迟滞	-	-	100	-	mV
V <sub>POR</sub>	VDD 上电/下电复位阈值	-	-	1.66/1.58	-	V
V <sub>BOR</sub>	BOR 上电/下电复位阈值	BOR_LVL[2:0]=000(上升沿)	-	1.66	-	V
		BOR_LVL[2:0]=000(下降沿)	-	1.62	-	V
		BOR_LVL[2:0]=001(上升沿)	-	2.1	-	V
		BOR_LVL[2:0]=001(下降沿)	-	2	-	V
		BOR_LVL[2:0]=010(上升沿)	-	2.3	-	V
		BOR_LVL[2:0]=010(下降沿)	-	2.2	-	V
		BOR_LVL[2:0]=011(上升沿)	-	2.6	-	V
		BOR_LVL[2:0]=011(下降沿)	-	2.5	-	V
		BOR_LVL[2:0]=100(上升沿)	-	2.9	-	V
		BOR_LVL[2:0]=100(下降沿)	-	2.8	-	V
TRSTTEMPO <sup>(1)</sup>	复位持续时间	-	-	0.8	4	ms

1. 由设计保证，不在生产中测试。

#### 4.3.4 内置的参考电压

下表中给出的参数是依据表 4-4 列出的环境温度下和 V<sub>DD</sub> 供电电压下测试得出。

表 4-7 内置的参照电压

符号	参数	条件	最小值	典型值	最大值	单位
V <sub>REFINT</sub>	内置参照电压	-40°C < T <sub>A</sub> < +105°C	1.164	1.2	1.236	V

$T_{S\_refint}^{(1)}$	当读出内部参照电压时, ADC 的采样时间	-	-	5.1	17.1 <sup>(2)</sup>	$\mu s$
$\Delta V_{REFINT}$	全温范围内的内部电压漂移	VDD = 3.3V -40°C < T <sub>A</sub> < +105°C	-14	-	14	mV

1. 最短的采样时间是通过应用中的多次循环得到。
2. 由设计保证, 不在生产中测试。

### 4.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标, 这些参数和因素包括工作电压、环境温度、I/O引脚的负载、产品的软件配置、工作频率、I/O脚的翻转速率、程序在存储器中的位置以及执行的代码等。

电流消耗的测量方法说明, 详见图 4-4。

本节中给出的所有运行模式下的电流消耗测量值, 都是在执行一套精简的代码。

#### 4.3.5.1 最大电流消耗

微控制器处于下列条件:

- 所有的I/O引脚都处于输入模式, 并连接到一个静态电平上——V<sub>DD</sub>或V<sub>SS</sub>(无负载)。
- 所有的外设都处于关闭状态, 除非特别说明。
- 闪存存储器的访问时间调整到所能运行的最快频率(0~48MHz时为0个等待周期, 48~96MHz时为1个等待周期, 96~144MHz时为2个等待周期, 144~192MHz时为3个等待周期, 192~240MHz时为4个等待周期)。
- 指令预取功能开启(提示: 这个参数必须在设置时钟和总线分频之前设置)。
- 当开启外设时:  $f_{PCLK1} = f_{HCLK}/2$ ,  $f_{PCLK2} = f_{HCLK}/2$ 。
- V<sub>DD</sub>=3.63V, 环境温度等于105°C。

表 4-8和表 4-9中给出的参数, 是依据表 4-4列出的环境温度下和V<sub>DD</sub>供电电压下测试得出。

表 4-8 运行模式下的最大电流消耗, 数据处理代码从内部闪存中运行

符号	参数	条件	f <sub>HCLK</sub>	典型值 <sup>(1)</sup>				单位
				T <sub>A</sub> = -40°C	T <sub>A</sub> = 25°C	T <sub>A</sub> = 85°C	T <sub>A</sub> = 105°C	
I <sub>DD</sub>	运行模式下的供应电流	外部时钟 <sup>(2)</sup> , 使能所有外设	240MHz	63.8	67	80.7	103.8	mA
			180MHz	47.8	50.7	63.7	86	
			120MHz	33.93	36.53	48.63	69.63	
			60MHz	20.25	22.55	33.65	53.65	
		外部时钟 <sup>(2)</sup> , 关闭所有外设	240MHz	27.3	29.7	41.1	50.2	
			180MHz	21.7	24	35.1	44	
			120MHz	16.9	18.2	29.5	38.1	
			60MHz	10.1	12.1	22.6	31.3	

1. 由综合评估得出, 不在生产中测试。
2. 当f<sub>HCLK</sub>>8MHz时启用PLL。

表 4-9 睡眠模式下的最大电流消耗

符号	参数	条件	f <sub>HCLK</sub>	典型值 <sup>(1)</sup>				单位
				T <sub>A</sub> = -40°C	T <sub>A</sub> = 25°C	T <sub>A</sub> = 85°C	T <sub>A</sub> = 105°C	

I <sub>DD</sub>	睡眠模式下的供应电流	外部时钟 <sup>(2)</sup> , 使能所有外设	240MHz	55.9	59	72.1	94.8	mA
			180MHz	43.4	46.3	58.7	80.4	
			120MHz	33.25	35.85	47.55	68.25	
			60MHz	19.1	21.3	32.2	52	
		外部时钟 <sup>(2)</sup> , 关闭所有外设	240MHz	18.9	21.2	31.9	40.8	
			180MHz	15.2	17.4	28	36.8	
			120MHz	12.3	13.4	24.4	31	
			60MHz	7.8	9.8	20.1	28.7	

1. 由综合评估结果保证, 不在生产中测试。
2. 当 $f_{HCLK} > 8\text{MHz}$ 时启用PLL。

#### 4.3.5.2 低功耗模式电流消耗

MCU处于下列条件:

- 所有的I/O引脚都处于输入模式, 并连接到一个静态电平上——V<sub>DD</sub>或V<sub>SS</sub>(无负载)。
- 所有的外设都处于关闭状态, 除非特别说明。

表 4-10 停机和待机模式下的典型和最大电流消耗

符号	参数	条件	典型值 <sup>(1)</sup>				单位
			T <sub>A</sub> = -40°C	T <sub>A</sub> = 25°C	T <sub>A</sub> = 85°C	T <sub>A</sub> = 105°C	
I <sub>DD</sub>	STOP0 模式下的供应电流	调节器处于运行模式, LSE 打开, RTC 打开, IWDG 关闭, Backup SRAM 保持	1.5	2.9	12.3	20.7	mA
		调节器处于 LP 模式, LSE 打开, RTC 打开, IWDG 关闭, BackupSRAM 保持	1	1.7	7.3	13.9	
I <sub>DD</sub>	STANDBY 模式下的供应电流	LSE 打开, RTC 打开, IWDG 关闭, BackupSRAM 保持	1.98	3.75	20.8	39	uA
		LSE 打开, RTC 关闭, IWDG 关闭, BackupSRAM 保持	1.98	3.75	20.49	39.05	
		LSE 打开, RTC 关闭, IWDG 关闭, BackupSRAM 不保持	1.98	3.76	20.13	38.01	
I <sub>DD_VBAT</sub>	VBAT 模式下的供应电流	LSE 打开, RTC 打开, IWDG 关闭, Backup SRAM 保持	1.13	2.71	16.8	30.82	uA

1. 由综合评估结果保证, 不在生产中测试。

#### 4.3.5.3 外设电流消耗

表 4-11 外设电流消耗

总线	外设	典型值	单位
AHB	DMA1	4.37	μA/MHz
	DMA2	4.37	
	FEMC	6.01	
	XSPI	11.67	

AHB1	BKP SRAM	0.41	μA/MHz
	CRC	0.2	
AHB2	ATIM1	9.05	μA/MHz
	ATIM2	9.12	
	ATIM3	8.55	
AHB3	GPIOA	14.01	μA/MHz
	GPIOB	14.2	
	GPIOC	14.34	
	GIOD	14.28	
	GPIOE	14.12	
	GPIOF	14.66	
	GPIOG	14.31	
	GPIOH	13.78	
	ADC1	10.04	
	ADC2	8.16	
	ADC3	7.81	
	SAC	1.83	
APB1	DAC1/2	1.71	μA/MHz
	I2C1	2.72	
	I2C2	2.72	
	I2C3	2.72	
	I2C4	2.72	
	LPTIM1	2.27	
	LPTIM2	2.27	
	UART5	2.51	
	UART8	2.51	
	GTIM1	7.03	
	GTIM2	4.86	
	GTIM3	4.75	
	GTIM4	6.79	
	GTIM5	5.47	
	GTIM6	4.49	
	GTIM7	4.68	
	BTIM1	0.22	
	BTIM2	0.22	
	SPI2	2.69	
	SPI3	2.69	
	USART3	2.82	
RTC	3.52		
WWDG	0.28		
PWR	1.94		

APB2	SPI1	1.46	μA/MHz
	SPI4	1.32	
	SPI6	1.33	
	GTIM8	2.51	
	GTIM9	13.61	
	GTIM10	13.34	

### 4.3.6 外部时钟源特性

#### 4.3.6.1 外部高速时钟源（HSE）

下表中给出的特性参数是使用一个高速的外部时钟源（Bypass模式）测得，环境温度和供电电压符合表 4-4 的条件。

表 4-12 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{HSE\_ext}$	用户外部时钟频率 <sup>(1)</sup>	-	1	8	50	MHz
$V_{HSEH}$	OSC_IN 输入引脚高电平电压		$0.7V_{DD}$	-	$V_{DD}$	-
$V_{HSEL}$	OSC_IN 输入引脚低电平电压		$V_{SS}$	-	$0.3V_{DD}$	V
$t_w(HSE)$	OSC_IN 高或低的时间 <sup>(1)</sup>		16	-	-	ns
$t_r(HSE)$	OSC_IN 上升或下降的时间 <sup>(1)</sup>		-	-	20	
$t_f(HSE)$			-	-	-	
$DuCy(HSE)$	占空比		-	45	-	55
$I_L$	OSC_IN 输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$	-1	-	+1	μA

1. 由设计保证，不在生产中测试。

#### 4.3.6.2 外部低速时钟源（LSE）

下表中给出的特性参数是使用一个低速的外部时钟源（Bypass模式）测得，环境温度和供电电压符合表 4-4 的条件。

表 4-13 低速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{LSE\_ext}$	用户外部时钟频率 <sup>(1)</sup>	-	8.8	32.768	1000	KHz
$V_{LSEH}$	OSC32_IN 输入引脚高电平电压		$0.7V_{DD}$	-	$V_{DD}$	V
$V_{LSEL}$	OSC32_IN 输入引脚低电平电压		$V_{SS}$	-	$0.3V_{DD}$	mV
$t_w(LSE)$	OSC32_IN 高或低的时间 <sup>(1)</sup>		450	-	-	ns
$t_w(LSE)$			-	-	-	
$t_r(LSE)$	OSC32_IN 上升或下降的时间 <sup>(1)</sup>		-	-	50	
$t_f(LSE)$			-	-	-	
$DuCy(LSE)$	占空比	-	30	-	70	%

$I_L$	OSC32_IN 输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	$\pm 1$	$\mu A$
-------	----------------	----------------------------------	---	---	---------	---------

1. 由设计保证，不在生产中测试。

图 4-5 外部高速时钟源的交流时序图

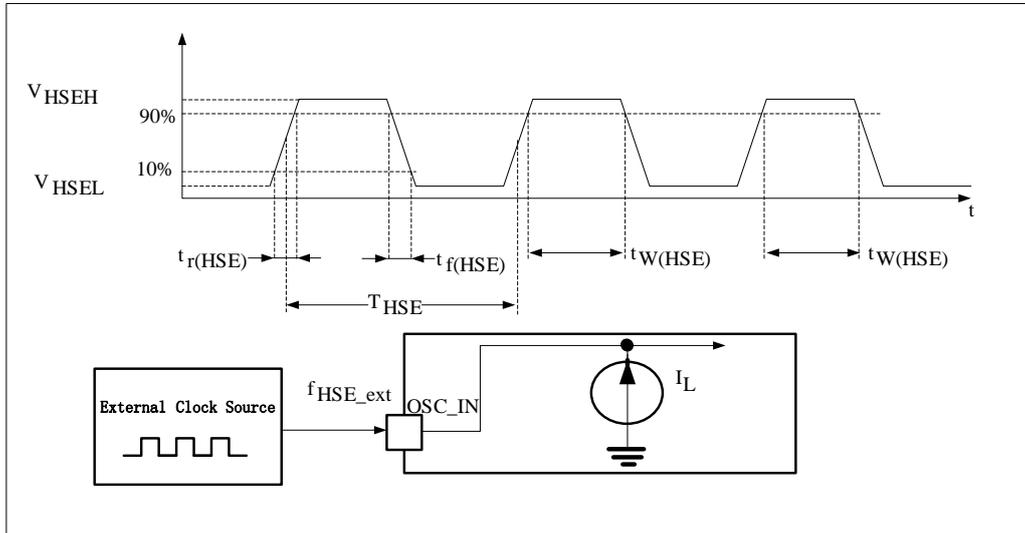
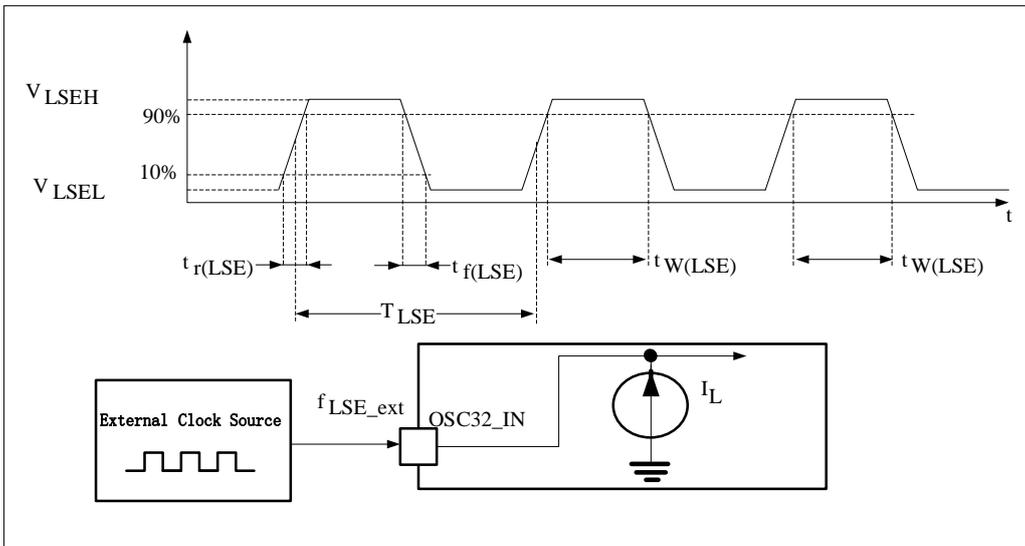


图 4-6 外部低速时钟源的交流时序图



### 使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟(HSE)可以使用一个4~32MHz的晶体/陶瓷谐振器（晶体模式）构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。(这里提到的晶体谐振器就是我们通常说的无源晶振)

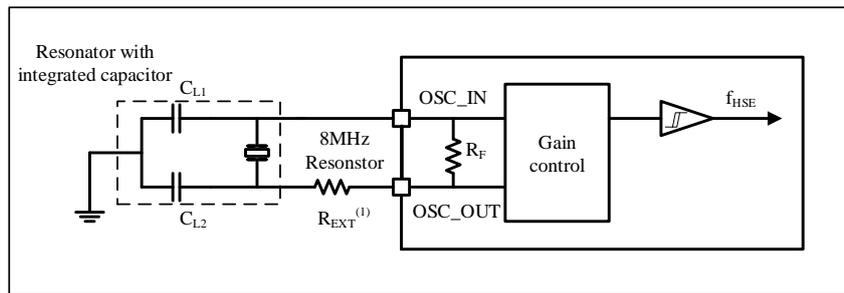
表 4-14 HSE 4~32MHz振荡器特性<sup>(1)(2)</sup>

符号	参数	条件	最小值	典型值	最大值	单位
$f_{OSC\_IN}$	振荡器频率	-	4	8	32	MHz
$R_F$	反馈电阻	-	-	380	-	k $\Omega$

$i_2$	HSE 驱动电流	VDD=3.3V, VIN=VSS 30pF 负载	-	1.8	-	mA
$g_m$	振荡器的跨导	启动	-	10	-	mA/V
$t_{SU(HSE)}^{(3)}$	启动时间(8M 晶体)	V <sub>DD</sub> 是稳定的	-	3	5	ms

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
2. 由设计保证，不在生产中测试。
3.  $t_{SU(HSE)}$ 是启动时间，是从软件使能HSE开始测量，直至得到稳定的8MHz振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

图 4-7 使用8MHz晶体的典型应用



1.  $R_{EXT}$ 数值由晶体的特性决定。

### 使用一个晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟(LSE)可以使用一个32.768kHz的晶体/陶瓷谐振器（晶体模式）构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。(这里提到的晶体谐振器就是我们通常说的无源晶振)

*注意：对于 $C_{L1}$ 和 $C_{L2}$ ，建议使用高质量的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 $C_{L1}$ 和 $C_{L2}$ 具有相同参数。晶体制造商通常以 $C_{L1}$ 和 $C_{L2}$ 的串行组合给出负载电容的参数。*

负载电容 $C_L$ 由下式计算： $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$ ，其中 $C_{stray}$ 是引脚的电容和PCB板或PCB相关的电容。

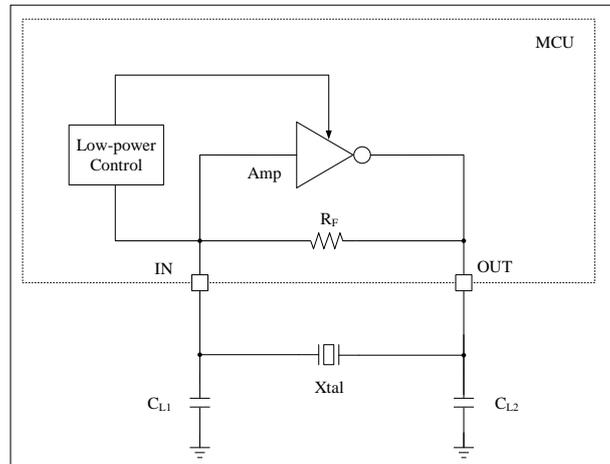
例如：如果选择了一个负载电容 $C_L=6pF$ 的谐振器并且 $C_{stray}=2pF$ ，则 $C_{L1}=C_{L2}=8pF$ 。

 表 4-15 LSE振荡器特性( $f_{LSE}=32.768kHz$ )<sup>(1)</sup>

符号	参数	条件	最小值	典型值	最大值	单位
$R_F$	反馈电阻	-	-	5	-	MΩ
$I_2$	LSE 驱动电流	低驱动	-	300	-	nA
		中驱动	-	750	-	
		高驱动	-	1000	-	
$g_m$	最大跨导	低驱动	-	9	-	μA/V
		中驱动	-	12	-	
		高驱动	-	27	-	
$t_{SU(LSE)}^{(2)}$	启动时间	V <sub>DD</sub> 是稳定的	-	2	-	s

1. 由综合评估保证，不在生产中测试。
2.  $t_{SU(LSE)}$ 是启动时间，是从软件使能LSE开始测量，直至得到稳定的32.768KHz振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

图 4-8 使用32.768kH晶体的典型应用



### 4.3.7 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合表 4-4的条件测量得到。

#### 4.3.7.1 高速内部(HSI)RC振荡器

 表 4-16 HSI振荡器特性<sup>(1)(2)</sup>

符号	参数	条件	最小值	典型值	最大值	单位
$f_{HSI}$	频率	$V_{DD}=3.3V$ , $T_A = 25^{\circ}C$ , 校准后	7.96 <sup>(3)</sup>	8	8.04 <sup>(3)</sup>	MHz
$ACC_{HSI}$	HSI 振荡器的精度 <sup>(4)</sup>	$V_{DD}=3.3V$ , $T_A = -40\sim 105^{\circ}C$	-1.5	-	2	%
		$V_{DD}=3.3V$ , $T_A = -10\sim 85^{\circ}C$	-0.8	-	1.5	%
		$V_{DD}=3.3V$ , $T_A = 0\sim 70^{\circ}C$	-0.5	-	1.3	%
$t_{SU(HSI)}$	HSI 振荡器启动时间	-	-	-	6	$\mu s$
$I_{DD(HSI)}$	HSI 振荡器功耗	-	-	100	120	$\mu A$

1.  $V_{DD} = 3.3V$ ,  $T_A = -40\sim 105^{\circ}C$ ，除非特别说明。
2. 由设计保证，不在生产中测试。
3. 生产校准精度，未包括焊接影响。焊接带来频率偏差范围约 $\pm 1\%$ 。
4. 频率偏差包括焊接带来的影响，数据来自样品测试，不在生产中进行测试。

#### 4.3.7.2 低速内部(LSI)RC振荡器

 表 4-17 LSI振荡器特性<sup>(1)</sup>

符号	参数	条件	最小值	典型值	最大值	单位
$f_{LSI}^{(2)}$	输出频率	25 $^{\circ}C$ 校准, $V_{DD} = 3.3V$	-	32	-	KHz
		$V_{DD} = 1.8V \sim 3.6V$ , $T_A = -40\sim 105^{\circ}C$	28.8	32	35.2	KHz
$t_{SU(LSI)}^{(2)}$	LSI 振荡器启动时间	-	-	60	84	$\mu s$
$I_{DD(LSI)}^{(2)}$	LSI 振荡器功耗	-	-	0.6	-	$\mu A$

1.  $V_{DD} = 3.3V$ ,  $T_A = -40\sim 105^{\circ}C$ , 除非特别说明。
2. 由设计保证, 不在生产中测试。

### 4.3.8 从低功耗模式唤醒的时间

表 4-18列出的唤醒时间是在一个8MHz的HSI RC振荡器的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定:

- STOP0或STANDBY模式: 时钟源是RC振荡器
- SLEEP模式: 时钟源是进入SLEEP模式时所使用的时钟

所有的时间是使用环境温度和供电电压符合表 4-4的条件测量得到。

表 4-18 低功耗模式的唤醒时间

符号	参数	典型值 <sup>(1)</sup>	单位
twUSLEEP	从睡眠模式唤醒	6	Cycles
twUSTOP0	从停机模式 0 唤醒(调压器处于运行模式)	20	$\mu s$
	从停机模式 0 唤醒(调压器为低功耗模式)	22	$\mu s$
twUSTDBY	从待机模式唤醒	100	$\mu s$

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

### 4.3.9 PLL特性

表 4-19列出的参数是使用环境温度和供电电压符合表 4-4的条件测量得到。

表 4-19 PLL特性

符号	参数	数值			单位
		最小值	典型值	最大值 <sup>(1)</sup>	
f <sub>PLL_IN</sub>	PLL 输入时钟 <sup>(2)</sup>	4	8	50	MHz
	PLL 输入时钟占空比	40	50	60	%
f <sub>PLL_OUT</sub>	PLL 倍频输出时钟	32	-	240	MHz
t <sub>LOCK</sub>	PLL Ready 指示信号输出时间	-	-	150	$\mu s$
Jitter	Rms cycle-to-cycle jitter @240MHz	-	5	-	ps
I <sub>PLL</sub>	Operating Current of PLL @240MHz VCO frequency.	-	-	1500	$\mu A$

1. 由综合评估得出, 不在生产中测试。
2. 需要注意使用正确的倍频系数, 从而根据PLL输入时钟频率使得f<sub>PLL\_OUT</sub>处于允许范围内。

### 4.3.10 FLASH存储器特性

除非特别说明, 所有特性参数是在 $T_A = -40\sim 105^{\circ}C$ 得到。

表 4-20 闪存存储器特性

符号	参数	条件	最小值 <sup>(1)</sup>	典型值 <sup>(1)</sup>	最大值 <sup>(1)</sup>	单位
t <sub>prog</sub>	64 位的编程时间	$T_A = -40\sim 105^{\circ}C$ , double word 模式	-	40	-	$\mu s$
		$T_A = -40\sim 105^{\circ}C$ , buffer program 模式	-	19	-	
t <sub>ERASE</sub>	页(16K 字节)擦除时间, 单 bank 模式	$T_A = -40\sim 105^{\circ}C$	-	24	40	ms

	页(8K 字节)擦除时间, 双 bank 模式	$T_A = -40\sim 105^{\circ}\text{C}$	-	12	20	ms
$t_{ME}$	整片擦除时间, 单 bank 模式	$T_A = -40\sim 105^{\circ}\text{C}$	-	28	40	ms
	整片擦除时间(bank1 + bank2), 双 bank 模式	$T_A = -40\sim 105^{\circ}\text{C}$	-	28	40	ms
$I_{DD}$	供电电流	读模式, $f_{HCLK}=240\text{MHz}$ , 4 个等待周期, $V_{DD}=3.3\text{V}$	-	4.2	5.45	mA
		写模式, $f_{HCLK}=240\text{MHz}$ , $V_{DD}=3.3\text{V}$	-	6.5	-	mA
		擦除模式, $f_{HCLK}=240\text{MHz}$ , $V_{DD}=3.3\text{V}$	-	4.5	-	mA
		掉电模式/停机, $V_{DD}=3.3\sim 3.6\text{V}$	-	0.05	4.65	$\mu\text{A}$
$V_{prog}$	编程电压	-	1.8	3	3.6	V

1. 由设计保证, 不在生产中测试。

表 4-21 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值 <sup>(1)</sup>	单位
$N_{END}$	寿命(注: 擦写次数)	$T_A = -40\sim 105^{\circ}\text{C}$ , Flash 容量为 512KB	10	千次
$t_{RET}$	数据保存期限	10kcycle <sup>(2)</sup> at $T_A = 85^{\circ}\text{C}$ 时	20	年
		10kcycle <sup>(2)</sup> at $T_A = 105^{\circ}\text{C}$ 时	15	年
		10kcycle <sup>(2)</sup> at $T_A = 125^{\circ}\text{C}$ 时	10	年

1. 由综合评估得出, 不在生产中测试。

### 4.3.11 绝对最大值(电气敏感性)

基于不同的测试(ESD, ES, LU), 使用特定的测量方法, 对芯片进行强度测试以决定它的电气敏感性方面的性能。

#### 静电放电(ESD)

静电放电(一个正的脉冲然后间隔一秒钟后一个负的脉冲)施加到所有样品的所有引脚上。

表 4-22 ESD绝对最大值

符号	参数	条件	类型	最大值 <sup>(1)</sup>	单位
$V_{ESD(HBM)}$	静电放电电压(人体模型)	$T_A = +25^{\circ}\text{C}$ , 符合 MIL-STD-883K Method 3015.9	3A	4000	V
$V_{ESD(CDM)}^{(2)}$	静电放电电压(充电设备模型)	$T_A = +25^{\circ}\text{C}$ , 符合 ESDA/JEDEC JS-002-2018	C3	1000	

1. 由综合评估得出, 不在生产中测试。

2. LQFP144封装的VBAT引脚电压最大值为500V

#### 电磁敏感性(EMS)

表 4-23 EMS特性

符号	参数	条件	等级
$V_{FESD}$	在任何 I/O 引脚上施加电压限制, 以触发功能干扰	$V_{DD} = 3.3V, LQFP144, T_A = 25^\circ C, HCLK = 240MHz, \text{conforms to IEC 61000-4-2}$	4A
$V_{EFTB}$	通过在 $V_{DD}$ 和 $V_{SS}$ 引脚之间的 100pF 电容上施加快速瞬态电压突发限制, 以引起功能干扰	$V_{DD} = 3.3V, LQFP144, T_A = 25^\circ C, HCLK = 240MHz, \text{conforms to IEC 61000-4-4}$	4A
	对 I/O 引脚施加电容耦合钳位和耦合的快速瞬态电压突发限制, 以引起功能干扰	$V_{DD} = 3.3V, LQFP144, T_A = 25^\circ C, HCLK = 240MHz, \text{conforms to IEC 61000-4-4}$	4A

### 静态栓锁(LU)

为了评估栓锁性能, 需要在6个样品上进行2个互补的静态栓锁测试:

- 为每个电源引脚, 提供超过极限的供电电压。
- 在每个输入、输出和可配置的I/O引脚上注入电流。

这个测试符合EIA/JESD78A集成电路栓锁标准。

表 4-24 静态栓锁

符号	参数	条件	类型	最小值
$LU^{(1)}$	静态栓锁类	$T_A = +125^\circ C$ , 符合 JESD 78E	II 类 A	$\pm 100mA, 1.5 * V_{DDMAX}$

1. PA4、PA5引脚满足I类A,  $25^\circ \pm 200mA$  Pass,  $85^\circ \pm 80mA$  Pass。

### 4.3.12 I/O端口特性

#### 通用输入/输出特性

除非特别说明, 下表列出的参数是按照表 4-4的条件测量得到。所有的I/O端口都是兼容CMOS和TTL。

表 4-25 I/O静态特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL}$	输入低电平电压	$V_{DD}=3.3V$	$V_{SS}$	-	0.8	V
		$V_{DD}=2.5V$	$V_{SS}$	-	0.7	
		$V_{DD}=1.8V$	$V_{SS}$	-	$0.3 * V_{DD}$	
$V_{IH}$	输入高电平电压	$V_{DD}=3.3V$	2	-	$V_{DD}$	V
		$V_{DD}=2.5V$	1.7	-	$V_{DD}$	
		$V_{DD}=1.8V$	$0.7 * V_{DD}$	-	$V_{DD}$	
$V_{hys}$	施密特触发器电压迟滞 <sup>(1)</sup>	$V_{DD}=3.3V$	200	-	-	mV
		$V_{DD}=2.5V$	200	-	-	
		$V_{DD}=1.8V$	$0.1 * V_{DD}^{(2)}$	-	-	
$I_{lkg}$	输入漏电流 <sup>(3)</sup>	$V_{DD}=\text{Maximum}$	-1	-	1	$\mu A$
		$V_{PAD}=0$ 或 $V_{PAD}=V_{DD}^{(5)}$				
$R_{PU}$	弱上拉等效电阻 <sup>(4)</sup>	$V_{DD}=3.3V, V_{IN}=V_{SS}$	80	-	220	$k\Omega$
		$V_{DD}=1.8\sim 3.3V, V_{IN}=V_{SS}$	60	-	500	$k\Omega$
$R_{PD}$	弱下拉等效电阻 <sup>(4)</sup>	$V_{DD}=3.3V, V_{IN}=V_{DD}$	80	-	220	$k\Omega$

		VDD=1.8~3.3v, VIN= VDD	60	-	500	kΩ
C <sub>IO</sub>	I/O 引脚的电容	-	-	5	-	pF

1. 施密特触发器开关电平的迟滞电压。由综合评估得出，不在生产中测试。
2. 至少100mV。
3. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。
4. 上拉和下拉电阻是设计为一个可开关的PMOS/NMOS实现。
5. V<sub>PAD</sub> 是指 IO 管脚的输入电压。

所有I/O端口都是CMOS和TTL兼容(不需软件配置)，它们的特性考虑了多数严格的CMOS工艺或TTL参数：

### 输出驱动电流

GPIO(通用输入/输出端口)可以吸收或输出多达+/-12mA电流。在用户应用中，I/O脚的数目必须保证驱动电流不超过4.2节给出的绝对最大额定值：

- 所有I/O端口从V<sub>DD</sub>上获取的电流总和，加上MCU在V<sub>DD</sub>上获取的最大运行电流，不能超过绝对最大额定值I<sub>VDD</sub>(表 4-2)。
- 所有I/O端口吸收并从V<sub>SS</sub>上流出的电流总和，加上MCU在V<sub>SS</sub>上流出的最大运行电流，不能超过绝对最大额定值I<sub>VSS</sub>(表 4-2)。

### 输出电压

除非特别说明，表 4-27列出的参数是使用环境温度和V<sub>DD</sub>供电电压符合表 4-4的条件测量得到。所有的I/O端口都是兼容CMOS和TTL的。

表 4-26 IO驱动能力表<sup>(1)</sup>

驱动等级	I <sub>OH</sub> , VDD=3.3V	I <sub>OL</sub> , VDD=3.3V	I <sub>OH</sub> , VDD=2.5V	I <sub>OL</sub> , VDD=2.5V	I <sub>OH</sub> , VDD=1.8V	I <sub>OL</sub> , VDD=1.8V	单位
2	-2	2	-1.5	1.5	-1	1	mA
4	-4	4	-3	3	-2	2	mA
8	-8	8	-7	7	-5	5	mA
12	-12	12	-11	11	-7	8	mA

1. 由设计保证，不在生产中测试。

表 4-27 输出电压特性<sup>(3)</sup>

符号	参数	条件	最小值	最大值	单位
V <sub>OL</sub> <sup>(1)</sup>	输出低电平	V <sub>DD</sub> =3.3V, I <sub>OL</sub> <sup>(4)</sup> = 2/4/8/12	V <sub>SS</sub>	0.4	V
		V <sub>DD</sub> =2.5V, I <sub>OL</sub> <sup>(4)</sup> = 2/4/8/12	V <sub>SS</sub>	0.4	
		V <sub>DD</sub> =1.8V, I <sub>OL</sub> <sup>(4)</sup> = 2/4/8/12	V <sub>SS</sub>	0.2*V <sub>DD</sub>	
V <sub>OH</sub> <sup>(2)</sup>	输出高电平	V <sub>DD</sub> =3.3V, I <sub>OH</sub> <sup>(4)</sup> = 2/4/8/12	2.4 <sup>(5)</sup>	V <sub>DD</sub>	
		V <sub>DD</sub> =2.5V, I <sub>OH</sub> <sup>(4)</sup> = 2/4/8/12	1.8 <sup>(5)</sup>	V <sub>DD</sub>	
		V <sub>DD</sub> =1.8V, I <sub>OH</sub> <sup>(4)</sup> = 2/4/8/12	0.8*V <sub>DD</sub>	V <sub>DD</sub>	

1. 芯片吸收的电流I<sub>IO</sub>必须始终遵循表 4-2中给出的绝对最大额定值，同时I<sub>IO</sub>的总和(所有I/O脚和控制脚)不能超过I<sub>VSS</sub>。
2. 芯片输出的电流I<sub>IO</sub>必须始终遵循表 4-2中给出的绝对最大额定值，同时I<sub>IO</sub>的总和(所有I/O脚和控制脚)不能超过I<sub>VDD</sub>。
3. 由综合评估得出，不在生产中测试。
4. 实际驱动能力见表 4-26。
5. PC13,PC14,PC15不在此范围内。

## 输入输出交流特性

输入输出交流特性的定义和数值分别在图 4-9和表 4-28给出。

除非特别说明，表 4-28列出的参数是使用环境温度和供电电压符合表 4-4的条件测量得到。

表 4-28 输入输出交流特性<sup>(1)</sup>

DSy[1:0]配置	符号	参数	条件	最小值	最大值	单位
00(2mA)	$f_{\max(\text{IO})\text{out}}$	最大频率 <sup>(2)</sup>	$C_L=5\text{pF}, V_{\text{DD}}=3.3\text{V}$	-	75	MHz
			$C_L=5\text{pF}, V_{\text{DD}}=2.5\text{V}$	-	50	
			$C_L=5\text{pF}, V_{\text{DD}}=1.8\text{V}$	-	30	
	$t_{(\text{IO})\text{out}}$	输出延时	$C_L=5\text{pF}, V_{\text{DD}}=3.3\text{V}$	-	3.7	ns
			$C_L=5\text{pF}, V_{\text{DD}}=2.5\text{V}$	-	4.8	
			$C_L=5\text{pF}, V_{\text{DD}}=1.8\text{V}$	-	7.2	
$t_{(\text{IO})\text{in}}$	输入延时	$CL=50\text{fF}, V_{\text{DD}}=2.97\text{V}, V_{\text{DDD}}=0.81\text{V}$ input characteristics at 1.8V and 2.5V are derated	-	2	ns	
01 (4mA)	$f_{\max(\text{IO})\text{out}}$	最大频率 <sup>(2)</sup>	$C_L=10\text{pF}, V_{\text{DD}}=3.3\text{V}$	-	90	MHz
			$C_L=10\text{pF}, V_{\text{DD}}=2.5\text{V}$	-	60	
			$C_L=10\text{pF}, V_{\text{DD}}=1.8\text{V}$	-	40	
	$t_{(\text{IO})\text{out}}$	输出延时	$C_L=10\text{pF}, V_{\text{DD}}=3.3\text{V}$	-	3.5	ns
			$C_L=10\text{pF}, V_{\text{DD}}=2.5\text{V}$	-	4.5	
			$C_L=10\text{pF}, V_{\text{DD}}=1.8\text{V}$	-	6.8	
$t_{(\text{IO})\text{in}}$	输入延时	$CL=50\text{fF}, V_{\text{DD}}=2.97\text{V}, V_{\text{DDD}}=0.81\text{V}$ input characteristics at 1.8V and 2.5V are derated	-	2		
10 (8mA)	$f_{\max(\text{IO})\text{out}}$	最大频率 <sup>(2)</sup>	$C_L=20\text{pF}, V_{\text{DD}}=3.3\text{V}$	-	100	MHz
			$C_L=20\text{pF}, V_{\text{DD}}=2.5\text{V}$	-	75	
			$C_L=20\text{pF}, V_{\text{DD}}=1.8\text{V}$	-	50	
	$t_{(\text{IO})\text{out}}$	输出延时	$C_L=20\text{pF}, V_{\text{DD}}=3.3\text{V}$	-	3.5	ns
			$C_L=20\text{pF}, V_{\text{DD}}=2.5\text{V}$	-	4.8	
			$C_L=20\text{pF}, V_{\text{DD}}=1.8\text{V}$	-	6.6	
$t_{(\text{IO})\text{in}}$	输入延时	$CL=50\text{fF}, V_{\text{DD}}=2.97\text{V}, V_{\text{DDD}}=0.81\text{V}$ input characteristics at 1.8V and 2.5V are derated	-	2		
11 (12mA)	$f_{\max(\text{IO})\text{out}}$	最大频率 <sup>(2)</sup>	$C_L=30\text{pF}, V_{\text{DD}}=3.3\text{V}$	-	120	MHz
			$C_L=30\text{pF}, V_{\text{DD}}=2.5\text{V}$	-	90	
			$C_L=30\text{pF}, V_{\text{DD}}=1.8\text{V}$	-	60	
	$t_{(\text{IO})\text{out}}$	输出延时	$C_L=30\text{pF}, V_{\text{DD}}=3.3\text{V}$	-	3.4	ns
			$C_L=30\text{pF}, V_{\text{DD}}=2.5\text{V}$	-	4.3	
			$C_L=30\text{pF}, V_{\text{DD}}=1.8\text{V}$	-	6.4	
$t_{(\text{IO})\text{in}}$	输入延时	$CL=50\text{fF}, V_{\text{DD}}=2.97\text{V}, V_{\text{DDD}}=0.81\text{V}$ input characteristics at 1.8V and 2.5V are derated	-	2		

1. I/O端口的驱动能力通过PMODEy[1:0]配置，参见用户手册中有关GPIO端口配置寄存器的说明。
2. 最大频率在图 4-9定义。

图 4-9 输入输出交流特性定义

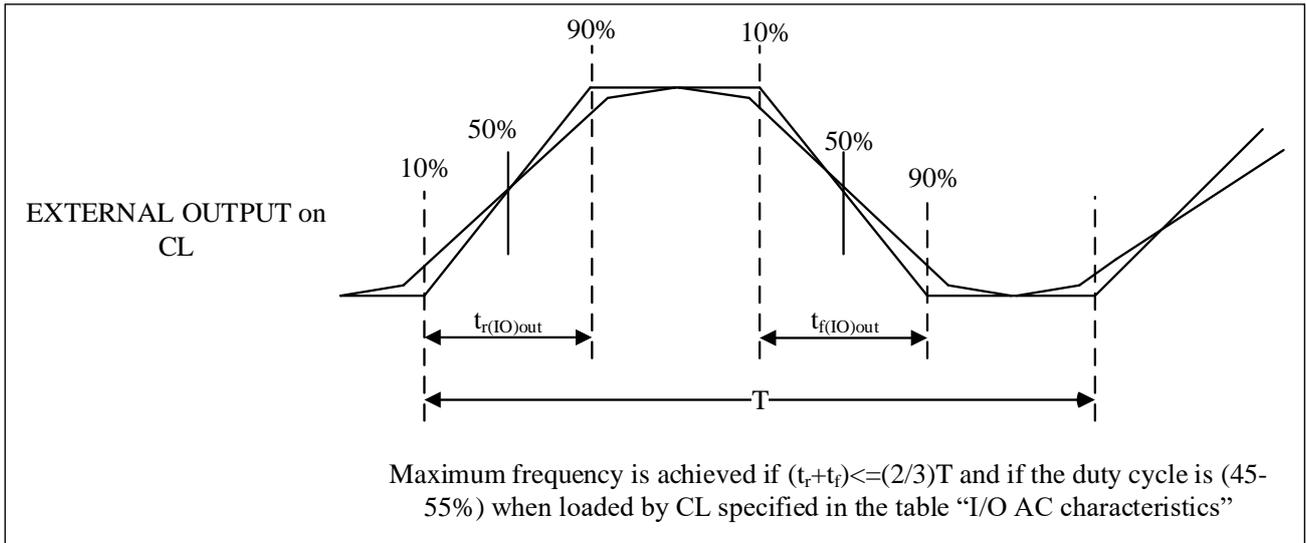
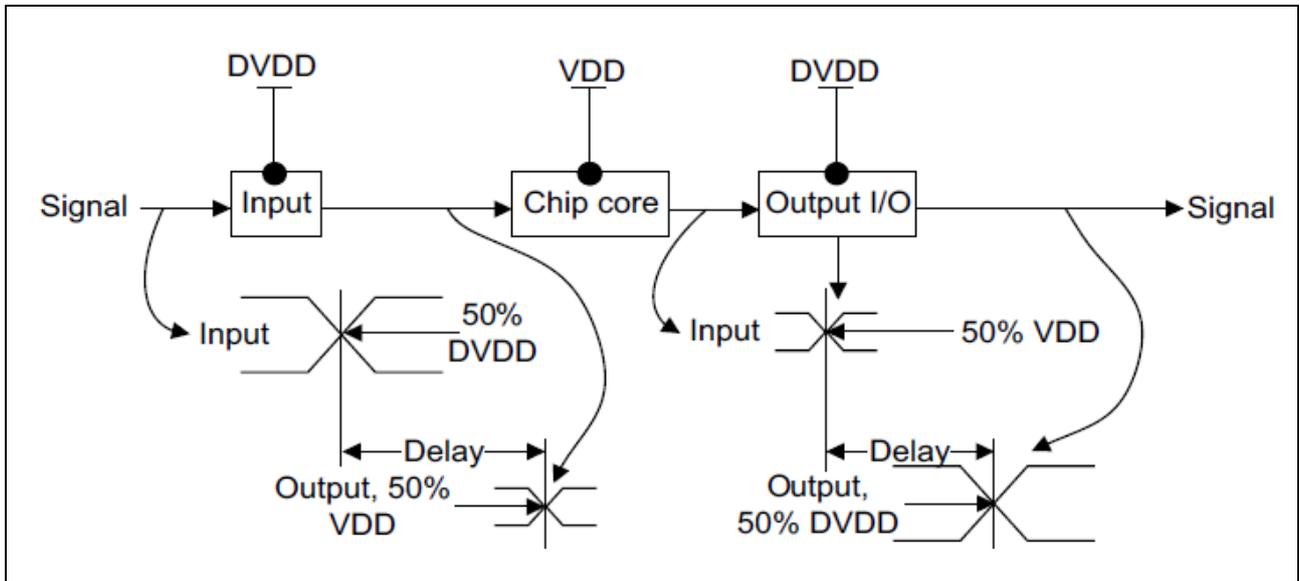


图 4-10 传输延迟



### 4.3.13 NRST引脚特性

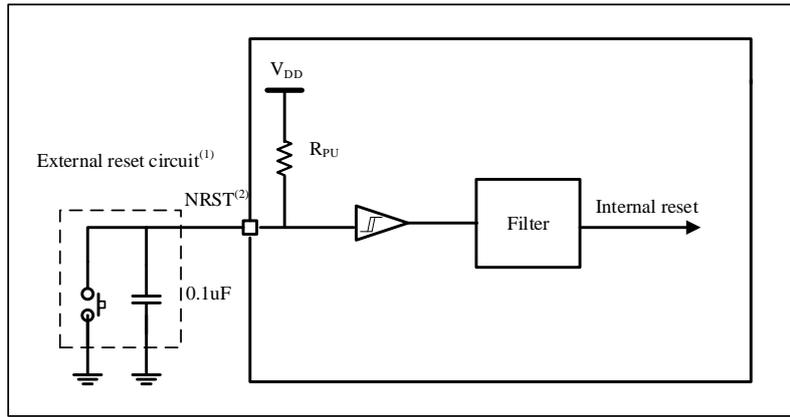
NRST引脚输入驱动使用CMOS工艺，内部集成一个不能断开的上拉电阻， $R_{PU}$ (参见表 4-29)。除非特别说明，表 4-29列出的参数是使用环境温度和供电电压符合表 4-4的条件测量得到。

表 4-29 NRST引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}^{(1)}$	NRST 输入低电平电压	-	$V_{SS}$	-	$0.3 \cdot V_{DD}$	V
$V_{IH(NRST)}^{(1)}$	NRST 输入高电平电压	-	$0.7 \cdot V_{DD}$	-	$V_{DD}$	
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞	-	-	300	-	mV
$R_{PU}$	弱上拉等效电阻 <sup>(2)</sup>	$V_{IN} = V_{SS}$	30	50	80	k $\Omega$
$V_{F(NRST)}^{(1)}$	NRST 输入滤波脉冲	$V_{DD} = 3.3V$	-	-	100	ns
$V_{NF(NRST)}^{(1)}$	NRST 输入非滤波脉冲	$V_{DD} = 3.3V$	300	-	-	ns

1. 由设计保证，不在生产中测试。
2. 上拉电阻是设计为一个真正的电阻串联一个可开关的PMOS实现。这个PMON/NMOS开关的电阻很小(约占10%)。

图 4-11 建议的NRST引脚保护



1. 滤波作用。
2. 用户必须保证NRST引脚的电位能够低于表 4-29中列出的最大 $V_{IL(NRST)}$ 以下，否则MCU不能得到复位。

### 4.3.14 TIM定时器特性

表 4-30、表 4-31、表 4-32和表 4-33列出的参数由设计保证。

有关输入输出复用功能引脚(输出比较、输入捕获、外部时钟、PWM输出)的特性详情，请见第4.3.12节。

表 4-30 ATIM1/2/3特性<sup>(1)</sup>

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间	-	1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 240MHz$	4.16	-	ns
$f_{EXT}$	CH1 至 CH4 的定时器外部时钟频率	-	0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 240MHz$	0	120	MHz
$Re_{STIM}$	定时器分辨率	-	-	16	bit
$t_{COUNTER}$	当选择了内部时钟时，16 位计数器时钟周期	-	1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 240MHz$	0.00416	273	$\mu s$
$t_{MAX\_COUNT}$	最大可能的计数	-	-	$65536 \times 65536$	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 240MHz$	-	17.9	s

1. 由设计保证，不在生产中测试。

表 4-31 GTIM1/2/3/4/5/6/7特性<sup>(1)</sup>

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间	-	1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 120MHz$	8.33	-	ns
		$f_{TIMxCLK} = 180MHz$	5.56	-	ns
$f_{EXT}$	CH1 至 CH4 的定时器外部时钟频率	-	0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 120MHz$	0	60	MHz
		$f_{TIMxCLK} = 180MHz$	0	90	MHz
$Re_{STIM}$	定时器分辨率	-	-	16	bit
$t_{COUNTER}$	当选择了内部时钟时，16 位计数器时钟周期	-	1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 120MHz$	0.00833	546	$\mu s$
		$f_{TIMxCLK} = 180MHz$	0.00556	364	$\mu s$
$t_{MAX\_COUNT}$	最大可能的计数	-	-	$65536 \times 65536$	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 120MHz$	-	35.8	s
		$f_{TIMxCLK} = 180MHz$	-	23.9	s

1. 由设计保证，不在生产中测试。

表 4-32 GTIM8/9/10特性<sup>(1)</sup>

符号	参数	条件	最小值	最大值	单位
t <sub>res</sub> (TIM)	定时器分辨时间	-	1	-	t <sub>TIMxCLK</sub>
		f <sub>TIMxCLK</sub> = 240MHz	4.16	-	ns
f <sub>EXT</sub>	CH1 至 CH4 的定时器外部时钟频率	-	0	f <sub>TIMxCLK</sub> /2	MHz
		f <sub>TIMxCLK</sub> = 240MHz	0	120	MHz
Re <sub>STIM</sub>	定时器分辨率	-	-	16	bit
t <sub>COUNTER</sub>	当选择了内部时钟时，16 位计数器时钟周期	-	1	65536	t <sub>TIMxCLK</sub>
		f <sub>TIMxCLK</sub> = 240MHz	0.00416	273	μs
t <sub>MAX_COUNT</sub>	最大可能的计数	-	-	65536x65536	t <sub>TIMxCLK</sub>
		f <sub>TIMxCLK</sub> = 240MHz	-	17.9	s

1. 由设计保证，不在生产中测试。

表 4-33 LPTIM1/2特性<sup>(1)</sup>

符号	参数	条件	最小值	最大值	单位
t <sub>res</sub> (TIM)	定时器分辨时间	-	1	-	t <sub>TIMxCLK</sub>
		f <sub>TIMxCLK</sub> = 120MHz	8.33	-	ns
f <sub>EXT</sub>	CH1 至 CH4 的定时器外部时钟频率	-	0	f <sub>TIMxCLK</sub> /2	MHz
		f <sub>TIMxCLK</sub> = 120MHz	0	60	MHz
Re <sub>STIM</sub>	定时器分辨率	-	-	16	bit
t <sub>COUNTER</sub>	当选择了内部时钟时，16 位计数器时钟周期	-	1	65536	t <sub>TIMxCLK</sub>
		f <sub>TIMxCLK</sub> = 120MHz	0.00833	546	μs
t <sub>MAX_COUNT</sub>	最大可能的计数	-	-	128x65536	t <sub>TIMxCLK</sub>
		f <sub>TIMxCLK</sub> = 120MHz	-	69.9	ms

1. 由设计保证，不在生产中测试。

### 4.3.15 看门狗特性

表 4-34 IWDG 最大和最小计数复位时间 (LSI = 32 KHz)

预分频	PD[2:0]	最小时长RL[11:0]=0	最大时长RL[11:0]=0xFFFF	单位
/4	000	0.125	512	ms
/8	001	0.25	1024	
/16	010	0.5	2048	
/32	011	1.0	4096	
/64	100	2.0	8192	
/128	101	4.0	16384	
/256	11x	8.0	32768	

1. 由设计保证，不在生产中测试。

表 4-35 WWDG最大和最小计数复位时间(PCLK1 = 120MHz)

预分频	TIMERB[1:0]	最小超时	最大超时	单位
/1	0	0.0341	556.92	ms
/2	1	0.0682	1113.84	
/3	2	0.136	2227.68	

/4	3	0.273	4455.36	
----	---	-------	---------	--

1. 由设计保证，不在生产中测试。

### 4.3.16 I<sup>2</sup>C接口特性

除非特别说明，表 4-36列出的参数是使用环境温度， $f_{PCLK1}$ 频率和 $V_{DD}$ 供电电压符合表 4-4的条件测量得到。

N32H493产品的I<sup>2</sup>C接口符合标准I<sup>2</sup>C通信协议，但有如下限制：SDA和SCL不是“真”开漏的引脚，当配置为开漏输出时，在引出脚和 $V_{DD}$ 之间的PMOS管被关闭，但仍然存在。

I<sup>2</sup>C接口特性列于表 4-36，有关输入输出复用功能引脚(SDA和SCL)的特性详情，参见第4.3.12节。

表 4-36 I<sup>2</sup>C接口特性<sup>(1)</sup>

符号	参数	标准模式		快速模式		快速+模式		单位
		最小	最大	最小	最大	最小	最大	
$f_{SCL}$	I2C 接口频率	0.0	100	0	400	0	1000	KHz
$t_{h(STA)}$	开始条件保持时间	4.0	-	0.6	-	0.26	-	$\mu$ s
$t_{w(SCLL)}$	SCL 时钟低时间	4.7	-	1.3	-	0.5	-	$\mu$ s
$t_{w(SCLH)}$	SCL 时钟高时间	4.0	-	0.6	-	0.26	-	$\mu$ s
$t_{su(STA)}$	重复的开始条件建立时间	4.7	-	0.6	-	0.26	-	$\mu$ s
$t_{h(SDA)}$	SDA 数据保持时间	300	-	300	-	0	-	$\mu$ s
$t_{su(SDA)}$	SDA 建立时间	250.0	-	100	-	50	-	ns
$t_{r(SDA)}$ $t_{r(SCL)}$	SDA 和 SCL 上升时间	-	1000	20	300	-	120	ns
$t_{f(SDA)}$ $t_{f(SCL)}$	SDA 和 SCL 下降时间	-	300	-	300	-	120	ns
$t_{su(STO)}$	停止条件建立时间	4.0	-	0.6	-	0.26	-	$\mu$ s
$t_{w(STO:STA)}$	停止条件至开始条件的时间 (总线空闲)	4.7	-	1.3	-	0.5	-	$\mu$ s
Cb	每条总线的容性负载	-	400	-	400	-	550	pf
$t_v(SDA)$	数据有效时间	-	3.45	-	0.9	-	0.45	$\mu$ s
$t_v(ACK)$	应答有效时间	-	3.45	-	0.9	-	0.45	$\mu$ s
$t_{SP}$	输入滤波器需抑制的尖峰脉冲 宽度	-	-	0	50	0	50	ns

1. 由设计保证，不在生产中测试。



表 4-37 SPI特性<sup>(1)</sup>

符号	参数	条件	最小值	典型值	最大值	单位
$f_{SCLK}$ $1/t_{c(SCLK)}$	SPI时钟频率	主模式	-	-	60	MHz
		从模式	-	-	40	
DuCy(SCK)	SPI从输入时钟占空比	SPI从模式	45	50	55	%
$t_{su(NSS)}^{(1)}$	NSS建立时间	从模式	$t_{SCLK}/2$	-	-	ns
$t_{h(NSS)}^{(1)}$	NSS保持时间	从模式	$t_{SCLK}/2$	-	-	
$t_{w(SCLKH)}^{(1)}$ $t_{w(SCLKL)}^{(1)}$	SCLK高和低的时间	主模式	$t_{SCLK}/2 - 1$	$t_{SCLK}/2$	$t_{SCLK}/2 + 1$	
$t_{su(MI)}^{(1)}$ $t_{su(SI)}^{(1)}$	数据输入建立时间	主模式	3	-	-	
		从模式	3	-	-	
$t_{h(MI)}^{(1)}$ $t_{h(SI)}^{(1)}$	数据输入保持时间	主模式	2.5	-	-	
		从模式	2	-	-	
$t_{a(SO)}^{(1)(2)}$	数据输出访问时间	从模式	9	-	$2 * t_{SCLK}/2$	
$t_{dis(SO)}^{(1)(3)}$	数据输出禁止时间	从模式	9	-	16	
$t_{v(SO)}^{(1)}$ $t_{v(MO)}^{(1)}$	数据输出有效时间	从模式(使能边沿之后)	-	9	13	
		主模式(使能边沿之后)	-	3	5	
$t_{h(SO)}^{(1)}$ $t_{h(MO)}^{(1)}$	数据输出保持时间	从模式(使能边沿之后)	5	-	-	
		主模式(使能边沿之后)	0	-	-	

1. 由设计保证，不在生产中测试。
2. 最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间。
3. 最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间。

图 4-13 SPI时序图 – 从模式和CLKPHA=0

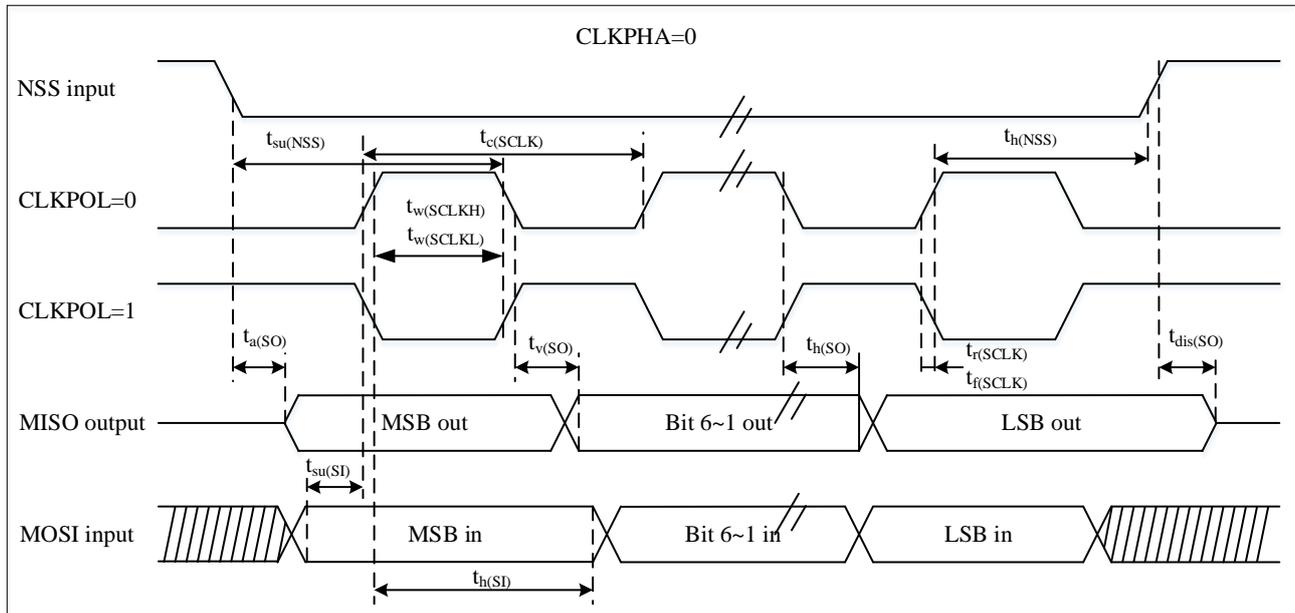
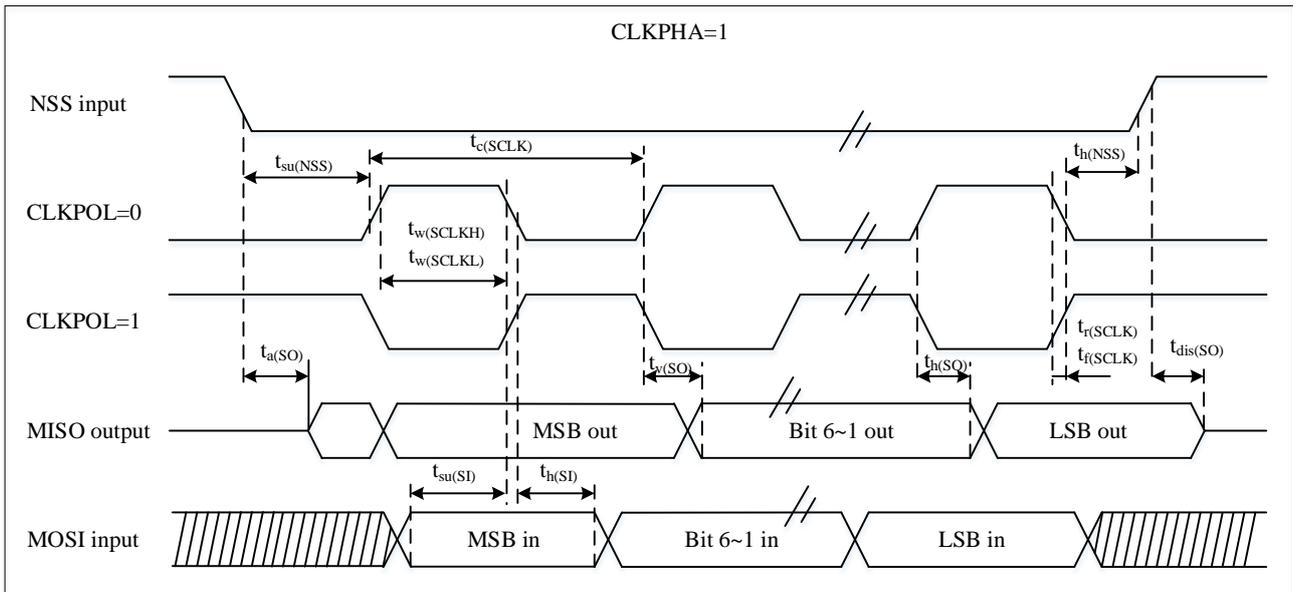
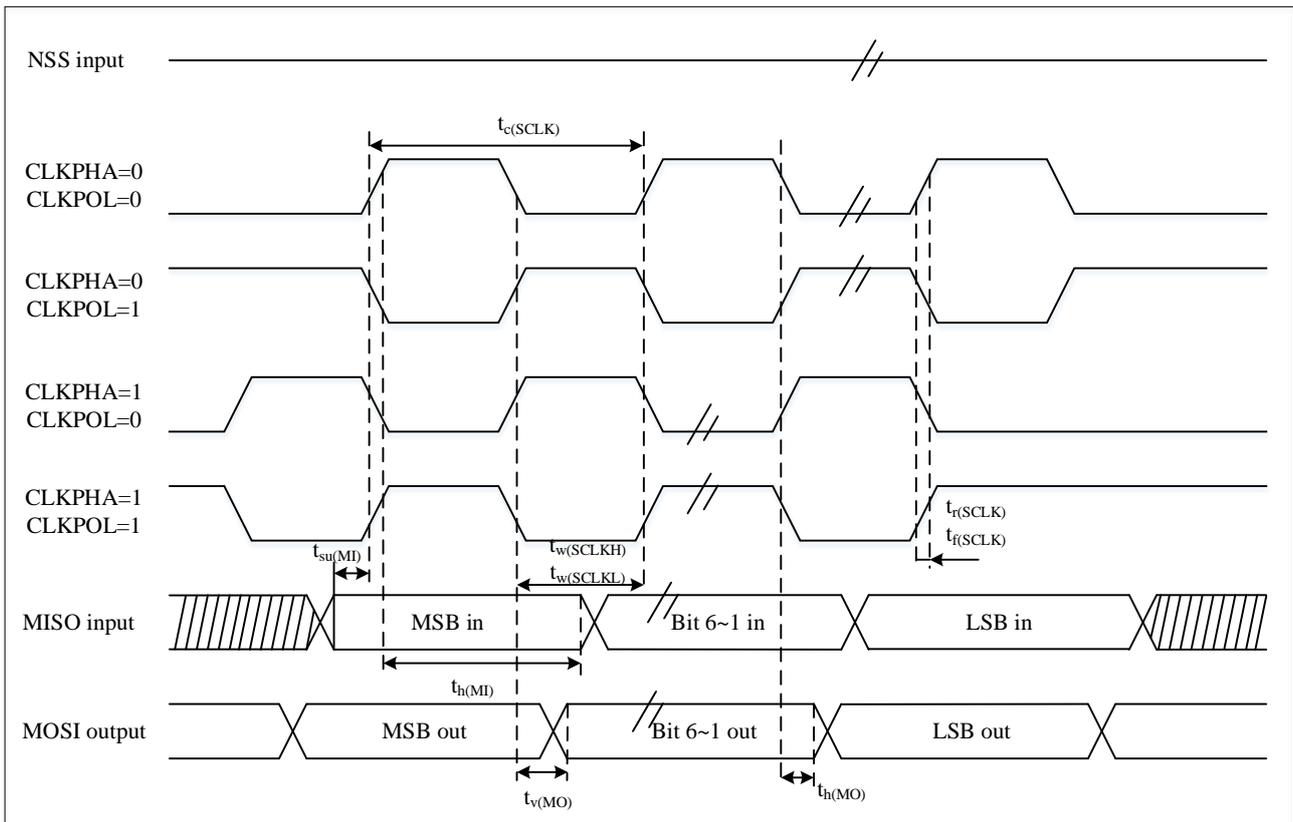


图 4-14 SPI时序图 – 从模式和CLKPHA=1<sup>(1)</sup>



1. 测量点设置于0.3V<sub>DD</sub>和0.7V<sub>DD</sub>。

图 4-15 SPI时序图 – 主模式<sup>(1)</sup>



1. 测量点设置于0.3V<sub>DD</sub>和0.7V<sub>DD</sub>。

### 4.3.18 xSPI特性

表 4-38 xSPI在SDR模式下的特性

符号	参数	最小值	典型值	最大值	单位
$f_{CK}$ $1/t_{(CK)}$	QSPI 时钟频率	-	-	60	MHz
$t_{w(CKH)}$	SCK 高低时间	$t_{(CK)}/2-0.5$	-	$t_{(CK)}/2$	ns
$t_{w(CKL)}$		$t_{(CK)}/2-0.5$	-	$t_{(CK)}/2$	
$t_{s(IN)}$	输入数据建立时间	2.5	-	-	ns
$t_{h(IN)}$	输入数据保持时间	5.5	-	-	ns
$t_{v(OUT)}$	输出数据有效时间	-	2.5	3.5	ns
$t_{h(OUT)}$	输出数据保持时间	2.5	-	-	ns

图 4-16 xSPI在SDR模式下的时序

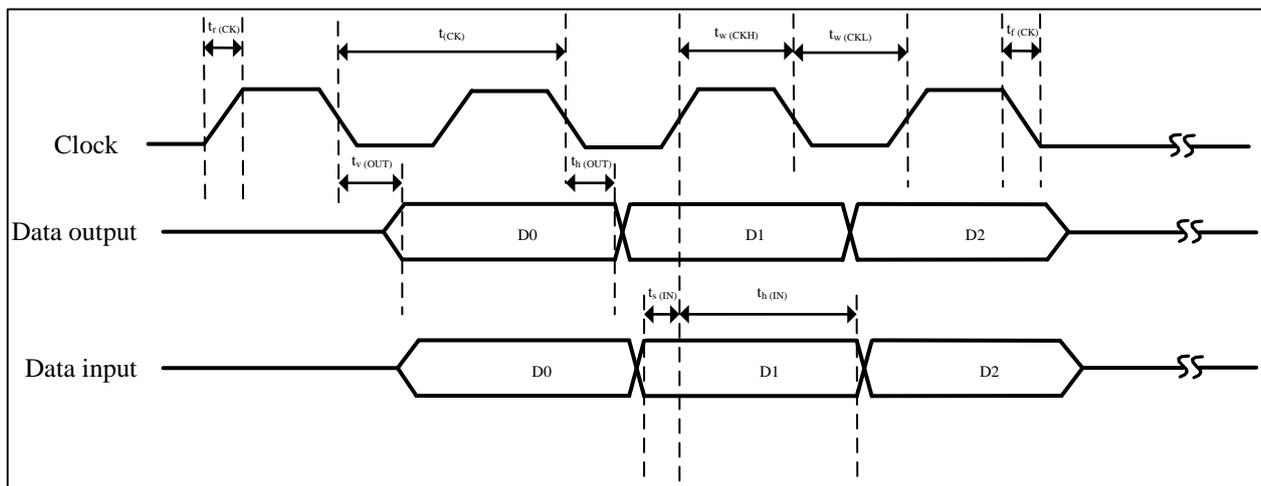


表 4-39 xSPI在DDR模式下的特性

符号	参数	最小值	典型值	最大值	单位
$f_{CK}$ $1/t_{(CK)}$	xSPI时钟频率	-	-	60	MHz
$t_{w(CKH)}$	SCK高低时间	$t_{(CK)}/2-0.5$	-	$t_{(CK)}/2$	ns
$t_{w(CKL)}$		$t_{(CK)}/2-0.5$	-	$t_{(CK)}/2$	
$t_{sf(IN)}$	输入数据建立时间	3	-	-	ns
$t_{sr(IN)}$		5	-	-	
$t_{hf(IN)}; t_{hr(IN)}$	输入数据保持时间	2	-	-	ns
$t_{vf(OUT)}; t_{vr(OUT)}$	输出数据有效时间	-	-	7	ns
$t_{hf(OUT)}; t_{hr(OUT)}$	输出数据保持时间	4	-	-	ns

图 4-17 xSPI在DDR模式下的时序

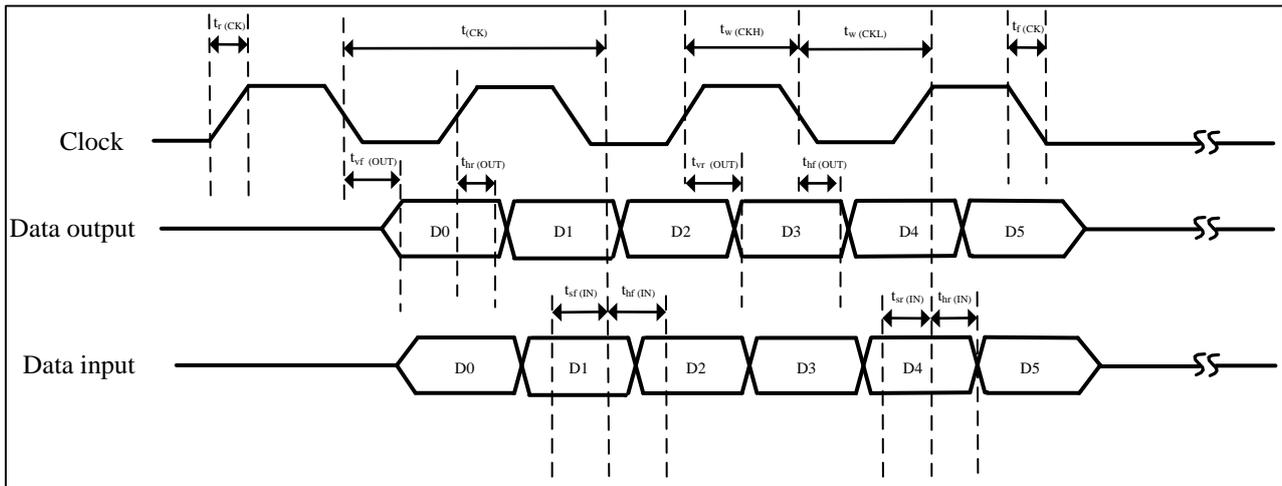
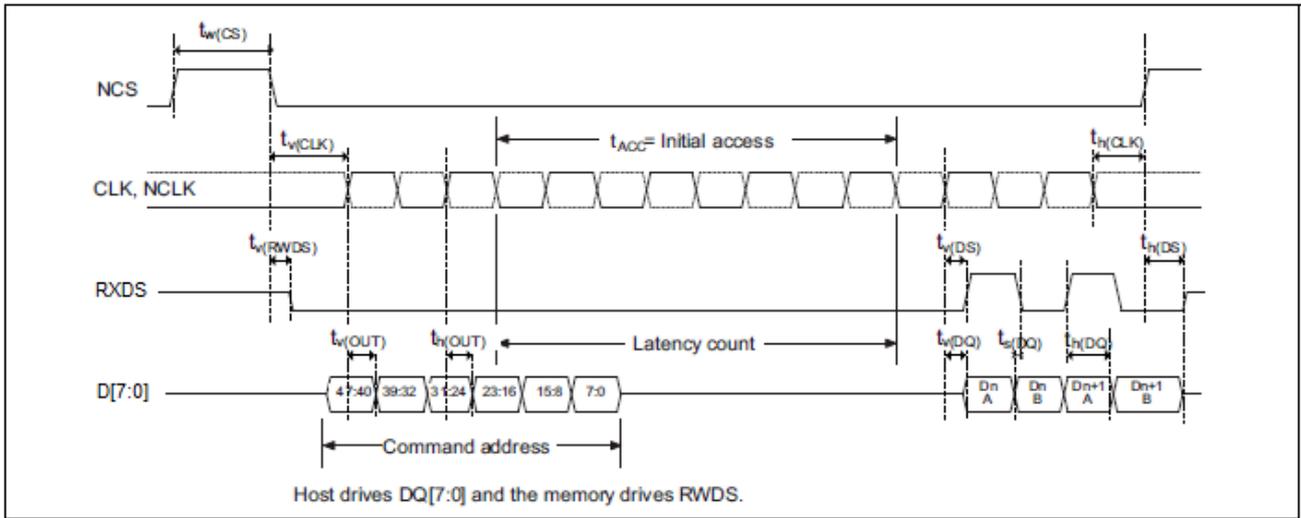


表 4-40 xSPI在RXDS模式下的特性

符号	参数	最小值	典型值	最大值	单位
$f_{CK}$ $1/t(CK)$	xSPI 时钟频率	-	-	60	MHz
$t_w(CKH)$	SCK 高低时间	$t(CK)/2-0.5$	-	$t(CK)/2$	ns
$t_w(CKL)$		$t(CK)/2-0.5$	-	$t(CK)/2$	
$t_v(CLK)$	时钟有效时间	-	-	$t(CK)+2$	
$t_h(CLK)$	时钟高时间	$t(CK)+0.5$	-	-	
$t_w(CS)$	片选高时间	$3*t(CK)$	-	-	
$t_v(DQ)$	数据输入有效时间	0	-	-	
$t_v(DS)$	数据选通输入有效时间	0	-	-	
$t_h(DS)$	数据选通输入保持时间	0	-	-	
$t_v(RWDS)$	数据选通输出有效时间	-	-	$3*t(CK)$	
$t_{sf}(DQ); t_{sr}(DQ)$	输入数据建立时间	3	-	-	ns
$t_{hf}(DQ); t_{hr}(DQ)$	输入数据保持时间	4	-	-	ns
$t_{vf}(OUT); t_{vr}(OUT)$	输出数据有效时间	-	6	7	ns
$t_{hf}(OUT); t_{hr}(OUT)$	输出数据保持时间	3.5	-	-	ns

图 4-18 xSPI在RXDS模式下的时序



### 4.3.19 12位模数转换器(ADC)电气参数

除非特别说明，表 4-41的参数是使用符合表 4-4的条件的环境温度、 $f_{HCLK}$ 频率和 $V_{DDA}$ 供电电压测量得到。  
 注意：建议在每次上电时执行一次校准。

表 4-41 ADC特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{DDA}$	供电电压	-	1.8	-	3.6	V
$V_{REF+}$	正参考电压	-	1.8	-	$V_{DDA}$	V
$f_{ADC}$	ADC 时钟频率	-	-	-	80	MHz
$f_s$	采样速率 <sup>(1)</sup>	$V_{DDA} \geq 2.4V$	-	-	4.7	MSPS
		$1.8V \leq V_{DDA} < 2.4V$	-	-	4	
$V_{AIN}$	转换电压范围 <sup>(2)</sup>	-	0( $V_{SSA}$ 或 $V_{REF-}$ 连接到地)	-	$V_{REF+}$	V
$R_{ADC}$	采样开关电阻	2.4~3.3V	-	-	300	ohm
		1.8~2.4V	-	-	480	
$C_{ADC}$	内部采样和保持电容	-	-	5	-	pF
SNDR	Singal noise distortion ration	-	-	65	-	dBFS
$T_{cal}$	校准时间	-	82			$1/f_{ADC}$
$t_s$	采样时间	$f_{ADC} = 80 \text{ MHz}$ (快速通道)	0.0563	-	7.52	us
		$f_{ADC} = 80 \text{ MHz}$ (慢速通道)	0.0938	-	7.52	
$T_s$		快速通道( $f_{ADC} = 80 \text{ MHz}$ )	4.5	-	601.5	$1/f_{ADC}$
		慢速通道( $f_{ADC} = 80 \text{ MHz}$ )	7.5	-	601.5	
$t_{STAB}$	上电时间	-	0	0	20	$\mu s$
$t_{CONV}^{(2)}$	总的转换时间(包括采样时间)	-	14~614(采样 $t_s$ + 逐步逼近 12.5)			$1/f_{ADC}$

1. 由设计保证，不在生产中测试。
2. 依据不同的封装， $V_{REF+}$ 可以在内部连接到 $V_{DDA}$ ， $V_{REF-}$ 可以在内部连接到 $V_{SSA}$ 。
3. 采样时间/采样速率和输入阻抗 $R_{in}$ 有关，最大输入阻抗 $R_{in}$ 和采样时间的对应关系具体见表 4-42。

表 4-42 ADC采样时间<sup>(1)</sup>

分辨率	Rin (kΩ)	最小采样时间 (ns)			
		Vdda=2.4V to 3.6V, Vddd=1.1 V, selrange_ldo=L, Tjunction=125 °C, fclk=80 MHz		Vdda=1.8V to 2.4V, Vddd=1.1 V, selrange_ldo=L, Tjunction=125 °C, fclk=80 MHz.	
		快速通道	慢速通道	快速通道	慢速通道
12-bit	0.14	45.0	73.0	79.0	103.0
	0.6	79.0	103.0	300.0	345.0
	4.6	300.0	345.0	576.0	651.0
	9.5	576.0	651.0	1131.0	1257.0
	19	1131.0	1257.0	2776.0	3051.0
	48	2776.0	3051.0	5475.0	5982.0
10-bit	0.14	39.0	61.0	64.0	88.0
	0.6	64.0	88.0	250.0	357.0
	4.6	250.0	357.0	478.0	540.0
	9.5	478.0	540.0	935.0	1040.0
	19	935.0	1040.0	2294.0	2526.0
	48	2294.0	2526.0	4532.0	4963.0
8-bit	0.14	33.0	50.0	52.0	71.0
	0.6	52.0	71.0	202.0	234.0
	4.6	202.0	234.0	391.0	457.0
	9.5	391.0	457.0	800.0	1012.0
	19	800.0	1012.0	1838.0	2027.0
	48	1838.0	2027.0	3632.0	3984.0
6-bit	0.14	27.0	40.0	41.0	56.0
	0.6	41.0	56.0	153.0	177.0
	4.6	153.0	177.0	292.0	330.0
	9.5	292.0	330.0	569.0	642.0
	19	569.0	642.0	1435.0	1666.0
	48	1435.0	1666.0	3001.0	3919.0

1. 由设计保证，不在生产中测试。

 表 4-43 ADC精度 – 局限的测试条件<sup>(1)(2)</sup>

符号	参数	测试条件	典型值	最大值 <sup>(3)</sup>	单位
ET <sup>(4)</sup>	综合误差	f <sub>HCLK</sub> = 240 MHz, f <sub>ADC</sub> = 240 MHz, sample rate=1.75M sps, V <sub>DDA</sub> = 3.3V, T <sub>A</sub> = 25 °C 测量是在ADC校准之后进行的 V <sub>REF+</sub> = V <sub>DDA</sub>	1.3	5	LSB
EO <sup>(4)</sup>	偏移误差		1	3	
ED	微分线性误差		1	2.2	
EL	积分线性误差		2	3	

- ADC的直流精度数值是在经过内部校准后测量的。
- ADC精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，(引脚与地之间) 增加一个肖特基二极管。
- 如何正向的注入电流，只要处于第4.2节中给出的I<sub>INJ(PIN)</sub>范围之内，就不会影响ADC精度。
- 由综合评估保证，不在生产中测试。

图 4-19 ADC精度特性

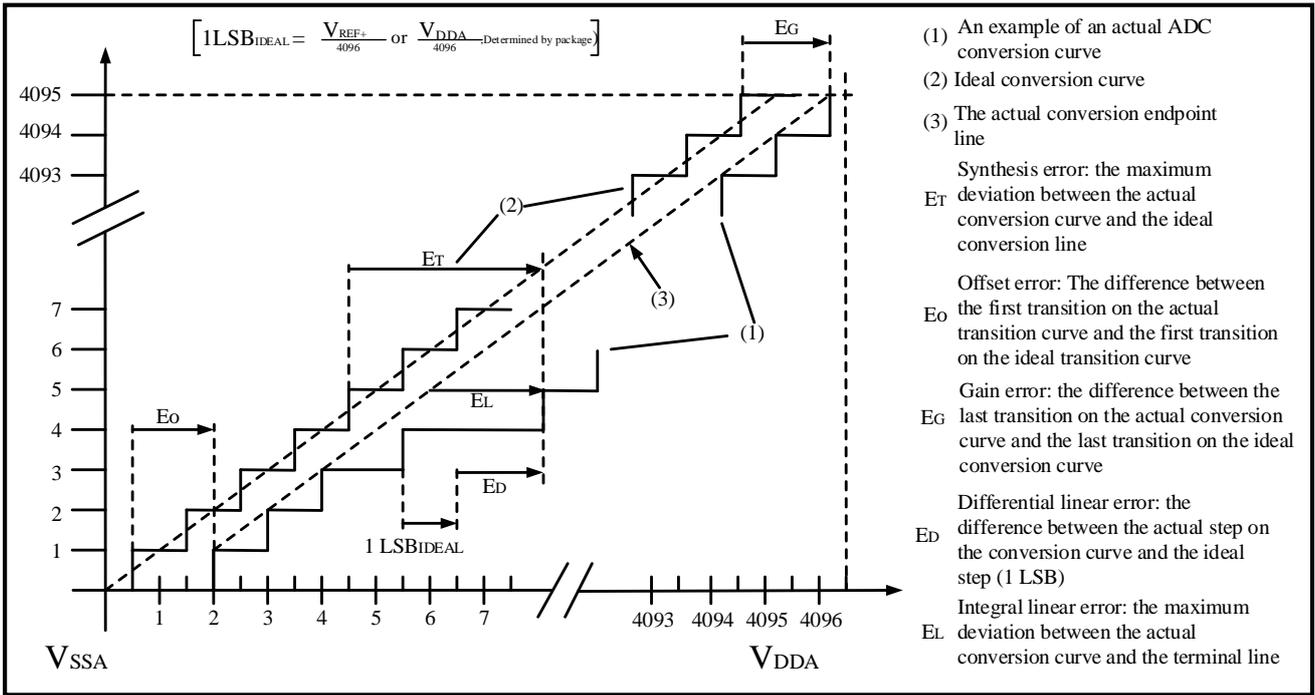
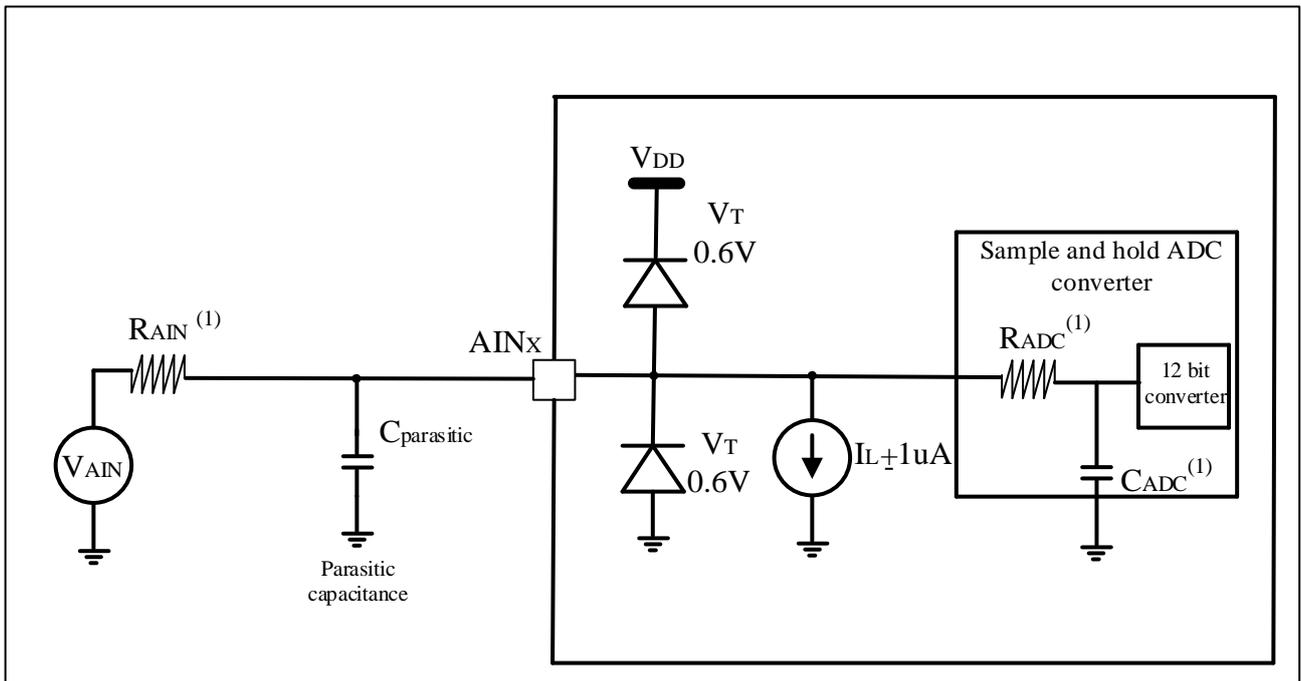


图 4-20 使用ADC典型的连接图



1. 有关 $R_{AIN}$ 、 $R_{ADC}$ 和 $C_{ADC}$ 的数值，参见表 4-41。
2.  $C_{parasitic}$ 表示PCB(与焊接和PCB布局质量相关)与焊盘上的寄生电容(大约7pF)。较大的 $C_{parasitic}$ 数值将降低转换的精度，解决的办法是减小 $f_{ADC}$ 。

### 4.3.20 12位数模转换器(DAC)电气参数

除非特别说明，表 4-44 的参数是使用符合表 4-4 的条件的环境温度、 $f_{HCLK}$  频率和  $V_{DDA}$  供电电压测量得到。

表 4-44 DAC 1MSPS特性

符号	参数	条件	最小值	典型值	最大值	单位	
V <sub>DDA</sub>	模拟供电电压	DAC 输出缓存关闭, 输出仅内部连接	2.4	-	3.6	V	
V <sub>REF+</sub>	正参考电压	DAC 输出缓存关闭, 输出仅内部连接	2.4	-	V <sub>DDA</sub>		
V <sub>REF-</sub>	负参考电压	-	V <sub>SSA</sub>				
R <sub>L</sub>	缓冲器打开时的负载电阻	DAC 输出缓冲 打开	连接到 V <sub>SSA</sub>	5	-	-	kΩ
			连接到 V <sub>DDA</sub>	25	-	-	
R <sub>O</sub>	输出阻抗	DAC 输出缓冲关闭	10.3	12.3	15.7	kΩ	
C <sub>L</sub>	负载电容	-	-	-	50	pF	
DAC_OUT 最大	DAC_OUT 输出电压	输出缓冲器打开	0.2	-	V <sub>REF+</sub> - 0.2	V	
		输出缓冲器关闭	0	-	V <sub>REF+</sub>	-	
I <sub>DD</sub>	在静止模式(待机模式)DAC 直流消耗(V <sub>DDD</sub> +V <sub>DDA</sub> +V <sub>REF+</sub> )	-	-	180	230	μA	
		-	-	400	610	μA	
t <sub>SETTLING</sub>	设置时间(全范围: 12 位输入代码从最小值转变为最大值, DAC_OUT 达到其终值的 ±1 LSB)	DAC 缓冲器打开 CL ≤ 50 pF, RL ≥ 5 kΩ	-	3	4.1	μs	
		DAC 缓冲器关闭	-	2.1	2.6		
t <sub>WAKEUP</sub>	从关闭状态唤醒的时间(从使能 DAC 到 DAC_OUT 达到其终值的 ±1 LSB)	DAC 缓冲器打开, CL ≤ 50 pF, RL ≥ 5 kΩ	-	4	7	μs	
		DAC 缓冲器关闭, CL ≤ 10 pF	-	2	4		
PSRR	供电抑制比(相对于 V <sub>DD33A</sub> )(静态直流测量)	DAC 缓冲器打开, CL ≤ 50 pF, RL ≥ 5 kΩ	-	-85	-30	dB	
TW <sub>to_W</sub>	两次连续写入DAC <sub>x</sub> _DATO寄存器之间的最小时间, 以保证输入代码的微小变化具有正确的 DAC_OUT(1 LSB)。DAC <sub>xy</sub> _CTRL.EXOUT = 1, DAC <sub>xy</sub> _CTRL.BxEN = 1	CL ≤ 50 pF, RL ≥ 5 kΩ	1	-	-	μs	
		DAC <sub>xy</sub> _CTRL.EXOUT = 1, DAC <sub>xy</sub> _CTRL.BxEN = 0 或 DAC <sub>xy</sub> _CTRL.INOUT = 1, DAC <sub>xy</sub> _CTRL.BxEN = 0	1.4	-	-		
V <sub>offset</sub>	Middle code offset for 1 trim code step	V <sub>REF+</sub> = 3.6V	-	-	1500	μV	
I <sub>DDA</sub> (DAC)	DAC consumption from V <sub>DDA</sub>	输出缓冲器打开	无负载, 输入中值 0x800	-	250	400	μA
			无负载, 输入最大值 0xF1C	-	450	670	
输出缓冲器关闭	无负载, 输入中值 0x800	-	-	0.25			
I <sub>DDV</sub> (DAC)	DAC consumption from V <sub>REF+</sub>	输出缓冲器打开	无负载, 输入中值 0x800	-	180	240	μA
			无负载, 输入最大值 0xF1C	-	320	400	
		输出缓冲器关闭	无负载, 输入中值 0x800	-	155	200	
DNL	非线性失真(2 个连续代码间的偏差)	-	-2	-	+2	LSB	
INL	非线性积累(在代码 i 时测量的数值与代码 0 和代码 4095 之间的连线间的偏差)	-	-6	-	+6	LSB	
偏移	偏移误差(代码 0x800 时测量的数值)	输出缓冲打开, CL ≤ 50 pF, RL ≥ 5 kΩ	V <sub>REF+</sub> = 3.6V	-16	-	+8	LSB
			V <sub>REF+</sub> = 1.8V	-20	-	+20	
		输出缓冲关闭, CL ≤ 50 pF, 没有 RL	-8	-	+6		

增益误差	增益误差	-	-	$\pm 0.5$	-	%
------	------	---	---	-----------	---	---

1. 由综合评估保证，不在生产中测试。

### 4.3.21 电压参考缓冲器(VREFBUF)特性

除非特别说明，表 4-45的参数是使用符合表 4-4的条件的环境温度、 $f_{HCLK}$ 频率和 $V_{DDA}$ 供电电压测量得到。

表 4-45 电压参考缓冲器特性<sup>(1)</sup>

符号	参数	条件	最小值	典型值	最大值	单位
$V_{DDA}$	模拟电源电压	-	2.4	-	3.6	V
$V_{REFBUF\_OUT}$	参考电压输出	VRS= 00, $T_A=25^{\circ}C$	2.044	2.048	2.052	
		VRS= 01, $T_A=25^{\circ}C$	2.496	2.5	2.504	
		VRS= 10, $T_A=25^{\circ}C$	2.896	2.9	2.904	
TRIM	Trim 步长分辨率	-	-	$\pm 0.05$	$\pm 0.1$	%
CL	负载电容	-	0.5	1	2	$\mu F$
PSRR	供电抑制比	DC	48.9	74.7	-	dB
		100KHz	25	40	-	
$t_{START}$	启动时间	CL =1 $\mu F$	-	500	650	$\mu s$
$I_{DDA(VREFBUF)}$	VREFBUF consumption from VDDA	Iload $\leq$ 10 mA	-	45	80	$\mu A$

由设计保证，不在生产中测试。

### 4.3.22 温度传感器(TS)特性

除非特别说明，表 4-46的参数是使用符合表 4-4的条件的环境温度、 $f_{HCLK}$ 频率和 $V_{DDA}$ 供电电压测量得到。

表 4-46 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
$T_L^{(1)}$	$V_{SENSE}$ 相对于温度的线性度	-	$\pm 1$	$\pm 3$	$^{\circ}C$
Avg_Slope <sup>(1)</sup>	平均斜率	-3.7	-4	-4.3	mV/ $^{\circ}C$
$V_{25}^{(1)}$	在 25 $^{\circ}C$ 时的电压	-	1.32	-	V
$t_{START}^{(1)}$	建立时间	4	-	10	$\mu s$
$T_{S\_temp}^{(2)(3)}$	当读取温度时，ADC 采样时间	-	-	3	$\mu s$

1. 由综合评估保证，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 最短的采样时间可以由应用程序通过多次循环决定。

## 5 封装尺寸

### 5.1 BGA64

图 5-1 BGA64 封装尺寸

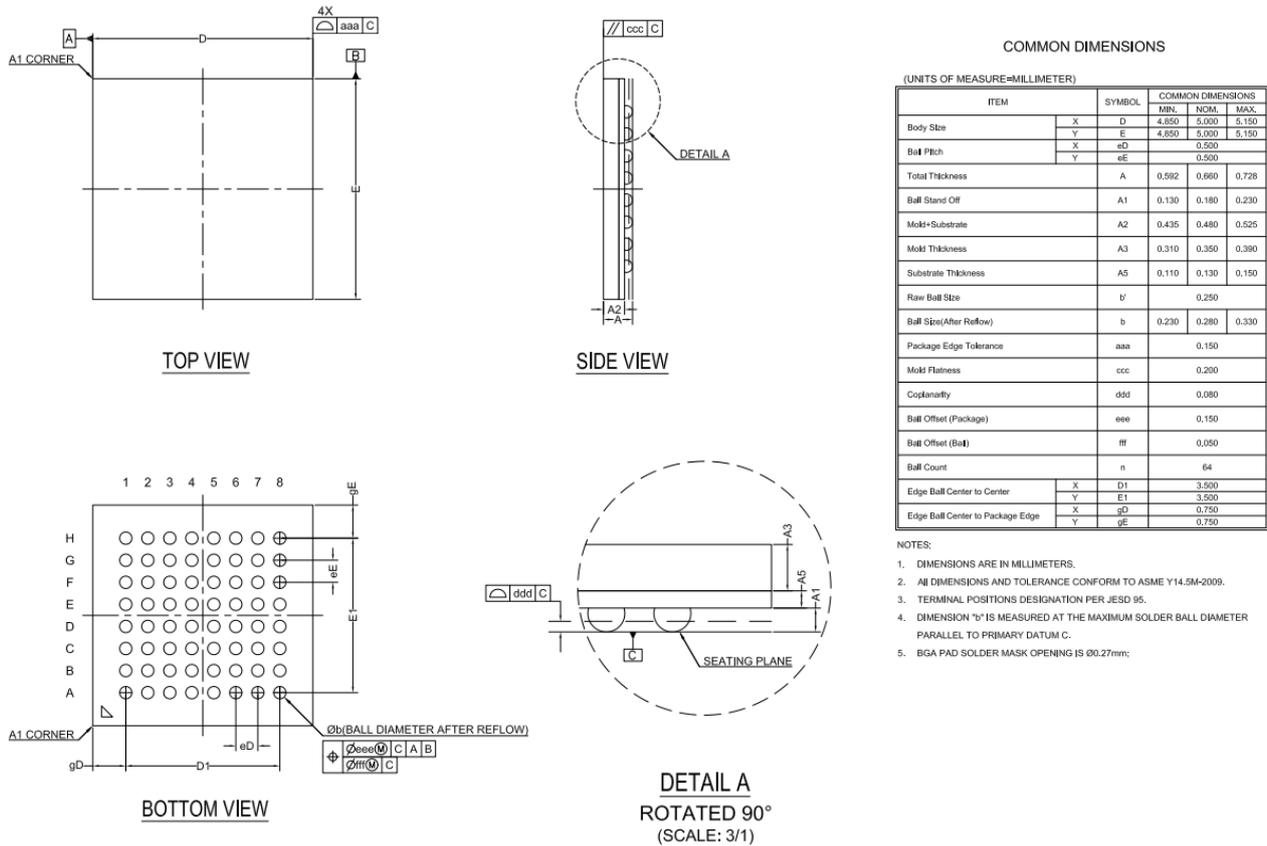


图 5-2 BGA64 封装焊盘建议

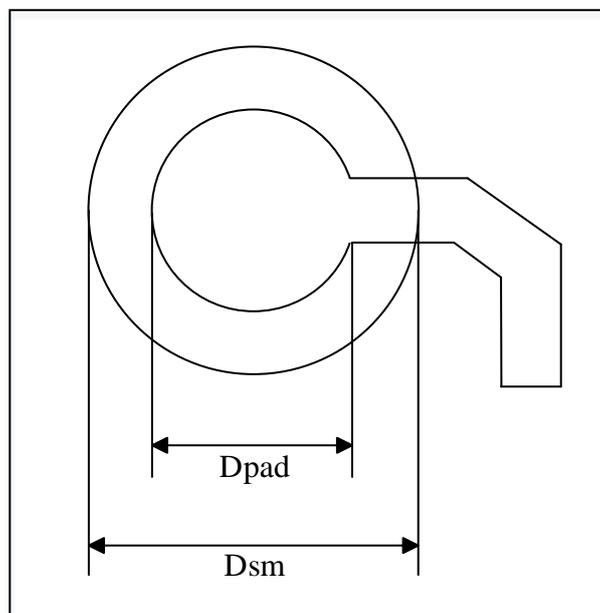
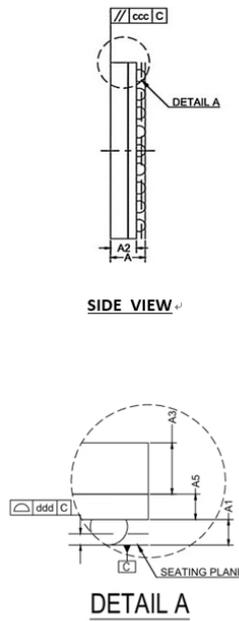
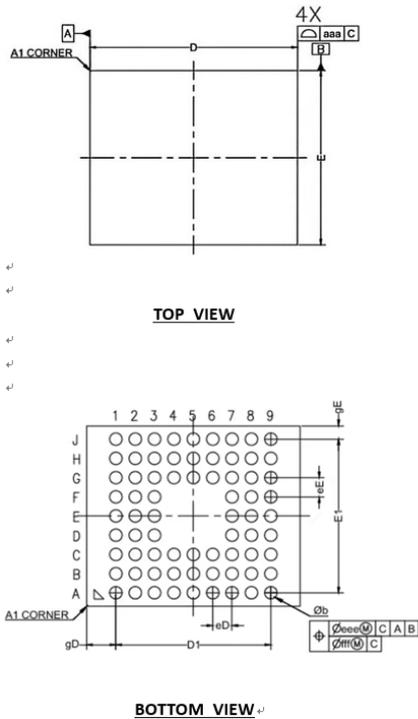


图 5-3 BGA64 封装 PCB 设计规则建议

<b>Dimension</b>	<b>Recommended values</b>
Pitch	0.5 mm
Dpad	0.280 mm
Dsm	0.370 mm typ. (depends on the soldermask registration tolerance)
Stencil opening	0.280 mm
Pad trace width	0.100 mm

## 5.2 BGA72

图 5-4 BGA72 封装尺寸



COMMON DIMENSIONS

(UNITS OF MEASURE=MILLIMETER)

ITEM	SYMBOL	COMMON DIMENSIONS			
		MIN.	NOM.	MAX.	
Body Size	X	D	4.300	4.400	4.500
	Y	E	3.660	3.760	3.860
Ball Pitch	X	eD	0.400		
	Y	eE	0.400		
Total Thickness	A	0.662	0.733	0.804	
Ball Stand Off	A1	0.138	0.188	0.238	
Mold+Substrate	A2	0.495	0.545	0.595	
Mold Thickness	A3	0.325	0.365	0.405	
Substrate Thickness	A5	0.150	0.180	0.210	
Ball Size	b	0.208	0.258	0.308	
Package Edge Tolerance	aaa	0.100			
Mold Flatness	ccc	0.200			
Coplanarity	ddd	0.080			
Ball Offset (Package)	eee	0.150			
Ball Offset (Ball)	fff	0.050			
Ball Count	n	72			
Edge Ball Center to Center	X	D1	3.200		
	Y	E1	3.200		
Edge Ball Center to Package Edge	X	gD	0.600		
	Y	gE	0.280		

- NOTES:
1. DIMENSIONS ARE IN MILLIMETERS.
  2. ALL DIMENSIONS AND TOLERANCE CONFORM TO ASME Y14.5M-2009.
  3. TERMINAL POSITIONS DESIGNATION PER JESD 95.

图 5-5 BGA72 封装焊盘建议

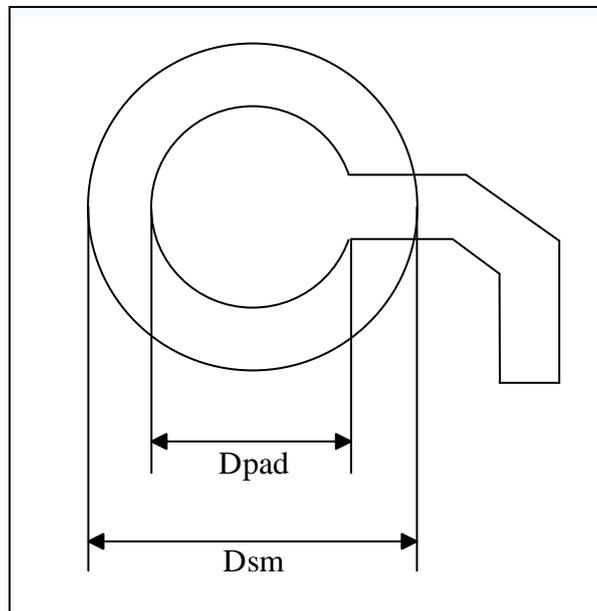


图 5-6 BGA72 封装 PCB 设计规则建议

<b>Dimension</b>	<b>Recommended values</b>
Pitch	0.4 mm
Dpad	0.220 mm
Dsm	0.310 mm typ. (depends on the soldermask registration tolerance)
Stencil opening	0.250 mm
Stencil thickness	0.100 mm

### 5.3 BGA81

图 5-7 BGA81 封装尺寸

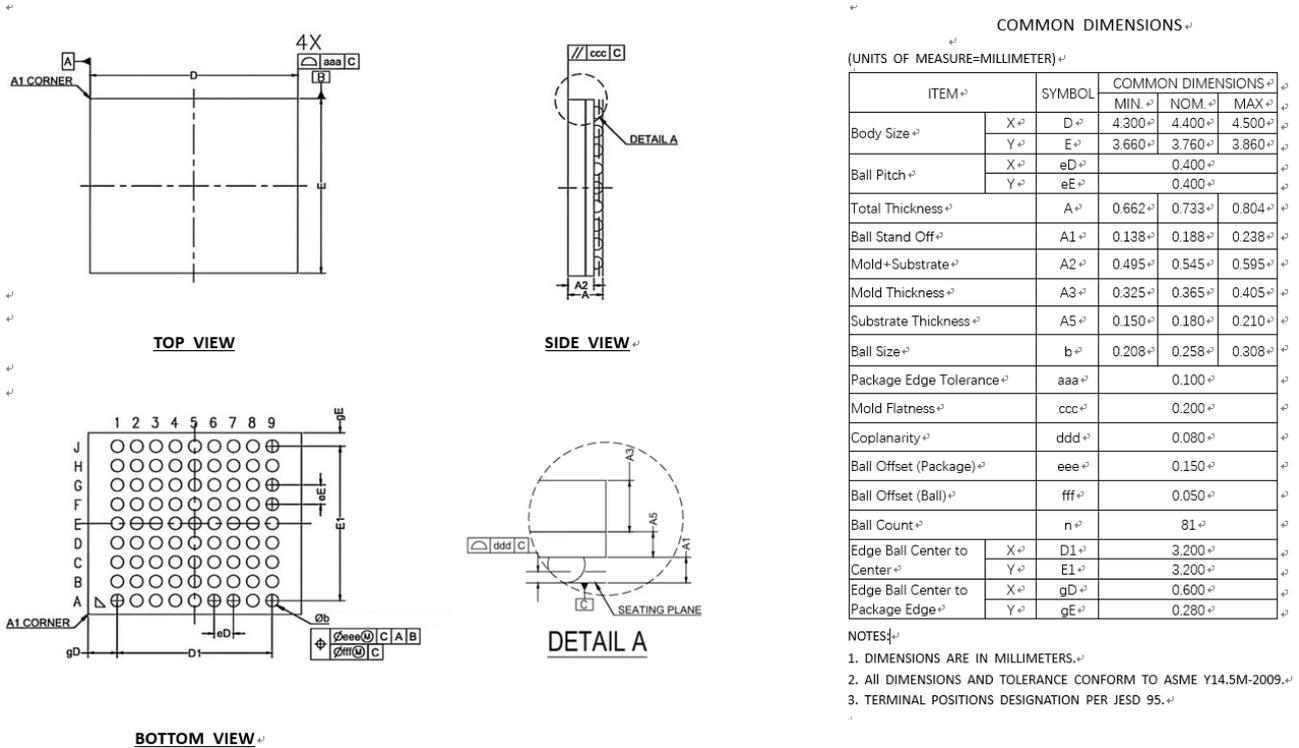


图 5-8 BGA81 封装焊盘建议

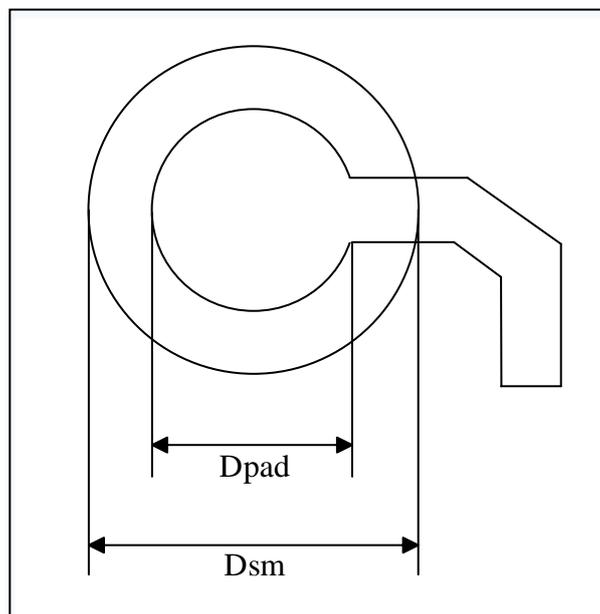
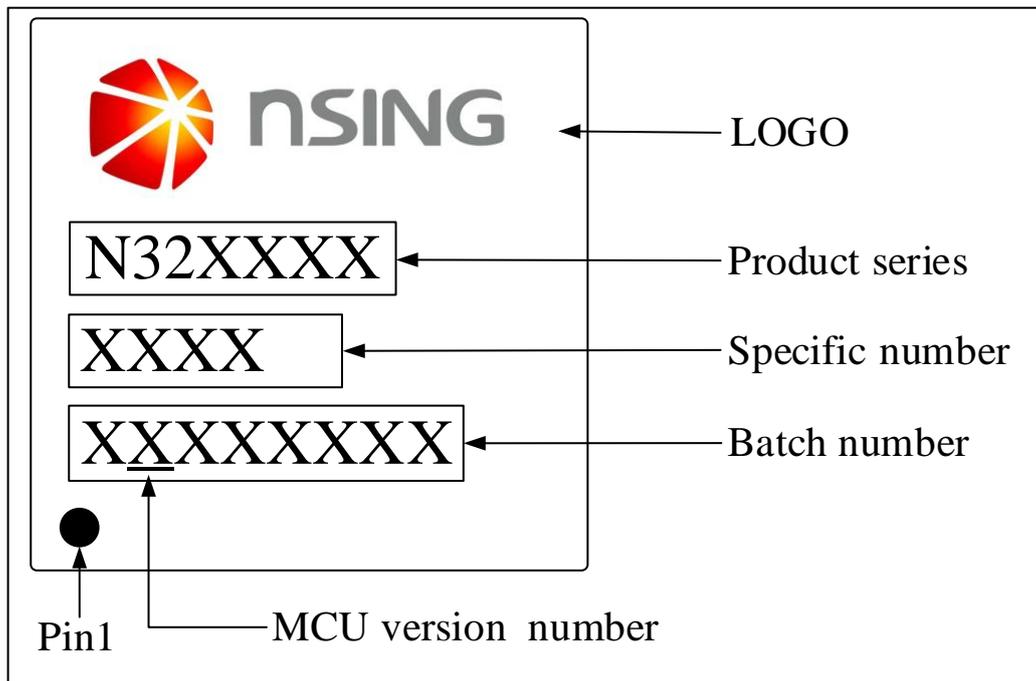


图 5-9 BGA81 封装 PCB 设计规则建议

<b>Dimension</b>	<b>Recommended values</b>
Pitch	0.4 mm
Dpad	0.220 mm
Dsm	0.310 mm typ. (depends on the soldermask registration tolerance)
Stencil opening	0.250 mm
Stencil thickness	0.100 mm

## 6 丝印说明

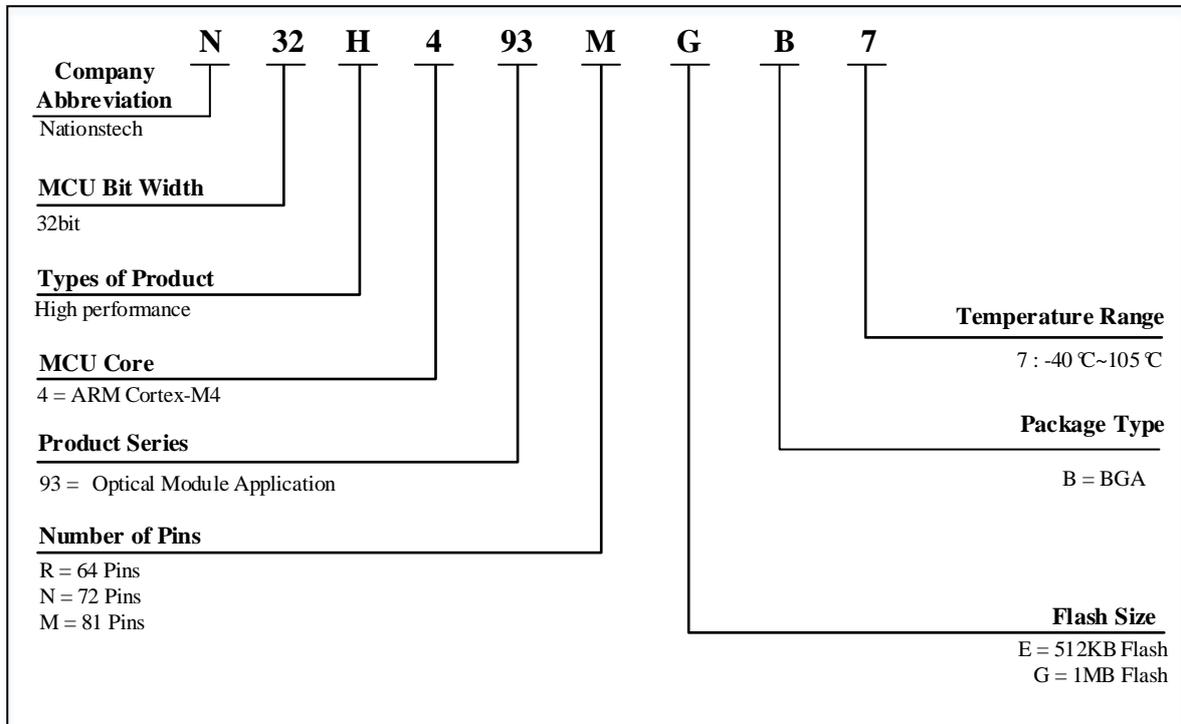
图 6-1 丝印说明图



## 7 订购信息

### 7.1 命名规则

图 7-1 N32H493 系列订货代码信息图示



### 7.2 订货代码信息

表 7-1 N32H493系列订货代码信息

订购型号 <sup>(1)</sup>	封装	封装尺寸	包装 <sup>(2)</sup>	SPQ <sup>(3)</sup>	温度范围
N32H493REB7	BGA64	5mm x 5mm	TBD	TBD	-40°C~105°C
N32H493RGB7	BGA64	5mm x 5mm	TBD	TBD	-40°C~105°C
N32H493NEB7	BGA72	4.41mm x 3.76mm	TBD	TBD	-40°C~105°C
N32H493NGB7	BGA72	4.41mm x 3.76mm	TBD	TBD	-40°C~105°C
N32H493MEB7	BGA81	4.41mm x 3.76mm	TBD	TBD	-40°C~105°C
N32H493MGB7	BGA81	4.41mm x 3.76mm	TBD	TBD	-40°C~105°C

1. 最新详细订购信息见选型手册
2. 此包装为基础包装，如有其他需求，请联系国民技术
3. 最小包装数量

## 8 版本历史

日期	版本	修改
2025.10.28	V0.6.0	初始版本
2025.11.1	V0.6.1	1. BGA81、BGA72、BGA64 增加 PF6~PF9 功能；
2026.1.22	V1.0.0	1. 修改了 3.1 封装示意图章节，修改了 BGA81、BGA72、BGA64 封装引脚图 2. 修改了 3.2 封装复用定义，修改了引脚复用定义 3. 修改了 5.1 BGA64 封装尺寸 4. 更新章节 4.3.5 功耗数据 5. 更新 4.3.10 章节 FLASH 擦除时间 6. 更新焊盘建议图

## 9 声明

国民技术股份有限公司（下称“国民技术”）对此文档拥有专属产权。依据中华人民共和国的法律、条约以及世界其他法域相适用的管辖，此文档及其中描述的国民技术产品（下称“产品”）为公司所有。

国民技术在此并未授予专利权、著作权、商标权或其他任何知识产权许可。所提到或引用的第三方名称或品牌（如有）仅用作区别之目的。

国民技术保留随时变更、订正、增强、修改和改良此文档的权利，恕不另行通知。请使用者在下单购买前联系国民技术获取此文档的最新版本。

国民技术竭力提供准确可信的资讯，但即便如此，并不推定国民技术对此文档准确性和可靠性承担责任。

使用此文档信息以及生成产品时，使用者应当进行合理的设计、编程并测试其功能性和安全性，国民技术不对任何因使用此文档或本产品而产生的任何直接、间接、意外、特殊、惩罚性或衍生性损害结果承担责任。

国民技术对于产品在系统或设备中的应用效果没有任何故意或保证，如有任何应用在其发生操作不当或故障情况下，有可能致使人员伤亡、人身伤害或严重财产损失，则此类应用被视为“不安全使用”。

不安全使用包括但不限于：外科手术设备、原子能控制仪器、飞机或宇宙飞船仪器、所有类型的安全装置以及其他旨在支持或维持生命的应用。

所有不安全使用的风险应由使用人承担，同时使用人应使国民技术免于因为这类不安全使用而导致被诉、支付费用、发生损害或承担责任时的赔偿。

对于此文档和产品的任何明示、默示之保证，包括但不限于适销性、特定用途适用性和不侵权的保证，国民技术可在法律允许范围内进行免责。

未经明确许可，任何人不得以任何理由对此文档的全部或部分进行使用、复制、修改、抄录和传播。